



マイクロプロセッサ プログラマブル ユニバーサル アクティブ フィルタ

MAX260/261/262

概要

MAX260/261/262は精密なフィルタ機能をマイクロプロセッサで制御できるCMOSデュアル2次ユニバーサル・スイッチドキャパシタ・アクティブ・フィルタです。色々なタイプのバンドパス、ローパス、ハイパス、ノッチ、オールパス等のフィルタを外付け部品なしで構成することができます。MAX260/261/262にはセンター周波数、Q、フィルタ動作モードがプログラム制御で設定される2次フィルタが2つ入っています。

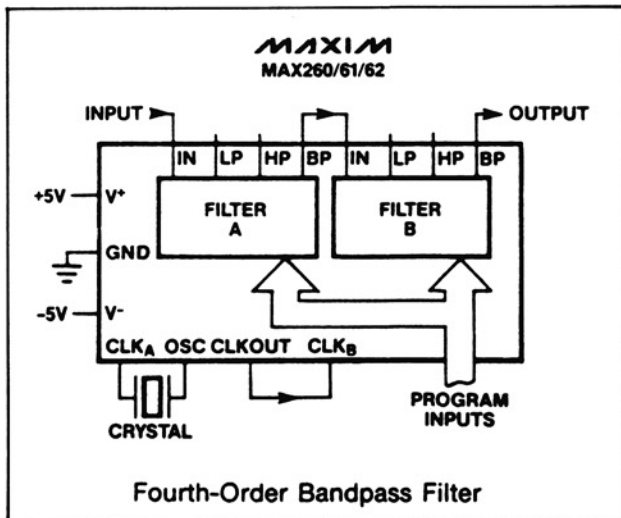
6ビットの f_0 プログラム入力とクロック入力でフィルタのセンター周波数やコーナー周波数を他のフィルタ・パラメータに影響することなく決定します。フィルタのQもまた独立してプログラムされます。2つの内部フィルタは別々のクロック入力を持ち、クリスタル、RCネットワーク、外部クロック・ジェネレータのいずれでも動作します。

MAX260はオフセット、DC特性がMAX261、MAX262よりすぐれており、センター周波数(f_0)のレンジは7.5kHzです。MAX261のセンター周波数レンジは57kHz、MAX262のセンター周波数レンジは、クロックと f_0 の比を下げることでより140kHzまで拡張されています。3品種共、24ピンDIPおよび24ピンSOパッケージで供給可能です。温度範囲もコマーシャルレンジ(0°C ~ +70°C)、エクステンデッドレンジ(-40°C ~ +85°C)、ミリタリーレンジ(-55°C ~ +125°C)の3種類揃っています。

アプリケーション

μP チューンド・フィルタ
アンチ・エイリアシング・フィルタ
デジタル・シグナル・プロセッシング
アダプティブ・フィルタ
信号解析
フェーズ・ロックド・ループ

Functional Diagram



特徴

- ◆フィルタ設計用ソフトウェア完備
- ◆マイクロプロセッサ・インターフェース
- ◆64ステップ・センター周波数コントロール
- ◆128ステップQコントロール
- ◆独立したQと f_0 のプログラミング
- ◆クロック/ f_0 比の保証値1%(Aグレード)
- ◆75kHzの f_0 レンジ(MAX262)
- ◆+5V単電源および±5Vで動作

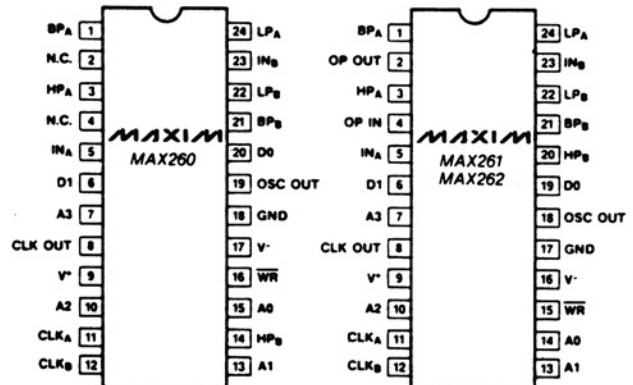
Ordering Information

PART	TEMP. RANGE	PACKAGE*	ACCURACY
MAX260ACNG	0°C to +70°C	Plastic DIP	1%
MAX260BCNG	0°C to +70°C	Plastic DIP	2%
MAX260AENG	-40°C to +85°C	Plastic DIP	1%
MAX260BENG	-40°C to +85°C	Plastic DIP	2%
MAX260ACWG	0°C to +70°C	Wide SO	1%
MAX260BCWG	0°C to +70°C	Wide SO	2%
MAX260AMRG	-55°C to +125°C	CERDIP	1%
MAX260BMRG	-55°C to +125°C	CERDIP	2%
MAX261ACNG	0°C to +70°C	Plastic DIP	1%

All devices—24-pin packages 0.3" wide packages
Ordering Information Continued on Last Page

Pin Configuration

Top View



Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

絶対最大定格

全電源電圧 ($V^+ - V^-$)	15V
入力電圧、各ピン	$V^- - 0.3V \sim V^+ + 0.3V$
入力電流、各ピン	$\pm 50mA$
消費電力	
プラスチックDIP (70℃以上は減定格8.33mW/℃)	660mW
CERDIP (70℃以上は減定格12.5mW/℃)	1000mW
ワイドSO (70℃以上は減定格11.8mW/℃)	944mW

動作温度

MAX260、261、262XCXG	0℃ ~ +70℃
MAX260、261、262XEXG	-40℃ ~ +85℃
MAX260、261、262XMXG	-55℃ ~ +125℃
保存温度	-65℃ ~ +160℃
リード温度 (はんだ付け、10秒)	+300℃

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute Maximum ratings conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

($V^+ = +5V$, $V^- = -5V$, $CLK_A = CLK_B = \pm 5V$ 350kHz for the MAX260 and 1.5MHz for the MAX261/62, $f_{CLK}/f_0 = 199.49$ for MAX260/61 and 139.80 for MAX262, Filter Mode 1, $T_A = +25^\circ C$ unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
f_0 Center Frequency Range			See Table 1			
Maximum Clock Frequency			See Table 1			
f_{CLK}/f_0 Ratio Error (Note 1)	$T_A = T_{MIN}$ to T_{MAX}	MAX260A MAX260B MAX261/62A MAX261/62B		± 0.2 ± 0.2 ± 0.2 ± 0.2	± 1.0 ± 2.0 ± 1.0 ± 2.0	%
f_0 Temperature Coefficient			-5			ppm/°C
Q Accuracy (deviation from ideal continuous filter) (Note 2)	$T_A = T_{MIN}$ to T_{MAX} $Q = 0.5$ to 16 $Q = 0.5$ to 16 $Q = 32$ $Q = 32$ $Q = 64$ $Q = 64$ $Q = 0.5$ to 16 $Q = 0.5$ to 16 $Q = 32$ $Q = 32$ $Q = 64$ $Q = 64$	MAX260A MAX260B MAX260A MAX260B MAX260A MAX260B MAX261/62A MAX261/62B MAX261/62A MAX261/62B MAX261/62A MAX261/62B MAX261/62A MAX261/62B		± 1 ± 1 ± 2 ± 2 ± 4 ± 4 ± 1 ± 1 ± 2 ± 2 ± 4 ± 4 ± 4 ± 4	± 5 ± 10 ± 10 ± 15 ± 15 ± 22 ± 5 ± 10 ± 10 ± 15 ± 15 ± 15 ± 22 ± 22	%
Q Temperature Coefficient			± 20			ppm/°C
DC Lowpass Gain Accuracy				± 0.1 ± 0.1 ± 0.1 ± 0.1	± 0.2 ± 0.3 ± 0.25 ± 0.5	dB
Gain Temperature Coefficient	Lowpass (at D.C.) Bandpass (at f_0)	MAX260 MAX261/62 MAX260/61/62		-5 -5 +20		ppm/°C
Offset Voltage At Filter Outputs—LP, BP, HP (Note 3)	$T_A = T_{MIN}$ to T_{MAX} , $Q = 4$ Mode 1	MAX260A MAX260B MAX261A MAX261B MAX262A MAX262B		± 0.05 ± 0.15 ± 0.40 ± 0.80 ± 0.40 ± 0.80	± 0.25 ± 0.45 ± 0.90 ± 1.60 ± 0.90 ± 1.60	V
	Mode 3	MAX260A MAX260B MAX261A MAX261B MAX262A MAX262B		± 0.075 ± 0.075 ± 0.50 ± 0.90 ± 0.50 ± 0.90	± 0.30 ± 0.50 ± 1.00 ± 1.60 ± 1.00 ± 1.60	
Offset Voltage Temperature Coefficient	$f_{CLK}/f_0 = 100.53$, $Q = 4$ $T_A = T_{MIN}$ to T_{MAX}		± 0.75			mV/°C

ELECTRICAL CHARACTERISTICS (Continued)

(V⁺ = +5V, V⁻ = -5V, CLK_A = CLK_B = ±5V 350kHz for the MAX260 and 1.5MHz for the MAX261/62, f_{CLK}/f₀ = 199.49 for MAX260/61 and 139.80 for MAX262, Filter Mode 1, T_A = +25°C unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Feedthrough			±4		mV
Crosstalk			-70		dB
Wideband Noise (Note 4)	Q = 1, 2nd-Order, LP/BP 4th-Order LP (Fig. 26) 4th-Order BP (Fig. 24)	See Typ. Oper. Char. 90 100			μV _{RMS}
Harmonic Distortion at f ₀	Q = 4, V _{IN} = 1.5V _{PP}		-57		dB
Supply Voltage Range	T _A = T _{MIN} to T _{MAX}	±2.37	±5	±6.3	V
Power Supply Current (Note 5)	T _A = T _{MIN} to T _{MAX} CMOS Level Logic Inputs		15 16 16	20 20 20	mA
Shutdown Supply Current	Q0 _A -Q6 _A = all 0, CMOS Level Logic Inputs (Note 5)		1.5		mA
INTERNAL AMPLIFIERS					
Output Signal Swing (Note 6)	T _A = T _{MIN} to T _{MAX} , 10kΩ load		±4.75		V
Output Short Circuit Current	Source Sink		50 2		mA
Power Supply Rejection Ratio	0Hz to 10kHz		-70		dB
Gain Bandwidth Product			2.5		MHz
Slew Rate			6		V/μs

ELECTRICAL CHARACTERISTICS (for V_± = ±2.5V ±5%)

(V⁺ = +2.37V, V⁻ = -2.37V, CLK_A = CLK_B = ±2.5V 250kHz for the MAX260 and 1MHz for the MAX261/62, f_{CLK}/f₀ = 199.49 for MAX260/61 and 139.80 for MAX262, Filter Mode 1, T_A = +25°C unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f ₀ Center Frequency Range			(Note 7)		
Maximum Clock Frequency			(Note 7)		
f _{CLK} /f ₀ Ratio Error (Notes 1, 8)	Q = 8 MAX26XA MAX26XB		±0.1 ±0.1	1 2	%
Q Accuracy (deviation from ideal continuous filter) (Notes 2, 8)	Q = 8 f _{CLK} /f ₀ = 199.49 f _{CLK} /f ₀ = 199.49 f _{CLK} /f ₀ = 139.80 MAX260A MAX260B MAX261A MAX261B MAX262A MAX262B		±2 ±2 ±2 ±2 ±2 ±2	±5 ±10 ±5 ±10 ±5 ±10	%
Output Signal Swing	All Outputs (Note 6)		±2		V
Power Supply Current	CMOS Level Logic Inputs (Note 5)		7		mA
Shutdown Current	CMOS Level Logic Inputs (Note 5)		0.35		mA

Note 1: f_{CLK}/f₀ accuracy is tested at 100.53, 103.67, 106.81, 113.1, 125.66, 150.8, and 199.49 on the MAX260/61, and at 40.84, 43.98, 47.12, 53.41, 65.97, 91.11, and 139.8 on the MAX262.

Note 2: Q accuracy tested at Q = 0.5, 1, 2, 4, 8, 16, 32, and 64. Q of 32 and 64 tested at 1/2 stated clock frequency.

Note 3: The Offset Voltage is specified for the entire filter. Offset is virtually independent of Q and f_{CLK}/f₀ ratio setting. The test clock frequency for Mode 3 is 175kHz for the MAX260 and 750kHz for the MAX261/262.

Note 4: Output noise is measured with an RC output smoothing filter at 4 × f₀ to remove clock feedthrough.

Note 5: TTL logic levels are: HIGH = 2.4V, LOW = 0.8V. CMOS logic levels are: HIGH = 5V, LOW = 0V. Power supply current is typically 4mA higher with TTL logic and clock input levels.

Note 6: On the MAX260 only, the HP output signal swing is typically 0.75V less than the LP or BP outputs.

Note 7: At ±2.5V supplies, the f₀ range and maximum clock frequency are typically 75% of values listed in Table 1.

Note 8: f_{CLK}/f₀ and Q accuracy are a function of the accuracy of internal capacitor ratios. No increase in error is expected at ±2.5V as compared to ±5V however these parameters are only tested to the extent indicated by the MIN or MAX limits.

INTERFACE SPECIFICATIONS (Note 9)

($V^+ = +5V$, $V^- = -5V$, $T_A = +25^\circ C$ unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
WR Pulse Width	t_{WR}		250	150		ns
Address Setup	t_{AS}		25			ns
Address Hold	t_{AH}		0			ns
Data Setup	t_{DS}		100	50		ns
Data Hold	t_{DH}		10	0		ns
Logic Input High	V_{IH}	WR, D0-D1, A0-A3, CLK _A , CLK _B $T_A = T_{MIN}$ to T_{MAX}	2.4			V
Logic Input Low	V_{IL}	WR, D0-D1, A0-A3, CLK _A , CLK _B $T_A = T_{MIN}$ to T_{MAX}			0.8	V
Input Leakage Current	I_{IN}	WR, D0-D1, A0-A3, CLK _B CLK _A $T_A = T_{MIN}$ to T_{MAX}		6	10 60	μA
Input Capacitance	C_{IN}	WR, D0-D1, A0-A3, CLK _A , CLK _B			15	pF

Note 9: Interface timing specifications are guaranteed by design and are not subject to test.

Pin Description

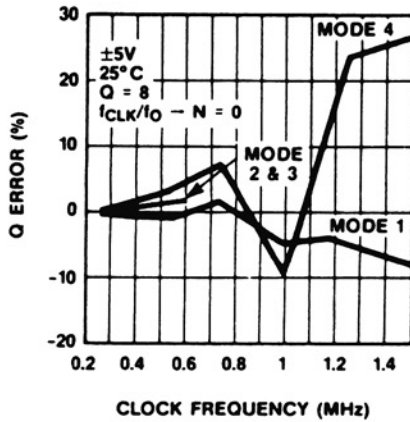
MAX260 PIN #	MAX261/2 PIN #	NAME	FUNCTION
9	9	V^+	Positive supply voltage
17	16	V^-	Negative supply voltage
18	17	GND	Analog Ground. Connect to the system ground for dual supply operation or mid-supply for single supply operation. GND should be well bypassed in single supply applications.
11	11	CLK _A	Input to the oscillator and clock input to section A. This clock is internally divided by 2.
12	12	CLK _B	Clock input to filter B. This clock is internally divided by 2.
8	8	CLK OUT	Clock Output for crystal and R-C oscillator operation
19	18	OSC OUT	Connects to crystal or R-C for self clocked operation

MAX260 PIN #	MAX261/2 PIN #	NAME	FUNCTION
5,23	5,23	IN _A , IN _B	Filter inputs
1,21	1,21	BP _A , BP _B	Bandpass outputs
24,22	24,22	LP _A , LP _B	Lowpass outputs
3,14	3,20	HP _A , HP _B	Highpass/Notch/Allpass outputs
16	15	WR	Write Enable input
15,13, 10,7	14,13, 10,7	A0,A1 A2,A3	Address inputs for f_0 and Q input data locations
20,6	19,6	D0,D1	Data inputs for f_0 and Q programming
	2	OP OUT	Output of uncommitted op-amp on MAX261/62 only. Pin 2 is a no-connect on the MAX260
	4	OP IN	Inverting input of uncommitted op-amp on MAX261/62 only (Non-inverting input is internally connected to ground). Pin 4 is a no-connect on the MAX260.

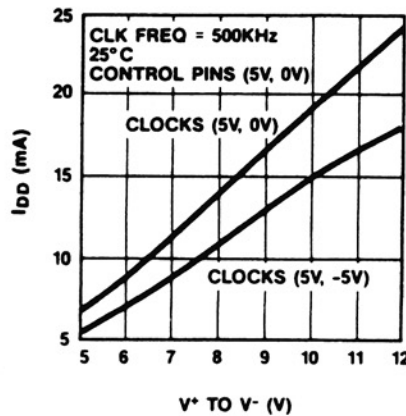
Typical Operating Characteristics

MAX260/261/262

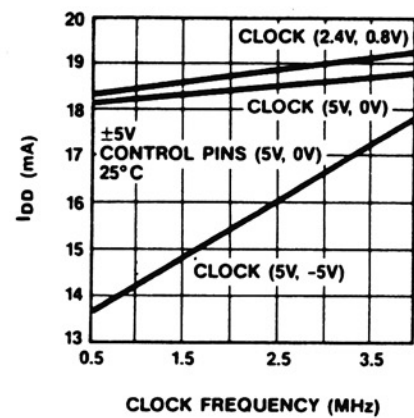
**Q vs CLOCK FREQUENCY
MAX260**



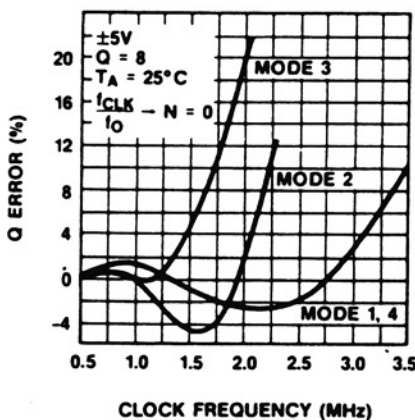
**I_{DD} vs POWER SUPPLY
VOLTAGE**



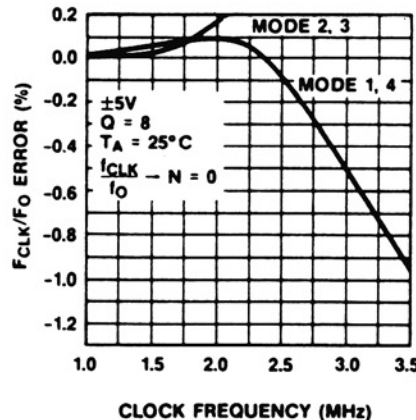
I_{DD} vs CLOCK FREQUENCY



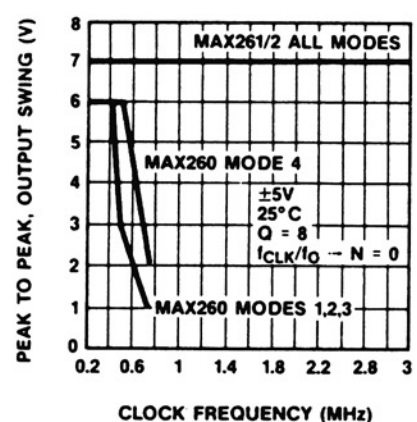
**Q vs CLOCK FREQUENCY
MAX261/2**



**F_{CLK}/F_O vs CLOCK FREQUENCY
MAX261/2**



**OUTPUT SIGNAL SWING
vs CLOCK FREQUENCY**



Wideband RMS Noise (db ref. to 2.47V_{RMS}, 7V_{p-p}) ±5V Supplies

	Mode	Q = 1			Q = 8			Q = 64		
		LP	BP	HP/AP/N	LP	BP	HP/AP/N	LP	BP	HP/AP/N
MAX261/2	1	-84	-90	-84	-80	-82	-85	-72	-73	-85
	2	-88	-90	-88	-84	-82	-84	-77	-73	-76
	3	-84	-90	-88	-80	-82	-82	-73	-73	-74
	4	-83	-89	-84	-79	-81	-85	-71	-73	-85
MAX260	1	-87	-89	-86	-81	-81	-86	-73	-73	-86
	2	-89	-88	-85	-83	-80	-82	-75	-72	-74
	3	-87	-88	-85	-80	-82	-80	-71	-72	-72
	4	-87	-88	-86	-81	-80	-86	-71	-72	-86

Notes:

1. $f_{CLK} = 1$ MHz for MAX261/2, $f_{CLK} = 350$ kHz for MAX260
2. f_{CLK}/f_O ratio programmed at $N = 63$ (see Table 2)
3. Clock feedthrough is removed with an RC lowpass at $4f_O$, i.e. $R = 3.9k\Omega$, $C = 2000pF$ for MAX261.

Noise Spectral Distribution

(MAX261, $f_{CLK} = 1$ MHz, dB ref. to 2.47V_{RMS}, 7V_{p-p})

Measurement Bandwidth	Q=1	Q=8	Q=64
Wideband	-84	-80	-72
3 KHz	-87	-87	-86
C Message Weighted	-93	-93	-93

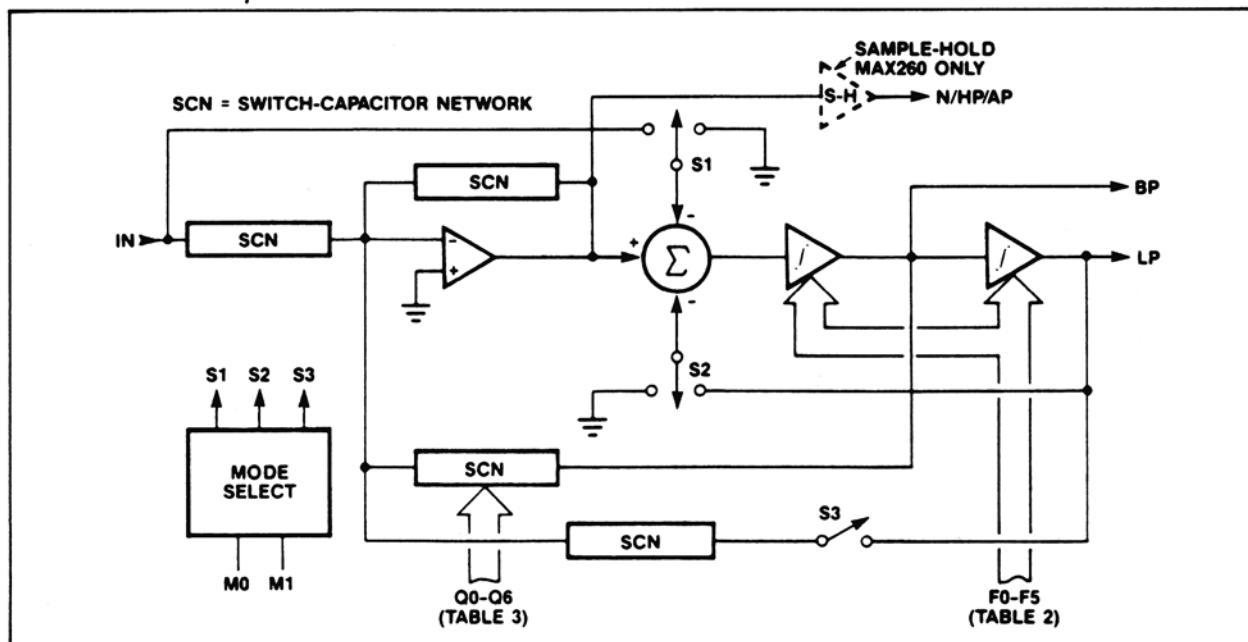


図1 フィルタ・ブロック・ダイアグラム(2次フィルタ1段のみ図示)

はじめに

MAX260/261/262はそれぞれ2つの2次スイッチド・キャパシタ・フィルタを内蔵しています。フィルタの状態変数のトポロジとカスケード接続した2つの積分器サミングアンプを図1に示します。MAX261とMAX262は更に用途の限定されていないアンプを内蔵しています。オンチップのスイッチやキャパシタがフィードバックを与え、各フィルタ・セクションの f_0 とQを制御します。これらのパラメータの精度は主にチップ内のキャパシタの比の精度で決定されます。スイッチド・キャパシタ・ネットワーク(SCN)は、実際はサンプリング・システムですが、特性はRCアクティブ・フィルタのような連続フィルタの特性によくマッチします。クロック周波数対フィルタ・センサ周波数の比(f_{CLK}/f_0)が大きく設定されていますので、理想的な2次の状態変数の応答特性が得られます。

MAX262はMAX260やMAX261よりも高いセンタ周波数(f_0)、広い信号帯域幅を得るため、サンプリング比(f_{CLK}/f_0)を低く設定してあります。従ってサンプリング・レートが小さくなることにより、理想連続フィルタからのパラメータ偏差が、MAX260/261よりいくらか大きくなります。しかし、この違いは図20(アプリケーション・ヒント)またはマキシムのフィルタ・デザイン・ソフトウェアを使って補正できます。

MAX260はMAX261やMAX262にはないオートゼロ回路を用いています。これにより、 f_0 の最大周波数、信号帯域幅は小さくなっていますが、DC特性、低周波特性を向上しています。MAX260のN/HP/APの出力はオートゼロ動作のため内部でサ

ンプル・アンド・ホールドされています。その結果、この出力の信号振幅はいくらか小さくなっています(MAX260のみ)。MAX260/261/262の信号帯域幅の比較には表1を参照して下さい。

マキシムではデザイン・プログラムも提供しており、フィルタの応答特性の仕様をMAX260シリーズ用の f_0 、Qのプログラム・コードに変換するのに役に立ちます。このソフトウェアは低いサンプリング・レートにおける f_0 とQの偏差の補正設定も行ないます。

MAX260シリーズにおいて、フィルタ内部のサンプリング・レートはクロック入力(CLKA、CLKB)の $\frac{1}{2}$ に分周されていることに注意して下さい。このデータシートではデータ、表、その他クロックに関係した記述ではCLKAまたはCLKBの入力周波数で定義しています。つまり、特に定義されていない限り、内部サンプリング・レートの2倍の周波数を意味します。

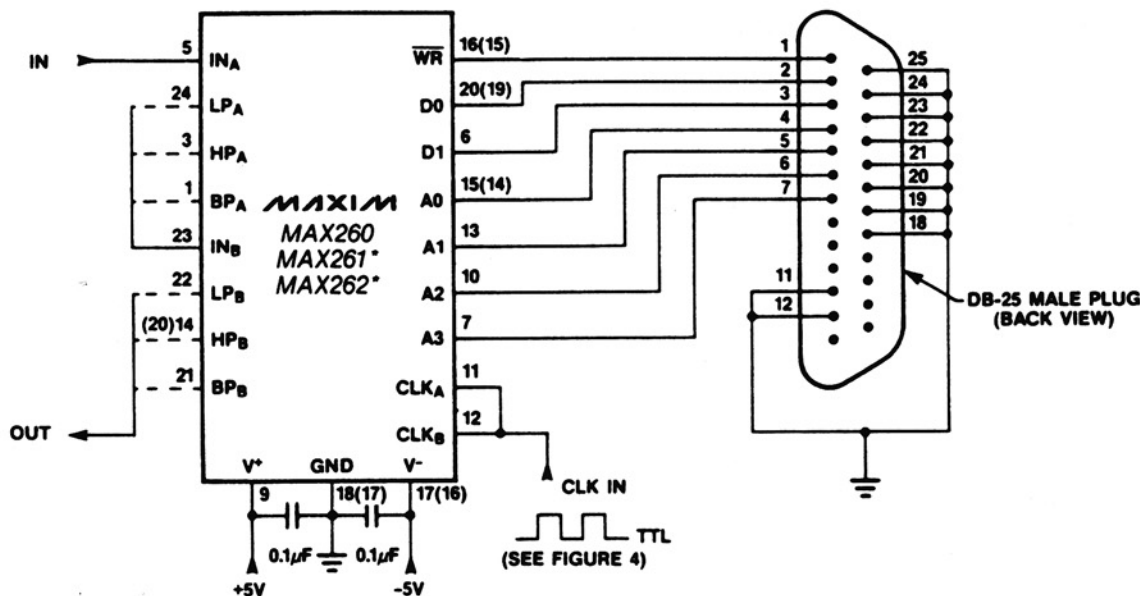
設計手順の概略

MAX260/261/262およびマキシムのフィルタ・デザイン・ソフトウェアを使うことにより、多くのアクティブ・フィルタの設計工程が簡略化されます。ほとんどの設計はこの章で述べる3ステップのプロセスで達成できます。デザイン・ソフトウェアを使わない場合、またはフィルタの複雑さがこの章の範囲を超えている場合には、続きの章により詳しいアプリケーションと設計情報を載せていますので参照して下さい。

```

100 ABS="FILTER A " : GOSUB 150 : REM GET DATA FOR SECTION A
110 ADD = 0 : GOSUB 220 : REM WRITE DATA TO THE PRINTER PORT
120 ABS="FILTER B " : GOSUB 150 : REM GET DATA FOR B
130 ADD = 32 : GOSUB 220 : REM WRITE DATA TO PRINTER PORT
140 GOTO 100
150 PRINT "MODE (1 to 4, see Table 5) "; ABS; : INPUT M
160 IF M<1 OR M>4 THEN GOTO 150
170 PRINT "CLOCK RATIO (0 to 63, N of Table 2) "; ABS; : INPUT F
180 IF F<0 OR F>63 THEN GOTO 170
190 PRINT "Q (0 to 127, N of Table 3) "; ABS; : INPUT Q
200 IF Q<0 OR Q>127 THEN GOTO 190 ELSE : PRINT
210 RETURN
220 LPRINT CHR$(ADD+M-1); : ADD = ADD+4
230 FOR I = 1 TO 3
240 X=(ADD + (F - 4*INT(F/4))) : LPRINT CHR$(X);
250 F=INT(F/4) : ADD = ADD + 4
260 NEXT I
270 FOR I = 1 TO 4
280 X=(ADD + (Q - 4*INT(Q/4))) : LPRINT CHR$(X);
290 Q=INT(Q/4) : ADD = ADD + 4
300 NEXT I
310 RETURN

```



()内はMAX261/262のピン番号を示します。

図2 パーソナルコンピュータによるプログラムのためのベーシック・プログラムとパラレルポートとの接続図

ステップ1—フィルタ・デザイン

まずプログラム“PZ”から始め、どんなフィルタ型式にするか決定します。ここでフィルタのタイプ（バターワース、チェビシェフ、その他）と極の数を最適化します。このプログラムは周波数応答をプロットし、極／ゼロ点(f_0)とQ値を各2次フィルタ・セクション毎に計算します。MAX260/261/262には2つの2次フィルタ・セクションが入っており、高次フィルタを作るにはカスケード接続して使います。

ステップ2—プログラミング係数の発生

ステップ1で得た f_0 とQの値から始め、プログラム“MPP”を用いて各2次フィルタ・セクションの f_0 とQをプログラムするデジタル係数が得られます。このプログラムは“N”の値を表示します(“N=__for f_0 ” and “N=__for Q”). Nはフィルタ・セクションの f_0 やQを設定するバイナリ・コードに相当する10進値です。これは表2、表3のNと同じものです。入力クロック周波数およびフィルタのモードもこのステップで選択します。しかし周波数の指定がされていない場合“GEN”が任意に選択します。モード・セクションは、通常のバンド

バスおよびローパスではモード1が最も適切です。ただしエリプティック・バンドパス、ローパスのときのみモード3にします。ハイパス・フィルタもモード3、オールパス・フィルタはモード4を選択します。フィルタ・モードについては、このデータ・シートの“フィルタ動作モード”の段により詳しく載っています。

ステップ3—フィルタのロード

各2次フィルタの f_0 およびQのN値が決まりましたら、フィルタをプログラムして動作させることができます。パーソナルコンピュータを使ってフィルタのプログラムと設計の評価を行なう方法を以下に示します。コンピュータのバラレル・プリンタ・ポートからMAX260/261/262に簡単なベーシック・プログラムでデータをロードします。このプログラムでフィルタ・モードと f_0 およびQのN値を指定します。これらの係数はASCIIコードでフィルタにロードされます。このプログラムはマキシムのフィルタ・デザイン・ソフトの他の部分と連動して使うことも、単独で使うこともできます。プログラムとセントロニクス・タイプのプリンタ・ポート用の接続を図2に示します。

フィルタ・デザイン・ソフトウェア

マキシムでは、フィルタの周波数レスポンスの設計仕様をハードウェアで実現するまでの開発期間を短縮するためのソフトを提供しています。このソフトには以下のプログラムが入っています。

プログラムPZ. センター周波数、Q、パスバンドのリップル、ストップバンドの減衰量等の要求項目を与えると、PZが必要な段数とそれぞれの段におけるポール周波数、Q値、 f_0 を計算します。

プログラムMPP. プログラムされたフィルタに使用される入力コードを計算し、設計値から求められるフィルタの性能を出力します。

プログラムFR 1段から数段の設計が終了した時点で、カスケード接続された特性をチェックします。出力周波数応答をPZでの応答と比較することができます。

プログラムPR. BAS パーソナル・コンピュータを使って、MAX260/261/262をプログラムするのに使います。各セクションのモード、 f_0 、Qを入力すると、コードに変換してコンピュータのバラレル・プリンタ・ポートからフィルタに送り込まれます。このプログラムは図2に示されています。マキシムの他のフィルタ製品を用いて設計するためのデザイン・プログラムも入っています。

他のフィルタ製品

MAX260、MAX261、MAX262の他にもマキシムからフィルタ用ICが開発されています。

ビン・プログラマブル・アクティブ・フィルタ: デュアルの2次ユニバーサル・フィルタ。外付け部品は不要です。マイクロプロセッサ・インターフェースも必要ありません。

MAX263 0.4Hz~30kHz f_0 範囲

MAX264 1Hz~75kHz f_0 範囲

抵抗/ビン・プログラマブル・フィルタ: デュアルの2次ユニバーサル・フィルタ・ビン・プログラマブルで得られるよりも高い f_0 の精度は外付け抵抗で調整します。

MAX265 0.4Hz~30kHz f_0 範囲、オペアンプ2個内蔵

MAX266 1Hz~75kHz f_0 範囲、オペアンプ2個内蔵

MF10 従来品。外付け抵抗によるプログラムのみ。

ビン・プログラマブル・バンドパス・フィルタ: デュアルの2次バンドパス・フィルタ。外付け部品不要。マイクロプロセッサ・インターフェースも不要。

MAX267 0.4Hz~30kHz f_0 範囲

MAX268 1Hz~75kHz f_0 範囲

プログラマブル・アンチエイリアス・フィルタ: プログラマブルのデュアル2次連続ローパス・フィルタです。スイッチング方式ではないのでクロック・ノイズが発生しません。サンプリング・フィルタやサンプリングのシステムの前段でアンチエイリアス・フィルタとして、また後段においてスムージング・フィルタとして使います。

MAX270 1kHz~25kHzの遮断周波数

5次ローパス・フィルタ: ゼロオフセット、ゼロドリフト・エラーを特長とし、高度のDC特性が要求されるアプリケーションに適しています。

MAX280、LT1062 0.1Hz~20kHzの遮断周波数

詳細説明

f_0 とQのプログラミング

MAX260のブロック・ダイアグラムを図3に示します。2次フィルタの各セクションは独立したクロック入力を持ち、 f_0 とQのコントロールも独立して行なえます。実際の中心周波数はフィルタのクロック周波数と6ビットの f_0 コントロール・ワード(表2参照)および動作モードによって決定されます。各セクションのQもまた、独立したプログラム入力で設定されます(表3参照)。このようにMAX260/261/262に内蔵されている2つのフィルタ・セクションがそれぞれ単独で調整されますので、複雑なフィルタの多項式も処理できます。プログラムのコード・ナンバーを f_{CLK}/f_0 やQの値に変換する等式は表2、表3の脚注に示してあります。

表1 クロック周波数と中心周波数(f_0)

PART	Q	MODE	f_{CLK}	f_0
MAX260	1	1	1Hz-400kHz	0.01Hz-4.0kHz
	1	2	1Hz-425kHz	0.01Hz-6.0kHz
	1	3	1Hz-500kHz	0.01Hz-5.0kHz
	1	4	1Hz-400kHz	0.01Hz-4.0kHz
	8	1	1Hz-500kHz	0.01Hz-5.0kHz
	8	2	1Hz-700kHz	0.01Hz-10.0kHz
	8	3	1Hz-700kHz	0.01Hz-5.0kHz
	8	4	1Hz-600kHz	0.01Hz-4.0kHz
	64	1	1Hz-750kHz	0.01Hz-7.5kHz
	90	2	1Hz-500kHz	0.01Hz-7.0kHz
	64	3	1Hz-400kHz	0.01Hz-4.0kHz
	64	4	1Hz-750kHz	0.01Hz-7.5kHz
MAX261	1	1	40Hz-4.0MHz	0.4Hz-40kHz
	1	2	40Hz-4.0MHz	0.5Hz-57kHz
	1	3	40Hz-4.0MHz	0.4Hz-40kHz
	1	4	40Hz-4.0MHz	0.4Hz-40kHz
	8	1	40Hz-2.7MHz	0.4Hz-27kHz
	8	2	40Hz-2.1MHz	0.5Hz-30kHz

PART	Q	MODE	f_{CLK}	f_0
MAX261	8	3	40Hz-1.7MHz	0.4Hz-17kHz
	8	4	40Hz-2.7MHz	0.4Hz-27kHz
	64	1	40Hz-2.0MHz	0.4Hz-20kHz
	90	2	40Hz-1.2MHz	0.4Hz-18kHz
	64	3	40Hz-1.2MHz	0.4Hz-12kHz
	64	4	40Hz-2.0MHz	0.4Hz-20kHz
MAX262	1	1	40Hz-4.0MHz	1.0Hz-100kHz
	1	2	40Hz-4.0MHz	1.4Hz-140kHz
	1	3	40Hz-4.0MHz	1.0Hz-100kHz
	1	4	40Hz-4.0MHz	1.0Hz-100kHz
	8	1	40Hz-2.5MHz	1.0Hz-60kHz
	8	2	40Hz-1.4MHz	1.4Hz-50kHz
	8	3	40Hz-1.4MHz	1.0Hz-35kHz
	8	4	40Hz-2.5MHz	1.0Hz-60kHz
	64	1	40Hz-1.5MHz	1.0Hz-37kHz
	90	2	40Hz-0.9MHz	1.4Hz-32kHz
	64	3	40Hz-0.9MHz	1.0Hz-22kHz
	64	4	40Hz-1.5MHz	1.0Hz-37kHz

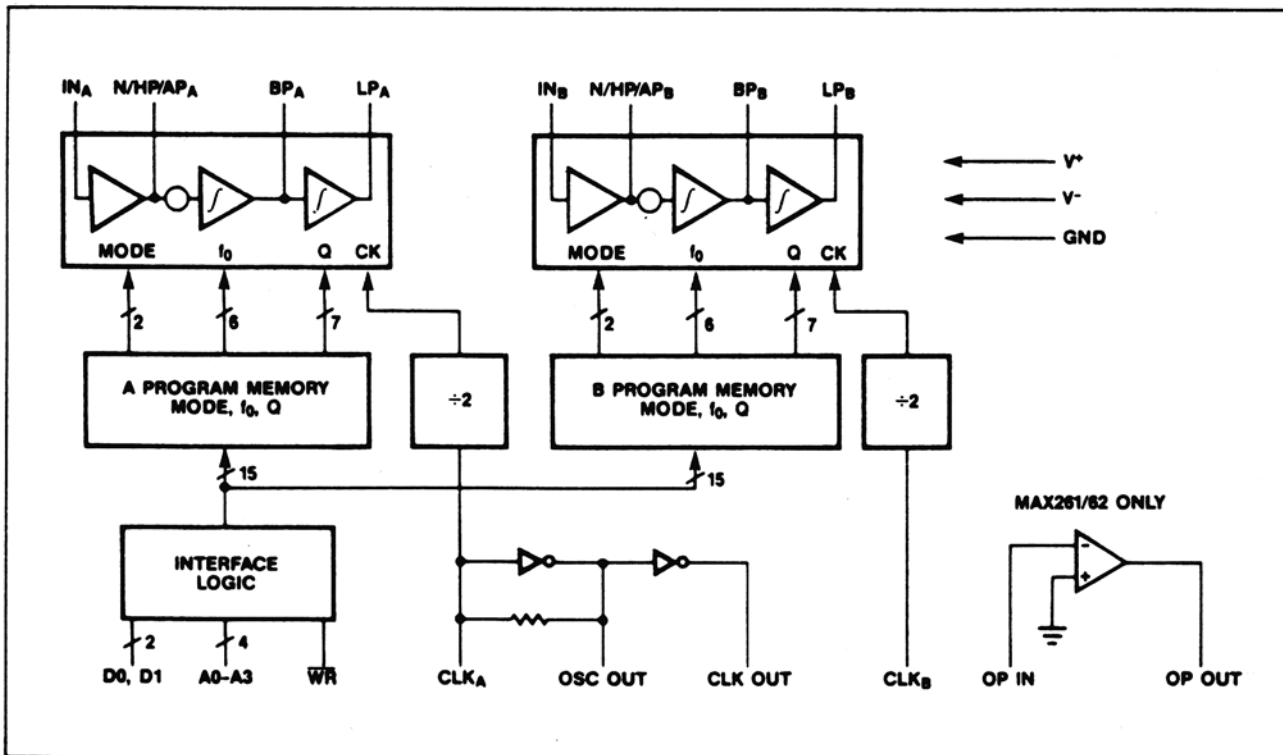


図3 MAX260/261/262 ブロック・ダイアグラム

Table 2. f_{CLK}/f_0 Program Selection Table

f_{CLK}/f_0 RATIO				PROGRAM CODE						
MAX260/61		MAX262		N	F5	F4	F3	F2	F1	F0
MODE 1,3,4	MODE 2	MODE 1,3,4	MODE 2							
100.53	71.09	40.84	28.88	0	0	0	0	0	0	0
102.10	72.20	42.41	29.99	1	0	0	0	0	0	1
103.67	73.31	43.98	31.10	2	0	0	0	0	1	0
105.24	74.42	45.55	32.21	3	0	0	0	0	1	1
106.81	75.53	47.12	33.32	4	0	0	0	1	0	0
108.38	76.64	48.69	34.43	5	0	0	0	1	0	1
109.96	77.75	50.27	35.54	6	0	0	0	1	1	0
111.53	78.86	51.84	36.65	7	0	0	0	1	1	1
113.10	79.97	53.41	37.76	8	0	0	1	0	0	0
114.67	81.08	54.98	38.87	9	0	0	1	0	0	1
116.24	82.19	56.55	39.99	10	0	0	1	0	1	0
117.81	83.30	58.12	41.10	11	0	0	1	0	1	1
119.38	84.42	59.69	42.21	12	0	0	1	1	0	0
120.95	85.53	61.26	43.32	13	0	0	1	1	0	1
122.52	86.64	62.83	44.43	14	0	0	1	1	1	0
124.09	87.75	64.40	45.54	15	0	0	1	1	1	1
125.66	88.86	65.97	46.65	16	0	1	0	0	0	0
127.23	89.97	67.54	47.76	17	0	1	0	0	0	1
128.81	91.08	69.12	48.87	18	0	1	0	0	1	0
130.38	92.19	70.69	49.98	19	0	1	0	0	1	1
131.95	93.30	72.26	51.10	20	0	1	0	1	0	0
133.52	94.41	73.83	52.20	21	0	1	0	1	0	1
135.08	95.52	75.40	53.31	22	0	1	0	1	1	0
136.66	96.63	76.97	54.43	23	0	1	0	1	1	1
138.23	97.74	78.53	55.54	24	0	1	1	0	0	0
139.80	98.86	80.11	56.65	25	0	1	1	0	0	1
141.37	99.97	81.68	57.76	26	0	1	1	0	1	0
142.94	101.08	83.25	58.87	27	0	1	1	0	1	1
144.51	102.19	84.82	59.98	28	0	1	1	1	0	0
146.08	103.30	86.39	61.09	29	0	1	1	1	0	1
147.65	104.41	87.96	62.20	30	0	1	1	1	1	0
149.23	105.52	89.54	63.31	31	0	1	1	1	1	1
150.80	106.63	91.11	64.42	32	1	0	0	0	0	0
152.37	107.74	92.68	65.53	33	1	0	0	0	0	1
153.98	108.85	94.25	66.64	34	1	0	0	0	1	0
155.51	109.96	95.82	67.75	35	1	0	0	0	1	1
157.08	111.07	97.39	68.86	36	1	0	0	1	0	0
158.65	112.18	98.96	69.98	37	1	0	0	1	0	1
160.22	113.29	100.53	71.09	38	1	0	0	1	1	0
161.79	114.41	102.10	72.20	39	1	0	0	1	1	1
163.36	115.52	102.67	73.31	40	1	0	1	0	0	0
164.93	116.63	105.24	74.42	41	1	0	1	0	0	1
166.50	117.74	106.81	75.53	42	1	0	1	0	1	0
168.08	118.85	108.38	76.64	43	1	0	1	0	1	1
169.65	119.96	109.96	77.75	44	1	0	1	1	0	0
171.22	121.07	111.53	78.86	45	1	0	1	1	0	1
172.79	122.18	113.10	79.97	46	1	0	1	1	1	0
174.36	123.29	114.66	81.08	47	1	0	1	1	1	1

MAX260/261/262

Table 2. f_{CLK}/f_0 Program Selection Table (Continued)

f_{CLK}/f_0 RATIO				PROGRAM CODE						
MAX260/61		MAX262		N	F5	F4	F3	F2	F1	F0
MODE 1,3,4	MODE 2	MODE 1,3,4	MODE 2							
175.93	124.40	116.24	82.19	48	1	1	0	0	0	0
177.50	125.51	117.81	83.30	49	1	1	0	0	0	1
179.07	126.62	119.38	84.41	50	1	1	0	0	1	0
180.64	127.73	120.95	85.53	51	1	1	0	0	1	1
182.21	128.84	122.52	86.64	52	1	1	0	1	0	0
183.78	129.96	124.09	87.75	53	1	1	0	1	0	1
185.35	131.07	125.66	88.86	54	1	1	0	1	1	0
186.92	132.18	127.23	89.97	55	1	1	0	1	1	1
188.49	133.29	128.81	91.08	56	1	1	1	0	0	0
190.07	134.40	130.38	92.19	57	1	1	1	0	0	1
191.64	135.51	131.95	93.30	58	1	1	1	0	1	0
193.21	136.62	133.52	94.41	59	1	1	1	0	1	1
194.78	137.73	135.09	95.52	60	1	1	1	1	0	0
196.35	138.84	136.66	96.63	61	1	1	1	1	0	1
197.92	139.95	138.23	97.74	62	1	1	1	1	1	0
199.49	141.06	139.80	98.85	63	1	1	1	1	1	1

Notes: 1) For the MAX260/61, $f_{CLK}/f_0 = (64 + N)\pi/2$ in Mode 1, 3, and 4, where N varies from 0 to 63.
 2) For the MAX262, $f_{CLK}/f_0 = (26 + N)\pi/2$ in Mode 1, 3, and 4, where N varies 0 to 63.
 3) In Mode 2, all f_{CLK}/f_0 ratios are divided by $\sqrt{2}$. The functions are then:
 MAX260/61 $f_{CLK}/f_0 = 1.11072 (64 + N)$, MAX262 $f_{CLK}/f_0 = 1.11072 (26 + N)$

Table 3. Q Program Selection Table

PROGRAMMED Q		PROGRAM CODE							
MODE 1,3,4	MODE 2	N	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0.500*	0.707*	0*	0	0	0	0	0	0	0
0.504	0.713	1	0	0	0	0	0	0	1
0.508	0.718	2	0	0	0	0	0	1	0
0.512	0.724	3	0	0	0	0	0	1	1
0.516	0.730	4	0	0	0	0	1	0	0
0.520	0.736	5	0	0	0	0	1	0	1
0.525	0.742	6	0	0	0	0	1	1	0
0.529	0.748	7	0	0	0	0	1	1	1
0.533	0.754	8	0	0	0	1	0	0	0
0.538	0.761	9	0	0	0	1	0	0	1
0.542	0.767	10	0	0	0	1	0	1	0
0.547	0.774	11	0	0	0	1	0	1	1
0.552	0.780	12	0	0	0	1	1	0	0
0.556	0.787	13	0	0	0	1	1	0	1
0.561	0.794	14	0	0	0	1	1	1	0
0.566	0.801	15	0	0	0	1	1	1	1
0.571	0.808	16	0	0	1	0	0	0	0
0.577	0.815	17	0	0	1	0	0	0	1
0.582	0.823	18	0	0	1	0	0	1	0
0.587	0.830	19	0	0	1	0	0	1	1
0.593	0.838	20	0	0	1	0	1	0	0
0.598	0.846	21	0	0	1	0	1	0	1
0.604	0.854	22	0	0	1	0	1	1	0
0.609	0.862	23	0	0	1	0	1	1	1

PROGRAMMED Q		PROGRAM CODE							
MODE 1,3,4	MODE 2	N	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0.615	0.870	24	0	0	1	1	0	0	0
0.621	0.879	25	0	0	1	1	0	0	1
0.627	0.887	26	0	0	1	1	0	1	0
0.634	0.896	27	0	0	1	1	0	1	1
0.640	0.905	28	0	0	1	1	1	0	0
0.646	0.914	29	0	0	1	1	1	0	1
0.653	0.924	30	0	0	1	1	1	1	0
0.660	0.933	31	0	0	1	1	1	1	1
0.667	0.943	32	0	1	0	0	0	0	0
0.674	0.953	33	0	1	0	0	0	0	1
0.681	0.963	34	0	1	0	0	0	1	0
0.688	0.973	35	0	1	0	0	0	1	1
0.696	0.984	36	0	1	0	0	1	0	0
0.703	0.995	37	0	1	0	0	1	0	1
0.711	1.01	38	0	1	0	0	1	1	0
0.719	1.02	39	0	1	0	0	1	1	1
0.727	1.03	40	0	1	0	1	0	0	0
0.736	1.04	41	0	1	0	1	0	0	1
0.744	1.05	42	0	1	0	1	0	1	0
0.753	1.06	43	0	1	0	1	0	1	1
0.762	1.08	44	0	1	0	1	1	0	0
0.771	1.09	45	0	1	0	1	1	0	1
0.780	1.10	46	0	1	0	1	1	1	0
0.790	1.12	47	0	1	0	1	1	1	1

Notes: 4) * Writing all 0s into Q0A-Q6A on Filter A activates a low power shutdown mode. BOTH filter sections are deactivated. Therefore this Q value is only achievable in filter B.

Table 3. Q Program Selection Table (Continued)

PROGRAMMED Q		PROGRAM CODE							
MODE 1,3,4	MODE 2	N	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0.800	1.13	48	0	1	1	0	0	0	0
0.810	1.15	49	0	1	1	0	0	0	1
0.821	1.16	50	0	1	1	0	0	1	0
0.831	1.18	51	0	1	1	0	0	1	1
0.842	1.19	52	0	1	1	0	1	0	0
0.853	1.21	53	0	1	1	0	1	0	1
0.865	1.22	54	0	1	1	0	1	1	0
0.877	1.24	55	0	1	1	0	1	1	1
0.889	1.26	56	0	1	1	1	0	0	0
0.901	1.27	57	0	1	1	1	0	0	1
0.914	1.29	58	0	1	1	1	0	1	0
0.928	1.31	59	0	1	1	1	0	1	1
0.941	1.33	60	0	1	1	1	1	0	0
0.955	1.35	61	0	1	1	1	1	0	1
0.969	1.37	62	0	1	1	1	1	1	0
0.985	1.39	63	0	1	1	1	1	1	1
1.00	1.41	64	1	0	0	0	0	0	0
1.02	1.44	65	1	0	0	0	0	0	1
1.03	1.46	66	1	0	0	0	0	1	0
1.05	1.48	67	1	0	0	0	0	1	1
1.07	1.51	68	1	0	0	0	1	0	0
1.08	1.53	69	1	0	0	0	1	0	1
1.10	1.56	70	1	0	0	0	1	1	0
1.12	1.59	71	1	0	0	0	1	1	1
1.14	1.62	72	1	0	0	1	0	0	0
1.16	1.65	73	1	0	0	1	0	0	1
1.19	1.68	74	1	0	0	1	0	1	0
1.21	1.71	75	1	0	0	1	0	1	1
1.23	1.74	76	1	0	0	1	1	0	0
1.25	1.77	77	1	0	0	1	1	0	1
1.28	1.81	78	1	0	0	1	1	1	0
1.31	1.85	79	1	0	0	1	1	1	1
1.33	1.89	80	1	0	1	0	0	0	0
1.36	1.93	81	1	0	1	0	0	0	1
1.39	1.97	82	1	0	1	0	0	1	0
1.42	2.01	83	1	0	1	0	0	1	1
1.45	2.06	84	1	0	1	0	1	0	0
1.49	2.10	85	1	0	1	0	1	0	1
1.52	2.16	86	1	0	1	0	1	1	0
1.56	2.21	87	1	0	1	0	1	1	1

PROGRAMMED Q		PROGRAM CODE							
MODE 1,3,4	MODE 2	N	Q6	Q5	Q4	Q3	Q2	Q1	Q0
1.60	2.26	88	1	0	1	1	0	0	0
1.64	2.32	89	1	0	1	1	0	0	1
1.68	2.40	90	1	0	1	1	0	1	0
1.73	2.45	91	1	0	1	1	0	1	1
1.78	2.51	92	1	0	1	1	1	0	0
1.83	2.59	93	1	0	1	1	1	0	1
1.88	2.66	94	1	0	1	1	1	1	0
1.94	2.74	95	1	0	1	1	1	1	1
2.00	2.83	96	1	1	0	0	0	0	0
2.06	2.92	97	1	1	0	0	0	0	1
2.13	3.02	98	1	1	0	0	0	1	0
2.21	3.12	99	1	1	0	0	0	1	1
2.29	3.23	100	1	1	0	0	1	0	0
2.37	3.35	101	1	1	0	0	1	0	1
2.46	3.48	102	1	1	0	0	1	1	0
2.56	3.62	103	1	1	0	0	1	1	1
2.67	3.77	104	1	1	0	1	0	0	0
2.78	3.96	105	1	1	0	1	0	0	1
2.91	4.11	106	1	1	0	1	0	1	0
3.05	4.31	107	1	1	0	1	0	1	1
3.20	4.53	108	1	1	0	1	1	0	0
3.37	4.76	109	1	1	0	1	1	0	1
3.56	5.03	110	1	1	0	1	1	1	0
3.76	5.32	111	1	1	0	1	1	1	1
4.00	5.66	112	1	1	1	0	0	0	0
4.27	6.03	113	1	1	1	0	0	0	1
4.57	6.46	114	1	1	1	0	0	1	0
4.92	6.96	115	1	1	1	0	0	1	1
5.33	7.54	116	1	1	1	0	1	0	0
5.82	8.23	117	1	1	1	0	1	0	1
6.40	9.05	118	1	1	1	0	1	1	0
7.11	10.1	119	1	1	1	0	1	1	1
8.00	11.3	120	1	1	1	1	0	0	0
9.14	12.9	121	1	1	1	1	0	0	1
10.7	15.1	122	1	1	1	1	0	1	0
12.8	18.1	123	1	1	1	1	0	1	1
16.0	22.6	124	1	1	1	1	1	0	0
21.3	30.2	125	1	1	1	1	1	0	1
32.0	45.3	126	1	1	1	1	1	1	0
64.0	90.5	127	1	1	1	1	1	1	1

Notes: 5) In Modes 1, 3, and 4: $Q = 64/(128-N)$

6) In Mode 2, the listed Q values are those of Mode 1 multiplied by $\sqrt{2}$. Then $Q = 90.51/(128-N)$

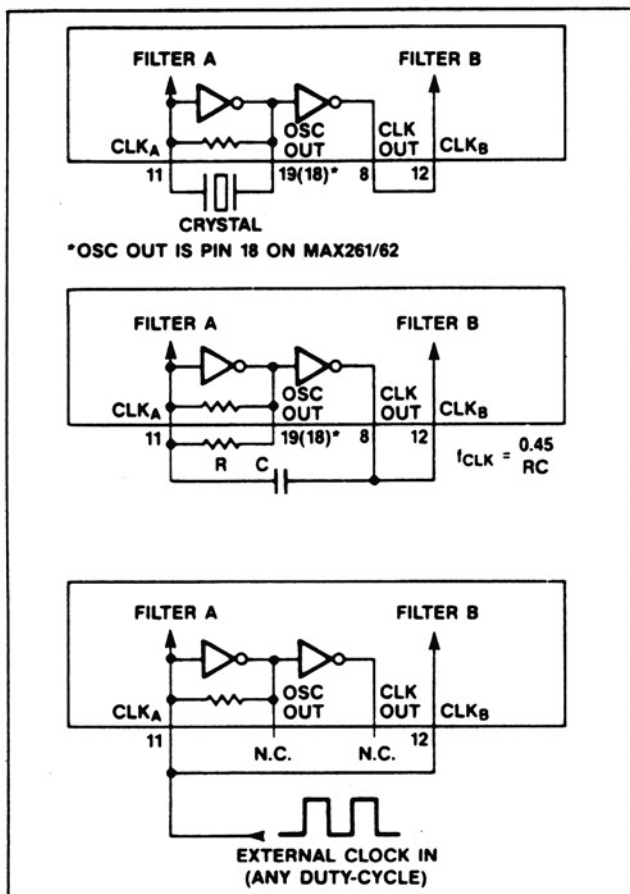


Table 4. Program Address Locations

DATA BIT		ADDRESS				LOCATION
D0	D1	A3	A2	A1	A0	
FILTER A						
M0 _A	M1 _A	0	0	0	0	0
F0 _A	F1 _A	0	0	0	1	1
F2 _A	F3 _A	0	0	1	0	2
F4 _A	F5 _A	0	0	1	1	3
Q0 _A	Q1 _A	0	1	0	0	4
Q2 _A	Q3 _A	0	1	0	1	5
Q4 _A	Q5 _A	0	1	1	0	6
Q6 _A		0	1	1	1	7
FILTER B						
M0 _B	M1 _B	1	0	0	0	8
F0 _B	F1 _B	1	0	0	1	9
F2 _B	F3 _B	1	0	1	0	10
F4 _B	F5 _B	1	0	1	1	11
Q0 _B	Q1 _B	1	1	0	0	12
Q2 _B	Q3 _B	1	1	0	1	13
Q4 _B	Q5 _B	1	1	1	0	14
Q6 _B		1	1	1	1	15

Note: Writing 0 into Q0_A-Q6_A (address locations 4-7) on Filter A activates shutdown mode. BOTH filter sections deactivate.

とデータの入力はTTL/CMOSコンパチブルです。その他の電圧ではCMOSのロジック・レベルとなります。図5にインターフェースのタイミングを示します。

注: CLK_AとCLK_Bのクロック入力はデジタル・インターフェースとは関係ありません。ただスイッチド・キャパシタ・フィルタのサンプリング・レートは制御しているだけです。

ロジック入力の立上り/立下りエッジでフィルタ出力にノイズが発生することがあります。このノイズが問題になるときは、図6のようにロジック・ゲートを使ってデジタル・ラインをバッファする必要があります。

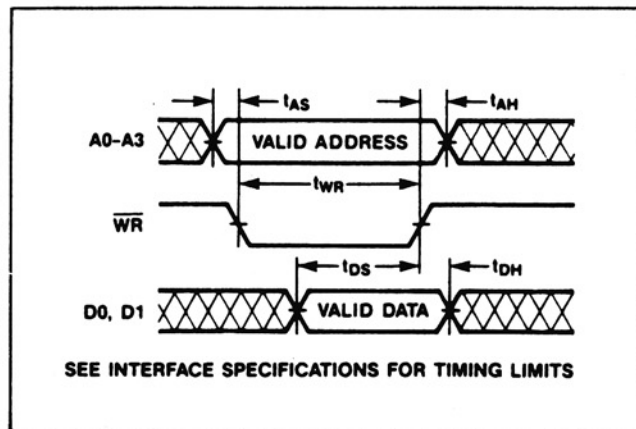


Figure 5. Interface Timing

発振器とクロック入力
MAX260/261/262のクロック回路は図4で示されているように、水晶発振器でもRCネットワークでも外部クロックでも動作します。RCネットワークを用いた場合 f_{CLK} は大体 $0.45/RC$ となります。

CLK_AとCLK_Bのクロックのデューティ・サイクルは重要ではありません。なぜならクロック入力は $1/2$ に分周され、各フィルタ・セクションのサンプリング・クロックを発生しているからです。エイリアシング、その他サンプリングに関する現象を検討するときには、サンプリング・レートも $1/2$ に分周されていることに注意して下さい。

マイクロプロセッサ・インターフェース
 f_0 、Q、およびモード選択のデータは内部のプログラム・メモリにストアされます。このメモリの内容はA₀-A₃で選択したアドレスに書き込むことによりアップデートされます。D₀とD₁がデータ入力です。メモリ・ロケーションのマップは表4に示されています。データはWRの立上りエッジで選択したアドレスに書き込まれます。電源電圧が±5Vのとき、アドレス

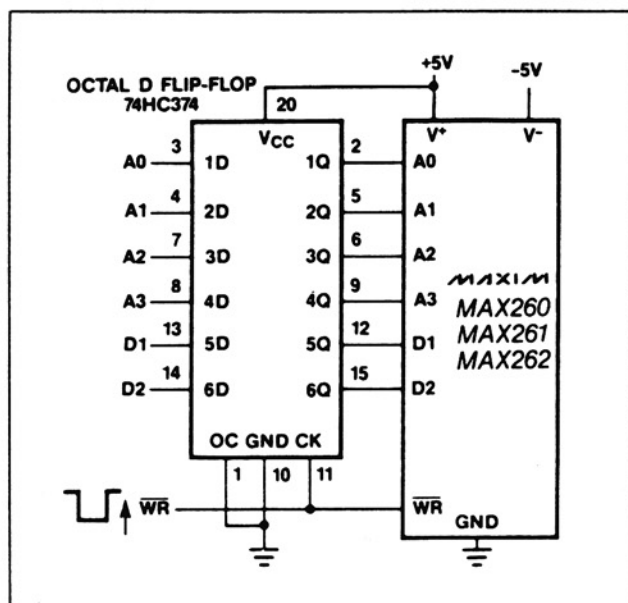


Figure 6. Buffering/Latching Logic Inputs

シャットダウン・モード

MAX260/261/262は、フィルタAのQアドレス(Q_A—Q₆)の全てに“0”が書き込まれると、シャットダウン/スタンバイのモードに入ります。シャットダウン時の消費電力は10mW typ.となります(±5V時)。シャットダウン後再びフィルタを立ち上げるときは、フル・オペレーションまでに2msかかります。

フィルタ・オペレーティング・モード

MAX260/261/262の各フィルタ・セクション内のサミングアンプ、積分器の構成の方法はいくつかあります。4種類の最も多目的な内部結線の方法(モード)はM₀、M₁入力に書き込むことで選択できます(表4、表5参照)。これらのモードでは外付け部品は不要です。5番目のモード、3Aではもう1つのアンプ(MAX261とMAX262は内蔵)と外付けの抵抗を使い

ますが、内部の結線は同じです。このモードはモード3と同じプログラミング・コードで選択されます。

図7から図11にMAX260のフィルタ・モードを図示します。各ケースとも2次のフィルタ・セクションの1つのみが示されています。MAX260/261/262内のA、Bのセクションをそれぞれ違ったモードにプログラムすることもできます。各ケースのf₀、f_N(ノッチ)、Qおよび出力ゲインが表5に示されています。

フィルタ・モードの選択

モード1(図7)はバターワース、チェビシェフ、ベッセル等のような、全極ローパス、バンドパスを作るのに役立ちます。ノッチ・フィルタを作ることもできますが、相対的な極とゼロの位置が固定されているので、2次ノッチ・フィルタのみとなります。2次以上のノッチ・フィルタはf₀とf_Nに幅が必要ですので、モード3Aを用いた方が容易になります。

モード1とモード4が最大のクロック周波数をサポートします(表1)、これは入力サミング・アンプがフィルタの共振ループの外部にあるからです(図7)。ローパス出力とノッチ出力のゲインは1ですが、バンドパスのゲインは中心周波数に

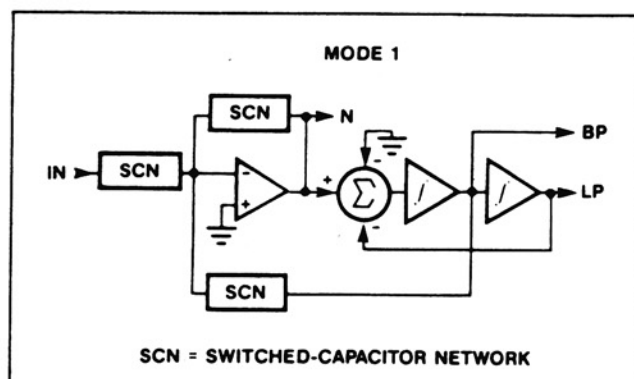


Figure 7. Filter Mode 1: Second-Order Bandpass, Lowpass and Notch

Table 5. Filter Modes for Second-Order Functions

MODE	M1, M0	FILTER FUNCTIONS	f ₀	Q	f _N	H _{OLP}	H _{OBP}	H _{ON1} (f → 0)	H _{ON2} (f → f _{CLK} /4)	OTHER
1	0, 0	LP, BP, N	SEE TABLE 2	SEE TABLE 3	f ₀	-1	-Q	-1	-1	
2	0, 1	LP, BP, N			f ₀ √2	-0.5	-Q/√2	-0.5	-1	
3	1, 0	LP, BP, HP				-1	-Q			H _{OHP} = -1
3A	1, 0	LP, BP, HP, N			f ₀ √(R _H /R _L)	-1	-Q	+ R _G /R _L	+ R _G /R _H	H _{OHP} = -1
4	1, 1	LP, BP, AP				-2	-2Q			H _{OAP} = -1 f _Z = f ₀ , Q _Z = Q

Notes: f₀ = Center Frequency
f_N = Notch Frequency
H_{OLP} = Lowpass Gain at DC
H_{OBP} = Bandpass Gain at f₀
H_{OHP} = Highpass Gain as f approaches f_{CLK}/4

H_{ON1} = Notch Gain as f approaches DC
H_{ON2} = Notch Gain as f approaches f_{CLK}/4
H_{OAP} = Allpass Gain
f_Z, Q_Z = f and Q of Complex Pole Pair

においてQとなります。Q以外のバンドパス・ゲインは、フィルタの入力もしくは出力を抵抗分割するか、オペアンプを使って得られます。

モード2 (図8) は全極ローパス、バンドパスに使います。モード1よりも高いQ(表3参照)、低い出力ノイズが得られます。モード2の f_{CLK}/f_0 はモード1の $1/\sqrt{2}$ ですので(表2参照)、両方のモードを同時に使うと1つのクロック入力から広い f_0 の範囲が選択できます。これはワイドパス・バンド・チェビシェフ、バンドパスの設計例に示されています。

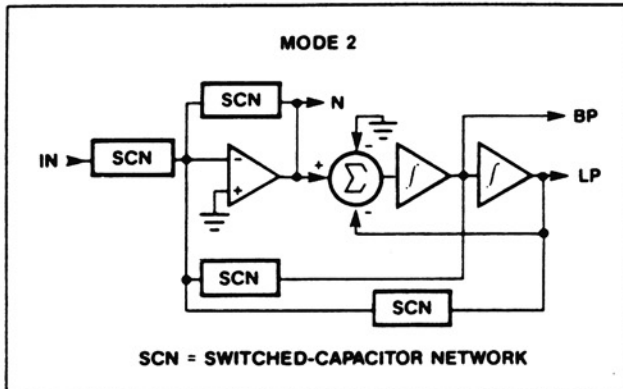


Figure 8. Filter Mode 2: Second-Order Bandpass, Lowpass and Notch

モード3 (図9) はハイパスが作れる唯一のモードです。最大クロック周波数はモード1よりやや小さくなります(表1参照)。

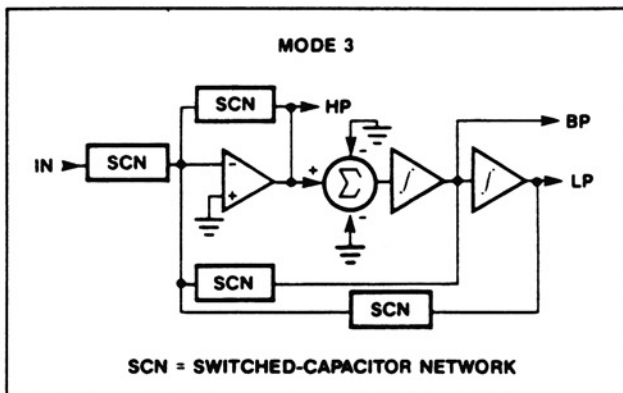


Figure 9. Filter Mode 3: Second-Order Bandpass, Lowpass and Highpass

モード3A (図10) ではモード3のハイパス出力とローパス出力の合成にもう1つサミング・アンプを使用します。この出力は、オペアンプの帰還抵抗比(R_H, R_L)を調整することでノッチの f_0 を独立して設定できます。 R_H, R_L, R_G は外付け抵抗です。ノッチが独立して設定できるので、モード3Aはエリプティックのようなポール・ゼロ・フィルタにも使えます。

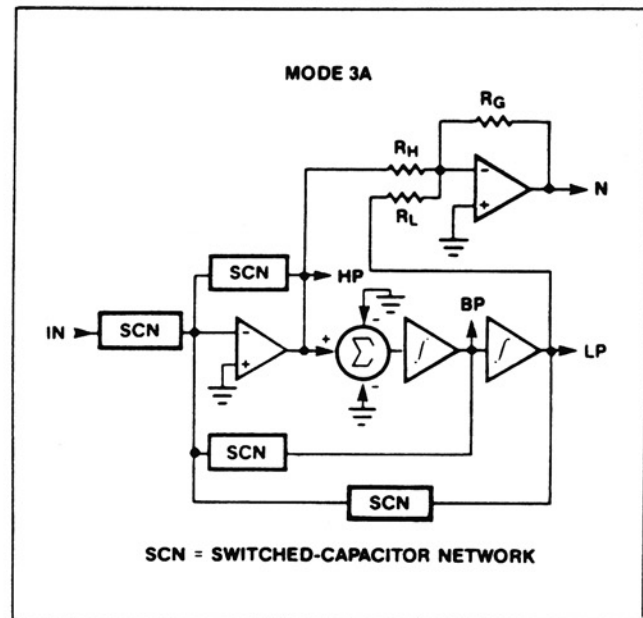


Figure 10. Filter Mode 3A: Second-Order Bandpass, Lowpass, Highpass and Notch. For elliptic LP, BP, HP and Notch, the N output is used

モード4 (図11) はオールパスが作れる唯一のモードです。これはグループ・ディレーの均等化を行なうのに使います。さらに、モード4は全極ローパス、バンドパスにも使えます。モード1とこのモード4が最高速モードですが、ゲインは違います。オールパスとして使用する場合、 f_0 において出力振幅にピーキング($Q=8$ で約0.3dB)が発生することに注意して下さい。また f_0 とQのサンプリング・エラーもモード4で一番高くなります(図20参照)。

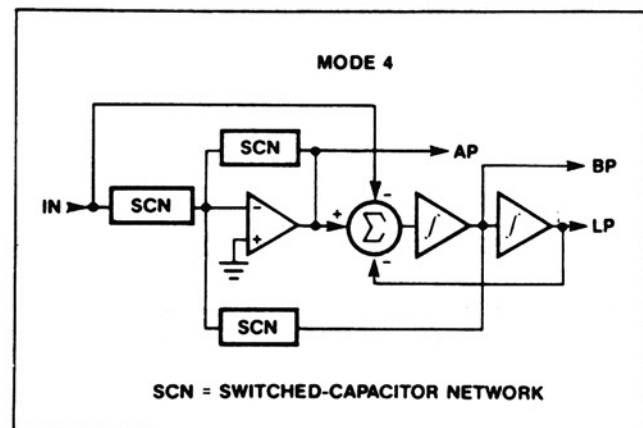


Figure 11. Filter Mode 4: Second-Order Bandpass, Lowpass and Allpass

フィルタの動作説明

バンドパス (図12)

全極バンドパス、ローパス・フィルタ (バターワース、ベッセル、チェビシェフ) には、できればモード1を使います。もし、モード1で適切な f_{CLK}/f_0 や Q の値が得られない時は、モード2で要求する値に近い値が選択できます。しかしモード1が最も大きい帯域幅を持っています (表1参照)。エリプティックのようなポールゼロ・フィルタにはモード3Aを使います。

$$G(s) = H_{OBP} \frac{s(\omega_0/Q)}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

H_{OBP} : $\omega = \omega_0$ におけるバンドパス出力ゲイン

$f_0 = \omega_0/2\pi$: 複合極ペアの中心周波数

f_0 において入力-出力の位相シフトは -180° 。

Q : 複合極ペアの Q 。また2次バンドパス応答における f_0 と -3dB の帯域幅の比。

ローパス バンドパスの説明参照 (図13)

$$G(s) = H_{OLP} \frac{\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

H_{OLP} : DC におけるローパス出力ゲイン

$f_0 = \omega_0/2\pi$

ハイパス (図14)

ハイパスが作れるのはモード3のみです。バターワース、ベッセル、チェビシェフのような全極フィルタに使えます。エリプティックのようなポールとゼロの両方必要なフィルタにはモード3Aを使用します。

$$G(s) = H_{OHP} \frac{s^2}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

H_{OHP} : f が $f_{CLK}/4$ に近づいた時のハイパス出力ゲイン

$f_0 = \omega_0/2\pi$

ノッチ (図15)

多極ノッチ・フィルタにはモード3Aを選択します。2次フィルタではモード1も使用できます。モード1の長所はモード3より大きい帯域幅が得られること (大きい f_n が使える) と、モード3Aで必要な外付け部品が不要なことです。

$$G(s) = H_{ONZ} \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

H_{ONZ} : f が $f_{CLK}/4$ に近づいた時のノッチ出力ゲイン

H_{ONI} : f が DC に近づいた時のノッチ出力ゲイン

$f_n = \omega_n/2\pi$

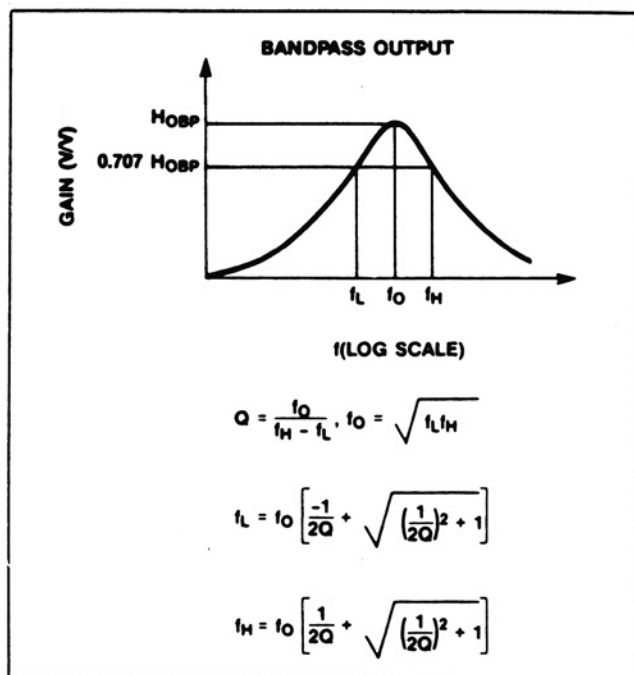


Figure 12. Second-Order Bandpass Characteristics

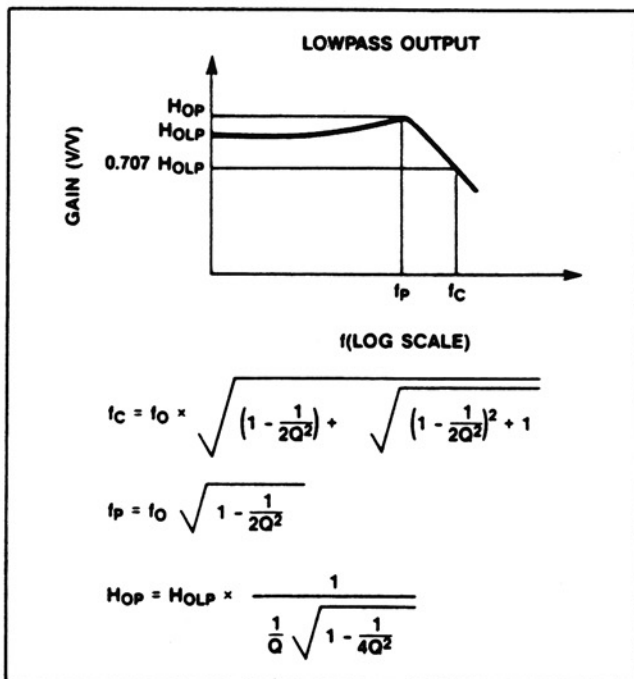


Figure 13. Second-Order Lowpass Characteristics

フィルタ設計手順

通常、フィルタ設計の手順は、まず周波数応答の要求仕様からフィルタを構成するいくつかの2次セクションの f_0 、 Q への変換です。これには与えられている設計用の式や表を用いるか、マキシムのフィルタ・デザイン・ソフトを使って計算することもできます。 f_0 と Q が決定したら、次にそれをMAX260/261/262用のデジタル・プログラム係数に変えます。動作モードとクロック周波数（またはクロック／中心周波数の比）の選択も必要です。

もし、サンプリング・レート($f_{CLK}/2$)が低過ぎて明らかにエラーを生じるときは図20かマキシムのデザイン・ソフトを用いて、サンプリング効果を出せるように f_0 と Q の値の変更を行ないます。通常サンプリング・エラーは1%以下と小さく、この変更は必要ありません。いずれにしろ、 f_0 と Q の値は表2、表3を用いて選択することができます。この最後の設計ステップもマキシムのデザイン・ソフトに入っています。要求される f_0 と Q を表示し、相当するデジタル係数を出力します。

フィルタのカスケード接続

狭帯域フィルタの設計などでは、同じ中心周波数の2次セクションをいくつかカスケード接続します。合成フィルタの Q ($=Q_T$)は、

$$Q_T = \frac{Q}{\sqrt{(2^N - 1)}}$$

ここで、 Q は各フィルタ・セクションの Q で、 N はカスケード接続したセクションの数を表わします。表6に同じ2次セクションをカスケード接続したときの Q と帯域幅を示します。 B は各セクションの帯域幅です。

Table 6. Cascading Identical Bandpass Filter Sections

Total Sections	Total B.W.	Total Q
1	1.000 B	1.00 Q
2	0.644 B	1.55 Q
3	0.510 B	1.96 Q
4	0.435 B	2.30 Q
5	0.386 B	2.60 Q

Note: B = individual stage bandwidth, Q = individual stage Q.

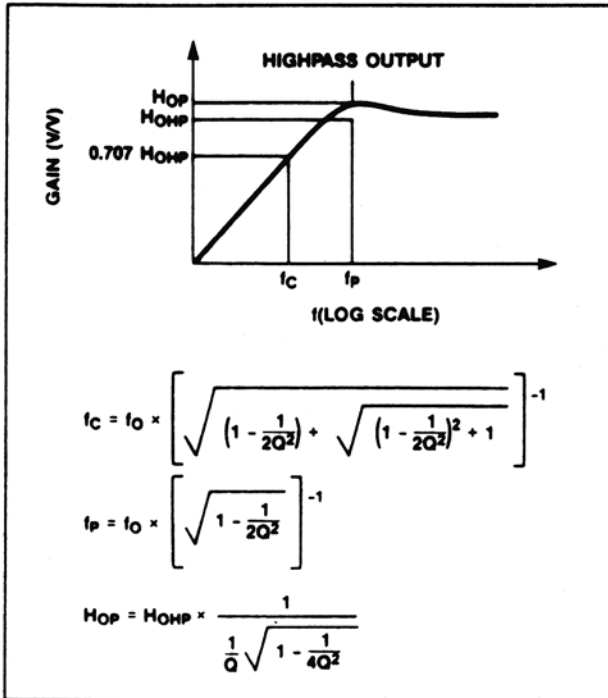


Figure 14. Second-Order Highpass Characteristics

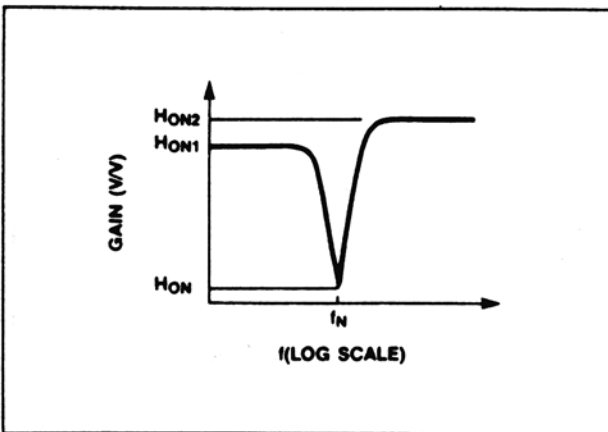


Figure 15. Second-Order Notch Characteristics

オールパス

オールパスが作れるのはモード4のみです。

$$G(s) = H_{OAP} \frac{s^2 - s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2}$$

H_{OAP} : $DC < f < f_{CLK}/4$ におけるオールパス出力ゲイン

$$f_0 = \omega_0 / 2\pi$$

高次のバンドパス・フィルタでは、違う f_0 や Q のセクションも同様にカスケード接続します。このときバンドパスの中心周波数におけるオーバーオール・フィルタ・ゲインは各セクションのゲインの単なる積とはなりません。なぜなら各2次セクションにおいてそのゲインを決めている周波数 f_0 が違うからです。カスケード接続したフィルタの中心周波数における各フィルタのゲインは、必要なトータル・ゲインが得られるように決められます。

全極フィルタにおいて、オーバーオールの中心周波数における各セクションのゲイン $H(f_{OBP})$ は、そのセクションの f_0 におけるゲイン $H(f_0)$ を調整係数 G で割ることにより求められます。

$H_1(f_{OBP}) = H(f_{01})/G_1$ セクション1の f_{OBP} におけるゲイン

$$G_1 = \frac{Q_1 [(F_1^2 - 1)^2 + (F_1/Q_1)^2]^{1/2}}{F_1}$$

ここで $F_1 = f_{01}/f_{OBP}$

G_1 と Q_1 と f_{01} はそれぞれゲイン調整係数とカスケード接続した2次フィルタの第1セクションの Q と f_0 を表わします。他のセクション(第2、第3、……)の f_{OBP} におけるゲインも同様

にして求められます。オーバーオール・ゲインは：

$$H(f_{OBP}) = H_1(f_{OBP}) \times H_2(f_{OBP}) \times \dots$$

となります。

エリプティック・フィルタのようなゼロ(f_z)を持つフィルタのカスケード接続における各セクションの調整係数は：

$$G_1 = \frac{Q_1 [F_{z1}^2 - F_1^2] [(F_1^2 - 1)^2 + (F_1/Q_1)^2]^{1/2}}{F_1^2 (F_{z1}^2 - 1)}$$

となり、ここで $F_{z1} = f_{z1}/f_{OBP}$ 、 F_1 は上記に同じです。

アプリケーション・ヒント

電源

MAX260/261/262は5V単一、12V単一、 $\pm 2.5V$ 、 $\pm 5V$ をはじめ、各種の電源で動作します。単一電源を用いる場合、 V^- はシステム・グラウンドに接地し、 V^+ には $V^+/2$ を与えます。入力信号はカップリング・キャパシタを通してフィルタに入力するか、 $V^+/2$ にバイアスする必要があります。図16に単一電源動作における回路接続を示します。

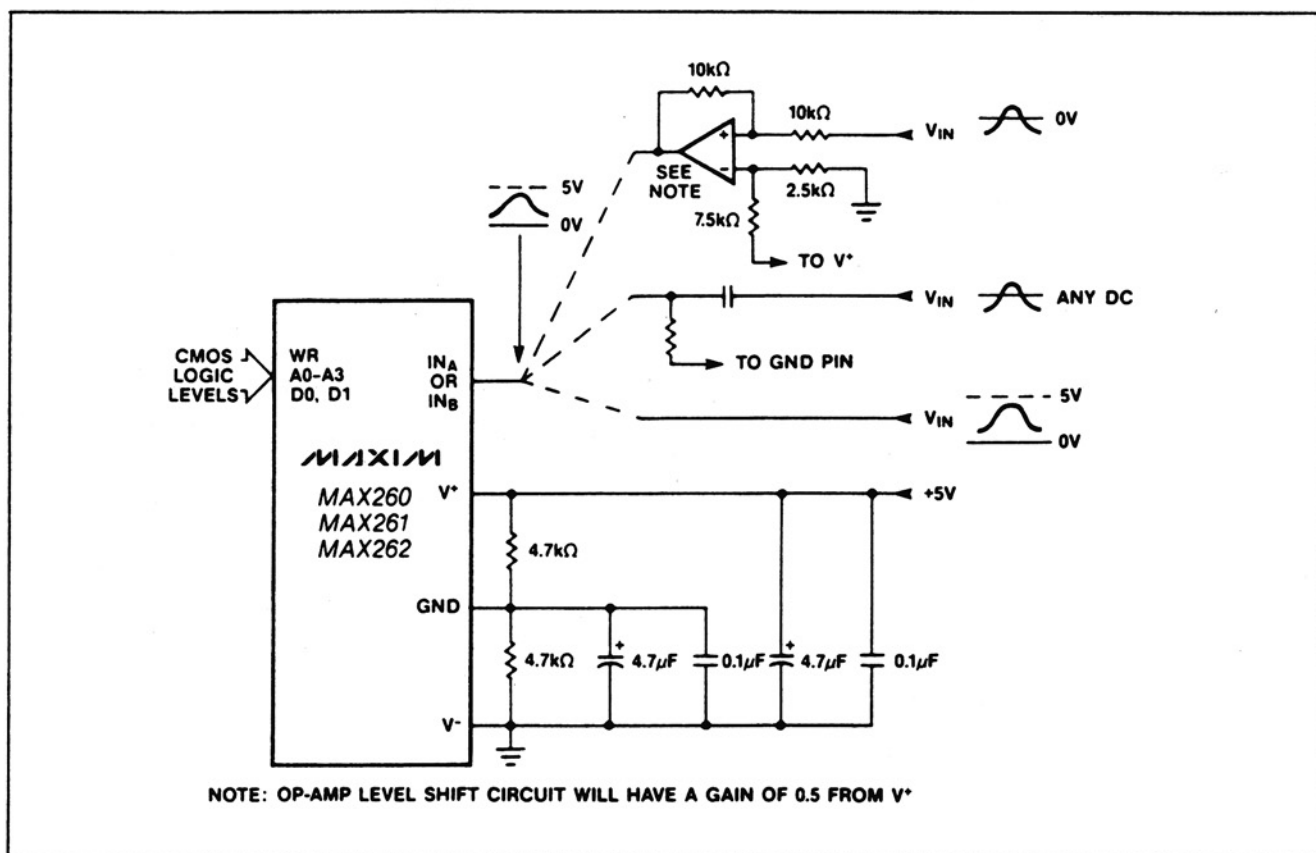


Figure 16. Power Supply and Input Connections for Single Supply Operation

±5V以外の電源電圧を用いるとき、 $\overline{WR}$ 、 D_0-D_7 、 A_0-A_3 、 CLK_A および CLK_B にはCMOSの入力ロジック・レベル($H=V^+$ 、 $L=GND$ または V^-)が必要です。±5V電源においては、TTLレベルでもCMOSレベルでも使うことができます。しかし、 CLK_A と CLK_B をTTLレベルや0、5Vでドライブするよりも±5Vでドライブする方が消費電力が小さくなります。+5Vや±2.5Vで用いると消費電力は小さくなりますが、+12Vや±5Vでの動作に比べ帯域が約25%狭くなります。

V^+ 、 V^- 間を4.7 μF の電解コンデンサ(タンタル・コンデンサの方が望ましい)と0.1 μF のセラミック・コンデンサでバイパスすると最良の特性が得られます。コンデンサは電源ピンにできるだけ近く置きます。またバイパス・コンデンサのリードの長さも V^+ 、 V^- からできるだけ短くして下さい。単一電源で用いるときは図16のように V^+ とGNDを V^- にバイパスします。

出力振幅とクリッピング

MAX260/261/262の出力は10k Ω 負荷をドライブするように設計されています。MAX261とMAX262の出力は10k Ω 負荷において、両電源から0.15V以内の範囲まで振れます。MAX260のみ、LP、BPに比べN/HP/APの出力が内部のサンプル・アンド・ホールド回路により減衰されます。従ってMAX260のN/HP/AP出力の振幅は10k Ω 負荷において両電源から1V以内となります。最大振幅範囲を越えて出力がドライブされないように(出力クリッピング)、ピーク振幅応答、各セクションのゲイン(H_{OBP} 、 H_{OLP} 、 H_{OHP})、入力信号レベル、フィルタのオフセット電圧等を考慮する必要があります。特に使用されていない出力のクリッピングのチェックが重要です(つまり、バンドパス接続におけるローパス出力)。なぜなら、どのフィルタ・ステージの過負荷もオーバーオール・の応答を歪ませるからです。±4.5V電源、1.0Vフィルタ・オフセットにおける最大出力振幅は約±3.5Vです。例として4次のローパス・フィルタにモード1を使って $Q=2$ に設定した場合を考えてみます。5V単一電源(つまりチップのGNDに対して±2.5V)の時、最大出力信号は±2V(GNDに対して)となります。モード1において最大信号は Q と入力信号の積ですから、入力信号は±(2/ Q)V、このケースでは±1Vを越えてはならないということになります。

クロックのフィードスルーとノイズ

MAX260シリーズのDCから100kHzにおける広帯域ノイズは標準で0.5mVp-pです。ノイズは大体においてクロック周波数に依存しません。多段フィルタでは最大の Q を持つセクションを最初に置く方が出力ノイズを低減できます。

MAX260シリーズをはじめ、スイッチド・キャパシタ・フィ

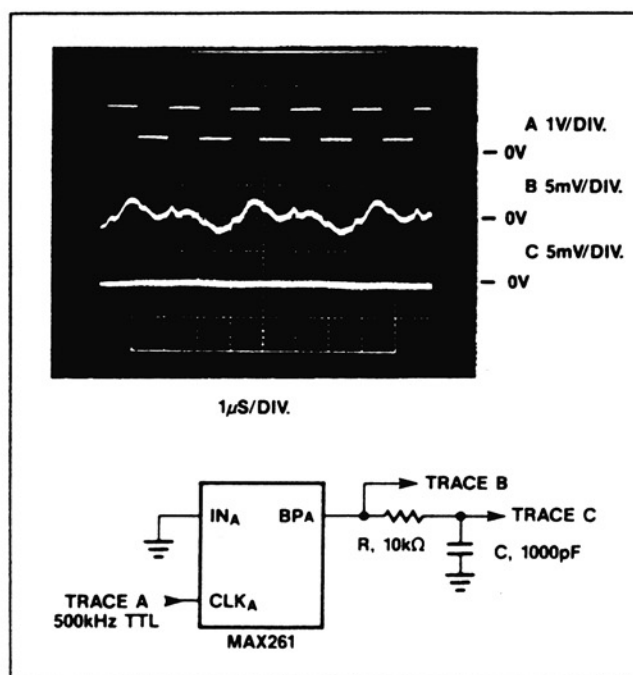


Figure 17. MAX261 Bandpass Output Clock Noise

ルタの出力波形は内部のサンプリング・レート($f/2$)のステップの階段状の波形になっています。このステップングが問題になるときは、1極のRCフィルタで取り除くことができます。無信号時、クロックのフィードスルーは約8mV_{pp}です。これも図17に示されるようなRCのスムージング・フィルタで減衰できます。

フィルタ出力にはロジック入力のトランジションから発生するノイズもあります。これを取り除くには図6のように、ロジック・ゲートを用いてデジタル・ラインをバッファする方法があります。

入力インピーダンス

各フィルタへの入力図18のようなスイッチド・キャパシタ・フィルタになっています。MAX260において、入力キャパシタは最初の半クロック・サイクルの間、入力電圧 V_{IN} に充電

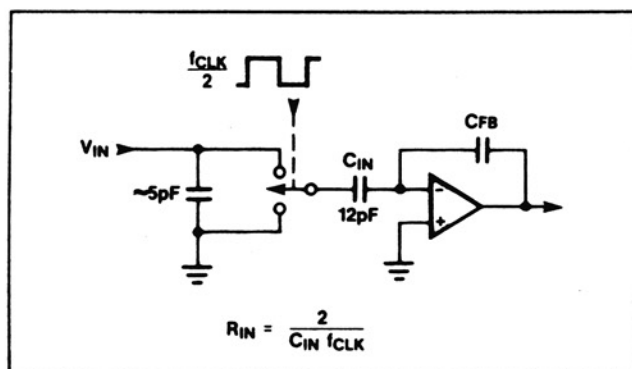


Figure 18. MAX260 Input Model

されています。クロック・サイクルの後半、この電荷はフィードバック・キャパシタに移されます。合成入力インピーダンスの近似式は：

$$R_{IN} = 1 / (C_{IN} f_{CLK} / 2) = 2 / (C_{IN} f_{CLK})$$

C_{IN} は 12pF 前後、従ってクロック周波数 500kHz において $R_{IN} = 333k\Omega$ となります。入力ピンは対グランドに 5pF 程度の固定容量をもっています。

MAX261/262 の入力構成を図 19 に示します。 $C_A = 12pF$ 、 $C_B = 0.016pF$ で C_B のみがスイッチされていますので入力抵抗は MAX260 の 750 倍になります ($R_{IN} = 250M\Omega$)。MAX261/262 も対グランドに約 5pF の固定容量を持っています。

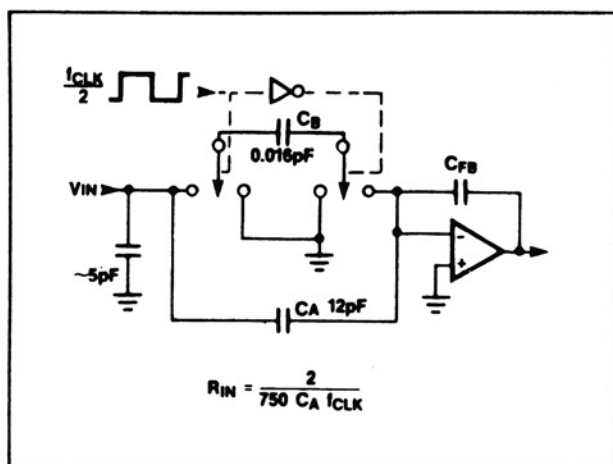


Figure 19. MAX261/262 Input Model

低サンプリング・レートにおける f_0 と Q f_{CLK}/f_0 の比が小さく、 Q も小さい設定が選ばれた時、理想連続フィルタからの偏差が顕著になることがあります。これは f_{CLK}/f_0 の比が小さい時の Q と f_0 および Q と Q の間の相互作用が原因です。この偏差を量化したのが図 20 です。図 20 を参照すれば誤差値が予測できますから、選択した f_0 と Q を修正して目標通りのパラメータを実際に得ることができます。この予測誤差は MAX260 シリーズに限ったものではなく、全てのサンプリング・フィルタにおいて同様です。従って、この修正は他のスイッチド・キャパシタ・フィルタにも適用できます。ほとんどのケースにおいて、誤差は 1% 以下と小さく、修正を必要としません。しかし、MAX262 は MAX260/261 よりも小さい f_{CLK}/f_0 比を使用しますので、表にあるようにサンプリング・エラーが大きくなる傾向にあります。

マキシムのデザイン・ソフトは以上の修正を自動的に、要求される f_{CLK}/f_0 と Q の関数として行ないます。従って、マキシムのデザイン・ソフトで f_0 と Q を決定したときには、図 20 を適用する必要はありません。適用すると、訂正ファクタを 2 度

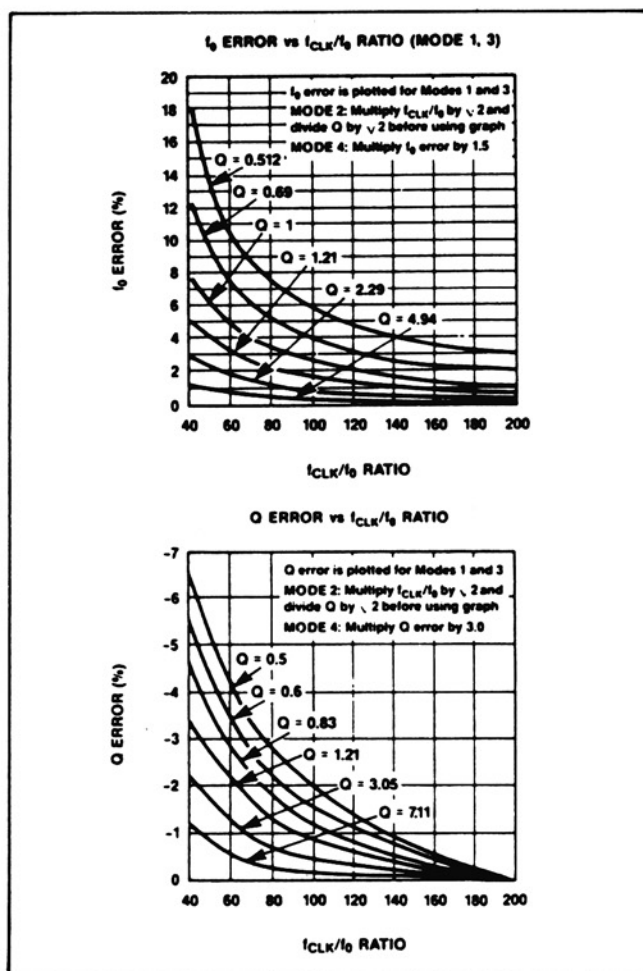


Figure 20. Sampling Errors in f_{CLK}/f_0 and Q at Low f_{CLK}/f_0 and Q Settings

カウントすることになり、サンプリング・エラーの過剰補償になってしまいます。

図 20 にプロットされているデータはモード 1 およびモード 3 に適用されます。図 20 をモード 4 に用いるには、グラフから得られる f_0 エラーを 1.5 倍にし、 Q エラーを 3 倍にします。モード 2 に用いるには f_{CLK}/f_0 を $\sqrt{2}$ 倍し、プログラムされた Q をグラフに適用する前に $\sqrt{2}$ で割ります。

エイリアシング

全てのサンプリング・システムにおいて、入力信号の周波数成分の内、サンプリングレートより高い部分にエイリアシングが発生します。特に、サンプリング・レートに近いところの入力周波数成分は差周波数を発生し、しばしばフィルタの通過帯域に入ります。これらのエイリアシングは出力に生じたときに、本当の入力情報と区別が付きません。例えば、99kHz 波形が 100kHz のサンプリング・フィルタに入力されたときに発生するエイリアシングは 1kHz です。この波形が本当の 1kHz からの出力に重畳されます。MAX260 シリーズでは、ナイキ

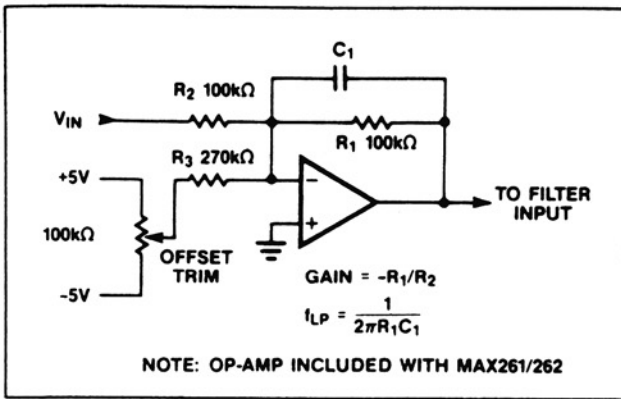


Figure 21. Circuit for DC Offset Adjustment

スト・レート (サンプリング・レートの $\frac{1}{2}$) は $f_{CLK}/4$ となります。

なぜなら f_{CLK} は内部で $\frac{1}{2}$ に分周されているからです。

通常、簡単なRCローパス・フィルタでエイリアシングの原因となる入力周波数成分を取り除くことができます。多くの場合、入力信号自身に帯域制限がかかっていて、特にアンチエイリアス・フィルタを必要としません。広帯域MAX262はMAX260

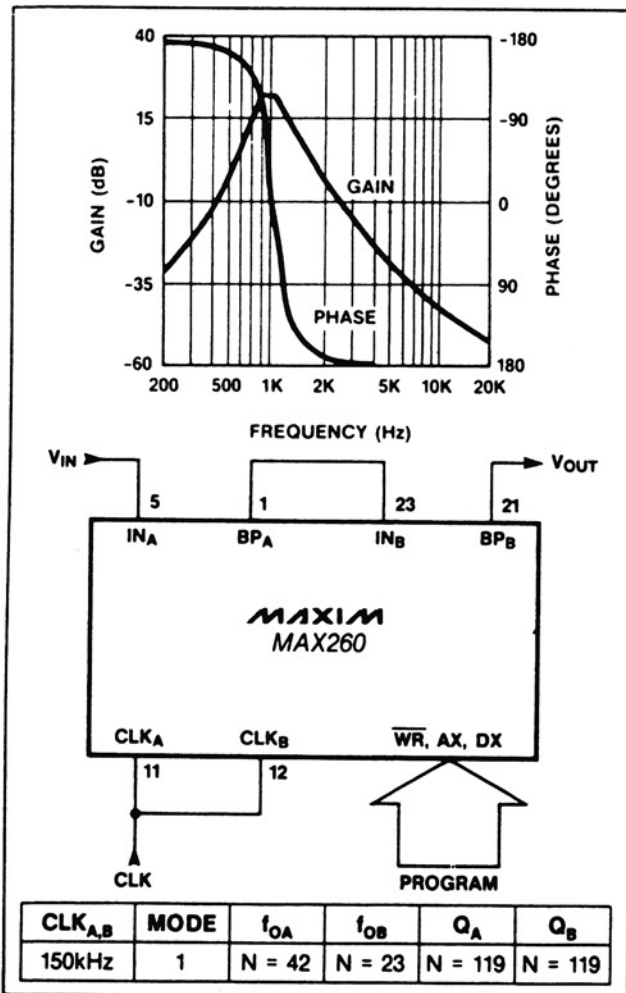


Figure 22. Fourth-Order Chebyshev Bandpass Filter

/261よりも低い f_{CLK}/f_0 比を用いているので、入力フィルタを要することが多くなります。

DCオフセットのトリミング

ローパス出力やノッチ出力におけるDCオフセット電圧は図21の回路でアジャストできます。この回路はまた、オペアンプを使って入力部に単極アンチエイリアス・フィルタを構成しています。トータル・オフセットは多段フィルタにおいては1セクションだけを使ったときより小さくなります。なぜなら各段のオフセットは通常負であり、各段で反転されるからです。HP又はBP出力を使う時は、キャパシタ・カップリングでオフセットを取り除くことができます。

設計例

4次チェビシェフ・バンドパス・フィルタ

MAX260の2つのセクションをカスケード接続して4次チェビシェフ・バンドパス・フィルタを構成した図を図22に示します。要求されているパラメータは：

- 中心周波数(f_0) = 1 kHz
- 通過帯域幅 = 200Hz
- しゃ断帯域幅 = 600Hz
- 最大通過帯域リップル = 0.5dB
- 最小遮断帯域減衰率 = 15dB

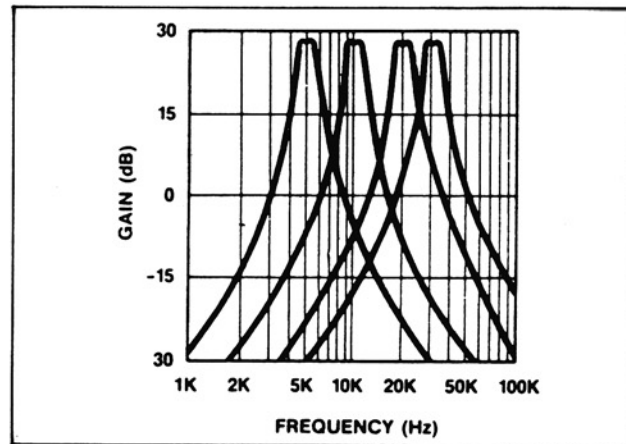


Figure 23. MAX261 Fourth-Order Chebyshev Bandpass Using Coefficients of Figure 22.)

以上のパラメータより、次数(極の数)および各セクションの f_0 と Q が決定されます。これを導き出すのは、このデータシートの範囲を超えています、この手順のための設計データを与えるものは多数あります。例えばルックアップ表、設計テキスト、コンピュータ・プログラムなどです。マキシムのデザイン・ソフトは大部分のよく使われるフィルタ構成において解決策となります。上記のフィルタのためのA、Bセクションのパラメータは：

- $f_{0A} = 904\text{Hz}$
- $f_{0B} = 1106\text{Hz}$
- $Q_A = 7.05$
- $Q_B = 7.05$

このフィルタを実現するために、両方のセクション共モード1で動作させ、同一のクロックを使います。表2と表3の選択表を参照して下さい。プログラムされたパラメータは：

$$CLK_A = CLK_B = 150kHz$$

$$f_{CLK}/f_{0A} = 166.50 (\text{モード1, } N=42), \text{ 実際は } f_{0A} = 902.4Hz$$

$$f_{CLK}/f_{0B} = 136.66 (\text{モード1, } N=23), \text{ 実際は } f_{0B} = 1099.7Hz$$

$$Q_A = Q_B = 7.11 (\text{モード1, } N=119)$$

この f_{CLK}/f_0 比においてはサンプリング・エラーは非常に小さく、実際のQは7.05に近くなっています(図20またはフィルタ・プログラムMPP参照)。Qが大きい時、その値はしばしば目標に正確には一致しません。これはQが大きくなるに従ってプログラミングの分解能が低下するからです。このことは通常のフィルタ設計には影響ありません。なぜなら3桁のQの精度が実際に要求されることはなく、10のQまで分解能1が与えられるからです。 f_0 におけるオーバーオールフィルタ・ゲインは16.4V/Vまたは24.3dBです(フィルタのカスケード接続の項参照)。他のゲインが要求される時は、入力また

は出力に、もしくは2つのセクションの間に増幅または減衰の回路を加えます。

MAX261を上記の構成で使い、クロック周波数750kHzから4MHz(f_0 は500Hzから30kHz)を与えた時の一連の応答曲線を図23に表わします。一番右の曲線が他の曲線に比べて約2dBのゲイン・ピーキングを示すことに注意して下さい。これはこのQにおける使用可能なフィルタ精度の上限を意味しています(表1参照)。

広帯域チェビシェフ・バンドパス

この例(図24)において要求されるパラメータは：

$$\text{中心周波数}(f_0) = 1kHz$$

$$\text{通過帯域帯} = 1kHz$$

$$\text{遮断帯域帯} = 3kHz$$

$$\text{最大通過帯域リップル} = 1dB$$

$$\text{最小遮断帯域減衰率} = 20dB$$

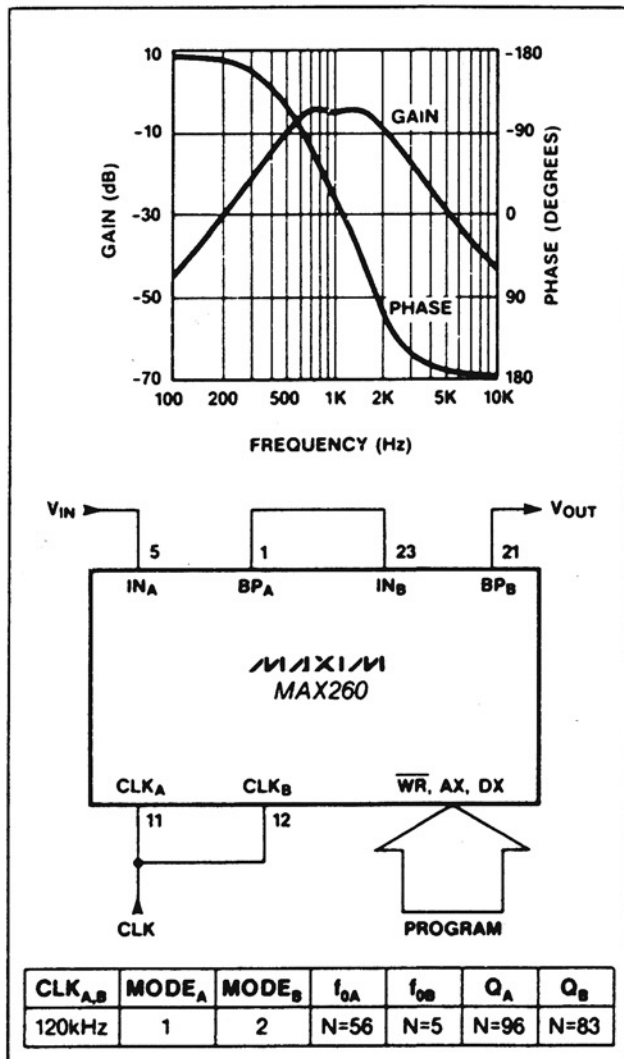


Figure 24. Wide Passband Chebyshev Bandpass Filter

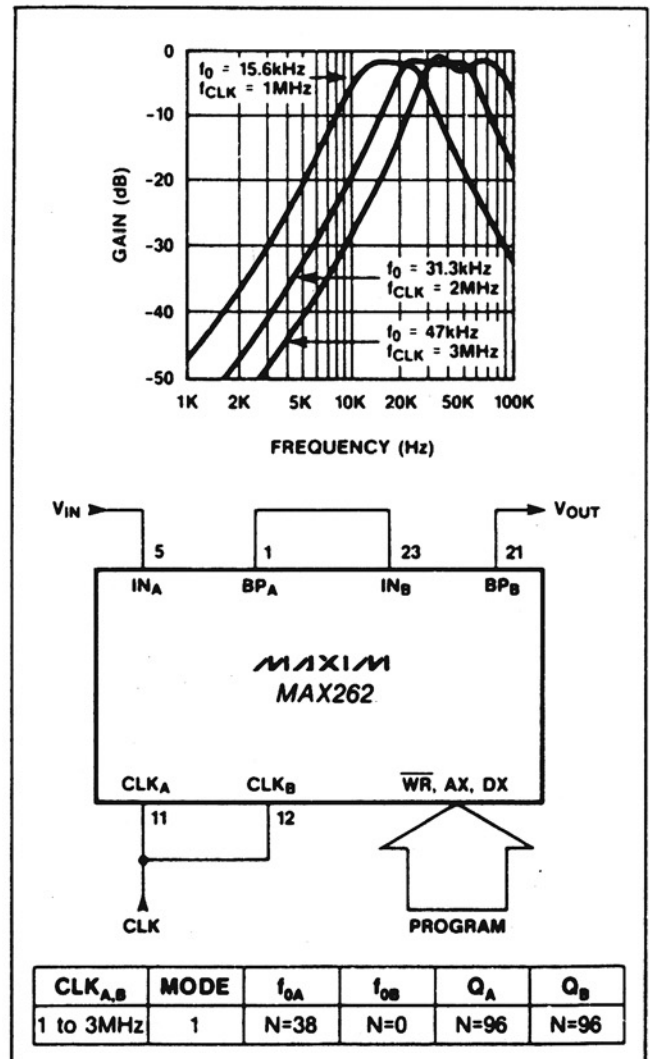


Figure 25. High Frequency Chebyshev Bandpass Filter

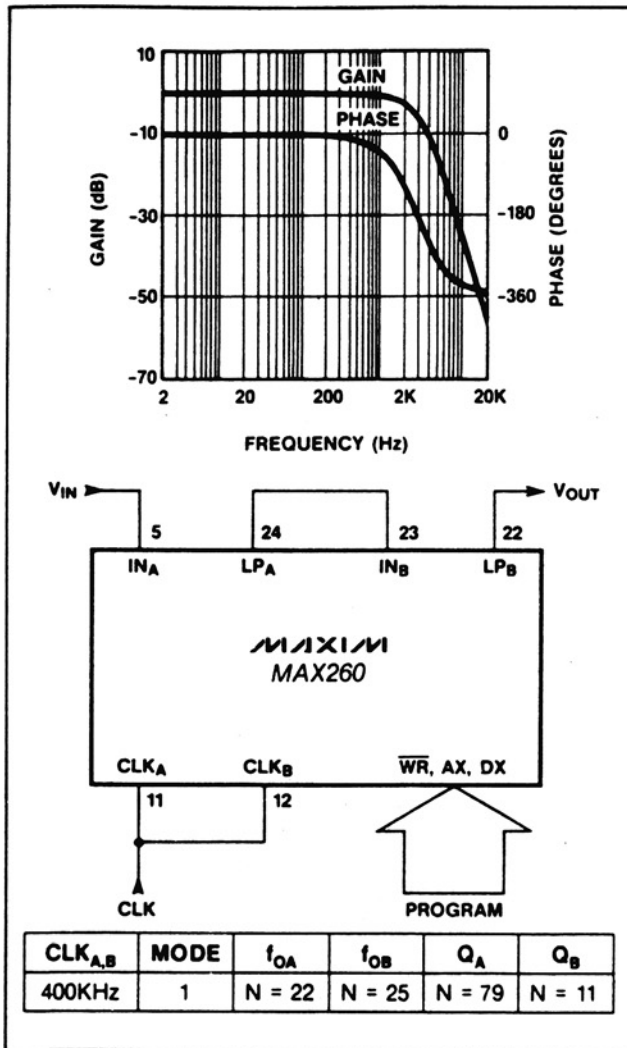


Figure 26. Fourth-Order Butterworth Lowpass

以上のパラメータより、ルックアップ表を用いるか設計テキストもしくはマキシムのデザイン・プログラムを使って、次数(極の数)と各2次セクションの f_0 、 Q を求めます。

AとBのパラメータは

$$f_{OA} = 639 \text{ Hz} \quad f_{OB} = 1564 \text{ Hz}$$

$$Q_A = 2.01 \quad Q_B = 2.01$$

このフィルタを実現するために、セクションAはモード1を使い、セクションBはより広いオーバーオール・レンジの f_{CLK}/f_0 比を得るためにモード2を使います。この方法により、一つのクロック周波数でA、Bの両セクションをドライブできます。表2、表3の選択表を参照して下さい。

$$CLK_A = CLK_B = 120 \text{ kHz}$$

$$f_{CLK}/f_{OA} = 188.49 \text{ (モード1, } N=56\text{)}, \text{ 実際は } f_{OA} = 636.6 \text{ Hz}$$

$$f_{CLK}/f_{OB} = 76.64 \text{ (モード2, } N=5\text{)}, \text{ 実際は } f_{OB} = 156.5 \text{ Hz}$$

$$Q_A = 2.000 \text{ (モード1, } N=96\text{)}, Q_B = 2.01 \text{ (モード2, } N=83\text{)}$$

f_0 におけるオーバーオールの通過帯ゲインは0.64V/Vまたは-3.9dBとなります。

高周波チェビシェフ・バンドパス

図24のチェビシェフ応答形と同様の特性を図25においては、MAX262を使って高周波で実現します。図の曲線は15.6kHz、31.3kHzおよび47kHzの中心周波数におけるプロットを表わします。MAX260よりも速いだけではなく、MAX262は使用可能な f_{CLK}/f_0 比の範囲が広いので、両セクションにモード1を使ってこのフィルタを実現できます。

4次バターワース・ローパス

図26に遮断周波数3kHzの4次バターワース・ローパス・フィルタを示します。MAX260のセクションAとBをカスケード接続しています。各セクションの f_0 と Q のパラメータは：

$$f_{OA} = 3 \text{ kHz} \quad f_{OB} = 3 \text{ kHz}$$

$$Q_A = 1.307 \quad Q_B = 0.541$$

モード1と400kHzのクロックを使います。なぜなら、低い Q では図20のサンプリング・エラーがこのケークでは顕著になってくるからです。グラフより、133に近い f_{CLK}/f_0 比を用いると、 f_{OA} は4%高く、 f_{OB} は1.5%高く、 Q_A は1.2%低く、 Q_B は0.5%低くなります。これらの誤差に問題がなければ、修正の必要はありません。最善の精度を得るための修正値も示します：

$$CLK_A = CLK_B = 400 \text{ kHz}$$

$$f_{CLK}/f_{OA} = 135.08 (N=22), f_B = 2961 \text{ Hz}$$

$$(-1.3\% \text{ 修正})$$

$$f_{CLK}/f_{OB} = 139.80 (N=25), f_{OA} = 2861 \text{ Hz}$$

$$(-4.6\% \text{ 修正})$$

$$Q_A = 1.306 (N=79, Q \text{ 分解能により } +0.5\% \text{ 修正は不可能})$$

$$Q_B = 0.547 (N=11, +1.1\% \text{ 修正})$$

このフィルタの実測広帯域雑音は123 μV_{RMS} 。モード2を使えば、この雑音は87 μV_{RMS} になります。低ノイズのためには、どちらのモードの時も、高い Q のセクションを前に置きます。(この例ではセクションA)。

Package Information

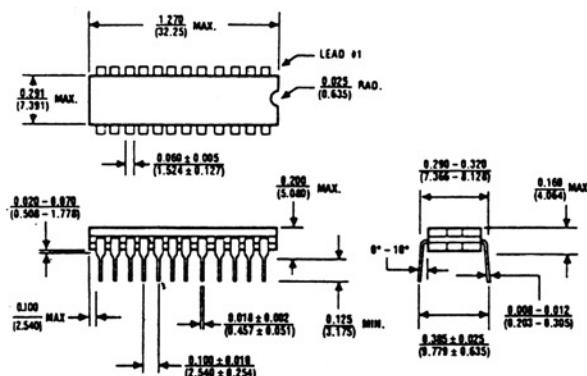
* All devices—24-pin 0.3" wide packages

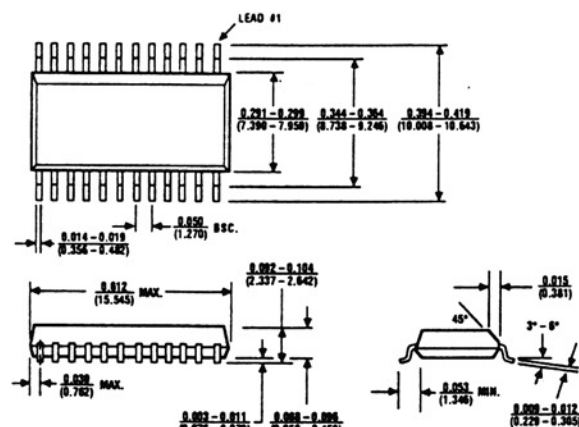
Pinout diagram of the 68000 microprocessor. The package is rectangular with pins on all four sides. The top edge has pins 1 through 16. The right edge has pins 17 through 32. The bottom edge has pins 33 through 48. The left edge has pins 49 through 64. The diagram shows the internal circuitry of the microprocessor, including the ALU, registers, and control logic. The pin functions are as follows:

- Pin 1: HP_A(OP OUT)
- Pin 2: N.C.(HP_A)
- Pin 3: N.C.(HP_B)
- Pin 4: BP_A
- Pin 5: LP_A
- Pin 6: IN_B
- Pin 7: LP_B
- Pin 8: BP_B
- Pin 9: N.C.(OP IN)
- Pin 10: IN_A
- Pin 11: D1
- Pin 12: A3
- Pin 13: D0
- Pin 14: D0
- Pin 15: D0
- Pin 16: D0
- Pin 17: D0
- Pin 18: D0
- Pin 19: D0
- Pin 20: D0
- Pin 21: D0
- Pin 22: D0
- Pin 23: D0
- Pin 24: D0
- Pin 25: D0
- Pin 26: D0
- Pin 27: D0
- Pin 28: D0
- Pin 29: D0
- Pin 30: D0
- Pin 31: D0
- Pin 32: D0
- Pin 33: CLK OUT
- Pin 34: V*
- Pin 35: V*
- Pin 36: V*
- Pin 37: V*
- Pin 38: V*
- Pin 39: V*
- Pin 40: V*
- Pin 41: V*
- Pin 42: V*
- Pin 43: V*
- Pin 44: V*
- Pin 45: V*
- Pin 46: V*
- Pin 47: V*
- Pin 48: V*
- Pin 49: A2
- Pin 50: CLK_A
- Pin 51: A1
- Pin 52: CLK_B
- Pin 53: A0
- Pin 54: WR
- Pin 55: V-
- Pin 56: V-
- Pin 57: V-
- Pin 58: V-
- Pin 59: V-
- Pin 60: V-
- Pin 61: V-
- Pin 62: V-
- Pin 63: V-
- Pin 64: V-

Technical drawing of a lead assembly showing three views: top, side, and end view. The top view shows a rectangular lead with dimensions: length 1.770 MAX. (21.26), width 0.250 ± 0.005 (0.356 ± 0.127), and a central slot 0.625 ± 0.015 (0.835 ± 0.341) wide. The side view shows a lead with a 0.020 ± 0.110 (0.762 ± 2.794) RAD. fillet and a 0.130 ± 0.005 (3.302 ± 0.127) height. The end view shows a lead with a 0.009 ± 0.015 (0.229 ± 0.381) height and a 0.325 ± 0.025 (7.620 ± 0.126) width. The drawing includes various tolerances and a 0°-10° angle specification.

$$\theta_{JA} = 120^{\circ}\text{C/W}$$

$$\theta_{JC} = 60^{\circ}\text{C/W}$$

$$\theta_{JA} = 80^{\circ}\text{C/W}$$

$$\theta_{JC} = 40^{\circ}\text{C/W}$$

$$\theta_{JA} = 85^{\circ}\text{C/W}$$

$$\theta_{JC} = 45^{\circ}\text{C/W}$$

MAXIM