

## 概要

MAX31865は、白金測温抵抗体(RTD)用に最適化された使いやすい抵抗-デジタルコンバータです。使用するRTDの感度を外付け抵抗器で設定し、高精度なデルタシグマADCで基準抵抗に対するRTD抵抗の比をデジタル形式に変換します。MAX31865の入力は、最大±45Vまでの過電圧フォルトから保護されています。RTDとケーブルの開回路や短絡状態に対する設定可能な検出機能も内蔵されています。

## アプリケーション

産業用機器

医療用機器

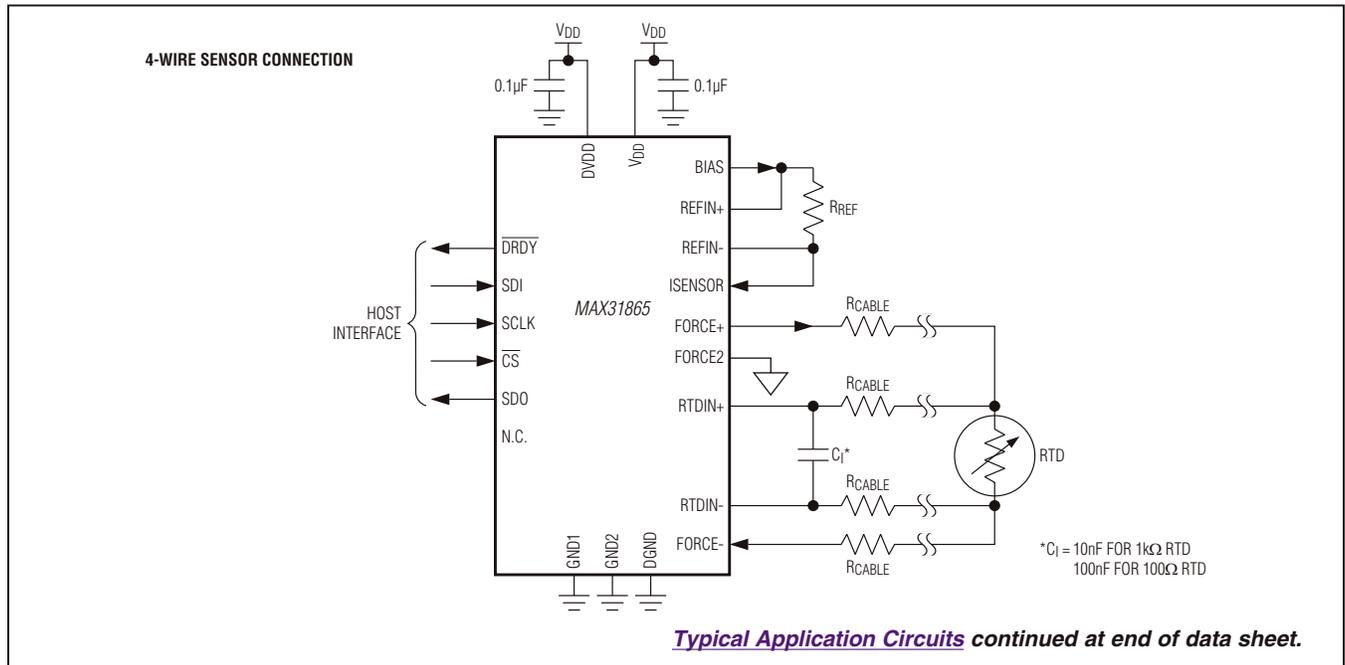
計測

**型番**はデータシートの最後に記載されています。

## 利点および特長

- 高集積によって、システムコストの低減、設計作業の簡素化、および設計サイクルタイムの短縮を実現
  - 簡単に白金RTD抵抗をデジタル値に変換
  - 100Ω~1kΩ (0℃時)の白金RTD (PT100~PT1000)に対応
  - 2、3、4線式の各センサー接続に対応
  - SPI対応インターフェース
  - 20ピンTQFNおよびSSOPパッケージ
- 高精度によって誤差バジェットへの対応が容易
  - 15ビットADC分解能：公称温度分解能0.03125℃ (RTDの非直線性のため変動)
  - 全動作条件にわたる総精度：0.5℃ (フルスケールの0.05%、max)
  - 完全差動V<sub>REF</sub>入力
  - 変換時間：21ms (max)
- 内蔵フォルト検出機能によってシステムの信頼性を向上
  - 入力保護：±45V
  - フォルト検出(RTD素子開放、RTDレンジ外電圧への短絡、またはRTD素子間短絡)

## 標準アプリケーション回路



## Absolute Maximum Ratings

Voltage Range on  $V_{DD}$  Relative to GND1.....-0.3V to +4.0V  
 Voltage Range on BIAS, REFIN+,  
 REFIN-, ISENSOR..... -0.3V to ( $V_{DD} + 0.3V$ )  
 Voltage Range on FORCE+, FORCE2,  
 FORCE-, RTDIN+, RTDIN- Relative to GND1 ....-50V to +50V  
 Voltage Range on DVDD Relative to DGND.....-0.3V to +4.0V  
 Voltage Range on All Digital Pins  
 Relative to DGND ..... -0.3V to ( $V_{DVDD} + 0.3V$ )

Continuous Power Dissipation ( $T_A = +70^\circ\text{C}$ )  
 TQFN (derate 34.5mW/ $^\circ\text{C}$  above +70 $^\circ\text{C}$ ).....2758.6mW  
 SSOP (derate 11.9mW/ $^\circ\text{C}$  above +70 $^\circ\text{C}$ ).....952.4mW  
 ESD Protection (all pins, Human Body Model)..... $\pm 2\text{kV}$   
 Operating Temperature Range.....-40 $^\circ\text{C}$  to +125 $^\circ\text{C}$   
 Junction Temperature .....+150 $^\circ\text{C}$   
 Storage Temperature Range.....-65 $^\circ\text{C}$  to +150 $^\circ\text{C}$   
 Soldering Temperature (reflow) .....+260 $^\circ\text{C}$   
 Lead Temperature (soldering, 10s) .....+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## Package Thermal Characteristics (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance ( $\theta_{JA}$ ) .....29 $^\circ\text{C}/\text{W}$   
 Junction-to-Case Thermal Resistance ( $\theta_{JC}$ ).....2 $^\circ\text{C}/\text{W}$

SSOP

Junction-to-Ambient Thermal Resistance ( $\theta_{JA}$ ) .....84 $^\circ\text{C}/\text{W}$   
 Junction-to-Case Thermal Resistance ( $\theta_{JC}$ ).....32 $^\circ\text{C}/\text{W}$

**Note 1:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to [www.maximintegrated.com/jp/thermal-tutorial](http://www.maximintegrated.com/jp/thermal-tutorial).

## Recommended DC Operating Conditions

( $T_A = -40^\circ\text{C}$  to +125 $^\circ\text{C}$ , unless otherwise noted.) (Notes 2 and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{DD}$	$V_{DD}$		3.0	3.3	3.6	V
DVDD	$V_{DVDD}$		3.0	3.3	3.6	V
Input Logic 0	$V_{IL}$	$\overline{\text{CS}}$ , SDI, SCLK	-0.3		0.3 x $V_{DVDD}$	V
Input Logic 1	$V_{IH}$	$\overline{\text{CS}}$ , SDI, SCLK	0.7 x $V_{DVDD}$		$V_{DVDD} + 0.3$	V
Analog Voltages (FORCE+, FORCE2, FORCE-, RTDIN+, RTDIN-)		Normal conversion results	0		$V_{BIAS}$	V
Reference Resistor	$R_{REF}$		350		10k	$\Omega$
Cable Resistance	$R_{CABLE}$	Per lead	0		50	$\Omega$

## Electrical Characteristics

( $3.0\text{V} \leq V_{DD} \leq 3.6\text{V}$ ,  $T_A = -40^\circ\text{C}$  to +125 $^\circ\text{C}$ , unless otherwise noted. Typical values are  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = V_{DVDD} = 3.3\text{V}$ .) (Notes 2 and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC Resolution		No missing codes		15		Bits
ADC Full-Scale Input Voltage (RTDIN+ - RTDIN-)				REFIN+ - REFIN-		V

### Electrical Characteristics (continued)

( $3.0V \leq V_{DD} \leq 3.6V$ ,  $T_A = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ , unless otherwise noted. Typical values are  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = V_{DVDD} = 3.3V$ .) (Notes 2 and 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC Common-Mode Input Range			0		$V_{BIAS}$	V
Input Leakage Current		RTDIN+, RTDIN-, $0^\circ\text{C}$ to $+70^\circ\text{C}$ , on-state		2		nA
		RTDIN+, RTDIN-, $-40^\circ\text{C}$ to $+85^\circ\text{C}$ , on-state		5		
		RTDIN+, RTDIN-, $-40^\circ\text{C}$ to $100^\circ\text{C}$ , on-state		14		
Bias Voltage	$V_{BIAS}$		1.95	2.00	2.06	V
Bias Voltage Output Current	$I_{OUT}$		0.2		5.75	mA
Bias Voltage Load Regulation		$I_{OUT} \leq 5.75\text{mA}$		30		mV/mA
Bias Voltage Startup Time		(Note 4)			10	ms
ADC Full-Scale Error				$\pm 1$		LSB
ADC Integral Nonlinearity		Differential Input, endpoint fit, $0.3 \times V_{BIAS} \leq V_{REF} \leq V_{BIAS}$		$\pm 1$		LSB
ADC Offset Error			-3		+3	LSB
Noise (over Nyquist Bandwidth)		Input referred		150		$\mu\text{V RMS}$
Common-Mode Rejection				90		dB
50/60Hz Noise Rejection		Fundamental and harmonics		82		dB
Temperature Conversion Time (Note 5)	$t_{CONV}$	Continuous conversion (60Hz notch)		16.7	17.6	ms
		Single conversion (60Hz notch)		52	55	
		Single conversion (50Hz notch)		62.5	66	
		Continuous conversion (50Hz notch)		20	21	
Automatic Fault Detection Cycle Time		From $\overline{CS}$ high to cycle complete		550	600	$\mu\text{s}$
Power-Supply Rejection				1		LSB/V
Power-Supply Current (Note 6)	$I_{DD}$ Shutdown	Bias off, ADC off		1.5	3	mA
	$I_{DD}$	Bias on, active conversion		2	3.5	mA
Power-On Reset Voltage Threshold			2	2.27		V
Power-On Reset Voltage Hysteresis				120		mV
Input Capacitance	$C_{IN}$	Logic inputs		6		pF
Input Leakage Current	$I_L$	Logic inputs	-1		+1	$\mu\text{A}$
Output High Voltage	$V_{OH}$	$I_{OUT} = -1.6\text{mA}$	$V_{DVDD} - 0.4$			V
Output Low Voltage	$V_{OL}$	$I_{OUT} = 1.6\text{mA}$			0.4	V

## AC Electrical Characteristics: SPI Interface

( $3.0V \leq V_{DD} \leq 3.6V$ ,  $T_A = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ , unless otherwise noted. Typical values are  $T_A = +25^\circ\text{C}$ ,  $V_{DD} = V_{DVDD} = 3.3V$ .) (Notes 3 and 7) (Figure 1 and Figure 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data to SCLK Setup	$t_{DC}$	(Notes 8, 9)	35			ns
SCLK to Data Hold	$t_{CDH}$	(Notes 8, 9)	35			ns
SCLK to Data Valid	$t_{CDD}$	(Notes 8, 9, 10)			80	ns
SCLK Low Time	$t_{CL}$	(Note 9)	100			ns
SCLK High Time	$t_{CH}$	(Note 9)	100			ns
SCLK Frequency	$t_{CLK}$	(Note 9)	DC		5.0	MHz
SCLK Rise and Fall	$t_R, t_F$	(Note 9)			200	ns
$\overline{CS}$ to SCLK Setup	$t_{CC}$	(Note 9)	400			ns
SCLK to $\overline{CS}$ Hold	$t_{CCH}$	(Note 9)	100			ns
$\overline{CS}$ Inactive Time	$t_{CWH}$	(Note 9)	400			ns
$\overline{CS}$ to Output High-Z	$t_{CDZ}$	(Notes 8, 9)			40	ns
Address 01h or 02h Decoded to $\overline{DRDY}$ High	$t_{DRDYH}$	After RTD register read access (Note 9)		50		ns

**Note 2:** All voltages are referenced to ground when common. Currents entering the IC are specified positive.

**Note 3:** Limits are 100% production tested at  $T_A = +25^\circ\text{C}$  and/or  $T_A = +85^\circ\text{C}$ . Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Typical values are not guaranteed.

**Note 4:** For 15-bit settling, a wait of at least 10.5 time constants of the input RC network is required. Max startup time is calculated with a  $10k\Omega$  reference resistor and a  $0.1\mu\text{F}$  capacitor across the RTD inputs.

**Note 5:** The first conversion after enabling continuous conversion mode takes a time equal to the single conversion time for the respective notch frequency.

**Note 6:** Specified with no load on the bias pin as the sum of analog and digital currents. No active communication. If the RTD input voltage is greater than the input reference voltage, then an additional  $400\mu\text{A}$   $I_{DD}$  can be expected.

**Note 7:** All timing specifications are guaranteed by design.

**Note 8:** Measured at  $V_{IH} = 0.7V \times V_{DVDD}$  or  $V_{IL} = 0.3 \times V_{DVDD}$  and 10ms maximum rise and fall times.

**Note 9:** Measured with  $50\text{pF}$  load.

**Note 10:** Measured at  $V_{OH} = 0.7 \times V_{DVDD}$  or  $V_{OL} = 0.3 \times V_{DVDD}$ . Measured from the 50% point of SCLK to the  $V_{OH}$  minimum of SDO.

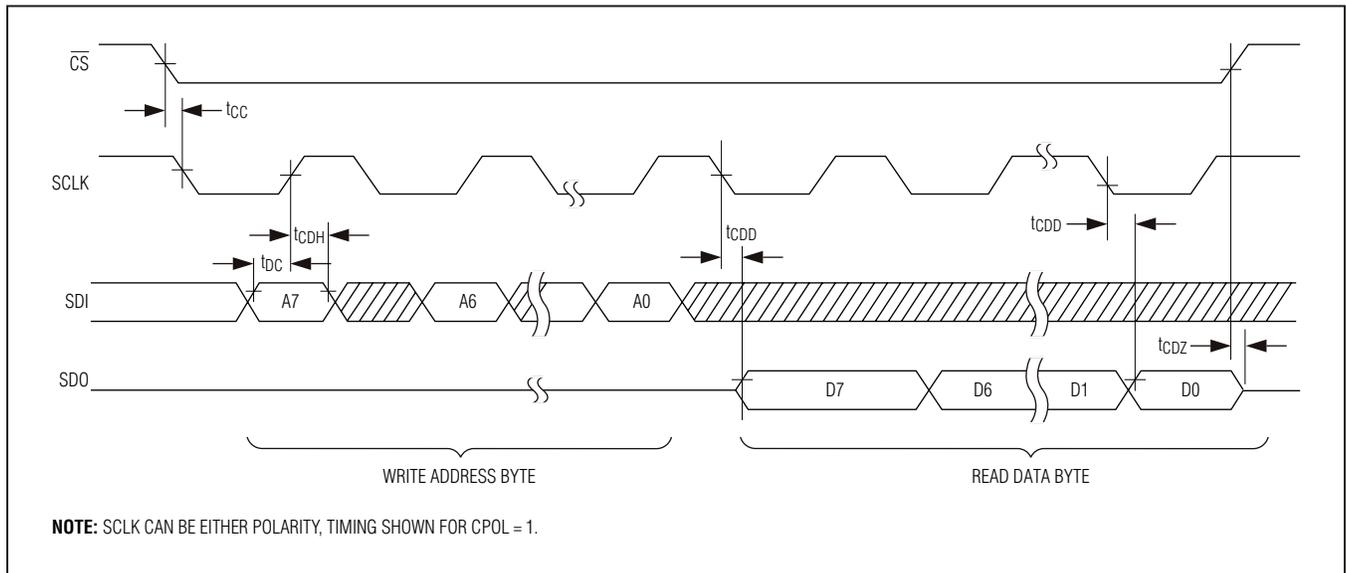


図 1. タイミング図：SPI データ読み取り転送：SCK はどちらの極性にも対応します。CPOL=1 のケースを示します。詳細は図 5、表 8 および「シリアルインターフェース」のセクションをご参照ください。

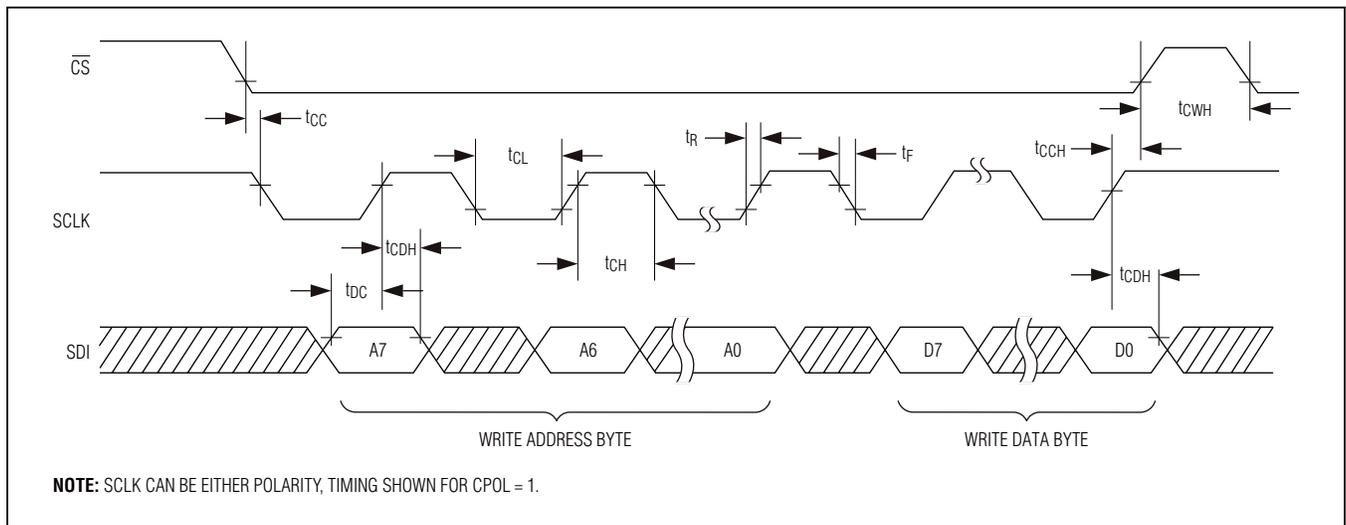
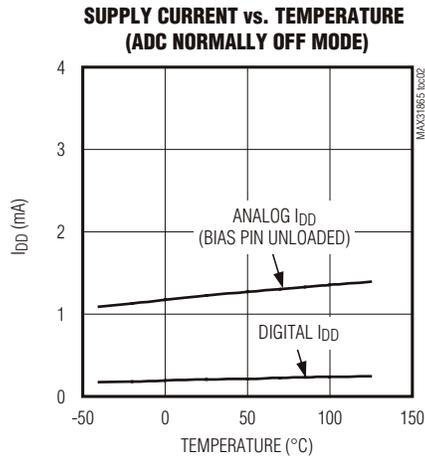
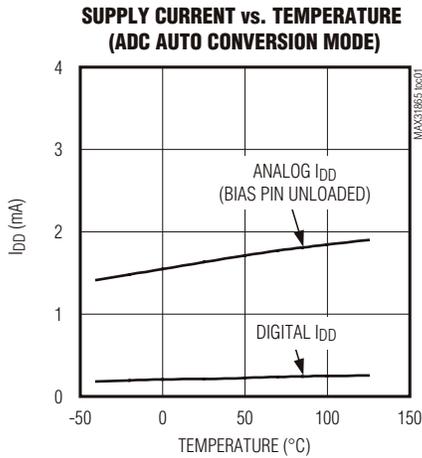


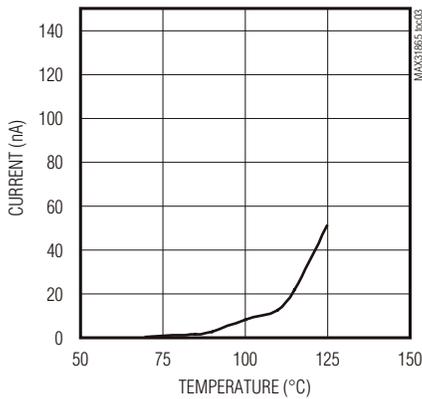
図 2. タイミング図：SPI データ書き込み転送：SCK はどちらの極性にも対応します。CPOL=1 のケースを示します。詳細は図 5、表 8 および「シリアルインターフェース」のセクションをご参照ください。

標準動作特性

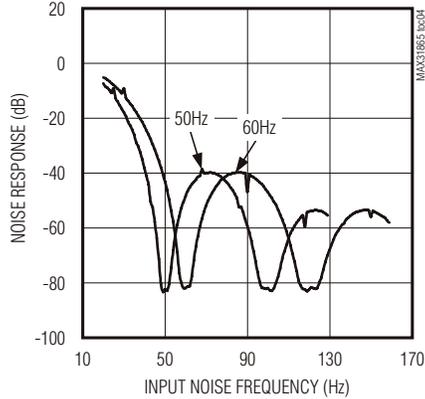
( $V_{DD} = V_{DVDD} = 3.3V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



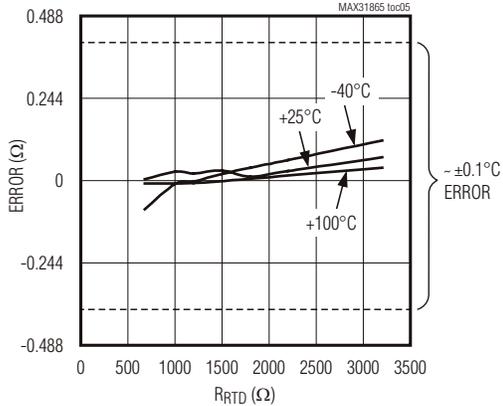
**LEAKAGE CURRENT PER PIN vs. TEMPERATURE  
(1 VOLT APPLIED TO FORCE+, FORCE2, RTDIN+, RTDIN- PINS)**



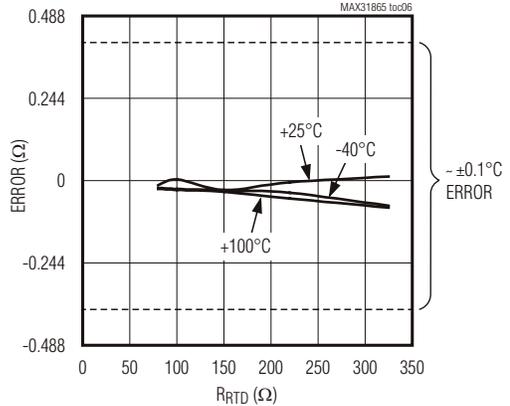
**SINC FILTER OPERATION  
INPUT FREQUENCY vs. NOISE RESPONSE**



**ADC CONVERSION ERROR vs. RTD RESISTANCE  
(4kΩ RREF, 4-WIRE CONNECTION)**

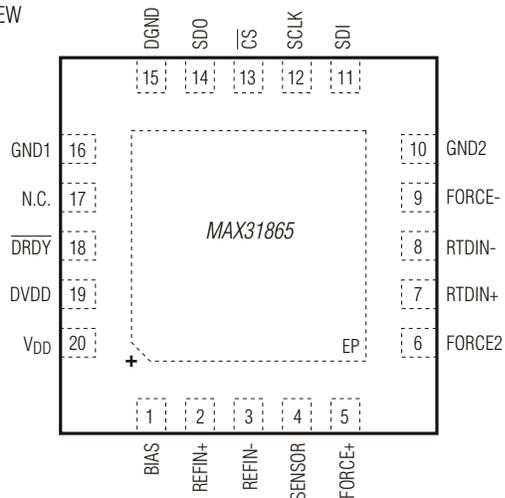


**ADC CONVERSION ERROR vs. RTD RESISTANCE  
(400Ω RREF, 4-WIRE CONNECTION)**



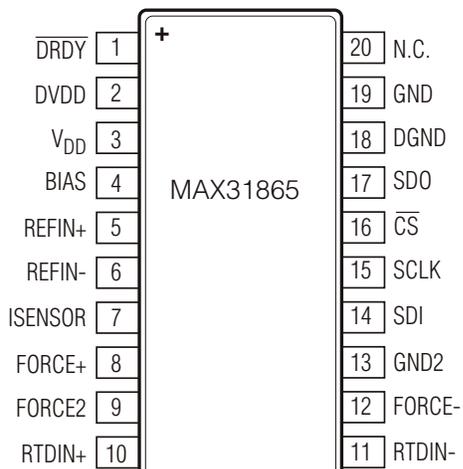
ピン配置

TOP VIEW



**TQFN**  
(5mm x 5mm)

TOP VIEW

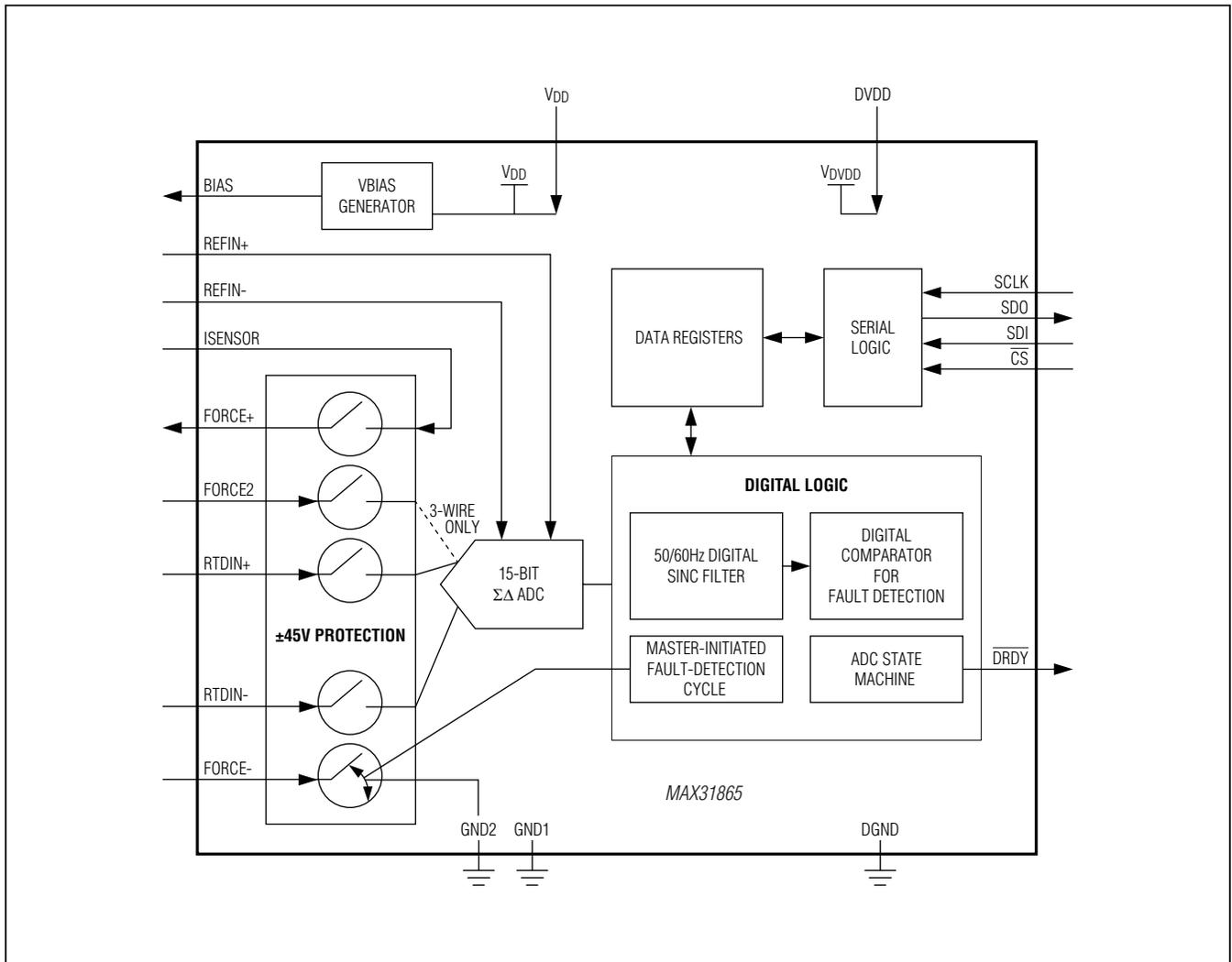


**SSOP**

## 端子説明

端子		名称	機能
TQFN	SSOP		
1	4	BIAS	バイアス電圧出力(V <sub>BIAS</sub> )
2	5	REFIN+	正のリファレンス電圧入力。BIASに接続してください。REFIN+とREFIN-間に基準抵抗を接続してください。
3	6	REFIN-	負のリファレンス電圧入力。REFIN+とREFIN-間に基準抵抗を接続してください。
4	7	ISENSOR	R <sub>REF</sub> のローサイド。REFIN-に接続してください。
5	8	FORCE+	ハイサイドRTD駆動。3線式接続構成を使用する場合は、FORCE2に接続してください。±45Vまで保護されています。
6	9	FORCE2	3線式でのみ使用される正の入力。3線式接続構成の場合は、FORCE+に接続してください。2線式または4線式接続構成の場合は、グランドに接続してください。±45Vまで保護されています。
7	10	RTDIN+	正のRTD入力。±45Vまで保護されています。
8	11	RTDIN-	負のRTD入力。±45Vまで保護されています。
9	12	FORCE-	ローサイドRTDリターン。±45Vまで保護されています。
10	13	GND2	アナロググランド。GND1に接続してください。
11	14	SDI	シリアルデータ入力
12	15	SCLK	シリアルクロック入力
13	16	$\overline{CS}$	アクティブローのチップセレクト。シリアルインタフェースをイネーブルする場合は、 $\overline{CS}$ をローに設定してください。
14	17	SDO	シリアルデータ出力
15	18	DGND	デジタルグランド
16	19	GND1	アナロググランド。GND2に接続してください。
17	20	N.C.	接続しないでください。
18	1	$\overline{DRDY}$	アクティブロー、プッシュプルデータレディ出力。 $\overline{DRDY}$ は、新しい変換結果がデータレジスタで利用可能になったときローになります。RTD Resistance レジスタの読み取り操作が発生すると、 $\overline{DRDY}$ はハイに戻ります。
19	2	DVDD	デジタル電源電圧入力。3.3V電源に接続してください。0.1μFのバイパスコンデンサでDGNDに接続してください。
20	3	V <sub>DD</sub>	アナログ電源電圧入力。3.3V電源に接続してください。0.1μFのバイパスコンデンサでGND1に接続してください。
—	—	EP	エクスポーズドパッド(パッケージ裏面)。GND1に接続してください。TQFNパッケージのみに適用。

ブロック図



## 詳細

MAX31865は、内蔵15ビットアナログ-デジタルコンバータ(ADC)、入力保護、デジタルコントローラ、SPI対応インタフェース、および関連制御ロジックを備えた高度なRTD-デジタルコンバータです。信号調整回路はPT100～PT1000のRTDを使用する動作に最適化されています。サーミスタにも対応します。

### 温度変換

測温抵抗体(RTD)は、温度とともに抵抗値が変化するセンサーです。白金が最も一般的で、最も高精度なワイヤ材質です。白金RTDはPT-RTDと呼ばれます。ニッケル、銅、およびその他の金属を使用してRTDを作ることができます。白金RTDの特性には、広い温度範囲(+800°C以上まで)、優れた精度と再現性、および適度な直線性が含まれます。

PT-RTDの場合、最も一般的な0°Cにおける公称抵抗の値は100Ωと1kΩですが、他の値も提供されています。0°Cと+100°C間の平均勾配はアルファ(α)と呼ばれます。この値は、白金に含まれる不純物とその濃度によって決まります。最も広く使用されている2つのアルファの値は0.00385と0.00392で、IEC 751 (PT100)およびSAMA規格に対応します。

抵抗値と温度の関係を示すグラフは適度な直線性を備えています。ある程度の曲率は存在し、Callendar-Van Dusenの式によって表されます。

$$R(T) = R_0(1 + aT + bT^2 + c(T - 100)T^3)$$

ここで、

T = 温度(°C)

R(T) = Tにおける抵抗値

R<sub>0</sub> = (T = 0°C)における抵抗値

IEC 751では、α = 0.00385055および以下のCallendar-Van Dusenの係数値を規定しています。

$$a = 3.90830 \times 10^{-3}$$

$$b = -5.77500 \times 10^{-7}$$

$$c = -4.18301 \times 10^{-12} \quad (-200^\circ\text{C} \leq T \leq 0^\circ\text{C}), \quad 0 \quad (0^\circ\text{C} \leq T \leq +850^\circ\text{C})$$

図3は、PT100 RTDの抵抗値と温度の関係のグラフおよび0°Cと+100°C間の勾配に基づく近似直線を示します。

RTDの抵抗値を測定する場合は、「標準アプリケーション回路」に示すように基準抵抗(R<sub>REF</sub>)とRTDを直列に接続

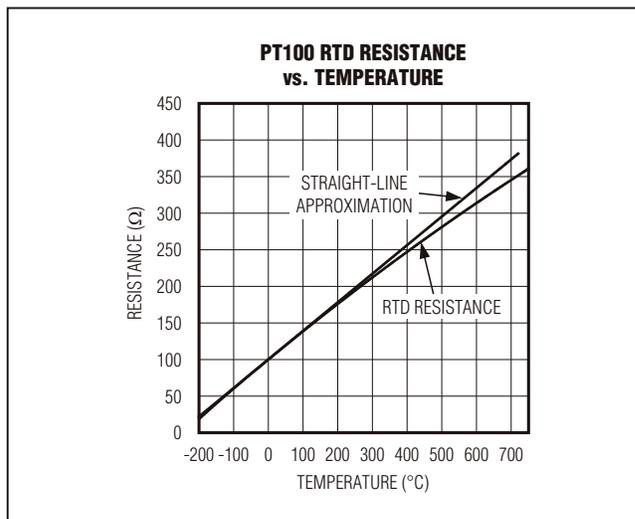


図3. PT100 RTDの抵抗値と温度の関係

して、R<sub>REF</sub>の上端にバイアス電圧を印加してください。基準抵抗の電流はRTDも介して流れます。基準抵抗両端の電圧は、ADCのリファレンス電圧になります。RTD両端の電圧は、ADCの差動入力(RTDIN+およびRTDIN-)に印加されます。したがって、ADCはRTDの抵抗値と基準抵抗の比に等しいデジタル出力を生成します。白金RTDの場合、RTDの0°Cでの抵抗値の4倍に等しい基準抵抗が最適です。そのため、PT100は400Ωの基準抵抗を使用し、PT1000は4kΩの基準抵抗を使用します。

2線式接続(「標準アプリケーション回路」を参照)は、RTDがMAX31865の近くに配置されている場合には許容可能な結果を得ることができます。PT100の場合、0.4Ωの直列抵抗により約1°Cの誤差が発生することに注意してください。そのため、ケーブルが長くなるとともに、ケーブル抵抗による誤差が過大になる可能性があります。

4線式接続は、個別のフォースおよびセンスリードを使用することにより、ケーブル抵抗による誤差を排除します。

3線式接続は、4線式方式より1つ少ない導線を使用する折衷的な方式です。リターンワイヤでの電圧降下を補正するために、FORCE+とRTDIN+間の電圧が(RTDIN+ - RTDIN-)から引かれます。これは、FORCE2サンプリング入力を使用して実現されます。ケーブル抵抗が十分に整合されていると、ケーブル抵抗による誤差は相殺されます。3線式動作を選択する場合は、Configurationレジスタの3線式ビットに1を設定してください。

### 温度データの線形化

-100°C ~ +100°Cの温度範囲では、単に次式で示すRTDデータを使用することによって十分な温度の近似値を得ることができます。

$$\text{温度(°C)} \approx (\text{ADCコード}/32) - 256$$

この式は、0°Cでの誤差が0°C、-100°Cでの誤差が-1.75°C、+100°Cでの誤差が-1.4°Cです(IEC751のRTDを使用し、R<sub>REF</sub>が0°CのRTD抵抗の4倍に等しい場合)。高精度を実現するには、Callendar-Van Dusenの式(「[温度変換](#)」の項を参照)またはルックアップテーブルを使用して、RTDの予測可能な非直線性を補正してください。

### サーミスタの使用

サーミスタ(NTCまたはPTC)など、その他の抵抗性センサーを使用することもできます。目的の温度範囲全体にわたりセンサーの最大抵抗値以上になるようにR<sub>REF</sub>を選択してください。出力データは、センサーの抵抗値と基準抵抗の比になります。

### アナログ-デジタルコンバータ(ADC)

ADCは、完全差動アナログ入力(RTDIN+およびRTDIN-)と、完全差動リファレンス入力(REFIN+およびREFIN-)を備えています。出力コードは、アナログ入力電圧とリファレンス電圧間の比率を表します。入力電圧が負の場合、出力コードは0になります。入力電圧がリファレンス電圧を上回っている場合、フルスケール出力が生成されます。

入力ノイズは、3次デジタル[sinc]フィルタによって減衰されます。50Hzまたは60Hzの電源からのノイズ(AC電源の基本周波数の高調波を含む)は、82dB減衰されます。

### フォルト検出および入力保護

MAX31865は、外部RTDおよび2線式、3線式、または4線式ケーブルで発生する可能性のある各種のフォルトを検出します。一部のフォルトは変換のたびに検出され、他のフォルトはマスターによってフォルト検出サイクルが要求されたときのみ検出されます。フォルト検出サイクル

中、MAX31865は内蔵アナログスイッチを使用してFORCE-入力をそのGND2リターンパスから切り離すことができます。

フォルトが生成される条件を以下に示します。フォルト検出のフローチャートについては、[図4](#)を参照してください。

- 任意の時点で検出

FORCE+、FORCE2、RTDIN+、RTDIN-、またはFORCE-端子の過電圧(> V<sub>DD</sub>)または低電圧(< GND1)状態

- ADC変換のたびに検出

変換結果がハイのスレッショルド以上

変換結果がローのスレッショルド以下

- フォルト検出サイクルの開始(ConfigurationレジスタのビットD[3:2])によりオンデマンドで検出

$$V_{REFIN-} > 0.85 \times V_{BIAS}$$

$$V_{REFIN-} < 0.85 \times V_{BIAS} \text{ (FORCE-入力スイッチがオープン時)}$$

$$V_{RTDIN-} < 0.85 \times V_{BIAS} \text{ (FORCE-入力スイッチがオープン時)}$$

FORCE+、FORCE2、FORCE-、RTDIN+、およびRTDIN-は、最大±45Vの入力電圧に対して保護されています。これらの端子に印加される信号はアナログスイッチによってゲートされ、印加された電圧がV<sub>DD</sub> + 100mV (typ)以上またはGND1 - 400mV (typ)以下のときスイッチがオープンになります。電圧フォルト発生時、保護回路は約350μAの電流が流れることを許容する可能性があることに注意してください。このフォルトによるリーク電流が原因でMAX31865に何らかの損傷が発生することはありません。

過電圧または低電圧状態が検出された場合、Fault StatusレジスタのビットD2がセットされ、ADCはもうフォルトが検出されなくなるまで変換の更新を停止して、その時点で変換が再開されます。

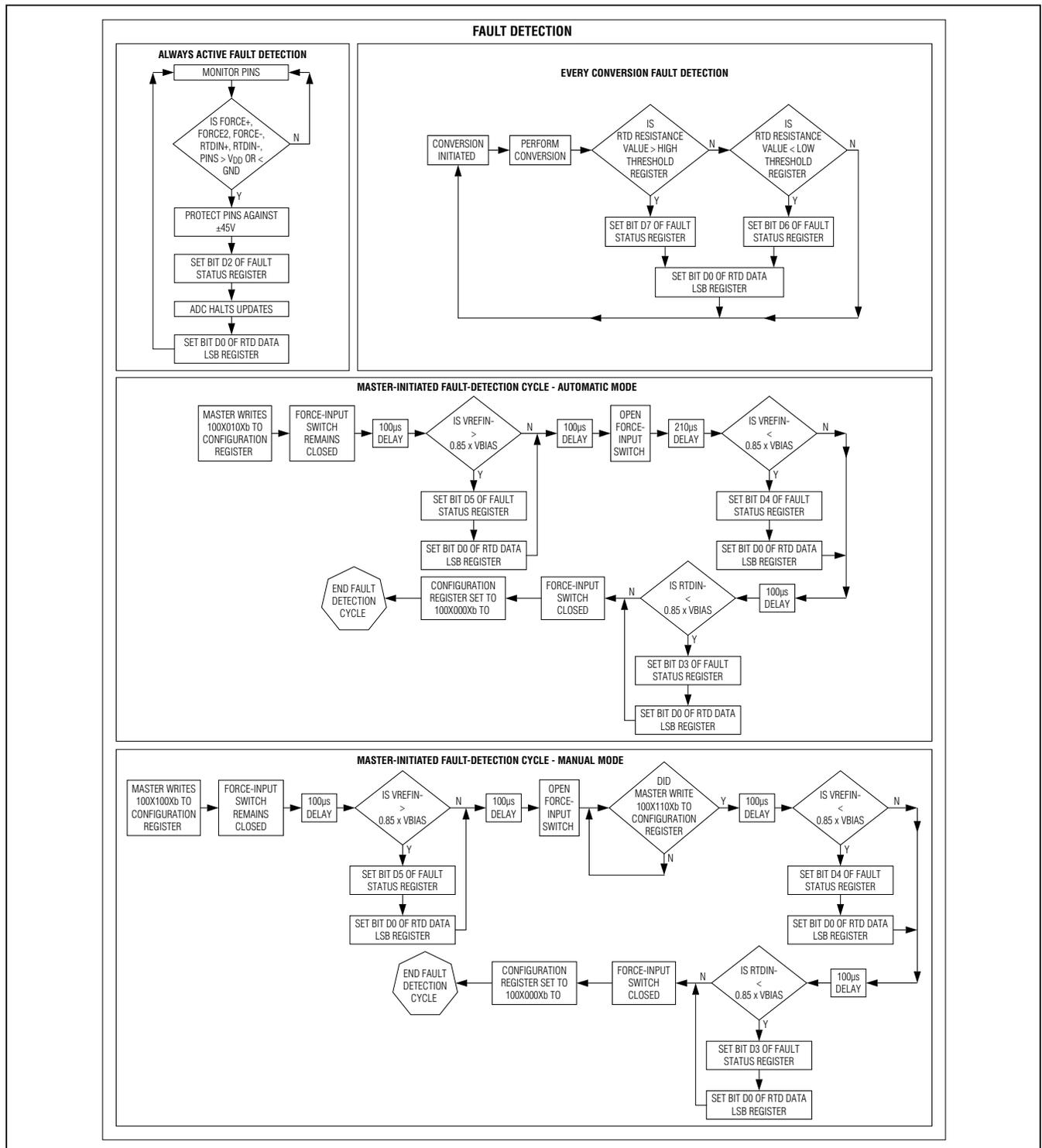


図 4. フォルト検出のフローチャート

### 内部レジスタ

通信は、変換データ、ステータス、および設定データを含む8つの8ビットレジスタを介して行われます。すべてのプログラミングは、目的のレジスタ位置の適切なアドレスを選択することによって行います。表1に、レジスタのアドレスを示します。

レジスタへのアクセスは、読取りは0Xhのアドレスを使用し、書込みは8Xhのアドレスを使用して行います。レジスタに対するデータの読み書きは、MSBから先に行われます。

### Configurationレジスタ(00h)

Configurationレジスタは、変換モードの選択(自動またはワンショットコマンドによるトリガ)、BIAS端子の出力電圧V<sub>BIAS</sub>のイネーブルとディセーブル、ワンショット変換の開始、RTD接続の選択(3線式または2線式/4線式)、完全なフォルト検出サイクルの開始、Fault Statusレジスタのクリア、およびフィルタのノッチ周波数の選択を行います。設定ビットの効果について、以下で説明します。

### BIAS (D7)

変換が実行されていないときは、V<sub>BIAS</sub>をディセーブルして消費電力を低減することができます。単一(ワンショット)変換の開始前に、このビットに1を書き込んでV<sub>BIAS</sub>をイネーブルしてください。自動(連続)変換モードが選択されている場合、V<sub>BIAS</sub>は継続的にオンのままになります。

### 変換モード(D6)

自動変換モードを選択する場合は、このビットに1を書き込んでください。その場合、変換は50/60Hzの速度で継続的行われます。自動変換モードを終了して「ノーマリオフ」モードに移行する場合は、このビットに0を書き込んでください。ワンショット変換はこのモードから開始することができます。

### ワンショット(D5)

変換モードが「ノーマリオフ」に設定されている場合、変換を開始するにはこのビットに1を書き込んでください。これにより、1回の抵抗値変換が行われます。変換は、このビットに1を書き込んだあとCSがハイになるときにトリガされます。マルチバイトの書込みが実行された場合は、トランザクションの最後でCSがハイになったときに変換がトリガされることに注意してください。V<sub>BIAS</sub>がオンの場合(Configurationレジスタで選択)、CSがハイになった時点でRTDの電圧がサンプリングされ、変換が開始されます。(変換と変換の間の消費電流を低減するために) V<sub>BIAS</sub>をオフにしている場合、正確な変換を実行するには、その前にRTDIN入力のフィルタコンデンサが充電される必要があることに注意してください。そのため、V<sub>BIAS</sub>をイネーブルしたあと、少なくとも入力RCネットワークの時定数の10.5倍 + 追加の1msだけ待ってから、変換を開始してください。1回の変換の完了には、約52ms (60Hzフィルタモード時)または62.5ms (50Hzフィルタモード時)が必要です。ワンショットビットは自動的にクリアされます。

表1. レジスタアドレスおよびPOR状態

REGISTER NAME	READ ADDRESS (HEX)	WRITE ADDRESS (HEX)	POR STATE	READ/WRITE
Configuration	00h	80h	00h	R/W
RTD MSBs	01h	—	00h	R
RTD LSBs	02h	—	00h	R
High Fault Threshold MSB	03h	83h	FFh	R/W
High Fault Threshold LSB	04h	84h	FFh	R/W
Low Fault Threshold MSB	05h	85h	00h	R/W
Low Fault Threshold LSB	06h	86h	00h	R/W
Fault Status	07h	—	00h	R

表2. Configurationレジスタの定義

D7	D6	D5	D4	D3	D2	D1	D0
V <sub>BIAS</sub> 1 = ON 0 = OFF	Conversion mode 1 = Auto 0 = Normally off	1-shot 1 = 1-shot (auto-clear)	3-wire 1 = 3-wire RTD 0 = 2-wire or 4-wire	Fault Detection Cycle Control (see Table 3)		Fault Status Clear 1 = Clear (auto-clear)	50/60Hz filter select 1 = 50Hz 0 = 60Hz

### 3線式(D4)

3線式RTD接続を使用する場合は、このビットに1を書き込んでください。このモードでは、FORCE-およびRTDIN-の接続に1本のワイヤを使用することによるIR誤差を補正するために、FORCE+とRTDIN+間の電圧が(RTDIN+ - RTDIN-)から引かれます。2線式または4線式接続を使用する場合は、このビットに0を書き込んでください。

### フォルト検出サイクル(D3:D2)

マスターが開始するフォルト検出サイクルには、マニュアルおよび自動モードタイミングの2つの動作モードがあります。外部RTDインタフェース回路に時定数100 $\mu$ s以上の入力フィルタが含まれている場合は、マニュアルモード動作でフォルト検出サイクルのタイミングを制御してください。フォルト検出サイクルは以下の電圧比較を行うことによって3種類のフォルトを検査し、Fault Statusレジスタ内の該当するビットをセットします。

- 1) REFIN-の電圧は85%  $\times$   $V_{BIAS}$ 以上か? (Fault StatusレジスタのビットD5)
- 2) FORCE-入力スイッチがオープンの場合、REFIN-の電圧は85%  $\times$   $V_{BIAS}$ 以下か? (Fault StatusレジスタのビットD4)
- 3) FORCE-入力スイッチがオープンの場合、RTDIN-の電圧は85%  $\times$   $V_{BIAS}$ 以下か? (Fault StatusレジスタのビットD3)

注：すべての電圧はGND1基準です。

[[アプリケーション情報](#)]に、セットされたフォルトステータスビットに対して考えられる原因を分析するための表が記載されています。

自動フォルト検出サイクルに移行するには、Configurationレジスタに[100X010X]二進を書き込んでください。これによりADCは「ノーマリオフ」モードになります。自動フォルト検出サイクルでは、外付けの入力フィルタを安定化させるために、フォルトの確認前に100 $\mu$ sの遅延が挿入されます。フォルト検出サイクルビット(D[3:2])は、完了時に自動的に[00]二進にクリアされます。

表3. フォルト検出サイクル制御ビット

D3	D2	CONFIGURATION REGISTER WRITE (BINARY)	WRITE ACTION	READ MEANING
0	0	XXXX00XXb	No action	Fault detection finished
0	1	100X010Xb	Fault detection with automatic delay	Automatic fault detection still running
1	0	100X100Xb	Run fault detection with manual delay (cycle 1)	Manual cycle 1 still running; waiting for user to write 11
1	1	100X110Xb	Finish fault detection with manual delay (cycle 2)	Manual cycle 2 still running

X = 任意

マニュアルフォルト検出サイクルに移行するには、最初に $V_{BIAS}$ が少なくとも時定数の5倍にわたってオンであることを確認してください。次に、Configurationレジスタに[100X100X]二進を書き込んでください。これによりADCは「ノーマリオフ」になります。MAX31865はFORCE-入力スイッチがクローズの間にフォルトを検査し、検査が完了するとFORCE-入力スイッチがオープンになります。フォルト検出サイクルビット(D[3:2])には[10]二進が設定されたままです。再び、少なくとも時定数の5倍だけ待ったあと、Configurationレジスタに[100X110X]二進を書き込んでください。今度は、MAX31865はFORCE-入力スイッチがオープンの際にフォルトを検査します。検査が終了すると、FORCE-入力スイッチがクローズされ、フォルト検出サイクルビット(D[3:2])は自動的に[00]二進にクリアされます。1回の書込みでD5 (ワンショット)およびD2またはD3に1が書き込まれた場合、両方のコマンドが無視されることに注意してください。先に第1のマニュアルステップ([100X100X]二進の設定)を開始せずに[100X110X]二進が設定された場合、代わりに自動フォルト検出モードが実行されます。

### フォルトステータスクリア(D1)

Fault Statusレジスタのすべてのフォルトステータスビット(D[7:2])を0に戻すには、このビットに1を書き込むとともに、ビットD5、D3、およびD2に0を書き込んでください。過電圧/低電圧フォルトが継続している場合、Fault StatusレジスタのビットD2と、それに続いてRTD LSBレジスタのビットD0が、リセット直後に再びセットされることに注意してください。フォルトステータスクリアビットD1は、自動的に0にクリアされます。

### 50/60Hz (D0)

このビットは、ノイズ除去フィルタのノッチ周波数を選択します。60Hzおよびその高調波を除去するには、このビットに0を書き込んでください。50Hzおよびその高調波を除去するには、このビットに1を書き込んでください。注：自動変換モード時は、ノッチ周波数を変更しないでください。

**RTD Resistanceレジスタ(01h~02h)**

2つの8ビットレジスタ(RTD MSBおよびRTD LSB)に、RTDの抵抗値データが含まれます。データ形式を表4に示します。データ形式は、単に基準抵抗に対するRTDの抵抗

値の比率を示す15ビットの数値です。RTD LSBレジスタのD0は、何らかのRTDフォルトが検出されたかどうかを示すフォルトビットです。

**表4. RTD Resistanceレジスタの定義**

REGISTER	RTD MSBS (01h) REGISTER								RTD LSBS (02h) REGISTER							
	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
RTD Resistance Data	MSB	—	—	—	—	—	—	—	—	—	—	—	—	—	LSB	Fault
Bit Weighting	2 <sup>14</sup>	2 <sup>13</sup>	2 <sup>12</sup>	2 <sup>11</sup>	2 <sup>10</sup>	2 <sup>9</sup>	2 <sup>8</sup>	2 <sup>7</sup>	2 <sup>6</sup>	2 <sup>5</sup>	2 <sup>4</sup>	2 <sup>3</sup>	2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>	—
Decimal Value	16384	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1	—

**表5. RTDの抵抗値とデータの関係**

R <sub>RTD</sub> /R <sub>REF</sub>	BINARY		HEX		DECIMAL
	RTD MSBs (01h)	RTD LSBs (02h)	RTD MSBs (01h)	RTD LSBs (02h)	
0.025	0000 0110	0110 0110b	06h	66h	819
0.125	0010 0000	0000 0000b	20h	00h	4096
0.25	0100 0000	0000 0000b	40h	00h	8192
0.50	1000 0000	0000 0000b	80h	00h	16,384
0.75	1100 0000	0000 0000b	C0h	00h	24,576
0.999	1111 1111	1111 1110b	FFh	FEh	32,767

注：D0 (「フォルト」) は0と仮定しています。

### Fault Thresholdレジスタ(03h~06h)

High Fault ThresholdおよびLow Fault Thresholdレジスタは、RTDフォルト検出の動作スレッシュホールドを選択します。RTD変換の結果はこれらのレジスタの値と比較され、Fault Statusレジスタの「フォルト」(D[7:6])ビットが生成されます。RTD Resistanceレジスタ、High Fault Thresholdレジスタ、およびLow Fault Thresholdレジスタは、すべて同じ形式です。

RTD Resistanceレジスタの値がHigh Fault Thresholdレジスタ内の値以上の場合、Fault StatusレジスタのRTDハイビットがセットされます。High Fault ThresholdレジスタのPOR値はFFFFhです。

RTD Resistanceレジスタの値がLow Fault Thresholdレジスタ内の値以下の場合、Fault StatusレジスタのRTDロービットがセットされます。Low Fault ThresholdレジスタのPOR値は0000hです。

### Fault Statusレジスタ(07h)

Fault Statusレジスタには、検出されたすべてのフォルトビットがラッチされます。Configurationレジスタのフォルトステータスクリアビットに1を書き込むと、すべてのフォルトステータスビットが0に戻ります。

### シリアルインタフェース

MAX31865は、SPIのモード1および3をサポートしています。SPI対応の通信には、SDO (シリアルデータアウト)、SDI (シリアルデータイン)、 $\overline{CS}$  (チップセレクト)、およびSCLK (シリアルクロック)の4つの端子が使用されます。SDIとSDOは、それぞれデバイスのシリアルデータ入力および出力端子です。 $\overline{CS}$  入力は、データ転送を開始および終了します。SCLKは、マスター(マイクロコントローラ)とスレーブ(MAX31865)間のデータ転送を同期化します。

シリアルクロック(SCLK)はマイクロコントローラによって生成され、 $\overline{CS}$ がローでSPIバス上のいずれかのデバイスに対しアドレスおよびデータの転送が行われている間のみ

表6. Fault Thresholdレジスタの定義

REGISTER	HIGH FAULT THRESHOLD MSB (03h) REGISTER								HIGH FAULT THRESHOLD LSB (04h) REGISTER							
	LOW FAULT THRESHOLD MSB (05h) REGISTER								LOW FAULT THRESHOLD LSB (06h) REGISTER							
Bit	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
RTD Resistance Data	MSB	—	—	—	—	—	—	—	—	—	—	—	—	—	LSB	X
Bit Weighting	2 <sup>14</sup>	2 <sup>13</sup>	2 <sup>12</sup>	2 <sup>11</sup>	2 <sup>10</sup>	2 <sup>9</sup>	2 <sup>8</sup>	2 <sup>7</sup>	2 <sup>6</sup>	2 <sup>5</sup>	2 <sup>4</sup>	2 <sup>3</sup>	2 <sup>2</sup>	2 <sup>1</sup>	2 <sup>0</sup>	—
Decimal Value	16384	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1	—

X = 任意

表7. Fault Statusレジスタの定義

D7	D6	D5	D4	D3	D2	D1	D0
RTD High Threshold	RTD Low Threshold	REFIN- > 0.85 × V <sub>BIAS</sub>	REFIN- < 0.85 × V <sub>BIAS</sub> (FORCE- open)	RTDIN- < 0.85 × V <sub>BIAS</sub> (FORCE- open)	Overvoltage/ undervoltage fault	x	x

X = 任意

アクティブになります。一部のマイクロコントローラでは、非アクティブ時のクロックの極性を設定することができます。MAX31865は、CSがアクティブ化した時点でSCLKをサンプリングし、非アクティブ時のクロックの極性を判定することによって、どちらのクロック極性にも自動的に対応します。入力データ(SDI)は内部ストロブのエッジでラッチされ、出力データ(SDO)はシフトエッジでシフトアウトされます(表8および図5を参照)。転送される各ビットに対して1クロックが使用されます。アドレスおよびデータビットは8ビット単位で、MSBから先に転送されます。

**アドレスおよびデータバイト**

アドレスおよびデータバイトは、MSBから先にシリアルデータ入力(SDI)にシフトインされ、シリアルデータ出力(SDO)からシフトアウトされます。すべての転送には、書込みまたは読取りを指定するバイトのアドレスが必要で、そのあとに1バイト以上のデータが続きます。データは、読取り操作の場合はSDOから転送され、書込み操作の場合

はSDIに転送されます。アドレスバイトは、常にCSがローに駆動されたあとに転送される最初のバイトです。このバイトのMSB (A7)は、後続のバイトが書込みか読取りかを決定します。A7が0の場合、アドレスバイトのあとに1つ以上のバイト読取りが続きます。A7が1の場合、アドレスバイトのあとに1つ以上のバイト書込みが続きます。

単一バイト転送の場合、1バイトの読取りまたは書込みが行われたあと、CSがハイに駆動されます(図6および図7を参照)。複数バイト転送の場合、アドレスが書き込まれたあとに複数のバイトの読取りまたは書込みを行うことができます(図8を参照)。CSがローのままである限り、アドレスはすべてのメモリ位置にわたりインクリメントを続けます。データのクロックインまたはクロックアウトが継続された場合、アドレスは7Fh/FFhから00h/80hにループします。無効なメモリアドレスに対してはFFhの値が通知されます。読取り専用レジスタに書込みを試みた場合、レジスタの内容は変化しません。

**表8. 機能表**

MODE	CS	SCLK	SDI	SDO
Disable Reset	High	Input disabled	Input disabled	High impedance
Write	Low	CPOL = 1*, SCLK rising	Data bit latch	High impedance
		CPOL = 0, SCLK falling		
Read	Low	CPOL = 1, SCLK falling	X	Next data bit shift**
		CPOL = 0, SCLK rising		

注：CPHA ビット極性は 1 に設定される必要があります。

\*CPOL はマイクロコントローラの制御レジスタで設定されるクロック極性ビットです。

\*\* 読取り中に 8 ビットのデータをシフトアウトする準備ができるまで SDO はハイインピーダンスのままになります。

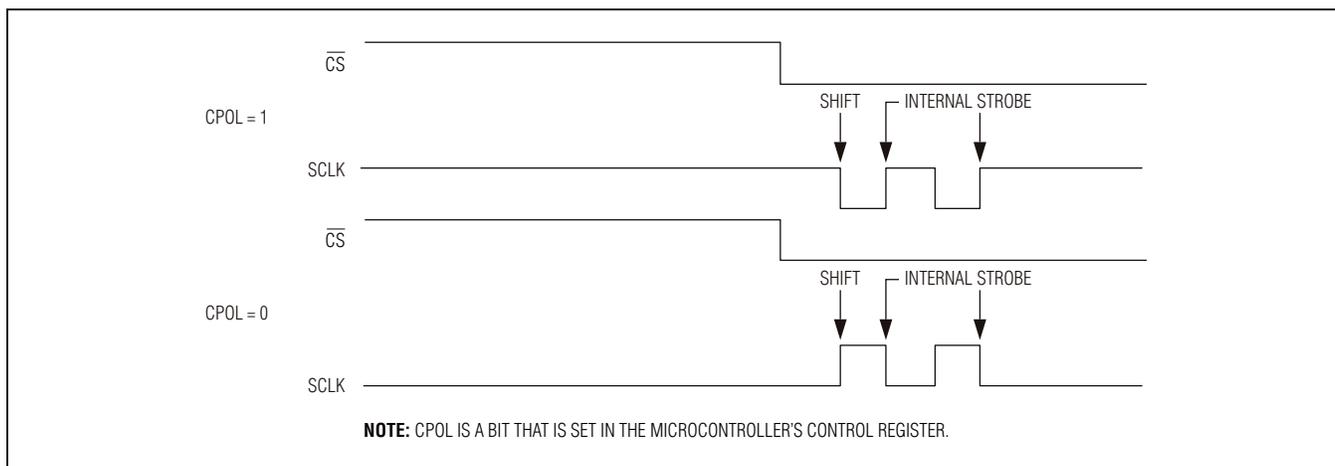


図 5. マイクロコントローラのクロック極性 (CPOL) の関数としてのシリアルクロック

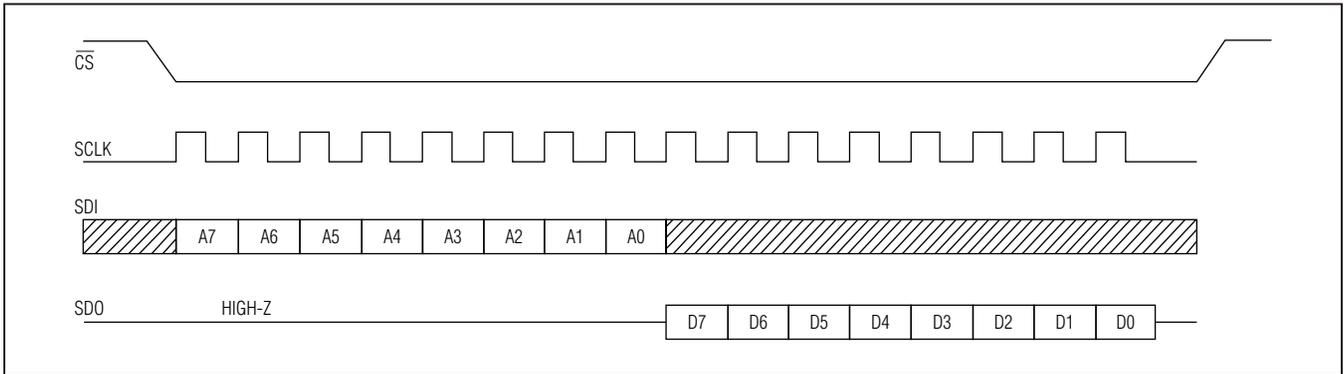


図 6. SPI の単一バイト読取り

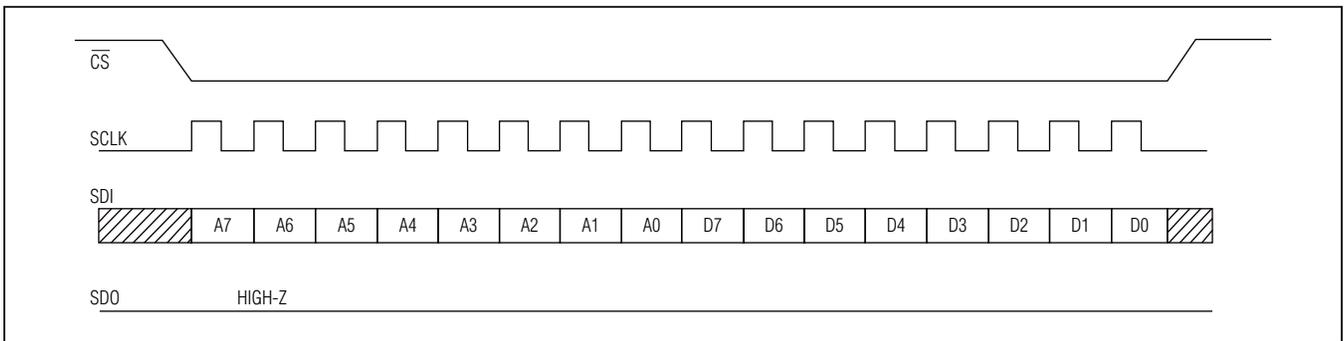


図 7. SPI の単一バイト書込み

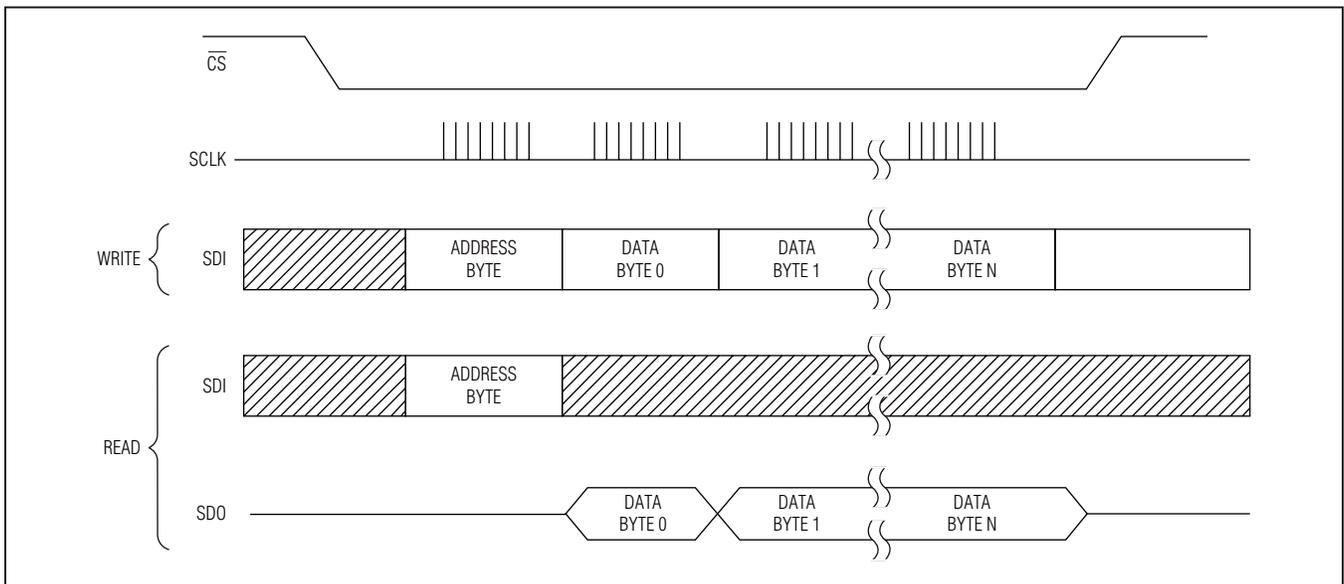


図 8. SPI のマルチバイト転送

**DRDY**

DRDY出力は、新しい変換結果がRTD Dataレジスタで利用可能になったときローになります。RTD Dataレジスタの読み取り操作が完了すると、DRDYはハイに戻ります。

**アプリケーション情報**

ノイズの多い環境で動作する場合、RTDIN+とRTDIN-入力間にフィルタコンデンサを配置することができます。過電圧または低電圧フォルトのあと、フォルト検出サイクルのあと、またはVBIASをイネーブルしたあとは、常に入力フィルタのセトリング時間を待ってからADCを再起動して

ください。規定の精度を達成するには、少なくとも時定数の5倍 + (保護デバイスの安定化のための)追加の1msの遅延時間を推奨します。

**RTD Dataレジスタ値から温度への変換**

RTD Dataレジスタに格納されたレシオメトリックAD変換結果は、数ステップの計算により温度に変換することができます。

最初に、次式を使用してRTDの抵抗値を決定する必要があります。

$$R_{RTD} = (ADCコード \times R_{REF}) / 2^{15}$$

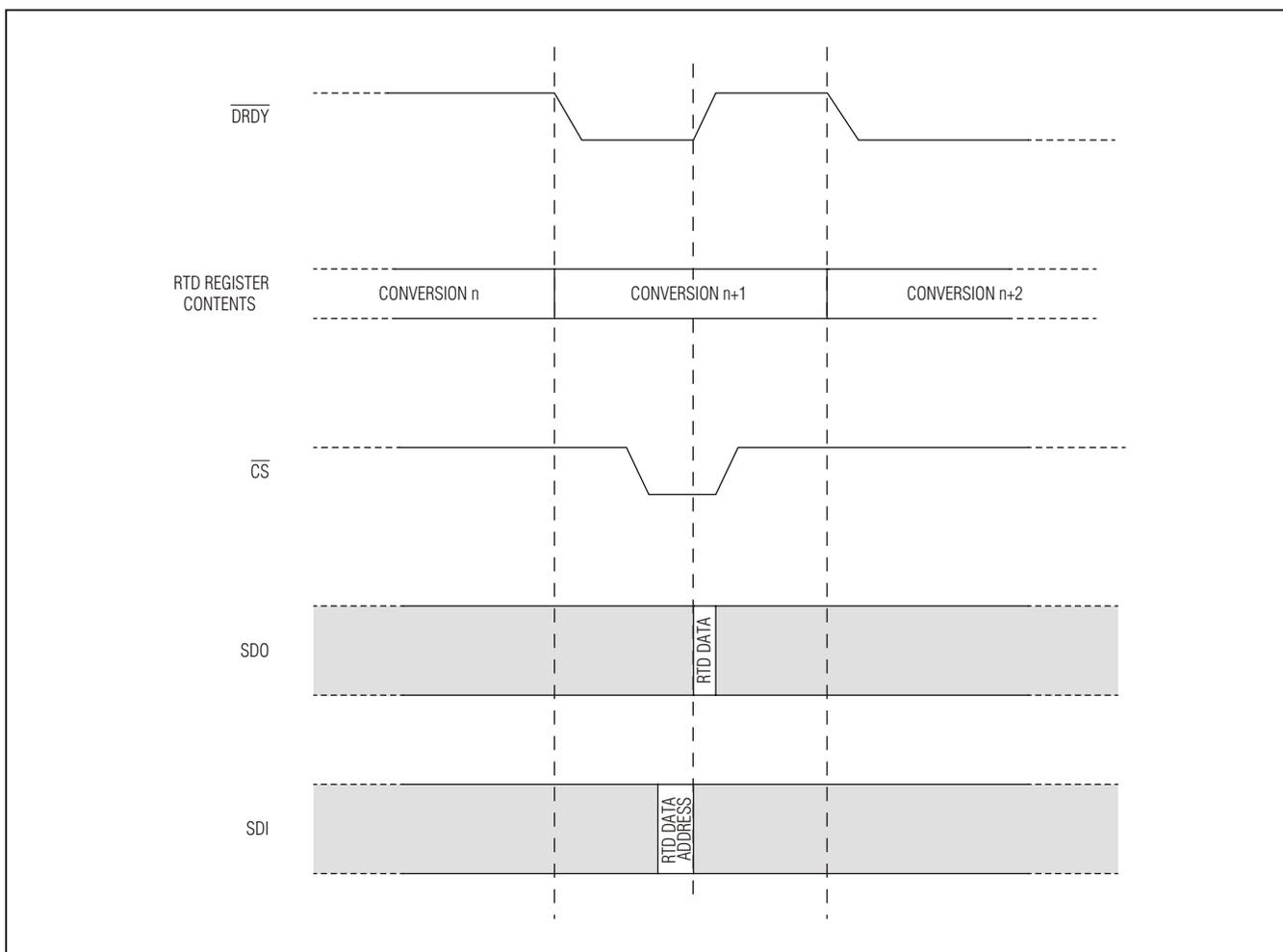


図 9. DRDY の動作

ADCコード = RTD Dataレジスタ(01h~02h)の15ビットのAD変換結果

$R_{REF}$  = 基準抵抗の抵抗値

RTDの抵抗値が判明した時点で、選択したRTDの明確に定義された抵抗特性を使用し、計算またはルックアップ

テーブルにより温度を決定することができます。

PT100 RTDと400Ωの高精度低ドリフト基準抵抗を使用した標準的な場合について、表9に温度と抵抗値および対応するADCコード結果の例を示します。

**表9. PT100と400Ωの $R_{REF}$ を使用した場合の温度の例**

TEMPERATURE (°C)	RTD RESISTANCE (Ω)	RTD DATA REG (01h-02h) (hex)	ADC CODE (dec)	ADC CODE/32-256 (°C)
-200	18.52	0BDAh	1517	-208.59
-175	29.22	12B4h	2394	-181.19
-150	39.72	196Ch	3254	-154.31
-125	50.06	200Ah	4101	-127.84
-100	60.26	2690h	4936	-101.75
-75	70.33	2D04h	5762	-75.94
-50	80.31	3366h	6579	-50.41
-40	84.27	35EEh	6903	-40.28
-30	88.22	3876h	7227	-30.16
-20	92.16	3AFCh	7550	-20.06
-10	96.09	3D7Eh	7871	-10.03
0	100.00	4000h	8192	0.00
10	103.90	4280h	8512	10.00
20	107.79	44FCh	8830	19.94
30	111.67	4778h	9148	29.88
40	115.54	49F2h	9465	39.78
50	119.40	4C6Ah	9781	49.66
60	123.24	4EE0h	10096	59.50
70	127.08	5154h	10410	69.31
80	130.90	53C6h	10723	79.09
90	134.71	5636h	11035	88.84
100	138.51	58A4h	11346	98.56
110	142.29	5B12h	11657	108.28
120	146.07	5D7Ch	11966	117.94
130	149.83	5FE4h	12274	127.56
140	153.58	624Ch	12582	137.19
150	157.33	64B0h	12888	146.75
160	161.05	6714h	13194	156.31
170	164.77	6974h	13498	165.81
180	168.48	6BD4h	13802	175.31
190	172.17	6E30h	14104	184.75
200	175.86	708Ch	14406	194.19
225	185.01	7668h	15156	217.63
250	194.10	7C3Ah	15901	240.91

表9. PT100と400ΩのR<sub>REF</sub>を使用した場合の温度の例(続き)

TEMPERATURE (°C)	RTD RESISTANCE (Ω)	RTD DATA REG (01h-02h) (hex)	ADC CODE (dec)	ADC CODE/32-256 (°C)
275	203.11	81FEh	16639	263.97
300	212.05	87B6h	17371	286.84
325	220.92	8D64h	18098	309.56
350	229.72	9304h	18818	332.06
375	238.44	989Ah	19533	354.41
400	247.09	9E24h	20242	376.56
425	255.67	A3A2h	20945	398.53
450	264.18	A914h	21642	420.31
475	272.61	AE7Ah	22333	441.91
500	280.98	B3D4h	23018	463.31
525	289.27	B922h	23697	484.53
550	297.49	BE64h	24370	505.56

### RTDIN+ケーブルのフォルト検出

3線式および4線式RTD接続構成では、RTDIN+ケーブルが破損または切断された場合、バイアスなしのADC+がMAX31865に入力される結果となります。これにより、予測不可能なAD変換結果が発生し、PCBレイアウト、外部回路のノイズ、および周囲温度による影響を受ける可能性があります。Fault Thresholdレジスタに設定された値によっては、このケーブルフォルト状態が検出されない場合があります。この状態が問題となる場合は、RTDIN+端子とBIAS端子間に10MΩの抵抗を追加してください。それにより、RTDIN+リードが破損または切断している場合、RTD抵抗の測定値はフルスケールになります。

### RTDおよびケーブルのフォルト状態の分析

RTD素子開回路またはRTD素子両端の短絡は、抵抗値データに基づいて変換のたびに検出されます。RTD素子開回路の結果は、フルスケールの読み値になります。High Fault Thresholdレジスタを使用して、RTD素子開回路検出のスレッシュホールドを設定してください。変換結果がスレッシュホールド値以上の場合、変換終了時にFault StatusレジスタのRTDハイビットがセットされます。RTD素子開回路は、

$V_{REFIN-} > 0.85 \times V_{BIAS}$ かどうかを調べることによって、オンデマンドでも検出することができます。RTD素子短絡は、ゼロに近い変換結果を生成します。Low Fault Thresholdレジスタで、RTD短絡検出のスレッシュホールドを設定してください。

表10、表11、および表12に、2線式、3線式、および4線式構成でのRTDおよびケーブルのフォルト検出方法の概要を示し、最も一般的な原因について説明します。

フォルトステータスビットは、Configurationレジスタのフォルトクリアビットがセットされるまでラッチされます。そのため、断続的なフォルトを捕捉することができます。

### 電源デカップリング

デバイスの使用時に最高の結果を実現するために、0.1μFのコンデンサでV<sub>DD</sub>およびDVDD電源をデカップリングしてください。可能な場合、高品質の表面実装型セラミックコンデンサを使用してください。表面実装部品はリードインダクタンスが最小限に抑えられるため性能が向上し、セラミックコンデンサの多くはデカップリング用途に適した高周波数応答を備えています。

表10. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(2線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
D6	Shorted RTD element RTDIN+ shorted low	Measured resistance less than Low Fault Threshold value	Near zero
D5	Open RTD	$V_{REFIN-} > 0.85 \times V_{BIAS}$	Full scale
	RTDIN+ shorted high		Indeterminate
	RTDIN- shorted high		Indeterminate
D4	RTDIN- shorted low	$V_{REFIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
D3	RTDIN- shorted low	$V_{RTDIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
	RTDIN+ shorted low		Near zero
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

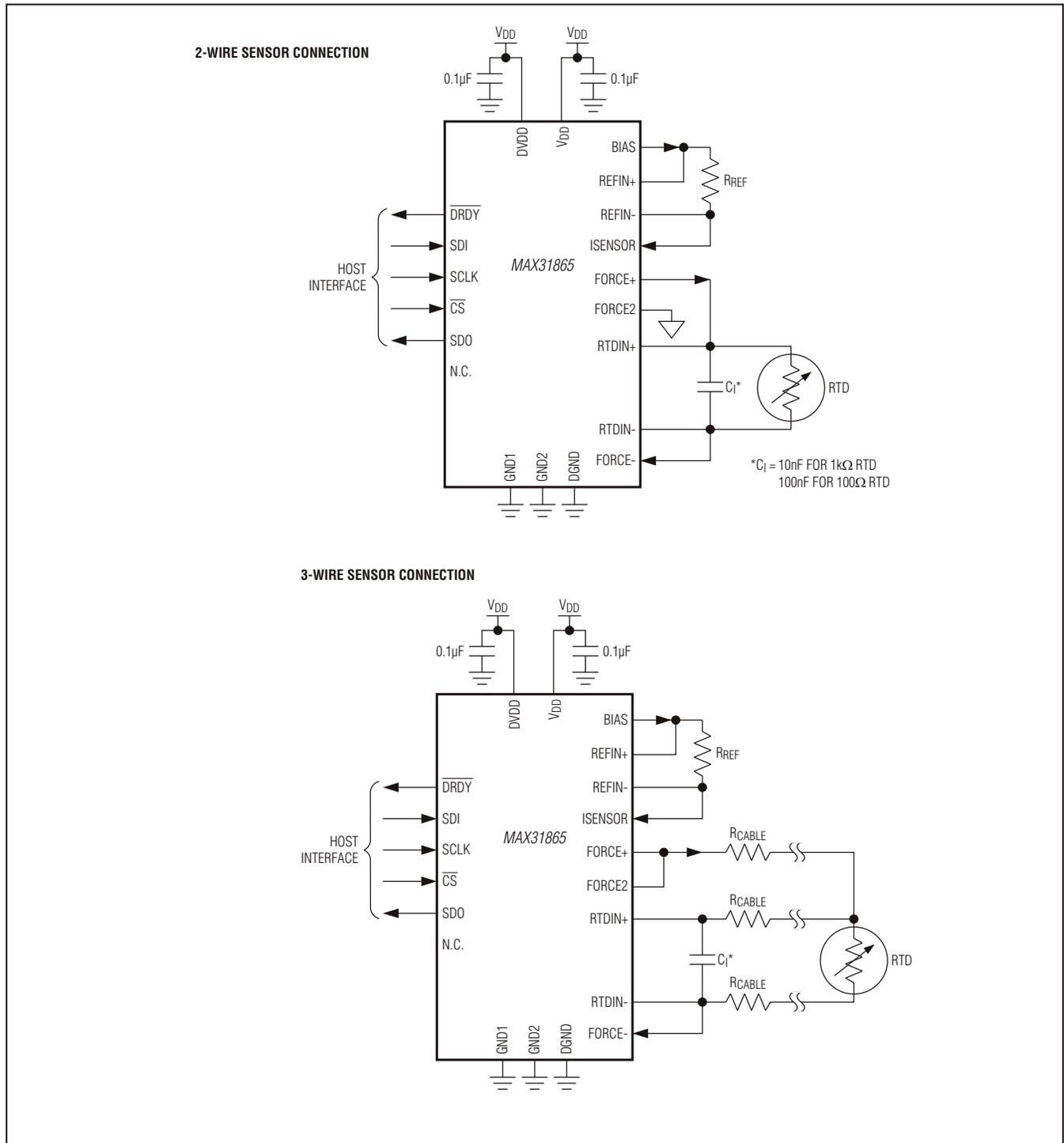
表11. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(3線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
	RTDIN+ shorted high and not connected to RTD		
	Force+ shorted high and connected to RTD		
D6	RTDIN+ shorted to RTDIN-	Measured resistance less than Low Fault Threshold value	Near zero
	RTDIN+ shorted low and not connected to RTD		
	Force+ shorted low		
D5	Open RTD element	$V_{REFIN-} > 0.85 \times V_{BIAS}$	Full scale
	Force+ shorted high and connected to RTD		
	Force+ unconnected		Indeterminate
	Force+ shorted high and not connected to RTD		
	RTDIN- shorted high		
D4	RTDIN- shorted low	$V_{REFIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Appear to be valid
D3	Force+ shorted low	$V_{RTDIN-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Near zero
	RTDIN+ shorted low and connected to RTD		
	RTDIN- shorted low		Appear to be valid
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

表12. RTD Data LSBレジスタのフォルトビット = 1のときのRTDフォルトの分析(4線式構成)

FAULT STATUS BIT SET	DESCRIPTION OF POSSIBLE CAUSE	CONDITION DETECTED	DESCRIPTION OF RESULTING DATA
D7	Open RTD element	Measured resistance greater than High Fault Threshold value	Full scale
	RTDIN+ shorted high and not connected to RTD		
	Force+ shorted high and connected to RTD		
D6	RTDIN+ shorted to RTDIN-	Measured resistance less than Low Fault Threshold value	Near zero
	RTDIN+ shorted low and not connected to RTD		
	RTDIN- shorted high and not connected to RTD		
	Force+ shorted low		
D5	Open RTD element	$V_{REFIN^-} > 0.85 \times V_{BIAS}$	Full scale
	Force+ shorted high and connected to RTD		Indeterminate
	Force- unconnected		
	Force+ unconnected		
	Force+ shorted high and not connected to RTD		
	Force- shorted high and not connected to RTD		
	Force- shorted high and connected to RTD		
	Force- shorted low and not connected to RTD		
D4	Force- shorted low and connected to RTD	$V_{REFIN^-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Indeterminate
	RTDIN- shorted low and connected to RTD		Appear to be valid
D3	Force+ shorted low	$V_{RTDIN^-} < 0.85 \times V_{BIAS}$ (FORCE- open)	Near zero
	RTDIN+ shorted low and connected to RTD		Appear to be valid
	RTDIN- shorted low and connected to RTD		
	RTDIN- shorted low and not connected to RTD		
	Force- shorted low		
D2	Overvoltage or undervoltage fault	Any protected input voltage $>V_{DD}$ or $<GND1$	Indeterminate

標準アプリケーション回路(続き)



## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX31865AAP+	-40°C to +125°C	20 SSOP
MAX31865AAP+T	-40°C to +125°C	20 SSOP
MAX31865ATP+	-40°C to +125°C	20 TQFN-EP*
MAX31865ATP+T	-40°C to +125°C	20 TQFN-EP*

+ は鉛 (Pb) フリー /RoHS 準拠パッケージを表します。

T = テープ&リール。

\*EP = エクスポートドバッド。

## パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は[www.maximintegrated.com/jp/packages](http://www.maximintegrated.com/jp/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図 No.	ランドパターンNo.
20 TQFN-EP	T2055+5	<a href="#">21-0140</a>	<a href="#">90-0010</a>
20 SSOP	A20+1	<a href="#">21-0056</a>	<a href="#">90-0094</a>

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/12	初版	—
1	1/15	「利点および特長」の項を改訂	1
2	5/15	データシートにSSOPパッケージを追加し、入力電圧保護を±45Vに更新。	1, 2, 7, 10, 11, 24
3	7/15	表6を更新	16



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。