

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

概要

MAX5132/MAX5133は、内部高精度バンドギャップリファレンス及び出力アンプを備えた低電力13ビット電圧出力デジタルアナログコンバータ(DAC)です。

MAX5132は+5V単一電源で動作し、内部+2.5Vリファレンスを備えています。また、設定可能な出力アンプを備えています。ユーザは、必要に応じて内部<10ppm/ 電圧リファレンスを外部リファレンスで無効にすることができます。MAX5133はMAX5132と同じ特長を持っていますが、+3V単一電源で動作し、内部+1.25V高精度リファレンスを備えています。アンプの反転入力及び出力にユーザがアクセスできるため、特定の利得構成、リモートセンシング及び大出力駆動能力が可能になり、広範囲のフォース/センスアプリケーションに適しています。いずれのデバイスも消費電流は僅か500 μ Aとなっており、パワーダウンモードにおいては3 μ Aに低減します。さらに、パワーアップリセット機能により、初期出力状態として0V又はミッドスケールをユーザが選ぶことができる上、パワーアップ時の出力グリッチが低減されています。

シリアルインタフェースは、SPI™/QSPI™及びMICROWIRE™とコンパチブルです。このため、MAX5132/MAX5133は複数のデバイスのカスケード接続に適しています。各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ入力を備えています。16ビットシフトレジスタにより、データが入力レジスタにロードされます。DACレジスタは独立に、あるいは入力レジスタと同時に更新できます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)のものが用意されています。ピンコンパチブルの14ビットアップグレード製品としては、MAX5171/MAX5173データシートを参照してください。ピンコンパチブルの12ビット製品としては、MAX5122/MAX5123データシートを参照してください。

アプリケーション

- 工業用プロセス制御
- 自動試験機器(ATE)
- デジタルオフセット及び利得調節
- モーションコントロール
- マイクロプロセッサ制御のシステム

SPI及びQSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

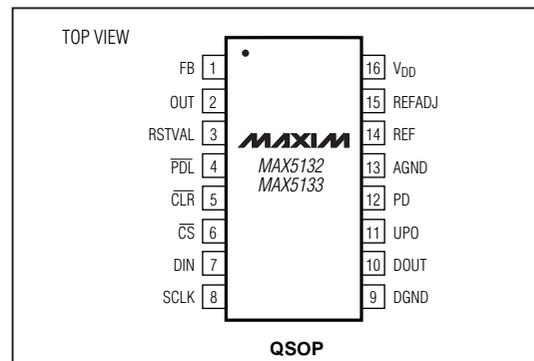
特長

- ◆ 単一電源動作
 - +5V(MAX5132)
 - +3V(MAX5133)
- ◆ 内部10ppm/ (max)高精度バンドギャップリファレンス
 - +2.5V(MAX5132)
 - +1.25V(MAX5133)
- ◆ SPI/QSPI/MICROWIREコンパチブルの3線シリアルインタフェース
- ◆ ピン設定可能なシャットダウンモード及びパワーアップリセット(出力電圧を0又はミッドスケールにリセット)
- ◆ 5k Ω 100pF又は4 ~ 20mA負荷を駆動できるバッファ出力
- ◆ パッケージ: 省スペースの16ピンQSOP
- ◆ 12ビットMAX5122/MAX5123のピンコンパチブルアップグレード
- ◆ ピンコンパチブルの14ビットアップグレード品が入手可能(MAX5171/MAX5173)

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5132AEEE	-40°C to +85°C	16 QSOP	± 0.5
MAX5132BEEE	-40°C to +85°C	16 QSOP	± 1
MAX5133AEEE	-40°C to +85°C	16 QSOP	± 1
MAX5133BEEE	-40°C to +85°C	16 QSOP	± 2

ピン配置



+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND, DGND	-0.3V to +6V	Maximum Current into Any Pin	50mA
AGND to DGND	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C)	
Digital Inputs to DGND	-0.3V to +6V	16-Pin QSOP (derate 8.00mW/°C above +70°C)	667mW
Digital Outputs (DOOUT, UPO) to DGND	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Range	-40°C to +85°C
FB, OUT to AGND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
REF, REFADJ to AGND	-0.3V to (V _{DD} + 0.3V)	Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5132 (+5V)

(V_{DD} = +5V ±10%, AGND = DGND, 33nF capacitor at REFADJ, internal reference, R_L = 5kΩ, C_L = 100pF, output amplifier connected in unity-gain, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		13			Bits
Integral Nonlinearity (Note 1)	INL	MAX5132A	-0.5		0.5	LSB
		MAX5132B	-1		1	
Differential Nonlinearity	DNL		-1		1	LSB
Offset Error (Note 2)	V _{OS}		-10		10	mV
Gain Error	GE		-3	-0.2	3	mV
Full-Scale Temperature Coefficient (Note 3)	TCV _{FS}	MAX5132A		3	10	ppm/°C
		MAX5132B		10	30	
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	250	μV/V
REFERENCE						
Output Voltage	V _{REF}	T _A = +25°C	2.475	2.5	2.525	V
Output Voltage Temperature Coefficient	TCV _{REF}	MAX5132A		3		ppm/°C
		MAX5132B		10		
Reference External Load Regulation	V _{OUT} /I _{OUT}	0 ≤ I _{OUT} ≤ 100μA (sourcing)			50	μV/μA
Reference Short-Circuit Current				4		mA
REFADJ Current		REFADJ = V _{DD}		3.3	7	μA
DIGITAL INPUT						
Input High Voltage	V _{IH}		3			V
Input Low Voltage	V _{IL}				0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0 or V _{DD}	-1	0.001	1	μA
Input Capacitance	C _{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V _{OH}	I _{SOURCE} = 2mA	V _{DD} - 0.5			V
Output Low Voltage	V _{OL}	I _{SINK} = 2mA		0.13	0.4	V

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

ELECTRICAL CHARACTERISTICS—MAX5132 (+5V) (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μ s
Output Settling Time		$T_o \pm 0.5LSB$, $V_{STEP} = 2.5V$		20		μ s
Output Voltage Swing (Note 4)				0 to V_{DD}		V
Current into FB			-0.1	0	0.1	μ A
Time Required to Exit Shutdown				2		ms
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 5Vp-p$		5		nV-s
POWER REQUIREMENTS						
Power-Supply Voltage (Note 5)	V_{DD}		4.5		5.5	V
Power-Supply Current (Note 5)	I_{DD}			500	600	μ A
Power-Supply Current in Shutdown	I_{SHDN}			3	20	μ A

ELECTRICAL CHARACTERISTICS—MAX5133 (+3V)

($V_{DD} = +3V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		13			Bits
Integral Nonlinearity (Note 1)	INL	MAX5133A	-1		1	LSB
		MAX5133B	-2		2	
Differential Nonlinearity	DNL		-1		1	LSB
Offset Error (Note 2)	V_{OS}		-10		10	mV
Gain Error	GE		-5	-0.2	5	mV
Full-Scale Temperature Coefficient (Note 3)	TCV_{FS}	MAX5133A		3	10	ppm/ $^\circ C$
		MAX5133B		10	30	
Power-Supply Rejection Ratio	PSRR	$2.7V \leq V_{DD} \leq 3.3V$		20	250	$\mu V/V$
REFERENCE						
Output Voltage	V_{REF}	$T_A = +25^\circ C$	1.237	1.25	1.263	V
Output Voltage Temperature Coefficient	TCV_{REF}	MAX5133A		3		ppm/ $^\circ C$
		MAX5133B		10		
Reference External Load Regulation	V_{OUT}/I_{OUT}	$0 \leq I_{OUT} \leq 100\mu A$ (sourcing)		0.1	1	$\mu V/\mu A$
Reference Short-Circuit Current				4		mA
REFADJ Current		$REFADJ = V_{DD}$		3.3	7	μA
DIGITAL INPUT						
Input High Voltage	V_{IH}		2.2			V
Input Low Voltage	V_{IL}				0.8	V
Input Hysteresis	V_{HYS}			200		mV

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

ELECTRICAL CHARACTERISTICS—MAX5133 (+3V) (continued)

($V_{DD} = +3V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current	I_{IN}	$V_{IN} = 0$ or V_{DD}	-1	0.001	1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		$T_o \pm 0.5LSB$, $V_{STEP} = 1.25V$		20		μs
Output Voltage Swing (Note 4)			0 to V_{DD}			V
Current into FB			-0.1	0	0.1	μA
Time Required to Exit Shutdown				2		ms
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3Vp-p$		5		nV-s
POWER REQUIREMENTS						
Power-Supply Voltage (Note 5)	V_{DD}		2.7		3.6	V
Power-Supply Current (Note 5)	I_{DD}			500	600	μA
Power-Supply Current in Shutdown	I_{SHDN}			3	20	μA

TIMING CHARACTERISTICS—MAX5132 (+5V)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		40			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay Time	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay Time	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay Time	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

TIMING CHARACTERISTICS—MAX5133 (+3V)

($V_{DD} = +3V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	tCP		150			ns
SCLK Pulse Width High	tCH		75			ns
SCLK Pulse Width Low	tCL		75			ns
\overline{CS} Fall to SCLK Rise Setup Time	tCSS		60			ns
SCLK Rise to \overline{CS} Rise Hold Time	tCSH		0			ns
SDI Setup Time	tDS		60			ns
SDI Hold Time	tDH		0			ns
SCLK Rise to DOUT Valid Propagation-Delay Time	tDO1	$C_{LOAD} = 200pF$			200	ns
SCLK Fall to DOUT Valid Propagation-Delay Time	tDO2	$C_{LOAD} = 200pF$			200	ns
SCLK Rise to \overline{CS} Fall Delay Time	tCS0		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	tCS1		75			ns
\overline{CS} Pulse Width High	tCSW		150			ns

Note 1: Accuracy is guaranteed by following the table:

V _{DD} (V)	Accuracy Guaranteed	
	From Code:	To Code:
5	32	8191
3	65	8191

Note 2: Offset is measured at the code closest to 10mV.

Note 3: The temperature coefficient is determined by the “box” method in which the maximum ΔV_{OUT} over the temperature range is divided by ΔT and the typical reference voltage.

Note 4: Accuracy is better than 1.0LSB for $V_{OUT} = 10mV$ to $V_{DD} - 180mV$. Guaranteed by PSR test on end points.

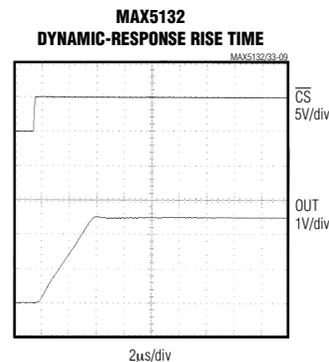
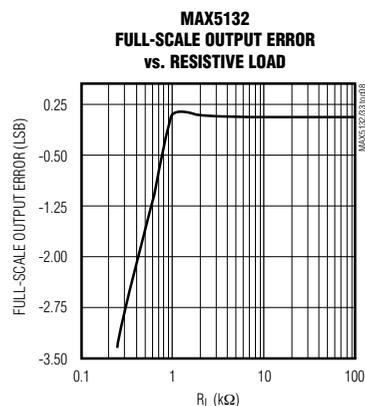
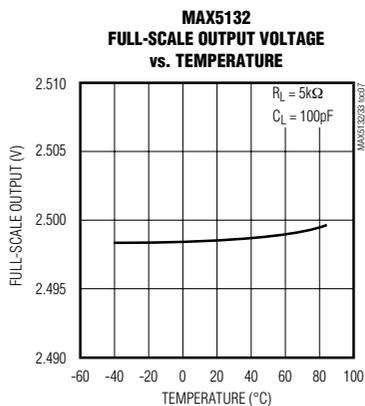
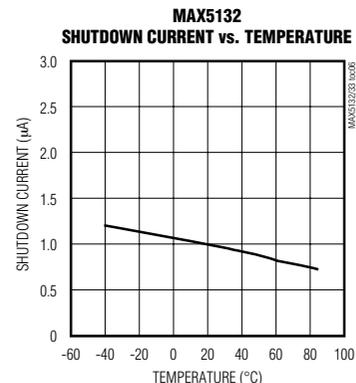
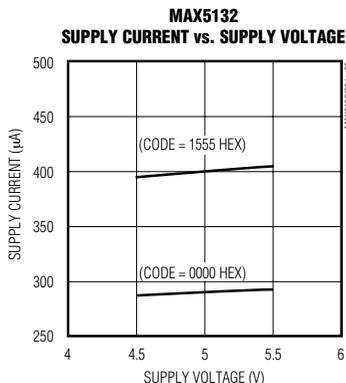
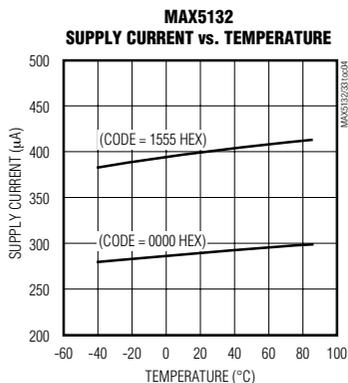
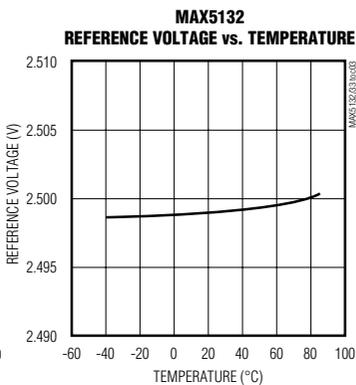
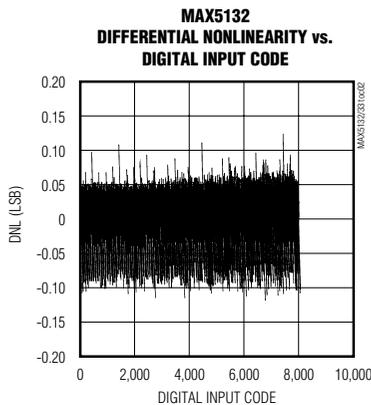
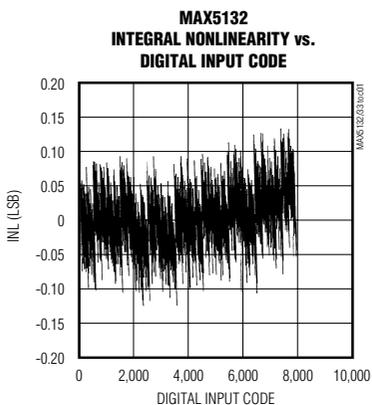
Note 5: $R_{LOAD} = \infty$ and digital inputs are at either V_{DD} or $DGND$.

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

標準動作特性

($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $OS = AGND$, $T_A = +25^\circ C$, output amplifier connected in unity-gain configuration, unless otherwise noted.)

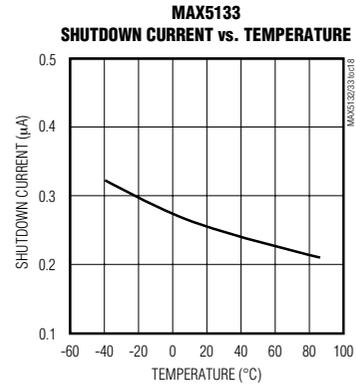
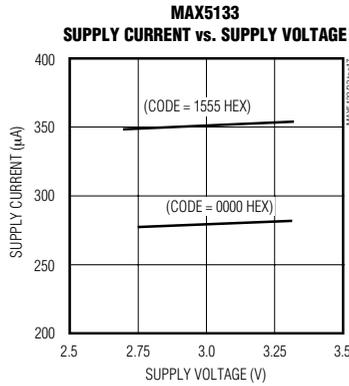
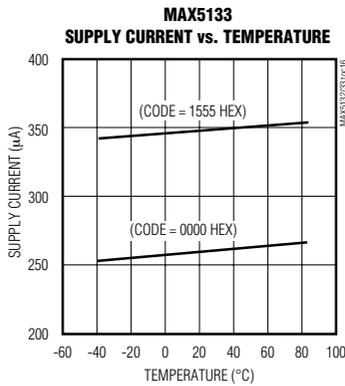
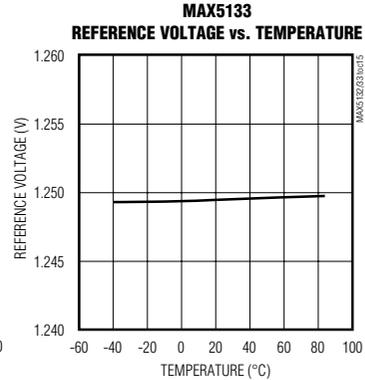
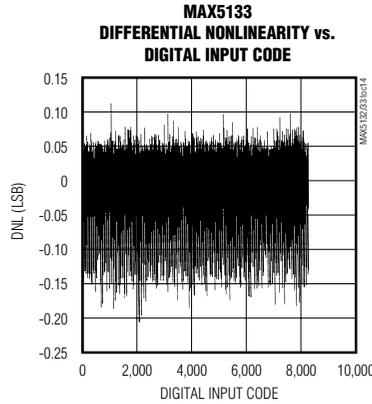
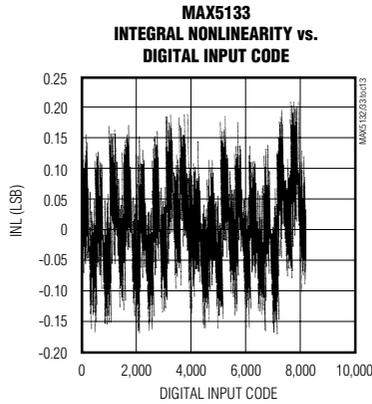
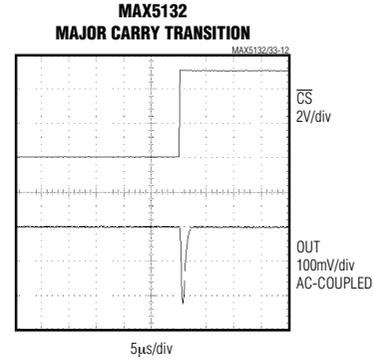
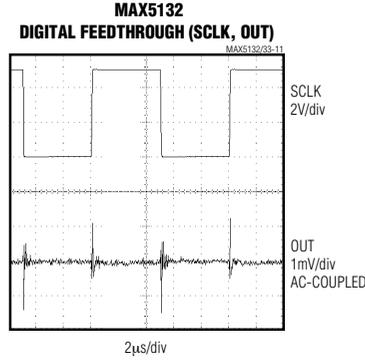
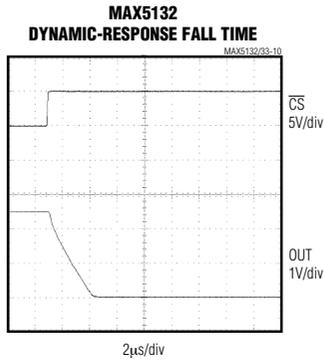


+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $OS = AGND$, $T_A = +25^\circ C$, output amplifier connected in unity-gain configuration, unless otherwise noted.)

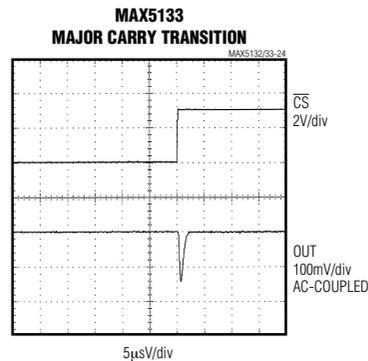
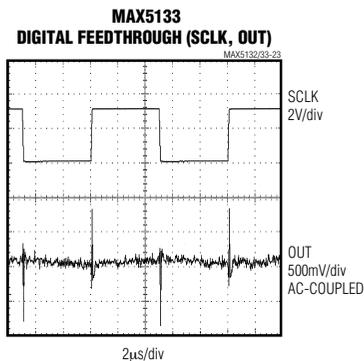
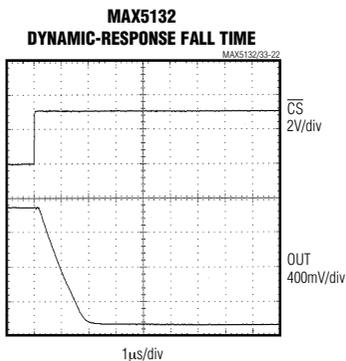
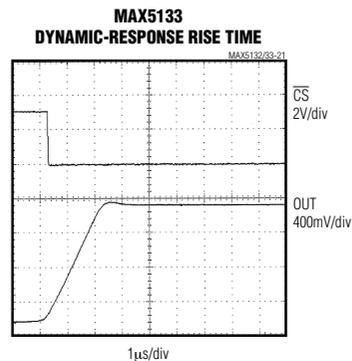
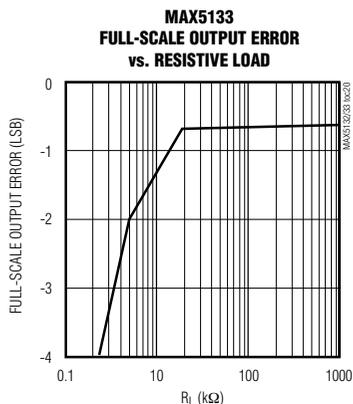
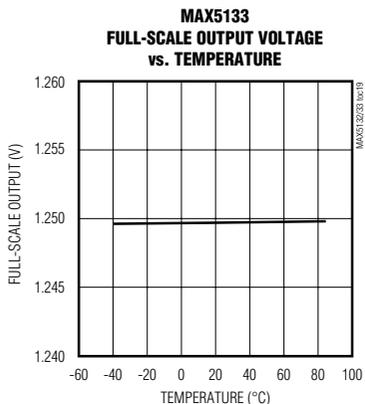


+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, OS = AGND, $T_A = +25^\circ C$, output amplifier connected in unity-gain configuration, unless otherwise noted.)



+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

端子説明

端子	名称	機能
1	FB	アンプ反転換出入口(アナログ入力)
2	OUT	アナログ出力電圧。素子がシャットダウン状態の時はハイインピーダンス。
3	RSTVAL	リセット値入力(デジタル入力) 1: V_{DD} に接続すると、出力リセット値としてミッドスケールが選択されます。 0: DGNDに接続すると、出力リセット値として0Vが選択されます。
4	\overline{PDL}	パワーダウンロックアウト(デジタル入力) 1: 通常動作 0: シャットダウンを禁止(素子をパワーダウンすることができなくなります。)
5	\overline{CLR}	DACリセット入力(デジタル入力)。DACを予め決められた(RSTVAL)出力状態にクリアします。DACをクリアすると、ソフトウェアシャットダウン状態が解除されます。
6	\overline{CS}	アクティブローのチップセレクト入力(デジタル入力)
7	DIN	シリアルデータ入力。データはSCLKの立上がりエッジで同期入力されます。
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザプログラマブル出力(デジタル出力)
12	PD	パワーダウン入力(デジタル入力)。PDL = V_{DD} の時にPDをハイに引き上げると、本ICはシャットダウン状態になります。シャットダウン時の最大消費電流は20 μ Aです。
13	AGND	アナロググランド
14	REF	リファレンスパッファ出力。内部リファレンスモードにおいては、リファレンスパッファが+2.5V(MAX5132)又は+1.25V(MAX5133)の公称出力を提供します。これはREFADJで外部調節が可能です。外部リファレンスモードにおいては、REFADJを V_{DD} に接続し、外部リファレンスをREFに印加して内部リファレンスをディセーブルしてください。
15	REFADJ	アナログリファレンス調節入力。33nFコンデンサでAGNDにバイパスしてください。外部リファレンスを使用する時は、 V_{DD} に接続してください。
16	V_{DD}	正電源。0.1 μ Fと4.7 μ Fのコンデンサを並列にしたもので、AGNDにバイパスしてください。

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

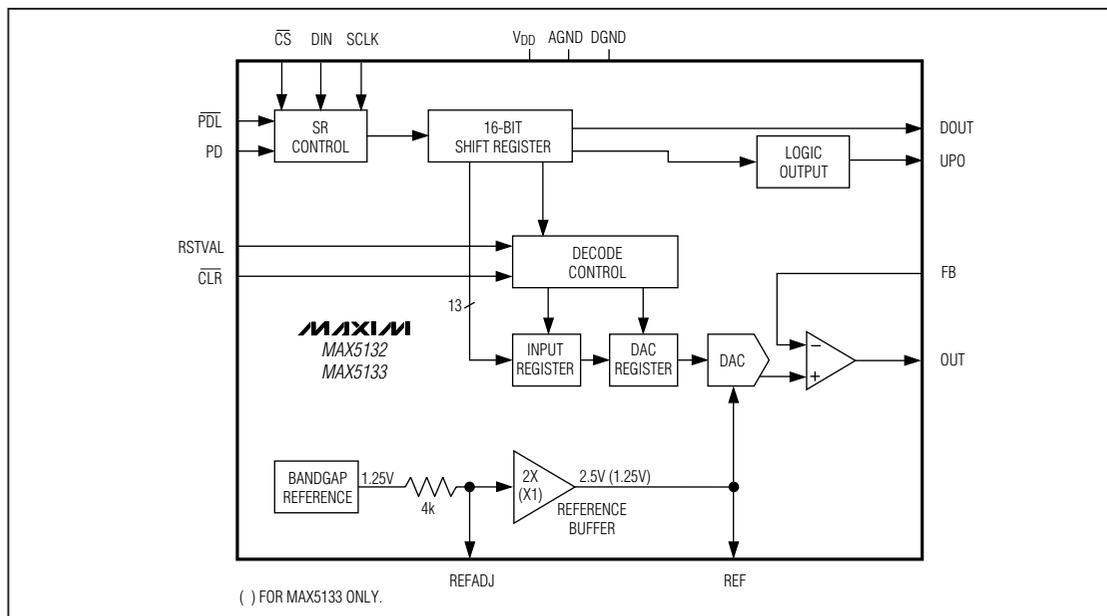


図1. 簡略化ファンクションダイアグラム

詳細

MAX5132/MAX5133は、3線シリアルインタフェースで簡単に設定できる13ビットのフォース/センスDACです。16ビットデータイン/データアウトシフトレジスタを備え、入力レジスタ及びDACレジスタから構成されるダブルバッファデジタル入力を備えています。さらに、これらの素子は高精度バンドギャップリファレンスを備えている他、外部からの利得設定用(図1)、あるいはフォース及びセンスアプリケーション用にフィードバック及び出力ピンへのアクセスが可能な出力アンプを備えています。これらのDACは、デジタル入力コードに比例する重み付電圧を生成する反転R-2Rラダーネットワーク(図2)を使用しています。

内部リファレンス

いずれの素子も、温度係数が僅か10ppm/ (max)の内部高精度バンドギャップリファレンスを使用し、+2.5V(MAX5132)又は+1.25V(MAX5133)の出力電圧を生成しています。REFピンは100µAまでの電流のソースになることができますが、100pFを超える容量性負荷があると不安定になります。REFADJを使用することにより、リファレンス電圧の微調整を行うことができます。図3a及び図3bの回路は、公称リファレンス調節範囲±1%を実現します。REFADJとAGNDの間に33nFのコンデンサを接続すると、低ノイズDAC動作となります。これより大きなコンデンサ値を使用すること

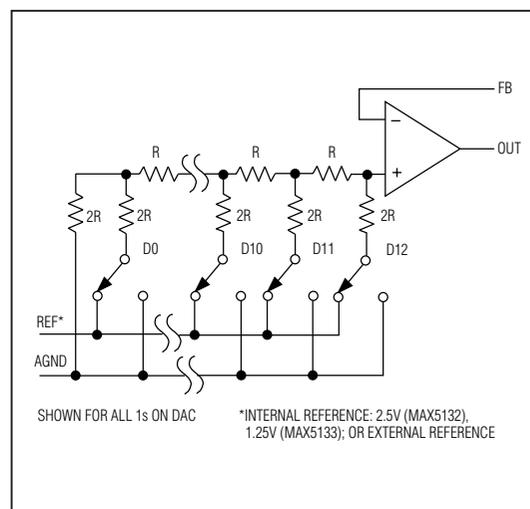


図2. 簡略化反転R-2R DAC構造

もできますが、その場合はスタートアップディレーが長くなります。スタートアップディレーの時間定数()は、REFADJの入カインピーダンス4k 及びC_{REFADJ}によって決まります。

$$= 4k \cdot C_{REFADJ}$$

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

外部リファレンス

外部リファレンスはREFピンに印加できます。REFADJをV_{DD}に引きつけることによって、内部リファレンスをディセーブルしてください。これにより、外部リファレンス信号(AC又はDC)をREFピンに印加できます。適正動作のために、V_{REF}の入力電圧範囲のリミット0~(V_{DD}-1.4V)を超えないでください。

出力電圧は次式で計算してください(REFADJ = V_{DD})。

$$V_{OUT} = V_{REF}[(NB/8192)G]$$

ここで、NBはMAX5132/MAX5133の入力コードの数値(0~8191)、V_{REF}は外部リファレンス電圧、Gは出力アンプの利得(外部抵抗分圧器で設定)です。REFの入力抵抗は最小40k で、コードに依存します。

出力アンプ

MAX5132/MAX5133 DACの出力は、標準スループート0.6V/μs高精度アンプにより、内部でバッファされています。各出力アンプの反転入力(FB)へのアクセスが可能であるため、ユーザによる出力利得設定/信号処理の自由度が高くなっています(「アプリケーション情報」の項を参照)。

フルスケール遷移があった場合の±0.5LSBへの標準セトリング時間は、ユニティゲインで負荷が5k Ω、100pFの時に20μs以内です。負荷が1k Ω以下であると性能が劣化します。

パワーダウンモード

MAX5132/MAX5133は、ソフトウェア及びハードウェア(PDピン)でプログラムできるシャットダウンモードを備えており、この時の消費電流は3μA(typ)まで

低減します。ソフトウェアシャットダウンモードに入るには、DACの制御シーケンスを表1に示すように設定してください。

シャットダウンモードにおいてはアンプ出力がハイインピーダンス状態になりますが、シリアルインタフェースは、アクティブの状態です。入力レジスタ内のデータは保存されるため、MAX5132/MAX5133は通常動作に戻る時にシャットダウンに入る前の出力状態を呼び起こすことができます。シャットダウンモードを解除するには、入力レジスタ及びDACレジスタの両方に同時にロードするか、あるいは入力レジスタからDACレジスタを更新してください。シャットダウンから通常動作に戻る時には、リファレンスのセトリング時間として2ms待ってください。外部リファレンスを使用している場合、DACの出力は僅か20μsで安定化します。

パワーダウンロックアウト入力(PDL)

パワーダウンロックアウトピン(PDL)がローの場合、シャットダウンがディセーブルされます。シャットダウンモードにおいて、PDLのハイからローへの遷移があるとDACがウェイクアップします。この時の出力は、パワーダウン以前の状態に設定されます。PDLは、素子を非同期でウェイクアップする時にも使用できます。

パワーダウン入力(PD)

PDをハイに引き上げると、MAX5132/MAX5133はシャットダウンします。PDをローに引き下げてもMAX5132/MAX5133は通常動作に戻りません。パワーダウンモードを解除するには、PDLのハイからローへの遷移又はシリアルインタフェースを通じた適切なコマンド(表1)が必要です。

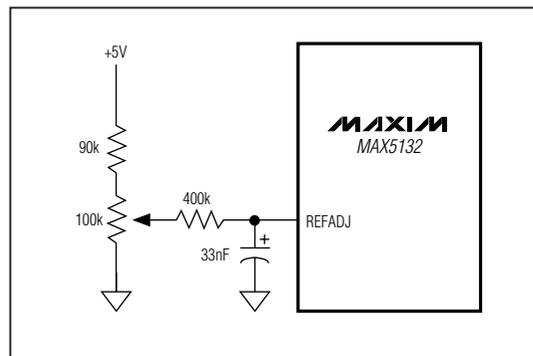


図3a. MAX5132のリファレンス調節回路

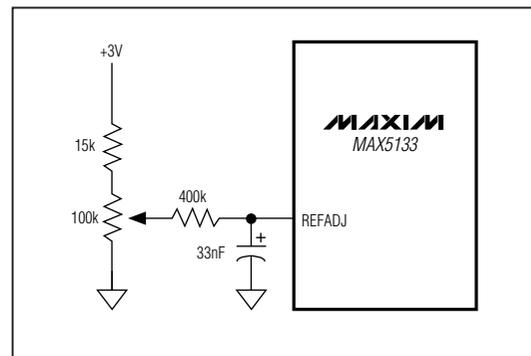


図3b. MAX5133のリファレンス調節回路

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD				FUNCTION
C2	C1	C0	D12 D0	
0	0	0	XXXXXXXXXXXXX	No operation.
0	0	1	13-Bit DAC Data	Load input register; DAC register unchanged.
0	1	0	13-Bit DAC Data	Simultaneously load input and DAC registers; exit shutdown.
0	1	1	XXXXXXXXXXXXX	Update DAC register from input register; exit shutdown.
1	0	1	XXXXXXXXXXXXX	Shutdown DAC (provided $\overline{PDL} = 1$).
1	0	0	XXXXXXXXXXXXX	UPO goes low (default).
1	1	0	XXXXXXXXXXXXX	UPO goes high.
1	1	1	1XXXXXXXXXXXXX	Mode 1: DOUT clocked out on SCLK's rising edge.
1	1	1	0XXXXXXXXXXXXX	Mode 0: DOUT clocked out on SCLK's falling edge (default).

X = 任意

シリアルインタフェースの構成 (SPI/QSPI/MICROWIRE/PIC16/PIC17)

MAX5132/MAX5133の3線シリアルインタフェースは、SPI、QSPI、PIC16/PIC17(図4)及びMICROWIRE(図5)インタフェース規格とコンパチブルです。2バイト長のシリアル入力ワードは、3つの制御ビット及び13個のデータビット(MSBを先頭とするフォーマット)を含んでいます(表2)。

MAX5132/MAX5133のデジタル入力はダブルバッファであるため、ユーザは以下の操作を行うことができます。

- DACレジスタを更新することなく入力レジスタにロードすること。
- 入力レジスタからのデータでDACを更新すること。
- 入力レジスタ及びDACレジスタを同時に更新すること。

この期間中に、 \overline{CS} がローの状態では16ビットの入力ワードを2つの1バイトパッケージ(SPI、MICROWIRE及びPIC16/PIC17コンパチブル)で送ることができます。制御ビットC2、C1及びC0(表1)は以下の動作を決定します。

- どのクロックエッジでDOUTが遷移するか
- ユーザ設定可能なロジック出力の状態
- シャットダウンの後のデバイスの設定

図6の一般タイミング図に、データ収集の方法が図解されています。デバイスがデータを受け取るには、 \overline{CS} がローである必要があります。 \overline{CS} がローの状態では、DINのデータがSCLKの立上がりエッジでレジスタに同期入力されます。 \overline{CS} がハイに遷移する時、3つの制御ビットC2、C1及びC0の設定に従ってデータは入力レジスタ及び/又はDACレジスタにラッチされます。適正動作が保証された最大シリアルクロック周波数は、MAX5132が10MHz、MAX5133が6.6MHzです。図7に、シリアルインタフェースの詳細タイミング図を示します。

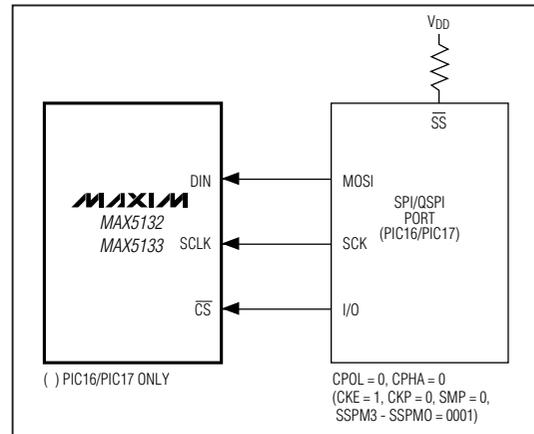


図4. SPI/QSPIインタフェースの接続(PIC16/PIC17)

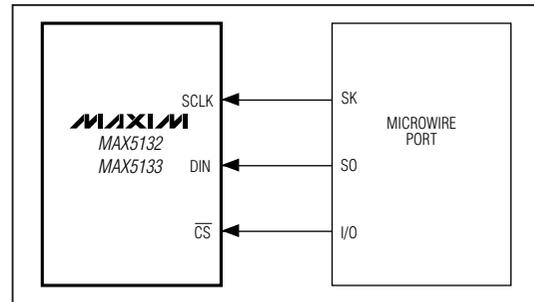


図5. MICROWIREインタフェースの接続

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

PIC17及びSSPモジュール付PIC16との
インタフェース

MAX5132/MAX5133は、同期シリアルポート(SSP)モジュールを使用したPIC16/PIC17コントローラ(μC)とコンパチブルです。SPI通信を確立するには、図4に示すようにコントローラを接続し、PIC16/PIC17の同期シリアルポート制御レジスタ(SSPCON)及び同期シリアルポート状態レジスタ(SSPSTAT)を表3及び4に示すビットパターンに初期化することにより、PIC16/PIC17をシステムマスターとして設定してください。

SPIモードにおいては、PIC16/PIC17 μCは8ビットのデータを同期して送信し、同時に受信できます。DACに3つの制御ビット及び13個のデータビットをフィードするには、2つの連続した8ビット書込み(図6)が必要です。DINデータはシリアルクロックの立下がりエッジで遷移し、SCLKの立上がりエッジでDACに同期入力されます。DINの最初の8ビットは、3つの制御ビット(C2、C1及びC0)及び最初の5つのデータビット(D12~D8)

を含んでいます。2番目の8ビットワードは、残りのビット(D7~D0)を含んでいます。

シリアルデータ出力

内部シフトレジスタの内容はDOUTにシリアルで出力されるため、複数のデバイスのデジチェーン接続(「アプリケーション情報」を参照)及びデータの読み戻しが可能です。MAX5132/MAX5133は、シリアルクロックの立上がりエッジ(モード1)又は立下がりエッジ(モード0)でデータをシフトアウトするように設定できます。後者はパワーアップ時のデフォルトで、16クロックサイクルの遅れを提供するため、SPI、QSPI、MICROWIRE及びPIC16/PIC17コンパチビリティが維持されます。モード1においては、出力データがDINよりも15.5クロックサイクル遅れます。パワーダウン時には、DOUTはシャットダウン前の最後のデジタル状態を保持します。

ユーザ設定可能な出力(UPO)

UPO機能により、シリアルインタフェースセットアップを通じて外部デバイスを制御できます(表1)。このため、必要なマイクロコントローラI/Oポート数が減ります。パワーダウン中、この出力はシャットダウン前の最後のデジタル状態を保持します。CLRがローに引き下げられると、UPOはウェイクアップの後でデフォルト状態にリセットされます。

表2. シリアルデータフォーマット

MSB LSB	
← 16 BITS OF SERIAL DATA →	
Control Bits	MSB Data Bits LSB
C2, C1, C0	D12.....D0

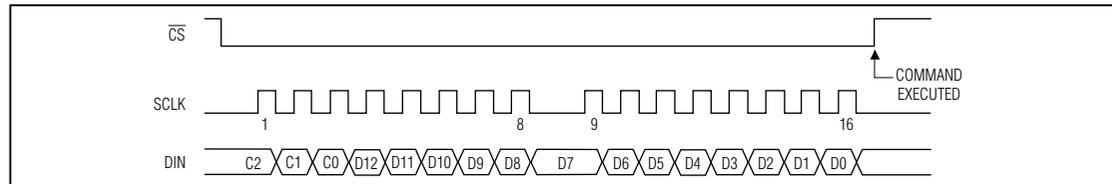


図6. シリアルインタフェースのタイミング

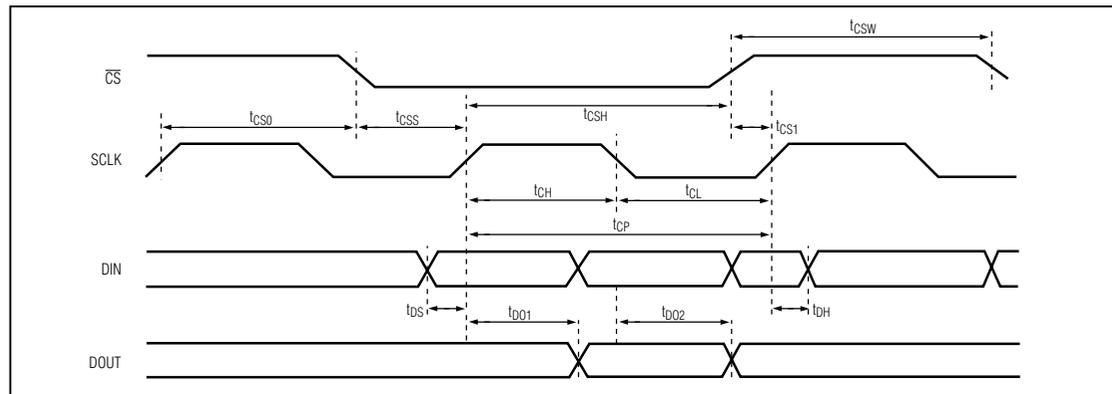


図7. シリアルインタフェースの詳細タイミング

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

表3. SSPCONレジスタ内容の詳細

CONTROL BIT		MAX5132/MAX5133 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	BIT7	X	Write-Collision Detection Bit
SSPOV	BIT6	X	Receive-Overflow Detection Bit
SSPEN	BIT5	1	Synchronous Serial Port Enable Bit 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI as serial-port pins.
CKP	BIT4	0	Clock-Polarity Select Bit. CKP = 0 for SPI master-mode selection.
SSPM3	BIT3	0	Synchronous Serial-Port Mode Select Bit. Sets SPI master mode and selects fCLK = fOSC / 16.
SSPM2	BIT2	0	
SSPM1	BIT1	0	
SSPM0	BIT0	1	

X = 任意

表4. SSPSTATレジスタ内容の詳細

CONTROL BIT		MAX5132/MAX5133 SETTINGS	SYNCHRONOUS SERIAL-PORT STATUS REGISTER (SSPSTAT)
SMP	BIT7	0	SPI Data-Input Sample Phase. Input data is sampled at the middle of the data-output time.
CKE	BIT6	1	SPI Clock-Edge Select Bit. Data will be transmitted on the rising edge of the serial clock.
D/A	BIT5	X	Data-Address Bit
P	BIT4	X	Stop Bit
S	BIT3	X	Start Bit
R/W	BIT2	X	Read/Write Bit Information
UA	BIT1	X	Update Address
BF	BIT0	X	Buffer Full-Status Bit

X = 任意

アプリケーション情報 _____

定義

積分非直線性(INL)

積分非直線性(図8a)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数の終点間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

微分非直線性(DNL)

微分非直線性(図8b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB以下であれば、そのDACはミッシングコードがないこと及び単調であることが保証されます。

オフセット誤差

オフセット誤差(図8c)は、理想的なオフセットポイントと実際のオフセットポイントの間の差です。DACの場合、オフセットポイントはデジタル入力ゼロの時のステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償することができます。

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

利得誤差

利得誤差(図8d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際の値の間の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同じ比率の誤差となります。

セトリング時間

セトリング時間は、遷移の開始からDAC出力がコンバータの仕様精度内で新しい出力値に落ち着くまでに要する時間です。

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力で生じるノイズです。適正な基板レイアウト及びグラウンディングによってこのノイズをかなり減らすことができますが、DACそのものに起因するフィードスルーはある程度常に存在します。

ユニポーラ出力

図9に、MAX5132/MAX5133を閉ループ利得2V/Vのユニポーラ、レイルトゥレイル®動作にセットアップした例を示します。+2.5内部リファレンスを使用した場合、MAX5132は0V~+4.99939Vのユニポーラ出力範囲を保証できます。MAX5133は内蔵+1.25Vリファレンスによって0V~+2.499695Vの出力範囲を提供します。表5に、ユニポーラ出力電圧のコード例を示します。

バイポーラ出力

MAX5132/MAX5133は、図10に示す回路を使用することによりユニティゲインのバイポーラ動作(FB = OUT)に設定できます。出力電圧 V_{OUT} は次式によって与えられます。

$$V_{OUT} = V_{REF} [G(NB/8192) - 1]$$

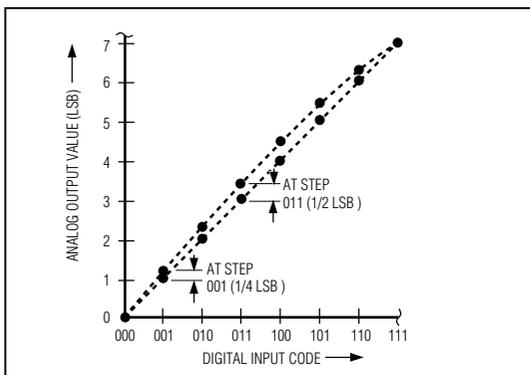


図8a. 積分非直線性

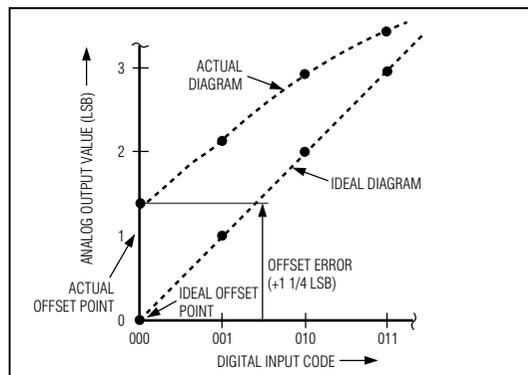


図8c. オフセット誤差

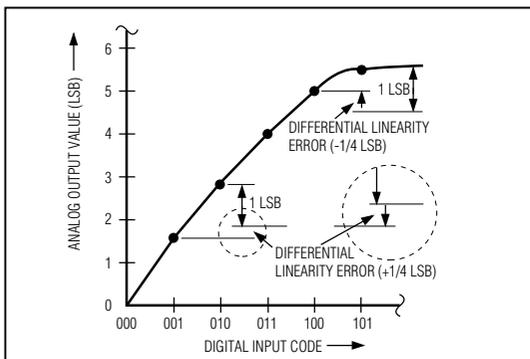


図8b. 微分非直線性

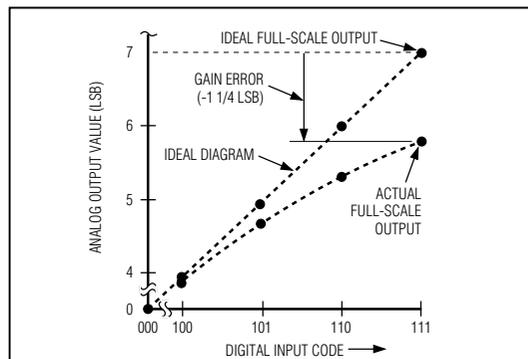


図8d. 利得誤差

レイルトゥレイルは日本モトローラの登録商標です。

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

ここで、NBはDACのバイナリ入力コードの数値、 V_{REF} は内部(又は外部)高精度リファレンスの電圧、Gは全利得です。図10のアプリケーション回路は、MAX5132/MAX5133の外側でユニティゲイン構成の低コストオペアンプ(MAX4162)を使用しています。MAX5132/MAX5133との組み合わせにより、この回路の全利得は2V/Vとなります。表6に、バイポーラ出力電圧のコードの例を示します。

リセット(RSTVAL)及びクリア(\overline{CLR})機能

MAX5132/MAX5133 DACは、出力をRSTVALの設定に依存する特定の値にリセットするクリアピン(\overline{CLR})を備えています。 \overline{CLR} がローに引き下げられた時、RSTVAL = DGNDの場合出力は0に設定され、RSTVAL = V_{DD} の場合出力はミッドスケールに設定されます。

\overline{CLR} ピンは、最小入力抵抗40k Ω と直列のダイオードを通じて電源電圧 V_{DD} に接続されています。デジタル電圧がデバイスの電源電圧よりも高いと、小さな入力電流が流れますが、この電流は $(V_{CLR} - V_{DD} - 0.5V)/40k$ に制限されます。

注記：DACをクリアした場合にも、ソフトウェアシャットダウンが解除されます($PD = 0$)。

デバイスのデジチェーン接続

1つのデバイスのシリアルデータ出力ピン(DOUT)を次のデバイスのデジタル入力ピン(DIN)に接続することにより、任意の数のMAX5132/MAX5133をデジチェーン接続できます(図11)。

さらにもう1つの構成においては、幾つかのMAX5132/MAX5133 DACによって1つの共通のDIN信号ラインを共有できます(図12)。この構成ではデータバスが全てのデバイスに共通であるため、データはデジチェーンを通じてシフトしていきません。しかし、この構成では各ICが専用のCSラインを必要とするため、より多くのI/Oラインが必要になります。

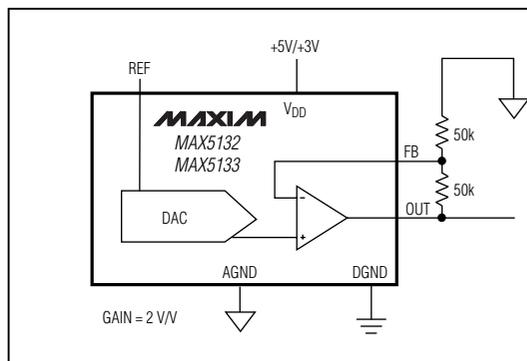


図9. 内部(+1.25V/+2.5V)又は外部リファレンスを使用したユニポーラ出力回路。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続してください。

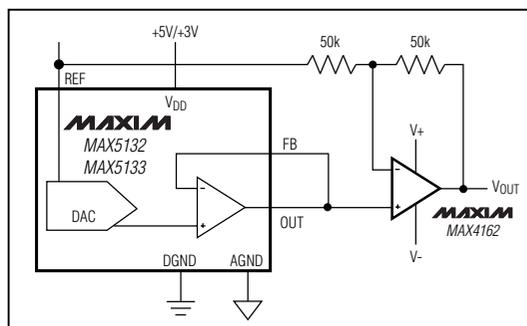


図10. 内部(+1.25V/+2.5V)又は外部リファレンスを使用したユニティゲインバイポーラ出力回路。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続してください。

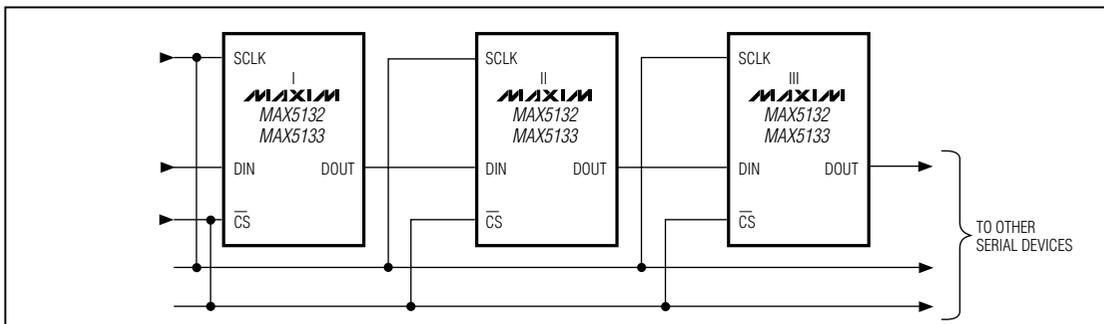


図11. デジタルI/O DIN/DOUTを使用することにより、複数のデバイスをデジチェーン接続

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5132/MAX5133

表5. ユニポーラコード表(利得 = +2V/V)

DAC CONTENTS		ANALOG OUTPUT		
MSB	LSB	INTERNAL REFERENCE		EXTERNAL REFERENCE
		MAX5132	MAX5133	MAX5132/MAX5133
1	1111 1111 1111	4.99939V	2.49969V	VREF (8191 / 8192) 2
1	0000 0000 0001	2.50061V	1.25031V	VREF (4097 / 8192) 2
1	0000 0000 0000	2.5V	1.25V	VREF (4096 / 8192) 2
0	1111 1111 1111	2.49939V	1.24969V	VREF (4095 / 8192) 2
0	0000 0000 0001	610.35μV	305.18μV	VREF (1 / 8192) 2
0	0000 0000 0000	0V	0V	0V

表6. バイポーラコード表(図10)

DAC CONTENTS		ANALOG OUTPUT		
MSB	LSB	INTERNAL REFERENCE		EXTERNAL REFERENCE
		MAX5132	MAX5133	MAX5132/MAX5133
1	1111 1111 1111	2.49939V	1.24969V	VREF [2 (8191 / 8192) - 1]
1	1000 0000 0001	610.35μV	305.18μV	VREF [2 (4097 / 8192) - 1]
1	1000 0000 0000	0V	0V	VREF [2 (4096 / 8192) - 1]
0	1111 1111 1111	-610.35μV	-305.18μV	VREF [2 (4095 / 8192) - 1]
0	0000 0000 0001	-2.49939V	-1.24969V	VREF [2 (1 / 8192) - 1]
0	0000 0000 0000	-2.5V	-1.25V	-VREF

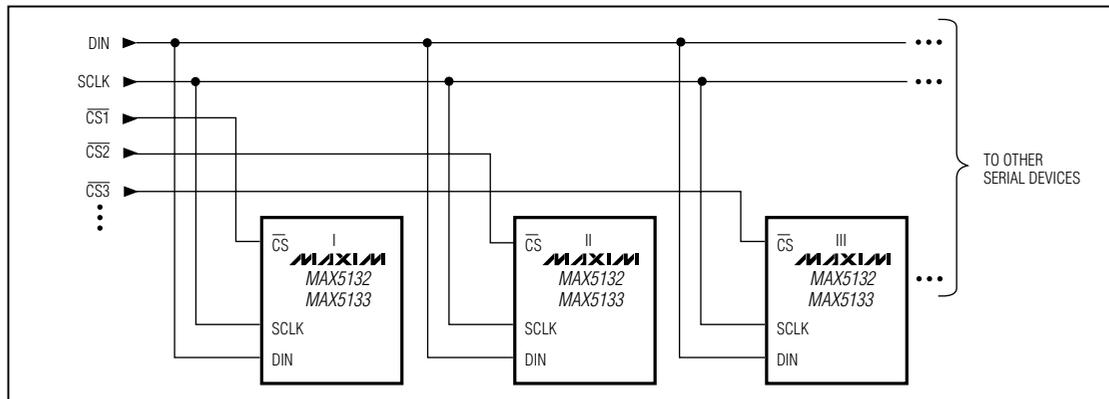


図12. 複数のデバイスが1つの共通デジタル入力(DIN)を共有する場合

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

AC成分を持つ外部リファレンスの使用

MAX5132/MAX5133は、リファレンス入力電圧範囲の仕様内における乗算能力を持っています。図13は、REFに正弦波入力を印加する技法を示しています。ここで、AC信号はリファレンス入力に印加される前にオフセットされています。

電源及びバイパスの考慮

パワーアップ時に、入力レジスタ及びDACレジスタはゼロ(RSTVAL = DGND)又はミッドスケール(RSTVAL = V_{DD})にクリアされます。4.7µFコンデンサと0.1µFコンデンサを並列にしたものを使用して、電源をAGND

にバイパスしてください。リードインダクタンスを小さくするために、リードはできるだけ短くしてください。

レイアウト上の考慮

デジタル及びACトランジェント信号のAGNDへのカップリングのために、出力にノイズが発生することがあります。AGNDはできるだけ良質のグラウンドに接続してください。低インダクタンス・グラウンドプレーン付の複層基板等を使用した適正なグラウンディング技法を採用してください。ワイヤラッピング基板及びソケットはお勧めできません。ノイズが問題になる場合は、シールドが必要になることもあります。

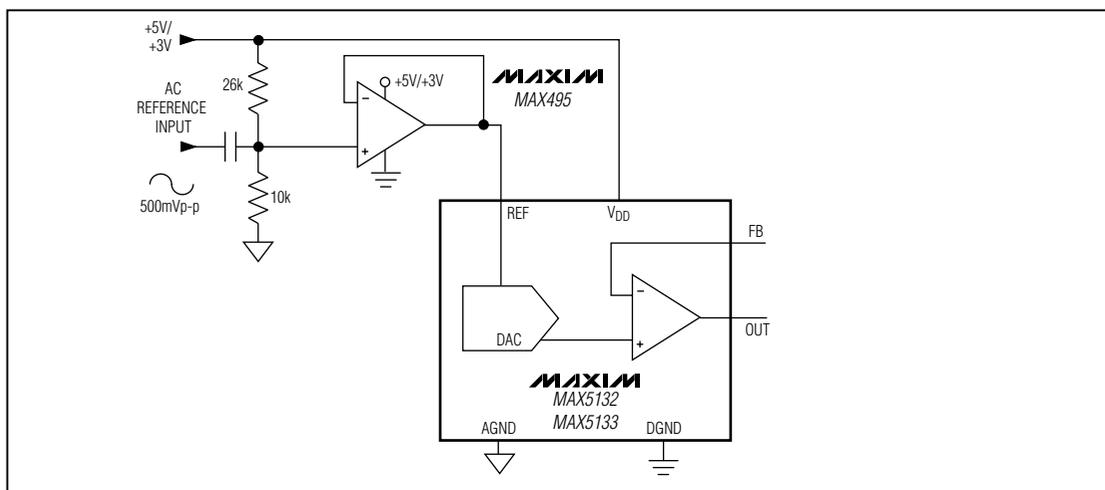


図13. AC成分を持つ外部リファレンス

チップ情報

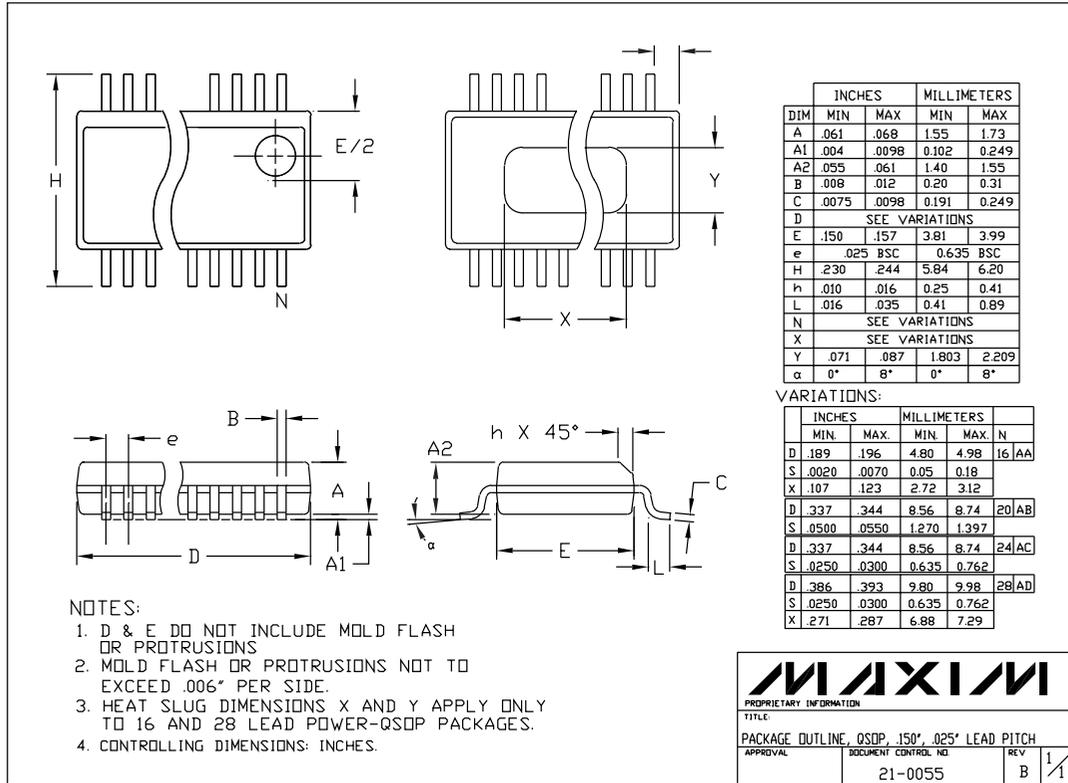
TRANSISTOR COUNT: 3308

SUBSTRATE CONNECTED TO AGND.

+5V/+3V、13ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

パッケージ _____

MAX5132/MAX5133



NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**