



低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

概要

MAX5175/MAX5177低電力シリアル12ビット電圧出力DACは省スペースの16ピンQSOPパッケージに高精度出力アンプを内蔵しています。MAX5175は+5V単一電源、MAX5177は+3V単一電源で動作します。出力アンプの反転入力の使用により、特定の利得設定、リモートセンシング及び大出力電流能力が実現できるため、MAX5175/MAX5177は工業用プロセス制御等の広範囲のアプリケーションに最適です。いずれのデバイスも消費電流は僅か260μAで、シャットダウンモードではさらに1μAに低減します。さらに、設定可能なパワーアップリセット機能により、初期出力状態として0V又はミッドスケールに選択できます。

3線シリアルインタフェースは、SPI™、QSPI™及びMICROWIRE™規格とコンパチブルです。入力レジスタにDACレジスタが続く形で構成されたダブルバッファ入力を備えているため、16ビットシリアルワードによってDACレジスタを入力レジスタと同時に又は個別に更新できます。その他の特長は、ソフトウェア及びハードウェアシャットダウン、シャットダウンロックアウト、ハードウェアリセットピン、そしてDC及びオフセットAC信号を許容するリファレンス入力等です。これらのデバイスは、機能性を増すための設定可能なデジタル出力ピン及びデジチーチェーン接続用のシリアルデータ出力ピンを備えています。全てのロジック入力はTTL/CMOSコンパチブルで、内部シュミットトリガでバッファされているため、フォトカプラと直接インタフェースすることが可能です。

MAX5175/MAX5177は独自の内蔵回路により、パワーアップ時のグリッチを数ミリボルトに抑えて出力電圧を実質的に「グリッチフリー」に保ちます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)です。MAX5171/MAX5173は、MAX5175/MAX5177とピンコンパチブルな14ビットアップグレード製品です。ピンコンパチブルの内部リファレンス付DAC製品は、13ビットMAX5132/MAX5133及び12ビットMAX5122/MAX5123のデータシートを参照して下さい。

アプリケーション

デジタル設定の 4 ~ 20mA電流ループ	モーションコントロール 自動試験機器(ATE)
工業用プロセス制御	リモート工業用制御
デジタルオフセット及び利得調節	μP制御機器

ファンクションダイアグラムは、データシートの最後に記載されています。

SPI及びQSPIはMotorola Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

レイルトゥレイルは日本モトローラの登録商標です。



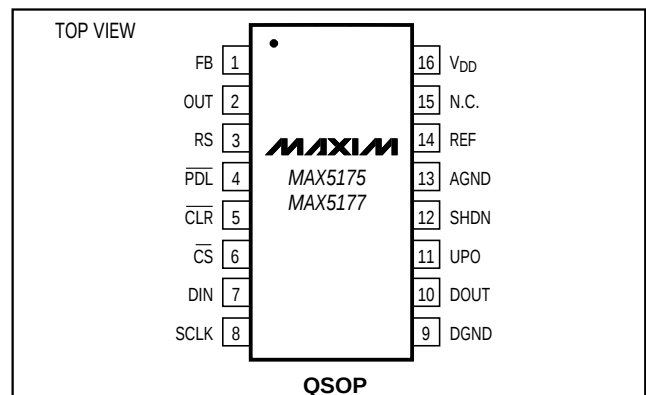
特長

- ◆ INL : ± 1 LSB
- ◆ シャットダウン電流 : 1A
- ◆ パワーアップ時に「グリッチフリー」出力電圧
- ◆ 単一電源動作
 - +5V(MAX5175)
 - +3V(MAX5177)
- ◆ フルスケール出力範囲
 - +2.048V(MAX5177, $V_{REF} = +1.25V$)
 - +4.096V(MAX5175, $V_{REF} = +2.5V$)
- ◆ レイルトゥレイル®出力アンプ
- ◆ 調整可能な出力オフセット
- ◆ 乗算動作における低THD : -80dB
- ◆ 3線シリアルインタフェース : SPI/QSPI/MICROWIRE
コンパチブル
- ◆ 設定可能なシャットダウンモード及び
パワーアップリセット(0又はミッドスケール)
- ◆ バッファ付出力 : 4 ~ 20mA又は5kΩ||100pF負荷を
駆動可能
- ◆ ユーザ設定可能なデジタル出力ピンを使用して
外部部品のシリアル制御が可能
- ◆ 14ビットアップグレード製品(MAX5171/MAX5173)
が入手可能

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5175AEEE	-40°C to +85°C	16 QSOP	± 1
MAX5175BEEE	-40°C to +85°C	16 QSOP	± 2
MAX5177AEEE	-40°C to +85°C	16 QSOP	± 2
MAX5177BEEE	-40°C to +85°C	16 QSOP	± 4

ピン配置



低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

ABSOLUTE MAXIMUM RATINGS

V_{DD} to AGND, DGND-0.3V to +6V
 AGND to DGND-0.3V to +0.3V
 Digital Inputs to DGND-0.3V to +6V
 DOUT, UPO to DGND-0.3V to (V_{DD} + 0.3V)
 FB, OUT REF to AGND-0.3V to (V_{DD} + 0.3V)
 Maximum Current into Any Pin50mA

Continuous Power Dissipation (T_A = +70°C)
 16-Pin QSOP (derate 8mW/°C above +70°C)667mW
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5175

(V_{DD} = +5V ±10%, V_{REF} = 2.5V, AGND = DGND, FB = OUT, R_L = 5kΩ, C_L = 100pF referenced to ground, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			12			Bits
Integral Nonlinearity (Note 1)	INL	MAX5175A			±1	LSB
		MAX5175B			±2	
Differential Nonlinearity	DNL				±1	LSB
Offset Error (Note 2)	V _{OS}				±10	mV
Gain Error	GE	R _L = ∞		-0.6	±4	LSB
		R _L = 5kΩ		-1.6	±8	
Power-Supply Rejection Ratio	PSRR			10	120	μV/V
Output Noise Voltage		f = 100kHz		1		LSBp-p
Output Thermal Noise Density				50		nV/√Hz
REFERENCE INPUT						
Reference Input Range	V _{REF}		0		V _{DD} - 1.4	V
Reference Input Resistance	R _{REF}		18			kΩ
MULTIPLYING-MODE PERFORMANCE						
Reference -3dB Bandwidth		V _{REF} = 0.5Vp-p + 2.5V _{DC} , slew-rate limited		350		kHz
Reference Feedthrough		V _{REF} = 3.6Vp-p + 1.8V _{DC} , f = 1kHz, code = all 0s		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	V _{REF} = 1.4Vp-p + 2.5V _{DC} , f = 10kHz, code = FFF hex		84		dB
DIGITAL INPUTS						
Input High Voltage	V _{IH}		3			V
Input Low Voltage	V _{IL}				0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0 or V _{DD}		0.001	±1	μA
Input Capacitance	C _{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V _{OH}	I _{SOURCE} = 2mA		V _{DD} - 0.5		V
Output Low Voltage	V _{OL}	I _{SINK} = 2mA		0.13	0.4	V

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

ELECTRICAL CHARACTERISTICS—MAX5175 (continued)

($V_{DD} = +5V \pm 10\%$, $V_{REF} = 2.5V$, $AGND = DGND$, $FB = OUT$, $R_L = 5k\Omega$, $C_L = 100pF$ referenced to ground, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		To $\pm 0.5LSB$, from 10mV to full-scale		12		μs
Output Voltage Swing (Note 3)			0		V_{DD}	V
Current into FB			-0.1	0	0.1	μA
Time Required to Exit Shutdown				40		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$; $f_{SCLK} = 100kHz$, $V_{SCLK} = 5Vp-p$		1		nV-s
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current (Note 4)	I_{DD}			0.26	0.35	mA
Shutdown Current (Note 4)				1	10	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		40			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to $\overline{CS}$ Fall Delay	t_{CS0}		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
$\overline{CS}$ Pulse Width High	t_{CSW}		100			ns

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

ELECTRICAL CHARACTERISTICS—MAX5177

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = 1.25V$, $AGND = DGND$, $FB = OUT$, $R_L = 5k\Omega$, $C_L = 100pF$ referenced to ground, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution			12			Bits
Integral Nonlinearity (Note 5)	INL	MAX5177A			± 2	LSB
		MAX5177B			± 4	
Differential Nonlinearity	DNL				± 1	LSB
Offset Error (Note 2)	V _{OS}				± 10	mV
Gain Error	GE	$R_L = \infty$		-0.6	± 4	LSB
		$R_L = 5k\Omega$		-1.6	± 8	
Power-Supply Rejection Ratio	PSRR			10	120	$\mu V/V$
Output Noise Voltage		$f = 100kHz$		2		LSBp-p
Output Thermal Noise Density				50		$nV/\sqrt{Hz}$
REFERENCE						
Reference Input Range	V _{REF}		0		$V_{DD} - 1.4$	V
Reference Input Resistance	R _{REF}		18			k Ω
MULTIPLYING-MODE PERFORMANCE						
Reference -3dB Bandwidth		$V_{REF} = 0.5V_{p-p} + 1.25V_{DC}$, slew-rate limited		350		kHz
Reference Feedthrough		$V_{REF} = 1.6V_{p-p} + 0.8V_{DC}$, $f = 1kHz$, code = all 0s		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 0.9V_{p-p} + 1.25V_{DC}$, $f = 10kHz$, code = FFF hex		78		dB
DIGITAL INPUTS						
Input High Voltage	V _{IH}		2.2			V
Input Low Voltage	V _{IL}				0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	$V_{IN} = 0$ or V_{DD}		0.001	± 1	μA
Input Capacitance	C _{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V _{OH}	I _{SOURCE} = 2mA	$V_{DD} - 0.5$			V
Output Low Voltage	V _{OL}	I _{SINK} = 2mA		0.13	0.4	V

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

ELECTRICAL CHARACTERISTICS—MAX5177 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = 1.25V$, $AGND = DGND$, $FB = OUT$, $R_L = 5k\Omega$, $C_L = 100pF$ referenced to ground, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		To $\pm 0.5LSB$, from 10mV to full-scale		12		μs
Output Voltage Swing (Note 3)			0		V_{DD}	V
Current into FB			-0.1	0	0.1	μA
Time Required to Exit Shutdown				40		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $DIN = 50kHz$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3V_{p-p}$		1		nV-s
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current (Note 4)	I_{DD}			0.26	0.35	mA
Shutdown Current (Note 4)				1	10	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}		150			ns
SCLK Pulse Width High	t_{CH}		75			ns
SCLK Pulse Width Low	t_{CL}		75			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	t_{CSS}		60			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		60			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			200	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			200	ns
SCLK Rise to $\overline{CS}$ Fall Delay	t_{CS0}		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	t_{CS1}		75			ns
$\overline{CS}$ Pulse Width High	t_{CSW}		150			ns

Note 1: INL guaranteed between codes 16 and 4095.

Note 2: Offset is measured at the code that comes closest to 10mV.

Note 3: Accuracy is better than 1LSB for $V_{OUT} = 10mV$ to $V_{DD} - 180mV$. Guaranteed by PSR test on end points.

Note 4: $R_L =$ open and digital inputs are either V_{DD} or $DGND$.

Note 5: INL guaranteed between codes 32 and 4095.

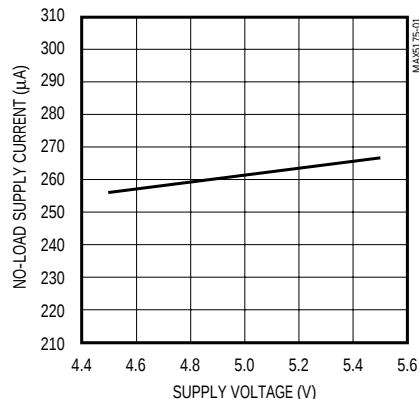
低電力、シリアル、 フォース/センス電圧出力12ビットDAC

標準動作特性

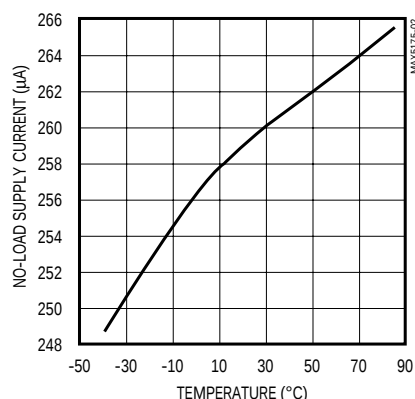
(MAX5175: $V_{DD} = +5V$, $V_{REF} = 2.5V$; MAX5177: $V_{DD} = +3V$, $V_{REF} = 1.25V$; $C_L = 100pF$, $FB = OUT$, code = FFF hex, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5175

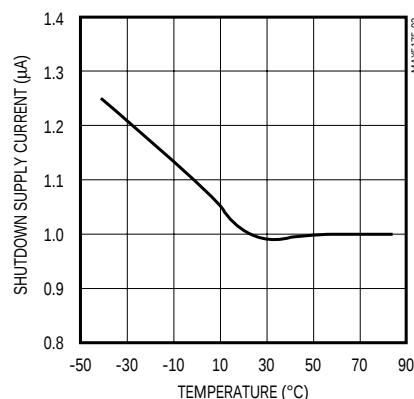
NO-LOAD SUPPLY CURRENT
vs. SUPPLY VOLTAGE



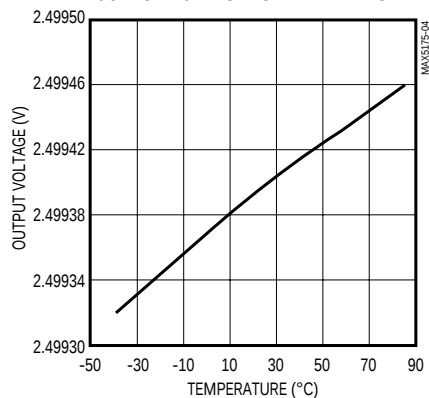
NO-LOAD SUPPLY CURRENT
vs. TEMPERATURE



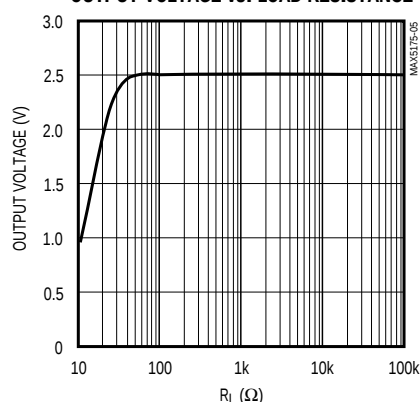
SHUTDOWN SUPPLY CURRENT
vs. TEMPERATURE



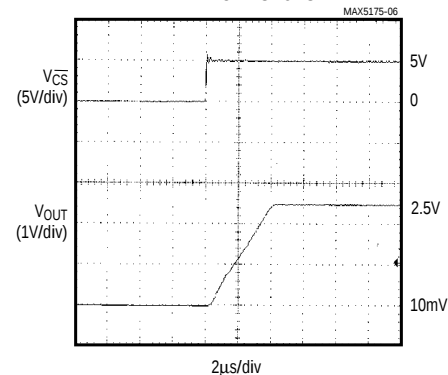
OUTPUT VOLTAGE vs. TEMPERATURE



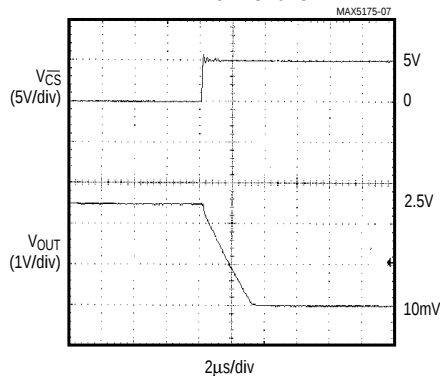
OUTPUT VOLTAGE vs. LOAD RESISTANCE



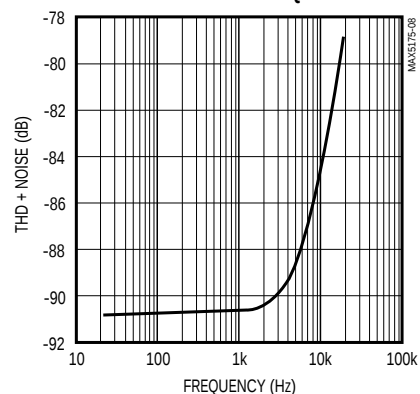
DYNAMIC RESPONSE



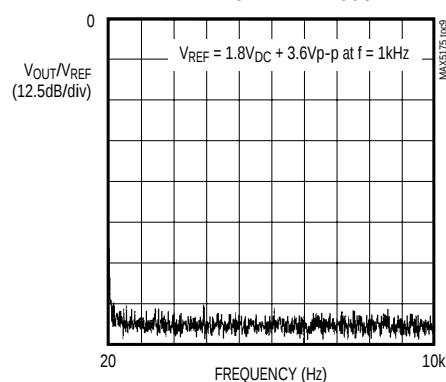
DYNAMIC RESPONSE



TOTAL HARMONIC DISTORTION
PLUS NOISE vs. FREQUENCY



REFERENCE FEEDTHROUGH

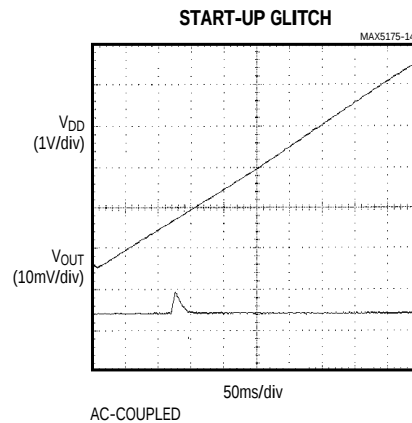
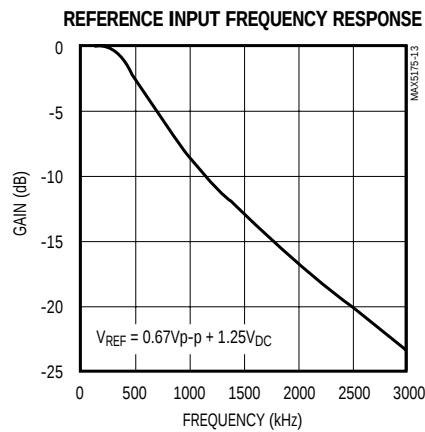
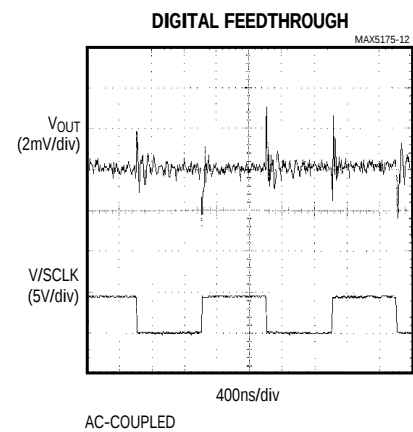
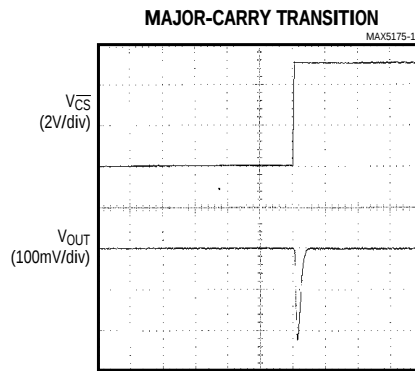
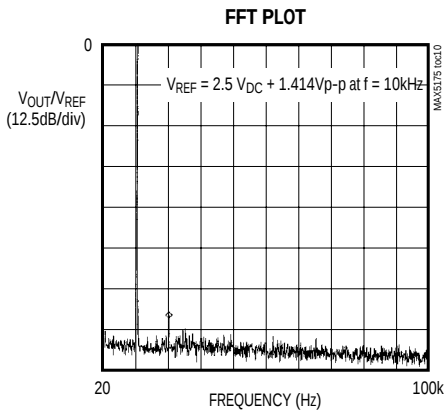


低電力、シリアル、 フォース/センス電圧出力12ビットDAC

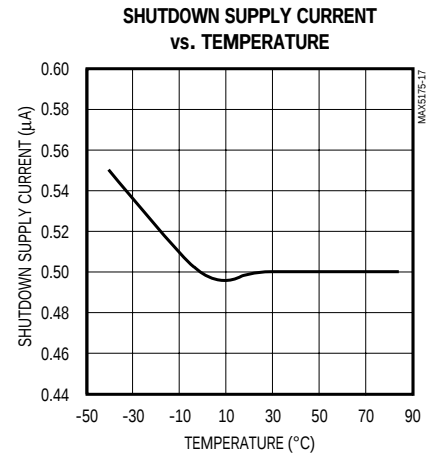
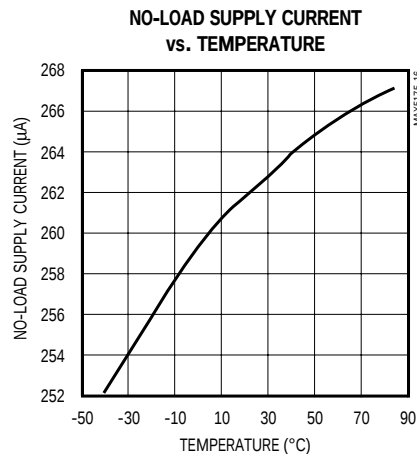
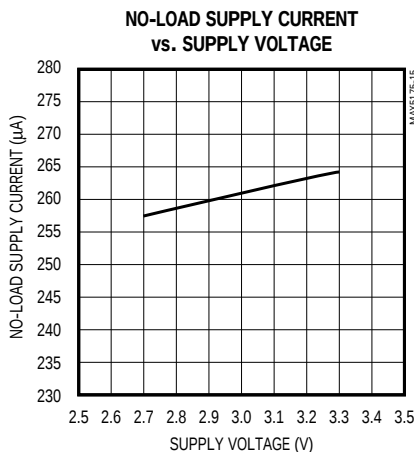
標準動作特性(続き)

(MAX5175: $V_{DD} = +5V$, $V_{REF} = 2.5V$; MAX5177: $V_{DD} = +3V$, $V_{REF} = 1.25V$; $C_L = 100pF$, $FB = OUT$, code = FFF hex, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5175



MAX5177



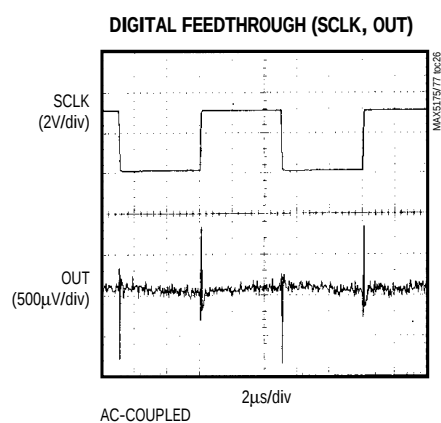
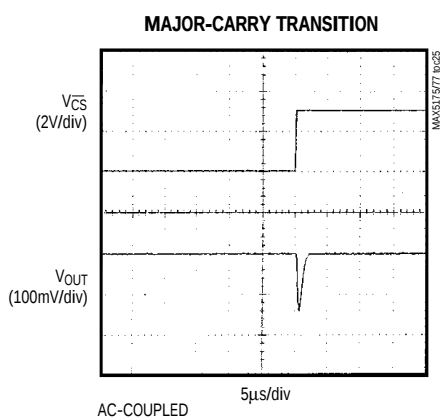
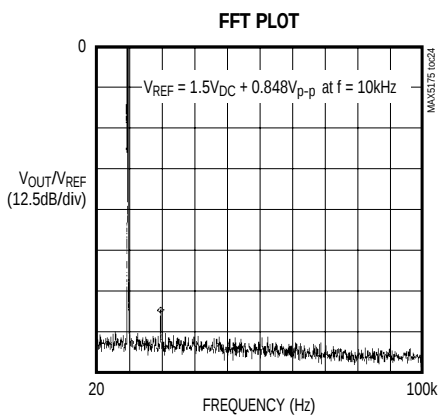
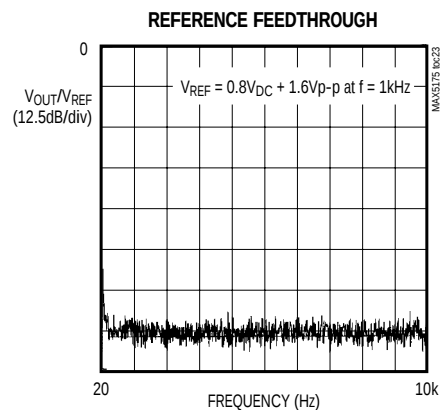
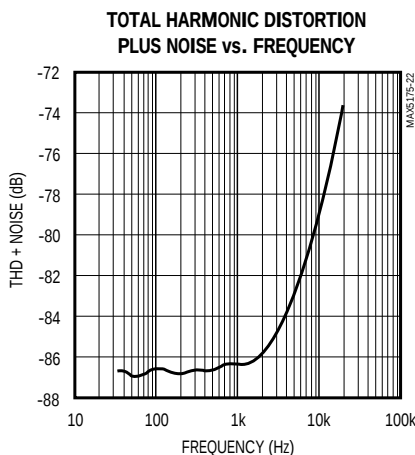
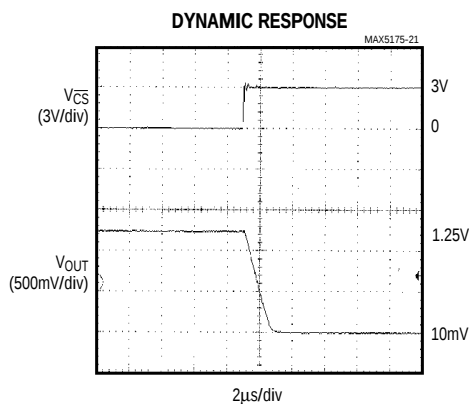
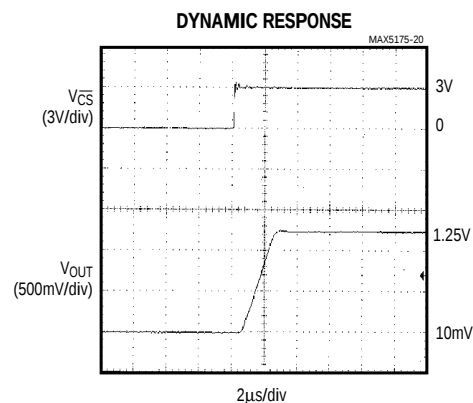
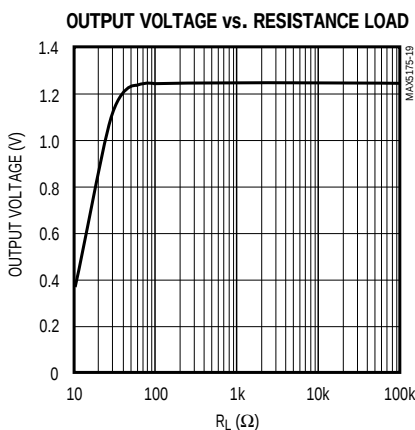
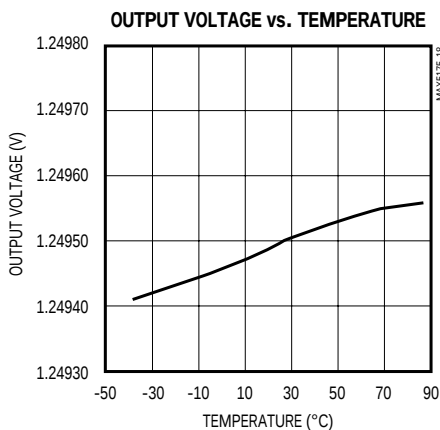
MAX5175/MAX5177

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

標準動作特性(続き)

(MAX5175: $V_{DD} = +5V$, $V_{REF} = 2.5V$; MAX5177: $V_{DD} = +3V$, $V_{REF} = 1.25V$; $C_L = 100pF$, $FB = OUT$, code = FFF hex, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5177

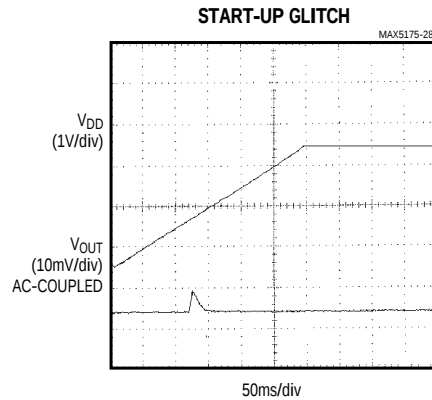
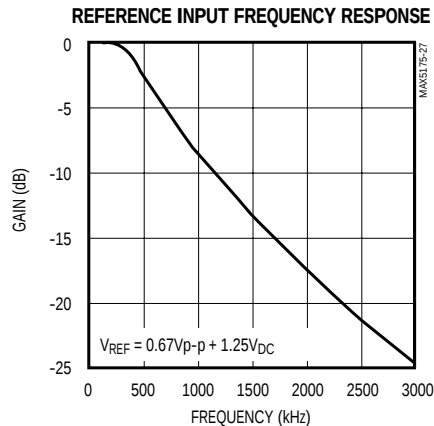


低電力、シリアル、 フォース/センス電圧出力12ビットDAC

標準動作特性(続き)

(MAX5175: $V_{DD} = +5V$, $V_{REF} = 2.5V$; MAX5177: $V_{DD} = +3V$, $V_{REF} = 1.25V$; $C_L = 100pF$, $FB = OUT$, code = FFF hex, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5177



端子説明

端子	名称	機能
1	FB	フィードバック入力
2	OUT	出力電圧。シャットダウン中はハイインピーダンスです。出力電圧は V_{DD} に制限されています。
3	RS	リセットモード選択(デジタル入力)。 V_{DD} に接続するとミッドスケールがリセット出力電圧になります。DGNDに接続すると0Vがリセット出力電圧になります。
4	$\overline{PDL}$	パワードOWNロックアウト(デジタル入力)。 V_{DD} に接続するとシャットダウンが可能になります。DGNDに接続するとシャットダウンがディセーブルされます。
5	$\overline{CLR}$	DACクリア(デジタル入力)。DACをRSで設定された出力状態にクリアします。
6	$\overline{CS}$	チップセレクト入力(デジタル入力)。 $\overline{CS}$ がハイの時、DINは無視されます。
7	DIN	シリアルデータ入力(デジタル入力)。データはSCLKの立上がりエッジで同期入力されます。
8	SCLK	シリアルクロック入力(デジタル入力)
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザ設定出力。状態はシリアル入力によって設定されます。
12	SHDN	シャットダウン(デジタル入力)。 $\overline{PDL} = V_{DD}$ の時、SHDNをハイにすると、チップはシャットダウン状態になります。最大シャットダウン電流は $10\mu A$ です。
13	AGND	アナロググランド
14	REF	リファレンス入力。最大 V_{REF} は $V_{DD} - 1.4V$ です。
15	N.C.	無接続
16	V_{DD}	正電源。4.7 μF コンデンサと0.1 μF コンデンサを並列にしたものでAGNDにバイパスして下さい。

MAX5175/MAX5177

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

詳細

MAX5175/MAX5177 12ビットシリアル電圧出力DACは、3線シリアルインタフェースで動作します。これらのデバイスは16ビットシフトレジスタを含み、入力レジスタ及びDACレジスタからなるダブルバッファ付入力を備えています(「ファンクションダイアグラム」を参照)。さらに、出力アンプの負端子が利用可能です。これらのDACは、デジタル入力コードに比例する重み付き出力電圧を生成する反転R-2Rラダーネットワーク(図1)を使用して設計されています。

リファレンス入力

リファレンス入力は0 ~ ($V_{DD} - 1.4V$)の範囲のAC及びDC値を受け付けます。出力電圧は次式で表されます。

$$V_{OUT} = \frac{V_{REF} \cdot N \cdot GAIN}{4096}$$

ここで、NはMAX5175/MAX5177のバイナリ入力コードの数値(0 ~ 4095)、 V_{REF} はリファレンス電圧、「Gain」は外部で設定された電圧利得です。最大出力電圧は、 V_{DD} です。REFピンの最小インピーダンスは18kΩで、コードに依存します。

出力アンプ

MAX5175/MAX5177のDAC出力は、標準スルーレートが0.6V/μsの内蔵高精度アンプでバッファされています。出力アンプの反転入力を利用できるため、出力利得設定及び信号調整が行えます(「アプリケーション情報」を参照)。

出力アンプは、5kΩと100pFの並列負荷の時、フルスケール遷移から12μs以内に±0.5LSBまでセトリングします。負荷が2kΩ以下になると性能が劣化します。

シャットダウンモード

MAX5175/MAX5177は、ソフトウェア及びハードウェア・プログラマブルのシャットダウンモードを備えています。このモードでは標準消費電流が1μAに低減します。シャットダウンモードに入るには、表1に示すように該当する入力制御ワードを書き込むか、ハードウェアシャットダウンを使用して下さい。シャットダウンモード時のリファレンス入力及びアンプ出力はハイインピーダンスになり、シリアルインタフェースはアクティブ状態のままです。入力レジスタのデータは保存されるため、MAX5175/MAX5177は通常動作状態に戻った時に、以前の出力状態を呼び戻すことができます。シャットダウンモードを解除するには、DACレジスタにシフトレジスタのデータを再ロードするか、入力レジスタ及びDACレジスタに同時にロード

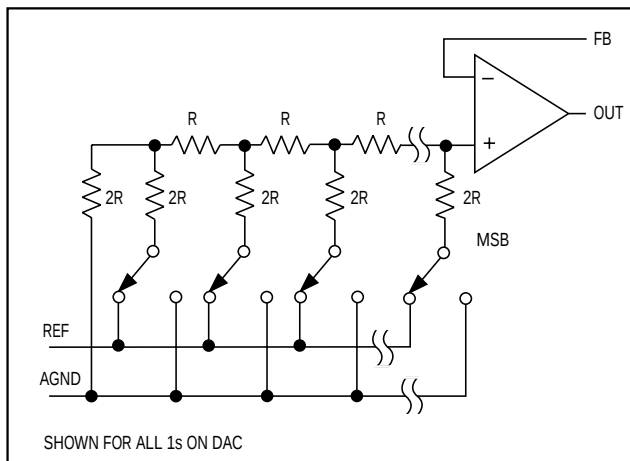


図1. 簡略DAC回路図

するか、あるいはPDLをトグルして下さい。シャットダウンモードから戻った時は、出力が安定するまで40μs待ちます。

パワーダウンロックアウト

パワーダウンロックアウトは、ソフトウェア/ハードウェアシャットダウンモードをディセーブルします。PDLがハイからローに遷移すると、デバイスのシャットダウンが解除され、この時出力は以前の状態に戻ります。

シャットダウン

PDLがハイの時にSHDNをハイに引き上げると、MAX5175/MAX5177はシャットダウンします。SHDNをローに引き下げてもデバイスは通常動作に戻りません。シャットダウンを解除するには、PDLのハイからローへの遷移、あるいはシリアルインタフェースから適切なコマンドが必要です(コマンドについては表1を参照)。

シリアルインタフェース

MAX5175/MAX5177の3線シリアルインタフェースは、SPI/QSPI(図2)及びMICROWIRE(図3)インタフェース規格とコンパチブルです。16ビットのシリアル入力ワードは2つの制御ビットと12個のデータビット(MSBからLSBへ)及び2つのサブビットからなっています。

制御ビットは、表1のようにMAX5175/MAX5177の動作を決めます。MAX5175/MAX5177のデジタル入力はダブルバッファであるため、ユーザは下記のことできます。

- DACレジスタを更新することなく入力レジスタにロード
- 入力レジスタからのデータでDACレジスタを更新
- 入力及びDACレジスタを同時に更新

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

$\overline{CS}$ がローの状態の間、MAX5175/MAX5177は送られてきた1つの16ビットパケットあるいは2つの8ビットパケットを受け付けます。MAX5175/MAX5177は下記の構成が設定可能です。

- シリアルデータ出力(DOUT)が同期出力されるクロックエッジ
- ユーザ設定可能なロジック出力の状態
- リセット状態

表1に、これらを設定するための具体的なコマンドが示されています。

図4の一般タイミング図に、MAX5175/MAX5177データ取得の状態が説明されています。 $\overline{CS}$ はシリアルクロック(SCLK)の立上がりエッジよりも少なくとも $\overline{CS}$ 前にローになることが必要です。 $\overline{CS}$ がローの状態、データがSCLKの立上がりエッジでレジスタに同期入力されます。適正動作が保証される最大シリアルクロック周波数は、MAX5175が10MHz、MAX5177が6MHzです。図5に、シリアルインタフェースの詳細タイミング図を示します。

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD				機 能
C1	C0	D11.....D0	S1, S0	
0	0	12-bit DAC data	00	入力レジスタをロード；DACレジスタ変更なし。
0	1	12-bit DAC data	00	入力レジスタをロード；DACレジスタ更新(新しいデータでDACを起動)。
1	0	xxxx xxxx xxxx	xx	入力レジスタからDACレジスタを更新(以前に入力レジスタにストアしたデータでDACを起動)。
1	1	0 0 x x xxxx xxxx	xx	ノーオペレーション(NOP)。
1	1	0 1 x x xxxx xxxx	xx	DACをシャットダウン($\overline{PDL} = 1$ の場合)。
1	1	1 0 0 x xxxx xxxx	xx	UPOをローにする(デフォルト)。
1	1	1 0 1 x xxxx xxxx	xx	UPOをハイにする。
1	1	1 1 0 x xxxx xxxx	xx	モード1、DOUTがSCLKの立上がりエッジで同期出力。
1	1	1 1 1 x xxxx xxxx	xx	モード0、DOUTがSCLKの立ち下がりエッジで同期出力(デフォルト)。

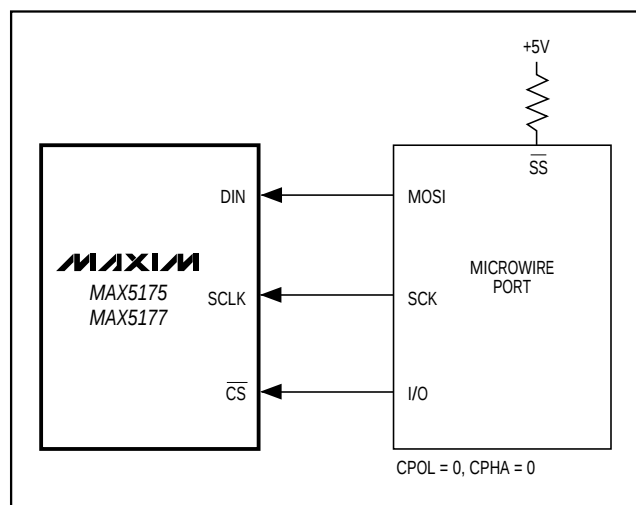


図2. SPI/QSPIインタフェースの接続

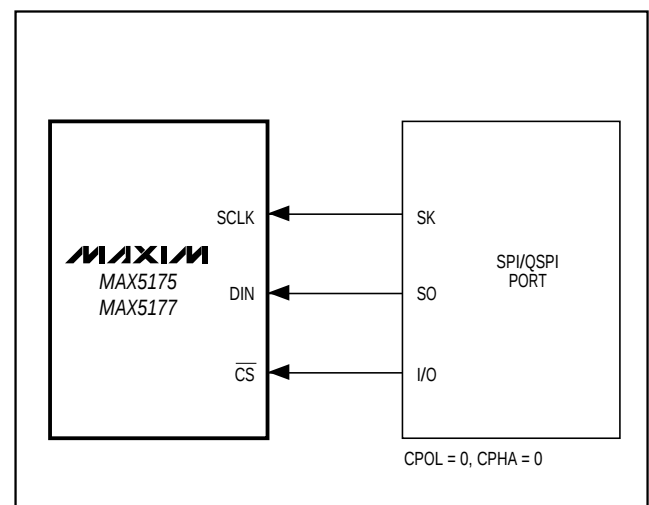


図3. MICROWIREインタフェースの接続

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

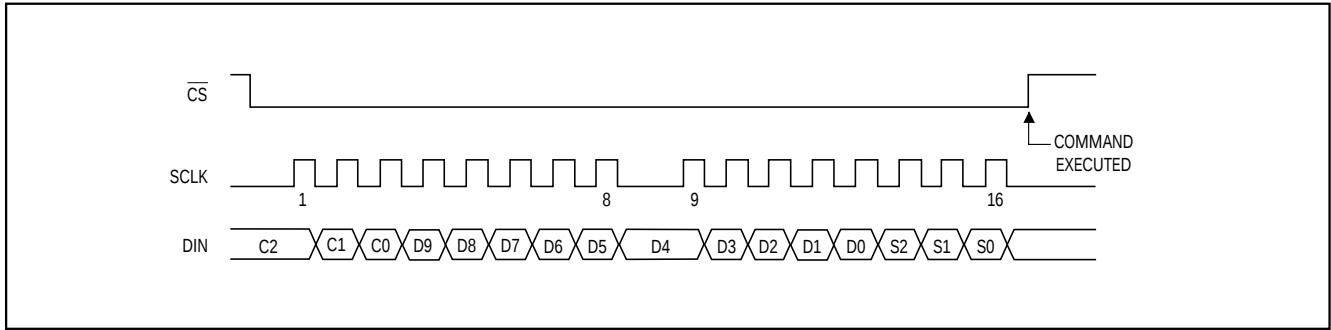


図4. シリアルインタフェースのタイミング

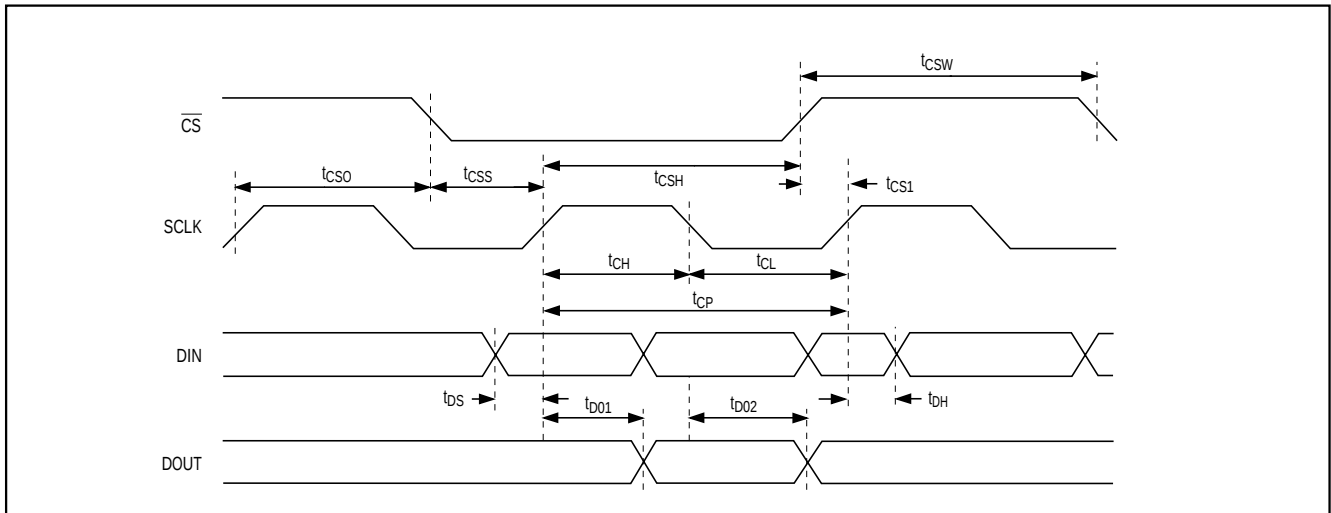


図5. シリアルインタフェースの詳細タイミング

シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、複数デバイスのデジチチェーン接続及びデータの読み戻しが可能です(「アプリケーション情報」を参照)。スタートアップ時のデフォルト状態では、データはシリアルクロックの立下がりエッジ(モード0)でDOUTからシフトアウトされ、遅れが16クロックサイクルとなり、SPI、QSPI及びMICROWIREコンパチビリティが維持されます。しかし、デバイスがモード1に設定されていると、出力はDINから16.5クロックサイクル遅れ、シリアルクロックの立上がりエッジで同期出力されます。シャットダウン中、DOUTはシャットダウン前の最後のデジタル状態を保持します。

ユーザ設定可能なロジック出力(UPO)

UPOにより、シリアルインタフェースを通じて外部デバイスを制御できます。このため、マイクロコントローラに必要なI/Oピン数を減らすことができます。

パワーダウン中、この出力は、シャットダウン前のデジタル状態を保持します。 $\overline{\text{CLR}}$ がローに引き下げられると、UPOはデフォルト状態にリセットされます。UPOを制御するための具体的なコマンドについては、表1を参照して下さい。

リセット(RS)及びクリア($\overline{\text{CLR}}$)

MAX5175/MAX5177は、出力電圧をリセットするクリアピン($\overline{\text{CLR}}$)を備えています。RS = DGNDの時、 $\overline{\text{CLR}}$ は出力電圧を最小電圧(オフセットがない場合は0)にリセットします。RS = V_{DD} の時、 $\overline{\text{CLR}}$ は出力電圧をミッドスケールにリセットします。いずれの場合も、 $\overline{\text{CLR}}$ はUPOを設定されたデフォルト状態にリセットします。

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

アプリケーション情報

ユニポーラ出力

図6に、MAX5175/MAX5177を利得+2V/Vのユニポーラ、レイルトゥレイル動作に設定した例を示します。表2に、ユニポーラ出力電圧のコードを示します。出力電圧は V_{DD} に制限されています。

バイポーラ出力

図7は、MAX5175/MAX5177をバイポーラ動作に設定した場合です。出力電圧は次式によって与えられます ($FB = OUT$)。

$$V_{OUT} = V_{REF} \left(\frac{2N}{4096} - 1 \right)$$

ここで、NはDACのバイナリ入力コードの数値を表わし、 V_{REF} は外部リファレンスの電圧です。表3に、図7の回路のデジタルコード及び対応する出力電圧を示します。

デバイスのデジチェーン接続

シリアルデータ出力ピン(DOUT)を使用することによって、複数のMAX5175/MAX5177をまとめてデジチェーン接続できます(図8)。この長所は、僅か2本のラインで、ライン上の全てのDACを制御できることにあります。但し、DACを設定するためにn個のコマンドが必要であるという短所があります。図9に、1本の共通なDIN信号ラインを共有するいくつかのMAX5175/MAX5177を示します。この構成においては、データバスは全てのデバイスの共通です。しかし、この構成は各デバイスが専用の $\overline{CS}$ ラインを必要とするために、必要なI/Oラインの数が多くなります。この構成の長所は、いずれのDACの設定にも僅か1つのコマンドしか必要としないことです。

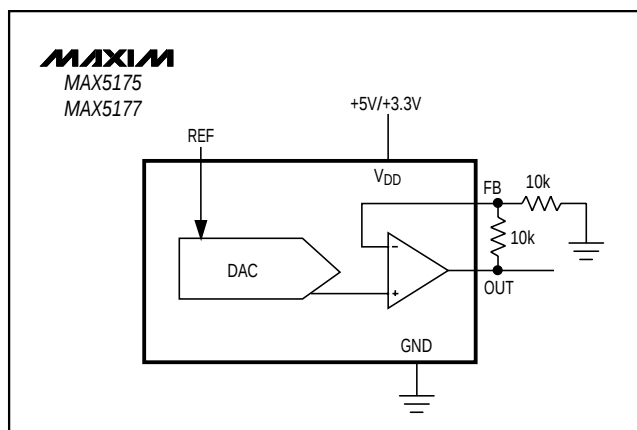


図6. ユニポーラ出力回路(レイルトゥレイル)

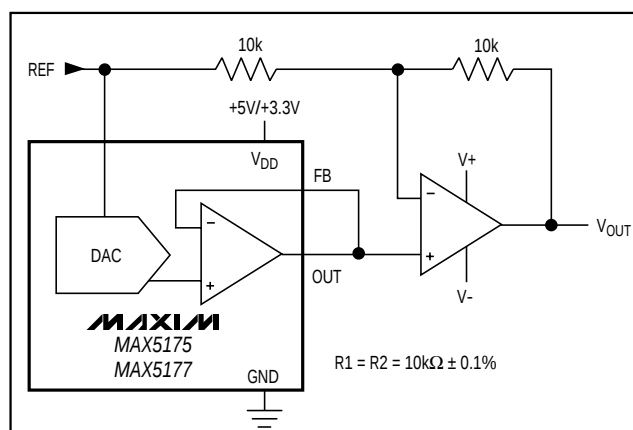


図7. バイポーラ出力回路

表2. ユニポーラコード表(図6の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11 1111 1111 11 (00)		$2 \cdot V_{REF} (4095/4096)$
10 0000 0000 01 (00)		$2 \cdot V_{REF} (2049/4096)$
10 0000 0000 00 (00)		$2 \cdot V_{REF} (2048/4096)$
01 1111 1111 11 (00)		$2 \cdot V_{REF} (2047/4096)$
00 0000 0000 01 (00)		$2 \cdot V_{REF} (1/4096)$
00 0000 0000 00 (00)		0

表3. バイポーラコード表(図7の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11 1111 1111 11 (00)		$+V_{REF} [(2 \cdot 4095/4096) - 1]$
10 0000 0000 01 (00)		$+V_{REF} [(2 \cdot 2049/4096) - 1]$
10 0000 0000 00 (00)		$+V_{REF} [(2 \cdot 2048/4096) - 1]$
01 1111 1111 11 (00)		$+V_{REF} [(2 \cdot 2047/4096) - 1]$
00 0000 0000 01 (00)		$+V_{REF} [(2 \cdot 1/4096) - 1]$
00 0000 0000 00 (00)		$-V_{REF}$

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

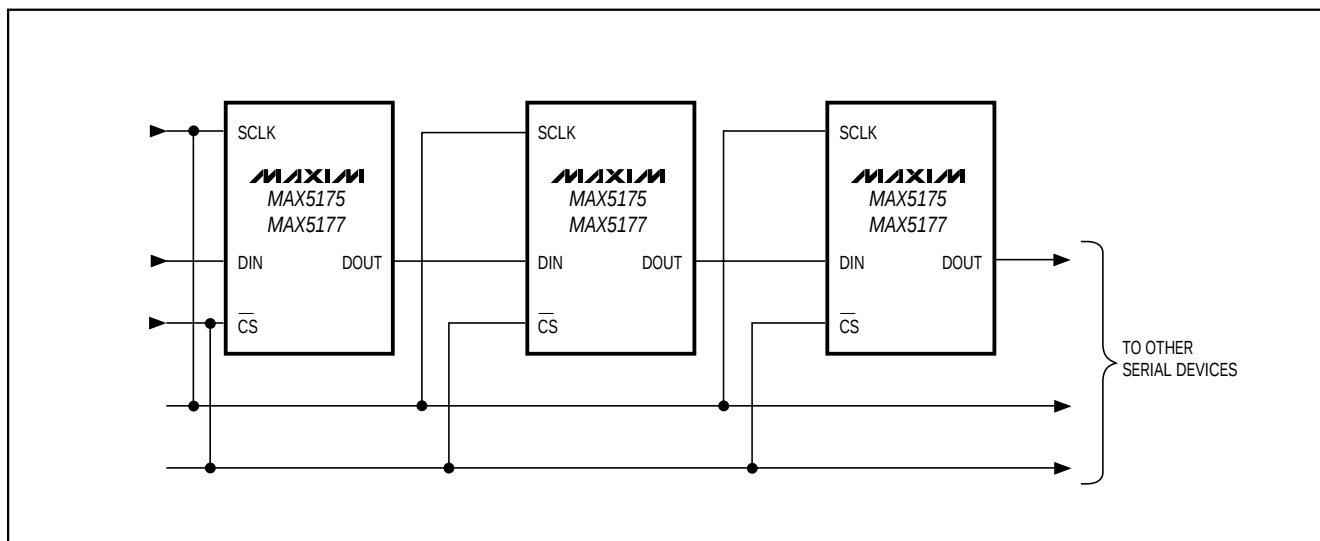


図8. 複数のMAX5175/MAX5177のデージーチェーン接続

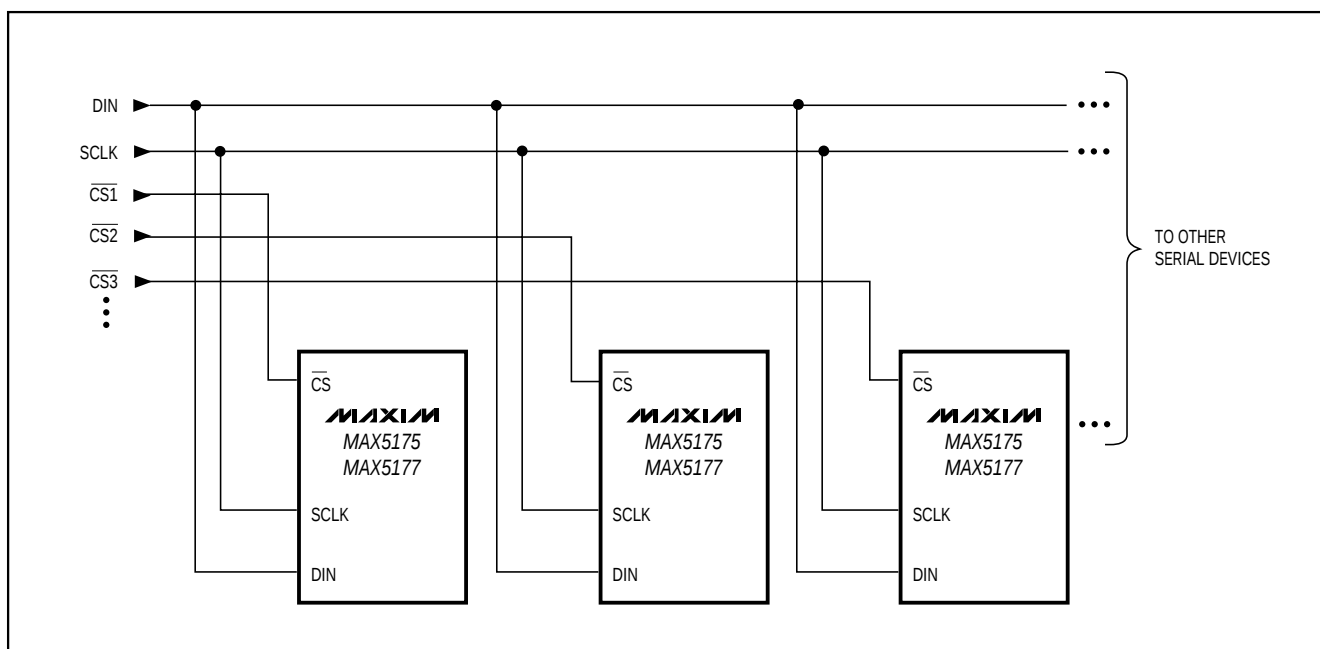


図9. 複数のMAX5175/MAX5177が共通DINとSCLKラインを共有

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

MAX5175/MAX5177

ACリファレンスの使用

MAX5175/MAX5177は、リファレンス電圧が0 ~ ($V_{DD} - 1.4V$)の範囲に収まっている限り、AC成分を含むリファレンス電圧を入力できます。図10は、REFにサイン波入力を印加する技法を示しています。リファレンス電圧はAGNDよりも上に維持される必要があります。

デジタルプログラマブル電流ソース

図11の回路は、オペアンプのフィードバックループ内にNPNトランジスタ(2N3904等)デジタルでプログラムできる一方向性電流ソースを実現します。出力電流は、次式で計算されます。

$$I_{OUT} = \frac{V_{REF} \cdot N}{R \cdot 4096}$$

ここで、NはDACのバイナリ入力コードの数値、Rは図11に示されている検出抵抗です。

電源及びレイアウト上の考慮

ワイヤラップ基板は推奨できません。最高のシステム性能を得るには、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用して下さい。2つのグランドプレーンは、低インピーダンス電源ソースのところで一緒にまとめて接続して下さい。DGNDとAGNDピンは、ICのところで一緒にまとめて接続して下さい。最良のグランド接続は、DACのDGNDピンとAGNDピンを一緒にまとめて接続し、それを今度はシステムアナロググランドプレーンに接続して達成できます。DACのDGNDがシステムデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に漏れる可能性があります。

4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列にし、電源をAGNDにバイパスして下さい。リードインダクタンスを小さくするために、リードはできるだけ短くして下さい。ノイズが問題になる場合は、シールド及び/又はフェライトビーズを使用して分離を改善して下さい。

利得ドリフト及びINLとDNL性能を維持するには、DACリファレンス入力ピンでリファレンス出力インピーダンスをできるだけ低くすることが非常に重要です。REFピンの直列抵抗が0.1 Ω を超えるとINLが劣化します。AGNDピンについても同様の配慮が必要です。

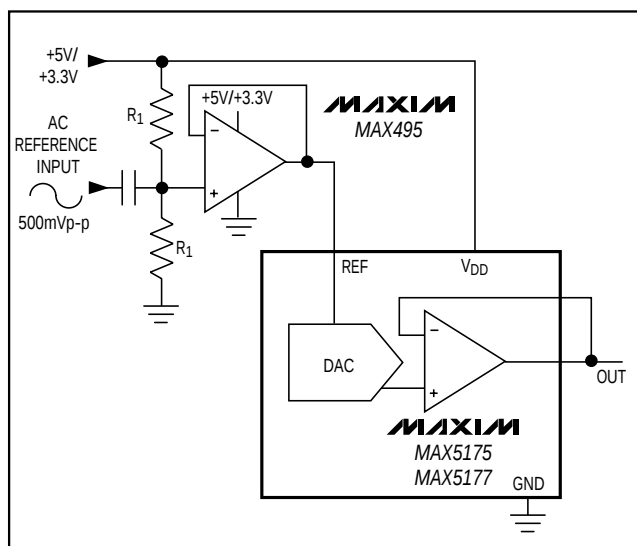


図10. ACリファレンス入力回路

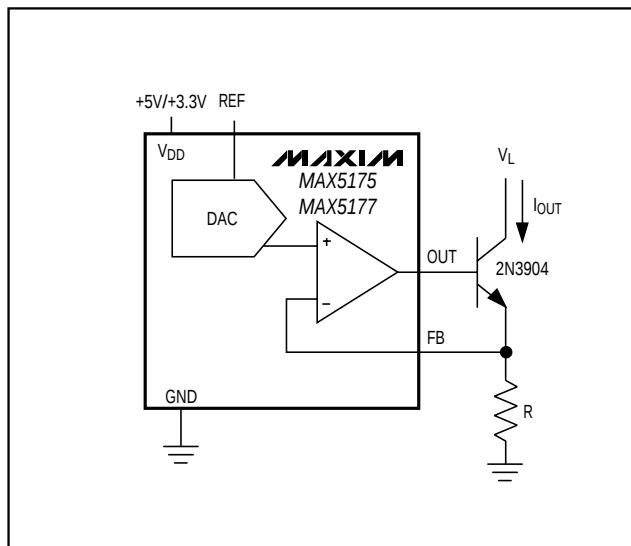
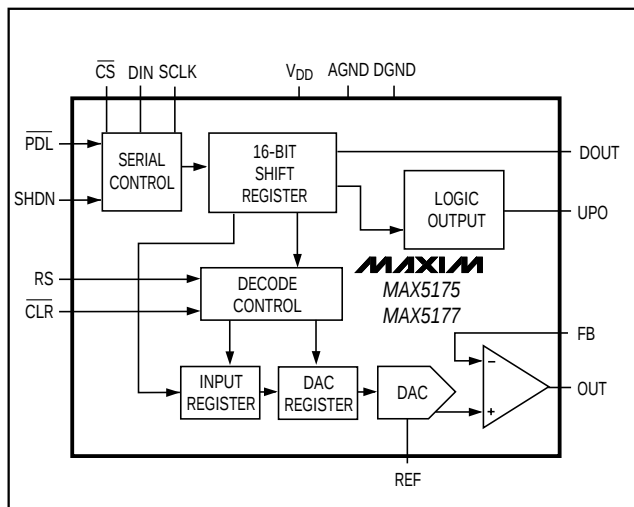


図11. デジタルプログラマブル電流ソース

低電力、シリアル、 フォース/センス電圧出力12ビットDAC

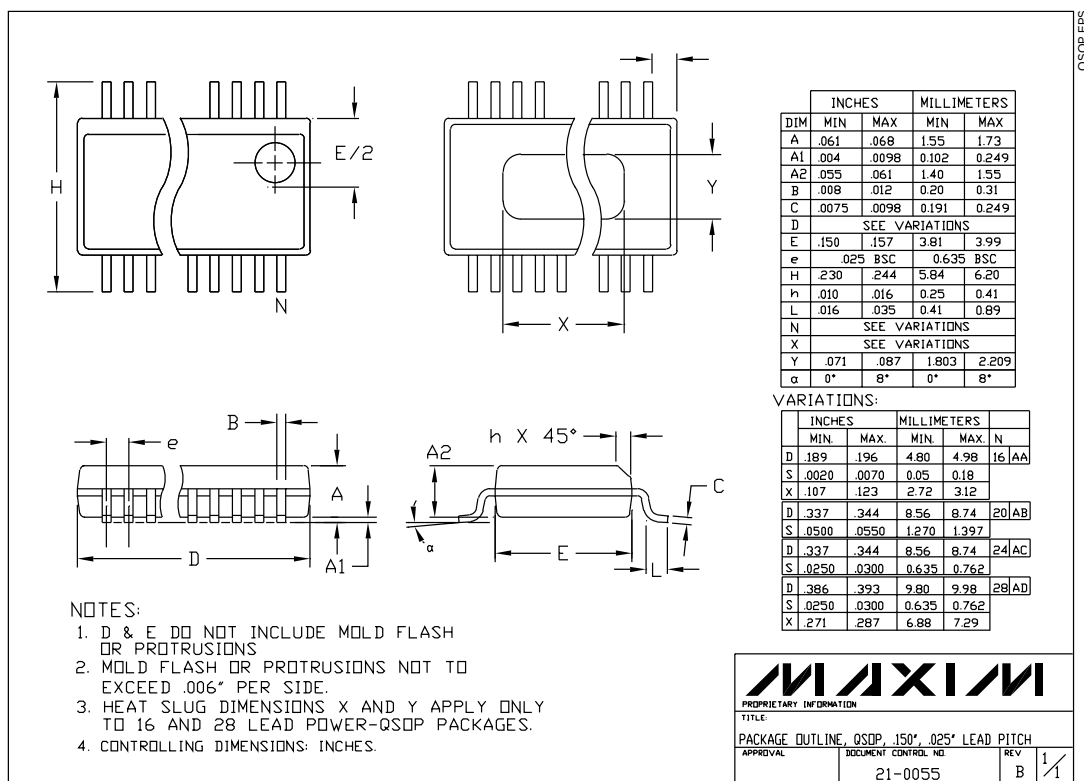
ファンクションダイアグラム

チップ情報



TRANSISTOR COUNT: 3457

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.