

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

概要

MAX7042は全機能内蔵の低電力CMOSスーパーヘテロダインRFレシーバで、最高66kbpsの非ゼロ復帰(NRZ)(33kbpsマンチエスタ)速度で周波数偏移変調(FSK)データの受信用として設計されています。MAX7042では、308MHz、315MHz、418MHz、および433.92MHzで完全無線RFレシーバを実現するのにごわずかの外付け部品しか必要ありません。MAX7042は、低ノイズアンプ(LNA)、イメージ除去(IR)ミキサ、全機能内蔵位相ロックループ(PLL)、局部発振器(LO)、受信信号強度インジケータ(RSSI)付き10.7MHz IFリミティングアンプ、低ノイズFM復調器、および3Vレギュレータなどのスーパーヘテロダインレシーバに必要な能動部品をすべて内蔵しています。ベースバンドデータ復元用の差動ピーク検出データ復調器も内蔵しています。

MAX7042は32ピンTQFNパッケージで提供され、-40°C~+125°Cの自動車用温度範囲での動作が保証されています。

アプリケーション

リモートキーレスエントリー
タイヤ圧モニタ
家庭およびオフィス用照明制御
遠隔計測
煙探知器
ホームオートメーション
ローカルテレメトリシステム
セキュリティシステム

標準動作回路はデータシートの最後に記載されています。

特長

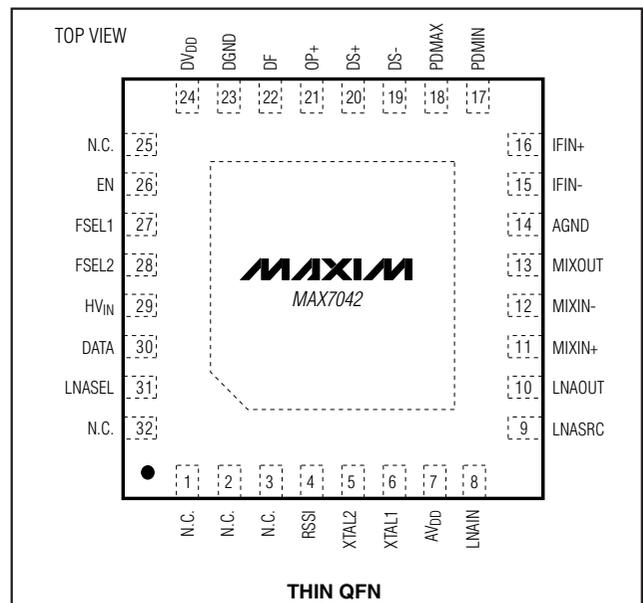
- ◆ 単一電源動作:+2.4V~+3.6Vまたは+4.5V~+5.5V
- ◆ ユーザによる選択が可能な4種類の搬送周波数:
308MHz、315MHz、418MHz、および433.92MHz
- ◆ RF入力感度:-110dBm(315MHz時)
- ◆ RF入力感度:-109dBm(433.92MHz時)
- ◆ 高速起動:250μs以内
- ◆ 小型32ピンThin QFNパッケージ
- ◆ 低動作消費電流
連続:6.2mA
パワーダウン:20nA
- ◆ PLL、VCO、およびループフィルタ内蔵
- ◆ 45dBのイメージ除去内蔵
- ◆ 外付けフィルタによってIF帯域幅を選択可能
- ◆ 正および負のピーク検出器
- ◆ RSSI出力

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7042ATJ	-40°C to +125°C	32 Thin QFN-EP*	T13255-3

*EP = エクスポートパッド

ピン配置



308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

ABSOLUTE MAXIMUM RATINGS

HVIN to AGND or DGND-0.3V to +6.0V
 AVDD, DVDD to AGND or DGND.....-0.3V to +4.0V
 FSEL1, FSEL2, LNASEL,
 EN, DATA.....(DGND - 0.3V) to (HVIN + 0.3V)
 All Other Pins.....(AGND - 0.3V) to (AVDD + 0.3V)
 Continuous Power Dissipation (TA = +70°C)
 32-Pin Thin QFN (derate 34.5mW/°C above +70°C)....2759mW

Operating Temperature Range-40°C to +125°C
 Storage Temperature Range-65°C to +150°C
 Maximum RF Input Power+0dBm
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = HVIN = +2.4V to +3.6V, fRF = 308, 315, 418, and 433.92MHz; TA = -40°C to +125°C, unless otherwise noted. Typical values are at AVDD = DVDD = HVIN = +3.0V, fRF = 433.92MHz, PRFIN ≤ -80dBm, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage (3V)	VDD	HVIN, AVDD, and DVDD connected to power supply	2.4	3.0	3.6	V
Supply Voltage (5V)	HVIN	HVIN connected to power supply, AVDD and DVDD unconnected from HVIN, but connected together	4.5	5.0	5.5	V
Supply Current	IDD	315MHz (3V)	Operating, 1x ILNA	6.2		mA
			Operating, 2x ILNA	6.8		
		315MHz (5V)	Operating, 1x ILNA	6.4		
			Operating, 2x ILNA	7.0		
		434MHz (3V)	Operating, 1x ILNA	6.4	8.7	
			Operating, 2x ILNA	7.0	8.6	
434MHz (5V)	Operating, 1x ILNA	6.6	8.4			
	Operating, 2x ILNA	7.2	9.2			
Shutdown Current (3V)	ISHDN	All digital inputs low	TA = +25°C	0.02		μA
			TA = +85°C	0.1		
			TA = +125°C	0.85	6	
Shutdown Current (5V)	ISHDN	All digital inputs low	TA = +25°C	0.6		μA
			TA = +85°C	1.4		
			TA = +125°C	4	7	
Startup Time	tON	Time from EN = high to final signal detection; does not include baseband filter or data-slicer reference settling		250		μs
DIGITAL I/O						
Input High Threshold	VIH		0.9 x HVIN			V
Input Low Threshold	VIL				0.1 x HVIN	V

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

DC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = HVIN = +2.4V to +3.6V, fRF = 308, 315, 418, and 433.92MHz; TA = -40°C to +125°C, unless otherwise noted. Typical values are at AVDD = DVDD = HVIN = +3.0V, fRF = 433.92MHz, PRFIN ≤ -80dBm, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input High Pulldown Current	IIH	HVIN = +3.6V		8	15	μA
		HVIN = +5.5V		20	40	
Input Low-Leakage Current	IIL	HVIN = +3.6V		<1	1	μA
		HVIN = +5.5V		<1	1	
Output High Voltage	VOH	ISOURCE = 500μA		HVIN - 0.4		V
Output Low Voltage	VOL	ISINK = 500μA		0.4		V
VOLTAGE REGULATOR						
Output Voltage	VREG		2.5	3.0	3.5	V

AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = HVIN = +2.4V to +3.6V, fRF = 308, 315, 418, and 433.92MHz; TA = -40°C to +125°C, unless otherwise noted. Typical values are at AVDD = DVDD = HVIN = +3.0V, fRF = 433.92MHz, PRFIN ≤ -80dBm, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Maximum Input Level					0		dBm
Sensitivity (Note 1)		315MHz setting	Operating, 1x ILNA		-107		dBm
			Operating, 2x ILNA		-110		
		434MHz setting	Operating, 1x ILNA		-106		
			Operating, 2x ILNA		-109		
Receiver Image Rejection					45		dB
LNA/MIXER							
Input Impedance (Note 2)	Z11	Normalized to 50Ω	2x ILNA 315MHz		0.94 - j3.2		
			2x ILNA 433.92MHz		0.94 - j2.1		
1dB Input Compression Point (Notes 2, 3)	P1dB	1x ILNA 315MHz			-47		dBm
		2x ILNA 315MHz			-52		
Input-Referred 3rd-Order Intercept Point (Notes 2, 3)	IIP3	1x ILNA 315MHz			-37		dBm
		2x ILNA 315MHz			-42		
LO Signal Feedthrough to Antenna					-80		dBm
Mixer Output Impedance	ZoutMIX				330		Ω
Voltage Conversion Gain		330Ω IF filter load (Notes 2, 3)	1x ILNA 315MHz		52		dB
			2x ILNA 315MHz		57		
			1x ILNA 433.92MHz		47		
			2x ILNA 433.92MHz		52		
IF LIMITING AMPLIFIER							
Input Impedance	Z11				330		Ω
-3dB Bandwidth					10		MHz

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, $AV_{DD} = DV_{DD} = HV_{IN} = +2.4V$ to $+3.6V$, $f_{RF} = 308, 315, 418,$ and $433.92MHz$; $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $P_{RFIN} \leq -80dBm$, $T_A = +25^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Frequency	f_{IF}			10.7		MHz
RSSI Slope			10	16	21	mV/dB
FSK DEMODULATOR						
Conversion Gain			1.1	2.1	3.0	mV/kHz
ANALOG BASEBAND						
Maximum Peak-Detector Bandwidth				50		kHz
Maximum Data-Filter Bandwidth	BW_{DF}			50		kHz
Maximum Data-Slicer Bandwidth	BW_{DS}			100		kHz
Maximum Data Rate		Manchester coded		33		kHz
		NRZ		66		
CRYSTAL OSCILLATOR						
Crystal Frequency	f_{XTAL}			$(f_{RF} - 10.7) / 32$		MHz
Crystal Load Capacitance				4.5		pF

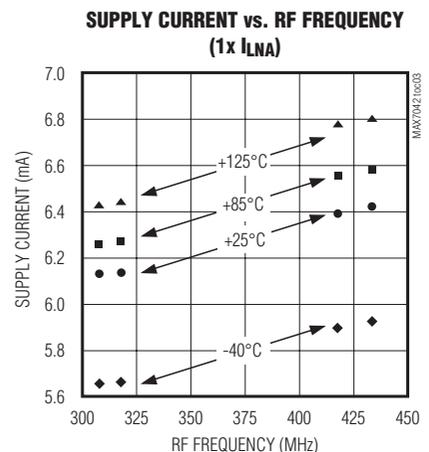
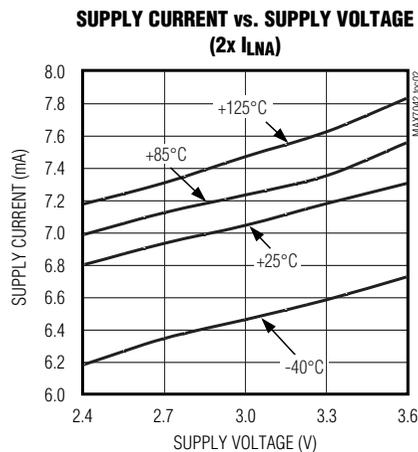
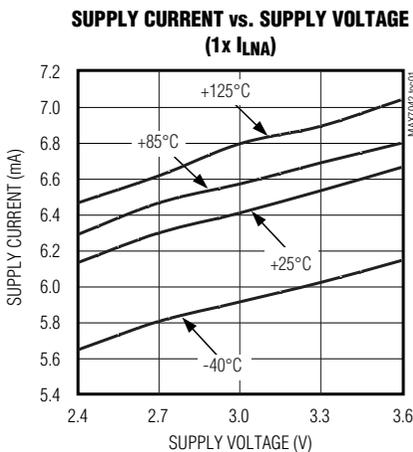
Note 1: 0.2% BER, 4kbps, Manchester coded, 280kHz IF BW, $\pm 50kHz$ frequency deviation.

Note 2: Input impedance is measured at the LNAIN pin $2 \times I_{LNA}$. Note that the impedance at 315MHz includes the 3.9nH inductive degeneration from the LNA source to ground. The impedance at 433.92MHz includes a 0nH inductive degeneration connected from the LNA source to ground. The equivalent input circuit is 47Ω in series with 3.2pF at 315MHz and 47Ω in series with 3.5pF at 433.92MHz.

Note 3: The voltage conversion gain is measured with the LNA input matching inductor, the degeneration inductor, and the LNA/mixer resonator in place, and does not include the IF filter insertion loss.

標準動作特性

(Typical Application Circuit, $V_{DD} = 3.0V$, $f_{RF} = 433.92MHz$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2%, $T_A = +25^{\circ}C$, unless otherwise noted.)



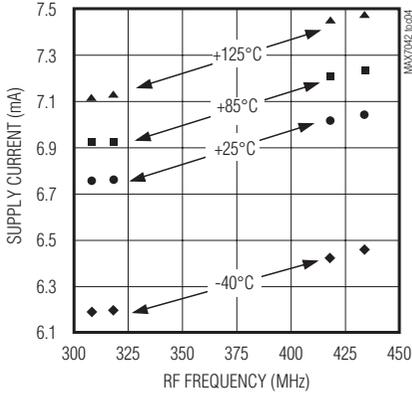
308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

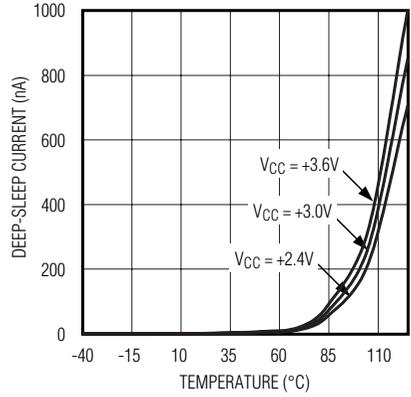
標準動作特性(続き)

(Typical Application Circuit, $V_{DD} = 3.0V$, $f_{RF} = 433.92MHz$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2%, $T_A = +25^\circ C$, unless otherwise noted.)

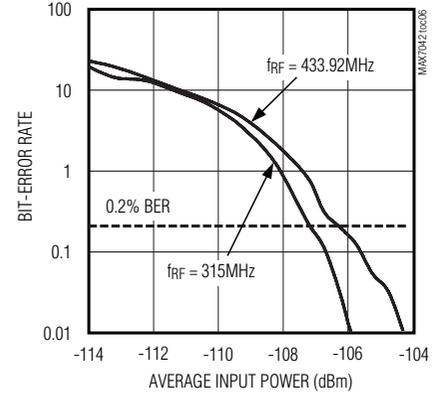
SUPPLY CURRENT vs. RF FREQUENCY
(2x I_{LNA})



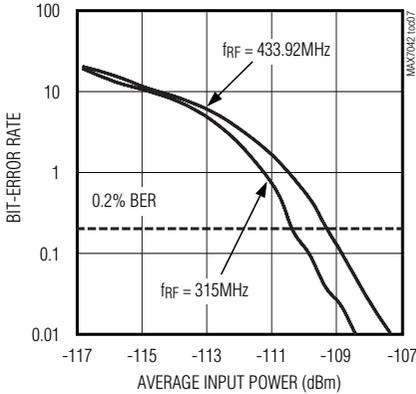
DEEP-SLEEP CURRENT vs. TEMPERATURE



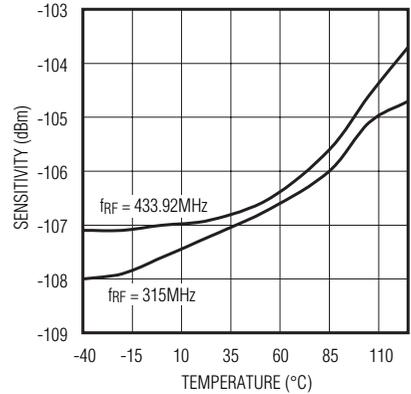
BIT-ERROR RATE vs. AVERAGE INPUT POWER
(1x I_{LNA})



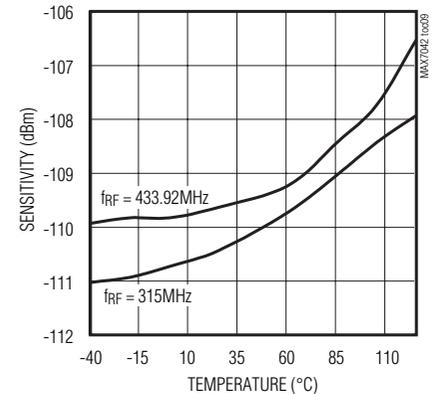
BIT-ERROR RATE vs. AVERAGE INPUT POWER
(2x I_{LNA})



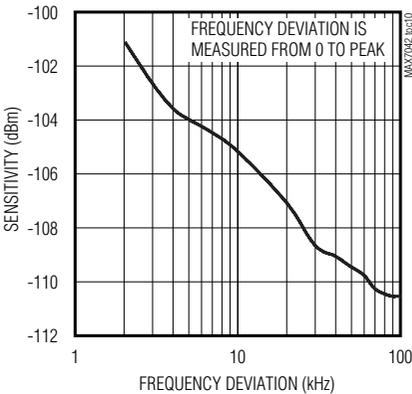
SENSITIVITY vs. TEMPERATURE
(1x I_{LNA})



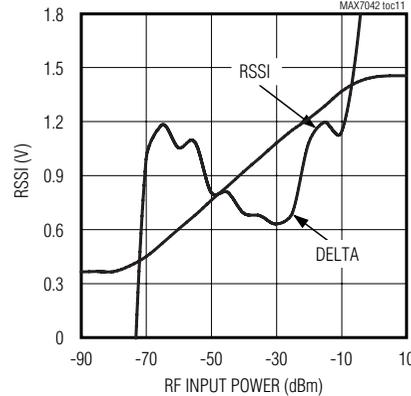
SENSITIVITY vs. TEMPERATURE
(2x I_{LNA})



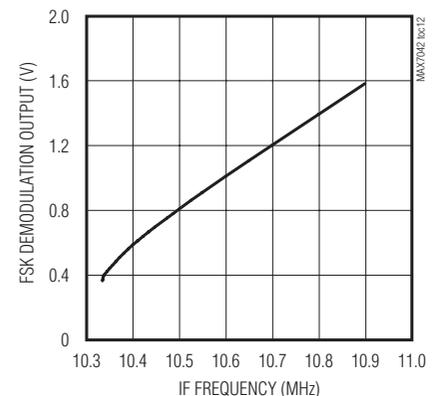
SENSITIVITY vs. FREQUENCY DEVIATION



RSSI AND DELTA vs. IF INPUT POWER



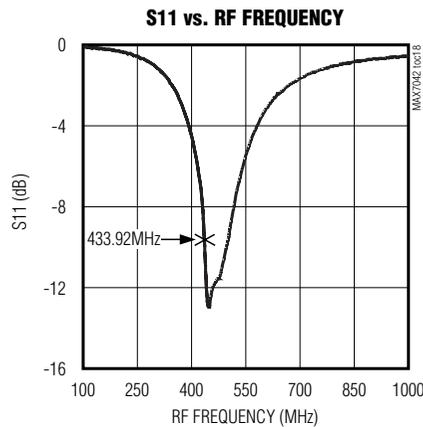
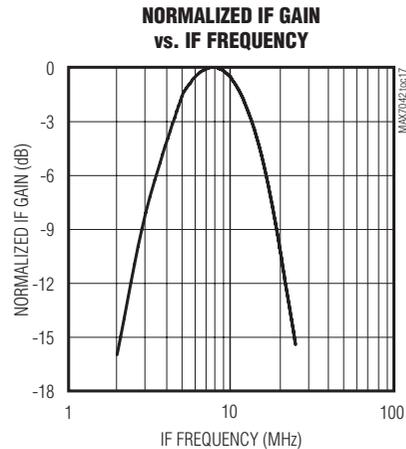
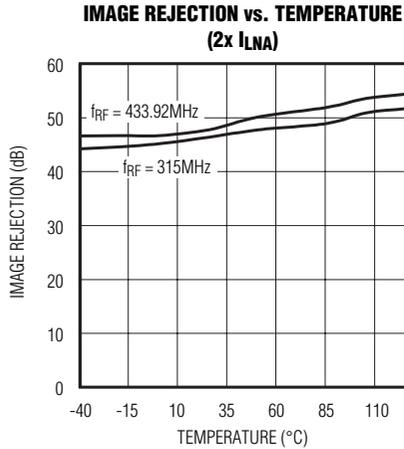
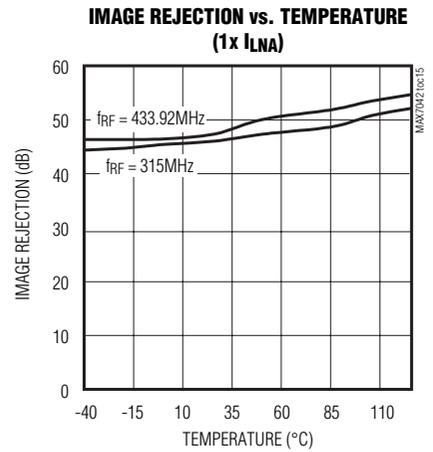
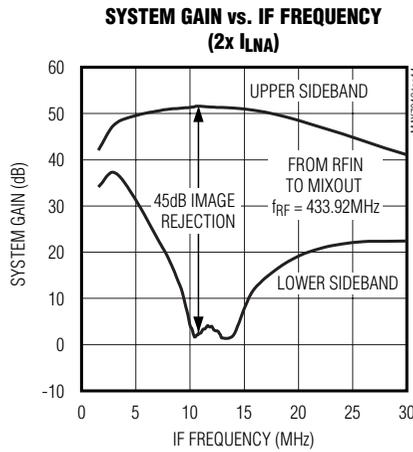
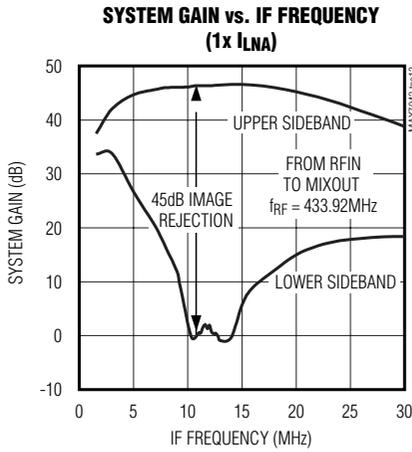
FSK DEMODULATOR OUTPUT vs. IF FREQUENCY



308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

標準動作特性(続き)

(Typical Application Circuit, $V_{DD} = 3.0V$, $f_{RF} = 433.92MHz$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2%, $T_A = +25^\circ C$, unless otherwise noted.)

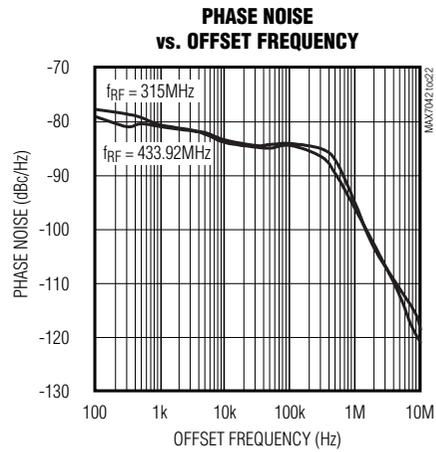
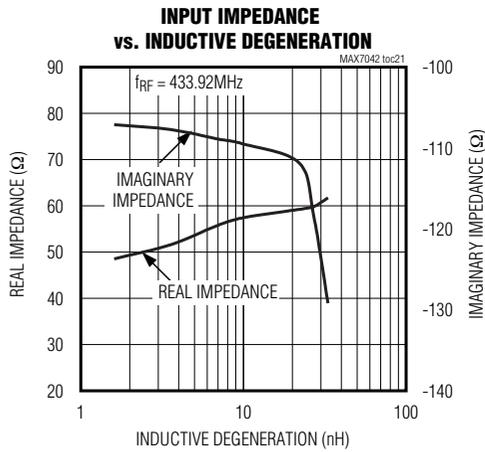
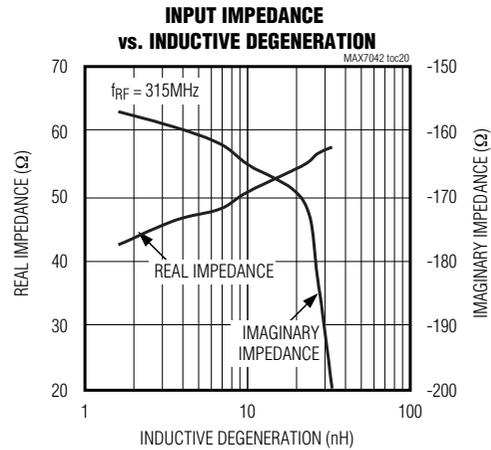
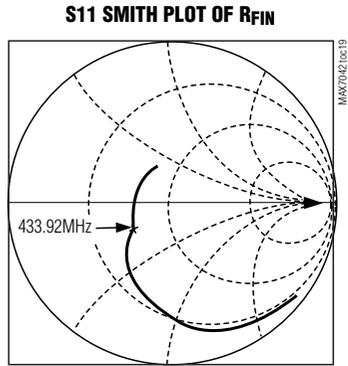


308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

標準動作特性(続き)

(Typical Application Circuit, $V_{DD} = 3.0V$, $f_{RF} = 433.92MHz$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2%, $T_A = +25^\circ C$, unless otherwise noted.)



308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

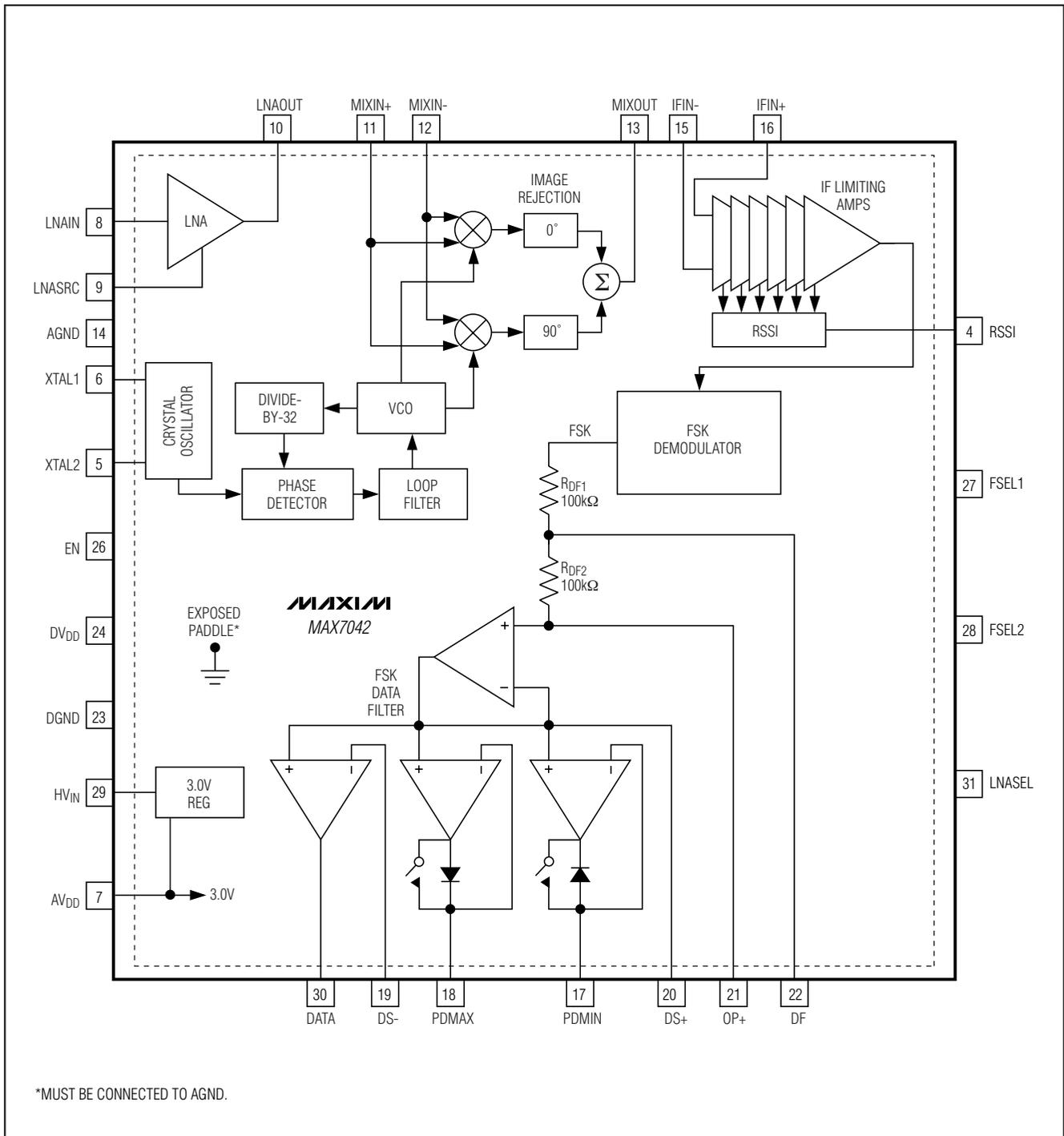
端子説明

端子	名称	機能
1, 2	N.C.	接続なし。内部でプルダウンされています。
3, 25, 32	N.C.	接続なし。内部接続なし。
4	RSSI	バッファ付き受信信号強度インジケータ出力
5	XTAL2	水晶入力2。AC結合された外部リファレンスによってXTAL2を駆動することができます。
6	XTAL1	水晶入力1。XTAL2がAC結合された外部リファレンスによって駆動されている場合は、GNDにバイパスします。
7	AVDD	アナログ電源電圧。AV _{DD} は、+5V動作時、+3.0Vの内蔵レギュレータに接続されます。端子にできるだけ近接した0.1μFおよび220pFのコンデンサでAV _{DD} をGNDにバイパスします。
8	LNAIN	低ノイズアンプ入力。AC結合する必要があります。
9	LNASRC	外部インダクティブディジェネレーション用の低ノイズアンプのソース。LNA入力インピーダンスを設定するには、インダクタをGNDに接続します。
10	LNAOUT	低ノイズアンプ出力。並列LCタンクフィルタを通じてAV _{DD} に接続します。MIXIN+にAC結合します。
11	MIXIN+	ミキサ非反転入力。LNA出力とAC結合させる必要があります。
12	MIXIN-	ミキサ反転入力。コンデンサでAV _{DD} またはAGNDにバイパスします。
13	MIXOUT	330Ωのミキサ出力。10.7MHzのIFフィルタの入力に接続します。
14	AGND	アナロググランド
15	IFIN-	330ΩのIFリミッタアンプ反転入力。コンデンサでAGNDにバイパスします。
16	IFIN+	330ΩのIFリミッタアンプ非反転入力。10.7MHzのIFフィルタの出力に接続します。
17	PDMIN	復調器出力の最低レベルピーク検出器出力
18	PDMAX	復調器出力の最大レベルピーク検出器出力
19	DS-	データスライサ反転入力
20	DS+	データスライサ非反転入力
21	OP+	サレンキー型データフィルタ用のオペアンプ非反転入力
22	DF	データフィルタフィードバックノード。サレンキー型データフィルタのフィードバック用入力
23	DGND	デジタルグランド
24	DVDD	デジタル電源電圧。端子にできるだけ近接した0.01μFおよび220pFのコンデンサでDGNDにバイパスします。
26	EN	イネーブル。内部でプルダウンされています。通常動作にするにはハイにします。デバイスをシャットダウンモードにするには、ローにするか、または未接続状態にします。
27	FSEL1	周波数選択端子1(表1を参照)。内部でプルダウンされています。ロジックハイ動作にするには、ENに接続します。
28	FSEL2	周波数選択端子2(表1を参照)。内部でプルダウンされています。ロジックハイ動作にするには、ENに接続します。
29	HV _{IN}	高電圧電源入力。+3V動作の場合は、HV _{IN} をAV _{DD} およびDV _{DD} に接続します。+5V動作の場合は、HV _{IN} のみを+5Vに接続します。端子にできるだけ近接した0.01μFおよび220pFのコンデンサでHV _{IN} をAGNDにバイパスします。
30	DATA	レシーバデータ出力
31	LNASEL	LNAバイアス電流選択端子。内部でプルダウンされています。小LNA電流の場合はLNASELをロジックローに設定し、大LNA電流の場合はLNASELをロジックハイに設定します。ロジックハイ動作にするには、ENに接続します。
EP	GND	エクスポーズドパッド。グランドに接続します。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

ファンクションダイアグラム

MAX7042



308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

詳細

CMOSスーパーヘテロダインレシーバのMAX7042に少数の外付け部品を加えると、アンテナからデジタル出力データまでの完全FSK受信チェーンが構築されます。FSKは搬送波の周波数の差を用いて、論理0と論理1を表します。信号パワーと部品の選択に応じて、最高66kbps NRZのデータレートを実現することができます。

周波数の選択

表1に示すように、2つの周波数選択ビットFSEL1とFSEL2を使って、308MHz、315MHz、418MHz、および433.92MHzの4つの周波数のいずれか1つにMAX7042を同調することができます。LOの周波数は、9.29063MHz、9.50939MHz、12.72813MHz、および13.22563MHzの基準水晶周波数の32倍です。選択した水晶周波数を使って、10.7MHz IFの中心で動作するようにFSK検出器のPLLを較正することができます。

表1. 周波数選択表

FSEL2	FSEL1	FREQUENCY (MHz)
0	0	308
0	1	315
1	0	418
1	1	433.92

低ノイズアンプ(LNA)

LNAは、チップに外付けのインダクティブディジェネレーション付きのカスコードアンプです。利得とノイズ指数は、LNA入力のアンテナ整合回路と、LNA出力とミキサ入力間のLCタンク回路の両方に依存します。

ユーザは、MAX7042のLNAバイアス電流を設定することができます。LNASEL入力を使って、0.6mA～1.2mAの範囲において0.6mA単位で1～2倍のバイアス電流を設定します。LNASELをロジックローに設定するとLNAが1倍のバイアス電流を消費するように設定され、LNASELをロジックハイに設定すると、LNAが2倍のバイアス電流を消費するように設定されます。バイアス電流を大きくすると、電流消費を犠牲にして感度と利得が向上します。

チップに外付けのインダクティブディジェネレーションは、インダクタをLNASRCとAGNDの間に接続することで実現されます。このインダクタによってLNAINにおける入力インピーダンスの実数部が設定され、

プリント基板のトレースアンテナなどの低入力インピーダンスに対する整合が柔軟になります。50Ωの入力インピーダンスのこのインダクタの公称値は315MHzでは3.9nHで、433.92MHzでは0nH(ショート)ですが、プリント基板のトレースによる影響を受けます。インダクタンスと入力インピーダンスとの関係は、「標準動作特性」を参照してください。

LNAOUTに接続されるLCタンクフィルタは、L2とC9で構成されています(「標準動作回路」を参照)。希望するRF入力周波数に共振するようにL2とC9を選択します。共振周波数は、次式から求められます。

$$f = \frac{1}{2\pi\sqrt{L_{TOTAL} \times C_{TOTAL}}}$$

ここで、 $L_{TOTAL} = L2 + L_{PARASITICS}$ であり、 $C_{TOTAL} = C9 + C_{PARASITICS}$ となります。

$L_{PARASITICS}$ と $C_{PARASITICS}$ にはプリント基板トレース、パッケージの端子、ミキサの入力インピーダンス、LNAの出力インピーダンスなどのインダクタンスと容量が含まれています。高周波ではこれらの寄生成分を無視することができず、タンクフィルタの中心周波数に甚大な影響を及ぼす場合があります。タンク回路の中心周波数を最適化するためには、ラボにおける実験が必要です。寄生容量は通常5pF～7pFです。

タンクの共振周波数が希望するRF周波数の中心周波数であることを実験で検証するには、以下の2つの方法があります。

- 1) IFを10.7MHzに維持するためにRSSI電圧(端子4)を監視しながら、水晶発振器を外部駆動し、RF周波数とLO周波数($F_{XTAL} \times 32$)の両方をスイープします。共振時にRSSI電圧のピークがあります。外部ソースはXTAL1にAC結合され、XTAL2端子はグランドへのACバイパスを持つ必要があります。推奨される駆動パワーは、-10dBmです。
- 2) ネットワークアナライザを使って、共振を測定します。ネットワークアナライザからのポート1のパワーはレシーバへの入力であり、このパワーは-30dBm以下である必要があります。(RF「スニッファ」と通称される)中心導線を露出させた同軸スタブを使って、タンクパワーを監視し、ネットワークアナライザへのポート2入力として機能させます。このスニッファをタンクインダクタに近接して配置する必要がありますが、接触させないでください。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

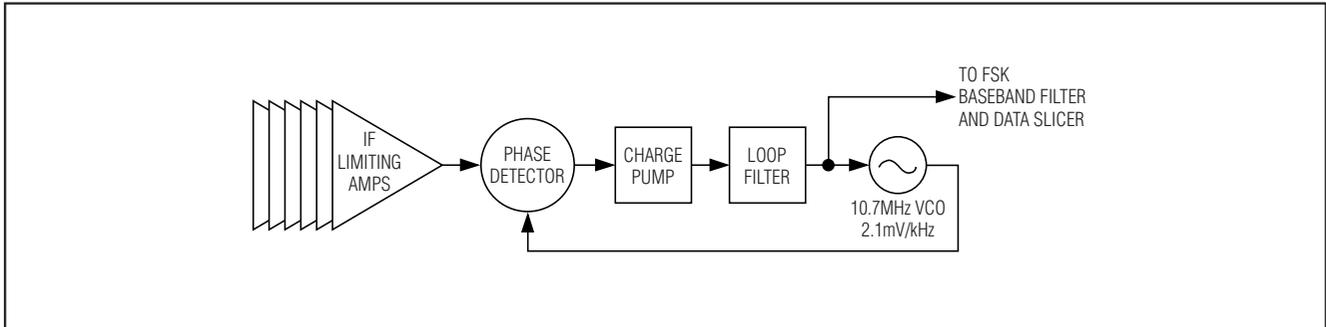


図1. FSK復調器PLLブロックダイアグラム

ミキサ

MAX7042の独自の機能は、ミキサの内蔵イメージ除去機能です。このデバイスは、多くのアプリケーションで高価なフロントエンドSAWフィルタが不要になるように設計されています。SAWフィルタを使わない利点は、感度の向上、アンテナとの整合の簡素化、基板面積の縮小、およびコストの削減です。

ミキサセルは、ローサイドの注入(すなわち、 $f_{LO} = f_{RF} - f_{IF}$)によって、RF入力を10.7MHzの中間周波数(IF)へIQダウンコンバージョンを行う一組の二重平衡型ミキサです。次にイメージ除去回路は、これらの信号を結合して約45dBの標準的なイメージ除去を行います。チップに搭載されたイメージ除去のためにハイサイドの注入が不可能な場合には、ローサイドの注入が必要です。IF出力はソースフォロアによって駆動され、330Ωの駆動インピーダンスになるようにバイアスされて、チップ外部の330ΩセラミックIFフィルタとインタフェースを取ります。なお、MIXIN+とMIXIN-は機能的に同じです。

フェーズロックループ(PLL)

PLLブロックは、位相検出器、チャージポンプ/内蔵ループフィルタ、電圧制御発振器(VCO)、非同期32分周器、および水晶発振器で構成されています。このPLLには外付け部品は不要です。RF、IF、および基準周波数の間の関係は次式で表されます。

$$f_{REF} = \frac{(f_{RF} - f_{IF})}{32}$$

(感度を最適化するために)IF帯域幅を最小にするには、基準周波数の許容誤差を最小限に抑制します。

中間周波数(IF)

IF部は、チップに外付けのセラミックフィルタとの整合を取るために差動の330Ω負荷を提供します。6個の内蔵AC結合リミティングアンプは、約65dBの全利得を生成します。このリミティングアンプは、3dB帯域幅が約10MHzで中心周波数が10.7MHz IF周波数近辺にある帯域フィルタタイプの応答を備えています。リミッタの出力はIF信号を復調するためにPLLに供給され、2.1mV/kHzの復調傾斜でベースバンド電圧が生成されます。RSSI回路は、約16mV/dBの傾斜でIF信号レベルのログに応じたDC出力を生成します。

FSK復調器

FSK復調器は10.7MHzの内蔵PLLを用いてRF変調入力を追跡し、周波数の差を論理1と論理0として判定します。PLLは図1に図示されています。PLLへの入力は、IFリミティングアンプの出力から供給されます。PLLの制御電圧は、2.1mV/kHzの標準利得で入力信号の周波数の変動に応答します。例えばFSKのピークトゥピーク偏移が50kHzの場合、105mV_{p-p}信号が制御線上に生成されます。次にこの信号はフィルタリングされ、FSKベースバンド回路によってスライスされます。

FSK復調器用のPLLには、プロセス、電圧、および温度の変動を克服するために較正が必要です。較正に要する最大時間は120μsであり、これは起動時間に含まれています。温度または電源電圧の大きな変動の後には、較正が必要です。MAX7042が電源投入されるごとに、較正が自動的に行われます。再較正を強制的に行うには、ENをローにしてから、ハイにします。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

水晶発振器

MAX7042のXTAL発振器は、受信信号とのミキシングを行うためのLOを生成するために使用されます。XTAL発振器の周波数は、受信信号周波数を次のように設定します。

$$f_{\text{RECEIVE}} = (f_{\text{XTAL}} \times 32) + 10.7\text{MHz}$$

次式に示した受信イメージ周波数は、内蔵の直交イメージ除去回路によって除去されます。

$$f_{\text{IMAGE}} = (f_{\text{XTAL}} \times 32) - 10.7\text{MHz}$$

MAX7042のXTAL発振器は、XTAL1とXTAL2間の容量は約3pFとして設計されています。多くの場合、標準的なプリント基板の寄生成分を追加すると、これは外部水晶に追加される4.5pFの負荷容量に相当します。MAX7042の水晶発振器の容量にプリント基板の寄生成分を加えた値と同じ負荷容量の水晶を使用してください。これとは異なる負荷容量で発振するように設計された水晶を使用する場合は、その水晶は所期の動作周波数から離されるため、基準周波数に誤差が生じます。より大きい差動負荷容量で動作するように設計された水晶によって、常に基準周波数は高く引き込まれます。

実際には、発振器はあらゆる水晶を引き込みます。水晶の自然周波数は実際には指定した周波数を下回りますが、指定した負荷容量が負荷に加わると、水晶は引き込まれ、指定周波数で発振します。この引込みは負荷容量の仕様に計上されています。

水晶の電気的パラメータがわかっている場合は、さらに引込みを計算することができます。周波数の引込みは、次式から求められます。

$$f_p = \frac{C_m}{2} \left(\frac{1}{C_{\text{case}} + C_{\text{load}}} - \frac{1}{C_{\text{case}} + C_{\text{spec}}} \right) \times 10^6$$

ここで、

f_p は、水晶周波数が引き込まれるppmで表される大きさです。

C_m は水晶の等価容量です。

C_{case} はケースの容量です。

C_{spec} は指定した負荷容量です。

C_{load} は実際の負荷容量です。

水晶に指定どおりに負荷が接続される、すなわち、 $C_{\text{load}} = C_{\text{spec}}$ の場合は、周波数引込みはゼロとなります。

周波数許容誤差

水晶の周波数許容誤差、IFフィルタの周波数/帯域幅許容誤差、および希望する信号変調帯域はすべて相互に関連しています。変調信号帯域幅がダウンコンバージョン後にIFフィルタの通過帯域内にとどまるように、これらの特性を組み合わせる必要があります。以下に示すように、280kHzの帯域幅IFフィルタとともに50ppmの許容誤差の水晶は大部分のFSK変調信号に十分対応します。

高許容誤差水晶がトランスミッタとMAX7042レシーバのPLLリファレンスに使用される場合は、これより狭いIFフィルタ帯域幅を使用することができます。IFフィルタの通過帯域内に収まるように、MAX7042によって伝送信号の変調スペクトルをダウンコンバートする必要があります。トランスミッタおよびMAX7042レシーバ用の水晶許容誤差では、+25°Cの初期許容誤差、エージング、負荷容量許容誤差、および温度ドリフトを計上する必要があります。許容可能な信号受信を実現するには、次式を維持する必要があります。

$$2 \times (\Delta F_{\text{TX}} + \Delta F_{\text{RX}} + \Delta F_{\text{IF}} + F_{\text{DEV}} + 5 \times F_{\text{MOD}}) < \text{IFBW}_{\text{min}}$$

ここで、

ΔF_{TX} = (ppm単位のトランスミッタ水晶許容誤差) × (MHz単位の搬送周波数)。これには、水晶許容誤差のエージング、負荷容量、および温度の影響などが含まれます。

ΔF_{RX} = (ppm単位のMAX7042水晶許容誤差) × (MHz単位の搬送周波数)。これには、水晶許容誤差のエージング、負荷容量、および温度の影響などが含まれます。

ΔF_{IF} = 選択したIFフィルタの中心周波数許容誤差。これには、IFフィルタ中心周波数の温度ドリフトなどが含まれます。

F_{DEV} = 搬送周波数からの±FSK周波数偏移

F_{MOD} = NRZデータレートの半分、またはマンチエスタコーディング使用の場合はNRZデータレート

IFBW_{min} = 選択したIFフィルタの最低帯域幅

例えば、315MHzの搬送周波数、トランスミッタおよびMAX7042の±50ppm水晶許容誤差、±30kHz IFフィルタの中心周波数許容誤差、±50kHzの周波数偏移、および4.8kHzのマンチエスタデータレートを仮定すると、次式のようになります。

$$2 \times [(315 \times 50) + (315 \times 50) + 30000 + 50000 + 5 \times 4800] = 271\text{kHz} < \text{IFBW}_{\text{min}}$$

この動作条件には、280kHzのIFフィルタが必要です。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

データフィルタ

データフィルタは2次ローパス、サレンキー型フィルタとして実装されています。その極の位置は、内蔵の2個の抵抗と2個の外付けコンデンサを組み合わせによって設定されます。各種データレートを最適化するには、コーナー周波数が変更する外付けコンデンサの値を調整します。kHz単位のコーナー周波数は、トランスミッタからのkbps単位のほぼ最速の予想NRZデータレートと、最速の予想マンチェスタコーディングデータレートの2倍に設定する必要があります。コーナー周波数をデータレートに近づけると高周波のどのノイズも除去され、レシーバの感度が向上します。

図2に示す構成によって、バターワースまたはベッセル応答が構築されます。バターワースフィルタは通過帯域において超平坦な振幅応答を示し、2極フィルタでは40dB/decadeの減衰レートを示します。ベッセルフィルタはリア位相応答を備え、デジタルデータのフィルタ用として適切な動作をします。コンデンサの値を算出するには、表2の係数とともに次式を使用します。

$$C_{F1} = \frac{b}{a(100k\Omega)(\pi)(f_C)}$$

$$C_{F2} = \frac{a}{4(100k\Omega)(\pi)(f_C)}$$

ここで、 f_C は希望する3dBコーナー周波数です。

例えば、5kHzのコーナー周波数のバターワースフィルタ応答を選択すると次式ようになります。

$$C_{F1} = \frac{1.000}{(1.414)(100k\Omega)(3.14)(5kHz)} \approx 450pF$$

$$C_{F2} = \frac{1.414}{(4)(100k\Omega)(3.14)(5kHz)} \approx 225pF$$

コンデンサの標準値を選択すると、 C_{F1} は470pFに、 C_{F2} は220pFに変更されます。「標準動作回路」において、 C_{F1} と C_{F2} は、それぞれC4およびC3と呼ばれています。

表2. C_{F1} および C_{F2} の算出用の係数

FILTER TYPE	a	b
Butterworth (Q = 0.707)	1.414	1.000
Bessel (Q = 0.577)	1.3617	0.618

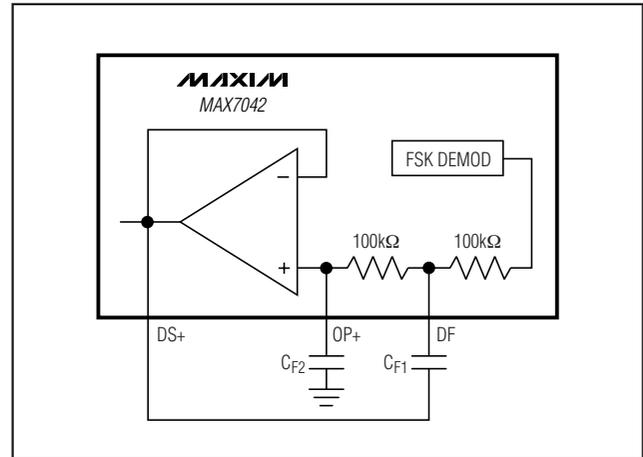


図2. サレンキー型ローパスデータフィルタ

データスライサ

データスライサの目的はデータフィルタのアナログ出力を取り出し、それをデジタル信号に変換することです。コンパレータを使用し、アナログ入力をスレッショルド電圧と比較することによって、この動作が行われます。スレッショルド電圧はDS端子の電圧によって設定され、その電圧をデータスライサコンパレータの負入力に接続します。データスライサコンパレータの正入力は、データフィルタの出力に内部接続されています。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

多数の構成を用いて、データスライサ用のスレッショルドを生成することができます。例えば、図3の回路は、抵抗とコンデンサをそれぞれ1個のみ使用する簡単な方法を示しています。この構成によってフィルタからのアナログ出力が平均化され、スレッショルドがその振幅の約50%に設定されます。この構成では、アナログ信号が変化するとスレッショルドは自動的に調整され、デジタルデータに誤りが発生する可能性が最低限に抑制されます。RとCの値は、スレッショルドがアナログ振幅を追跡する速度に影響を与えます。RC回路のコーナー周波数は、予想される最低データレートよりはるかに低くしてください。

この構成では、0または1が長く続くと、スレッショルドがドリフトする場合があります。1と0の数が多いマンチェスタコーディングなどコーディング方式を採用する場合は、この構成が最も効果的に機能します。

図4は、正と負のピーク検出器を使ってスレッショルドを生成する構成を示しています。この構成では、スレッショルドはデータフィルタのハイとローの出力の中間に設定されます。

ピーク検出器

最大ピーク検出器(PDMAX)出力と最小ピーク検出器(PDMIN)出力は、GNDに接続されたコンデンサと抵抗とともに、データ信号のハイおよびローのピーク値に比例したDC出力電圧を生成します。この抵抗はコンデンサの放電路となり、ピーク検出器がデータフィルタの出力電圧のピーク値の変化にダイナミックに追従することができます。

正および負のピーク検出器を併用して、データストリームの最も正の電圧レベルと最も負の電圧レベル間の中間値でデータスライサ用のスレッショルド電圧を形成することができます(「データスライサ」の項と図4を参照)。ピーク検出器結合回路のRC時定数は、少なくともデータ周期の5倍に設定します。

イネーブル端子がローからハイに遷移した後にすべての内蔵回路が安定するまで、MAX7042のピーク検出器はベースバンドフィルタ出力電圧を追跡します。ピーク検出器は起動トランジエントがもたらす誤ったレベルを「捕らえ」ないため、この機能によって超高速の起動が実現します。ピーク検出器は、急速充電/低速放電応答を示します。

電源接続

MAX7042には、2.4V~3.6Vまたは4.5V~5.5Vの電源を給電することができます。このデバイスは、5V

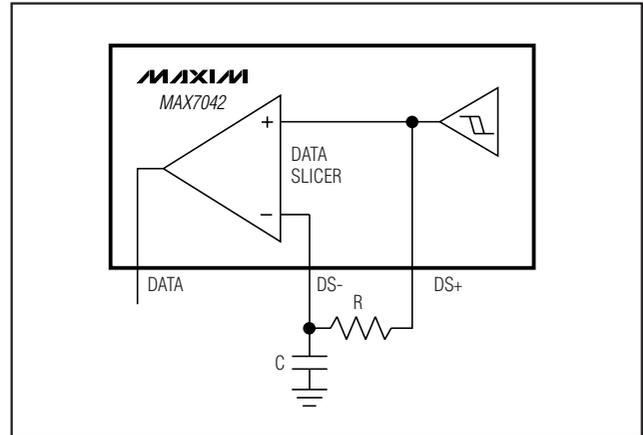


図3. データスライサ用スレッショルドの生成

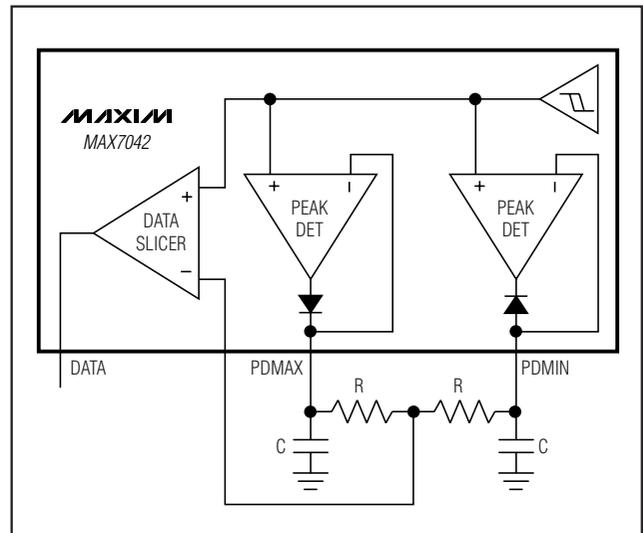


図4. ピーク検出器によるデータスライサ用スレッショルドの生成

電源をチップの動作に必要な3Vに降圧するリニアレギュレータを内蔵しています。

MAX7042を3V電源で動作させるには、DV_{DD}、AV_{DD}、およびHV_{IN}を3V電源に接続します。5V電源を使用する場合は、電源をHV_{IN}のみに接続します。いずれの場合も、0.01μFのコンデンサを使ってDV_{DD}とHV_{IN}を、0.1μFのコンデンサを使ってAV_{DD}をバイパスします。すべてのバイパスコンデンサは、できる限り各電源端子の近くに配置します。

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

レイアウトに関して

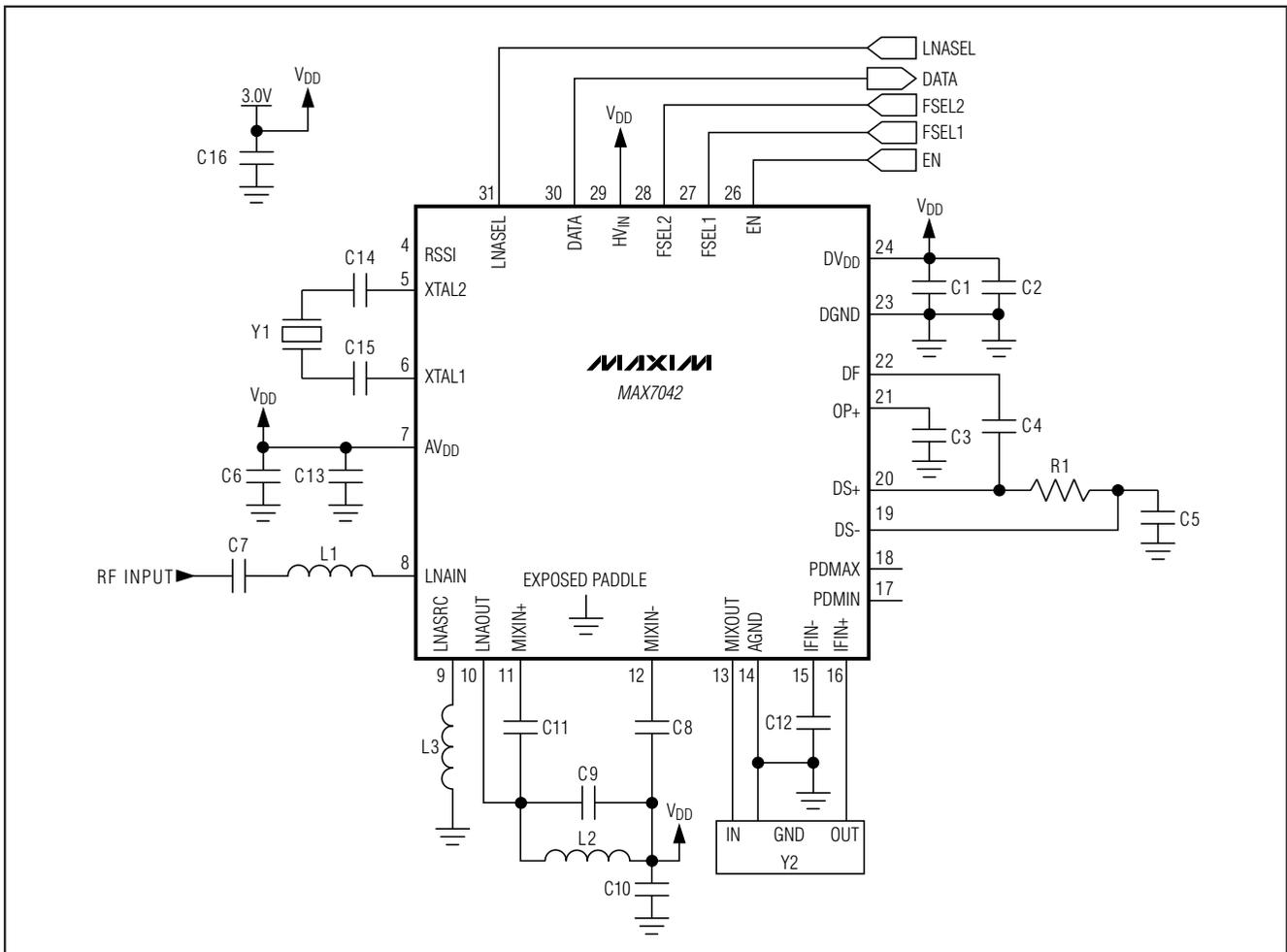
適切に設計されたプリント基板は、どのRF/マイクロ波回路にとっても不可欠な要素です。高周波の入力と出力に関してはインピーダンス制御されたラインを使用し、それをできる限り短くして損失と放射を最小限に抑制します。高周波では、約λ/10以上のトレース長は、アンテナとして動作します。

またトレースを短くすると、寄生インダクタンスが小さくなります。一般的に、1インチ(2.54cm)のプリント基板トレースによって、約20nHの寄生インダクタンスが追加されます。寄生インダクタンスは、受動部品の

有効インダクタンスに対して甚大な影響を与える場合があります。例えば、100nHインダクタンスを接続する0.5インチ(1.27cm)のトレースによって、10nHのインダクタンスがさらに加えられ、インダクタンス値の誤差は10%になります。

寄生インダクタンスを減少させるには、幅の広いトレースを使用し、信号トレースの下にベタグランドまたは電源プレーンを配置します。また、すべてのGND端子のグランドとの低インダクタンス接続を採用し、デカップリングコンデンサをすべてのV_{DD}またはHV_{IN}の接続部の近くに配置します。

標準動作回路



308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

MAX7042

表3. 標準動作回路の部品値

COMPONENT	VALUE FOR 315MHz RF	VALUE FOR 433.92MHz RF	DESCRIPTION
C1	0.01 μ F	0.01 μ F	5%
C2	220pF	220pF	5%
C3	220pF	220pF	5%
C4	470pF	470pF	5%
C5	0.047 μ F	0.047 μ F	10%
C6	0.1 μ F	0.1 μ F	10%
C7	100pF	100pF	10%
C8	100pF	100pF	10%
C9	1.2pF	Open	\pm 0.1pF
C10	220pF	220pF	10%
C11	100pF	100pF	10%
C12	1500pF	1500pF	10%
C13	220pF	220pF	10%
C14	100pF	100pF	10%
C15	100pF	100pF	10%
C16	0.1 μ F	0.1 μ F	10%
L1	82nH	39nH	Coilcraft 0603CS
L2	30nH	16nH	Murata LQW18A
L3	3.9nH	Short	Coilcraft 0603CS
R1	100k Ω	100k Ω	5%
Y1	9.50939MHz	13.22563MHz	Crystal
Y2	10.7MHz ceramic filter	10.7MHz ceramic filter	Murata SFECV10.7 series

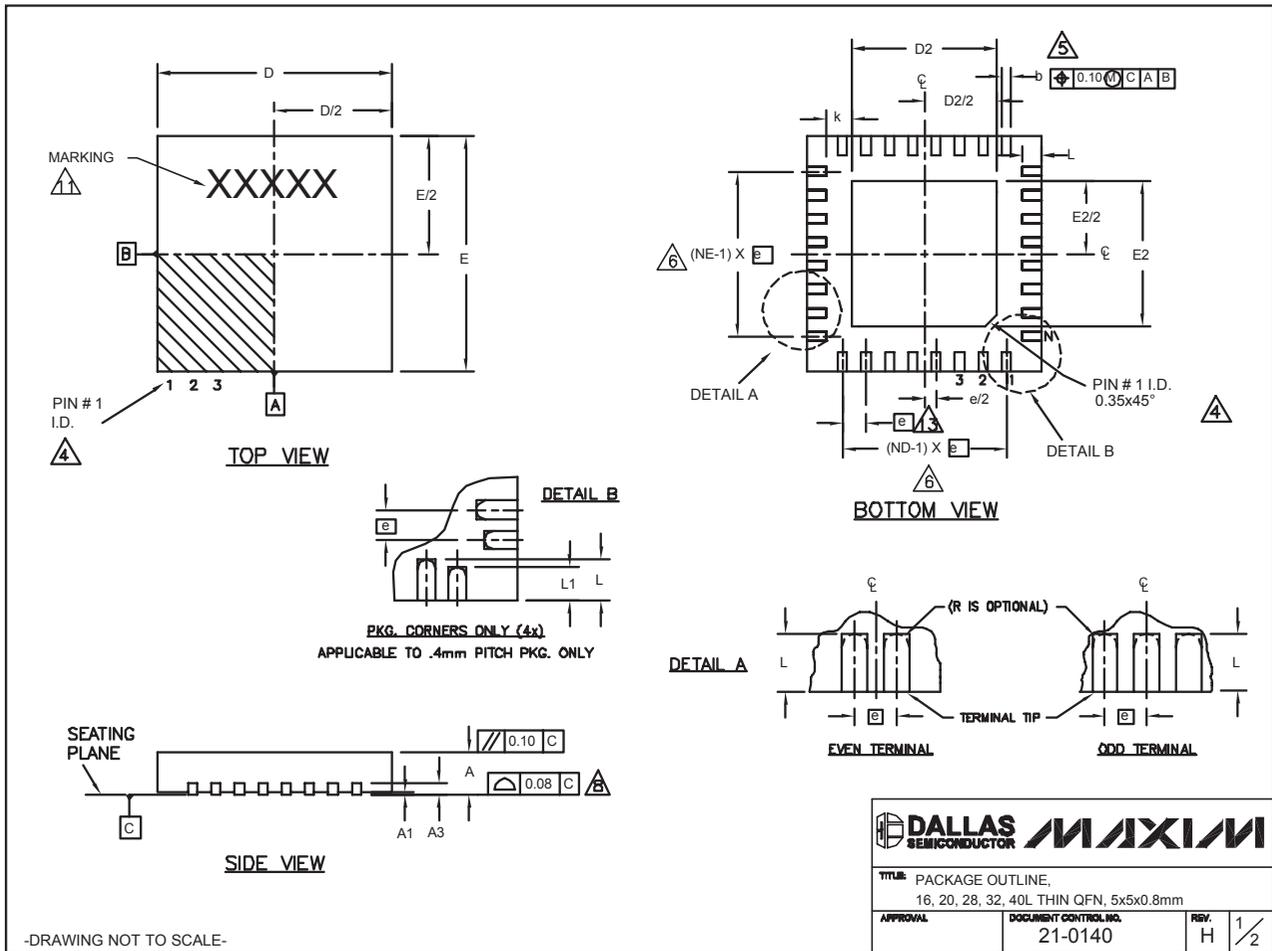
チップ情報 _____

PROCESS: CMOS

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



-DRAWING NOT TO SCALE-

308MHz/315MHz/418MHz/433.92MHz、 低電力、FSKスーパーヘテロダインレシーバ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS															
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.												
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A3	0.20 REF.														
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2			----		

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-1, T2855-3, AND T2855-6.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.

-DRAWING NOT TO SCALE-

EXPOSED PAD VARIATIONS									
PKG. CODES	D2			E2			L	DOWN BONDS ALLOWED	
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			±0.15
T1655-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20	**	YES	
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T2055-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES	
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35	0.40	YES	
T2855-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO	
T2855-2	2.60	2.70	2.80	2.60	2.70	2.80	**	NO	
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35	**	YES	
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80	**	YES	
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80	**	NO	
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35	**	NO	
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80	**	YES	
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35	0.40	YES	
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO	
T3255-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES	
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO	
T4055-1	3.20	3.30	3.40	3.20	3.30	3.40	**	YES	

** SEE COMMON DIMENSIONS TABLE

	
TITLE: PACKAGE OUTLINE, 16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm	
APPROVAL:	DOCUMENT CONTROL NO. 21-0140
REV. H	REV. 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.