

12個のプッシュプル出力および4個の入力付き、 I²Cポートエキスパンダ

概要

MAX7326は2線式シリアルインタフェースペリフェラルで、16個のI/Oポートを備えています。ポートは12個のプッシュプル出力と4個の入力ポートで構成され、内部プルアップを選択可能です。入力ポートは+6Vまで過電圧保護され、割込み出力付きの遷移検出を備えています。

4個の入力ポートが、状態変化があるかどうか常時監視されます(遷移検出)。割込みがラッチされるため、過渡変化を検出することができます。入力の任意の組合せを割込みマスクを使って選択可能で、オープンドレイン型+6V耐圧INT出力がアサートされます。この後、MAX7326にシリアルインタフェースを通じてアクセスされると、どの保留中の割込みもクリアされます。12個のプッシュプル出力は20mAのシンク電流定格で、LEDを駆動可能です。RST入力によってシリアルインタフェースがクリアされ、MAX7326との間のすべてのI²C通信が終了します。

MAX7326では4レベルロジックを備える2個のアドレス入力によって16個のI²Cスレーブアドレスが可能です。また、スレーブアドレスによって12個の出力ポートの電源投入時のデフォルト状態が設定され、2個の入力ポートごとに40kΩの内部プルアップがイネーブルまたはディセーブルされます。

MAX7326は、入力ポート、オープンドレイン型I/Oポート、およびプッシュプル出力ポートを選択可能なピンコンパチブルのポートエキスパンダファミリの1デバイスです(表1を参照)。

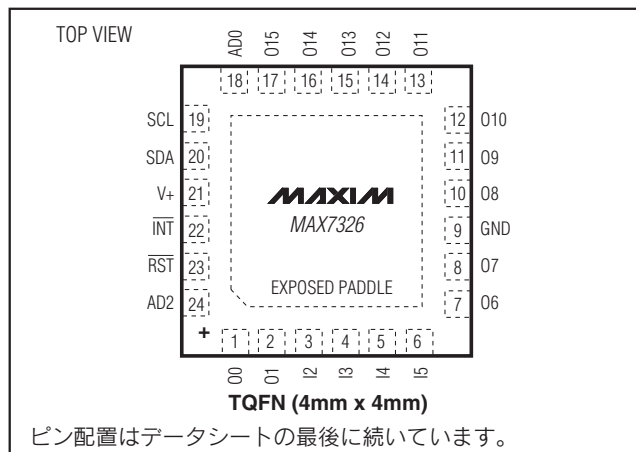
MAX7326は24ピンQSOPおよびTQFNパッケージで提供され、-40℃～+125℃の自動車用温度範囲での動作が保証されています。

アプリケーション

携帯電話
SAN/NAS
サーバ

ノートブック
衛星無線
自動車

ピン配置



特長

- ◆ 400kHzのI²Cシリアルインタフェース
- ◆ 動作電圧：+1.71V～+5.5V
- ◆ 20mAのシンク電流定格の12個のプッシュプル出力
- ◆ マッチ可能な遷移検出のラッチ付き4個の入力ポート
- ◆ +6Vまで入力ポートを過電圧保護
- ◆ 過渡変化がラッチされるため、読取り動作間の検出が可能
- ◆ INT出力によって選択された入力の変化を警報
- ◆ AD0およびAD2入力によって16個のスレーブアドレスを選択可能
- ◆ 低スタンバイ電流：0.6μA
- ◆ 温度範囲：-40℃～+125℃

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7326AEG+	-40℃ to +125℃	24 QSOP	E24-1
MAX7326ATG+	-40℃ to +125℃	24 TQFN-EP* (4mm x 4mm)	T-2444-3

+は鉛フリーパッケージを示します。

*EP = エクスポーズドパッド。

選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7324	8	Yes	—	8
MAX7325	Up to 8	—	Up to 8	8
MAX7326	4	Yes	—	12
MAX7327	Up to 4	—	Up to 4	12

標準動作回路およびファンクションダイアグラムはデータシートの最後に記載されています。

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V+	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$, $\overline{\text{INT}}$, I2-I5	-0.3V to +6V
O0, O1, O6-O15	-0.3V to V+ + 0.3V
O0, O1, O6-O15 Output Current	±25mA
SDA Sink Current	10mA
$\overline{\text{INT}}$ Sink Current	10mA
Total V+ Current	50mA
Total GND Current	100mA

Continuous Power Dissipation (T_A = +70°C)

24-Pin QSOP (derate 9.5mW/°C over +70°C)761.9mW

24-Pin TQFN (derate 20.8mW/°C over +70°C)1666.7mW

Operating Temperature Range-40°C to +125°C

Junction Temperature+150°C

Storage Temperature Range-65°C to +150°C

Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+	T _A = -40°C to +125°C		1.71		5.50	V
Power-On Reset Voltage	V _{POR}	V+ falling				1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V+			0.6	1.9	μA
Supply Current (Interface Running)	I+	f _{SCL} = 400kHz, other digital inputs at V+			23	55	μA
Input High Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I2–I5	V _{IH}	V+ < 1.8V		0.8 x V+			V
		V+ ≥ 1.8V		0.7 x V+			
Input Low Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I2–I5	V _{IL}	V+ < 1.8V		0.2 x V+			V
		V+ ≥ 1.8V		0.3 x V+			
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I2–I5	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I2–I5 at V+ or GND		-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I2–I5					10		pF
Output Low Voltage O0, O1, O6–O15	V _{OL}	V+ = +1.71V, I _{SINK} = 5mA	QSOP	90	180	mV	
			TQFN	90	230		
		V+ = +2.5V, I _{SINK} = 10mA	QSOP	110	210		
			TQFN	110	260		
		V+ = +3.3V, I _{SINK} = 15mA	QSOP	130	230		
			TQFN	130	280		
		V+ = +5V, I _{SINK} = 20mA	QSOP	140	250		
			TQFN	140	300		
Output High Voltage O0, O1, O6–O15	V _{OH}	V+ = +1.71V, I _{SOURCE} = 2mA		V+ - 250 V+ - 30		mV	
		V+ = +2.5V, I _{SOURCE} = 5mA		V+ - 360 V+ - 30			
		V+ = +3.3V, I _{SOURCE} = 5mA		V+ - 260 V+ - 30			
		V+ = +5V, I _{SOURCE} = 10mA		V+ - 360 V+ - 30			
Output Low Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA				250	mV
Output Low Voltage $\overline{\text{INT}}$	V _{OLINT}	I _{SINK} = 5mA			130	250	mV
Port Input Pullup Resistor	R _{PU}			25	40	55	kΩ

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

MAX7326

PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Output Data Valid	t _{PPV}	C _L ≤ 100pF			4	μs
Port Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD,STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU,STA}		0.6			μs
STOP Condition Setup Time	t _{SU,STO}		0.6			μs
Data Hold Time	t _{HD,DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU,DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA Transmitting	t _{F,TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t _W		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters are tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 3: Guaranteed by design.

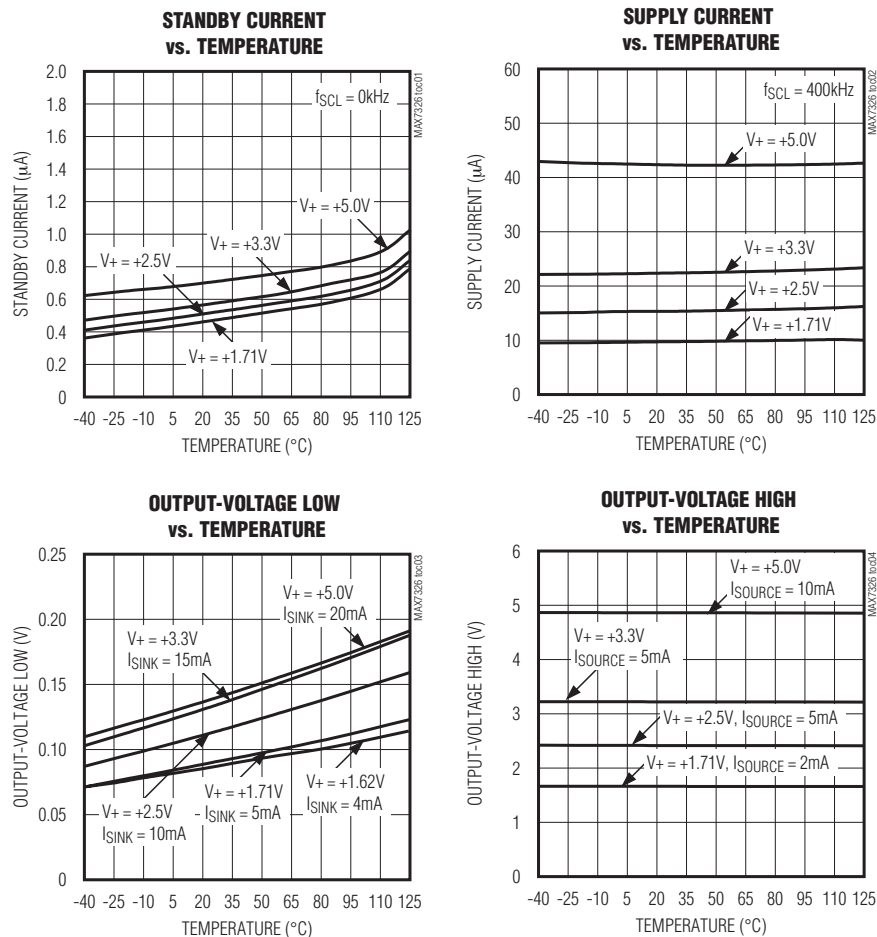
Note 4: C_b = total capacitance of one bus line in pF. I_{SINK} ≤ 6mA. t_R and t_F measured between 0.3 x V₊ and 0.7 x V₊.

Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

標準動作特性

(T_A = +25°C, unless otherwise noted.)



端子説明

端子		名称	機能
QSOP	TQFN		
1	22	$\overline{\text{INT}}$	割込み出力、アクティブロー。INTは、オープンドレイン出力です。
2	23	$\overline{\text{RST}}$	リセット入力、アクティブロー。2線式インタフェースをクリアするには、RSTをローにしてください。
3, 21	24, 18	AD2, AD0	アドレス入力。AD0とAD2を使って、デバイススレーブアドレスを選択してください。AD0およびAD2をGND、V+、SCL、またはSDAのいずれかに接続すると、4通りのロジックの組み合わせが実現します(表2および3を参照)。
4, 5, 10, 11, 13–20	1, 2, 7, 8, 10–17	O0, O1, O6–O15	出力ポート。これらのプッシュプル出力の定格は20mAです。
6–9	3–6	I2–I5	入力ポート。I2–I5は、最大+6Vまで保護されるCMOSロジック入力です。
12	9	GND	グラウンド
22	19	SCL	I ² C対応シリアルクロック入力
23	20	SDA	I ² C対応シリアルデータI/O
24	21	V+	正電源電圧。0.047μFのセラミックコンデンサでV+をGNDにバイパスしてください。
—	EP	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続してください。

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

MAX7326

詳細

MAX7319～MAX7329のファミリ内比較

MAX7324～MAX7327のファミリは、MAX7320の機能に加え、MAX7319、MAX7321、MAX7322、またはMAX7323のいずれか1つの機能を統合する4つのピンコンパチブル、16ポートエクスパンダから構成されています。

機能概要

MAX7326は、+1.71V～+5.5Vの電源で動作し、20mAのシンク、10mAのソース駆動能力の12個のプッシュプル出力ポート、および+6Vまで過電圧保護された4個のCMOS入力ポートを備える、汎用のポートエクスパンダです。MAX7326は合計12の組み合わせた出力から合計

100mAをシンクし、合計50mAをソースする定格を備えています。

MAX7326は、アドレス入力のAD0とAD2によって32個のI²Cスレーブアドレス(表2および3を参照)のうちのいずれか2個に設定され、最高400kHzまでのI²Cシリアルインタフェースを通じてアクセスされます。8個の出力は、その他の4個の出力および4個の入力とは異なるスレーブアドレスを使用します。8個のプッシュプル出力08～015は101xxxxというアドレスを使用し、また4個の出力00、01、06、07および入力12～15は110xxxxというアドレスを使用します。バスがロックアップした場合はRST入力によってシリアルインタフェースがクリアされ、MAX7326とのかの間のシリアル処理が終了します。

表1. MAX7319～MAX7329のファミリ内比較

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	8 inputs and 8 push-pull outputs version: 8 input ports with programmable latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7325		Up to 8	—	Up to 8	8	8 I/O and 8 push-pull outputs version: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V ₊ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

表1. MAX7319～MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN- DRAIN OUTPUTS	PUSH- PULL OUTPUTS	CONFIGURATION
MAX7326	101xxxx and 110xxxx	4	Yes	—	12	4 input-only, 12 push-pull output versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 12 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7327		Up to 4	—	Up to 4	12	4 I/O, 12 push-pull output versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 12 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups.
MAX7320	101xxxx	—	—	—	8	Output-only versions: 8 push-pull outputs with selectable power-up default levels.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups.
MAX7322	110xxxx	4	Yes	—	4	4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.

12個のプッシュプル出力および4個の入力付き、 I²Cポートエキスパンダ

MAX7326

表1. MAX7319～MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN- DRAIN OUTPUTS	PUSH- PULL OUTPUTS	CONFIGURATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports.

MAX7326がシリアルインタフェースを通じて読み取られると、ポートの実際のロジックレベルがリードバックされます。

4個の入力ポートは、ラッチ付きの遷移検出機能を備えています。すべての入力ポートが、変化があるかどうか常時監視されます。入力に変化すると、入力(単数または複数)の変化を識別する4フラグビットのうちの1フラグビットがフラグ設定されます。MAX7326に対するその後の読取りや書き込み処理時に、全フラグがクリアされます。

ラッチ割込み出力INTは、割込みマスキングレジスタを通じて4個の入力ポートにおける入力データの変化をフラグ設定するように設定されます。デフォルトでは、いずれかの入力ポートにデータの変化があるとINTがロジックローになります。シリアルインタフェースを通じてMAX7326にその後アクセスされると、割込み出力INTとすべての遷移フラグがデアサートされます。

V₊への内部プルアップ抵抗は、アドレス選択入力AD0およびAD2によって選択します。2つずつ一組みで入力ポートのプルアップがイネーブルされます(表2を参照)。

最初の電源投入

電源投入時に遷移検出口ロジックがリセットされ、INTはデアサートされます。割込みマスキングレジスタは0x3Cに設定され、4個の全入力ポートの遷移に対する割込み出力がイネーブルされます。遷移フラグがクリアされ、データの変化がないことを示します。12個のプッシュプル出力の電源投入時のデフォルト状態は、I²Cスレーブアドレス選択入力のAD0およびAD2に応じて設定されます(表2および3を参照)。2つずつ一組みで入力ポートのプルアップがイネーブルされます(表3を参照)。

パワーオンリセット(POR)

MAX7326は、電源投入時に全レジスタが既知の状態にリセットするPOR回路を内蔵しています。V₊がV_{POR}(1.6V max)を上回ると、POR回路がレジスタと2線式インタフェースを解放して通常動作が可能になります。V₊がV_{POR}を下回ると、MAX7326はすべての出力レジスタの内容をPORデフォルト値にリセットします(表2および3)。

RST入力

アクティブローのRST入力は、MAX7326に関連するI²C処理を無効にして、MAX7326をI²CのSTOP状態にするリセットとして機能します。リセット動作では、割込み出力(INT)はクリアされません。

スタンバイモード

シリアルインタフェースがアイドル状態になると、MAX7326はスタンバイモードに自動的に移行し、消費電流がごくわずかになります。

スレーブアドレス、電源投入時のデフォルトのロジックレベル、および入力プルアップの選択

アドレス入力AD0およびAD2によってMAX7326のスレーブアドレスを設定し、プルアップ抵抗を備える入力を選択します。2つずつ一組みで入力ポートのプルアップがイネーブルされます(表2を参照)。

MAX7326のスレーブアドレスは各I²C転送時に決定されます。これは、その転送がMAX7326を実際にアドレス指定しているかどうかとは関係ありません。MAX7326は、アドレス入力AD0およびAD2が、この転送時に固定ロジックレベルV₊やGNDではなく、SDAまたはSCLに接続されているかどうかを識別します。すなわち、デバイス電源をサイクルせずにMAX7326のスレーブアドレスをアプリケーションでダイナミックに設定することができます。

最初の電源投入時には、MAX7326は最初のI²C転送までアドレス入力AD0およびAD2を完全にデコードすることはできません。アドレスの選択によって電源投入時のロジック状態(出力ローまたはI/Oハイ)が決まり、プルアップをイネーブルするかどうかが決まるため、この点は重要です。ただし、電源投入時にI²CのSDAおよびSCLバスインタフェースラインは、MAX7326などのバスに接続された全デバイス(マスタまたはスレーブ)の端子においてハイインピーダンス状態になります。これは、I²C仕様の一環として保証されています。このため、アドレス入力AD0およびAD2が電源投入中にSDAまたはSCLに接続されているとき、これらの入力はV₊

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

表2. ポート00、01、I2~I5、O6、およびO7のMAX7326アドレスマップ

PIN CONNECTION		DEVICE ADDRESS								PORT POWER-UP DEFAULT								40kΩ INPUT PULLUPS ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O7	O6	I5	I4	I3	I2	O1	O0	O7	O6	I5	I4	I3	I2	O1	O0	
SCL	GND	1	1	0	0	0	0	0	1	1	Inputs				0	0	Pullups are not enabled for push-pull outputs.		Y	Y	—	—	Pullups are not enabled for push-pull outputs.		
SCL	V+	1	1	0	0	0	0	1	1	1					1	1			1	Y	Y	Y			Y
SCL	SCL	1	1	0	0	0	1	0	1	1					1	1			Y	Y	Y	Y			
SCL	SDA	1	1	0	0	0	1	1	1	1					1	1			Y	Y	Y	Y			
SDA	GND	1	1	0	0	1	0	0	1	1					0	0			Y	Y	—	—			
SDA	V+	1	1	0	0	1	0	1	1	1					1	1			Y	Y	Y	Y			
SDA	SCL	1	1	0	0	1	1	0	1	1					1	1			Y	Y	Y	Y			
SDA	SDA	1	1	0	0	1	1	1	1	1					1	1			Y	Y	Y	Y			
GND	GND	1	1	0	1	0	0	0	0	0					0	0			0	—	—	—			—
GND	V+	1	1	0	1	0	0	1	0	0					1	1			1	—	—	Y			Y
GND	SCL	1	1	0	1	0	1	0	0	0					1	1			1	—	—	Y			Y
GND	SDA	1	1	0	1	0	1	1	0	0					1	1			1	—	—	Y			Y
V+	GND	1	1	0	1	1	0	0	1	1					0	0			0	Y	Y	—			—
V+	V+	1	1	0	1	1	0	1	1	1					1	1			1	Y	Y	Y			Y
V+	SCL	1	1	0	1	1	1	0	1	1					1	1			1	Y	Y	Y			Y
V+	SDA	1	1	0	1	1	1	1	1	1					1	1			1	Y	Y	Y			Y

に接続されているように見えます。ポート選択ロジックではAD0によってポートI2およびI3のプルアップをイネーブルするかどうかを選択し、これらのポートの初期ロジックレベルを設定し、ポートI4およびI5の場合はAD2を使用します。ロジックハイのSDAまたはSCL接続ではプルアップが選択され、デフォルトのロジック状態はハイに設定されるというルールです。ロジックローではデフォルトはローに設定されます(表2および3)。したがって、標準的なI²C構成、すなわちSDAまたはSCLが外付けI²Cプルアップ抵抗によってV+までプルアップされる状態の場合は、電源投入時のポート構成は適切です。

12個のプッシュプル出力の電源投入時のデフォルト状態は、I²Cスレーブアドレス選択入力のAD0およびAD2に応じて設定されます(表2および3)

電源投入中に適切なバスのアクティビティがあるアプリケーションなどでは電源投入時のSDA = SCL = V+という前提が真でないという場合があります。また、SDAとSCLがMAX7326の電源電圧とは異なる電源電圧へのプルアップ抵抗によって終端処理され、そのプルアップ電源がMAX7326の電源よりも後で立ち上がる場合は、SDAまたはSCLは電源投入時にGNDに接続されているように見える場合があります。このようなアプリケーションでは、アドレス入力AD0およびAD2をV+またはグランドに接続することによって選択される4通りのアドレスの組合せを使用してください(表2および3において**太字**で表示)。

これらの選択は、SDAおよびSCLの動作とは無関係に電源投入時に適正になるように保証されます。他の12種類のアドレスの組合せのいずれか1つを使用する場合は、(MAX7326などのいずれかのデバイスへの)最初のI²C転送がバス上で行われるまで、プルアップの予期しない組合せがアサートされる場合があります、ポートの予期しない組合せは入力またはロジックハイ出力ではなくロジックロー出力として初期化される場合があります。

ポート入力

ポート入力はエクスパンダの電源電圧で設定されたCMOSロジックレベルで切り替わり、このエクスパンダの電源電圧に依存せず最大+6Vまで過電圧保護されます。

ポート入力の遷移検出

シリアルインタフェースを通じてエクスパンダに最後にアクセスされてから、4個の全入力ポートは変化があるかどうか監視されます。入力ポートの状態は、遷移を監視するための「スナップショット」内部レジスタに保存されます。スナップショットは現在の入力状態と常時照合され、いずれかのポート入力に変化が検出されるとそのポートに内部遷移フラグが設定されます。

4個のポート入力はサンプリングされ(スナップショットレジスタに内部ラッチされ)、以前の遷移フラグはMAX7326のあらゆる読取り/書込みアクセスのI²C確認応答時にクリアされます。以前のポート遷移フラグは、シリアルインタフェースを通じて2バイトの読取りシーケンスの第2バイトとして読み取られます。

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

MAX7326

表3. 出力O8～O15のMAX7326アドレスマップ

PIN CONNECTION		DEVICE ADDRESS							OUTPUTS POWER-UP DEFAULT							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O15	O14	O13	O12	O11	O10	O9	O8
SCL	GND	1	0	1	0	0	0	0	1	1	1	1	0	0	0	0
SCL	V+	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1
SCL	SCL	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1
SCL	SDA	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
SDA	GND	1	0	1	0	1	0	0	1	1	1	1	0	0	0	0
SDA	V+	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1
SDA	SCL	1	0	1	0	1	1	0	1	1	1	1	1	1	1	1
SDA	SDA	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
GND	GND	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0
GND	V+	1	0	1	1	0	0	1	0	0	0	0	1	1	1	1
GND	SCL	1	0	1	1	0	1	0	0	0	0	0	1	1	1	1
GND	SDA	1	0	1	1	0	1	1	0	0	0	0	1	1	1	1
V+	GND	1	0	1	1	1	0	0	1	1	1	1	0	0	0	0
V+	V+	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1
V+	SCL	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
V+	SDA	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1

長い読取りシーケンス(3バイト以上)を使って、スレーブアドレスの再送のオーバーヘッドを伴わずエクスパンダを常時ポーリングすることができます。3バイト以上がエクスパンダから読み取られる場合は、エクスパンダは2バイトの入力ポートデータ、続いて遷移フラグを反復して返します。バイトのペアが読み取られるごとに、入力反復して再サンプリングされ、遷移フラグは反復してリセットされます。長い読取りシーケンス時に発生したすべての変化が検出され、通知されます。

MAX7326は4ビットの割込みマスクレジスタを内蔵し、このレジスタを使って変化時に割込みを生成する入力を選択します。各入力の遷移フラグは、割込みマスクレジスタの設定とは関係なく、入力の変化するとフラグ設定されます。割込みマスクレジスタによって、クリティカルなイベント用にプロセッサに割り込むことができ、またそれほどクリティカルでないイベントを検出するために遷移フラグを定期的にポーリングすることができます。

INT出力は、割込み処理ルーチンへの再帰的な再移行を回避するために読取りシーケンス時に再アサートされません。その代わりに、通常であればINT出力が設定されるデータの変化が起こると、INTのアサートはSTOP状態まで遅延されます。変化した入力データが、STOPが発生する前に読み取られると、INTはSTOP状態になっ

ても再アサートされません。INTロジックによって必要な割込みはアサートされませんが、データが変化したかどうかにかかわらずデータの変化が検出され、通知されます。

遷移検出マスク

遷移検出口ロジックは、4個の入力ポートごとに変化フラグおよび割込みマスクビットを備えています。4個の変化フラグをシリアルインタフェースを通じて読み取ることができ、4ビットの割込みマスクはシリアルインタフェースを通じて設定されます。

各ポートの変化フラグはポートの入力が変化すると設定され、入力が元の状態に戻った場合も変化フラグは設定されたままです。ポートの割込みマスクは、入力ポートの変化によって割込みを生成するかどうかを設定します。割込みマスクを使って、優先順位が高い入力に対する割込みをイネーブルしてください。この割込みによって、システムはこれらの入力の変化に迅速に対応することができます。重要度が低い入力を監視するには、MAX7326を定期的にポーリングしてください。変化フラグは、MAX7326が最後にアクセスされてから永続的な変化または過渡変化がいずれかの入力に発生したかどうかを示します。

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

シリアルインタフェース

シリアルアドレス指定

MAX7326は、I²Cインタフェースを通じてデータを送受信するスレーブとして動作します。インタフェースはシリアルデータライン(SDA)とシリアルクロックライン(SCL)を使って、マスタ(単数または複数)とスレーブ(単数または複数)間の双方向通信を実現します。マスタはMAX7326との間のすべてのデータ転送を開始して、データ転送を同期化するSCLクロックを生成します(図1)。

SDAは、入力およびオープンドレイン出力として動作します。4.7k Ω (typ)のプルアップ抵抗が、SDAに必要です。SCLは、入力としてのみ動作します。2線式インタフェースに複数のマスタがある場合や、シングルマスタシステム内のマスタがオープンドレインSCL出力を備えている場合は、4.7k Ω (typ)のプルアップ抵抗がSCLに必要です。

転送はそれぞれ、マスタが送信するSTART状態、それに後続するMAX7326の7ビットスレーブアドレスおよびR/Wビット、1バイトまたは複数バイトのデータバイト、および最後のSTOP状態から構成されています(図2)。

STARTおよびSTOP状態

インタフェースがビジーでない場合は、SCLおよびSDAはともにハイ状態を維持します。SCLがハイの間に、マスタはSDAをハイからローに遷移させて、START (S)状態で転送開始を通知します。マスタはスレーブとの通信を終了すると、SCLがハイの間に、SDAをローからハイに遷移させて、STOP (P)状態を発行します。この時、バスは別の転送に対して開放されています(図2)。

ビット転送

1つのデータビットが、各クロックパルスの間に転送されます。SDA上のデータは、SCLがハイの間、安定を維持する必要があります(図3)。

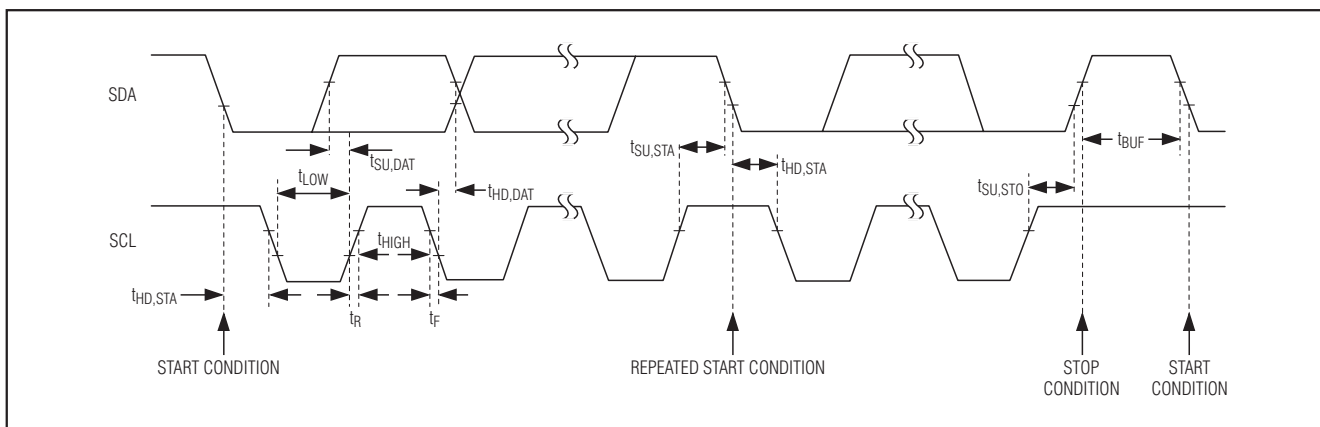


図1. 2線式シリアルインタフェースタイミング詳細

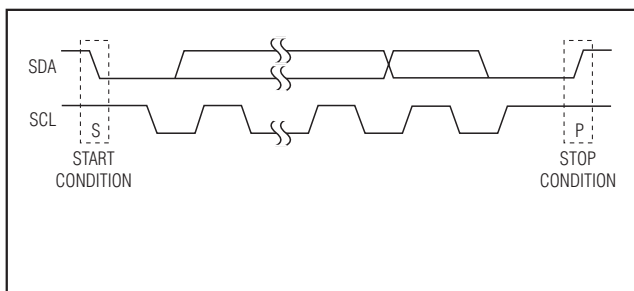


図2. STARTおよびSTOP状態

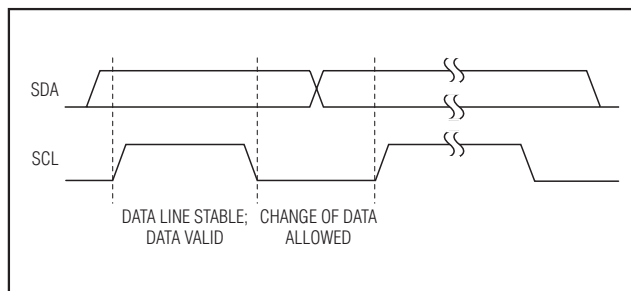


図3. ビット転送

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

確認応答

確認応答ビットはクロック制御された第9ビットであり、受信側はこのビットを使って各データバイトの受信を確認応答します(図4)。転送される各バイトには、実質的に9ビットが必要です。マスタは第9クロックパルスを生成し、確認応答クロックパルス時に受信側がSDAをプルダウンします。このため、クロックパルスがハイである間、SDAラインはローで安定しています。マスタがMAX7326に送信しているときは、MAX7326が受信側であるため、MAX7326が確認応答ビットを生成します。MAX7326がマスタに送信している場合は、マスタが受信側であるため、マスタが確認応答ビットを生成します。

スレーブアドレス

MAX7326は、2種類の7ビットのスレーブアドレスを備えています(図5)。各アドレスは、8個のプッシュプル出力08~015と通信を行うか、その他の8個のI/Oと通信を行うかで異なります。7ビットのスレーブアドレスに後続する第8ビットは、R/Wビットです。このビットは書き込みコマンドの場合はローで、読取りコマンドの場合はハイです。

MAX7326のスレーブアドレスの第1 (A6)、第2 (A5)、および第3 (A4)ビットはそれぞれ、常に1、1、および0 (00、01、12~15、06、ならびに07)または1、0、および1 (08~015)です。スレーブアドレスビットA3、

A2、A1、およびA0を選択するには、AD0およびAD2をGND、V+、SDA、またはSCLに接続してください。MAX7326では16個のスレーブアドレス(表2および3)が可能のため、I²Cバス上に最大16個のMAX7326デバイスを接続することができます。

MAX7326へのアクセス

MAX7326には、I²Cシリアルインタフェースを通じてアクセスします。MAX7326は、8個のポート(00、01、12~15、06、07)からなるグループAまたは8個のポート(08~015)からなるグループB用に2種類の7ビットスレーブアドレスを備えています。表2と表3を参照してください。

マスタがスレーブアドレスバイトを確認応答すると、MAX7326のグループAポートからの1バイトの読取りによって(入力としてリードバックされた) 4個の入力ポートおよび4個の出力ポートの状態が返され、内部遷移フラグとINT出力の両方がクリアされます。MAX7326のグループBポートからの1バイトの読取りは、入力としてリードバックされた8個の出力ポートの状態を返します。

MAX7326のグループAポートからの2バイトの読取りは(1バイトの読取りと同じように) 4個の入力ポートの状態、続いて4個の入力ポートおよび4個の出力ポートの4つの遷移フラグを返します。マスタがスレーブアドレスバイトを確認応答すると内部遷移フラグとINT出力がクリアされますが、それまでの遷移フラグデータは第2バイトとして送信されます。MAX7326のグループBポートからの2バイトの読取りは、入力としてリードバックされた8個の出力ポートの状態を反復して返します。

MAX7326のグループAポートからのマルチバイトの読取り(I²C STOPビットの前に3バイト以上)は、ポートデータ、続いて遷移フラグを反復して返します。データは転送ごとに再サンプリングされ、遷移フラグは毎回リセットされるため、マルチバイトの読取りは最新データを常に返し、変化する入力ポートを識別します。

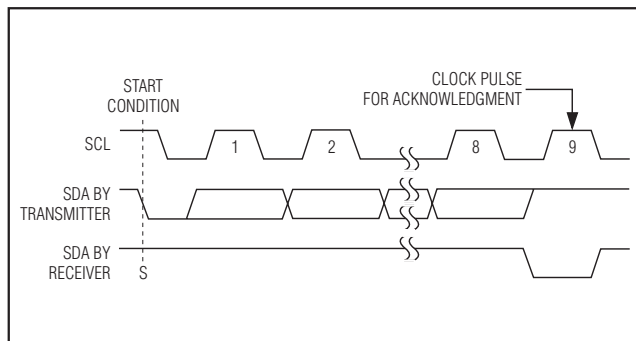


図4. 確認応答

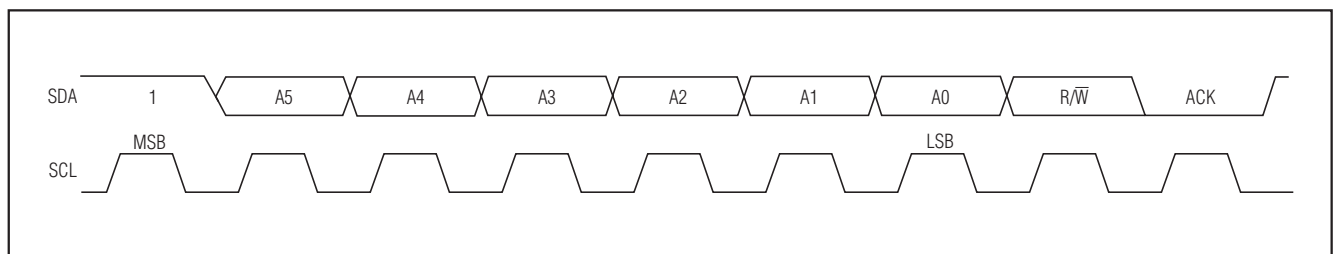


図5. スレーブアドレス

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

ポート入力データの変化が読取りシーケンス時に発生した場合は、I²C STOPビットの間にINTが再アサートされます。MAX7326は、1バイトまたはマルチバイトの読取り中に他の割込みを生成しません。

入力ポートデータは、前に位置するI²C確認応答ビット(1バイトまたは2バイトの読取りの場合は、I²Cスレーブアドレスの確認応答ビット)の間にサンプリングされます。

MAX7326のグループBポートからのマルチバイトの読取り(I²C STOPビットの前に3バイト以上)は、入力としてリードバックされた8個の出力ポートの状態を反復的に返します。

マスタがスレーブアドレスバイトを確認応答すると、MAX7326のグループAポートへの1バイトの書込みによって4個のI/Oポートおよび4ビットの割込みマスクレジスタのロジック状態が設定され、内部遷移フラグおよびINT出力の両方がクリアされます。

MAX7326の出力ポートに対する1バイトの書込みによって、8個の全出力のロジック状態が設定されます。

MAX7326のグループAへのマルチバイトの書込みによって、4個のI/Oポートおよび割込みマスクレジスタのロジック状態が繰返し設定されます。

MAX7326のグループBポートへのマルチバイトの書込みによって、8個の全ポートのロジック状態が繰返し設定されます。

MAX7326からの読取り

MAX7326のグループAポートからの読取りは、R/ $\overline{W}$ ビットをハイに設定してマスタがポートグループのスレーブアドレスを送信することから開始されます。MAX7326はスレーブアドレスを確認応答し、確認応答ビット時にポートをサンプリングします(スナップショットを取得)。INTは、スレーブアドレスの確認応答時にハイになります(外付けプルアップ抵抗が未装備の場合はハイインピーダンス)。次にマスタは、確認応答後にSTOP状態を発行することができます(図6)。マスタが確認応答せずにシリアル処理を終了する場合は、スナップショットは取得されず、INTの状態は変わりません。

通常は、受信時にマスタが各バイトを確認応答しながら、マスタがMAX7326から1バイトまたは2バイトを読み取ります。

マスタはMAX7326のグループAポートから1バイトを読み取り、STOP状態を発行することができます(図6)。この場合、MAX7326は最新のポートデータを送信し、遷移フラグをクリアし、遷移検出をリセットします。INTは、スレーブアドレスの確認応答時にハイになります(外付けプルアップ抵抗が未装備の場合はハイインピーダンス)。新規のスナップショットデータはマスタに送信された最新のポートデータです。このため、送信時に発生したポートの遷移が検出されます。INTは、STOP状態までハイ状態を維持します。

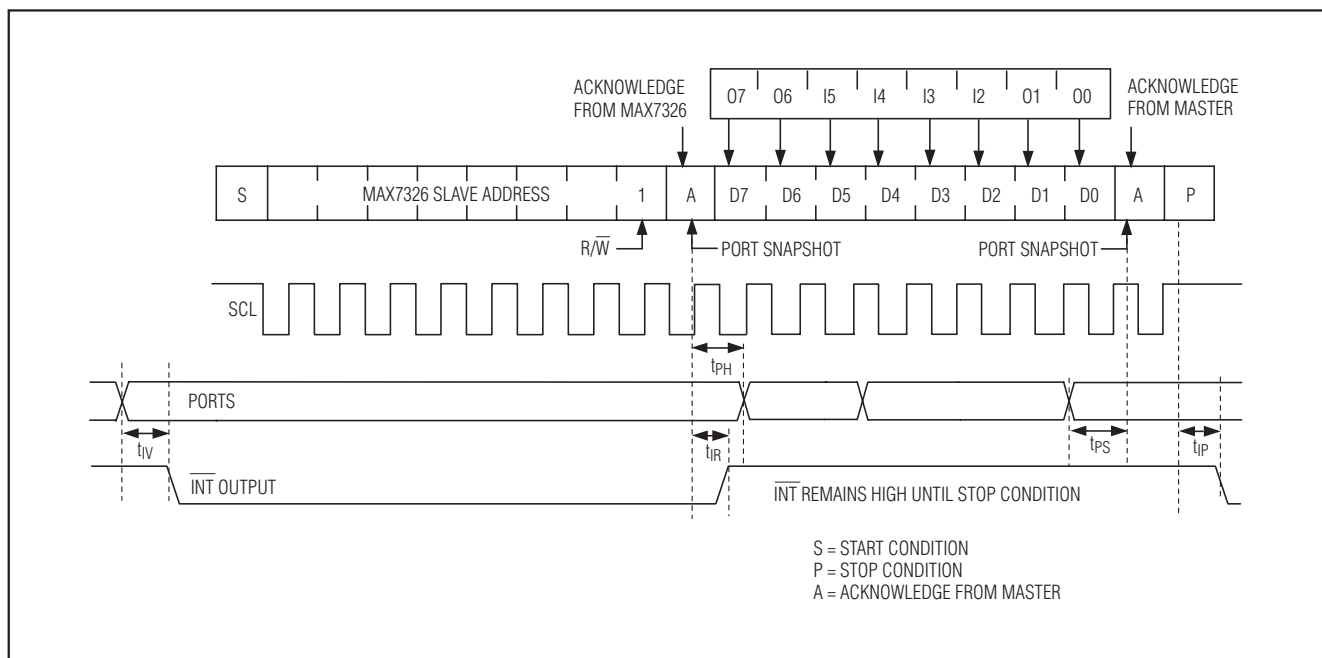


図6. MAX7326のグループAポートの読取り(1バイトのデータバイト)

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

マスタはMAX7326のグループAポートから2バイトを読み取り、次にSTOP状態を発行することができます(図7)。この場合、MAX7326は最新のポートデータ、続いて遷移フラグを送信します。次に遷移フラグがクリアされ、遷移検出が再始動します。INTは、スレーブの確認応答時にハイになります(外付けプルアップ抵抗が未装備の場合はハイインピーダンス)。新規のスナップショットデータはマスタに送信された最新のポートデータです。このため、送信時に発生したポートの遷移が検出されます。INTは、STOP状態までハイ状態を維持します。

MAX7326のグループBポートからの読み取りは、R/Wビットをハイに設定してマスタがグループのスレーブアドレスを送信することから開始されます。MAX7326はスレーブアドレスを確認応答し、確認応答ビットの間に出力ポートのロジック状態をサンプリングします。マスタはMAX7326の出力ポートから1バイトまたは複

数バイトを読み取り、次にSTOP状態を発行することができます(図8)。MAX7326は、確認応答時に(ポート出力ラッチではなく)実際のポート出力からリードバックされた最新のポートデータを送信します。ポートが設定した状態以外のロジック状態に強制された場合は、そのリードバックによってこれが反映されます。容量性負荷を駆動する場合は、場合によってはリードバックポートレベル検証アルゴリズムではRC立上り/立下り時間を考慮する必要があります。

通常、マスタはMAX7326のグループBポートから1バイトを読み取り、次にSTOP状態を発行します(図8)。ただし、マスタはMAX7326の出力ポートから2バイト以上を読み取り、次にSTOP状態を発行することができます。この場合、MAX7326は各確認応答時にポート出力を再サンプリングし、新規のデータを毎回送信します。

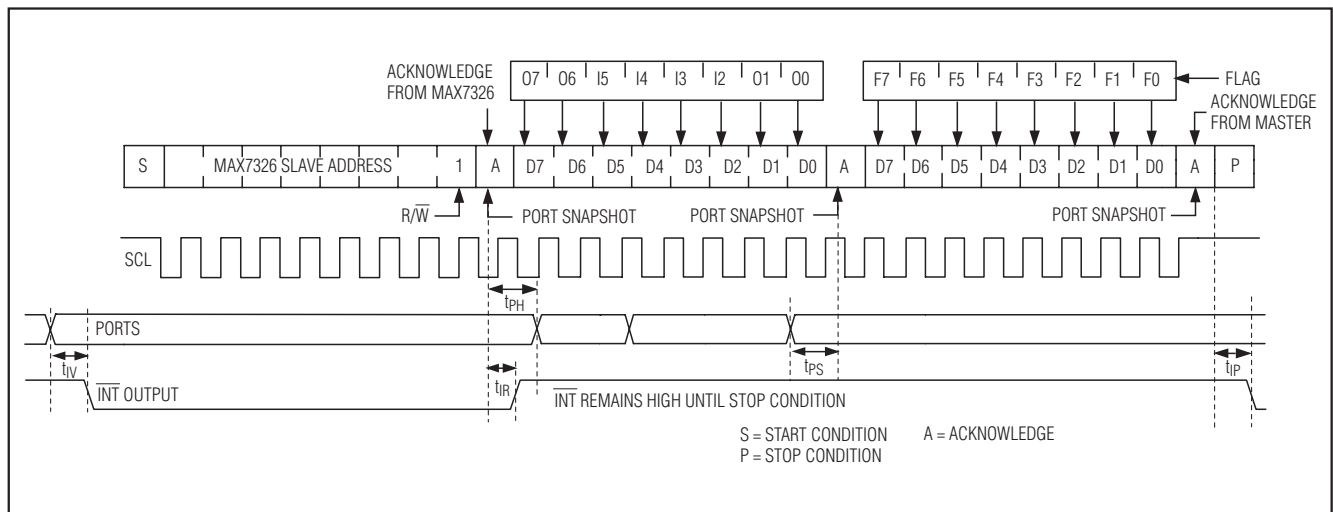


図7. MAX7326のグループAポートの読み取り(2バイトのデータバイト)

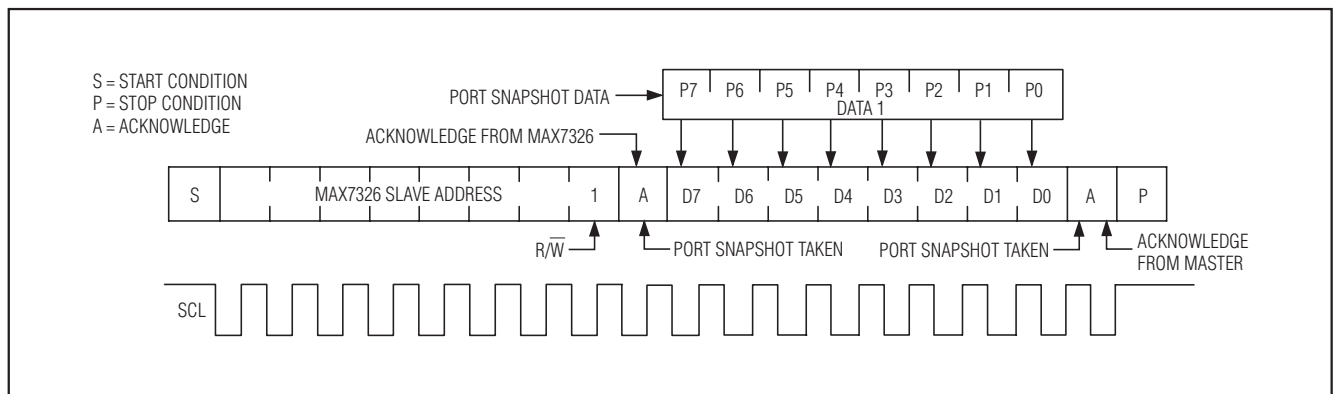


図8. MAX7326のグループBポートの読み取り

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

MAX7326への書込み

MAX7326のグループAポートへの書込みは、R/Wビットをローに設定してマスタがグループのスレーブアドレスを送信することから開始されます。MAX7326はスレーブアドレスを確認応答し、確認応答ビット時にポートをサンプリングします。INTは、スレーブアドレスの確認応答時にハイになります(外付けプルアップ抵抗が未装備の場合はハイインピーダンス)。次に、マスタは確認応答後にSTOP状態を発行可能ですが(図6)、通常、マスタは1データバイトまたは複数のデータバイトの送信を開始します。MAX7326は後続するデータバイトを確認応答し、マスタがSTOP状態を発行するまで、4個の出力ポートおよび4ビット割込みマスクレジスタを新規バイトごとに更新します(図9)。

MAX7326のグループBポートへの書込みは、R/Wビットをローに設定してマスタがグループのスレーブアドレスを送信することから開始されます。MAX7326はスレーブアドレスを確認応答し、確認応答ビット時にポートをサンプリングします。これで、マスタは1データバイトまたは複数データバイトを送信することができます。MAX7326は後続するデータバイトを確認応答し、マスタがSTOP状態を発行するまで、該当するグループのポートを新規バイトごとに更新します(図10)。

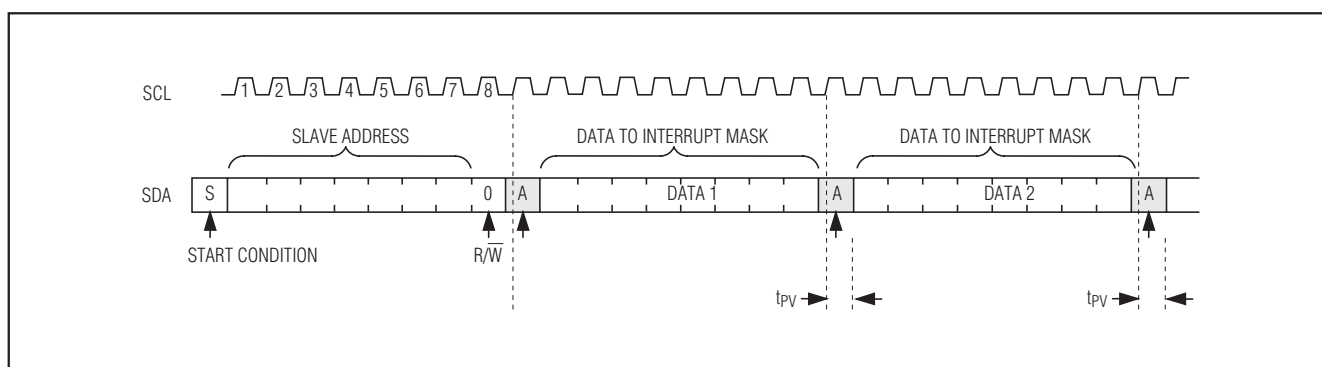


図9. MAX7326のグループAポートへの書込み

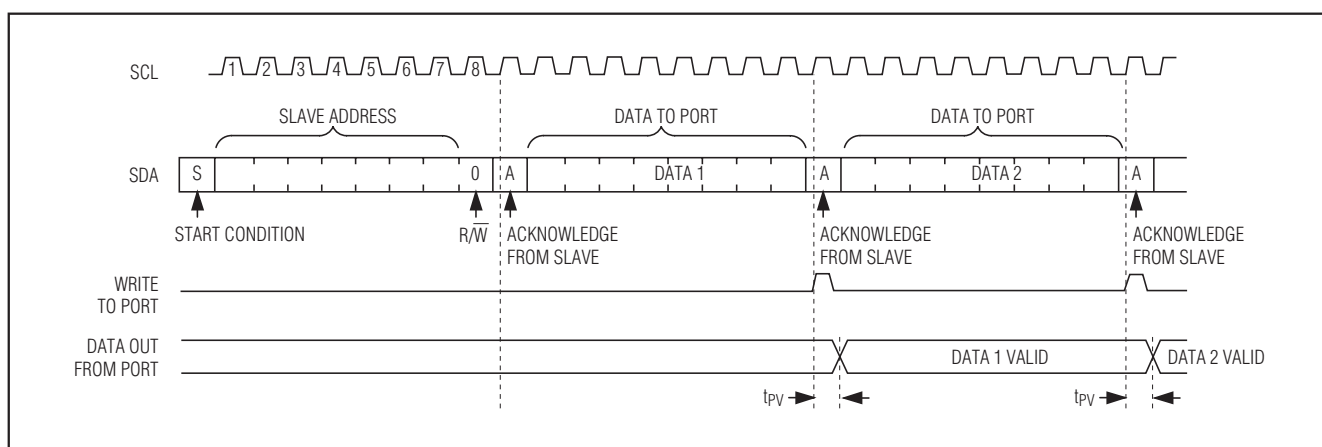


図10. MAX7326のグループBポートへの書込み

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

MAX7326

アプリケーション情報

ポート入力とI²Cインタフェース間の高ロジック電圧 または低ロジック電圧からのレベル変換

MAX7326のSDA、SCL、AD0、AD2、RST、TINT、およびI2～I5は、V+から独立して最大+6Vまで過電圧保護されます。このため、MAX7326は+3.3Vなどの低い電源電圧で動作しながら、I²Cインタフェースや4個のどの入力ポートも+5Vなどの高いロジックレベルで駆動されます。

MAX7326は+3Vなどの高電源電圧で動作可能ですが、I²Cインタフェースや4個の入力ポートI2～I5の一部は+2.5Vなどの低ロジックレベルで駆動されます。V+が1.8Vを下回る場合は、いずれかの入力でロジックハイをアサートするには、 $0.8 \times V+$ の最低電圧を印加してください。V+が1.8V以上の場合は、ロジックハイをアサートするには、 $0.7 \times V+$ の電圧を印加してください。たとえば、+5Vの電源で動作するMAX7326は、+3.3V定格のロジックハイを認識しない場合があります。入力レベル変換の1つのソリューションは、オープンドレイン出力からMAX7326の入力を駆動することです。 $0.7 \times V+$ を超えるロジックハイ電圧を確保するには、V+以上の電源へのプルアップ抵抗を使用してください。

ポート出力信号のレベル変換

プッシュプル出力ポート(O0、O1、およびO6～O15)はそれぞれ、V+およびGNDに対する保護ダイオードを備えています(図11)。ポート出力がV+を上回る電圧ま

たはGNDを下回る電圧にされると、該当する保護ダイオードはその出力をダイオード1個の降下分だけV+より上に、またはGNDより下にクランプします。出力ポートO0、O1、およびO6～O15に過電圧を印加しないでください。MAX7326がパワーダウンされると($V+ = 0$)、各出力ポートはGNDへのダイオードクランプとして示されます(図11)。

4個の入力ポートI2～I5はそれぞれ、GNDへの保護ダイオードを備えています(図12)。ポート入力GNDを下回る電圧にされると、保護ダイオードは出力をダイオード1個の降下分だけGNDより下にクランプします。

また、4個の入力ポート(I2～I5)はそれぞれ、イネーブルまたはディセーブル可能な40k Ω (typ)のプルアップ抵抗も備えています。ポート入力V+を上回る電圧にされると、プルアップイネーブルスイッチのボディダイオードが導通し、40k Ω のプルアップ抵抗がイネーブルされます。MAX7326がパワーダウンされると($V+ = 0$)、各入力ポートはゼロ電位と接続されたダイオードと直列の40k Ω 抵抗として示されます。入力ポートは、こうした状況でも最大+6Vまで保護されます(図12)。

LED負荷の駆動

LEDを12個の出力ポート(O0、O1、またはO6～O15)のいずれか1つから駆動するときは、抵抗をLEDと直列に接続して、LED電流を20mA以下に制限する必要があります。LEDのカソードをMAX7326のポートに、LEDのアノードをV+に直列電流制限抵抗 R_{LED} を通じて接続してください。LEDを点灯するには、ポート出力をロー

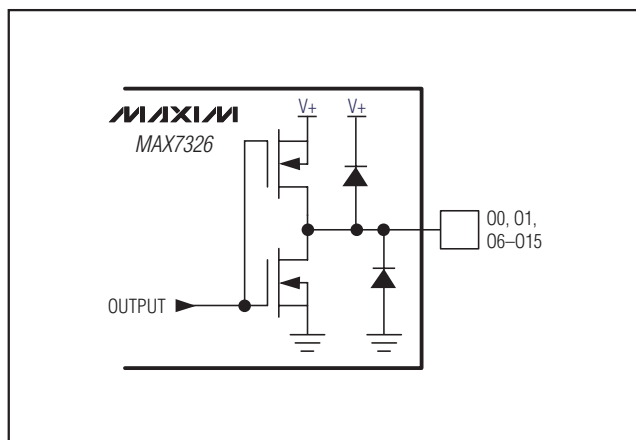


図11. MAX7326のプッシュプル出力ポート構造

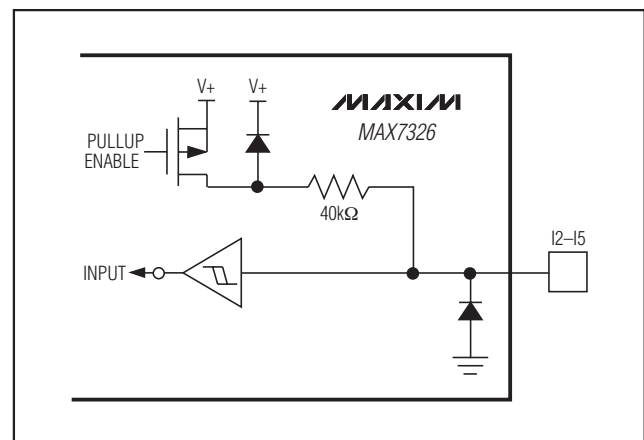


図12. MAX7326の入力ポート構造

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

に設定してください。次式に従って、抵抗値を選択してください。

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

ここで、

R_{LED} は、LEDと直列の抵抗器の抵抗です(Ω)。

V_{SUPPLY} は、LEDの駆動用の電源電圧です(V)。

V_{LED} は、LEDの順方向電圧です(V)。

V_{OL} は、 I_{LED} をシンクする際のMAX7326の出力低電圧です(V)。

I_{LED} は、LEDの希望する動作電流です(A)。

たとえば、+5V電源で10mAにおいて2.2Vの赤色LEDを動作させる場合は、以下のとおりです。

$$R_{LED} = (5 - 2.2 - 0.1) / 0.01 = 270\Omega$$

20mAを上回る負荷電流の駆動

MAX7326を使って、出力を並列に接続して消費電流が20mAを上回るリレーなどの負荷を駆動することができます。20mAの負荷電流当り最低1個の出力を使用してください。たとえば、5V、330mWリレーは66mAの電流を消費するため、4個の平行出力が必要です。出力の任意の組合せを負荷分散設計の一環として使用可能です。これは、MAX7326に書き込むことによって、ポートの任意の組合せを同時に設定またはクリアすることができるためです。デバイスの合計シンク電流は100mAを超えないでください。

誘導性負荷に逆バイアスダイオードを接続して、(リレーなどの)誘導性負荷をオフに切り替える際に発生する負電圧過渡からMAX7326を保護する必要があります。

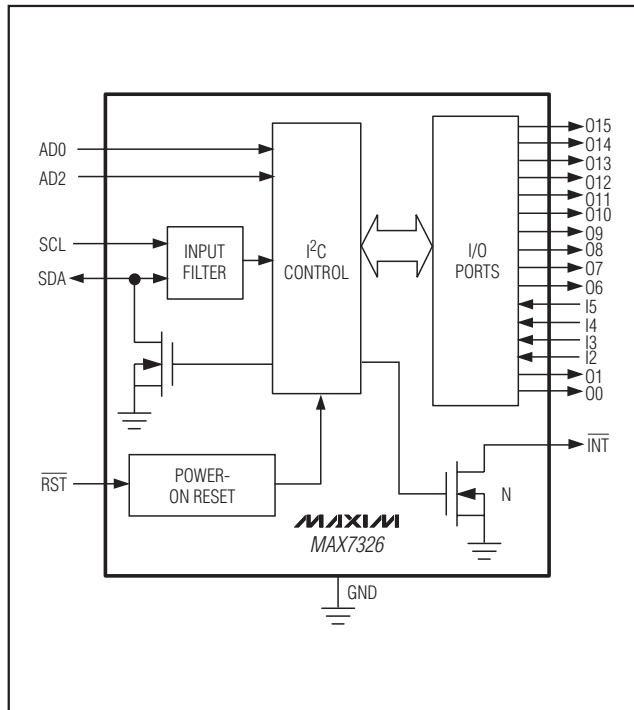
ダイオードのピーク電流は、誘導性負荷の動作電流を上回るように選択してください。

電源に関して

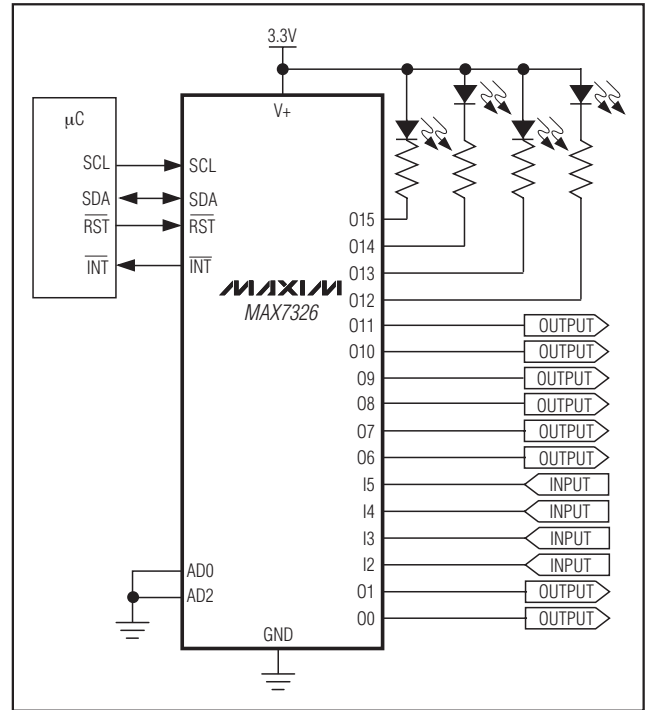
MAX7326は、-40℃～+125℃の温度範囲にわたって+1.71V～+5.5Vの電源電圧で動作します。デバイスにできるだけ近接した最低0.047μFのセラミックコンデンサで電源をGNDにバイパスしてください。TQFNバージョンの場合は、さらにエクスポーズドパッドをGNDに接続してください。

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

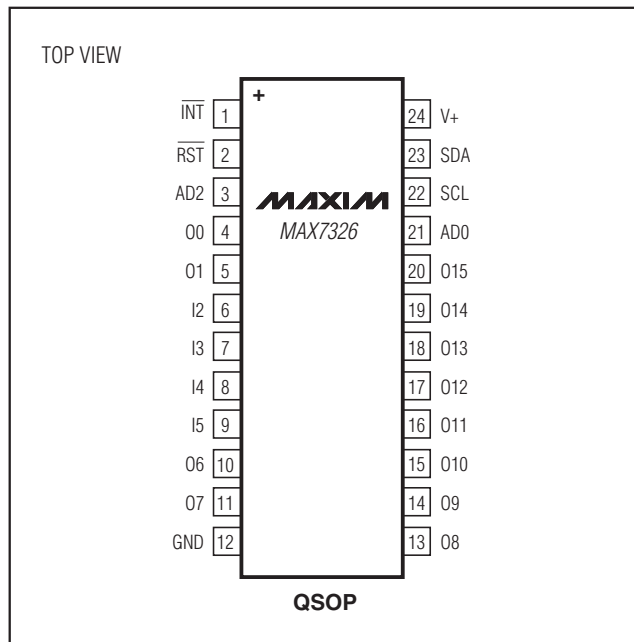
ファンクションダイアグラム



標準動作回路



ピン配置(続き)



チップ情報

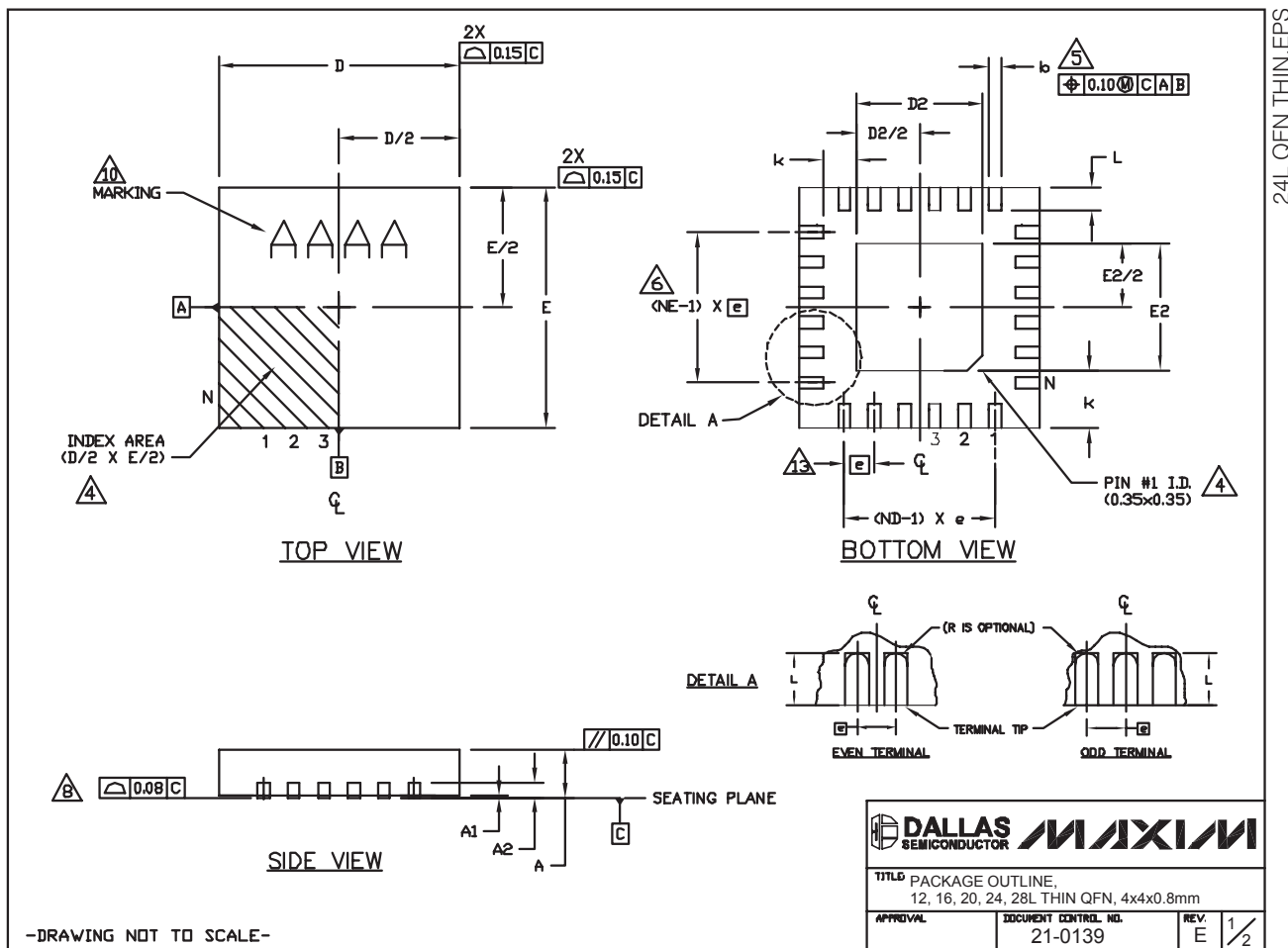
PROCESS: BiCMOS

MAX7326

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX7326

COMMON DIMENSIONS															
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	12			16			20			24			28		
ND	3			4			5			6			7		
NE	3			4			5			6			7		
JEDEC Var.	VGG3			VGGC			WGGD-1			WGGD-2			WGGE		

EXPOSED PAD VARIATIONS							
PKG. CODES	D2			E2			DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO
T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.

2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.

3. N IS THE TOTAL NUMBER OF TERMINALS.

4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.

10. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

11. COPLANARITY SHALL NOT EXCEED 0.08mm

12. WARPAGE SHALL NOT EXCEED 0.10mm

13. LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ± 0.05 .

14. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

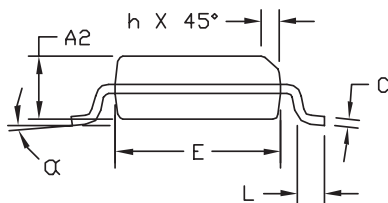
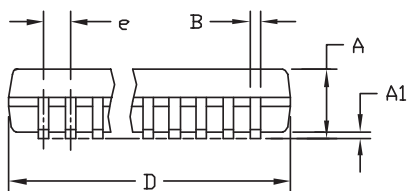
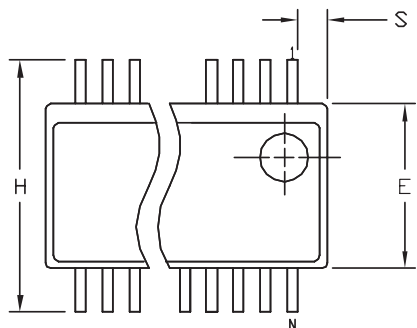
-DRAWING NOT TO SCALE-

 DALLAS SEMICONDUCTOR			
TITLE PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0139	REV. E	2/2

12個のプッシュプル出力および4個の入力付き、 I²Cポートエクスパンダ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.053	.069	1.35	1.75
A1	.004	.010	.102	.254
A2	.049	.065	1.245	1.651
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N	
	MIN.	MAX.	MIN.	MAX.		
D	.189	.196	4.80	4.98	16	AB
S	.0020	.0070	0.05	0.18		
D	.337	.344	8.56	8.74	20	AD
S	.0500	.0550	1.270	1.397		
D	.337	.344	8.56	8.74	24	AE
S	.0250	.0300	0.635	0.762		
D	.386	.393	9.80	9.98	28	AF
S	.0250	.0300	0.635	0.762		

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

 DALLAS SEMICONDUCTOR			
PROPRIETARY INFORMATION			
TITLE			
PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH			
APPROVAL	DOCUMENT CONTROL NO. 21-0055	REV. F	1 / 1

QSOP-EP8

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.