

MAXIM

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

概要

MAX9209/MAX9213は、21ビットのLVTTTL/LVCMOSパラレル入力データを3つのLVDS出力にシリアル変換します。4番目のLVDS出力のパラレルレートクロックは、パラレル変換のタイミングを提供します。

MAX9209/MAX9213は、設定可能なDCバランスを備え、このため、AC結合を使用するシリアライザとデシリアライザ間のアイソレーションが可能です。各チャンネルのDCバランス回路は、送出する1と0の不均衡を設定範囲内に制限して、データをコード化します。データをデコードするMAX9210/MAX9214デシリアライザがそのペアとして使用されます。DCバランスを設定しない場合、このシリアライザはDS90CR215やDS90CR217などの非DCバランスの21ビットシリアライザと互換です。

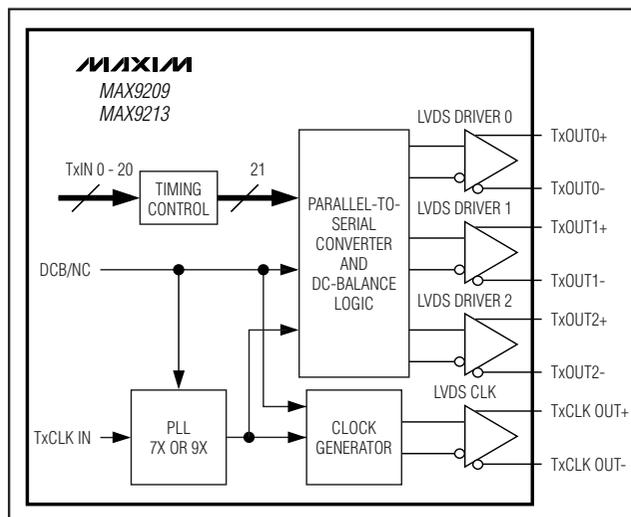
2種の周波数範囲と2種のDCバランスのデフォルト条件を利用することによって、既存の非DCバランスシリアライザとの最大限の置き換えと互換性が可能になります。

MAX9209/MAX9213は、TSSOP、および省スペースのTQFNパッケージで提供されます。

アプリケーション

- 車載用ナビゲーションシステム
- 車載DVDエンターテインメントシステム
- デジタル複写機
- レーザープリンタ

ファンクションダイアグラム



ピン配置は、データシートの最後に記載されています。

特長

- ◆ DCバランス、非DCバランス動作を設定可能
- ◆ DCバランスによって、グランドシフトを許容するAC結合が可能
- ◆ 最低動作周波数：8MHz
- ◆ 非DCバランスモード時、DS90CR215およびDS90CR217とピン互換
- ◆ 110Ω (DCバランス)および410Ω (非DCバランス)の出力抵抗を内蔵
- ◆ 5V耐圧のLVTTTL/LVCMOSデータ入力
- ◆ 外付け部品が不要なPLL
- ◆ 最高1.785Gbpsのスループット
- ◆ LVDS出力は、IEC 61000-4-2およびISO 10605要件に適合
- ◆ LVDS出力は、ANSI TIA/EIA-644 LVDS規格に準拠
- ◆ 薄型48ピンTSSOPおよび省スペースのQFNパッケージ
- ◆ 動作温度範囲：-40°C～+85°C
- ◆ 電源：+3.3V

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9209ETM*	-40°C to +85°C	48 Thin QFN-EP**
MAX9209EUM	-40°C to +85°C	48 TSSOP
MAX9209GUM	-40°C to +105°C	48 TSSOP
MAX9213ETM	-40°C to +85°C	48 Thin QFN-EP**
MAX9213EUM	-40°C to +85°C	48 TSSOP

*開発中。入手性についてはお問い合わせください。

**EP = エクスポーズドパッド

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND-0.5V to +4.0V
 LVDS Outputs (TxOUT₋, TxCLK OUT₋) to GND ...-0.5V to +4.0V
 5V Tolerant LVTTTL/LVCMOS Inputs
 (TxIN₋, TxCLK IN, PWRDWN) to GND-0.5V to +6.0V
 (DCB/NC) to GND-0.5V to (V_{CC} + 0.5V)
 LVDS Outputs (TxOUT₋, TxCLK OUT₋)
 Short to GND and Differential ShortContinuous
 Continuous Power Dissipation (T_A = +70°C)
 48-Pin TSSOP (derate 16mW/°C above +70°C) 1282mW
 48-Lead QFN (derate 26.3mW/°C above +70°C)2105mW
 Storage Temperature Range-65°C to +150°C

Junction Temperature+150°C
 ESD Protection
 Human Body Model (R_D = 1.5kΩ, C_S = 100pF)
 All Pins to GND±2kV
 IEC 61000-4-2 (R_D = 330Ω, C_S = 150pF)
 Contact Discharge (TxOUT₋, TxCLK OUT₋) to GND±8kV
 Air Gap Discharge (TxOUT₋, TxCLK OUT₋) to GND ..±15kV
 ISO 10605 (R_D = 2kΩ, C_S = 330pF)
 Contact Discharge (TxOUT₋, TxCLK OUT₋) to GND±8kV
 Air Gap Discharge (TxOUT₋, TxCLK OUT₋) to GND ..±25kV
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, R_L = 100Ω ±1%, PWRDWN = high, DCB/NC = high or low, unless otherwise noted. Typical values are at V_{CC} = +3.3V, T_A = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SINGLE-ENDED INPUTS (TxIN₋, TxCLK IN, PWRDWN, DCB/NC)							
High-Level Input Voltage	V _{IH}	TxIN ₋ , TxCLK IN, PWRDWN	2.0		5.5	V	
		DCB/NC	2.0		V _{CC} + 0.3		
Low-Level Input Voltage	V _{IL}		-0.3		+0.8	V	
Input Current	I _{IN}	V _{IN} = high or low, PWRDWN = high or low	-20		+20	μA	
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA		-0.9	-1.5	V	
LVDS OUTPUTS (TxOUT₋, TxCLK OUT)							
Differential Output Voltage	V _{OD}	Figure 1	250	350	450	mV	
Change in V _{OD} Between Complementary Output States	ΔV _{OD}	Figure 1		2	25	mV	
Output Offset Voltage	V _{OS}	Figure 1	1.125	1.25	1.375	V	
Change in V _{OS} Between Complementary Output States	ΔV _{OS}	Figure 1		10	30	mV	
Output Short-Circuit Current	I _{OS}	V _{OUT+} or V _{OUT-} = 0V or V _{CC} , non-DC-balanced mode	-10	±5.7	+10	mA	
		V _{OUT+} or V _{OUT-} = 0V or V _{CC} , DC-balanced mode	-15	±8.2	+15		
Magnitude of Differential Output Short-Circuit Current	I _{OSD}	V _{OD} = 0V, non-DC-balanced mode (Note 3)		5.7	10	mA	
		V _{OD} = 0V, DC-balanced mode (Note 3)		8.2	15		
Differential Output Resistance	R _O	DC-balanced mode		78	110	147	Ω
			-40°C to +105°C	78	110	150	
		Non-DC-balanced mode		292	410	547	
			-40°C to +105°C	292	410	564	

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.6V$, $R_L = 100\Omega \pm 1\%$, $\overline{PWRDWN} = \text{high}$, $DCB/NC = \text{high or low}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output High-Impedance Current	I_{OZ}	$\overline{PWRDWN} = \text{low or } V_{CC} = 0V$, $V_{OUT+} = 0V \text{ or } 3.6V$, $V_{OUT-} = 0V \text{ or } 3.6V$	-0.5	± 0.1	+0.5	μA
Worst-Case Supply Current	I_{CCW}	DC-balanced mode, worst-case pattern, $C_L = 5pF$, Figure 2	8MHz MAX9209	40	54	mA
			16MHz MAX9209	48	68	
			34MHz MAX9209	71	90	
			16MHz MAX9213	46	64	
			34MHz MAX9213	59	87	
			66MHz MAX9213	94	108	
		Non-DC-balanced mode, worst-case pattern, $C_L = 5pF$, Figure 2	10MHz MAX9209	30	39	
			20MHz MAX9209	37	53	
			33MHz MAX9209	49	70	
			40MHz MAX9209	56	75	
			20MHz MAX9213	36	49	
			33MHz MAX9213	45	62	
			40MHz MAX9213	49	70	
			66MHz MAX9213	68	89	
85MHz MAX9213	83	100				
Power-Down Supply Current	I_{CCZ}	$\overline{PWRDWN} = \text{low}$		17	50	μA

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+3.6V$, $R_L = 100\Omega \pm 1\%$, $C_L = 5pF$, $\overline{PWRDWN} = \text{high}$, $DCB/NC = \text{high or low}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.) (Notes 4, 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LVDS Low-to-High Transition Time	LLHT	Figure 3	MAX9209	150	280	400	ps
			MAX9213	150	260	350	
LVDS High-to-Low Transition Time	LHLT	Figure 3	MAX9209	150	280	400	ps
			MAX9213	150	260	350	
TxCLK IN Transition Time	TCIT	Figure 4			4	ns	
Output Pulse Position	TPPosN	N = 0, 1, 2, 3, 4, 5, 6 non-DC-balanced mode, Figure 5 (Note 6)	10MHz MAX9209	$N/7 \times TCIP - 0.25$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.25$	ns
			20MHz MAX9209	$N/7 \times TCIP - 0.15$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.15$	
			40MHz MAX9209	$N/7 \times TCIP - 0.1$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.1$	
			20MHz MAX9213	$N/7 \times TCIP - 0.25$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.25$	
			40MHz MAX9213	$N/7 \times TCIP - 0.15$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.15$	
			85MHz MAX9213	$N/7 \times TCIP - 0.1$	$N/7 \times TCIP$	$N/7 \times TCIP + 0.1$	
		N = 0, 1, 2, 3, 4, 5, 6, 7, 8 DC-balanced mode, Figure 6 (Note 6)	8MHz MAX9209	$N/9 \times TCIP - 0.25$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.25$	
			16MHz MAX9209	$N/9 \times TCIP - 0.15$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.15$	
			34MHz MAX9209	$N/9 \times TCIP - 0.1$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.1$	
			16MHz MAX9213	$N/9 \times TCIP - 0.25$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.25$	
			34MHz MAX9213	$N/9 \times TCIP - 0.15$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.15$	
			66MHz MAX9213	$N/9 \times TCIP - 0.1$	$N/9 \times TCIP$	$N/9 \times TCIP + 0.1$	

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +3.0V$ to $+3.6V$, $R_L = 100\Omega \pm 1\%$, $C_L = 5pF$, $\overline{PWRDWN} = \text{high}$, $DCB/NC = \text{high or low}$, unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$.) (Notes 4, 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TxCLK IN High Time	TCIH	Figure 7	$0.3 \times TCIP$		$0.7 \times TCIP$	ns
TxCLK IN Low Time	TCIL	Figure 7	$0.3 \times TCIP$		$0.7 \times TCIP$	ns
TxIN to TxCLK IN Setup	TSTC	Figure 7	2.2			ns
TxIN to TxCLK IN Hold	THTC	Figure 7	0			ns
TxCLK IN to TxCLK OUT Delay	TCCD	Non-DC-balanced mode, Figure 8	3.5	4.5	6.0	ns
		DC-balanced mode, Figure 8	4.7	5.9	7.2	
Serializer Phase-Locked Loop Set	TPLLS	Figure 9			$32800 \times TCIP$	ns
Serializer Power-Down Delay	TPDD	Figure 10		14	50	ns
TxCLK IN Cycle-to-Cycle Jitter (Input Clock Requirement)	TJIT				2	ns
Magnitude of Differential Output Voltage	V_{OD}	595Mbps data rate, worst-case pattern	250			mV

Note 1: Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground except V_{OD} , ΔV_{OD} , and ΔV_{OS} .

Note 2: Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at $T_A = +25^\circ C$.

Note 3: Guaranteed by design.

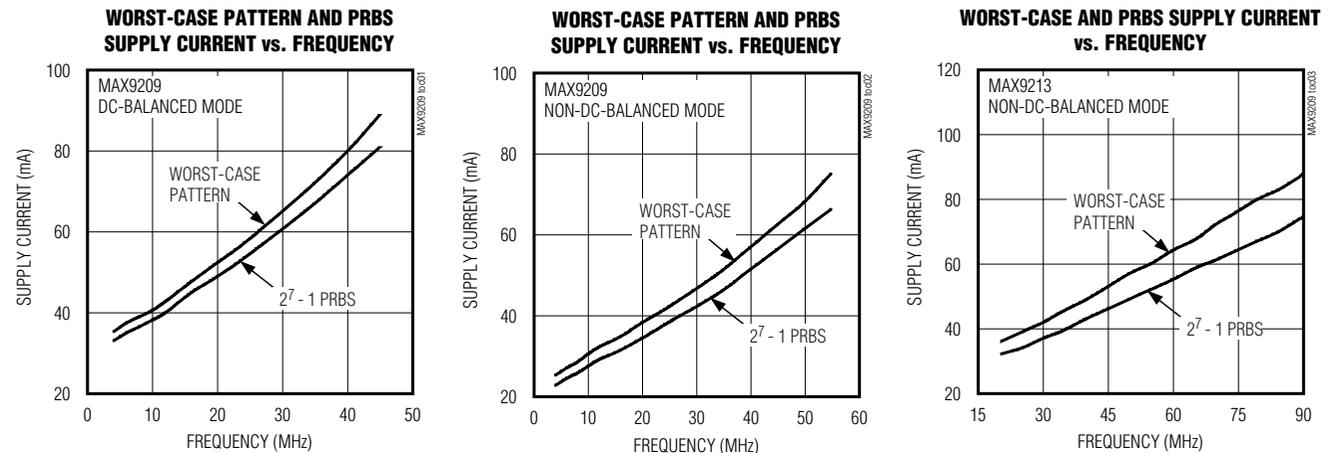
Note 4: TCIP is the period of TxCLK IN.

Note 5: AC parameters are guaranteed by design and characterization, and are not production tested. Limits are set at ± 6 sigma.

Note 6: Pulse position TPosN is characterized using $2^7 - 1$ PRBS data.

標準動作特性

($V_{CC} = +3.3V$, $R_L = 100\Omega \pm 1\%$, $C_L = 5pF$, $\overline{PWRDWN} = \text{high}$, $T_A = +25^\circ C$, unless otherwise noted.)

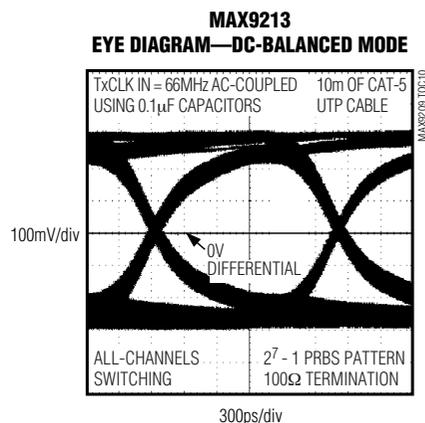
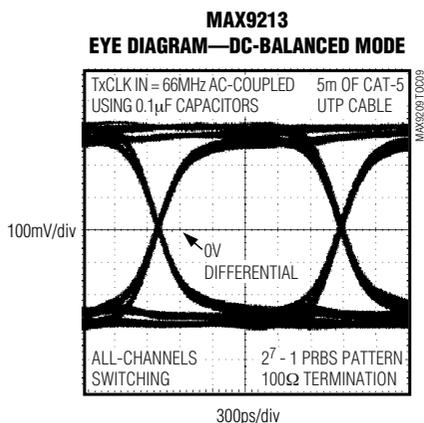
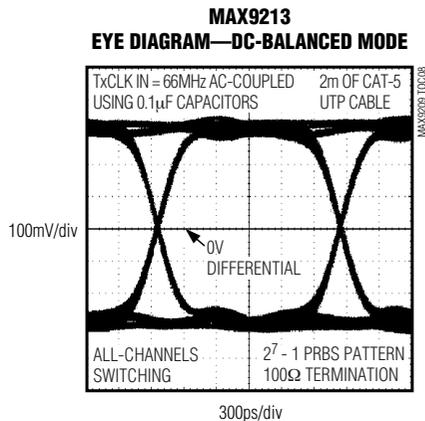
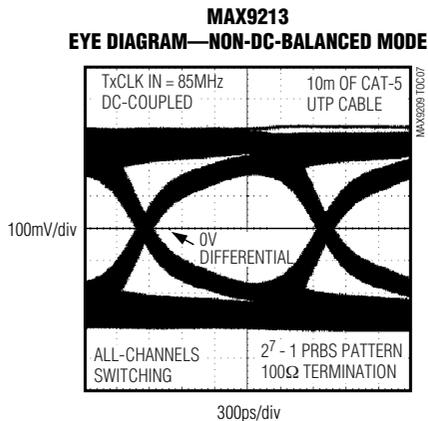
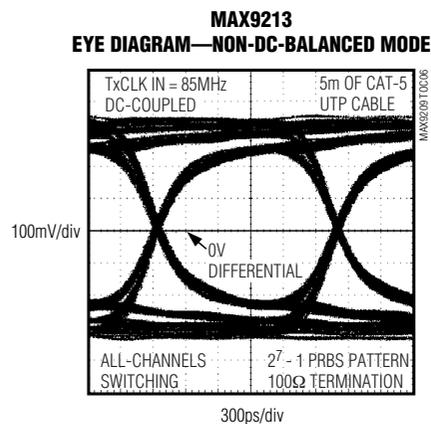
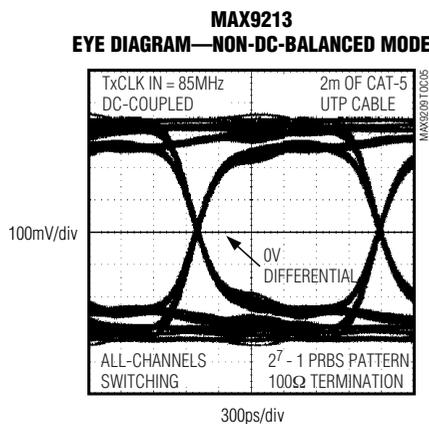
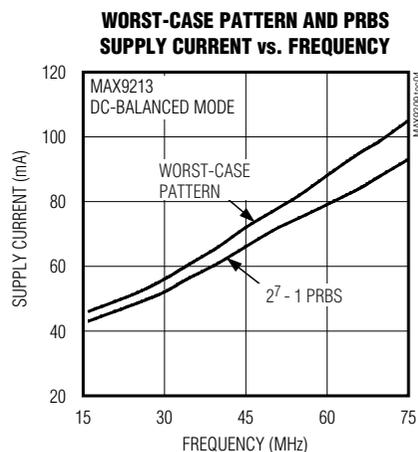


プログラブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

標準動作特性(続き)

($V_{CC} = +3.3V$, $R_L = 100\Omega \pm 1\%$, $C_L = 5pF$, $PWRDWN = high$, $T_A = +25^\circ C$, unless otherwise noted.)



プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

端子説明

端子		名称	機能
TSSOP	TQFN		
1, 3, 4, 44, 45, 47, 48,	38, 39, 41, 42, 43, 45, 46	TxIN0-TxIN6	5V耐圧LVTTTL/LVCMOSチャンネル0データ入力。内部でGNDにプルダウンされています。
2, 8, 14, 21	2, 8, 15, 44	V _{CC}	デジタル電源電圧
5, 11, 17, 24, 46	5, 11, 18, 40, 47	GND	グラウンド
6, 7, 9, 10, 12, 13, 15	1, 3, 4, 6, 7, 9, 48	TxIN7-TxIN13	5V耐圧LVTTTL/LVCMOSチャンネル1データ入力。内部でGNDにプルダウンされています。
16, 18, 19, 20, 22, 23, 25	10, 12, 13, 14, 16, 17, 19	TxIN14-TxIN20	5V耐圧LVTTTL/LVCMOSチャンネル2データ入力。内部でGNDにプルダウンされています。
26	20	TxCLK IN	5V耐圧LVTTTL/LVCMOSパラレルレートクロック入力。内部でGNDにプルダウンされています。
27	21	$\overline{\text{PWRDWN}}$	5V耐圧LVTTTL/LVCMOSパワーダウン入力。内部でGNDにプルダウンされています。PWRDWN = ローまたはオープンの時、出力はハイインピーダンスになります。
28, 30	22, 24	PLL GND	PLLグラウンド
29	23	PLL V _{CC}	PLL電源電圧
31, 36, 42	25, 30, 36	LVDS GND	LVDSグラウンド
32	26	TxCLK OUT+	LVDSパラレルレートクロック非反転出力
33	27	TxCLK OUT-	LVDSパラレルレートクロック反転出力
34	28	TxOUT2+	チャンネル2 LVDSシリアルデータ非反転出力
35	29	TxOUT2-	チャンネル2 LVDSシリアルデータ反転出力
37	31	LVDS V _{CC}	LVDS電源電圧
38	32	TxOUT1+	チャンネル1 LVDSシリアルデータ非反転出力
39	33	TxOUT1-	チャンネル1 LVDSシリアルデータ反転出力
40	34	TxOUT0+	チャンネル0 LVDSシリアルデータ非反転出力
41	35	TxOUT0-	チャンネル0 LVDSシリアルデータ反転出力
43	37	DCB/NC	LVTTTL/LVCMOS DCバランス設定用入力： MAX9209：V _{CC} にプルアップされています。 MAX9213：V _{CC} にプルアップされています。 表1を参照してください。
—	EP	EP	エクスポーズドパッド。グラウンドに半田付けしてください。

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

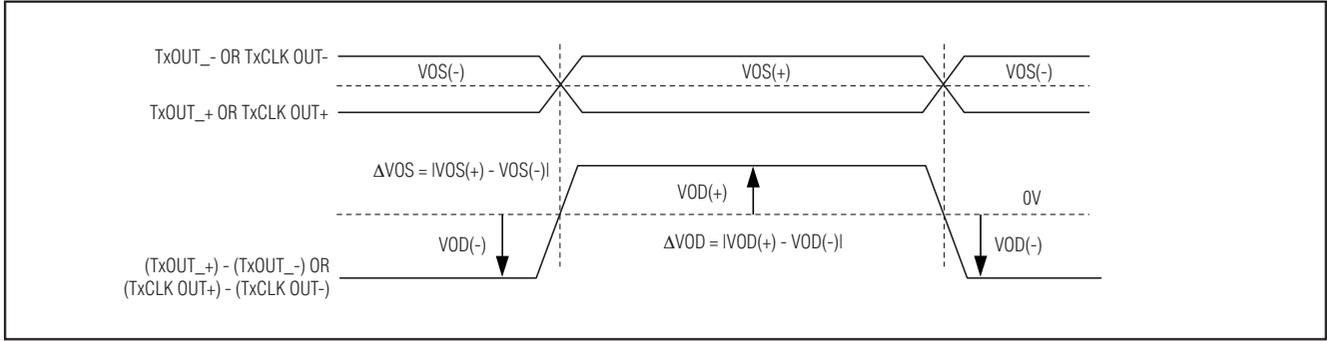


図1. LVDS出力のDCパラメータ

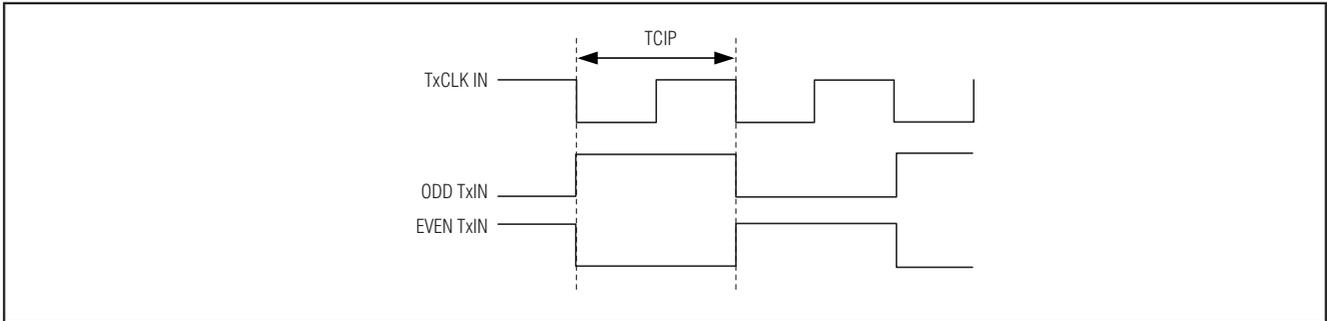


図2. ワorstケースのテストパターン

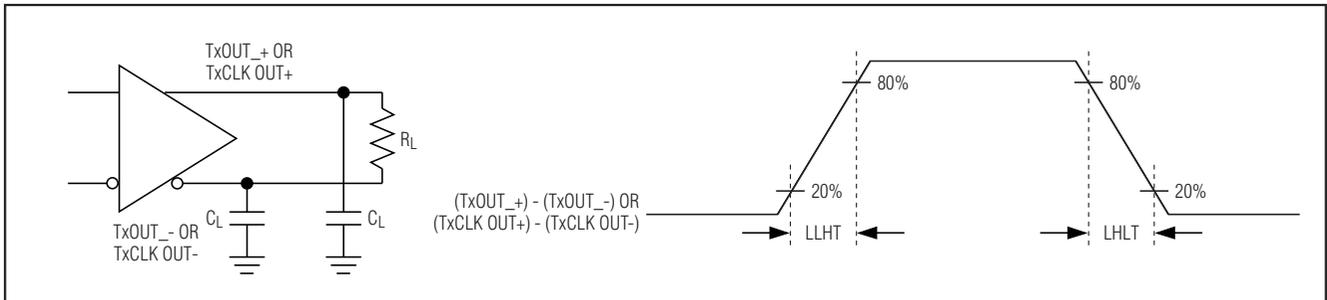


図3. LVDS出力負荷および遷移時間

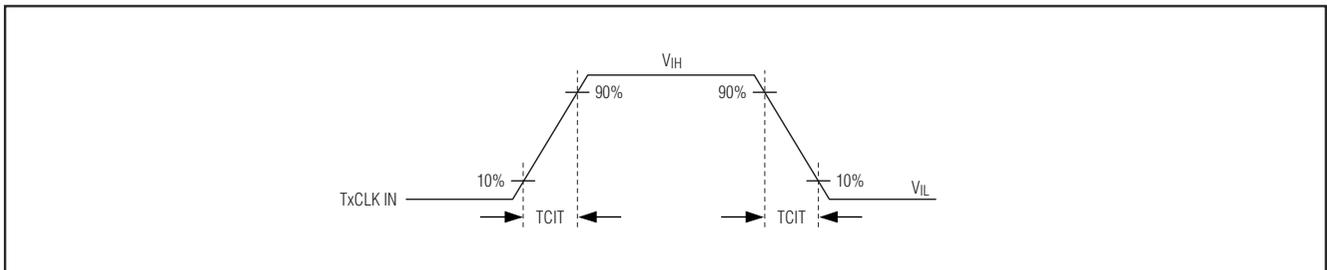


図4. クロック遷移時間波形

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

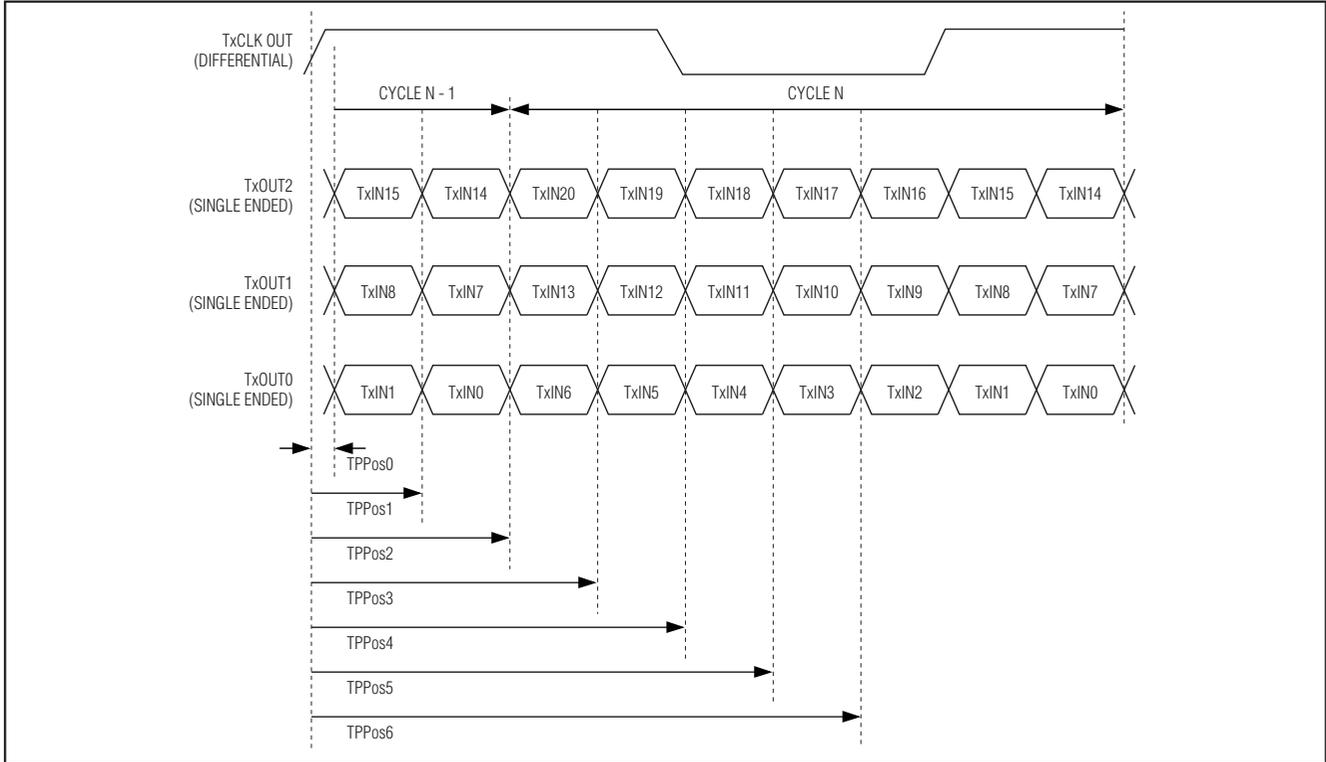


図5. 非DCバランスモード時のLVDS出力パルス位置の測定

詳細

MAX9209は、DCバランスモード時に8MHz~34MHz、非DCバランスモード時に10MHz~40MHzの平行クロック周波数で動作します。MAX9213は、DCバランスモード時に16MHz~66MHz、非DCバランスモード時に20MHz~85MHzの平行クロック周波数で動作します。

DCバランス、または非DCバランス動作は、DCB/NC端子(表1を参照)によって制御されます。非DCバランスモード時には、各チャンネルは平行クロックの1周期ごとに7ビットをシリアライズします。DCバランスモード時には、1クロック周期ごとに9ビットがシリアライズされます(7ビットのデータビット + 2ビットのDCバランスビット)。MAX9213のDCバランスモード時の最高データ転送速度は、66MHz x 9 = 594Mbpsです。非DCバランスモード時、最高データ転送速度は、85MHz x 7 = 595Mbpsです。ビットタイムは、データ転送速度分の1で、例えば、1/595Mbps = 1.68nsです。

DCバランス

データのコード化の間、DCバランス回路は、各チャンネルに送出される1と0の不均衡を制限します。送出される

表1. DCバランス設定

DEVICE	DCB/NC	OPERATING MODE	OPERATING FREQUENCY (MHz)
MAX9209	High or open	DC balanced	8 to 34
	Low	Non-DC balanced	10 to 40
MAX9213	High or open	DC balanced	16 to 66
	Low	Non-DC balanced	20 to 85

+1を各バイナリ1に割り当て、送出される-1を各バイナリ0に割り当てた場合、割り当てられた値の累積和の変動量を、デジタルサムバリエーション(DSV)と言います。MAX9209/MAX9213データチャンネルの最大DSVは10です。この場合、最大で、1の後に続いて10個の0、または0の後に続いて10個の1が送出されます。クロックチャンネルの最大DSVは5です。DSVを制限し、適正なカップリングコンデンサを選択することによって、差動信号の振幅を維持し、AC結合リンクのドループによるジッタを減少させることができます。

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

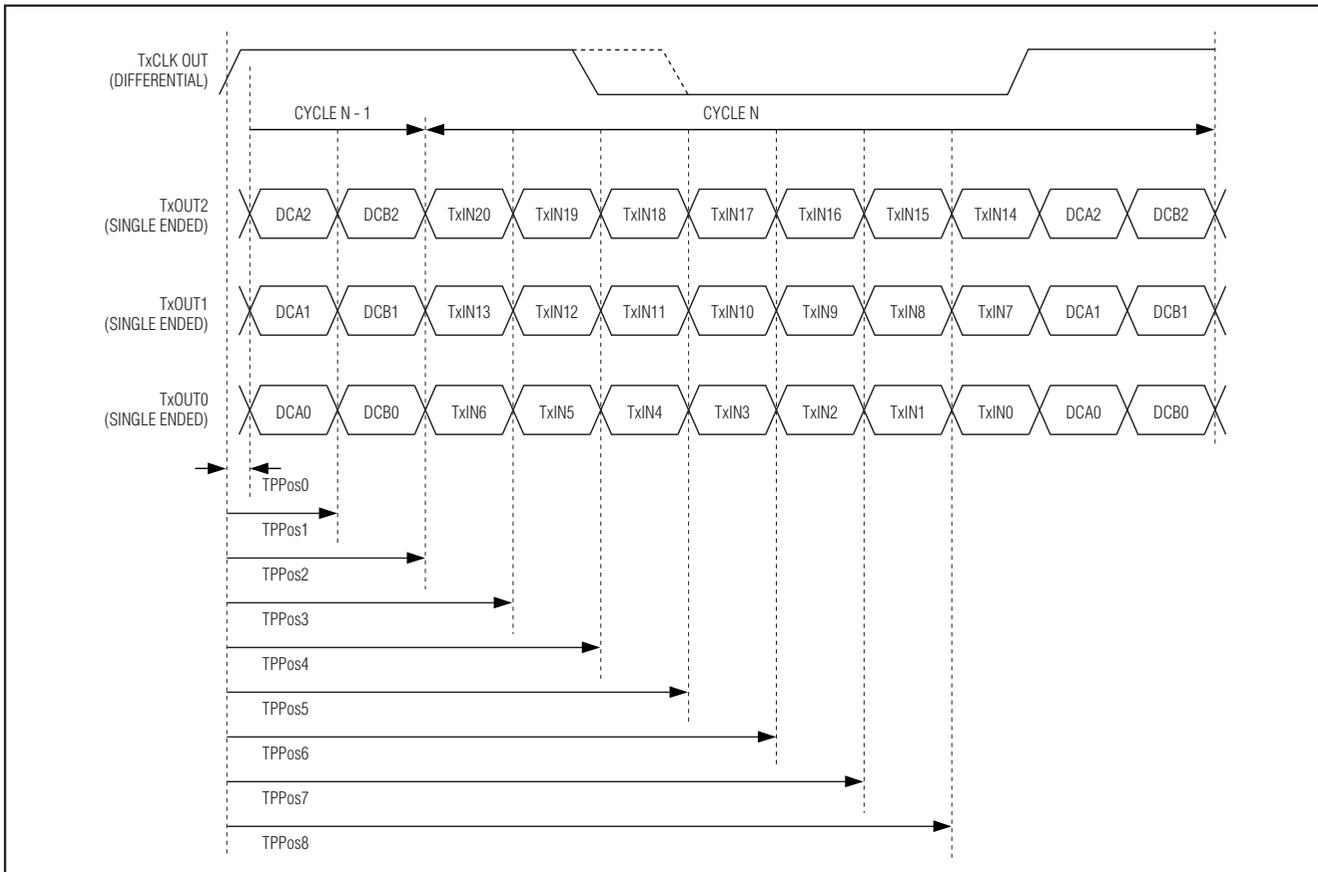


図6. DCバランスモードのLVDS出力パルス位置の測定

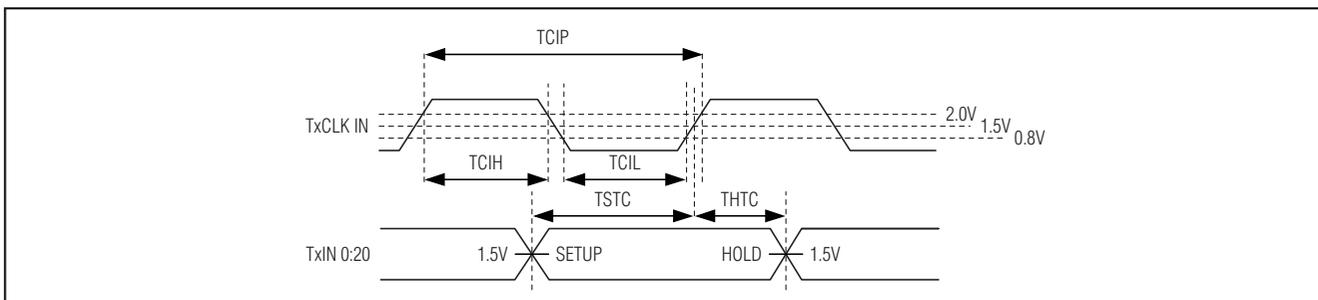


図7. セットアップおよびホールド、ハイおよびロー時間

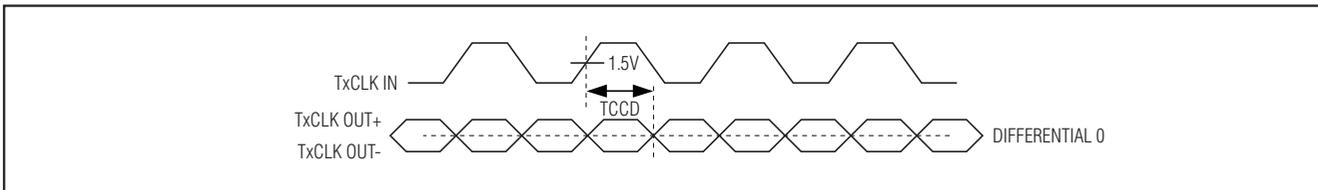


図8. クロック入力からクロック出力までの遅延

プログラマブルDCバランス 21ビットシリアライザ

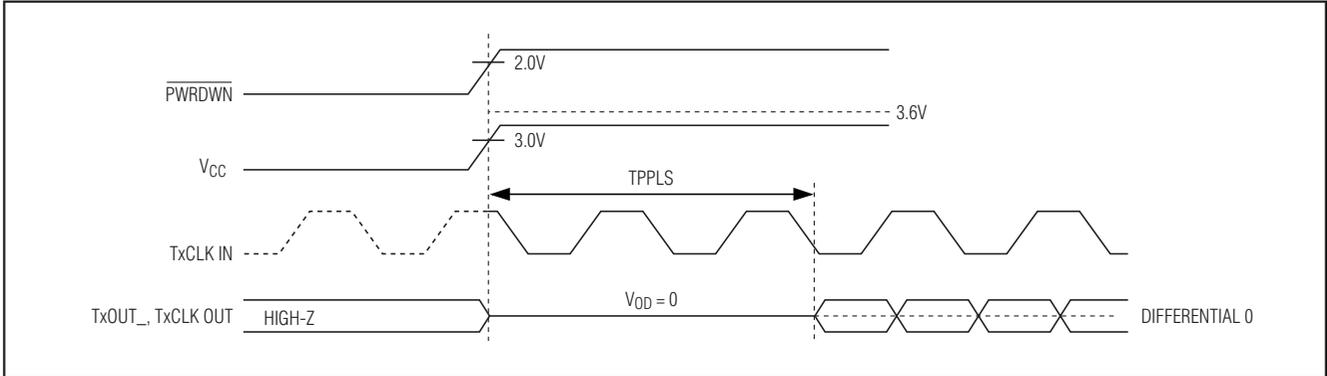


図9. PLLセット時間

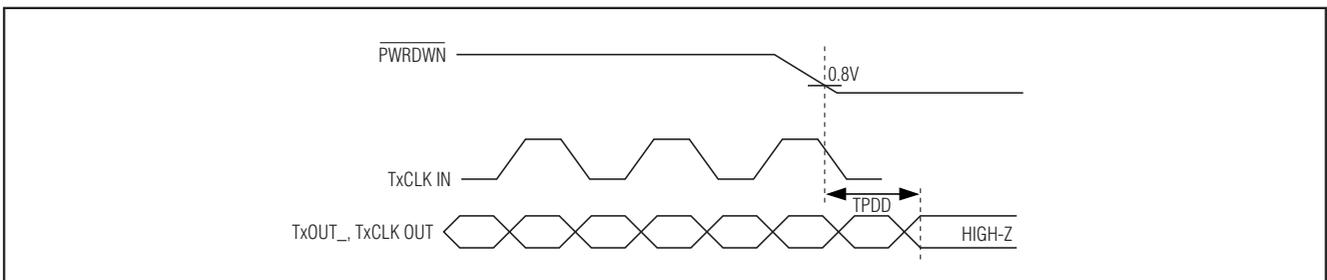


図10. パワーダウン遅延

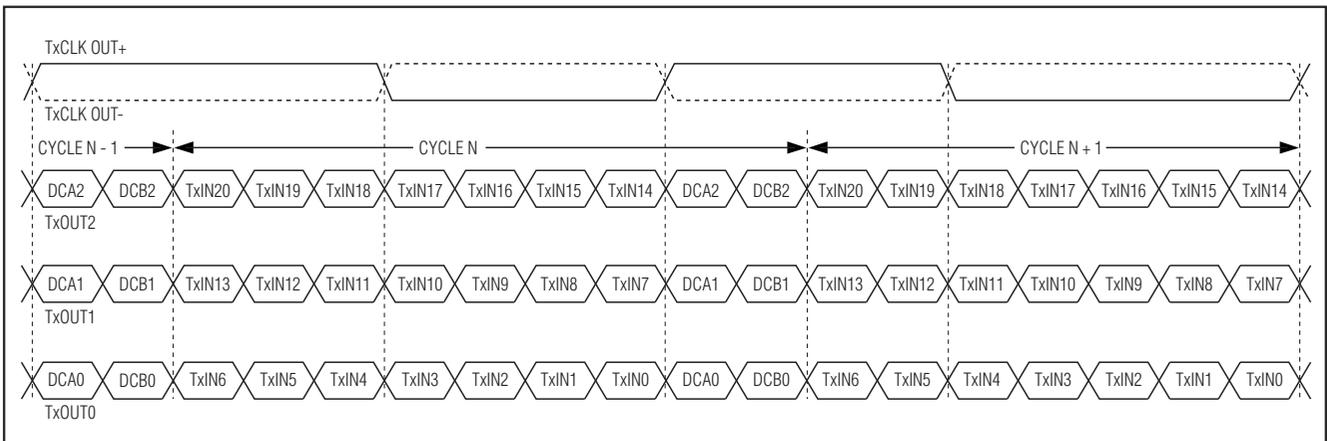


図11. LVDS出力にマップされたDCバランスモードの入力

データチャネルのDCバランスを取るために、パラレル入力データは、ワード境界のデジタルサム符号によって、反転、または非反転されます。データビットが反転されるか否かをMAX9210/MAX9214デシリアライザに指示するために、2ビットの補足ビットが、7ビットのパラレル入力データビットの各グループに

付加されます(図11)。デシリアライザはパラレルデータの元の状態を復元します。LVDSクロック信号は、DCバランスを維持するために4/9と5/9のデューティサイクルを交互に切り替えます。図12は、LVDS出力にマップされた非DCバランスモード入力を示しています。

プログラブルDCバランス 21ビットシリアライザ

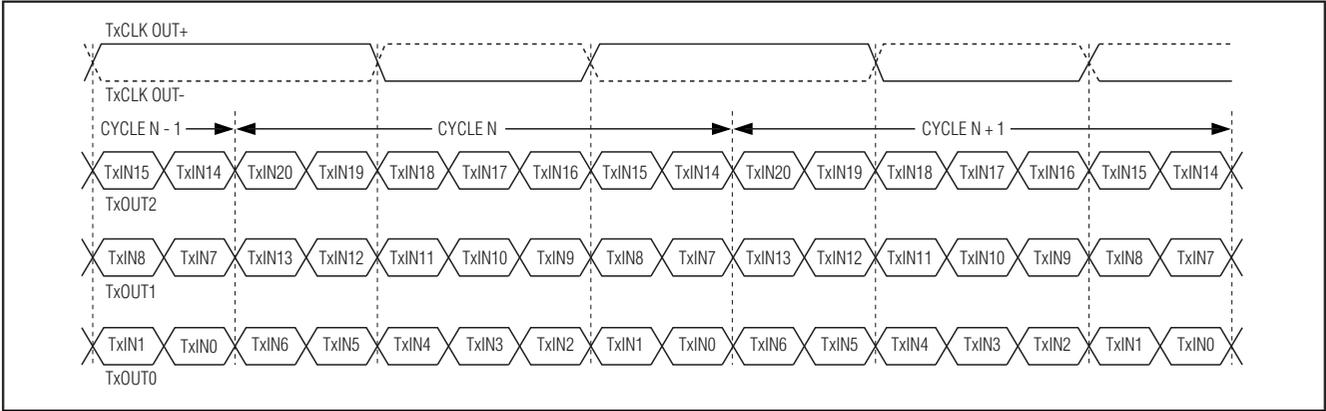


図12. LVDS出力にマップされた非DCバランスモードの入力

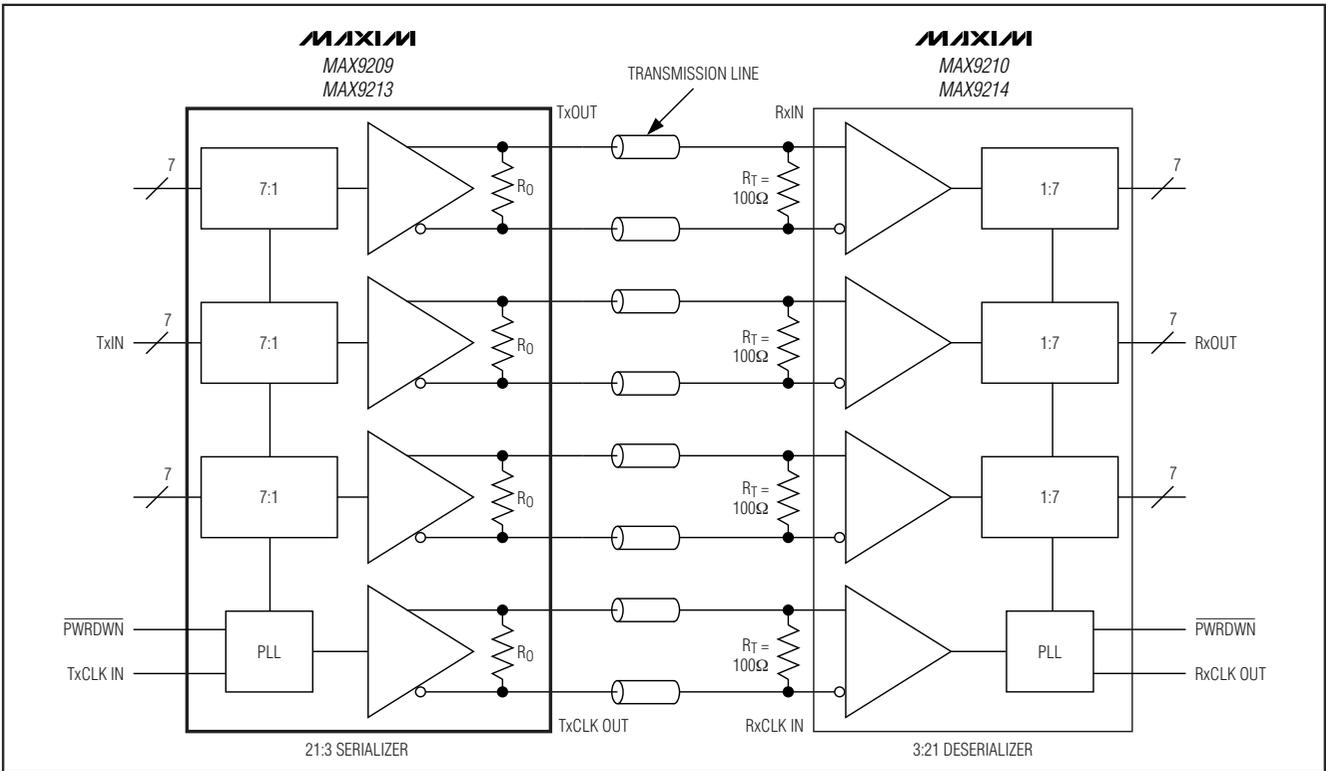


図13. DC結合リンクの非DCバランスモード

AC結合の利点

DC結合によるビットエラーは、レシーバの同相電圧範囲をAC結合によって増加させることによって除去可能です。AC結合は、LVDSレシーバの同相電圧範囲をコンデンサのほぼ定格電圧まで増加させます。標準的なLVDSドライバの出力は1.25Vのオフセットを中心とした350mV

によって、1.425Vと1.075Vのシングルエンド出力電圧を生成します。LVDSレシーバは、0V~2.4Vの信号を受け入れ、DC結合されたリンクのドライバとレシーバの接続間で約±1Vの同相電位差が可能です(2.4V - 1.425V = 0.975V、および1.075V - 0V = 1.075V)。図13は、DC結合リンクの非DCバランスモードを示しています。

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

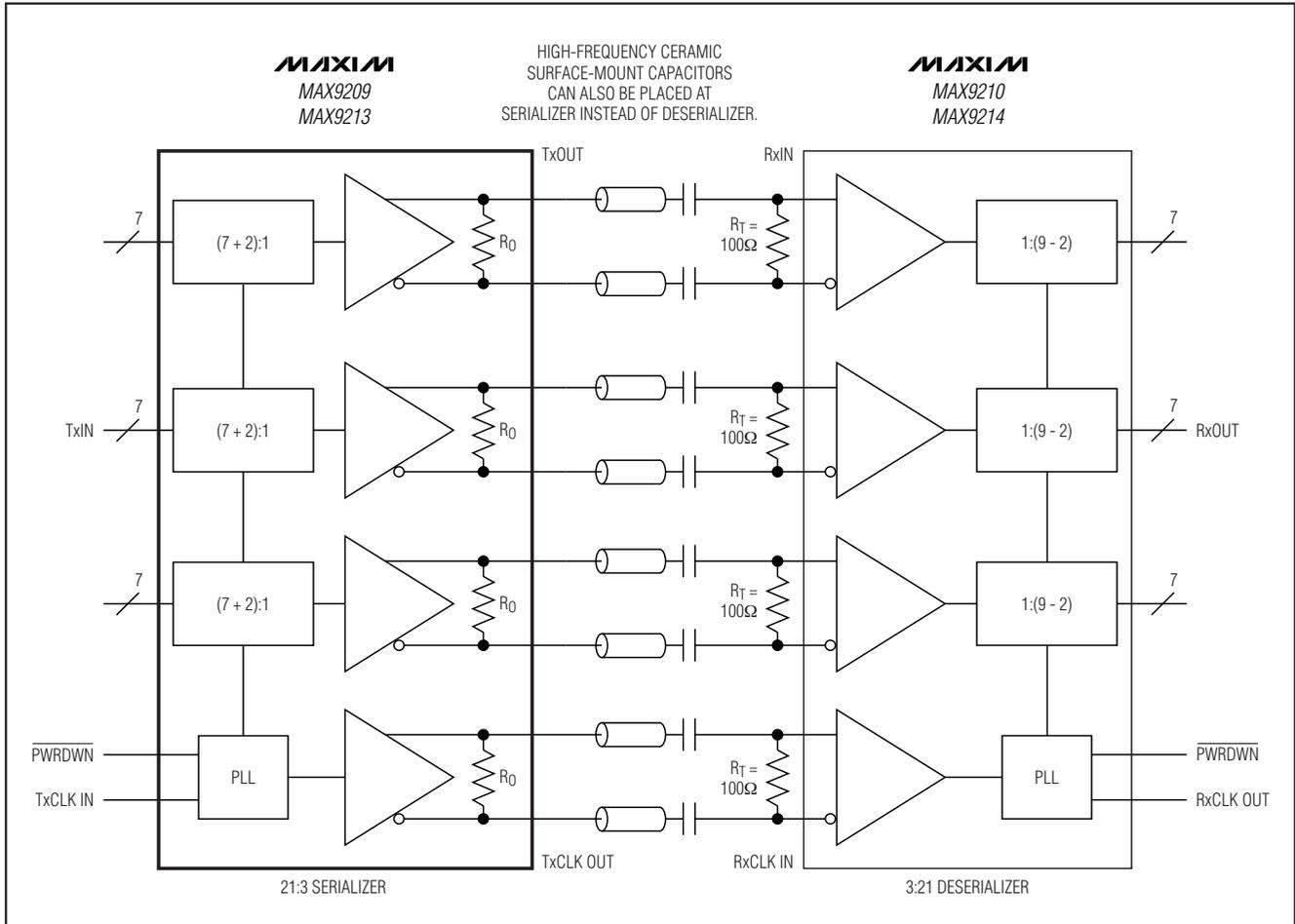


図14. 1つのリンクに2個のコンデンサがAC結合されたDCバランスモード

同相電位差は、グラウンドレベルの変動、または同相ノイズによります。±1Vを超える電位差がある場合、レシーバは、正しく入力信号を読み取ることが保証されず、ビットエラーを起こす可能性があります。AC結合は、低い周波数のグラウンド偏移、および同相ノイズをフィルタし、高い周波数のデータを通過させます。結合コンデンサの定格電圧(から差動信号振幅の1/2を引いた)までの同相電位差が許容されます。AC結合リンクにおいて、DCバランスさせたデータのコード化は、差動信号振幅の維持、およびジッタを制限するために必要です。AC結合のためには、LVDSドライバの各出力に直列接続された1個のコンデンサで十分です。しかし、ケーブル端のいずれかが高い電圧に短絡された場合には、

2個のコンデンサー1個はシリアライザ出力でもう1個はデシリアライザ入力によって保護されます。

5V耐圧入力

DCB/NCを除くすべての信号と制御入力は5V耐圧であり、内部でGNDにプルダウンされています。MAX9209/MAX9213のDCB/NC端子は、プルアップを内蔵しています。

DCB/NC端子のデフォルト状態

MAX9209/MAX9213は、設定可能なDCバランス/非DCバランスを備えています。DCB/NCのデフォルト設定と動作モードについては表1を参照してください。

プログラマブルDCバランス 21ビットシリアライザ

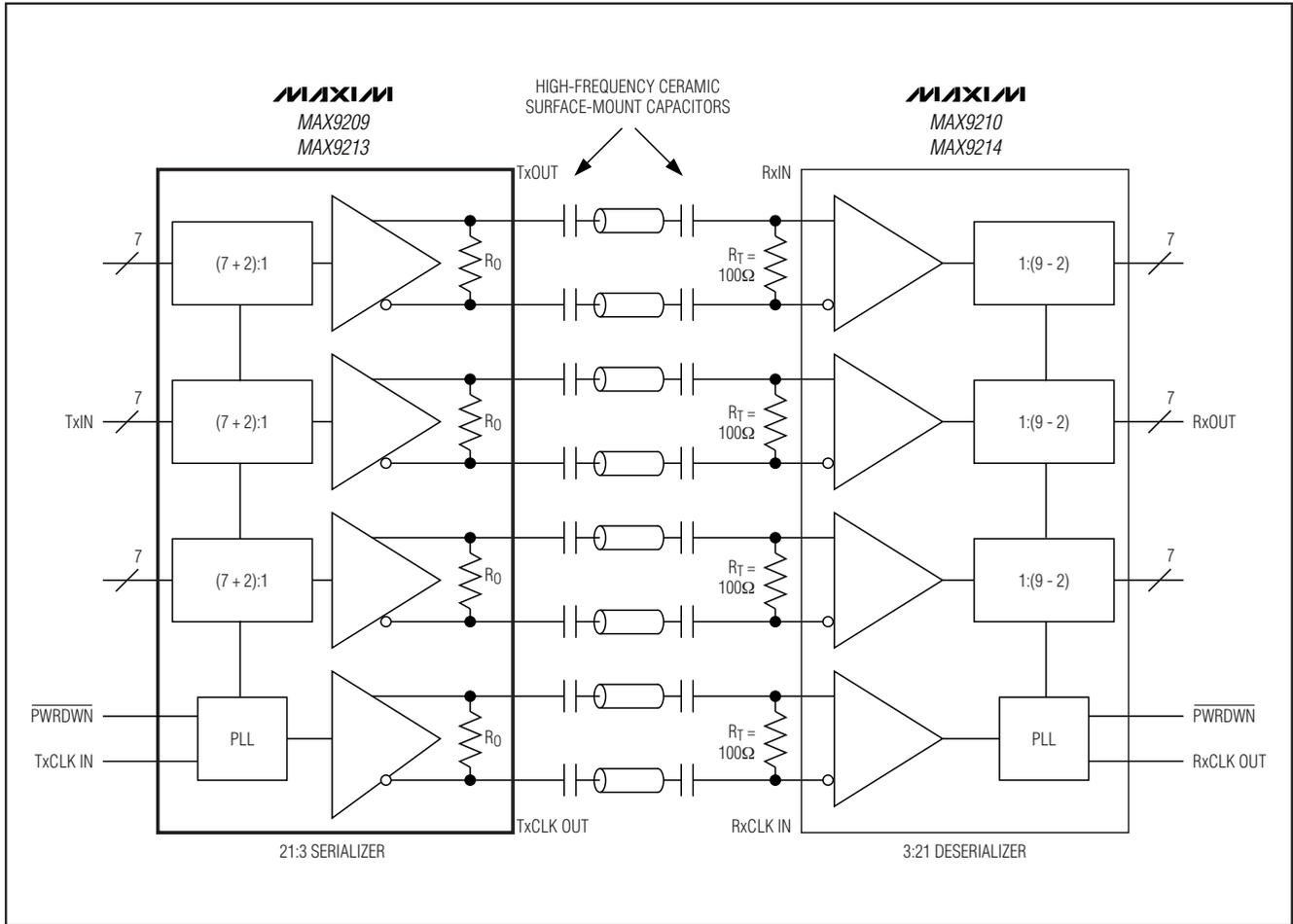


図15. 1つのリンクに4個のコンデンサがAC結合されたDCバランスモード

アプリケーション情報

AC結合コンデンサの選択

電圧ドループおよび送出されたシンボルのDSVによって、信号の遷移は、さまざまな電圧レベルから開始されます。遷移時間が有限であるため、さまざまな電圧レベルから信号の遷移を開始することでタイミングジッタが発生します。AC結合リンクの時定数は、ドループとジッタを許容レベルに減少させるように選択する必要があります。

AC結合リンクのRC回路は、LVDSレシーバの終端抵抗 (R_T)、LVDSドライバの出力抵抗 (R_O)、および直列接続のAC結合コンデンサ (C) で構成されます。2個の同値の直列接続のコンデンサの場合のRC時定数は、 $(C \times (R_T + R_O)) / 2$ です (図14)。4個の同値の直列接続のコンデンサの場合のRC時定数は、 $(C \times (R_T + R_O)) / 4$ です (図15)。

R_T は、伝送線路インピーダンス (通常 100Ω) と整合することを要求され、 R_O は、最小値を 78Ω (IFC Electrical

Characteristics (DC電気的特性)」の表を参照) としてLVDSドライバの設計によって決定されます。この設計には、システムの時定数を変更するためのコンデンサの選択が残されています。

以下の例で、2%のドループにするためのコンデンサの値を計算します。このドループによるジッタは、1nsの遷移時間を仮定して計算しています。

$$C = -(2 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O)) \quad (式1)$$

ここで、

C = AC結合コンデンサ (F)

t_B = ビットタイム (s)

DSV = デジタルサムバリエーション (整数)

\ln = 自然対数

D = ドループ (信号振幅の%)

R_T = 終端抵抗 (Ω)

R_O = 出力抵抗 (Ω)

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

式1は、2個の直列接続のコンデンサ用です(図14)。ビットタイム(t_B)は、パラレルクロックを9分割した時間です。DSVは10です。4個の直列接続のコンデンサ用については、式3を参照してください(図15)。

8MHzのパラレルレートクロックでの2%の最大ドループのためのコンデンサは、以下の通りです。

$$C = -(2 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O))$$

$$C = -(2 \times 13.9\text{ns} \times 10) / (\ln(1 - .02) \times (100\Omega + 78\Omega))$$

$$C = 0.0773\mu\text{F}$$

ドループによるジッタは、ドループおよび遷移時間に比例します。

$$t_j = t_T \times D \text{ (式2)}$$

ここで、

t_j = ジッタ(s)

t_T = 遷移時間(s) (0%から100%)

D = ドループ(信号振幅の%)

2%のドループと遷移時間を1nsと仮定した場合のジッタは、次の通りです。

$$t_j = 1\text{ns} \times 0.02$$

$$t_j = 20\text{ps}$$

実際のシステムの遷移時間は、シリアライザによって駆動されるケーブルの周波数応答に依存します。コンデンサの値は、より高い周波数のパラレルクロック、およびより高いレベルのドループとジッタによって減少します。高周波用の表面実装型のセラミックコンデンサを使用してください。

4個の直列接続のコンデンサ用(図15)に変更した式1は、次の通りです。

$$C = -(4 \times t_B \times DSV) / (\ln(1 - D) \times (R_T + R_O)) \text{ (式3)}$$

内蔵終端抵抗

MAX9209/MAX9213は、各4組のLVDS出力間に出力終端抵抗を内蔵しています。これらの抵抗は、誘導されたノイズとデシリアライザ入力終端抵抗と伝送線路インピーダンスとの間の不整合に起因する反射を抑制します。DCバランスモードにおける差動出力抵抗は、RC時定数の一部になります。非DCバランスモードでの出力の終端は、消費電力を減少させるために410Ω (typ)まで大きくしてあります。パワーダウンモード(PWRDWN = ロー)、または電源がオフの場合、この出力抵抗は切り離されてLVDS出力はハイインピーダンスになります。

PWRDWNおよび電源オフ

PWRDWNをローに駆動すると、PLLが停止し、内蔵出力終端抵抗が切り離され、LVDS出力はハイインピーダンスになり、供給電流は50μA以下に減少します。

PWRDWNをハイに駆動すると、入力クロックへのPLLのロックが開始され、出力終端抵抗が有効になります。LVDS出力は、PLLがロックするまで駆動されません。差動出力抵抗は各出力を共に引き上げ、LVDS出力は、グラウンドに対してハイインピーダンスになります。電源がオフにされた場合、出力抵抗は切り離され、LVDS出力はハイインピーダンスになります。

PLLロック時間

PLLロック時間は、内部カウンタによって設定されます。最長のロック時間は、32,800クロックの期間です。電源およびクロックは、ロック時間の仕様を満たすために安定している必要があります。PLLがロックしている間は、LVDS出力は非アクティブで、 R_O の差動出力抵抗になります。

電源のバイパス

LVDS、PLL、およびデジタル回路に対して電源が独立になっています。小さい方の値のコンデンサを供給端子の直近に配置し、並列接続した0.1μFと0.001μFの高周波用表面実装型のセラミックコンデンサを可能な限りデバイスに近接させて、各LVDS V_{CC} 、PLL V_{CC} 、および V_{CC} 端子をバイパスしてください。

LVDS出力

LVDS出力は、電流源です。電圧振幅は、負荷インピーダンスに比例します。出力は、100Ω ±1%の差動負荷について規定されています。

ケーブルおよびコネクタ

LVDSの相互接続の、差動インピーダンスは一般に100Ωです。インピーダンスの不連続性を最小化するためには、差動インピーダンスに整合したケーブルおよびコネクタを使用してください。

ツイストペアケーブル、およびシールドされたツイストペアケーブルは、リボンケーブルに比べて優れた信号品質を提供し、磁界のキャンセル効果によってEMIの生成が少ない傾向にあります。平衡型のケーブルはノイズを同相で拾いますが、それはLVDSレシーバによって排除されます。

ボードレイアウト

クロストークを防止するためにLVTTTL/LVCMOS入力とLVDS出力信号を分離してください。電源、グラウンド、LVDS出力、およびデジタル信号のための別個の層になった4層のPCBを推奨します。

プログラマブルDCバランス 21ビットシリアライザ

ESD保護

MAX9209/MAX9213のESD耐性は、IEC 61000-4-2、ヒューマンボディモデル、およびISO 10605標準規格について規定されています。IEC 61000-4-2およびISO 10605は、電子システムについてのESD耐性を規定しています。IEC 61000-4-2の放電回路部品は、 $C_S = 150\text{pF}$ と $R_D = 330\Omega$ です(図16)。IEC 61000-4-2についてLVDS出力は、 $\pm 8\text{kV}$ の接触および $\pm 15\text{kV}$

の気中放電について規定されています。ヒューマンボディモデルの放電回路部品は、 $C_S = 100\text{pF}$ と $R_D = 1.5\text{k}\Omega$ です(図17)。ヒューマンボディモデルについて、すべてのピンは $\pm 2\text{kV}$ の接触放電について規定されています。ISO 10605の放電回路部品は、 $C_S = 330\text{pF}$ と $R_D = 2\text{k}\Omega$ です(図18)。ISO 10605について、LVDS出力は $\pm 8\text{kV}$ の接触および $\pm 25\text{kV}$ の気中放電について規定されています。

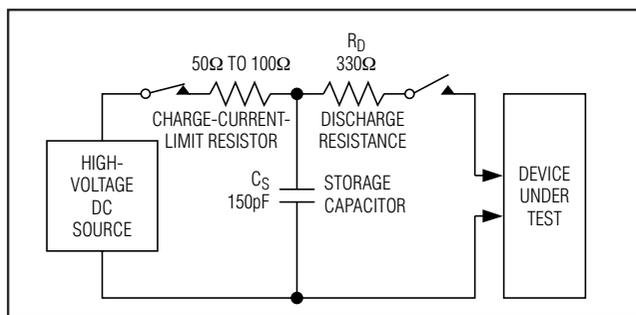


図16. IEC 61000-4-2接触放電ESD試験回路

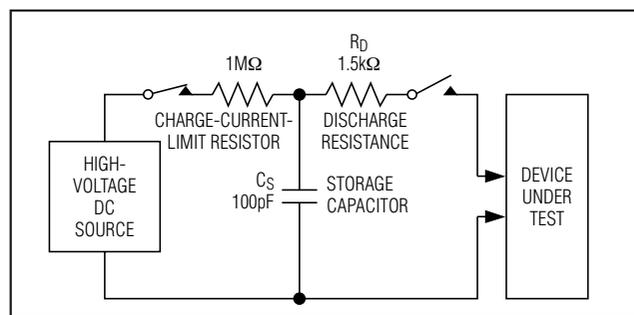


図17. ヒューマンボディESD試験回路

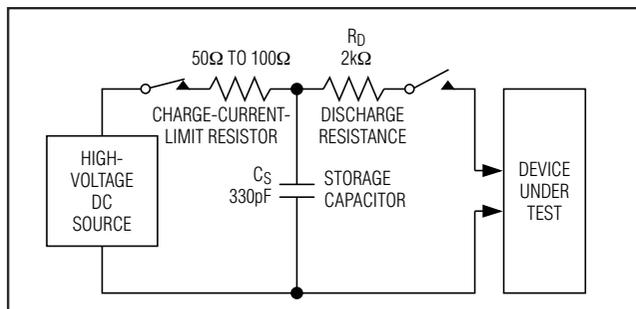
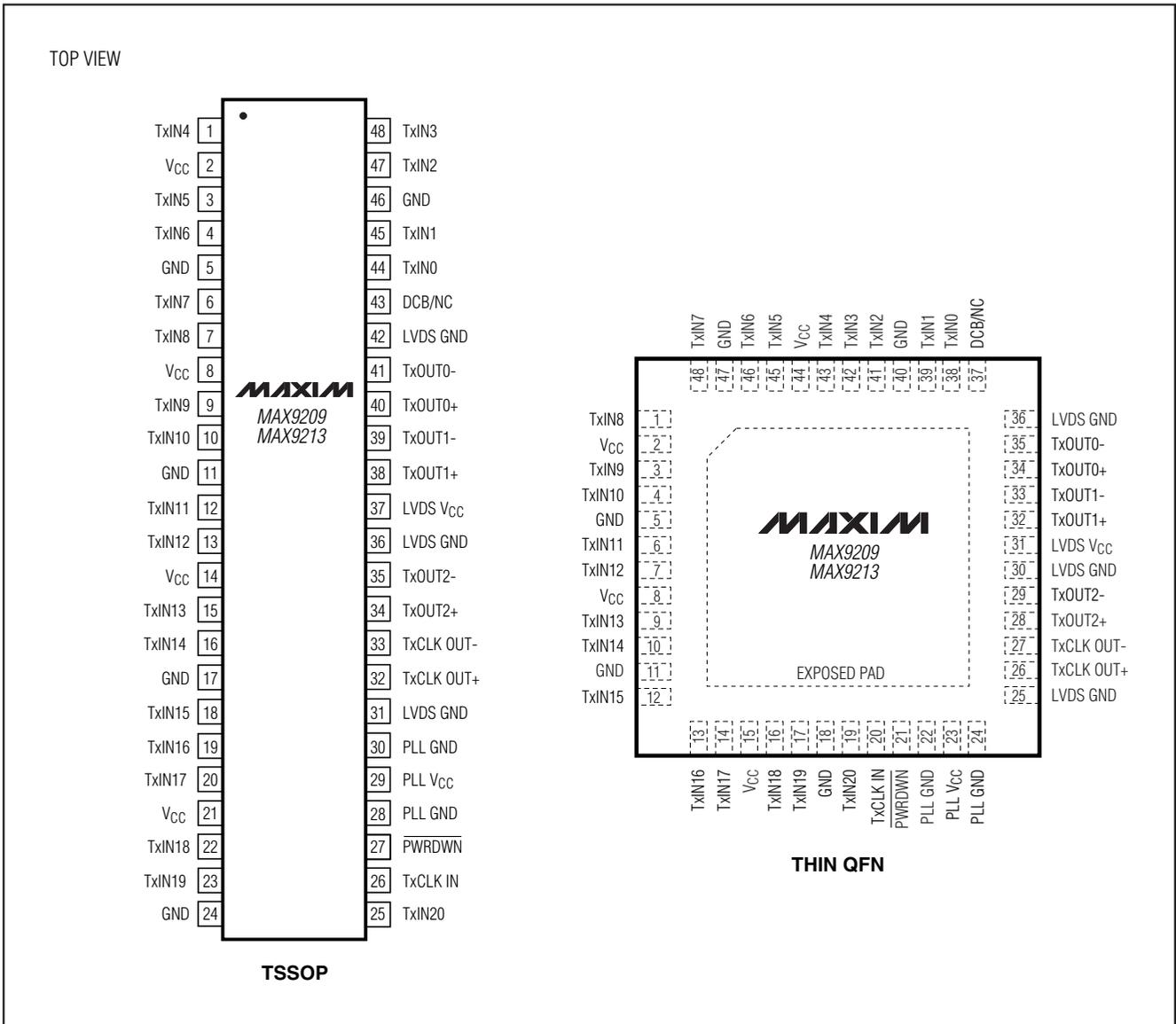


図18. ISO 10605接触放電ESD試験回路

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

ピン配置



チップ情報

MAX9209 TRANSISTOR COUNT: 9458

MAX9213 TRANSISTOR COUNT: 9458

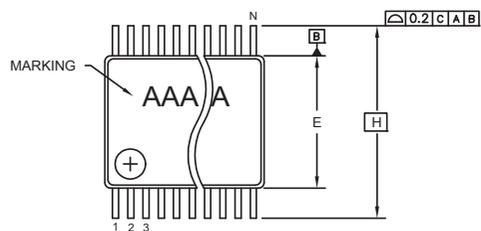
PROCESS: CMOS

プログラマブルDCバランス 21ビットシリアライザ

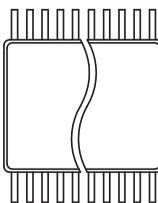
MAX9209/MAX9213

パッケージ

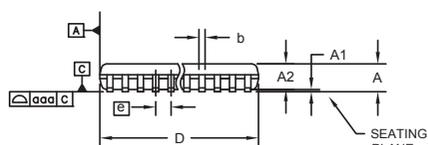
(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



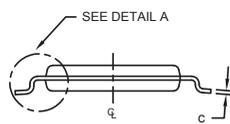
TOP VIEW



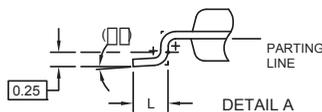
BOTTOM VIEW



SIDE VIEW



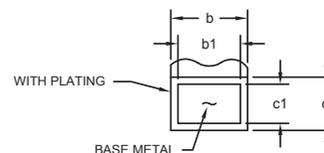
END VIEW



DETAIL A

SYMBOL	COMMON DIMENSIONS		
	MIN.	NOM.	MAX.
A	--	--	1.10
A1	0.05	--	0.15
A2	0.85	0.90	0.95
aaa	0.10		
b	0.17	--	0.27
b1	0.17	0.20	0.23
c	0.09	--	0.20
c1	0.09	0.127	0.16
E	6.00	6.10	6.20
e	0.50 BSC		
H	8.10 BSC		
L	0.50	0.60	0.75
□□	0*	--	8*

SYMBOL	VARIATIONS					
	MIN.		NOM.		MAX.	
N	48		56		56	
D	12.40	12.50	12.60	13.90	14.00	14.10



SECTION C-C

NOTES:

- DIMENSIONS D & E ARE REFERENCE DATUMS AND DO NOT INCLUDE MOLD FLASH.
- MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15MM ON D SIDE, AND 0.25MM ON E SIDE.
- CONTROLLING DIMENSION: MILLIMETERS.
- THIS PART IS COMPLIANT WITH JEDEC SPECIFICATION MO-153, VARIATIONS, ED (48L), EE (56L).
- "N" REFERS TO NUMBER OF LEADS.
- THE LEAD TIPS MUST LIE WITHIN A SPECIFIED ZONE. THIS TOLERANCE ZONE IS DEFINED BY TWO PARALLEL PLANES. ONE PLANE IS THE SEATING PLANE, DATUM (-C-), THE OTHER PLANE IS AT THE SPECIFIED DISTANCE FROM (-C-) IN THE DIRECTION INDICATED.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

-DRAWING NOT TO SCALE-

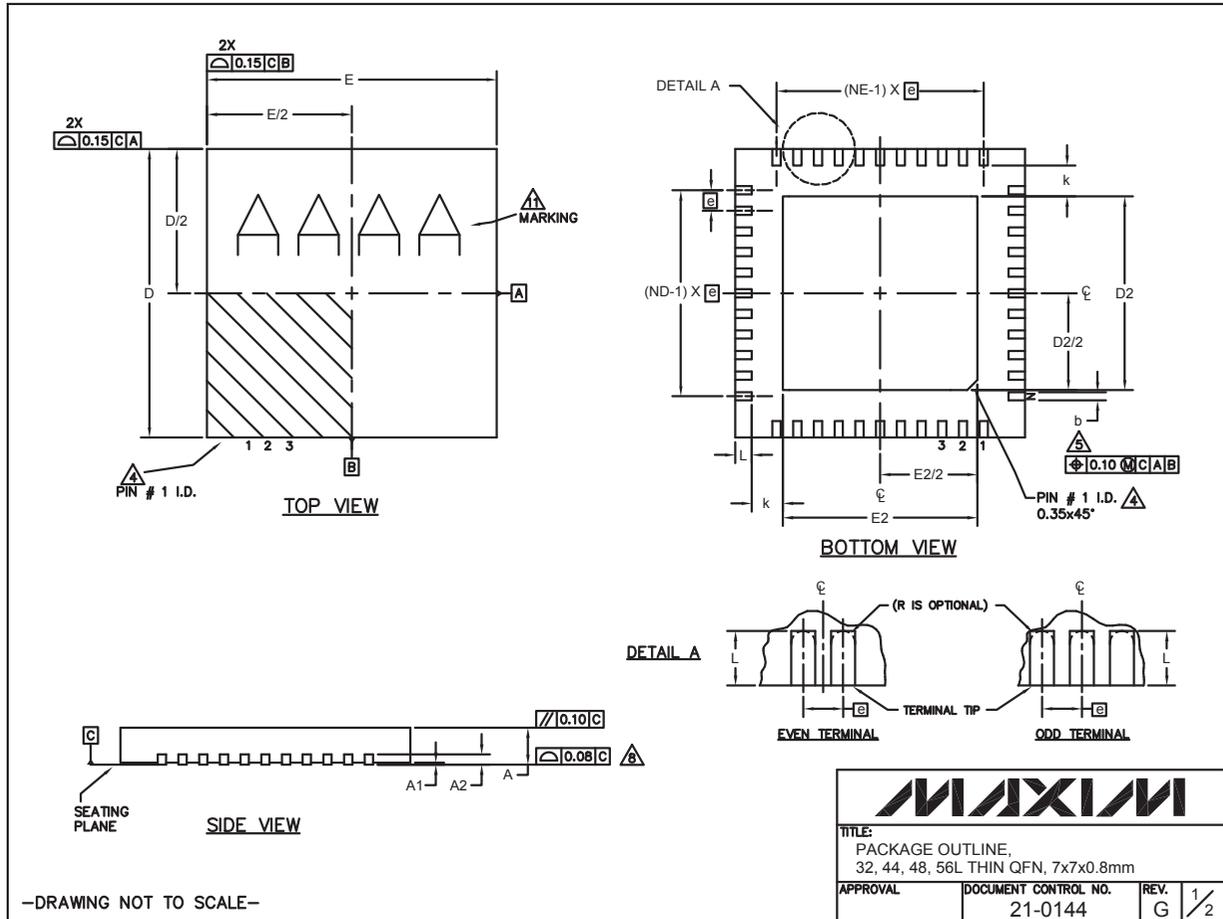
TITLE: PACKAGE OUTLINE, 48 & 56L TSSOP, 6.1mm BODY	
APPROVAL	DOCUMENT CONTROL NO. 21-0155
REV. C	1/1

48L TSSOP: EPS

プログラマブルDCバランス 21ビットシリアライザ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



32, 44, 48L QFN.EPS

MAX9209/MAX9213

-DRAWING NOT TO SCALE-

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS														EXPOSED PAD VARIATIONS										
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7			PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C
	SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.			MAX.	MIN.	NOM.	MAX.			
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85	-
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25	T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T4877-4	-	5.40	5.50	5.60	5.40	5.50	5.60	-
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.30	0.40	0.50	T4877-6	-	5.40	5.50	5.60	5.40	5.50	5.60	-
N	32			44			48			44			56			T4877-7	-	4.95	5.10	5.25	4.95	5.10	5.25	-
ND	8			11			12			10			14			T4877M-1	-	5.40	5.50	5.60	5.40	5.50	5.60	-
NE	8			11			12			12			14			T4877M-6	-	5.40	5.50	5.60	5.40	5.50	5.60	-
																T4877MN-8	-	5.40	5.50	5.60	5.40	5.50	5.60	-
																T4877N-8	-	5.40	5.50	5.60	5.40	5.50	5.60	-
																T5677-1	-	5.40	5.50	5.60	5.40	5.50	5.60	-
																T5677-2	-	5.40	5.50	5.60	5.40	5.50	5.60	-

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbfREE (+) PKG. CODES.

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

-DRAWING NOT TO SCALE-

		
TITLE: PACKAGE OUTLINE, 32, 44, 48, 56L THIN QFN, 7x7x0.8mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0144	REV. G 2/2

プログラマブルDCバランス 21ビットシリアライザ

MAX9209/MAX9213

改訂履歴

版数	改訂日	説明	改訂ページ
3	6/07	—	1-5, 9, 14, 15, 18, 19, 20
4	10/07	MAX9211 およびMAX9215の参照をすべて削除。	1-20

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 21