

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

概要

MAX9263/MAX9264チップセットは、マキシムのギガビットマルチメディアシリアルリンク(GMSL)技術を拡張して、DVDおよびBlu-ray™ビデオ/オーディオデータのコンテンツ保護用の高帯域幅デジタルコンテンツ保護(HDCP)暗号化を内蔵しています。シリアライザMAX9263または任意のHDCP-GMSLシリアライザは、デシリアライザMAX9264または任意のHDCP-GMSLデシリアライザとペアになり、制御データおよびHDCP暗号化ビデオ/オーディオデータ伝送用のデジタルシリアルリンクを構成します。GMSLは、Digital Content Protection (DCP), LLCによって認定されたHDCP技術です。

パラレルインタフェースは、24ビットまたは32ビット幅にプログラム可能で、8.33MHz~104MHz (24ビット)または6.25MHz~78MHz (32ビット)のピクセルクロックで動作します。24ビットまたは32ビット幅にプログラムされた場合、3つの入力がI²Sオーディオ用となり、8kHz~192kHzのサンプリング周波数と4ビット~32ビットのサンプルデプスをサポートしています。内蔵の制御チャンネルは、シリアライザとデシリアライザの間に9.6kbps~1Mbpsのフルデュプレックス差動UARTリンクを形成します。電子制御ユニット(ECU)またはマイクロコントローラ(μC)は、リンクのシリアライザ側(通常はビデオディスプレイ用)、リンクのデシリアライザ側(通常は画像検出用)、または両側(通常はHDCPビデオディスプレイリピータ用)に配置することができます。制御チャンネルは、バックライト制御、タッチスクリーンなどのリモート側ペリフェラルのECU/μC制御を可能にし、HDCPに関連する動作を実行します。

シリアルリンク信号伝達は、8b/10b符号化を備えたAC結合CMLです。より長いケーブルの駆動には、シリアライザはプログラム可能なプリエンファシス/デエンファシスを備え、デシリアライザはプログラム可能なチャンネルイコライザを備えています。GMSLデバイスは、シリアル(シリアライザ)とパラレル(デシリアライザ)出力にプログラム可能なスペクトラム拡散を備えています。シリアルリンク入出力は、ISO 10605およびIEC 61000-4-2のESD規格に準拠しています。シリアライザのコア電源は1.8Vで、デシリアライザのコア電源は3.3Vです。I/O電源は1.8V~3.3Vです。これらのデバイスはともに、エクスポーズドパッドを備えた64ピンTQFPパッケージで提供され、-40℃~+105℃の自動車用温度範囲での動作が保証されています。

アプリケーション

高分解能車載ナビゲーション
後部座席インフォテイメント
メガピクセルカメラシステム

Blu-rayはBlu-ray Disc Associationの商標です。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

特長

- ◆ 制御チャンネルを介してイネーブル/ディセーブルがプログラム可能なHDCP暗号化
- ◆ 制御チャンネルで全HDCPプロトコルランザクションを処理、個別の制御バス不要
- ◆ セキュアな不揮発メモリにプリプログラムされたHDCPキー
- ◆ 2.5Gbpsペイロードデータレート(オーバーヘッド付き3.125Gbps)
- ◆ 8b/10bライン符号化を備えたAC結合シリアルリンク
- ◆ 8.33MHz~104MHz (24ビットモード)または6.25MHz~78MHz (32ビットモード)ピクセルクロック
- ◆ 4ビット~32ビットのワード長、8kHz~192kHzのI²SオーディオチャンネルによってHDオーディオをサポート
- ◆ ハーフ/フルデュプレックス双方向制御チャンネル内蔵
ベースモード：9.6kbps~1Mbps
バイパスモード：9.6kbps~1Mbps
- ◆ 割込みによってタッチスクリーンディスプレイをサポート
- ◆ ペリフェラル用のリモート側I²Cマスター
- ◆ 3.125Gbpsの15mケーブル駆動用のプログラム可能なプリエンファシス/デエンファシスおよびチャンネルイコライザ
- ◆ シリアルまたはパラレル出力のプログラム可能なスペクトラム拡散によってEMIを低減
- ◆ デシリアライザのシリアルデータクロック復元によって外部リファレンスクロックが不要
- ◆ 自動データレート検出によってオンザフライのデータレート変更が可能
- ◆ ジッタ減衰のためのシリアライザピクセルクロック入力のバイパス可能なPLL
- ◆ シリアルリンクのBER試験用のPRBSジェネレータ/チェッカ内蔵
- ◆ シリアルリンクフォルト検出：相互/グランド/バッテリー短絡またはオープン
- ◆ ISO 10605およびIEC 61000-4-2のESD耐性

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9263GCB/V+	-40°C to +105°C	64 TQFP-EP*
MAX9263GCB/V+T	-40°C to +105°C	64 TQFP-EP*
MAX9264GCB/V+	-40°C to +105°C	64 TQFP-EP*
MAX9264GCB/V+T	-40°C to +105°C	64 TQFP-EP*

/Vは車載認定製品を表します。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

T = テープ&リール

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND		LMN_ to AGND (MAX9263)
MAX9263.....	-0.5V to +1.9V	(15mA current limit).....
MAX9264.....	-0.5V to +3.9V	-0.5V to +3.9V
DVDD to GND (MAX9263).....	-0.5V to +1.9V	All Other Pins to GND (MAX9263).....
DVDD to DGND (MAX9264).....	-0.5V to +3.9V	-0.5V to (V _{IOVDD} + 0.5V)
IOVDD to GND (MAX9263).....	-0.5V to +3.9V	All Other Pins to IOGND (MAX9264).....
IOVDD to IOGND (MAX9264).....	-0.5V to +3.9V	-0.5V to (V _{IOVDD} + 0.5V)
Any Ground to Any Ground.....	-0.5V to +0.5V	Continuous Power Dissipation (T _A = +70°C)
OUT+, OUT- to AGND (MAX9263).....	-0.5V to +1.9V	64-Pin TQFP (derate 31.3mW/°C above +70°C).....
IN+, IN- to AGND (MAX9264).....	-0.5V to +1.9V	2507.8mW
		Operating Temperature Range.....
		-40°C to +105°C
		Junction Temperature.....
		+150°C
		Storage Temperature Range.....
		-65°C to +150°C
		Lead Temperature (soldering, 10s).....
		+300°C
		Soldering Temperature (reflow).....
		+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

64 TQFP-EP	
Junction-to-Ambient Thermal Resistance (θ _{JA}).....	39.1°C/W
Junction-to-Case Thermal Resistance (θ _{JC}).....	1°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

MAX9263 DC ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = 1.7V to 1.9V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SINGLE-ENDED INPUTS (DIN_, PCLKIN, SD, SCK, WS, AUTOS, MS, CDS, PWDN, SSEN, DRS, ES, BWS)							
High-Level Input Voltage	V _{IH1}	DIN_, PCLKIN, AUTOS, MS, CDS, SSEN, DRS, ES, BWS	0.65 x		V		
			V _{IOVDD}				
		SD, SCK, WS	0.7 x				
			V _{IOVDD}				
Low-Level Input Voltage	V _{IL1}				0.35 x	V	
					V _{IOVDD}		
Input Current	I _{IN1}	V _{IN} = 0 to V _{IOVDD}	-10		+10	μA	
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA			-1.5	V	
SINGLE-ENDED OUTPUT (INT)							
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	V _{IOVDD}			V	
			- 0.2				
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA			0.2	V	
OUTPUT Short-Circuit Current	I _{OS}	V _O = V _{GND}	V _{IOVDD} = 3.0V to 3.6V	16	35	64	mA
			V _{IOVDD} = 1.7V to 1.9V	3	12	21	
I²C/UART, I/O, AND OPEN-DRAIN OUTPUTS (RX/SDA, TX/SCL, LFLT)							
High-Level Input Voltage	V _{IH2}		0.7 x			V	
			V _{IOVDD}				
Low-Level Input Voltage	V _{IL2}				0.3 x	V	
					V _{IOVDD}		

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9263 DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current	I_{IN2}	$V_{IN} = 0$ to V_{IOVDD} (Note 2)	-110		+5	μA
Low-Level Output Voltage	V_{OL2}	$I_{OUT} = 3mA$	$V_{IOVDD} = 1.7V$ to $1.9V$		0.4	V
			$V_{IOVDD} = 3.0V$ to $3.6V$		0.3	
DIFFERENTIAL OUTPUT (OUT+, OUT-)						
Differential Output Voltage	V_{OD}	Preemphasis off (Figure 1)	300	400	500	mV
		3.3dB preemphasis setting (Figure 2)	350		610	
		3.3dB deemphasis setting (Figure 2)	240		425	
Change in V_{OD} Between Complementary Output States	ΔV_{OD}				15	mV
Output Offset Voltage ($V_{OUT+} + V_{OUT-}/2 = V_{OS}$)	V_{OS}	Preemphasis off	1.1	1.4	1.56	V
Change in V_{OS} Between Complementary Output States	ΔV_{OS}				15	mV
Output Short-Circuit Current	I_{OS}	V_{OUT+} or $V_{OUT-} = 0V$	-60			mA
		V_{OUT+} or $V_{OUT-} = 1.9V$			25	
Magnitude of Differential Output Short-Circuit Current	I_{OSD}	$V_{OD} = 0V$			25	mA
Output Termination Resistance (Internal)	R_O	From $OUT+$, $OUT-$ to V_{AVDD}	45	54	63	Ω
REVERSE CONTROL-CHANNEL RECEIVER (OUT+, OUT-)						
High Switching Threshold	V_{CHR}				27	mV
Low Switching Threshold	V_{CLR}		-27			mV
LINE-FAULT-DETECTION INPUTS (LMN_)						
Short-to-GND Threshold	V_{TG}	Figure 3			0.3	V
Normal Thresholds	V_{TN}	Figure 3	0.57		1.07	V
Open Thresholds	V_{TO}	Figure 3	1.45		$V_{IO} + 60mV$	V
Open Input Voltage	V_{IO}	Figure 3	1.47		1.75	V
Short-to-Battery Threshold	V_{TE}	Figure 3	2.47			V
POWER SUPPLY						
Worst-Case Supply Current (Figure 4, Note 3)	I_{WCS}	$BWS = GND$	$f_{PCLKIN} = 16.6MHz$	105	132	mA
			$f_{PCLKIN} = 33.3MHz$	110	152	
			$f_{PCLKIN} = 66.6MHz$	120	160	
			$f_{PCLKIN} = 104MHz$	145	188	
Sleep Mode Supply Current	I_{CCS}			45	225	μA
Power-Down Supply Current	I_{CCZ}	$\overline{PWDN} = GND$		7	180	μA

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

MAX9263 DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ESD PROTECTION						
OUT+, OUT-	VESD	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$ (Note 4)		± 8		kV
		IEC 61000-4-2, $R_D = 330\Omega$, $C_S = 150pF$ (Note 5)	Contact discharge	± 10		
			Air discharge	± 12		
		ISO 10605, $R_D = 2k\Omega$, $C_S = 330pF$ (Note 5)	Contact discharge	± 10		
Air discharge	± 25					
All Other Pins	VESD	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$ (Note 4)		± 4		kV

MAX9263 AC ELECTRICAL CHARACTERISTICS

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUT TIMING (PCLKIN)						
Clock Frequency	f _{PCLKIN}	BWS = GND, $V_{DRS} = V_{IOVDD}$	8.33		16.66	MHz
		BWS = GND, $DRS = GND$	16.66		104	
		$V_{BWS} = V_{IOVDD}$, $V_{DRS} = V_{IOVDD}$	6.25		12.5	
		$V_{BWS} = V_{IOVDD}$, $DRS = GND$	12.5		78	
Clock Duty Cycle	DC	t _{HIGH} /t _T or t _{LOW} /t _T (Figure 5, Note 6)	35	50	65	%
Clock Transition Time	t _R , t _F	(Figure 5, Note 6)			4	ns
Clock Jitter	t _J	3.125Gbps, 300kHz sinusoidal jitter (Note 6)			800	ps(p-p)
I²C/UART PORT TIMING						
I ² C/UART Bit Rate			9.6		1000	kbps
Output Rise Time	t _R	30% to 70%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		150	ns
Output Fall Time	t _F	70% to 30%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		150	ns
Input Setup Time	t _{SET}	I ² C only (Figure 6, Note 6)	100			ns
Input Hold Time	t _{HOLD}	I ² C only (Figure 6, Note 6)	0			ns
SWITCHING CHARACTERISTICS						
Differential Output Rise/Fall Time	t _R , t _F	20% to 80%, $V_{OD} \geq 400mV$, $R_L = 100\Omega$, serial-bit rate = 3.125Gbps (Note 6)		90	150	ps
Total Serial Output Jitter	t _{TSOJ1}	3.125Gbps PRBS signal, measured at $V_{OD} = 0V$ differential, preemphasis disabled (Figure 7)		0.25		UI

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9263 AC ELECTRICAL CHARACTERISTICS

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Deterministic Serial Output Jitter	t_{DSOJ2}	3.125Gbps PRBS signal		0.15		UI
Parallel Data Input Setup Time	t_{SET}	(Figure 8, Note 6)	1			ns
Parallel Data Input Hold Time	t_{HOLD}	(Figure 8, Note 6)	1.5			ns
Serializer Delay (Notes 6, 7) (Figure 1)	t_{SD}	(Figure 9)	Spread spectrum enabled		2830	Bits
			Spread spectrum disabled		270	
Link Start Time	t_{LOCK}	(Figure 10)			3.5	ms
Power-Up Time	t_{PU}	(Figure 11)			6	ms
I²S INPUT TIMING						
WS Frequency	f_{WS}	See Table 4	8		192	kHz
Sample Word Length	n_{WS}	See Table 4	4		32	bits
SCK Frequency	f_{SCK}	$f_{SCK} = f_{WS} \times n_{WS} \times 2$	(8 x 4) x 2		(192 x 32) x 2	kHz
SCK Clock High Time	t_{HC}	$V_{SCK} \geq V_{IH}$, $t_{SCK} = 1/f_{SCK}$	0.35 x t_{SCK}			ns
SCK Clock Low Time	t_{LC}	$V_{SCK} \leq V_{IL}$, $t_{SCK} = 1/f_{SCK}$	0.35 x t_{SCK}			ns
SD, WS Setup Time	t_{SET}	(Figure 12)	2			ns
SD, WS Hold Time	t_{HOLD}	(Figure 12)	2			ns

MAX9264 DC ELECTRICAL CHARACTERISTICS

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (ENABLE, BWS, INT, CDS, ES, EQS, DCS, MS, PWDN, SSEN, DRS)						
High-Level Input Voltage	V_{IH1}		0.65 x V_{IOVDD}			V
Low-Level Input Voltage	V_{IL1}				0.35 x V_{IOVDD}	V
Input Current	I_{IN1}	$V_{IN} = 0$ to V_{IOVDD}	-10		+10	μA
Input Clamp Voltage	V_{CL}	$I_{CL} = -18mA$			-1.5	V
SINGLE-ENDED OUTPUTS (WS, SCK, SD, DOUT_, PCLKOUT)						
High-Level Output Voltage	V_{OH1}	$I_{OUT} = -2mA$	$DCS = IOGND$		$V_{IOVDD} - 0.3$	V
			$V_{DCS} = V_{IOVDD}$		$V_{IOVDD} - 0.2$	
Low-Level Output Voltage	V_{OL1}	$I_{OUT} = 2mA$	$DCS = IOGND$		0.3	V
			$V_{DCS} = V_{IOVDD}$		0.2	

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9264 DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
OUTPUT Short-Circuit Current	I _{OS}	WS, SCK, SD, DOUT_	V _O = 0V, DCS = IOGND	V _{IOVDD} = 3.0V to 3.6V	14	25	39	mA
				V _{IOVDD} = 1.7V to 1.9V	3	7	13	
			V _O = 0V, V _{DCS} = V _{IOVDD}	V _{IOVDD} = 3.0V to 3.6V	20	35	63	
				V _{IOVDD} = 1.7V to 1.9V	5	10	21	
		PCLKOUT	V _O = 0V, DCS = IOGND	V _{IOVDD} = 3.0V to 3.6V	15	33	50	
				V _{IOVDD} = 1.7V to 1.9V	4	10	17	
			V _O = 0V, V _{DCS} = V _{IOVDD}	V _{IOVDD} = 3.0V to 3.6V	30	54	97	
				V _{IOVDD} = 1.7V to 1.9V	9	16	32	
I²C/UART, I/O, AND OPEN-DRAIN OUTPUTS (GPIO_, RX/SDA, TX/SCL, ERR, LOCK)								
High-Level Input Voltage	V _{IH2}			0.7 x V _{IOVDD}			V	
Low-Level Input Voltage	V _{IL2}			0.3 x V _{IOVDD}			V	
Input Current	I _{IN2}	V _{IN} = 0 to V _{IOVDD} (Note 2)	RX/SDA, TX/SCL	-100		+1	μA	
			LOCK, ERR, GPIO_	-80		+1		
Low-Level Output Voltage	V _{OL2}	I _{OUT} = 3mA	V _{IOVDD} = 1.7V to 1.9V			0.4	V	
			V _{IOVDD} = 3.0V to 3.6V			0.3		
DIFFERENTIAL OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage, (V _{IN+}) - (V _{IN-})	V _{ROH}	No high-speed data transmission (Figure 13)		30		60	mV	
Differential Low Output Peak Voltage, (V _{IN+}) - (V _{IN-})	V _{ROL}	No high-speed data transmission (Figure 13)		-60		-30	mV	
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDH(P)}	Figure 14			40	90	mV	
Differential Low Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{IDL(P)}	Figure 14		-90	-40		mV	
Input Common-Mode Voltage ((V _{IN+}) + (V _{IN-}))/2	V _{CMR}			1	1.3	1.6	V	
Differential Input Resistance (Internal)	R _I			80	100	130	Ω	

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

MAX9264 DC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
POWER SUPPLY								
Worst-Case Supply Current (Figure 15, Note 3)	I _{WCS}	BWS = IOGND, f _{PCLKOUT} = 16.6MHz	2% spread spectrum active	132	186	mA		
			Spread spectrum disabled	125	175			
		BWS = IOGND, f _{PCLKOUT} = 33.3MHz	2% spread spectrum active	145	204			
			Spread spectrum disabled	133	188			
		BWS = IOGND, f _{PCLKOUT} = 66.6MHz	2% spread spectrum active	174	241			
			Spread spectrum disabled	157	220			
		BWS = IOGND, f _{PCLKOUT} = 104MHz	2% spread spectrum active	210	275			
			Spread spectrum disabled	186	242			
		Sleep Mode Supply Current	I _{CCS}		80		230	μA
		Power-Down Current	I _{CCZ}	$\overline{PWDN} = IOGND$	25		156	μA
ESD PROTECTION								
IN+, IN-	V _{ESD}	Human Body Model, R _D = 1.5kΩ, C _S = 100pF (Note 4)		±8		kV		
		IEC 61000-4-2, R _D = 330Ω, C _S = 150pF (Note 5)	Contact discharge	±10				
			Air discharge	±12				
		ISO 10605, R _D = 2kΩ, C _S = 330pF (Note 5)	Contact discharge	±8				
Air discharge	±20							
All Other Pins	V _{ESD}	Human Body Model, R _D = 1.5kΩ, C _S = 100pF (Note 4)		±4		kV		

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9264 AC ELECTRICAL CHARACTERISTICS

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PARALLEL CLOCK OUTPUT (PCLKOUT)							
Clock Frequency	fPCLKOUT	BWS = IOGND, VDRS = VIOVDD	8.33		16.66	MHz	
		BWS = IOGND, DRS = IOGND	16.66		104		
		VBWS = VIOVDD, VDRS = VIOVDD	6.25		12.5		
		VBWS = VIOVDD, DRS = IOGND	12.5		78		
Clock Duty Cycle	DC	t _{HIGH} /t _T or t _{LOW} /t _T (Figure 16, Note 6)	40	50	60	%	
Clock Jitter	t _J	Period jitter, RMS, spread off, 3.125Gbps, PRBS pattern, UI = 1/fPCLKOUT (Note 6)		0.05		UI	
I²C/UART PORT TIMING							
I ² C/UART Bit Rate			9.6		1000	kbps	
Output Rise Time	t _R	30% to 70%, C _L = 10pF to 100pF, 1k Ω pullup to VIOVDD	20		150	ns	
Output Fall Time	t _F	70% to 30%, C _L = 10pF to 100pF, 1k Ω pullup to VIOVDD	20		150	ns	
Input Setup Time	t _{SET}	I ² C only (Figure 6, Note 6)	100			ns	
Input Hold Time	t _{HOLD}	I ² C only (Figure 6, Note 6)	0			ns	
SWITCHING CHARACTERISTICS (NOTE 6)							
PCLKOUT Rise-and-Fall Time	t _R , t _F	20% to 80%, VIOVDD = 1.7V to 1.9V	VDCS = VIOVDD, C _L = 10pF	0.4		2.2	ns
			DCS = IOGND, C _L = 5pF	0.5		2.8	
		20% to 80%, VIOVDD = 3.0V to 3.6V	VDCS = VIOVDD, C _L = 10pF	0.25		1.7	
			DCS = IOGND, C _L = 5pF	0.3		2.0	
Parallel Data Rise-and-Fall Time (Figure 17)	t _R , t _F	20% to 80%, VIOVDD = 1.7V to 1.9V	VDCS = VIOVDD, C _L = 10pF	0.5		3.1	ns
			DCS = IOGND, C _L = 5pF	0.6		3.8	
		20% to 80%, VIOVDD = 3.0V to 3.6V	VDCS = VIOVDD, C _L = 10pF	0.3		2.2	
			DCS = IOGND, C _L = 5pF	0.4		2.4	
Deserializer Delay	t _{SD}	(Figure 18, Note 7)	Spread spectrum enabled		2880	Bits	
			Spread spectrum disabled		750		
Reverse Control-Channel Output Rise Time	t _R	No forward channel data transmission (Figure 13)	180		400	ns	
Reverse Control-Channel Output Fall Time	t _F	No forward channel data transmission (Figure 13)	180		400	ns	

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

MAX9264 AC ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Lock Time	t_{LOCK}	Figure 19	Spread spectrum enabled			1.5	ms
			Spread spectrum disabled			1	
Power-Up Time	t_{PU}	Figure 20				2.5	ms
I²S OUTPUT TIMING (NOTE 6)							
WS Jitter	t_{AJ-WS}	$t_{WS} = 1/f_{WS}$, rising (falling) edge to falling (rising) edge	$f_{WS} = 48kHz$ or $44.1kHz$	$0.4e-3$	$0.5e-3$	$x t_{WS}$	ns
			$f_{WS} = 96kHz$	$0.8e-3$	$1e-3$	$x t_{WS}$	
			$f_{WS} = 192kHz$	$1.6e-3$	$2e-3$	$x t_{WS}$	
SCK Jitter	t_{AJ-SCK}	$t_{SCK} = 1/f_{SCK}$, rising edge to rising edge	$n_{WS} = 16$ bits, $f_{WS} = 48kHz$ or $44.1kHz$	$13e-3$	$16e-3$	$x t_{SCK}$	ns
			$n_{WS} = 24$ bits, $f_{WS} = 96kHz$	$39e-3$	$48e-3$	$x t_{SCK}$	
			$n_{WS} = 32$ bits, $f_{WS} = 192kHz$	0.1	0.13	$x t_{SCK}$	
Audio Skew Relative to Video	t_{ASK}	Video and audio synchronized		$3 x t_{WS}$	$4 x t_{WS}$		μs
SCK, SD, WS Rise-and-Fall Time	t_R, t_F	20% to 80%, $C_L = 10pF$	$V_{DCS} = V_{IOVDD}$, $C_L = 10pF$	0.3		3.1	ns
			$DCS = I_{OGND}$, $C_L = 5pF$	0.4		3.8	
SD, WS Valid Time Before SCK	t_{DVB}	$t_{SCK} = 1/f_{SCK}$ (Figure 21)		$0.35 x t_{SCK}$	$0.5 x t_{SCK}$		ns
SD, WS Valid Time After SCK	t_{DVA}	$t_{SCK} = 1/f_{SCK}$ (Figure 21)		$0.35 x t_{SCK}$	$0.5 x t_{SCK}$		ns

Note 2: Minimum I_{IN} due to voltage drop across the internal pullup resistor.

Note 3: HDCP enabled.

Note 4: Tested terminal to all grounds.

Note 5: Tested terminal to AGND.

Note 6: Guaranteed by design and not production tested.

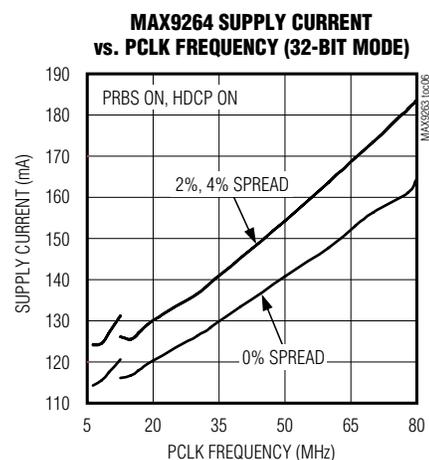
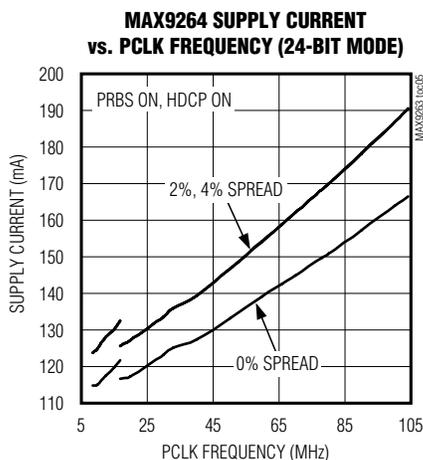
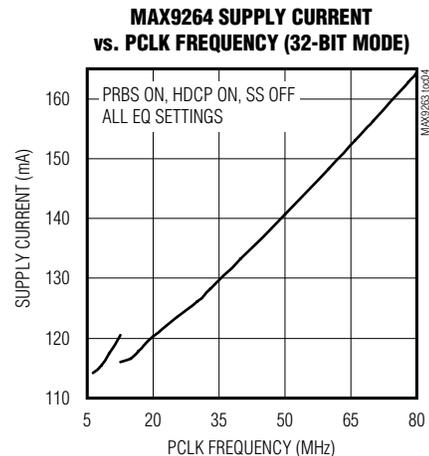
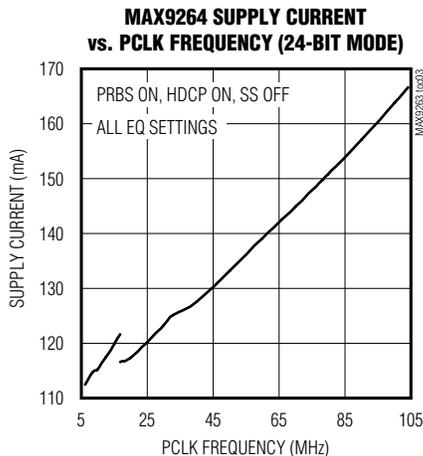
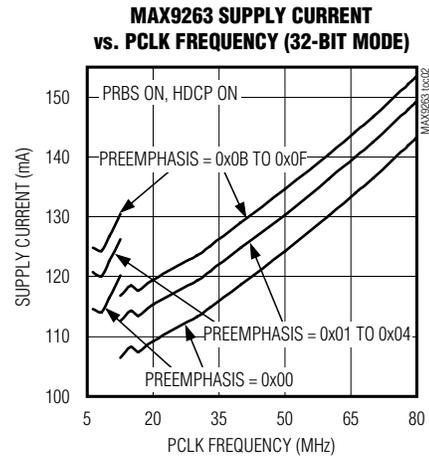
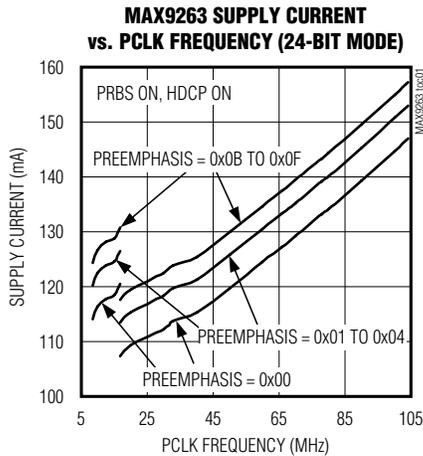
Note 7: Measured in CML bit times. Bit time = $1/(30 x f_{PCLKOUT})$ for $BWS = GND$. Bit time = $1/(40 x f_{PCLKOUT})$ for $V_{BWS} = V_{IOVDD}$.

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

標準動作特性

($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$ (MAX9263), $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$ (MAX9264), $T_A = +25^\circ C$, unless otherwise noted.)

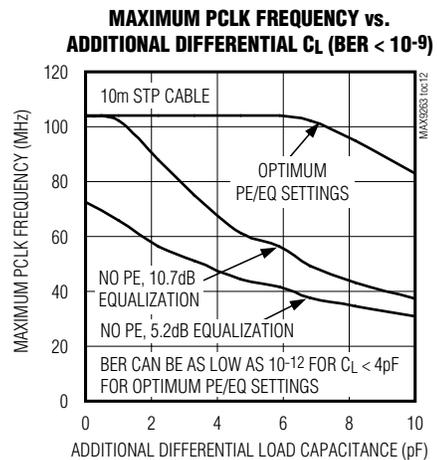
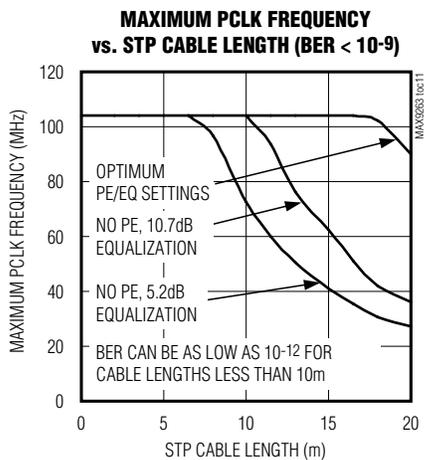
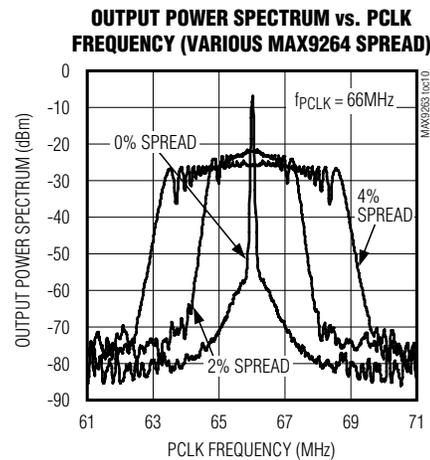
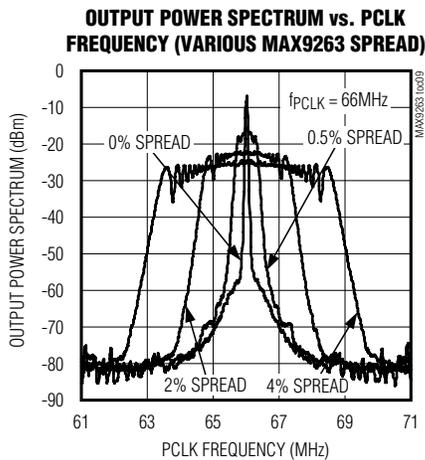
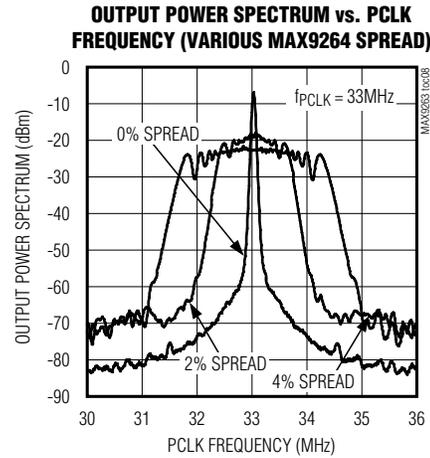
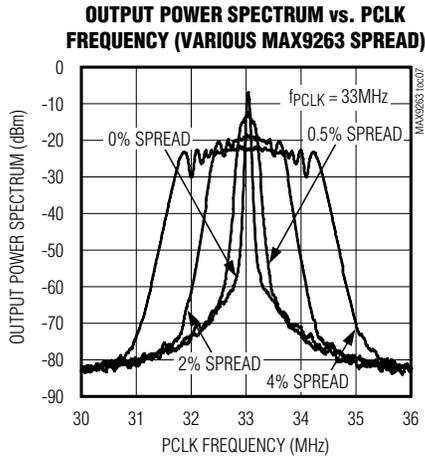


MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

標準動作特性(続き)

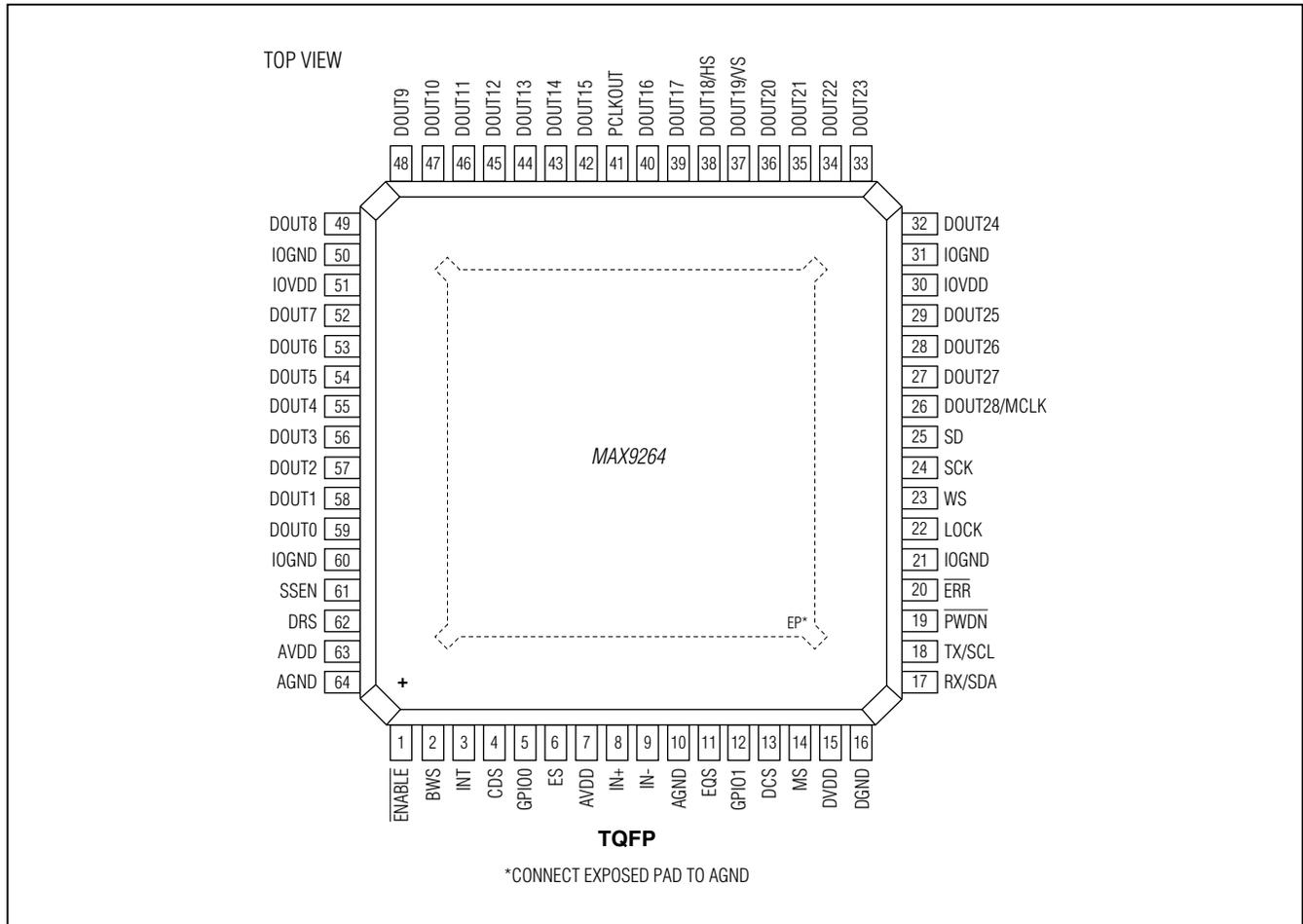
($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V$ (MAX9263), $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$ (MAX9264), $T_A = +25^\circ C$, unless otherwise noted.)



MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

ピン配置(続き)



MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9263の端子説明

端子	名称	機能
1-5	DIN[12:16]	データ入力[12:16]。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合は暗号化されます(表3を参照)。
6	PCLKIN	パラレルクロック入力。パラレルデータ入力をラッチし、PLLリファレンスクロックを供給します。
7, 30, 51	IOVDD	I/O電源電圧。1.8V~3.3VのロジックI/O電源です。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサを、IOVDDとGND間に接続してください(値の小さい方のコンデンサがIOVDD側)。
8, 20, 31, 50, 61	GND	デジタルおよびI/Oグラウンド
9, 18, 39	AGND	アナロググラウンド
10, 42	AVDD	1.8Vアナログ電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサを、AVDDとAGND間に接続してください(値の小さい方のコンデンサがAVDD側)。
11	DIN17	データ入力17。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合は暗号化されます(表3を参照)。
12	DIN18/HS	データ入力18/HSYNC。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合はDIN18/HSをHSYNCに使用してください(表3)。
13	DIN19/VS	データ入力19/VSYNC。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合はDIN19/VSをVSYNCに使用してください(表3)。
14	DIN20	データ入力20。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合もDIN20は暗号化されません(表3を参照)。
15, 16, 17	DIN[21:23]	データ入力[21:23]。GNDへのプルダウンを内蔵したパラレルデータ入力です。DIN[21:23]は24ビットモードでは使用されません。[DIN21:23]を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合は暗号化されます(表3)。
19, 62	DVDD	1.8Vデジタル電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサを、DVDDとGND間に接続してください(値の小さい方のコンデンサがDVDD側)。
21, 22, 23	DIN[24:26]	データ入力[24:26]。GNDへのプルダウンを内蔵したパラレルデータ入力です。DIN[24:26]は24ビットモードでは使用されません。[DIN24:26]を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合は暗号化されます(表3を参照)。
24, 25	DIN[27:28]	データ入力[27:28]。GNDへのプルダウンを内蔵したパラレルデータ入力です。DIN[27:28]は24ビットモードでは使用されません。[DIN27:28]を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合もDIN[27:28]は暗号化されません(表3を参照)。
26	SD	GNDへのプルダウンを内蔵したI ² Sシリアルデータ入力。SDをPCLKINの選択されたエッジでラッチされる追加データ入力として使用する場合は、I ² Sをディセーブルしてください。HDCPがイネーブルされている場合は暗号化されます。
27	SCK	GNDへのプルダウンを内蔵したI ² Sシリアルクロック入力
28	WS	GNDへのプルダウンを内蔵したI ² Sワードセレクト入力
29	$\overline{\text{AUTOS}}$	アクティブローのオートスタート設定。AUTOSには、外付けのプルダウンまたはプルアップ抵抗が必要です。アクティブなリンクなしでデバイスを起動する場合は、AUTOS = ハイに設定してください。オートレンジ検出でシリアライザにシリアルリンクを起動させるには、AUTOS = ローに設定してください(表13および14を参照)。
32	MS	モード選択。制御リンクのモード選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。ベースモードを選択する場合は、MS = ローに設定してください。バイパスモードを選択する場合は、MS = ハイに設定してください。
33	CDS	制御方向選択。制御リンクの方向選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。制御のマスターとしてのμCのUART接続の場合は、CDS = ローに設定してください。制御チャンネルのI ² CまたはUARTスレーブとしてのペリフェラル接続の場合は、CDS = ハイに設定してください。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9263の端子説明(続き)

端子	名称	機能
34	$\overline{\text{PWDN}}$	アクティブローの、パワーダウン入力。 $\overline{\text{PWDN}}$ には、外付けのプルダウンまたはプルアップ抵抗が必要です。
35	RX/SDA	受信/シリアルデータ。IOVDDへの30k Ω のプルアップを内蔵した、UART受信またはI ² Cシリアルデータ入出力です。UARTモードでは、RX/SDAはシリアライザのUARTのRx入力です。I ² Cモードでは、RX/SDAはシリアライザのI ² CマスターのSDA入出力です。RX/SDAはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。
36	TX/SCL	送信/シリアルクロック。IOVDDへの30k Ω のプルアップを内蔵した、UART送信またはI ² Cシリアルクロック出力です。UARTモードでは、TX/SCLはシリアライザのUARTのTx出力です。I ² Cモードでは、TX/SCLはシリアライザのI ² CマスターのSCL出力です。TX/SCLはオープンドレインのドライバのため、プルアップ抵抗が必要です。
37	SSEN	スペクトラム拡散イネーブル。シリアルリンクのスペクトラム拡散イネーブル入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。SSENの状態は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。シリアルリンク上で $\pm 0.5\%$ のスペクトラム拡散を使用する場合は、SSEN = ハイに設定してください。スペクトラム拡散なしでシリアルリンクを使用する場合は、SSEN = ローに設定してください。
38	LMN1	ラインフォルトモニタ入力1。詳細については図3を参照してください。
40, 41	OUT-, OUT+	正負の差動CML出力。シリアルリンクの差動出力です。
43	LMN0	ラインフォルトモニタ入力0。詳細については図3を参照してください。
44	$\overline{\text{LFLT}}$	ラインフォルト。アクティブロー、オープンドレインのラインフォルト出力です。 $\overline{\text{LFLT}}$ は60k Ω のプルアップ抵抗を内蔵しています。 $\overline{\text{LFLT}}$ = ローでラインフォルトを示します。PWDN = ローのとき、 $\overline{\text{LFLT}}$ はハイインピーダンスです。
45	INT	割込み出力。リモート側の割込み要求を示します。起動時および $\overline{\text{PWDN}}$ = ローのとき、INT = ローです。デシリアライザのINT入力の遷移によって、シリアライザのINT出力がトグルします。
46	DRS	データレート選択。データレート範囲選択入力、外付けのプルダウンまたはプルアップ抵抗が必要です。DRSの状態は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。PCLKINの周波数を8.33MHz~16.66MHz (24ビットモード)または6.25MHz~12.5MHz (32ビットモード)とする場合は、DRS = ハイに設定してください。PCLKINの周波数を16.66MHz~104MHz (24ビットモード)または12.5MHz~78MHz (32ビットモード)とする場合は、DRS = ローに設定してください。
47	ES	エッジ選択。PCLKINのトリガエッジの選択で、外付けのプルダウンまたはプルアップ抵抗が必要です。PCLKINの立上りエッジをトリガとする場合は、ES = ローに設定してください。PCLKINの立下りエッジをトリガとする場合は、ES = ハイに設定してください。
48	BWS	バス幅選択。BWSには、外付けのプルダウンまたはプルアップ抵抗が必要です。24ビットモードにする場合は、BWS = ローに設定してください。32ビットモードにする場合は、BWS = ハイに設定してください。
49	DIN0	データ入力0。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合は暗号化されます(表3)。
52-60	DIN[1:9]	データ入力[1:9]。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合は暗号化されます(表3)。
63, 64	DIN[10:11]	データ入力[10:11]。GNDへのプルダウンを内蔵したパラレルデータ入力です。HDCPがイネーブルされている場合は暗号化されます(表3)。
—	EP	エクスポーズドパッド。EPは内部でAGNDに接続されています。適切な熱的および電気的性能を実現するために、EPを外外部でAGNDプレーンに接続する必要があります。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9264の端子説明

端子	名称	機能
1	ENABLE	アクティブローのバラレル出カインーブル入力。外付けのプルダウンまたはプルアップ抵抗が必要です。PCLKOUT、SD、SCK、WS、およびDOUT_をインーブルする場合は、ENABLE = ローに設定してください。PCLKOUT、SD、SCK、WS、およびDOUT_をハイインピーダンスにする場合は、ENABLE = ハイに設定してください。
2	BWS	バス幅選択。BWSには、外付けのプルダウンまたはプルアップ抵抗が必要です。24ビットモードにする場合は、BWS = ローに設定してください。32ビットモードにする場合は、BWS = ハイに設定してください。
3	INT	割込み入力。INTには、外付けのプルアップまたはプルダウン抵抗が必要です。デシリアライザのINT入力の遷移によって、シリアライザのINT出力がトグルします。
4	CDS	制御方向選択。制御リンクの方向選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。制御チャンネルのマスターとしての μ CのUART接続の場合は、CDS = ハイに設定してください。制御チャンネルのI ² CまたはUARTスレーブとしてのペリフェラル接続の場合は、CDS = ローに設定してください。
5	GPIO0	GPIO0。IOVDDへの60k Ω のプルアップ抵抗を内蔵した、オープンドレインの汎用入出力です。起動中およびPWN = ローのとき、GPIO0はハイインピーダンスです。
6	ES	エッジ選択。PCLKOUTのエッジ選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。立上りエッジトリガとする場合は、ES = ローに設定してください。立下りエッジトリガとする場合は、ES = ハイに設定してください。
7, 63	AVDD	3.3Vアナログ電源。できる限りデバイスの近くに配置した0.1 μ Fと0.001 μ Fのコンデンサで、AVDDをAGNDに接続してください(値の小さい方のコンデンサがAVDD側)。
8, 9	IN+, IN-	正負の差動CML入力。シリアルリンクの差動入力です。
10, 64	AGND	アナロググランド
11	EQS	イコライザ選択入力は外付けのプルダウンまたはプルアップ抵抗が必要です。EQSの状態は、起動時またはパワーダウンモード(PWN = ロー)からの復帰時にラッチされます。イコライザのブーストを10.7dB (EQTUNE = 1001)にする場合は、EQS = ローに設定してください。イコライザのブーストを5.2dB (EQTUNE = 0100)にする場合は、EQS = ハイに設定してください。
12	GPIO1	GPIO1。IOVDDへの60k Ω のプルアップ抵抗を内蔵した、オープンドレインの汎用入出力です。起動中およびPWN = ローの場合、GPIO1はハイインピーダンスです。
13	DCS	駆動電流選択。ドライバ電流選択入力で、IOVDDへの外付けのプルダウンまたはプルアップ抵抗が必要です。より高出力のバラレルデータおよびクロック出力ドライバにする場合は、DCS = ハイに設定してください。通常のバラレルデータおよびクロックドライバとする場合は、DCS = ローに設定してください。「MAX9264 DC Electrical Characteristics (MAX9264のDC電氣的特性)」の表を参照してください。
14	MS	モード選択。制御チャンネルのモード選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。CDS = ハイの場合、MSは制御リンクのモードを設定します。「制御チャンネルおよびレジスタの設定」の項を参照してください。CDS = ローの場合、MSはオートスタートモードを設定します。表13を参照してください。
15	DVDD	3.3Vデジタル電源。できる限りデバイスの近くに配置した0.1 μ Fと0.001 μ Fのコンデンサで、DVDDをDGNDに接続してください(値の小さい方のコンデンサがDVDD側)。
16	DGND	デジタルグランド
17	RX/SDA	受信/シリアルデータ。IOVDDへの30k Ω のプルアップを内蔵した、UART受信またはI ² Cシリアルデータ入出力です。UARTモードの場合、RX/SDAはデシリアライザのUARTのRx入力です。I ² Cモードの場合、RX/SDAはデシリアライザのI ² CマスターのSDA入出力です。RX/SDAはオープンドレインのドライバのため、プルアップ抵抗が必要です。
18	TX/SCL	送信/シリアルクロック。IOVDDへの30k Ω のプルアップを内蔵した、UART送信またはI ² Cシリアルクロック出力です。UARTモードの場合、TX/SCLはデシリアライザのUARTのTx出力です。I ² Cモードの場合、TX/SCLはデシリアライザのI ² CマスターのSCL出力です。TX/SCLはオープンドレインのドライバのため、プルアップ抵抗が必要です。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

MAX9264の端子説明(続き)

端子	名称	機能
19	$\overline{\text{PWDN}}$	アクティブローの、パワーダウン入力。 $\overline{\text{PWDN}}$ には、外付けのプルダウンまたはプルアップ抵抗が必要です。
20	$\overline{\text{ERR}}$	IOVDDへの60k Ω のプルアップを内蔵した、アクティブローのオープンドレインのビデオデータエラー出力。通常動作中にデコードエラーの数が設定されたエラースレッショルドを超えるか、またはPRBSテスト中に少なくとも1つのPRBSエラーが検出された場合、 $\overline{\text{ERR}}$ はローになります。 $\overline{\text{PWDN}}$ = ローの場合、 $\overline{\text{ERR}}$ はハイインピーダンスです。 $\overline{\text{ERR}}$ はオープンドレインのドライバのため、プルアップ抵抗が必要です。
21, 31, 50, 60	IOGND	入出力グランド
22	LOCK	IOVDDへの60k Ω のプルアップを内蔵した、オープンドレインのロック出力。LOCK = ハイの場合、正しいシリアルワード境界のアラインメントでPLLがロックされていることを示します。LOCK = ローの場合、PLLがロックされていないかシリアルワード境界のアラインメントが不正であることを示します。設定リンクがアクティブの場合、LOCKはローのままになります。 $\overline{\text{PWDN}}$ = ローの場合、LOCKはハイインピーダンスです。LOCKはオープンドレインのドライバのため、プルアップ抵抗が必要です。
23	WS	I ² Sワード選択出力
24	SCK	I ² Sシリアルクロック出力
25	SD	I ² Sシリアルデータ出力。SDをPCLKOUTの選択されたエッジでラッチされる補助的な制御出力として使用する場合は、I ² Sをディセーブルしてください。HDCPがイネーブルされている場合は暗号化されます。
26	DOUT28/ MCLK	データ出力28/MCLK。パラレルデータまたはマスタークロック出力です。PCLKOUTの選択されたエッジで出力データをストロープすることができます。DOUT28は24ビットモードでは使用されず、ローのままになります。DOUT28を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合もDOUT28/MCLKは暗号化されません(表3)。DOUT28/MCLKを使用してMCLKを出力することができます。「オーディオアプリケーション用の補助的なMCLK出力」の項を参照してください。
27	DOUT27	データ出力27。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。DOUT27は24ビットモードでは使用されず、ローのままになります。DOUT27を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合もDOUT27は暗号化されません。表3を参照してください。
28, 29	DOUT[26:25]	データ出力[26:25]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。DOUT[26:25]は24ビットモードでは使用されず、ローの出力のままになります。DOUT[26:25]を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合は暗号化されます。表3を参照してください。
30, 51	IOVDD	I/O電源電圧。1.8V~3.3VのロジックI/O電源です。できる限りデバイスの近くに配置した0.1 μF と0.001 μF のコンデンサを、IOVDDとIOGND間に接続してください(値の小さい方のコンデンサがIOVDD側)。
32-35	DOUT[24:21]	データ出力[24:21]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。DOUT[24:21]は24ビットモードでは使用されず、ローのままになります。DOUT[24:21]を使用する場合は、BWS = ハイ(32ビットモード)に設定してください。HDCPがイネーブルされている場合は暗号化されます。表3を参照してください。
36	DOUT20	データ出力20。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。HDCPがイネーブルされている場合もDOUT20は暗号化されません。表3を参照してください。
37	DOUT19/VS	データ出力19/VS。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。HDCPがイネーブルされている場合はDOUT19/VSをVSYNCに使用してください。表3を参照してください。
38	DOUT18/HS	データ出力18/HS。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。HDCPがイネーブルされている場合はDOUT18/HSをHSYNCに使用してください。表3を参照してください。
39, 40	DOUT[17:16]	データ出力[17:16]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。HDCPがイネーブルされている場合は暗号化されます。表3を参照してください。
41	PCLKOUT	パラレルクロック出力。DOUT[28:0]用に使用されます。
42-49	DOUT[15:8]	データ出力[15:8]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロープすることができます。HDCPがイネーブルされている場合は暗号化されます。表3を参照してください。

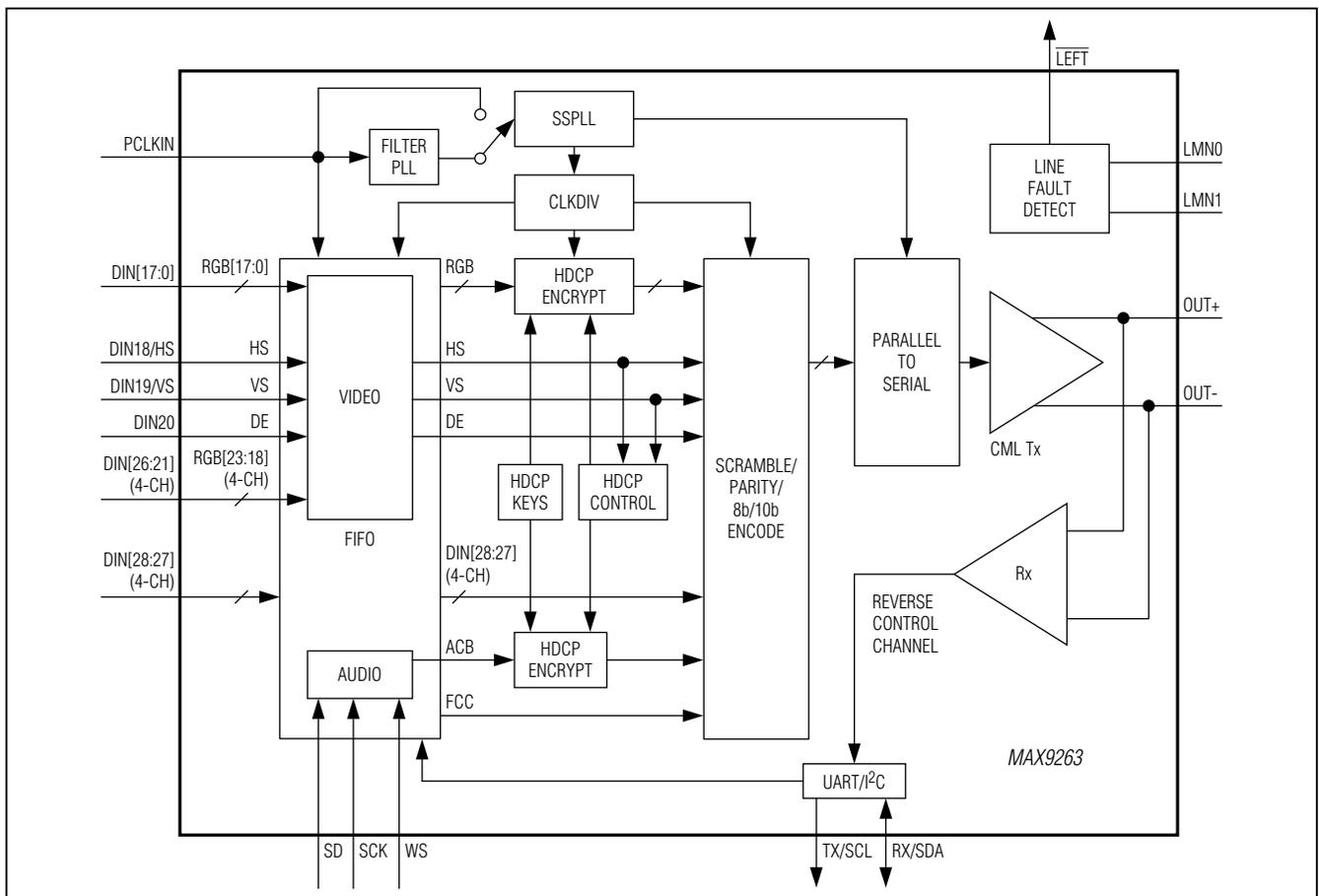
MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

MAX9264の端子説明(続き)

端子	名称	機能
52-59	DOUT[7:0]	データ出力[7:0]。パラレルデータ出力です。選択されているPCLKOUTのエッジで出力データをストロブすることができます。HDCPがイネーブルされている場合は暗号化されます。表3を参照してください。
61	SSEN	スペクトラム拡散イネーブル入力。パラレル出力のスペクトラム拡散イネーブル入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。SSENの状態は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。パラレル出力で±2%のスペクトラム拡散を使用する場合は、SSEN = ハイに設定してください。スペクトラム拡散なしでパラレル出力を使用する場合は、SSEN = ローに設定してください。
62	DRS	データレート選択。データレート範囲の選択入力で、外付けのプルダウンまたはプルアップ抵抗が必要です。DRSの状態は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。PCLKOUTの周波数を8.33MHz~16.66MHz (24ビットモード)または6.25MHz~12.5MHz (32ビットモード)とする場合は、DRS = ハイに設定してください。PCLKOUTの周波数を16.66MHz~104MHz (24ビットモード)または12.5MHz~78MHz (32ビットモード)とする場合は、DRS = ローに設定してください。
—	EP	エクスポーズパッド。EPは内部でAGNDに接続されています。適切な熱的および電気的性能を実現するために、EPを外部でAGNDプレーンに接続する必要があります。

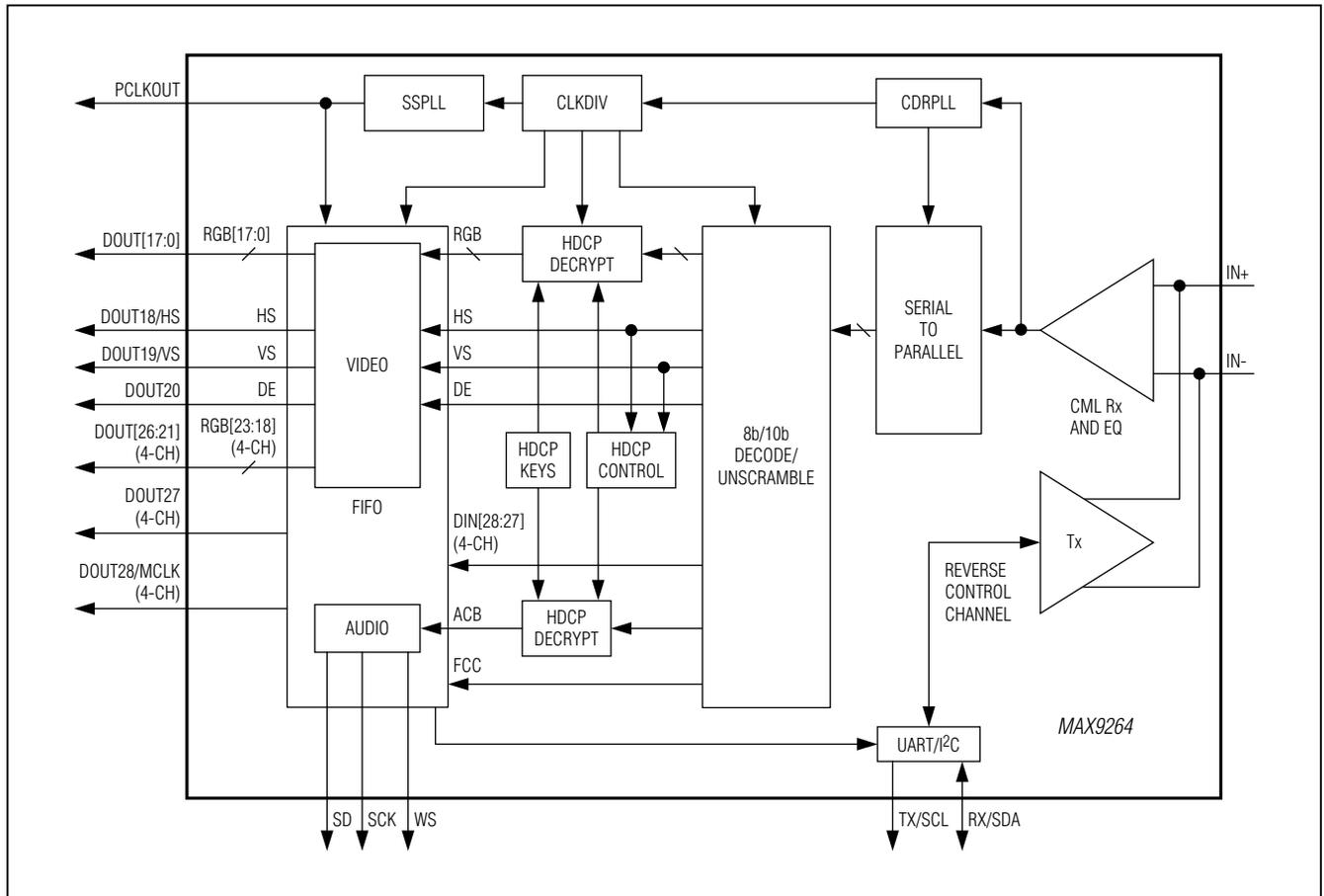
ファンクションダイアグラム



MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

ファンクションダイアグラム(続き)



MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

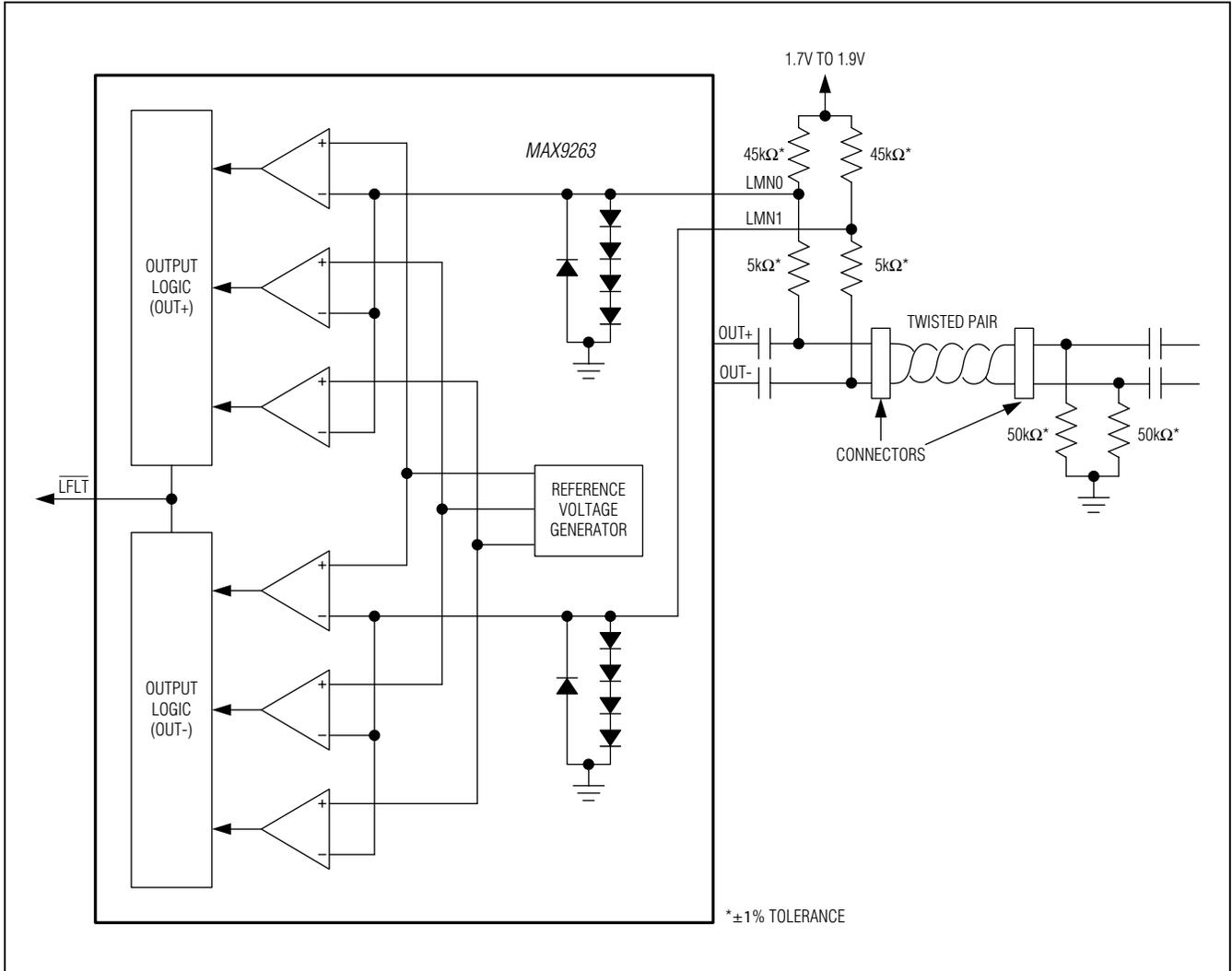


図 3. ラインフォルト検出回路

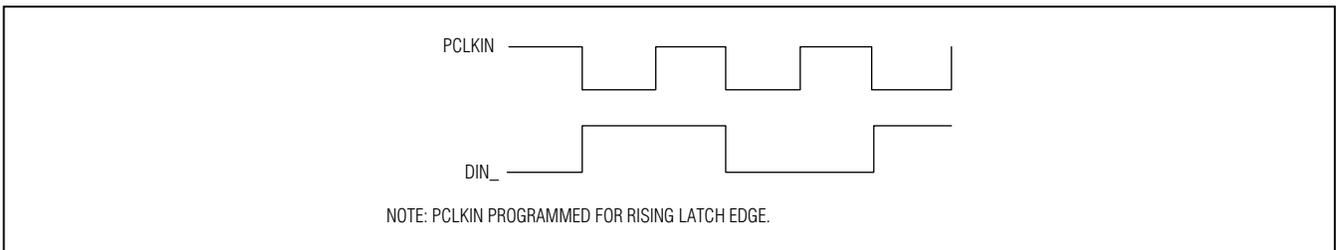


図 4. シリアライザのワーストケースパターンの入力

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

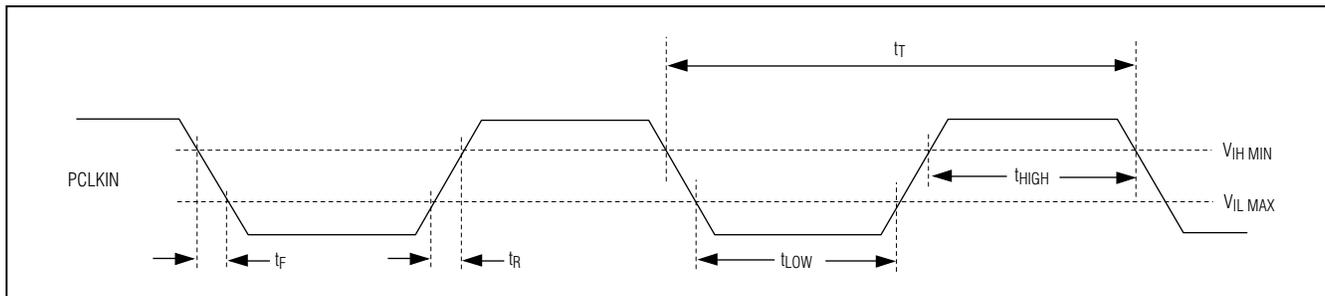


図 5. シリアライザのパラレル入力クロックの要件

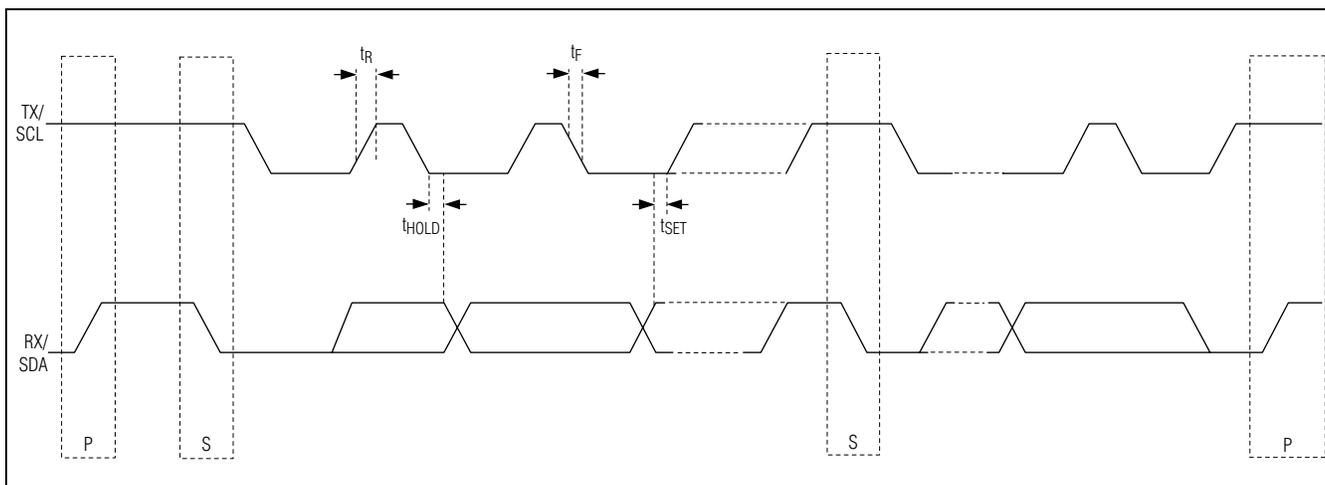


図 6. I²C のタイミングパラメータ

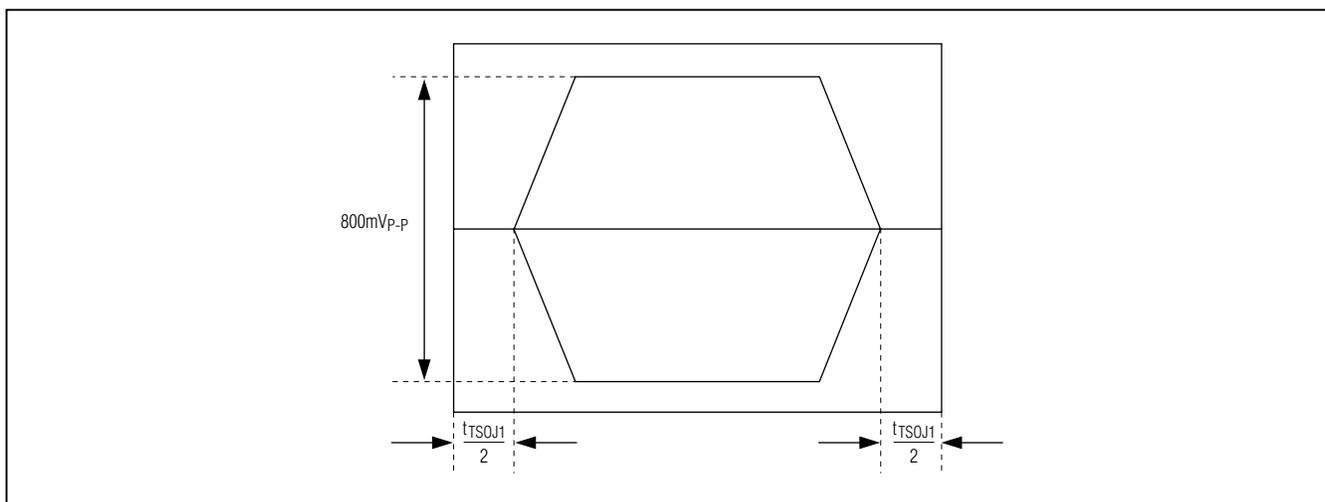


図 7. シリアライザの差動出力テンプレート

HDCPギガビットマルチメディア・シリアルリンク・
シリアライザ/デシリアライザ

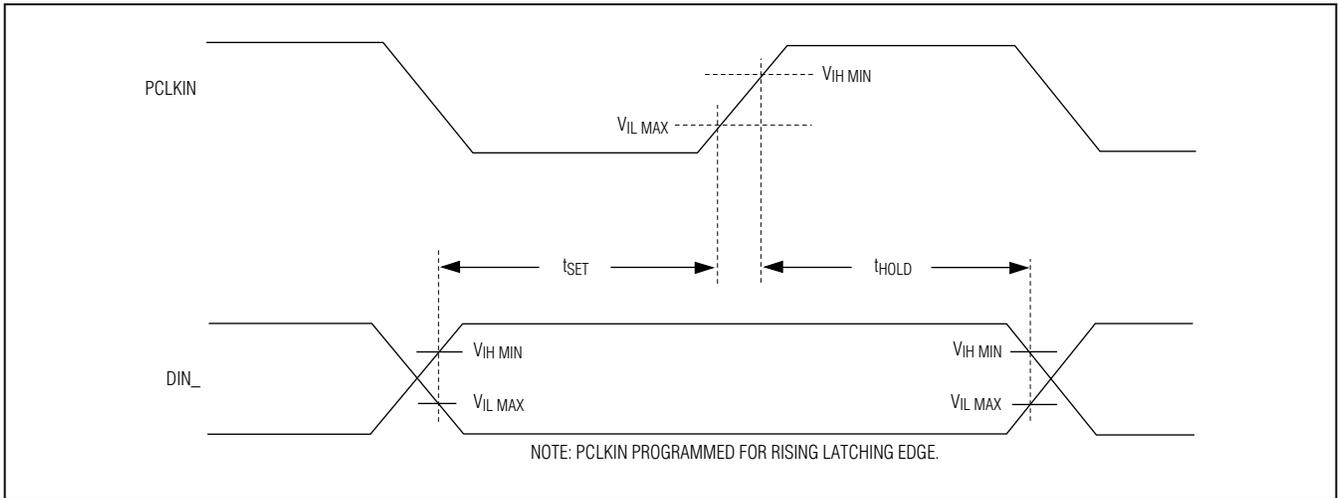


図 8. シリアライザの入力のセットアップおよびホールド時間

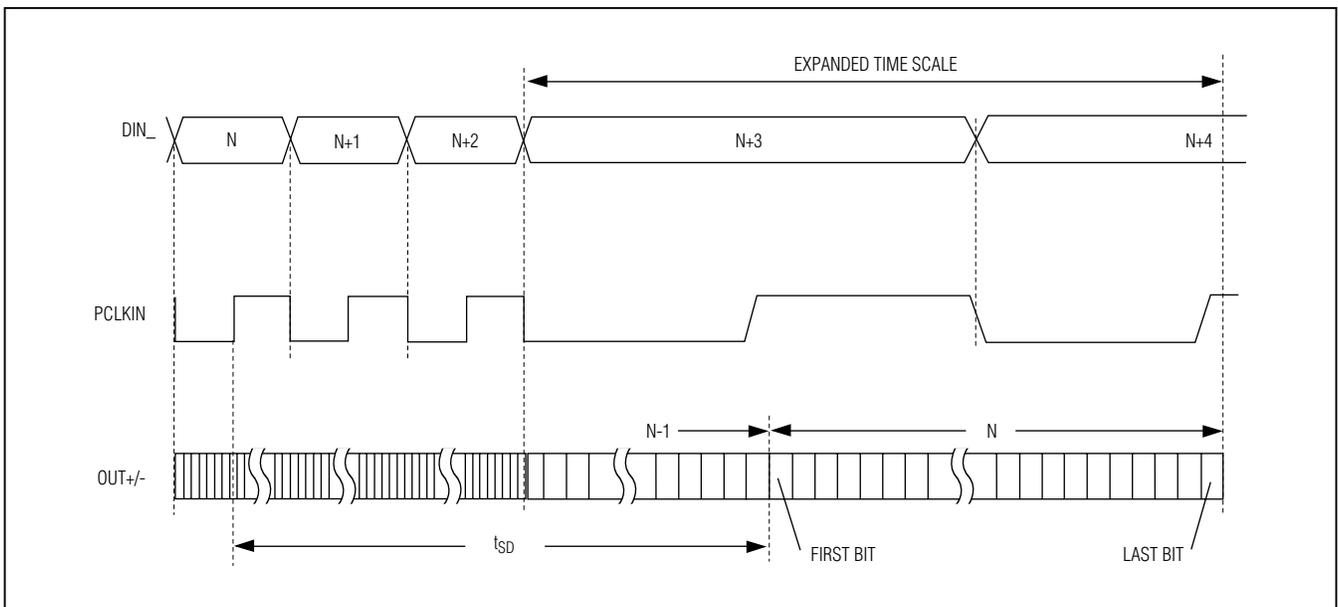


図 9. シリアライザの遅延

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

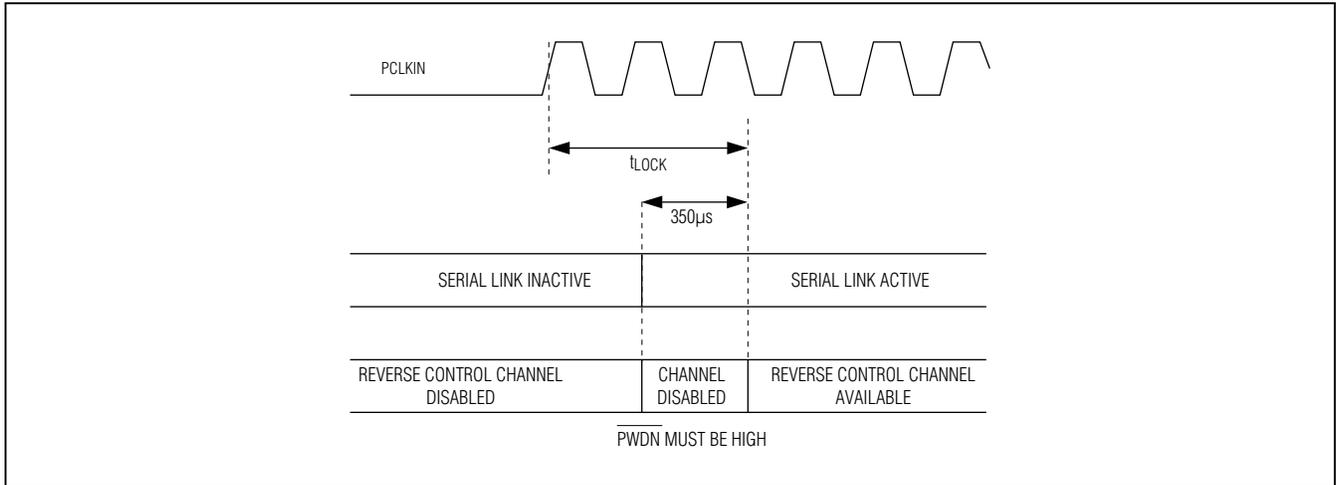


図 10. シリアライザのリンクのスタートアップ時間

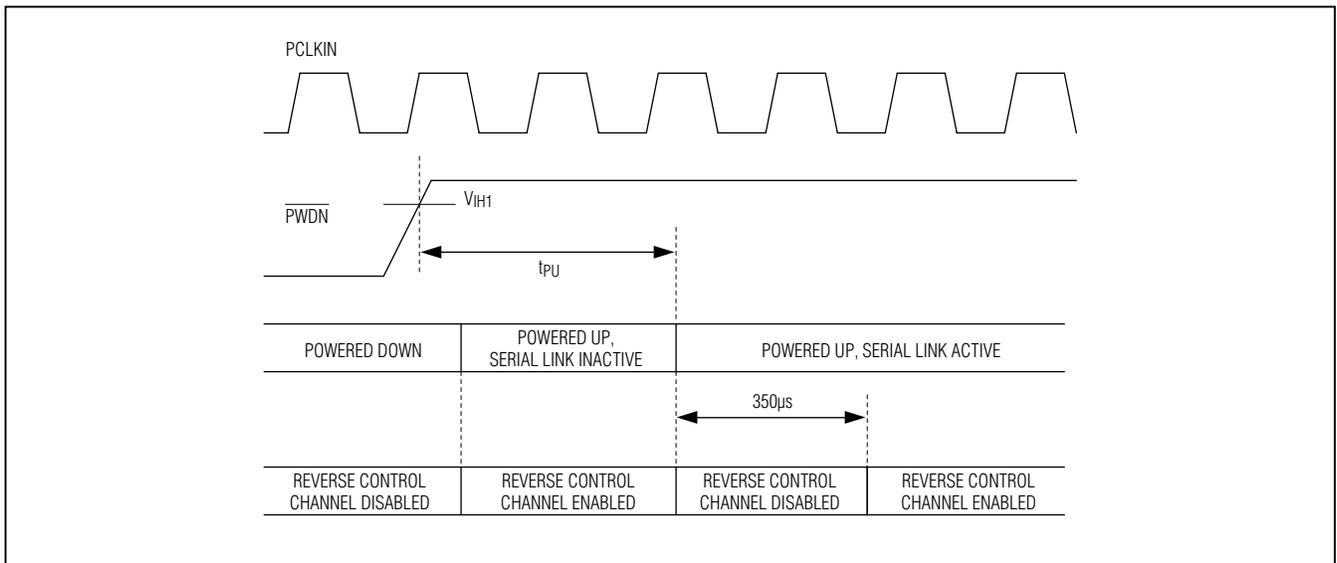


図 11. シリアライザの起動遅延

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

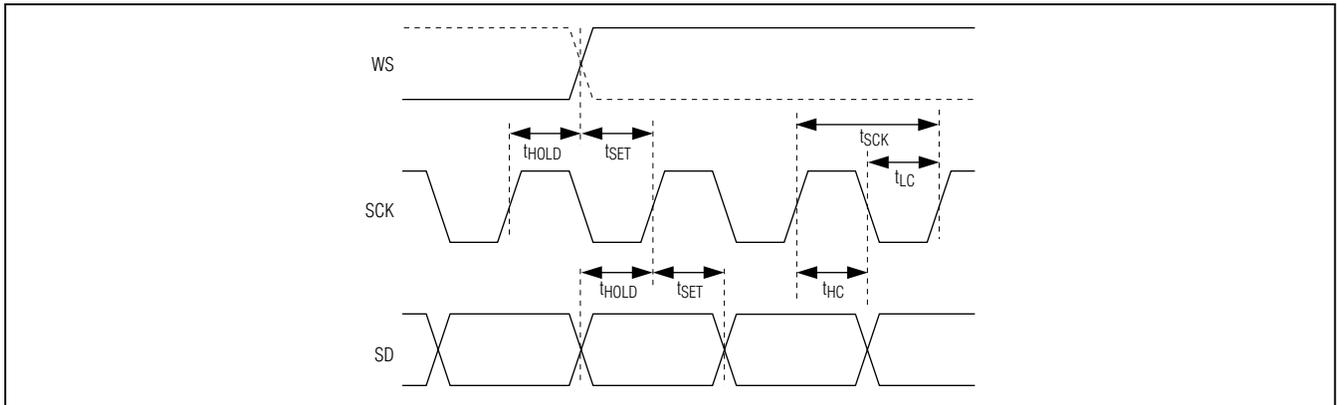


図 12. 入力 I²S のタイミングパラメータ

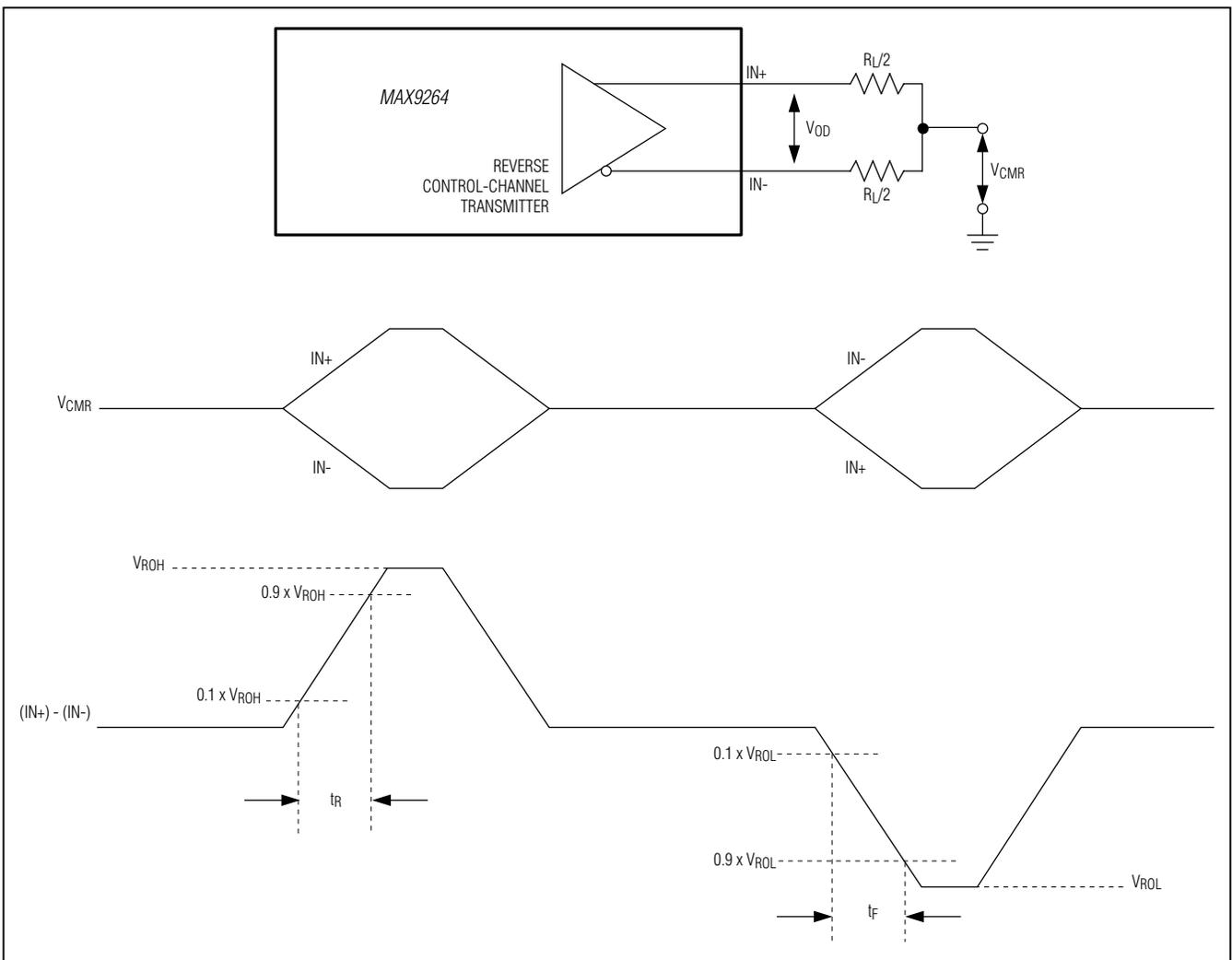


図 13. 逆方向制御チャネルの出力パラメータ

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

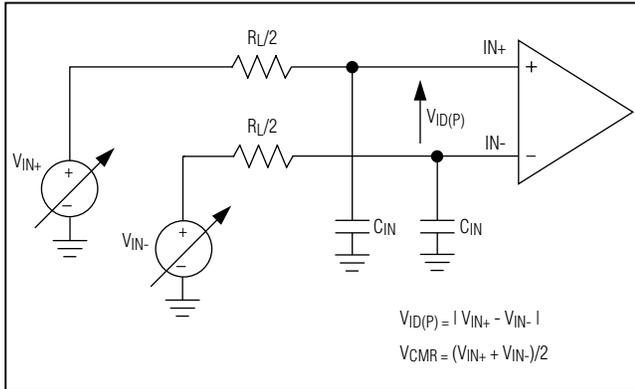


図 14. 差動入力測定のためのテスト回路

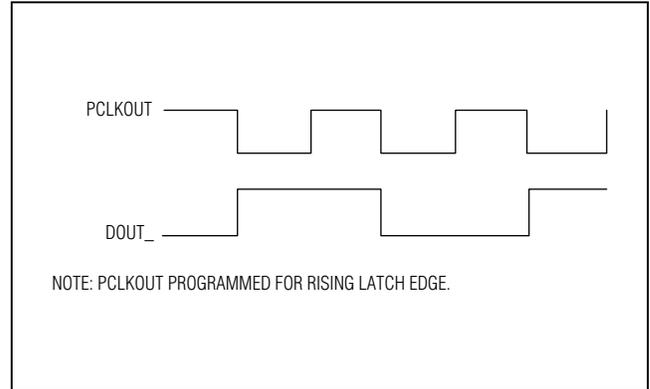


図 15. デシリアライザのワーストケースパターンでの出力

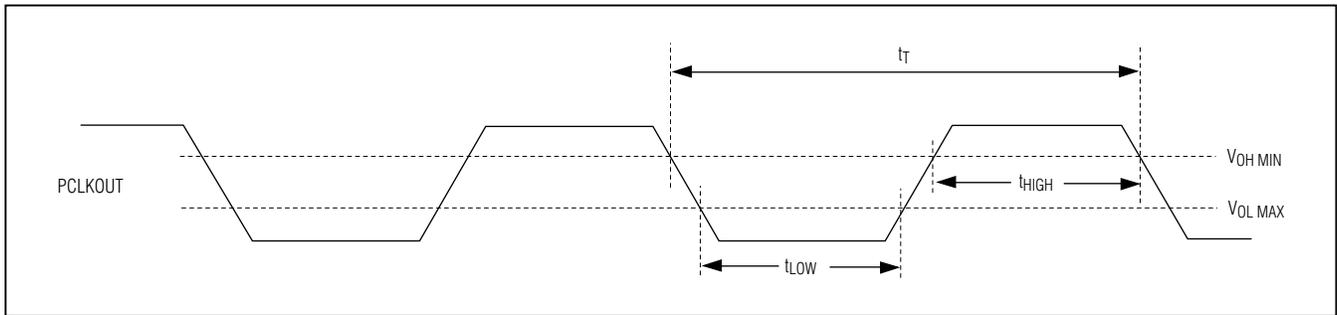


図 16. デシリアライザのクロック出力のハイおよびロー時間

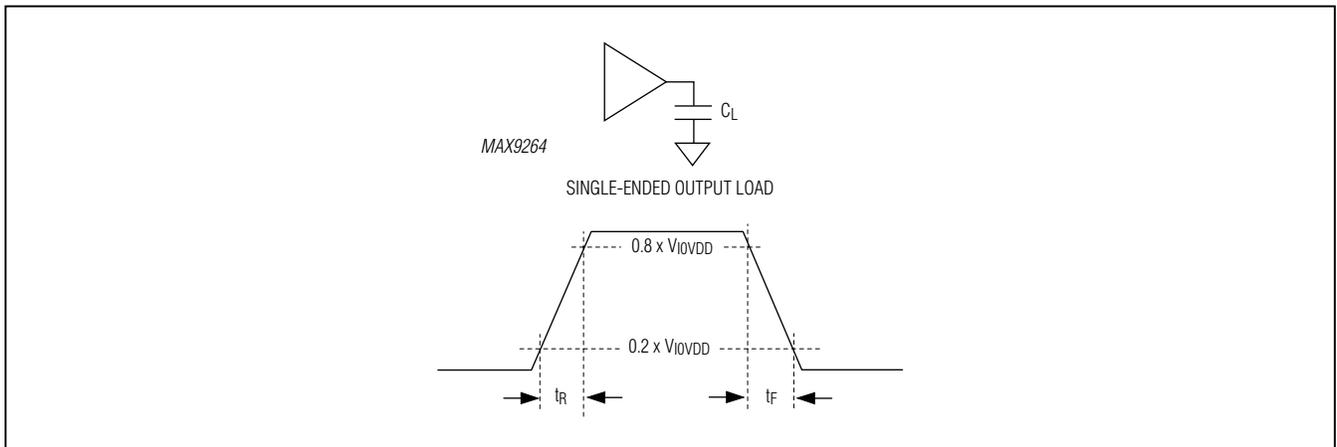


図 17. デシリアライザの出力の立上りおよび立下り時間

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

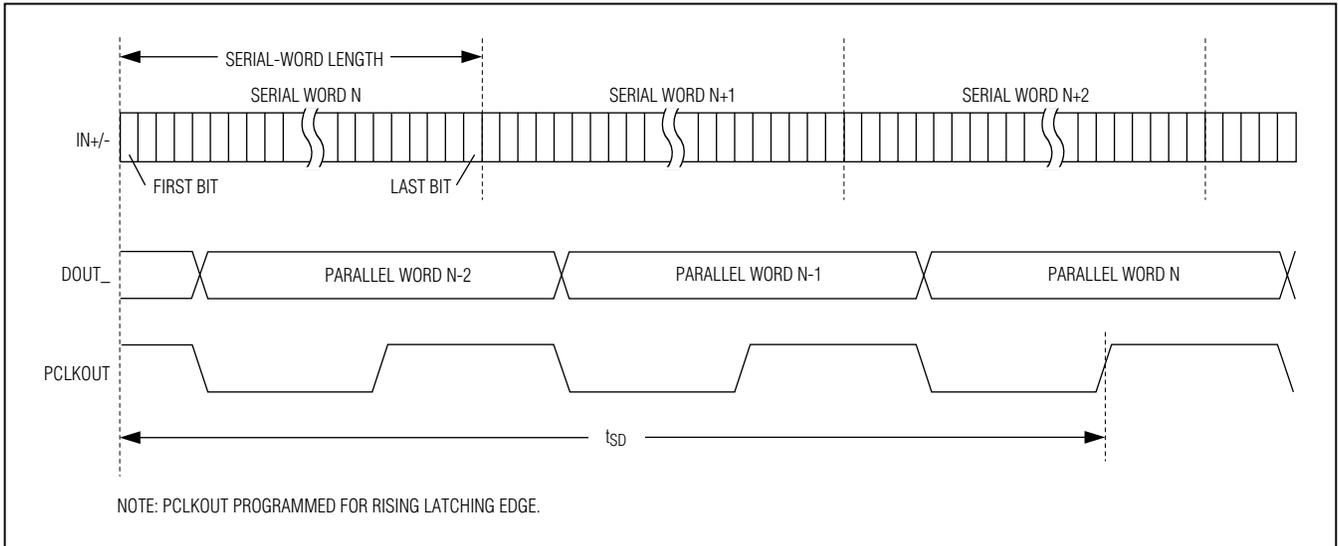


図 18. デシリアライザの遅延

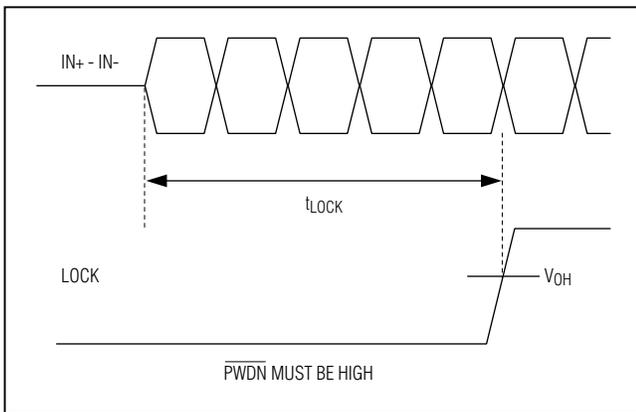


図 19. デシリアライザのロック時間

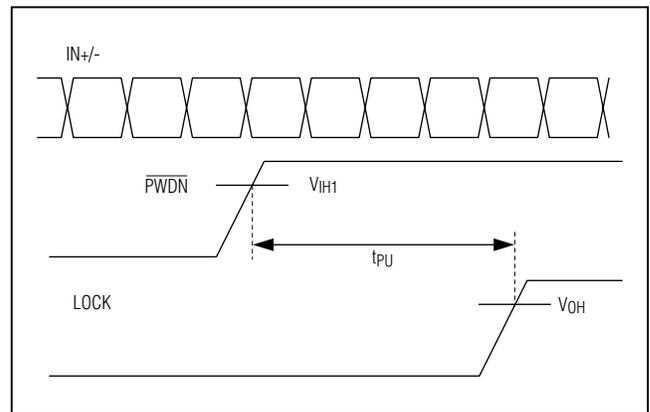


図 20. デシリアライザの起動遅延

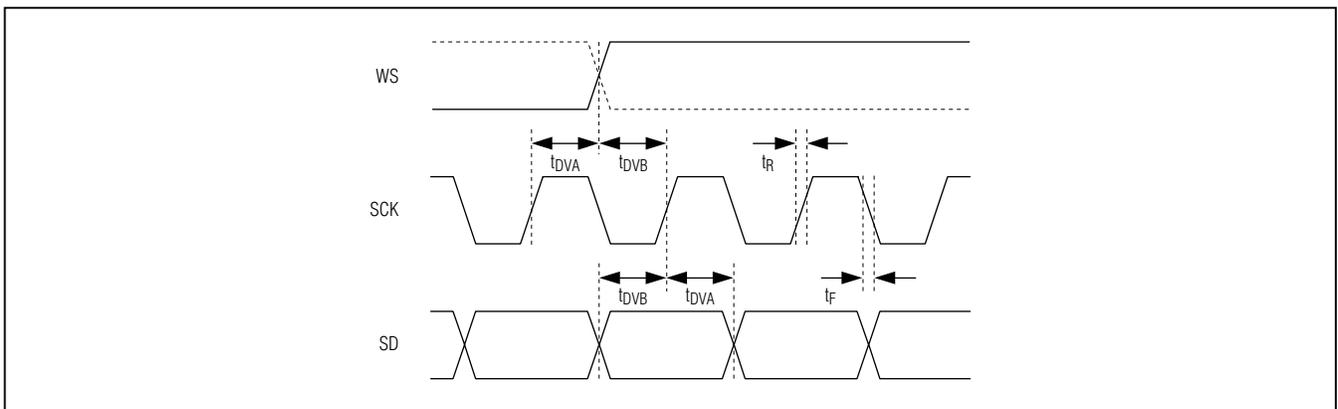


図 21. デシリアライザの I²S の出力タイミングパラメータ

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

詳細

シリアライザ/デシリアライザチップセットのMAX9263/MAX9264は、MaximのGMSL技術およびHDCPを採用しています。HDCPがイネーブルされている場合、シリアライザ/デシリアライザはシリアルリンク上のビデオおよびオーディオデータを暗号化します。このシリアライザ/デシリアライザは、MAX9259/MAX9260シリアライザ/デシリアライザに対し上位互換があります。

シリアライザ/デシリアライザのシリアルペイロードデータレートは、15m以上のSTPケーブルの場合で最大2.5Gbpsです。シリアライザ/デシリアライザのペアは、それぞれ最大104MHz (24ビットモード)または78MHz (32ビットモード)のピクセルクロックで動作します。このシリアルリンクは、QVGA (320 x 240)からWXGA (1280 x 800)以上までの幅広いディスプレイパネルをサポートし、24ビットカラーに対応します。

24ビットモードでは、21ビットの高速データ、UART制御信号、および3つのオーディオ信号の処理が可能です。32ビットモードでは、29ビットの高速データ、UART制御信号、および3つのオーディオ信号の処理が可能です。3つのオーディオ信号は標準I²Sインタフェースで、8kHz~192kHzのサンプリングレートおよび4ビット~32ビットのオーディオワード長をサポートします。内蔵の制御チャンネルは、シリアライザとデシリアライザの間にHDCP関連の制御動作のフルデュプレックス、差動9.6kbps~1MbpsのUARTリンク

を形成します。さらに、制御チャンネルによって、電子制御ユニット(ECU)、またはマイクロコントローラ(μC)から、バックライト制御、グレースケールのガンマ補正、カメラモジュール、タッチスクリーンなど、リモート側のペリフェラルを制御することができます。ECU/μCは、リンクのシリアライザ側(標準的なビデオディスプレイの場合)、リンクのデシリアライザ側(標準的な画像検出の場合)、または両側に配置することができます。ペリフェラルとのベースモードの通信には、I²CまたはGMSL UART形式を使用します。バイパスモードでは、ユーザー定義のUART形式を使用したフルデュプレックスの通信が可能です。

シリアライザのプリ/デエンファシスと、デシリアライザのチャンネルイコライザによって、リンク長が延長され、リンクの信頼性が向上します。スペクトラム拡散を利用して、シリアルおよびパラレル出力のEMIを低減することができます。シリアルリンク接続は、ISO 10605およびIEC 61000-4-2 ESD保護規格に準拠しています。

レジスタマッピング

μCは、内部レジスタを介して、シリアライザとデシリアライザのさまざまな動作条件を設定します。シリアライザのデフォルトのデバイスアドレスは0x80で、デシリアライザのデフォルトのデバイスアドレスは0x90です(表1および2)。シリアライザまたはデシリアライザのデバイスアドレスを変更する場合は、両方のデバイスのレジスタ0x00または0x01に書き込みを行ってください。

表1. 起動時のデフォルトのレジスタマップ(表22および24を参照)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x00	0x80	SERID = 1000000、シリアライザのデバイスアドレスは1000 000です CFGBLOCK = 0、レジスタ0x00~0x1Fは読み書き可能です
0x01	0x90	DESID = 1001000、デシリアライザのデバイスアドレスは1001 000です 予備 = 0
0x02	0x1F, 0x3F	SS = 000 (SSEN = ロー)、SS = 001 (SSEN = ハイ)、スペクトラム拡散の設定は 起動時のSSEN端子の状態が決まります AUDIOEN = 1、I ² Sチャンネルはイネーブルです PRNG = 11、ピクセルクロック範囲を自動的に検出します SRNG = 11、シリアルデータレートを自動的に検出します
0x03	0x00	AUTOFM = 00、ロック後に1回のみ拡散変調率を校正します SDIV = 000000、鋸歯分周器を自動校正します
0x04	0x03, 0x13, 0x83, or 0x93	SEREN = 0 (AUTOS = ハイ)、SEREN = 1 (AUTOS = ロー)、シリアルリンクイネー ブルのデフォルトは起動時のAUTOS端子の状態が決まります CLINKEN = 0、設定リンクはディセーブルです PRBSEN = 0、PRBSテストはディセーブルです SLEEP = 0または1、スリープモードの状態は起動時のCDSおよびAUTOS端子の状 態が決まります(「リンクのスタートアップ手順」の項を参照) INTTYPE = 00、ベースモードでI ² Cを使用します REVCCEN = 1、逆方向制御チャンネルはアクティブです(受信時) FWDCCEN = 1、順方向制御チャンネルはアクティブです(送信時)

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表1. 起動時のデフォルトのレジスタマップ(表22および24を参照) (続き)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x05	0x70	I2CMETHOD = 0、I ² Cパケットにレジスタアドレスを含みます DISFPLL = 1、フィルタPLLはディセーブルです CMLLVL = 11、CML信号レベルは400mVです PREEMP = 0000、プリエンファシスはディセーブルです
0x06	0x40	予備 = 01000000
0x07	0x22	予備 = 00100010
0x08	0x0A (read only)	予備 = 0000 LFNEG = 10、フォルトは検出されていません LFPOS = 10、フォルトは検出されていません
0x0C	0x70	予備 = 01110000
0x0D	0x0F	SETINT = 0、割込み出力をローに設定します INVVSYNC = 0、シリアライザはDIN19/VSを反転しません INVHSYNC = 0、シリアライザはDIN18/HSを反転しません 予備 = 0000
0x1E	0x05 (read only)	ID = 00000101、デバイスIDは0x05です
0x1F	0x1X (read only)	予備 = 000 CAPS = 1、シリアライザはHDCPに対応しています REVISION = XXXX、リビジョン番号
0x80 to 0x84	0x0000000000	BKSV = 0x0000000000、HDCPレシーバのKSVは0x0000000000です
0x85, 0x86	0x0000	RI = 0x0000、トランスミッタのRIは0x0000です
0x87	0x00	PJ = 0x00、トランスミッタのPJは0x00です
0x88 to 0x8F	0x0000000000000000 (read only)	AN = 0x0000000000000000、セッション乱数(読取り専用)
0x90 to 0x94	0xFFFFFFFF (read only)	AKSV = 0xFFFFFFFFFFFFFFFF、HDCPトランスミッタのKSVは0xFFFFFFFFです(読取り専用)
0x95	0x00	PD_HDCP = 0、HDCP回路は起動状態です EN_INT_COMP = 0、内蔵のリンク検証はディセーブルです FORCE_AUDIO = 0、通常のI ² Sオーディオ動作です FORCE_VIDEO = 0、通常のビデオリンク動作です RESET_HDCP = 0、通常のHDCP動作です START_AUTHENTICATION = 0、HDCPの認証は開始されていません VSYNC_DET = 0、VSYNCの立上りエッジが未検出です ENCRYPTION_ENABLE = 0、HDCPの暗号化はディセーブルです
0x96	0x01 (read only)	予備 = 0000 V_MATCHED = 0、SHA-1のハッシュ値が一致しません PJ_MATCHED = 0、拡張リンク検証の応答が一致しません RO_RI_MATCHED = 0、リンク検証の応答が一致しません BKSV_INVALID = 1、無効なレシーバKSVです
0x97	0x00	予備 = 0000000 REPEATER = 0、HDCPレシーバはリピータではありません

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表1. 起動時のデフォルトのレジスタマップ(表22および24を参照) (続き)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x98 to 0x9C	0x00000000	ASEED = 0x00000000、オプションのRNGのシード値は0x00000000です
0x9D to 0x9F	0x000000	DFORCE = 0x000000、FORCE_VIDEO = 1のときビデオデータを強制的に0x000000にします
0xA0 to 0xA3	0x00000000	SHA-1のH0パートのハッシュ値は0x00000000です
0xA4 to 0xA7	0x00000000	SHA-1のH1パートのハッシュ値は0x00000000です
0xA8 to 0xAB	0x00000000	SHA-1のH2パートのハッシュ値は0x00000000です
0xAC to 0xAF	0x00000000	SHA-1のH3パートのハッシュ値は0x00000000です
0xB0 to 0xB3	0x00000000	SHA-1のH4パートのハッシュ値は0x00000000です
0xB4	0x00	予備 = 0000 MAX_CASCADE_EXCEEDED = 0、カスケード接続されているHDCPデバイスは7つ以下です DEPTH = 000、デバイスのカスケードの深さは0です
0xB5	0x00	MAX_DEVS_EXCEEDED = 0、接続されているHDCPデバイスは14以下です DEVICE_COUNT = 0000000、0個のデバイスが接続されています
0xB6	0x00	GPMEM = 00000000、汎用メモリに0x00が格納されます
0xB7 to 0xB9	0x000000	予備 = 0x000000
0xBA to 0xFF	All zero	KSV_LIST = すべてゼロ、KSVは保存されていません

X = 不定。

表2. 起動時のデフォルトのレジスタマップ(表23および25を参照)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x00	0x80	SERID = 1000000、シリアライザのデバイスアドレスは1000 000です 予備 = 0
0x01	0x90	DESID = 1001000、デシリアライザのデバイスアドレスは1001 000です CFGBLOCK = 0、レジスタ0x00~0x1Fは読み書き可能です
0x02	0x1F or 0x5F	SS = 00 (SSEN = ロー)、SS = 01 (SSEN = ハイ)、スペクトラム拡散の設定は起動時のSSEN端子の状態が決まります 予備 = 0 AUDIOEN = 1、I ² Sチャンネルはイネーブルです PRNG = 11、ピクセルクロック範囲を自動的に検出します SRNG = 11、シリアルデータレートを自動的に検出します
0x03	0x00	AUTOFM = 00、ロック後に1回のみ拡散変調率を校正します 予備 = 0 SDIV = 00000、鋸歯分周器を自動校正します
0x04	0x03, 0x13, 0x43, 0x53	LOCKED = 0、LOCK出力はローです(読取り専用) OUTENB = 0 (ENABLE = ロー)、OUTENB = 1 (ENABLE = ハイ)、OUTENBのデフォルトは起動時のENABLE端子の状態が決まります PRBSEN = 0、PRBSテストはディセーブルです SLEEP = 0または1、SLEEPの設定のデフォルトは起動時のCDSおよびMS端子の状態が決まります(「リンクのスタートアップ手順」の項を参照) INTTYPE = 00、ベースモードでI ² Cを使用します REVCCEN = 1、逆方向制御チャンネルはアクティブです(送信時) FWDCCEN = 1、順方向制御チャンネルはアクティブです(受信時)

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表2. 起動時のデフォルトのレジスタマップ(表23および25を参照) (続き)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x05	0x24 or 0x29	I2CMETHOD = 0、I ² Cマスターはレジスタアドレスを送信します HPFTUNE = 01、イコライザのハイパスカットオフ周波数は3.75MHzです PDHF = 0、高周波数ブーストはディセーブルです EQTUNE = 0100 (EQS = ハイ、5.2dB)、EQTUNE = 1001 (EQS = ロー、10.7dB)、EQTUNEのデフォルト設定は起動時のEQS端子の状態で決まります
0x06	0x0F	DISSTAG = 0、出力はスタガーされます AUTORST = 0、エラーレジスタ/出力のオートリセットはディセーブルです DISINT = 0、INTの送信はイネーブルです INT = 0、INT出力はローです(読取り専用) GPIO1OUT = 1、GPIO1出力をハイに設定します GPIO1 = 1、GPIO1入力 = ハイです(読取り専用) GPIO0OUT = 1、GPIO0出力をハイに設定します GPIO0 = 1、GPIO0入力 = ハイです(読取り専用)
0x07	0x54	予備 = 01010100
0x08	0x30	予備 = 001100 DISVSFLT = 0、DOUT19/VSのグリッチフィルタはアクティブです DISHSFLT = 0、DOUT18/HSのグリッチフィルタはアクティブです
0x09	0xC8	予備 = 11001000
0x0A	0x12	予備 = 00010010
0x0B	0x20	予備 = 00100000
0x0C	0x00	ERRTHR = 00000000、デコードエラーのエラースレッショルドを0に設定します
0x0D	0x00 (read only)	DECERR = 00000000、検出されたデコードエラーは0個です
0x0E	0x00 (read only)	PRBSERR = 00000000、検出されたPRBSエラーは0個です
0x12	0x00	MCLKSRC = 0、MCLKはPCLKから生成されます(表5を参照) MCLKDIV = 00000000、MCLK出力はディセーブルです
0x13	0x10	予備 = 00010000
0x14	0x09	INVVSYNC = 0、デシリアライザはDOUT19/VSを反転しません INVHSYNC = 0、デシリアライザはDOUT18/HSを反転しません 予備 = 001001
0x1E	0x06 (read only)	ID = 00000100、デバイスIDは0x06です
0x1F	0x1X (read only)	予備 = 000 CAPS = 1 HDCP対応 REVISION = XXXX
0x80 to 0x84	0xFFFFFFFF (read only)	BKSV = 0xFFFFFFFF、HDCPレシーバのKSViは0xFFFFFFFFです
0x85, 0x86	0XXXX (read only)	RI' = 0XXXX、トランスミッタのRI' は0XXXXです

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表2. 起動時のデフォルトのレジスタマップ(表23および25を参照) (続き)

レジスタアドレス (16進)	起動時のデフォルト (16進)	起動時のデフォルトの設定 (MSBから)
0x87	0xXX (read only)	PJ' = 0xXXXX、トランスミッタのPJ'は0xXXです
0x88 to 0x8F	0x00000000 00000000	AN = 0000000000000000、セッション乱数は0000000000000000です
0x90 to 0x94	0x00000000 00000000	AKSV = 0x0000000000、HDCPトランスミッタのKSVは0x0000000000000000 です
0x95	0x00	PD_HDCP = 0、HDCP回路は起動状態です 予備 = 000 GPIO1_FUNCTION = 0、通常のGPIO1の機能です GPIO0_FUNCTION = 0、通常のGPIO0の機能です AUTH_STARTED = 0、HDCPの認証は開始されていません ENCRYPTION_ENABLE = 0、HDCPの暗号化はディセーブルです
0x96	0x00	予備 = 000000 NEW_DEV_CONN = 0、新しいデバイスは接続されていません KSV_LIST_READY = 0、KSVリストの準備が完了していません
0x97	0x00	予備 = 0000000 REPEATER = 0、HDCPレシーバはリピータではありません
0x98 to 0x9F	0x00000000 00000000 (read only)	予備 = 0x0000000000000000
0xA0 to 0xA3	0XXXXXXXXX (read only)	SHA-1のH0部分のハッシュ値は0XXXXXXXXXです
0xA4 to 0xA7	0XXXXXXXXX (read only)	SHA-1のH1部分のハッシュ値は0XXXXXXXXXです
0xA8 to 0xAB	0XXXXXXXXX (read only)	SHA-1のH2部分のハッシュ値は0XXXXXXXXXです
0xAC to 0xAF	0XXXXXXXXX (read only)	SHA-1のH3部分のハッシュ値は0XXXXXXXXXです
0xB0 to 0xB3	0XXXXXXXXX (read only)	SHA-1のH4部分のハッシュ値は0XXXXXXXXXです
0xB4	0x00	予備 = 0000 MAX_CASCADE_EXCEEDED = 0、カスケード接続されているHDCPデバイスは7つ 以下です DEPTH = 000、デバイスのカスケードの深さは0です
0xB5	0x00	MAX_DEVS_EXCEEDED = 0、接続されているHDCPデバイスは14以下です DEVICE_COUNT = 0000000、0個のデバイスが接続されています
0xB6	0x00	GPMEM = 00000000、汎用メモリに0x00が格納されます
0xB7 to 0xB9	0x000000 (read only)	予備 = 0x000000
0xBA to 0xFF	All zero	KSV_LIST = すべてゼロ、KSVは保存されていません

X = 不定。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

HDCPのビットマッピングおよびバス幅の選択

パラレル入出力には、24ビットモードと32ビットモードの選択可能な2つのモードがあります。24ビットモードでは、DIN[28:21]は利用することができません。どちらのモードでも、SD、SCK、およびWS端子はI²Sオーディオ用です。シリアライザ/デシリアライザは、8.33MHz~104MHz (24ビットモード)および6.25MHz~78MHz (32ビットモード)のピクセルクロック速度を使用します。

表3に、パラレル入力のHDCPのビットマッピングを示します。DIN18/HSおよびDIN19/VSは、それぞれHSYNCおよびVSYNC用です。シリアライザ/デシリアライザは、DIN[17:0]およびI²S入力に対してHDCPの暗号化を行います。32ビットモードでは、さらにDIN[26:21]についてもHDCPの暗号化が行われます。

DIN[28:27]およびDIN20は、HDCPの暗号化が行われません。SDも追加のデータ入力として使用する場合(AUDIOEN = 0)、HDCPの暗号化が行われません。

シリアルリンクの信号方式およびデータ形式

シリアライザはCML信号方式を採用しており、設定可能なプリ/デエンファシスおよびAC結合を使用します。デシリアライザは、AC結合および設定可能なチャンネルイコライゼーションを使用します。両者の組合せによって、GMSLリンクは15m以上のSTPケーブル上において最大速度で動作可能です。

シリアライザは、入力データのスクランブルと符号化を行って、8b/10b符号化された信号をシリアルリンクを介して送信します。デシリアライザは埋め込まれたシリアルクロックを復元したあと、サンプリング、復号化、スクランブル解除を行ってからデータを出力します。図22および23に、スクランブル解除と8b/10b復号化を行ったあとのシリアルデータのバケット形式を示します。24ビットまたは32ビットモードでは、21または29ビットがパラレル出力に対応します。オーディオチャンネルビット(ACB)には、3つのI²S信号(SD、SCK、およびWS)から取得した符号

表3. HDCPのマッピングおよびバス幅の選択

INPUT BITS	24-BIT MODE (BWS = LOW)		32-BIT MODE (BWS = HIGH)	
	HDCP MAPPING*	HDCP ENCRYPTION CAPABILITY	HDCP MAPPING*	HDCP ENCRYPTION CAPABILITY
DIN[17:0]	RGB	Yes	RGB	Yes
DIN18/HS	HS	No	HS	No
DIN19/VS	VS	No	VS	No
DIN20	DE	No	DE	No
DIN[26:21]	Not Available	—	RGB	Yes
DIN[28:27]	Not Available	—	CNTL	No
SD	SD	I ² S**	SD	I ² S**

*HDCPを使用しない場合は、DIN[28:0]のビット割当ては相互に交換可能です。

**SDをI²S信号として使用する場合は、HDCPの暗号化が行われません。

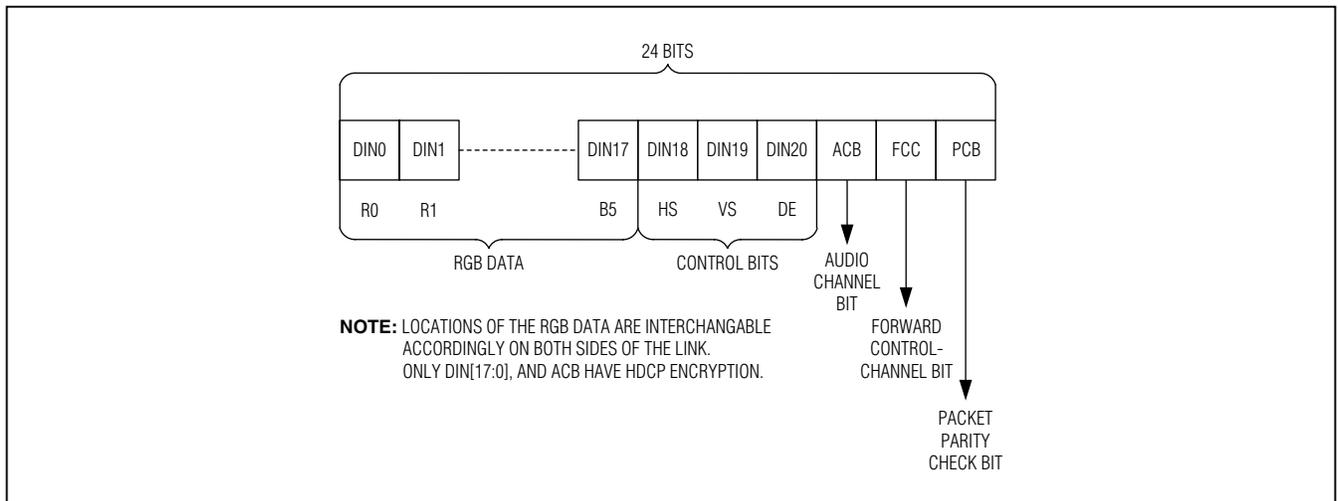


図 22. 24 ビットモードのシリアルリンクのデータ形式

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

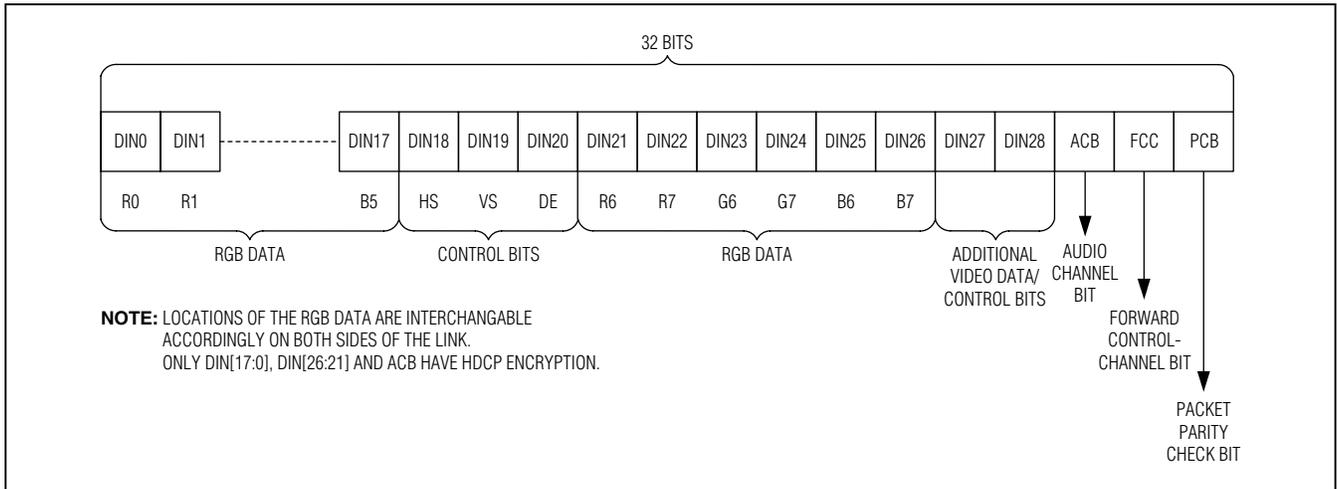


図 23. 32 ビットモードのシリアルリンクのデータ形式

表 4. さまざまなPCLKINの周波数での最大オーディオWS周波数(kHz)

WORD LENGTH (bits)	PCLKIN FREQUENCY (DRS = LOW) (MHz)				PCLKIN FREQUENCY (DRS = HIGH) (MHz)			
	12.5	15	16.6	> 20	6.25	7.5	8.33	> 10
8	> 192	> 192	> 192	> 192	> 192	> 192	> 192	> 192
16	> 192	> 192	> 192	> 192	> 192	> 192	> 192	> 192
18	185.5	> 192	> 192	> 192	185.5	> 192	> 192	> 192
20	174.6	> 192	> 192	> 192	174.6	> 192	> 192	> 192
24	152.2	182.7	> 192	> 192	152.2	182.7	> 192	> 192
32	123.7	148.4	164.3	> 192	123.7	148.4	164.3	> 192

化されたオーディオ信号が格納されます。順方向制御チャンネル(FCC)ビットは、順方向の制御データを搬送します。最後のビット(PCB)は、先行する23または31ビットのパリティビットです。

逆方向制御チャンネル

シリアライザは、逆方向制御チャンネルを使用してビデオストリームと反対方向にデシリアライザからI²C/UARTおよび割込み信号を受信します。逆方向制御チャンネルと順方向のビデオデータが同一のツイストペア上で共存して、双方向リンクを形成します。逆方向制御チャンネルは、順方向制御チャンネルとは無関係に動作します。逆方向制御チャンネルは、起動から500μs後に利用可能となります。順方向シリアルリンクの開始/停止後350μsの間、シリアライザは逆方向制御チャンネルを一時的にディセーブルします。

データレートの選択

シリアライザ/デシリアライザは、DRS入力を使用してPCLKINの周波数範囲を設定します。6.25MHz~12.5MHz (32ビットモード)または8.33MHz~16.66MHz (24ビットモード)のPCLKINの周波数範囲を使用する場合は、DRSをハイ

に設定してください。12.5MHz~78MHz (32ビットモード)または16.66MHz~104MHz (24ビットモード)のPCLKINの周波数範囲を使用する通常動作の場合は、DRSをローに設定してください。

オーディオチャンネル

I²Sオーディオチャンネルは、8kHz~192kHzのオーディオサンプリングレートおよび4ビット~32ビットのオーディオワード長をサポートしています。オーディオビットクロック(SCK)は、PCLKINと同期させる必要はありません。シリアライザが自動的にオーディオデータをPCLKINと同期した単一のビットストリームに符号化します。デシリアライザはオーディオストリームを復号化して、オーディオワードをFIFOに格納します。オーディオレート検出が内蔵の発振器を使用して継続的にオーディオデータレートの判定を行い、I²S形式でオーディオを出力します。オーディオチャンネルはデフォルトでイネーブルされます。オーディオチャンネルをディセーブルした場合、シリアライザとデシリアライザのオーディオデータは追加パラレル信号(DIN_/DOUT_)として処理されます。シリアルリンクを介して送信されるオーディオデータはPCLKINに同期するため、PCLKINの周波数が低いと最大

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

オーディオサンプリングレートが制限されます。表4に、さまざまなPCLKINの周波数での最大オーディオサンプリングレートを示します。スペクトラム拡散の設定は、I²SのデータレートやWSのクロック周波数には影響しません。

オーディオアプリケーション用の補助的なMCLK出力

MAX9850などの一部のオーディオDACはメインクロック(MCLK)の同期が不要ですが、それ以外のDACはMCLKがWSの特定の倍数になっている必要があります。MCLKがWSの倍数であることを必要とするオーディオDACチップの場合、外付けのPLLを使用してPCLKOUTまたはSCKから必要なMCLKを再生成してください。

PCLKOUTを直接使用することができないオーディオアプリケーション向けに、MAX9264は32ビットモードで制御ラインが1つ少なくなるのと引き替えに、分周されたMCLK出力をDOUT28/MCLKから供給します(24ビットモードは影響を受けません)。デフォルトでは、DOUT28/MCLKはパラレルデータ出力として動作し、MCLKはオフです。MCLK出力をイネーブルする場合は、MCLKDIV(MAX9264のレジスタ0x12、D[6:0])に0以外の値を設定してください。MCLKをディセーブルしてDOUT28/MCLKをパラレルデータ出力とする場合は、MCLKDIVに0x00を設定してください。

出力MCLKの周波数は、次のようになります。

$$f_{\text{MCLK}} = \frac{f_{\text{SRC}}}{\text{MCLKDIV}}$$

ここで、 f_{SRC} はMCLKのソース周波数です(表5)。

MCLKDIVは1~127の分周比です。

MCLKDIVの値は、 f_{MCLK} が60MHzを超えないように選択してください。MCLKの周波数をPCLKINから派生させる場合(MCLKSRC = 0)、デシリアライザのスペクトラム拡散の設定による影響は受けません。しかし、シリアライザでスペクトラム拡散をイネーブルした場合は、MCLKにスペクトラム拡散が含まれることになります。どちらのデバイスのスペクトラム拡散の設定も、内蔵発振器で生成されるMCLKの周波数には影響しません。内蔵発振器の周波

数範囲は、すべてのプロセスコーナーおよび動作条件にわたって100MHz~150MHzです。

制御チャンネルおよびレジスタの設定

μC は制御チャンネルを利用して、シリアルリンク上で高速データと同時に制御データを送受信することができます。CDS端子の設定によって、 μC はシリアライザ側またはデシリアライザ側のいずれからでもリンクを制御することが可能で、ビデオディスプレイまたは画像検出アプリケーションに対応します。 μC とシリアライザまたはデシリアライザの間の制御チャンネルは、 μC に接続されたデバイスのモード選択(MS)入力に従って、ベースモードまたはバイパスモードで動作します。ベースモードはハーフデュプレックスの制御チャンネルで、バイパスモードはフルデュプレックスの制御チャンネルです。

ベースモード

ベースモードでは μC がホストになり、GMSL UARTプロトコルを使用してリンクのどちら側からでもシリアライザとデシリアライザの両方のコアおよびHDCPレジスタにアクセスすることができます。また、シリアライザまたはデシリアライザにUARTパケットを送信してリンクのリモート側のデバイス(LCDアプリケーションにおけるデシリアライザ、または画像検出アプリケーションにおけるシリアライザ)でI²Cに変換することによって、 μC がリモート側ペリフェラルの設定を行うことも可能です。 μC はハーフデュプレックスのシリアライザ/デシリアライザのデフォルトのGMSL UARTプロトコルを使用して、(INTTYPEレジスタの設定を介して)ベースモードでUARTペリフェラルとの通信を行います。ベースモードにおけるシリアライザおよびデシリアライザのデバイスアドレスは設定可能です。デフォルト値は、シリアライザが0x80で、デシリアライザが0x90です。

ペリフェラルのインタフェースがI²Cを使用する場合(デフォルト)、シリアライザ/デシリアライザはシリアライザまたはデシリアライザのものと異なるデバイスアドレスを持つI²Cパケットに変換します。変換後のI²Cのビットレートは、元のUARTのビットレートと同一です。

表5. デシリアライザの f_{SRC} の設定

MCLKSRC SETTING (REGISTER 0x12, D7)	DATA RATE SETTING	BIT WIDTH SETTING	MCLK SOURCE FREQUENCY (f_{SRC})
0	High speed	24-bit mode	3 x f_{PCLKIN}
		32-bit mode	4 x f_{PCLKIN}
	Low speed	24-bit mode	6 x f_{PCLKIN}
		32-bit mode	8 x f_{PCLKIN}
1	—	—	Internal oscillator (120MHz typ)

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

デシリアライザは、独自方式の差動ライン符号化を使用して逆方向信号をシリアライザに送信します。制御チャンネルの速度は、両方向ともに9.6kbps～1Mbpsの範囲です。シリアライザとデシリアライザは自動的に制御チャンネルのベースモードのビットレートを検出します。パケットのビットレートは、直前のビットレートに対して最大で倍率3.5までの変更が可能です。「クロック周波数の変更」の項を参照してください。

図24は、ベースモードでのμCとシリアライザ/デシリアライザの間の書き込みと読み取りのためのUARTのプロトコルを示します。

図25は、UARTのデータ形式を示します。図26および27は、SYNCバイト(0x79)とACKバイト(0xC3)の形式の詳細

を示します。μCおよび接続されたスレーブチップは、それぞれSYNCバイトとACKバイトを生成します。デバイスのウェイクアップや割込みなどのイベントによって制御チャンネル上にμCが無視すべき遷移が発生します。シリアライザ/デシリアライザのレジスタに書き込まれるデータは、アクリッジバイトが送信されるまで有効になりません。これによってμCは、書き込みコマンドの結果がシリアルリンクに直接影響を与える場合にも、その書き込みコマンドがエラーなく受信されたかどうかを確認することができます。スレーブはSYNCバイトを使用して、自動的にホストのUARTのデータレートに同期します。制御チャンネルの通信中にデシリアライザのINTまたはMS入力がトグルした場合、制御チャンネルの通信がエラーになる可能性があります。

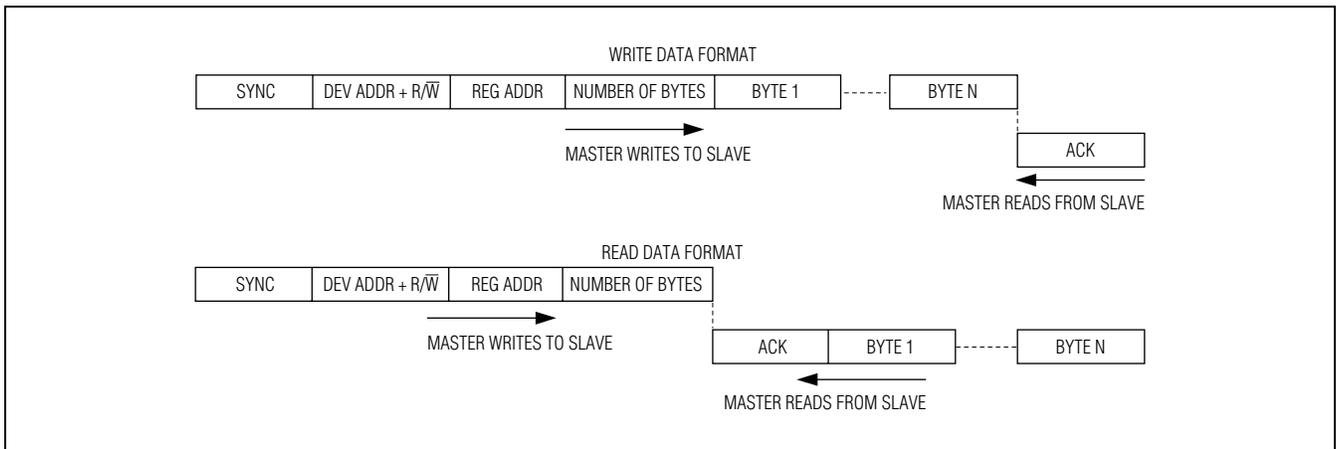


図 24. ベースモードの GMSL UART プロトコル

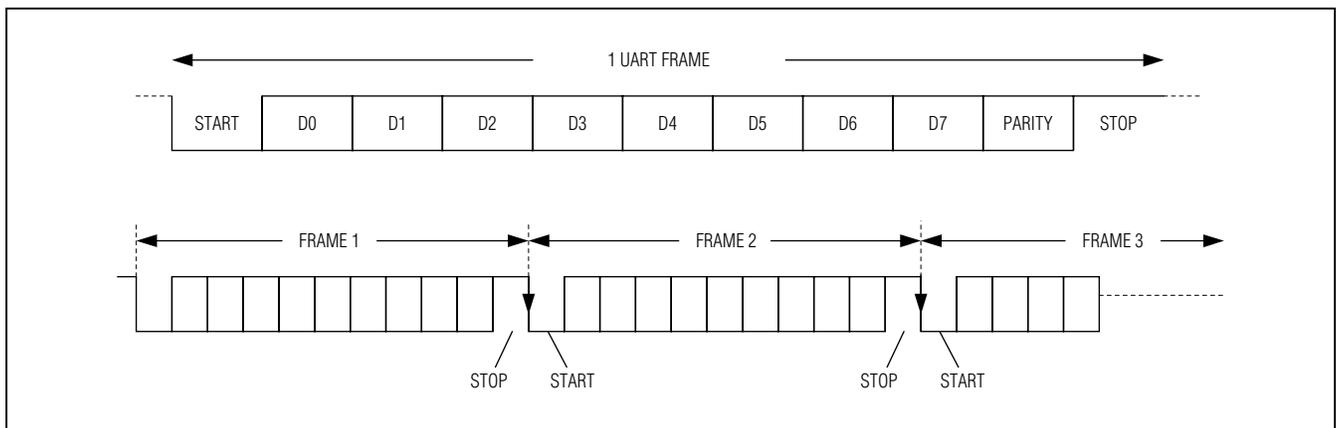


図 25. ベースモードの GMSL UART データ形式

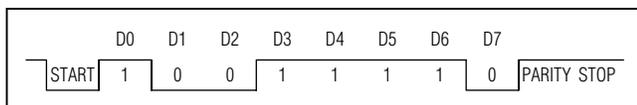


図 26. SYNC バイト (0x79)

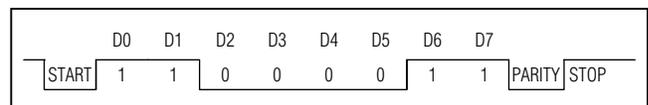


図 27. ACK バイト (0xC3)

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

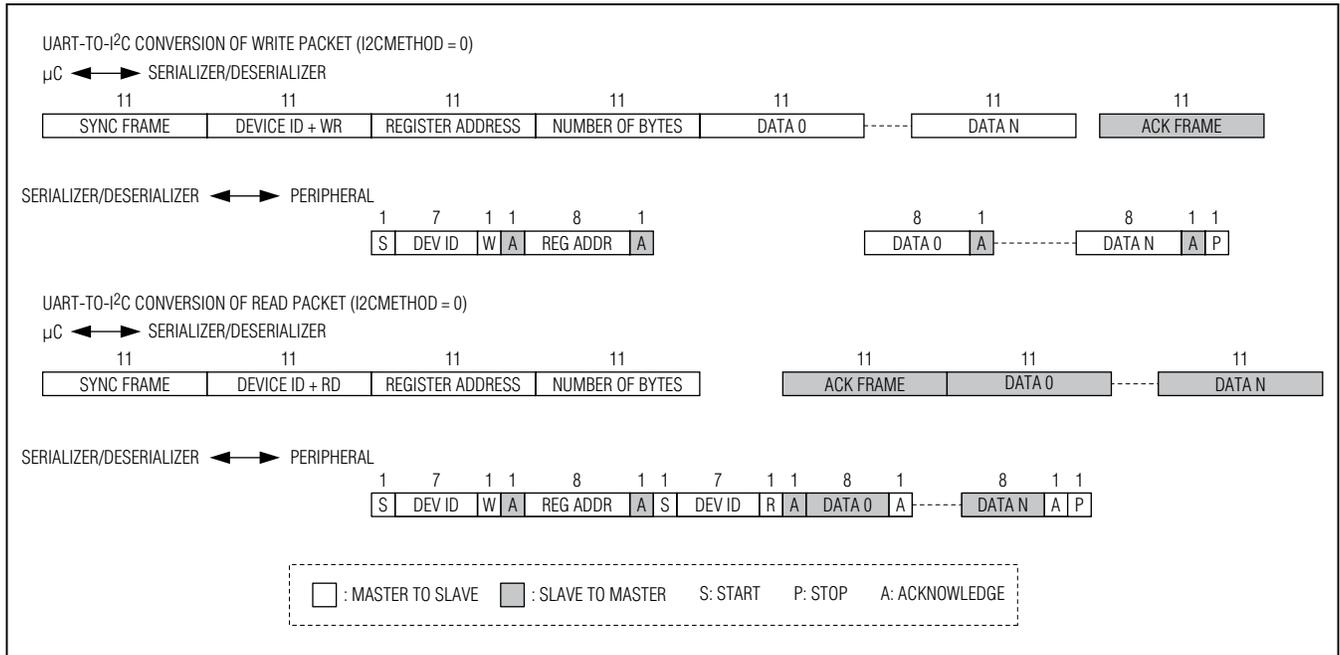


図 28. レジスタアドレス (I2CMETHOD = 0) による GMSL UART と I²C の間の形式変換

ACKノリッジが行われない場合、μCは、スレーブデバイスがパケットを受信した時点でパケットにエラーがあったか、またはスレーブデバイスからの応答中にエラーが発生したものと想定する必要があります。ベースモードでは、μCは新しいパケットの送信を開始する前にUART Tx/Rxラインを16ビットの時間の間はハイに維持する必要があります。

図28に示すように、リモート側のデバイスはペリフェラルとの間で送受信されるパケットをUART形式からI²C形式に、およびその逆方向に変換します。リモートデバイスは、バイト数カウントを削除し、I²Cのデータバイト間でACKを追加したり受信したりします。I²CのデータレートはUARTのデータレートと同一です。

コマンドバイトのみのI²Cデバイスとのインタフェース

シリアライザとデシリアライザのUART-I²C変換は、レジスタアドレスを必要としないデバイス(GPIOエキスパンダのMAX7324など)とインタフェースします。このモードでは、I²Cマスターはレジスタアドレスバイトを無視して、直接後続のデータバイトの読取り/書込みを行います(図29)。I2CMETHODビットを使用して、I²Cマスターの通信方式を変更してください。I2CMETHOD = 1でコマンドバイトオンリーモードに設定され、I2CMETHOD = 0でデータストリームの最初のバイトがレジスタアドレスであるノーマルモードに設定されます。

バイパスモード

バイパスモードでは、シリアライザ/デシリアライザはμCからのUARTコマンドを無視し、μCは専用に定義されたUARTプロトコルを使用してペリフェラルと直接通信を行います。このモードでは、μCはシリアライザ/デシリアライザのレジスタにアクセスすることはできません。UARTインタフェースを使用し順方向制御チャンネルを介してアクセスされるペリフェラルは、PCLKINによるUART信号の非同期サンプリングのために、少なくとも1 PCLKIN周期以上のジッタ(±10ns)に対処する必要があります。制御チャンネルをバイパスモードにする場合は、MS = ハイに設定してください。μCがデシリアライザに接続されるアプリケーションの場合(CDSがハイ)、MSをハイに設定してからバイパス制御チャンネルがアクティブになるまでの間に1msの待ち時間が存在します。μCがシリアライザに接続されている場合は(CDS = ロー)、バイパスモードへの切り替え時に遅延時間は存在しません。正常な割込み機能を確認するために、100μsより長いロジックロー値を送信しないでください。バイパスモードは、どちらの方向についても最小10kbpsまでのビットレートを受け付けます。割込み機能の制約については、「割込み制御」の項を参照してください。割込み制御を使用する場合、制御チャンネルのデータパターンは100μsより長時間にわたってローに維持しないでください。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

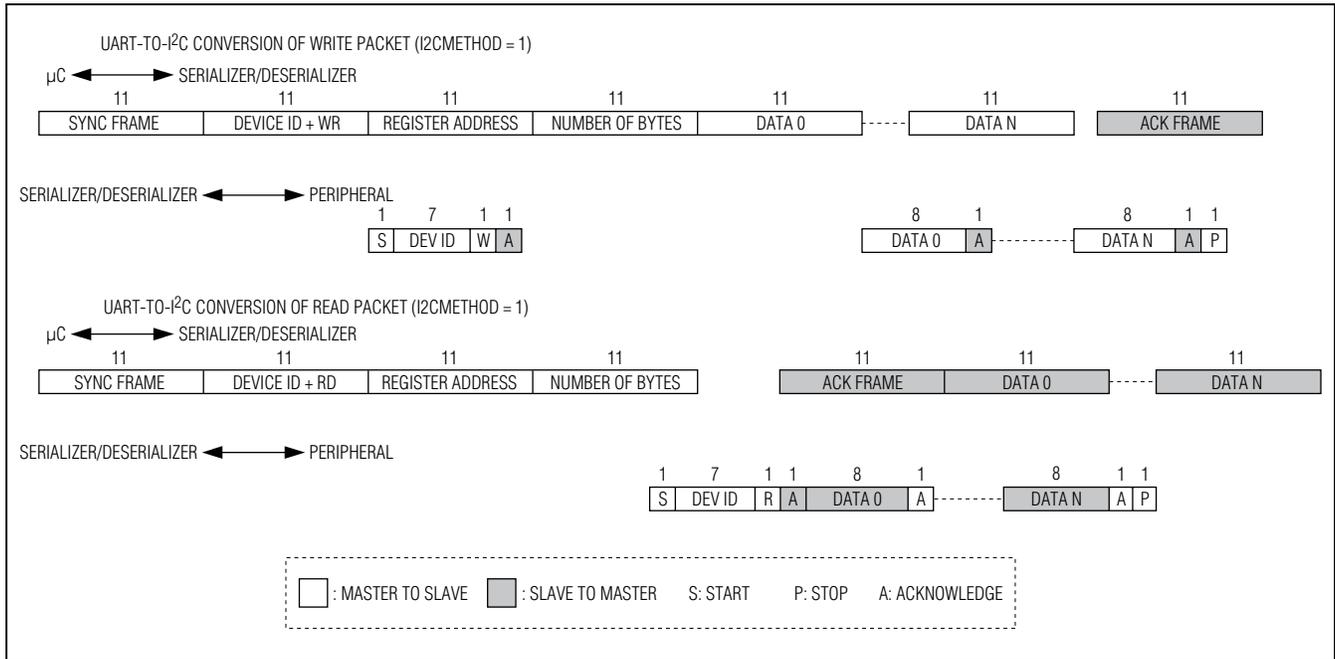


図 29. コマンドバイトオンリーモード (I2CMETHOD = 1) での GMSL UART と I²C の間の形式変換

割込み制御

シリアライザのINT端子は割込み出力で、デシリアライザのINT端子は割込み入力です。シリアライザの割込み出力は、割込み入力の遷移に追従します。この割込み機能によって、タッチスクリーンペリフェラル、リモート起動、リモートモニタリングなどのリモート側の機能がサポートされます。リンクのスタートアップ/シャットダウンなど、逆方向制御チャンネルがディセーブルされている期間に発生した割込みは、逆方向制御チャンネルが再び利用可能になった時点で自動的に再送信されます。デシリアライザのレジスタ 0x06 のビット D4 にも、割込み入力の状態が格納されます。起動後、シリアライザのINT出力はローです。さらに、μC は SETINT レジスタビットへの書き込みによってシリアライザのINT出力を設定することができます。通常動作時には、デシリアライザの割込み入力がつぐれた場合に割込み出力の状態が変化します。正常な割込み機能を確認するために、ベースまたはバイパスモードのいずれにおいても 100μs より長いロジックロー値を送信しないでください。

プリ/デエンファシスドライバ

シリアライザのシリアルラインドライバは、電流モードロジック(CML)信号方式を採用しています。このドライバは、ケーブルの長さと特性に応じて調整可能な波形を生成することができます。表6に示す13のプリエンファシスの設定があります。プリエンファシスのレベルが負の場合はデエンファシスのレベルを表し、プリエンファシスされたスイングレベルは通常のスイングと同一ですが、遷移のないデータはデエンファシスされます。プリエンファシスのレベルは、シリアライザのレジスタ 0x05 D[3:0] を介して設定してください。このプリエンファシス機能は、ケーブルの高周波数損失を補償し、より長いリンク距離で高信頼性の送信を可能にします。さらに、CMLLVL ビット (0x05, D[5:4]) の設定によってより低出力の駆動モードに移行することが可能で、ドライバの強度が 100% (CMLLVL = 11、デフォルト) から 75% (CMLLVL = 10) または 50% (CMLLVL = 01) に低下します。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表6. シリアライザのCMLドライバの強度(デフォルトのレベル、CMLLVL = 11)

PREEMPHASIS LEVEL (dB)*	PREEMPHASIS SETTING (0x05, D[3:0])	I _{CML} (mA)	I _{PRE} (mA)	SINGLE-ENDED VOLTAGE SWING	
				MAX (mV)	MIN (mV)
-6.0	0100	12	4	400	200
-4.1	0011	13	3	400	250
-2.5	0010	14	2	400	300
-1.2	0001	15	1	400	350
0	0000	16	0	400	400
1.1	1000	16	1	425	375
2.2	1001	16	2	450	350
3.3	1010	16	3	475	325
4.4	1011	16	4	500	300
6.0	1100	15	5	500	250
8.0	1101	14	6	500	200
10.5	1110	13	7	500	150
14.0	1111	12	8	500	100

*負のプリエンファシスレベルはデエンファシスを表します。

表7. デシリアライザのケーブルイコライザのブーストレベル

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2 Power-Up Default (EQS = high)
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Power-Up Default (EQS = low)
1010	11.7
1011	13

ラインイコライザ

デシリアライザには、高周波数でのケーブル減衰をさらに補正するための、調整可能なラインイコライザが内蔵されています。ケーブルイコライザは、2.1dB~13dBの範囲で選択可能な11の補正レベルを備えています(表7)。EQS入力で、起動時のデフォルトのイコライゼーションレベルを選択します。EQSの状態は、起動時またはパワー

ダウンモードからの復帰時にラッチされます。他の補正レベルを選択する場合は、デシリアライザの該当するレジスタビット(0x05 D[3:0])を設定してください。所定のケーブルで最も信頼性の高いリンクを実現するために、シリアライザのプリエンファシスとともに、デシリアライザのイコライゼーションを使用してください。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

スペクトラム拡散

シリアルリンクおよびパラレル出力上の遷移によって生成されるEMIを低減するために、シリアライザとデシリアライザの両方がスペクトラム拡散をサポートしています。デシリアライザでスペクトラム拡散をオンにすると、パラレルビデオ出力が拡散されます。シリアライザでスペクトラム拡散をオンにすると、デシリアライザのパラレル出力とともに、シリアルリンクが拡散されます。シリアライザとデシリアライザの両方で拡散をイネーブルしないでください。シリアライザのシリアル出力で選択可能な6つのスペクトラム拡散率は、 $\pm 0.5\%$ 、 $\pm 1\%$ 、 $\pm 1.5\%$ 、 $\pm 2\%$ 、 $\pm 3\%$ 、および $\pm 4\%$ です(表8)。一部のスペクトラム拡散率は、より低いPCLK₁の周波数でのみ使用可能です(表9)。拡散率が0.5%の場合は、PCLK₁の周波数の制限はありません。デシリアライザのパラレル出力で選択可能な2つのスペクトラム拡散率は、 $\pm 2\%$ および $\pm 4\%$ です(表10)。

シリアライザで起動時に0.5%の拡散を選択する場合はSSEN入力をハイに設定し、起動時に拡散なしを選択する場合はSSEN入力をローに設定してください。デシリアライザでも起動時に2%の拡散を選択する場合はSSEN入力をハイに設定し、起動時に拡散なしを選択する場合は

SSEN入力をローに設定してください。SSENの状態は、起動時またはパワーダウンモードからの復帰時にラッチされます。

シリアライザのスペクトラム拡散をオンまたはオフするたびに、シリアルリンクが自動的に再スタートされ、デシリアライザがシリアルデータに再ロックする間は利用不可のままになります。シリアライザまたはデシリアライザでスペクトラム拡散をオンにしても、オーディオデータストリームへの影響はありません。シリアライザの拡散の設定に対する変更は、PCLK₁から取得している場合(MCLKSRC = 0)のデシリアライザのMCLK出力にのみ影響します。

シリアライザ/デシリアライザは、拡散変調率を制御するための鋸歯分周器を内蔵しています。PCLKINの動作範囲の自動検出またはマニュアル設定では、スペクトラム拡散の変調周波数が20kHz~40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV: 0x03、D[5:0])によって、PCLKINの周波数に応じてユーザーが変調周波数を設定することも可能です。正常な動作を確保するために、変調周波数は常に20kHz~40kHzの範囲に維持してください。

表8. シリアライザのシリアル出力の拡散

SS	SPREAD (%)
000	No spread spectrum. Power-up default when SSEN = low.
001	$\pm 0.5\%$ spread spectrum. Power-up default when SSEN = high.
010	$\pm 1.5\%$ spread spectrum.
011	$\pm 2\%$ spread spectrum.
100	No spread spectrum.
101	$\pm 1\%$ spread spectrum.
110	$\pm 3\%$ spread spectrum.
111	$\pm 4\%$ spread spectrum.

表9. シリアライザの拡散率の制限

24-BIT MODE PCLK ₁ FREQUENCY (MHz)	32-BIT MODE PCLK ₁ FREQUENCY (MHz)	SERIAL LINK BIT-RATE (Mbps)	AVAILABLE SPREAD RATES
< 33.3	< 25	< 1000	All rates available
33.3 to < 66.7	20 to < 50	1000 to < 2000	1.5%, 1.0%, 0.5%
66.7+	50+	2000+	0.5%

表10. デシリアライザのパラレル出力の拡散

SS	SPREAD (%)
00	No spread spectrum. Power-up default when SSEN = low.
01	$\pm 2\%$ spread spectrum. Power-up default when SSEN = high.
10	No spread spectrum.
11	$\pm 4\%$ spread spectrum.

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

スペクトラム拡散分周器のマニュアル設定

シリアライザ/デシリアライザの変調率とPCLK₁の周波数の関係は、以下のようになります。

$$f_M = (1 + \text{DRS}) \frac{f_{\text{PCLK}_1}}{\text{MOD} \times \text{SDIV}}$$

ここで、

f_M = 変調周波数。

DRS = DRS端子の入力値(0または1)。

f_{PCLK_1} = PCLK₁の周波数。

MOD = 表11または12に示す変調係数。

SDIV = μC によってマニュアル設定される6または5ビットのSDIV設定値です。

SDIV設定値を設定する場合は、最初に型番および目的のバス幅とスペクトラム拡散の設定に従って変調係数を見つけてください。目的のピクセルクロックおよび変調周波数を使用して、上記の等式をSDIVについて解いてください。計算結果のSDIVの値が表11または12に示すSDIVの許容最大値より大きくなった場合は、SDIVを最大値に設定してください。

スリープモード

シリアライザ/デシリアライザは、 μC に接続されていないデバイス(LCDアプリケーションにおけるデシリアライザおよび

ビデオアプリケーションにおけるシリアライザ)の消費電力を低減するための、低電力スリープモードを備えています。スリープモードを開始する場合は、該当するリモート側ICのSLEEPビットに1をセットしてください。シリアライザは、SLEEP = 1に設定した直後にスリープします。デシリアライザは、SLEEP = 1に設定しシリアルリンクの動作が停止したあと、または設定から8ms後(いずれか先に到達した方)にスリープします。各種の μC および開始条件に応じてデバイスをウェイクアップする方法の詳細については、「リンクのスタートアップ手順」の項を参照してください。

μC 側のデバイスは、スリープモードに移行することはできません。 μC 側のデバイスをスリープに設定しようとしても、SLEEPビットは0のままになります。 μC 側のデバイスを低電力状態にする場合は、 $\overline{\text{PWDN}}$ 入力端子を使用してください。スリープモードへの移行によってHDCPレジスタはリセットされますが、コンフィギュレーションレジスタはリセットされません。

パワーダウンモード

シリアライザ/デシリアライザは、消費電力をさらに低減するためのパワーダウンモードを備えています。パワーダウンモードに移行する場合は、 $\overline{\text{PWDN}}$ をローに設定してください。パワーダウンモードの間は、デバイスの出力はハイインピーダンスのままになります。パワーダウンモードへの移行によって、デバイスの内部レジスタはリセットさ

表11. シリアライザの変調係数および最大SDIV設定値

BIT-WIDTH MODE	SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT MOD (dec)	SDIV UPPER LIMIT (dec)
32 bit	1	104	40
	0.5	104	63
	3	152	27
	1.5	152	54
	4	204	15
	2	204	30
24 bit	1	80	52
	0.5	80	63
	3	112	37
	1.5	112	63
	4	152	21
	2	152	42

表12. デシリアライザの変調係数および最大SDIV設定値

SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (dec)	SDIV UPPER LIMIT (dec)
4	208	15
2	208	30

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

れます。さらに、パワーダウンモードからの復帰時に、シリアライザ/デシリアライザは、SSEN、DRS、AUTOS、およびEQSの各外部端子の状態を再ラッチします。

設定リンクモード

GMSLは、有効なクロック入力が存在しない場合に2つのデバイス間で制御データ接続を可能にするための、低速の設定リンクを備えています。ディスプレイまたはカメラいずれのアプリケーションの場合も、ビデオリンクを確立する前に、設定リンクを使用してイコライザプリエンファシスやその他のレジスタの設定を行うことができます。内蔵発振器が、シリアライザとデシリアライザの間でシリアル設定リンクを確立するためのPCLKINを提供します。設定リンクをオンにする場合は、シリアライザでCLINKEN = 1に設定してください。ビデオリンクがイネーブルされない限り、設定リンクはアクティブのままになります。SEREN = 1の場合、ビデオリンクが設定リンクをオーバーライドしてロックを試みます。

リンクのスタートアップ手順

表13に、ビデオディスプレイアプリケーションにおけるスタートアップの4つの場合を示します。表14に、画像検出アプリケーションにおけるスタートアップの2つの場合を示します。ビデオディスプレイまたは画像検出のいずれのアプリケーションでも、高速データリンクまたは設定リンクの確立後は常に制御リンクが利用可能で、シリアライザ/デシリアライザのレジスタまたはペリフェラルの設定を行うことができます。

ビデオディスプレイアプリケーション

リモートディスプレイユニットを使用するビデオディスプレイアプリケーションの場合、 μC をシリアライザに接続して、シリアライザとデシリアライザの両方をCDS = ローに設定してください。表13に、AUTOSおよびMSの設定に基づくスタートアップの4つの場合について概要を示します。

ケース1：オートスタートモード

シリアライザとデシリアライザの両方が起動後またはPWRDNがローからハイに遷移したとき、安定したクロックが存在する場合はシリアルリンクが確立されます。シリアライザはクロックにロックして、シリアルデータをデシリアライザに送信します。その後、デシリアライザはシリアルリンク上の動作を検出して、入力シリアルデータにロックします。

ケース2：スタンバイスタートモード

シリアライザとデシリアライザの両方が起動後またはPWRDNがローからハイに遷移したとき、デシリアライザはスリープモードでスタートアップして、シリアライザはスタンバイモードのままになります(シリアルデータを送信しません)。 μC を使用してシリアライザの設定を行い、SEREN = 1に設定してビデオリンクを確立するか、またはCLINKEN = 1に設定して設定リンクを確立してください。安定したクロック(SEREN = 1の場合)または内蔵発振器(CLINKEN = 1の場合)へのロック後、シリアライザはデシリアライザにウェイクアップ信号を送信します。デシリアライザはシリアルデータにロックしたあと、スリープモードを終了してSLEEP = 0に設定します。8ms後にデシリア

表13. ディスプレイアプリケーション(CDS = ロー)のスタートモードの選択肢

CASE	AUTOS (SERIALIZER)	SERIALIZER POWER-UP STATE	MS (DESERIALIZER)	DESERIALIZER POWER-UP STATE	リンクのスタートアップモード
1	Low	Serialization enabled	Low	Normal (SLEEP = 0)	シリアルリンクがアクティブな状態で両方のデバイスが起動します(オートスタート)。
2	High	Serialization disabled	High	Sleep mode (SLEEP = 1)	シリアルリンクはディセーブルされ、デシリアライザはスリープモードで起動します。シリアルリンクを開始してデシリアライザをウェイクアップする場合は、シリアライザでSEREN = 1またはCLINKEN = 1に設定してください。
3	High	Serialization disabled	Low	Normal (SLEEP = 0)	シリアルリンクがディセーブルされた状態で両方のデバイスが通常モードで起動します。シリアルリンクを開始する場合は、シリアライザでSEREN = 1またはCLINKEN = 1に設定してください。
4	Low	Serialization enabled	High	In sleep mode (SLEEP = 1)	デシリアライザはスリープモードで起動します。シリアライザの起動時にリンクがオートスタートします。デシリアライザがシリアライザより先に起動する場合は、このモードを使用してください。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

ライザが入力シリアルデータにロックしていない場合、デシリアライザは再びスリーブに移行して、内部のスリーブビットがセットされたまま(SLEEP = 1)になります。

ケース3：リモート側がオートスタートモード

起動後、またはP $\overline{W}D\overline{N}$ がローからハイに遷移したとき、リモート側デバイス(デシリアライザ)がスタートアップして十分なパワーの入力シリアル信号にロックしようとします。ホスト側(シリアライザ)はスタンバイモードで、リンクの確立を試みません。μCを使用してシリアライザをSEREN = 1に設定して(および安定したクロック信号を印加して)ビデオリンクを確立するか、またはCLINKEN = 1に設定して設定リンクを確立してください。この場合、デシリアライザはシリアライザから送信される短いウェイクアップ信号を無視します。

ケース4：リモート側がスリーブモード

起動後またはP $\overline{W}D\overline{N}$ がローからハイに遷移したとき、リモート側デバイス(デシリアライザ)はスリーブモードでスタートアップします。シリアライザが安定したクロック信号に

より起動してデシリアライザにウェイクアップ信号を送信したあと、高速リンクが自動的に確立されます。デシリアライザがシリアライザより先に起動するアプリケーションでは、このモードを使用してください。

画像検出アプリケーション

画像検出アプリケーションの場合、μCをデシリアライザに接続して、シリアライザとデシリアライザの両方をCDS = ハイに設定してください。デシリアライザは通常モード(SLEEP = 0)で起動して、有効なシリアル入力へのロックを継続的に試みます。表14に、シリアライザのAUTOS \overline{S} 端子の状態に基づく2つのスタートアップの場合について概要を示します。

ケース1：オートスタートモード

起動後、またはP $\overline{W}D\overline{N}$ がローからハイに遷移したとき、シリアライザは安定した入カクロックにロックして、デシリアライザに高速データを送信します。デシリアライザはシリアルデータにロックして、ビデオデータおよびクロックを出力します。

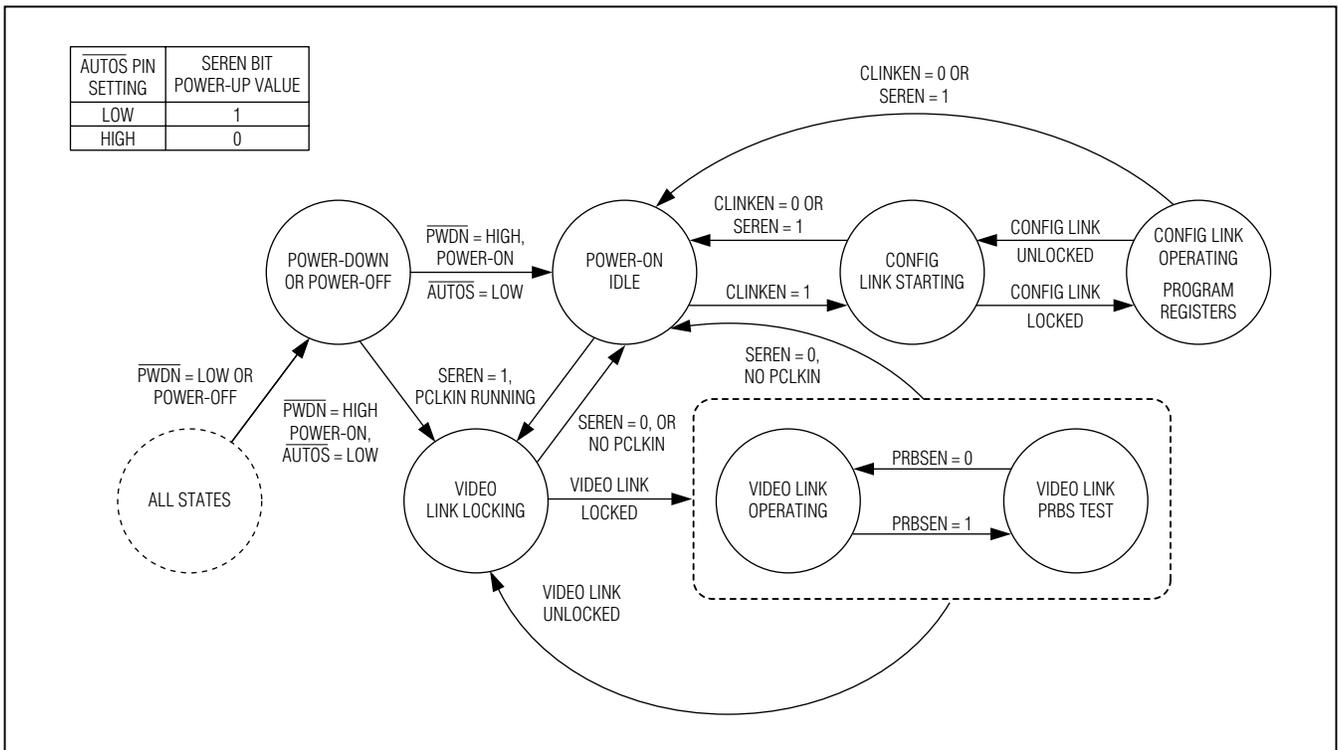


図 30. シリアライザの状態遷移図、CDS = ロー (LCD アプリケーション)

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

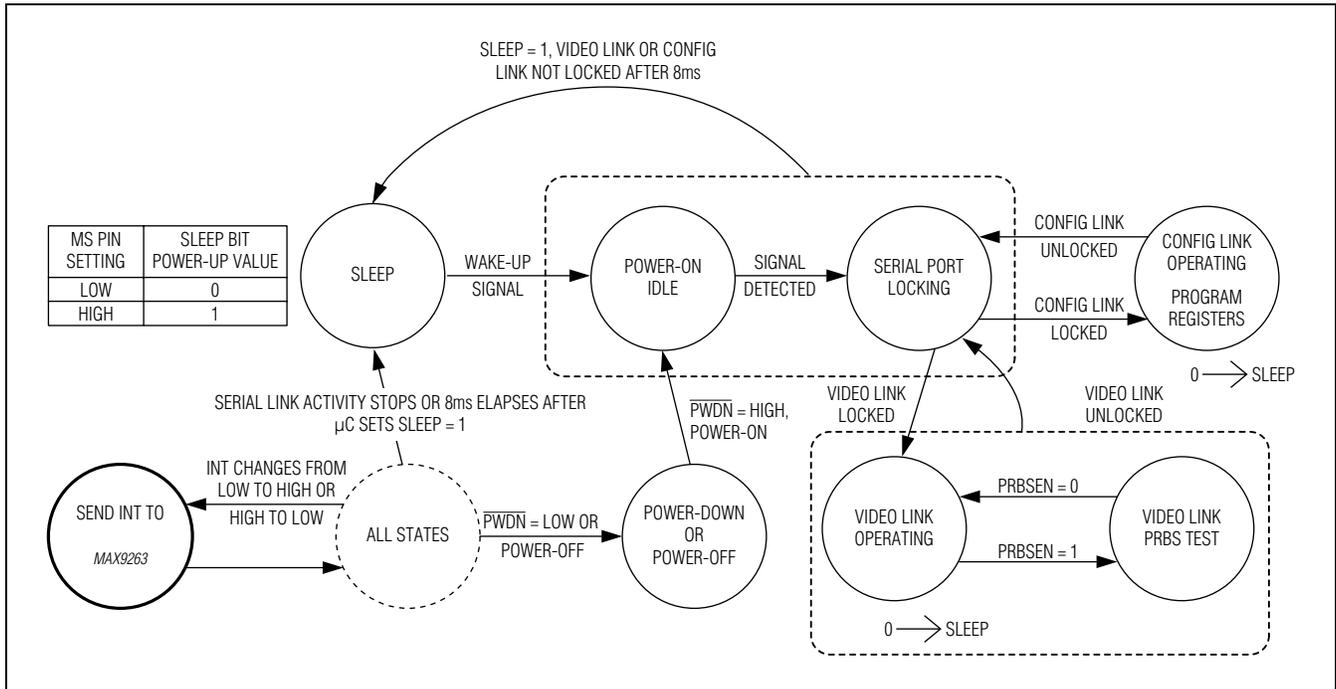


図 31. デシリアライザの状態遷移図、CDS = ロー (LCD アプリケーション)

表 14. 画像検出アプリケーション(CDS = ハイ)のスタートモードの選択肢

CASE	AUTOS (SERIALIZER)	SERIALIZER POWER-UP STATE	DESERIALIZER POWER-UP STATE	リンクのスタートアップモード
1	Low	Serialization enabled	Normal (SLEEP = 0)	オートスタート
2	High	Sleep mode (SLEEP = 1)	Normal (SLEEP = 0)	シリアライザはスリープモードです。制御チャネルを介してシリアライザをウェイクアップしてください(μCはデシリアライザに接続)。

ケース2：スリープモード

起動後またはPWDNがローからハイに遷移したとき、シリアライザはスリープモードでスタートアップします。シリアライザをウェイクアップする場合は、μCを使用して、少なくとも3つの立上りエッジを含んだGMSLプロトコルのUARTフレーム(たとえば、0x66)を1Mbps以下のビットレートで送信してください。シリアライザの低電力ウェイクアップレシーバは、逆方向制御チャネル上でウェイクアップ

フレームを検出して起動します。通常の制御チャネル書き込みパケットを使用してシリアライザのスリープビットをリセットして(SLEEP = 0)、デバイスを完全に起動させてください。スリープビット書き込みパケットは、ウェイクアップフレームから少なくとも500μs後に送信してください。ウェイクアップフレームの検出後5ms (min)以内にスリープビットがクリアされない場合、シリアライザは再びスリープモードに移行します。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

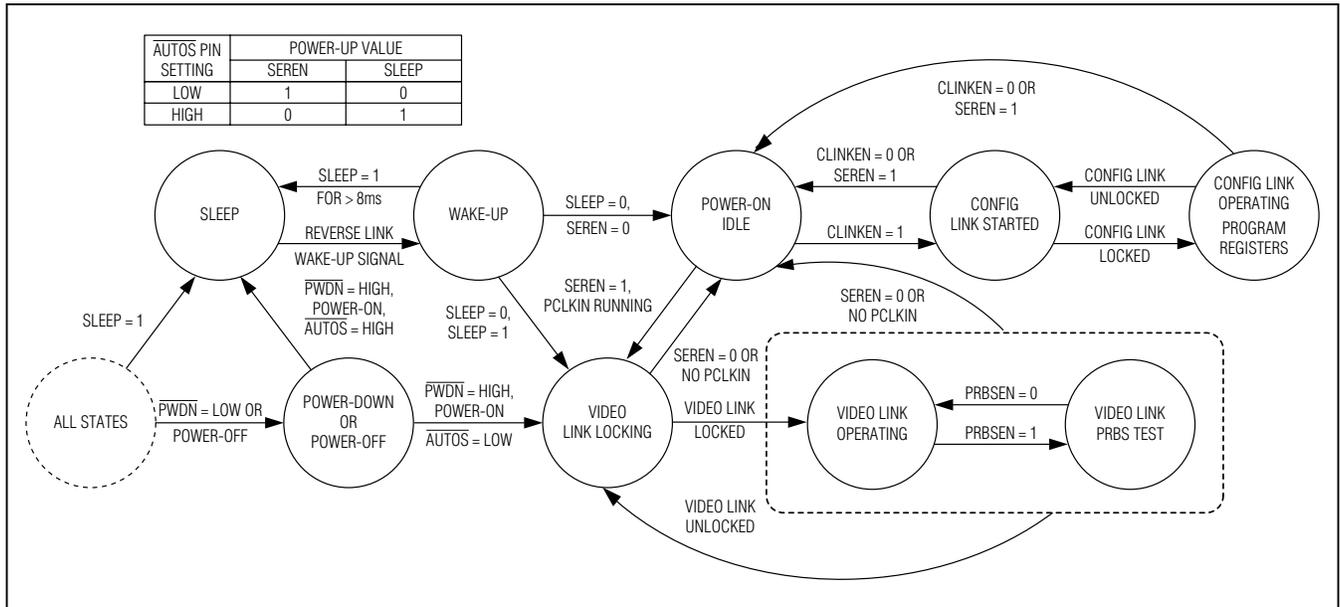


図 32. シリアライザの状態遷移図、CDS = ハイ (カメラアプリケーション)

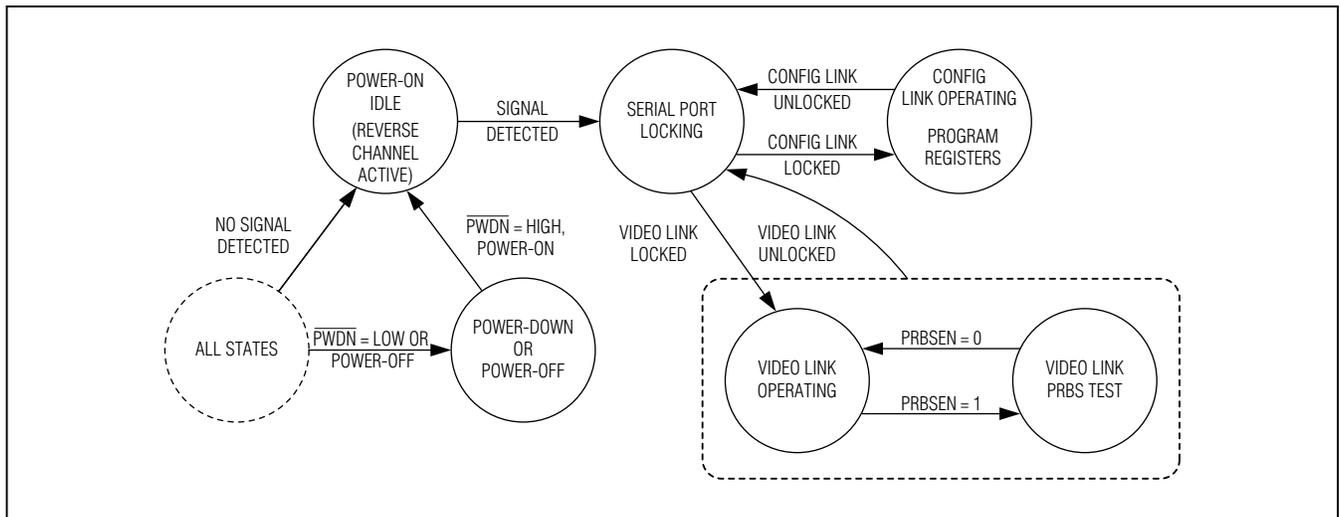


図 33. デシリアライザの状態遷移図、CDS = ハイ (カメラアプリケーション)

広帯域デジタルコンテンツ保護(HDCP)

注：このデータシートのHDCPの動作に関する説明は、一般的な理解のためのガイドとして書かれています。製品でのHDCPの実装は、DCP, LLCから提供されている「HDCP System v1.3 Amendment for GMSL (HDCPシステムv1.3のGMSL向け修正)」に記載された要件に適合する必要があります。

HDCPは、認証とリンク完全性チェックの2つの主な動作フェーズを使用します。μCはシリアライザのSTART_

AUTHENTICATIONビットへの書き込みによって認証を開始します。シリアライザは64ビットの乱数を生成します。ホストμCは最初にシリアライザから64ビットの乱数を読み取って、それをデシリアライザに書き込みます。次にμCはシリアライザの公開鍵選択ベクトル(AKSV)を読み取ってデシリアライザに書き込みます。次にμCはデシリアライザのKSV (BKSV)を読み取ってシリアライザに書き込みます。μCは無効化リストに対するBKSVのチェックを開始します。暗号を使用して、シリアライザとデシリアライザはそれぞれ16ビットの応答値(R0およびR0')を計算します。HDCPの

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

GMSL向け修正では、RO'の生成のためにレシーバに与えられる100msの最小ウェイト時間(HDCPリビジョン1.3による規定)が、GMSL向け修正では128ピクセルクロックサイクルに短縮されています。

応答値の比較モードには、内部比較とμC比較の2つがあります。内部比較モードを選択する場合は、EN_INT_COMP = 1に設定してください。μC比較モードを選択する場合は、EN_INT_COMP = 0に設定してください。内部比較モードでは、μCはデシリアライザの応答RO'を読み取ってシリアライザに書き込みます。シリアライザはRO'を内部で生成した応答値のROと比較して、RO_RI_MATCHEDを設定します。μC比較モードでは、μCがシリアライザ/デシリアライザからRO/RO'の値を読み取って比較します。

応答値の生成と比較の間に、ホストμCは有効なBKSVかどうかのチェック(20ケの1と20ケの0を含むこと、BKSV_INVALIDでも通知)、およびBKSVと無効化リストの照合チェックを行います。BKSVがリストに含まれず、応答値が一致した場合、ホストはリンクを認証します。応答値が一致しない場合、μCは([HDCP rev 1.3 Appendix C]の記述に従って)応答値の再サンプリングを行います。再サンプリングに失敗した場合、μCはシリアライザのRESET_HDCPビットをセットすることによって認証を再スタートします。BKSVが無効化リストに含まれていた場合、ホストは保護を必要とするデータを送信することができません。ホストにはいつリンクが認証されているかが分かるため、いつ保護の必要なデータを出力するかを決定することができます。μCは128フレームごとまたは2秒±0.5秒ごとにリンクの完全性チェックを実行します。シリアライザ/デシリアライザは128フレームごとに応答値を生成します。これらの値は内部で比較されるか(内部比較モード)またはホストμC内で比較することができます。

さらに、シリアライザ/デシリアライザは拡張リンク検証のための応答値も提供します。拡張リンク検証は、同期が失われたことをより短時間で検出するためのオプションのリンク検証方法です。このオプション用に、シリアライザとデシリアライザは8ビットの拡張リンク検証応答値(PJおよびPJ')を16フレームごとに生成します。ホストは連続して3回のPJ/PJ'の不一致を検出したあとで再サンプリングを行う必要があります。

暗号化のイネーブル

GMSLリンクは、暗号化または非暗号化いずれのデータも転送可能です。データを暗号化する場合、ホストμCがシリアライザとデシリアライザの両方の暗号化イネーブル(ENCRYPTION_ENABLE)ビットをセットします。μCは、同一のVSYNCサイクル内でシリアライザとデシリアライザの両方のENCRYPTION_ENABLEをセットする必要があります(2つの

書込みの間に内部VSYNCの立下りエッジが存在しないこと)。暗号化をディセーブルするためにENCRYPTION_ENABLEをクリアする場合にも、これと同じタイミングが適用されます。

注：ENCRYPTION_ENABLEは、コンテンツに関係なくGMSL上の暗号化をイネーブル/ディセーブルします。HDCPに準拠するために、μCは暗号化を必要とするコンテンツが暗号化なしでGMSLを通過するのを許してはいけません。「強制ビデオ/強制オーディオデータ」の項を参照してください。

μCは暗号化をイネーブルする前に認証プロセスを完了する必要があります。さらに、新しい認証セッションを開始する前に暗号化がディセーブルされる必要があります。

VSYNCの検出

μCがVSYNCの立下りエッジを検出することができない場合は、シリアライザのVSYNC_DETレジスタビットを使用することができます。ホストμCは最初にVSYNC_DETビットに0を書き込みます。その後、内部VSYNCの立下りエッジを検出した時点でシリアライザがVSYNC_DET = 1に設定します(シリアライザのINVVSYNCがセットされている場合、これは外部VSYNCの立上りエッジに対応します)。μCはVSYNC_DETを継続的に読み取り、次の内部VSYNCの立下りエッジを待ってENCRYPTION_ENABLEをセットします。同一のVSYNCサイクル内でシリアライザ/デシリアライザ両方のENCRYPTION_ENABLEをセットする時間を確保するために、十分な速度でVSYNC_DETの監視を行ってください。

暗号化の同期

ビデオの垂直同期(VSYNC)は、暗号の開始を同期化します。暗号化が開始されると、GMSLはVSYNCとHSYNCの内部立下りエッジを使用して、個々のフレームおよび個々のラインに対して新しい暗号鍵を生成します。鍵の変更はデータに対して透過的で、ビデオまたはオーディオデータの暗号化を中断しません。

リピータのサポート

シリアライザ/デシリアライザは、HDCPリピータを構築するための機能を備えています。HDCPリピータは、HDCPコンテンツを受信して復号化したあと、1つ以上のダウンストリームリンク上で暗号化して送信します。リピータは、復号化されたHDCPコンテンツを(たとえばスクリーンに表示するために)使用することもできます。HDCPのリピータ認証プロトコルをサポートするために、デシリアライザはREPEATERレジスタビットを備えています。このレジスタビットは(おそらくリピータモジュール上の)μCによって、1に設定される必要があります。シリアライザとデシリアライザの両方が、作成されたKSVリスト上でSHA-1ハッシュ値計算を使用します。HDCP GMSLリンクは、最大15のレシーバをサポートします(リピータモジュール内のものを含む総数)。ダウンストリームのレシーバの総数が14より多

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

い場合、μCはKSVリストの作成時にMAX_DEVS_EXCEEDEDレジスタビットをセットする必要があります。

強制ビデオ/強制オーディオデータ

シリアライザは、FORCE_AUDIOとFORCE_VIDEOの2つの制御ビットを介してオーディオおよびビデオデータをマスクします。シリアライザのビデオ入力で受信したビデオデータの代わりにDFORCEレジスタ内の24ビットデータワードを送信する場合は、FORCE_VIDEO = 1に設定してください。SD入力の代わりに0を送信する場合は、FORCE_AUDIO = 1に設定してください(SCKおよびWSは引き続きデシリアライザから出力されます)。画面のブランクアウトおよびオーディオのミュートのためにこれらの機能を使用してください。

—HDCP認証の手順

シリアライザはHDCPの要件を上回る64ビットの乱数を生成します。シリアライザ/デシリアライザの内蔵ワンタイムプログラマブル(OTP)メモリには、出荷時に固有の

HDCP鍵セットが設定されています。ホストμCは、HDCP認証手順を開始して制御します。シリアライザとデシリアライザは、認証の検証用にHDCP認証応答値を生成します。以下の手順を使用して、HDCP-GMSL暗号化の認証を行ってください。詳細については、「HDCP 1.3 Amendment for GMSL (HDCP 1.3のGMSL向け修正)」を参照してください。暗号化がイネーブルされている間、μCはリンク完全性チェックを実行する必要があります。表16を参照してください。デシリアライザがリンクの同期を失ったことを示す何らかのイベントが発生した場合は、認証を再トリガしてください。μCは、新しい認証の試みを開始する前に、最初にシリアライザのRESET_HDCPビットに1を書き込む必要があります。

HDCPプロトコルの概要

表15、16、および17に、HDCPプロトコルの概要を示します。これらの表は、実装の指針としての役割のみを目的としています。完全な準拠のためには、HDCPのGMSL向け修正に記載された要件を満たしてください。

表15. スタートアップ、HDCP認証、および通常動作(デシリアライザがリピータではない場合)—HDCP認証プロトコルの第1のパート

NO.	μC	シリアライザ	デシリアライザ
1	起動後の初期状態です。	起動してHDCP認証を待ちます。	起動してHDCP認証を待ちます。
2	保護を必要としないA/Vデータ(低価値コンテンツ)がシリアライザの入力で利用可能になっていることを確認します(ブルーまたはインフォメーション画面など)。あるいは、シリアライザのFORCE_VIDEOおよびFORCE_AUDIOビットを使用して、シリアライザの入力のA/Vデータをマスクします。SEREN = Hを書き込むことによってリンクを開始するか、またはAUTOSがローの場合はリンクが自動的に開始します。	—	—
3	—	シリアライズを開始して低価値コンテンツA/Vデータを送信します。	入力データストリームにロックして低価値コンテンツA/Vデータを出力します。
4	デシリアライザのロックビットを読み取ってリンクが確立されたことを確認します。	—	—
5	オプションで、乱数のシードをシリアライザに書き込みます。	シードと内部で生成した乱数を組み合わせます。シードが供給されない場合は、内部の乱数のみを使用します。	—
6	HDCP暗号化が必要な場合、シリアライザのSTART_AUTHENTICATIONビットに1を書き込むことによって認証を開始します。	ANを生成(保存)して、START_AUTHENTICATIONビットを0にリセットします。	—
7	ANおよびAKSVをシリアライザから読み取ってデシリアライザに書き込みます。	—	μCのAKSVの書き込みをトリガとしてRO'を生成します。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表15. スタートアップ、HDCP認証、および通常動作(デシリアライザがリピータではない場合)—HDCP認証プロトコルの第1のパート(続き)

NO.	μC	シリアライザ	デシリアライザ
8	BKSVおよびREPEATERビットをデシリアライザから読み取ってシリアライザに書き込みます。	μCのBKSVの書き込みをトリガとして、R0を生成します。	—
9	シリアライザのINVALID_BKSVビットを読み取って、それが0の場合は認証を続行します。認証に失敗した場合は再スタートすることができます(認証を再スタートする前にRESET_HDCP = 1に設定してください)。	—	—
10	デシリアライザからR0'を読み取り、シリアライザからR0を読み取ります。両者が一致した場合は、認証を続行します。一致しない場合は、さらに最大2回の再試行を行います(オプションで、シリアライザ比較を使用してR0/R0'の一致を検出することができます)。認証に失敗した場合は再スタートすることができます(認証を再スタートする前にRESET_HDCP = 1に設定してください)。	—	—
11	VSYNCの立下りエッジ(シリアライザ内)を待つ、デシリアライザおよびシリアライザのENCRYPTION_ENABLEビットに1をセットします(μCがVSYNCを監視することができない場合は、デシリアライザのVSYNC_DETビットを利用することができます)。	次のVSYNCの立下りエッジの後で、暗号化がイネーブルされます。	次のVSYNCの立下りエッジの後で、復号化がイネーブルされます。
12	BKSVが鍵無効化リストに含まれていないかチェックし、含まれていない場合は続行します。認証に失敗した場合は再スタートすることができます。注：無効化リストのチェックはステップ8でBKSVを読み取ったあとに開始することができます。	—	—
13	保護を必要とするA/Vコンテンツの送信を開始します。	高価値コンテンツA/VデータのHDCP暗号化を行います。	高価値コンテンツA/VデータのHDCP復号化を行います。

表16. リンク完全性チェック(通常)—暗号化のイネーブル後128フレームごとに実行

NO.	μC	シリアライザ	デシリアライザ
1	—	128 VSYNCサイクル単位でRiを生成してRiレジスタを更新します。	128 VSYNCサイクル単位でRi'を生成してRi'レジスタを更新します。
2	—	A/Vデータの暗号化および送信を継続します。	A/Vデータの受信、復号化、および出力を継続します。
3	128ビデオフレーム(VSYNCサイクル)ごと、または2秒ごと。	—	—
4	シリアライザからRiを読み取ります。	—	—
5	デシリアライザからRi'を読み取ります。	—	—
6	再度シリアライザからRiを読み取って、値が安定していること(先ほどシリアライザから読み取ったRiと一致すること)を確認します。Riが安定していない場合は、ステップ5に戻ります。	—	—
7	RiとRi'が一致した場合、リンク完全性チェックは成功で、ステップ3に戻ります。	—	—

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表16. リンク完全性チェック(通常)—暗号化のイネーブル後128フレームごとに実行(続き)

NO.	μC	シリアライザ	デシリアライザ
8	RIとRI'が一致しない場合、リンク完全性チェックは失敗です。リンク完全性チェックの失敗を検出したあと、μCは保護を必要としないA/Vデータ(低価値コンテンツ)がシリアライザの入力で利用可能になっていることを確認します(ブルーまたはインフォメーション画面など)。あるいは、シリアライザのFORCE_VIDEOおよびFORCE_AUDIOビットを使用して、シリアライザの入力のA/Vデータをマスクすることもできます。	—	—
9	シリアライザおよびデシリアライザのENCRYPTION_ENABLEビットに0を書き込みます。	暗号化をディセーブルして低価値コンテンツA/Vデータを送信します。	復号化をディセーブルして低価値コンテンツA/Vデータを出力します。
10	シリアライザのRESET_HDCPビットに1を書き込んだあとSTART_AUTHENTICATIONビットに1を書き込むことによって認証を再スタートします。	—	—

表17. オプションの拡張リンク完全性チェック—暗号化のイネーブル後16フレームごとに実行

NO.	μC	シリアライザ	デシリアライザ
1	—	16 VSYNCサイクル単位でPJを生成してPJレジスタを更新します。	16 VSYNCサイクル単位でPJ'を生成してPJ'レジスタを更新します。
2	—	A/Vデータの暗号化および送信を継続します。	A/Vデータの受信、復号化、および出力を継続します。
3	16ビデオフレームごとに、シリアライザからPJを読み取り、デシリアライザからPJ'を読み取ります。	—	—
4	PJとPJ'が一致した場合、拡張リンク完全性チェックは成功で、ステップ3に戻ります。	—	—
5	不一致があった場合は、さらに最大2回ステップ3から再試行します。3回の不一致の後、拡張リンク完全性チェックは失敗します。拡張リンク完全性チェックの失敗を検出したあと、μCは保護を必要としないA/Vデータ(低価値コンテンツ)がシリアライザの入力で利用可能になっていることを確認します(ブルーまたはインフォメーション画面など)。あるいは、シリアライザのFORCE_VIDEOおよびFORCE_AUDIOビットを使用して、シリアライザの入力のA/Vデータをマスクすることもできます。	—	—
6	シリアライザおよびデシリアライザのENCRYPTION_ENABLEビットに0を書き込みます。	暗号化をディセーブルして低価値コンテンツA/Vデータを送信します。	復号化をディセーブルして低価値コンテンツA/Vデータを出力します。
7	シリアライザのRESET_HDCPビットに1を書き込んだあとSTART_AUTHENTICATIONビットに1を書き込むことによって認証を再スタートします。	—	—

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

リピータネットワークの例— μ Cが2つの場合

以下の例では、1つのリピータと2つの μ Cを使用しています(図34)。表18に、認証の動作の概要を示します。

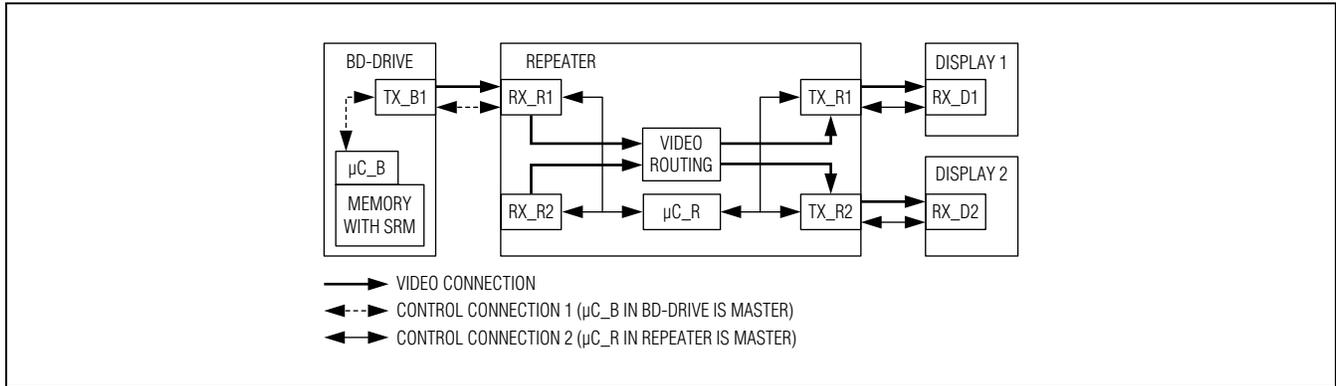


図 34. 1つのリピータと2つの μ Cのネットワークの例—TXはシリアライザ、RXはデシリアライザ

表 18. HDCP認証および通常動作(1つのリピータ、2つの μ C)—HDCP認証プロトコルの第1および第2の部分

NO.	μ C_B	μ C_R	SERIALIZER (TX_B1, TX_R1, TX_R2)	DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
1	起動後の初期状態です。	起動後の初期状態です。	すべて：起動してHDCP認証を待ちます。	すべて：起動してHDCP認証を待ちます。
2	—	RX_R1にREPEATER = 1を書き込みます。適切なアクリッジフレームが受信されるまで再試行します。 注： μ C_BによってTX_B1とRX_R1の間で認証の第1の部分が開始される(ステップ7)前に、このステップを完了する必要があります。この要件を満たすためには、たとえば、 μ C_RがREPEATERビットに書き込み可能な状態になるまでRX_R1をパワーダウン状態に維持する方法があります。 または、認証を開始する前に μ C_Bが μ C_Rを監視する方法もあります。	—	—

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表18. HDCP認証および通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの第1および第2のパート(続き)

NO.	μC_B	μC_R	SERIALIZER (TX_B1, TX_R1, TX_R2)	DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
3	保護を必要としないA/Vデータ(低価値コンテンツ)がTX_B1の入力で利用可能になっていることを確認します(ブルーまたはインフォメーション画面など)。あるいは、TX_B1のFORCE_VIDEOおよびFORCE_AUDIOビットを使用して、TX_B1のA/Vデータ入力をマスクすることもできます。TX_B1にSEREN = Hを書き込むことによってTX_B1とRX_R1の間のリンクを開始するか、またはAUTOSがローの場合はリンクが自動的に開始します。	—	TX_B1 : シリアライズを開始して低価値コンテンツA/Vデータを送信します。	RX_R1 : 入力データストリームにロックして低価値コンテンツA/Vデータを出力します。
4	—	TX_R1、TX_R2にSEREN = Hを書き込むことによってすべてのダウンストリームリンクを開始するか、またはトランスミッタのAUTOSがローの場合はリンクが自動的に開始します。	TX_R1、TX_R2 : シリアライズを開始して低価値コンテンツA/Vデータを送信します。	RX_D1、RX_D2 : 入力データストリームにロックして低価値コンテンツA/Vデータを出力します。
5	RX_R1のロックビットを読み取ってTX_B1とRX_R1の間のリンクが確立されたことを確認します。	RX_D1のロックビットを読み取ってTX_R1とRX_D1の間のリンクが確立されたことを確認します。RX_D2のロックビットを読み取ってTX_R2とRX_D2の間のリンクが確立されたことを確認します。	—	—
6	オプションで、乱数のシードをTX_B1に書き込みます。	GPIO機能がHDCP用に使用されるよう変更するため、RX_R1のGPIO_0_FUNCTIONおよびGPIO_1_FUNCTIONビットに1を書き込みます。オプションで、乱数のシードをTX_R1およびTX_R2に書き込みます。	—	—
7	TX_B1、RX_R1間の認証プロトコルの第1のパートを開始して完了します。表15のステップ6~10を参照してください。	—	TX_B1 : μC_Bからのコマンドに従って、ANを生成し、R0を計算します。	RX_R1 : μC_Bからのコマンドに従って、R0'を計算します。
8	—	GPIO_1 = 1が検出された場合、(TX_R1、RX_D1)および(TX_R2、RX_D2)間のリンクの認証プロトコルの第1のパートを開始して完了します。表15のステップ6~10を参照してください。	TX_R1、TX_R2 : μC_Rからのコマンドに従って、ANを生成し、R0を計算します。	RX_D1、RX_D2 : μC_Rからのコマンドに従って、R0'を計算します。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表18. HDCP認証および通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの第1および第2のパート(続き)

NO.	μC_B	μC_R	SERIALIZER (TX_B1, TX_R1, TX_R2)	DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
9	VSYNCの立下りエッジを待つ、(TX_B1、RX_R1)リンクの暗号化をイネーブルします。完全な認証はまだ完了していないため、保護を必要とするA/Vコンテンツが送信されないようにします。RX_R1からREPEATER = 1が読み取られたため、認証の第2のパートが必要です。	—	TX_B1 : 次のVSYNCの立下りエッジの後で、暗号化がイネーブルされます。	RX_R1 : 次のVSYNCの立下りエッジの後で、復号化がイネーブルされます。
10	—	GPIO_0 = 1が検出された場合、(TX_R1、RX_D1)および(TX_R2、RX_D2)リンクの暗号化をイネーブルします。	TX_R1、TX_R2 : 次のVSYNCの立下りエッジの後で、暗号化がイネーブルされます。	RX_D1、RX_D2 : 次のVSYNCの立下りエッジの後で、復号化がイネーブルされます。
11	—	RX_R1をREVCCEN = FWDCEN = 0に設定することによって、μC_B側からの制御チャンネルをブロックします。適切なアクノリッジフレームが受信されるまで再試行を行います。	—	RX_R1 : FWDCEN = REVCCEN = 0が書き込まれたあとは、シリアライザ側(TX_B1)からの制御チャンネルがブロックされます。
12	μC_RがRX_R1にKSVリストを用意することができるように、しばらく待ちます。その後、適切なアクノリッジフレームが受信され、ビットの読み値が1になるまで、RX_R1のKSV_LIST_READYビットを定期的に監視します(読み取ります)。	RX_D1およびRX_D2のBKSVをRX_R1のKSVリストに書き込みます。次に、RX_R1のBINFOレジスタを計算して書き込みます。	—	RX_R1 : μC_RによるBINFOの書き込みをトリガとして、KSVリスト、BINFO、およびシークレット値M0'に対するハッシュ値V'を計算します。
13	—	RX_R1のKSV_LIST_READYビットに1を書き込んだあと、RX_R1をREVCCEN = FWDCEN = 1に設定することによってμC_B側からの制御チャンネルのブロックを解除します。	—	RX_R1 : FWDCEN = REVCCEN = 1が書き込まれたあと、シリアライザ側(TX_B1)からの制御チャンネルのブロックが解除されます。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表18. HDCP認証および通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの第1および第2のパート(続き)

NO.	μC_B	μC_R	SERIALIZER (TX_B1, TX_R1, TX_R2)	DESERIALIZER (RX_R1, RX_D1, RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
14	RX_R1からKSVリストおよびBINFOを読み取って、それらをTX_B1に書き込みます。MAX_DEVS_EXCEEDEDまたはMAX_CASCADE_EXCEEDEDビットが1の場合、認証は失敗します。注：BINFOはKSVリストの後で書き込む必要があります。	—	TX_B1：μC_BによるBINFOの書き込みをトリガとして、KSVリスト、BINFO、およびシークレット値M0に対するハッシュ値Vを計算します。	—
15	TX_B1からVを読み取り、RX_R1からV'を読み取ります。両者が一致した場合、認証を続行します。一致しない場合、さらに最大2回の再試行を行います。	—	—	—
16	KSVリストの各KSVおよびRX_R1のBKSVが鍵無効化リストに含まれていないか検索します。	—	—	—
17	鍵が無効化されていない場合、認証プロトコルの第2のパートが完了します。	—	—	—
18	保護を必要とするA/Vコンテンツの送信を開始します。	—	すべて：高価値A/VデータのHDCP暗号化を行います。	すべて：高価値A/VデータのHDCP復号化を行います。

新しいデバイス接続の検出および動作

システムに新しいデバイスが接続されたときは、そのデバイスを認証し、デバイスのKSVを無効化リストに対してチェックする必要があります。ダウンストリームのμCはアップストリームのレシーバのNEW_DEV_CONNビットをセットして割込みを発生させることによりアップストリームのμCに通知することができます。

認証の開始および暗号化のイネーブルのダウンストリームリンクへの通知

HDCPリピータは、スタートアップ時または新しいデバイスの検出時に直ちに認証を開始せず、代わりにアップストリームのトランスミッタ/リピータからの認証要求を待ちます。

以下の手順を使用してダウンストリームのリンクに新しい認証要求の開始を通知してください。

- 1) ホストμCはHDCPリピータの入力レシーバとの認証を開始します。

- 2) AKSVがHDCPリピータの入力レシーバに書き込まれると、そのAUTH_STARTEDビットが自動的にセットされ、GPIO1がハイになります(GPIO1_FUNCTIONがハイに設定されている場合)。
- 3) HDCPリピータのμCはHDCPリピータの入力レシーバのAUTH_STARTEDビットおよび/またはGPIO1 (設定されている場合)がローからハイに遷移するのを待って、ダウンストリームに対する認証を開始します。
- 4) HDCPリピータのμCはAUTH_STARTEDビットをリセットします。

GPIO0がレシーバのENCRYPTION_ENABLEビットに従うようにするために、GPIO0_FUNCTIONをハイに設定してください。リピータのμCはこの機能を使用して、アップストリームのμCによって暗号化がイネーブル/ディセーブルされたときに通知を受けることができます。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

アプリケーション情報

エラーチェック

デシリアライザはシリアルリンクのエラーをチェックして、検出されたデコードエラーの数を8ビットレジスタのDECERR (0x0D)に格納します。短時間に多数の8b/10bデコードまたはパリティエラーが検出された場合(エラー率 $\geq 1/4$)、デシリアライザのロックが解除されてエラーカウンタが停止します。その後、デシリアライザはシリアルデータへの再ロックを試みます。ビデオリンクのロックに成功した場合、(UARTを介して) DECERRの読取りに成功した場合、またはオートエラーリセットがイネーブルされた場合、DECERRがリセットされます。内部PRBSテスト中は、デシリアライザはデコードまたはパリティエラーのチェックを行わず、DECERRは0x00にリセットされます。

ERR出力

デシリアライザは、オープンドレインのERR出力を備えています。通常動作中にデコードエラーの数がエラーシールドのERRTHR (0x0C)を超えた場合、またはPRBSテスト中に少なくとも1回のPRBSエラーが検出された場合、この出力はローにアサートします。DECERRの読取り、ビデオリンクのロック、またはオートエラーリセットによってDECERR (0x0D)がリセットされると、ERRはハイにアサートします。

オートエラーリセット

エラーをリセットするためのデフォルトの方法は、デシリアライザ内のそれぞれのエラーレジスタ(0x0D、0x0E)を読み取ることです。オートエラーリセットは、ERRがローになってから1 μ s以内にデコードエラーカウンタのDECERRおよびERR出力をクリアします。オートエラーリセットは、起動時にはディセーブルされています。オートエラーリセットのイネーブルは、AUTORST (0x06、D6)を介して行ってください。デバイスがPRBSテストモードのときは、オートエラーリセットは実行されません。

PRBS自己テスト

シリアライザ/デシリアライザのリンクは、PRBSパターンジェネレータおよびビットエラー検証機能を備えています。最初に、デシリアライザのグリッチフィルタをディセーブルしてください(DISVSFILT、DISHSFILTに1を設定)。次に、シリアライザとデシリアライザの両方でVSYNC/HSYNCの反転をディセーブルしてください(INVSYN、INVHSYNに0を設定)。その後、シリアライザ、デシリアライザの順で、PRBSEN = 1 (0x04、D5)に設定して、PRBSテストを開始してください。PRBS自己テストを終了する場合は、最初にデシリアライザ、次にシリアライザの順で、PRBSEN = 0 (0x04、D5)に設定してください。デシリアライザは8ビットのレジスタ(0x0E)を使用して、検出されたエラーの数をカウントします。制御リンクによるエラー

カウントの開始と終了の制御も可能です。PRBSモードの間は、デバイスはデコードエラーをカウントせず、デシリアライザのERR出力にはPRBSエラーのみが反映されます。

GMSLリンクの両側でのマイクロコントローラの使用 (デュアル μ C制御)

通常、ビデオディスプレイアプリケーションの場合はシリアライザ側、画像検出アプリケーションの場合はデシリアライザ側にマイクロコントローラが存在します。前者の場合はシリアライザ/デシリアライザの両方のCDS端子がローに設定され、後者の場合はCDS端子がハイに設定されます。しかし、シリアライザのCDS端子がローでデシリアライザのCDS端子がハイの場合、シリアライザ/デシリアライザは両方の μ Cに同時に接続します。その場合、どちらの側の μ Cもシリアライザおよびデシリアライザと通信を行うことができます。

両側の μ Cが同時に制御リンクを使用している場合、制御リンクの競合が発生する可能性があります。シリアライザ/デシリアライザは、競合回避のための解決策を提供しません。競合が原因で通信が失敗した場合、シリアライザ/デシリアライザはアクリッジフレームを送信しません。ユーザーは常に上位層のプロトコルを実装して競合を回避することができます。さらに、シリアルリンク上でのUART通信が必要ない場合は、 μ Cはシリアライザ/デシリアライザのFWDCENおよびREVCCENビット(0x04、D[1:0])を介して順方向および逆方向の制御チャネルをディセーブルすることができます。シリアルリンク上のUART通信が停止して、 μ C間の競合が発生しなくなります。デュアル μ C動作中にいずれかの側で一方のCDS端子の状態が変化した場合、リンクは「リンクのスタートアップ手順」の項で説明した該当の状態に復帰します。

画像検出アプリケーションでデュアル μ Cを使用する例として、シリアライザがスリープモードで、デシリアライザによるウェイクアップを待つという場合があります。ウェイクアップ後、シリアライザ側の μ CはシリアライザのCDS端子をローに設定して、シリアライザのレジスタのマスター制御を担当します。

HSYNC/VSYNCのグリッチフィルタ

デシリアライザは、HSYNCおよびVSYNCに1サイクルグリッチフィルタを内蔵しています。これにより、暗号化がイネーブルされているときに、シリアライザとデシリアライザ間でHDCPの同期が失われる原因となるHSYNCおよびVSYNCの1サイクルのグリッチが排除されます。グリッチフィルタはデフォルトでオンです。HSYNCまたはVSYNCのグリッチフィルタをディセーブルする場合は、デシリアライザのレジスタ0x08のD[1:0]に書込みを行ってください。

アクティブ時、グリッチフィルタは送信されたすべての1サイクル幅のパルスを抑制します。PRBS BERテストを実施する場合は、その前にグリッチフィルタをディセーブルしてください。内蔵のBERチェッカは、入力ビットストリームが無修正のPRBSデータであることを前提としています。

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

ジッタフィルタPLL

一部のアプリケーションでは、シリアライザへのパラレルバス入力クロック(PCLKIN)にノイズが含まれ、それによってリンクの信頼性が低下します。シリアライザは、PLLの帯域幅(< 100kHz typ)の範囲外の周波数成分を減衰させるための狭帯域ジッタフィルタPLLを備えています。DISFPLL = 0 (0x05、D6)に設定することによって、ジッタフィルタPLLをイネーブルしてください。

クロック周波数の変更

ビデオクロックレート(f_{PCLK})および制御チャネルクロックレート(f_{UART})の両方ともオンザフライでの変更が可能で、複数のクロック速度を使用するアプリケーションをサポートします。ビデオクロックが安定したあとでシリアルリンクをイネーブルすることが推奨されます。クリーンな周波数変更を保証することができない場合は、5 μ sの間ビデオクロックを停止してシリアルリンクを再始動させるか、またはビデオクロック周波数の変更後に毎回SERENをトグルして自動設定の再校正を行ってください。逆方向制御チャネルは、シリアルリンクの開始または停止後350 μ sの間は利用することができません。デバイスがUARTの同期パターンを確実に認識することができるように、 f_{UART} のオンザフライ変更は1回の倍率を3.5までに制限してください。たとえば、UART周波数を1Mbpsから100kbpsに低下させる場合、最初にデータを333kbpsで送信して、次に100kbpsで送信することによって、低下率をそれぞれ3および3.333にしてください。

暗号化がイネーブルされている間は、PCLKINの中断または周波数の変更を行わないでください。これらを行うとHDCPの同期が失われ、認証を繰り返す必要があります。PCLKの周波数を変更する場合は、高価値コンテンツA/Vデータを停止してください。次に、それと同じVSYNCサイクル内でシリアライザ/デシリアライザの暗号化をディセーブルしてください(暗号化は次のVSYNCの立下りエッジで終了します)。これでPCLKINの変更/停止が可能になります。高価値コンテンツA/Vデータを送信する前に暗号化を再イネーブルしてください。

同期喪失の高速検出

リンク品質の尺度として、HDCPの同期喪失からの回復時間があります。GMSLの場合、GMSLの同期が失われな限り、通常はHDCPの同期も失われません。デジタイザのLOCK出力をINT入力に接続することによって、ホストはロック喪失の通知を直ちに受け取ることができます。タッチスクリーンコントローラなどの他のソースが割込み入力を使用している場合、 μ Cは同期喪失による割込みと通常の割込みを識別するルーチンを実装することができます。逆方向制御チャネルの通信はアクティブな順方向リンクの動作を必要とせずに、GMSLリンクのLOCKの状態を正確に追跡します。LOCKはビデオリンクについてのみアサートし、制御リンクについてはアサートしません。

デバイスアドレスの設定

シリアライザとデシリアライザの両方が、設定可能なデバイスアドレスを備えています。これにより、複数のGMSLデバイス(および μ Cペリフェラル)が同じ制御チャネル上で共存可能です。シリアライザのデバイスアドレスは、各デバイスのレジスタ0x00に格納され、デシリアライザのデバイスアドレスは各デバイスのレジスタ0x01に格納されます。デバイスアドレスを変更する場合は、最初にアドレスを変更するデバイスに書き込んでください(シリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x01)。次に同じアドレスをもう一方のデバイスの対応するレジスタに書き込んでください(シリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x01)。

設定のブロック

シリアライザ/デシリアライザは、それぞれの非HDCPレジスタに対する変更をブロックすることができます。すべての非HDCPレジスタを読み取り専用にする場合は、CFGBLOCKをセットしてください。一度セットすると、電源が除去されるかPWDNがローになるまでレジスタはブロックされたままになります。

上位互換性

シリアライザおよびデシリアライザは、非HDCPのMAX9259およびMAX9260と上位互換があります。ピン配列およびパッケージは両方のデバイスで同一です。上位互換のある端子のマッピングについては、表3および「端子説明」の項を参照してください。

鍵メモリ

個々のデバイスは固有のHDCP鍵セットを備えており、安全なチップ内蔵の不揮発性メモリ(NVM)に格納されています。HDCP鍵セットは、40の56ビットプライベート鍵と1つの40ビット公開鍵で構成されます。NVMは車載アプリケーション向けに認定されています。

GPIO

デシリアライザは、2つのオープンドレインGPIOが利用可能です。HDCP用に使用しない場合、GPIO1OUTおよびGPIO0OUT (0x06、D3およびD1)で、GPIOの出力の状態を設定します。「認証の開始および暗号化のイネーブルのダウンストリームリンクへの通知」の項を参照してください。GPIO入力バッファは常にイネーブルされています。入力の状態は、GPIO1およびGPIO0 (0x06、D2およびD0)に格納されます。GPIO1/GPIO0を入力として使用する場合は、GPIO1OUT/GPIO0OUTに1をセットしてください。

ラインフォルト検出

シリアライザのラインフォルト検出器は、システムフォルト診断のために、グラウンドへの短絡、バッテリーへの短絡、オープン

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

リンクなどのラインフォルトを監視します。図3は、必要な外付け抵抗の接続を示します。ラインフォルトが検出されるとLFLT = ローになり、ラインが正常に戻るとLFLTはハイになります。ラインフォルトの種類はシリアライザの0x08、D[3:0]に格納されます。瞬間的なグラウンドシフトに対する検出器の感度を低減するために、 μC でLFLTをフィルタしてください。フォルト検出器のスレッシュホールド電圧はシリアライザのグラウンド基準です。その他の受動部品によってケーブルのDCレベルが設定されます(図3)。シリアライザとデシリアライザのグラウンドが異なる場合、通常動作中のリンクDC電圧が変動してフォルト検出スレッシュホールドの1つを超える可能性があります。フォルト検出回路用には、バッテリーへの短絡に対応する電力定格の抵抗を選択してください。

信号線間短絡を検出する場合は、アプリケーションノート4709「MAX9259のGMSLラインフォルト検出」を参照してください。表19に、ラインフォルトの種類のマッピングを示します。

スタガードパラレルデータ出力

デシリアライザは、パラレルデータ出力をスタガー(時差出力)させることによってEMIおよびノイズを低減させます。出力のスタガーによって、電源の過渡要件も軽減されます。デフォルトでは、デシリアライザは表20に従って出力をスタガーさせます。出力スタガーのディセーブルは、DISSTAGビット(0x06、D7)を介して行ってください。

内蔵入力プルダウン

シリアライザ/デシリアライザの制御および設定入力は、GNDへのプルダウン抵抗を内蔵しています。デバイスのシャットダウン時(PWDN = ロー)またはスリープモードへの移行時には、プルダウンはディセーブルされます。すべての入力の駆動を維持するか、または外付けのプルアップ/プルダウン抵抗を使用して、未定義の入力による電流消費の増加および不要な設定を防止してください。

I²C/UARTのプルアップ抵抗の選択

I²C/UARTのオープンドレインのラインは、どちらもロジックハイレベルを提供するためにプルアップ抵抗を必要とします。消費電力と速度の間にトレードオフの関係が存在するため、プルアップ抵抗値の選択に当っては妥協が必要になります。バスに接続されているすべてのデバイスによって、デバイスが動作していない場合でもある程度のキャパシタンスが付加されます。I²Cでは、最大400kbpsのデータレートで定義されるファストモードについて、ローからハイへ(30%から70%へ)の立上り時間を300nsと規定しています(詳細については「Electrical Characteristics (電気的特性)」の表のI²Cの仕様を参照)。ファストモードの立上り要件を満たすために、立上り時間 $t_r = 0.85 \times R_{PULLUP} \times C_{BUS} < 300\text{ns}$ となるプルアップ抵抗を選択してください。遷移時間が低速になりすぎた場合、波形は認識されません。シリアライザ/デシリアライザは、最大1MbpsのI²C/UART速度をサポートしています。

表19. シリアライザのラインフォルトのマッピング*

REGISTER ADDRESS	BITS	NAME	VALUE	LINE-FAULT TYPE
0x08	D[3:2]	LFNEG	00	Negative cable wire shorted to supply voltage.
			01	Negative cable wire shorted to ground.
			10	Normal operation.
			11	Negative cable wire disconnected.
	D[1:0]	LFPOS	00	Positive cable wire shorted to supply voltage.
			01	Positive cable wire shorted to ground.
			10	Normal operation.
			11	Positive cable wire disconnected.

*信号線間短絡の場合については、アプリケーションノート4709「MAX9259のGMSLラインフォルト検出」を参照してください。

表20. スタガード出力の遅延

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15, DOUT25, DOUT26	1	0
DOUT16–DOUT20, DOUT27, DOUT28	1.5	0
PCLKOUT	0.75	0

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

AC結合

AC結合は、最大でコンデンサの電圧定格までのDC電圧からレシーバをアイソレートします。リンクを正常に動作させ、ケーブルの一方の端が高電圧に短絡された場合に保護を提供するためには、4つのコンデンサ(シリアライザの出力に2つ、デシリアライザの入力に2つ)が必要です。AC結合によって、低周波数のグラウンドシフトおよび低周波数のコモンモードノイズが阻止されます。

AC結合コンデンサの選択

電圧ドレープおよび送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移はさまざまな電圧レベルから開始されることになります。遷移時間は有限であるため、信号の遷移が異なる電圧レベルから開始されることでタイミングジッタが発生します。AC結合されたリンクの時定数を、ドレープおよびジッタを許容可能なレベルまで減少させるように選択する必要があります。AC結合されたリンク用のRCネットワークは、CMLレシーバの終端抵抗(R_{TR})、CMLドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つによるRC時定数は $(C \times (R_{TD} + R_{TR}))/4$ です。 R_{TD} および R_{TR} は、伝送ラインのインピーダンス(通常は 100Ω)と整合させる必要があります。そのため、システムの時定数を変える要素として残るのはコンデンサの選択ということになります。より低速の逆方向制御チャンネルの信号を通過させるために、バッテリーへの短絡に耐える十分な電圧定格を備えた、少なくとも $0.2\mu\text{F}$ の高周波用の表面実装型セラミックコンデンサを使用してください。高速信号に対する寄生効果を低減するため、 $3.2\text{mm} \times 1.6\text{mm}$ より小さいケースサイズのコンデンサを使用してください。

電源回路およびバイパス処理

シリアライザは $1.7\text{V} \sim 1.9\text{V}$ のAVDDおよびDVDDを使用し、デシリアライザは $3.0\text{V} \sim 3.6\text{V}$ のAVDDおよびDVDDを使用します。シリアライザ/デシリアライザ上のすべてのシングルエンドの入力および出力は、 $1.7\text{V} \sim 3.6\text{V}$ のIOVDDから電力を取得し、入力レベルおよび出力レベルはIOVDDに比例して増減します。電源電圧の適切なバイパスは、高周波回路の安定性にとって不可欠です。

ケーブルおよびコネクタ

CML用の相互接続は、標準で 100Ω の差動インピーダンスを備えています。差動インピーダンスが整合されたケー

表21. GMSLの推奨コネクタおよびケーブル

VENDOR	CONNECTOR	CABLE
JAE	MX38-FF	A-BW-Lxxxxx
Nissei	GT11L-2S	F-2WME AWG28
Rosenberger	D4S10A-40ML5-Z	Dacar 538

ブルおよびコネクタを使用して、インピーダンスの不連続性を最小限に抑えてください。ツイストペアおよびシールドを備えたツイストペアケーブルは、磁場相殺効果によってEMIの発生が減少する傾向があります。平衡型ケーブルが拾うノイズはコモンモードになるため、CMLレシーバによって除去されます。表21に、GMSLリンクで使用される推奨ケーブルおよびコネクタを示します。

基板レイアウト

デジタル信号とCMLの高速信号を分離して、クロストークを防止してください。電源、グラウンド、CML、およびデジタル信号の各層が独立している4層PCBを使用してください。PCBトレース間を接近させ、差動特性インピーダンスが 100Ω になるようにPCBトレースのレイアウトを行ってください。トレースのサイズは使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。 50Ω のPCBトレース2本を接近させた場合、差動インピーダンスは 100Ω にならないことに注意してください。トレース間が接近しているとインピーダンスは低下します。

CMLチャンネル用のPCBトレース(各CMLチャンネルごとに2本の導線が存在)を平行に配置して、差動特性インピーダンスを維持してください。ビアの使用は避けてください。差動ペアを構成するPCBトレースは長さを等しくして、差動ペア内におけるスキューを回避してください。

ESD保護

シリアライザ/デシリアライザのESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605およびIEC 61000-4-2規格は、電子システムのESD耐性を規定しています。シリアルリンクの入出力は、ISO 10605のESD保護およびIEC 61000-4-2のESD保護に対してテストされています。すべての端子は、ヒューマンボディモデルに対してテストされています。ヒューマンボディモデルの放電コンポーネントは、 $C_S = 100\text{pF}$ および $R_D = 1.5\text{k}\Omega$ です(図35)。IEC 61000-4-2の放電コンポーネントは、 $C_S = 150\text{pF}$ および $R_D = 330\Omega$ です(図36)。ISO 10605の放電コンポーネントは、 $C_S = 330\text{pF}$ および $R_D = 2\text{k}\Omega$ です(図37)。

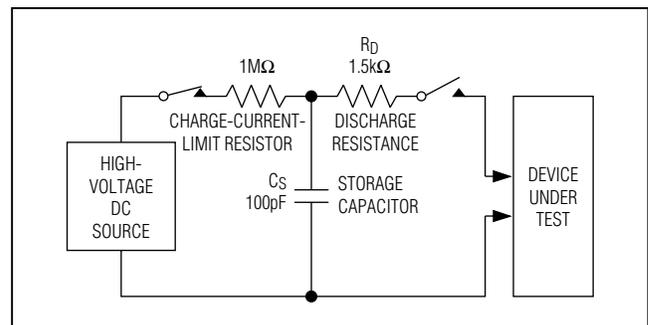


図 35. ヒューマンボディモデル ESD テスト回路

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

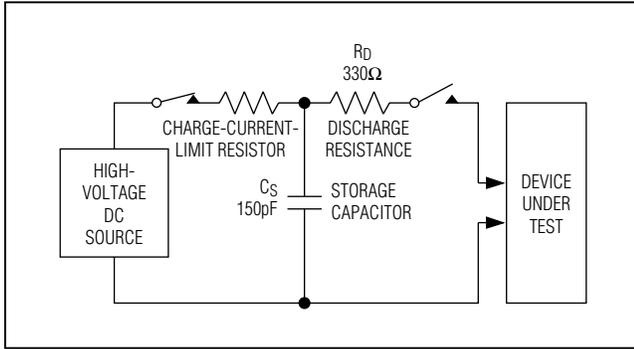


図 36. IEC 61000-4-2 接触放電 ESD テスト回路

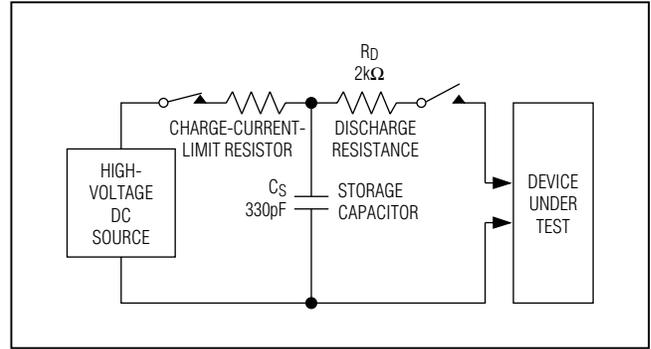


図 37. ISO 10605 接触放電 ESD テスト回路

表22. シリアライザのGMSLコアレジスタ表(表1を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	シリアライザのデバイスアドレス。	1000000
	D0	CFGBLOCK	0	通常動作。	0
			1	レジスタ0x00~0x1Fは読み取り専用です。	
0x01	D[7:1]	DESID	XXXXXXX	デシリアライザのデバイスアドレス。	1001000
	D0	—	0	予備。	0
0x02	D[7:5]	SS	000	スペクトラム拡散なし。SSEN =ローの場合の起動時のデフォルトです。	000, 001
			001	±0.5%のスペクトラム拡散。SSEN =ハイの場合の起動時のデフォルトです。	
			010	±1.5%のスペクトラム拡散。	
			011	±2%のスペクトラム拡散。	
			100	スペクトラム拡散なし。	
			101	±1%のスペクトラム拡散。	
			110	±3%のスペクトラム拡散。	
			111	±4%のスペクトラム拡散。	
	D4	AUDIOEN	0	I ² Sチャンネルをディセーブルします。	1
			1	I ² Sチャンネルをイネーブルします。	
	D[3:2]	PRNG	00	12.5MHz~25MHzのピクセルクロック。	11
			01	25MHz~50MHzのピクセルクロック。	
			10	50MHz~104MHzのピクセルクロック。	
			11	ピクセルクロック範囲を自動検出します。	
	D[1:0]	SRNG	00	0.5Gbps~1Gbpsのシリアルビットレート。	11
01			1Gbps~2Gbpsのシリアルビットレート。		
10			2Gbps~3.125Gbpsのシリアルビットレート。		
11			シリアルビットレートを自動検出します。		

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表22. シリアライザのGMSLコアレジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x03	D[7:6]	AUTOFM	00	ロック後に1回のみ拡散変調率を較正します。	00
			01	ロック後2msごとに拡散変調率を較正します。	
			10	ロック後16msごとに拡散変調率を較正します。	
			11	ロック後256msごとに拡散変調率を較正します。	
	D[5:0]	SDIV	000000	鋸歯分周器を自動較正します。	000000
			XXXXXX	マニュアルSDIV設定。「スペクトラム拡散分周器のマニュアル設定」の項を参照してください。	
0x04	D7	SEREN	0	シリアルリンクをディセーブルします。 AUTOS = ハイの場合の起動時のデフォルトです。 逆方向制御チャンネルの通信は、シリアライザがシリアルリンクを開始/停止したあと350µsの間は利用することができません。	0, 1
			1	シリアルリンクをイネーブルします。 AUTOS = ローの場合の起動時のデフォルトです。 逆方向制御チャンネルの通信は、シリアライザがシリアルリンクを開始/停止したあと350µsの間は利用することができません。	
	D6	CLINKEN	0	設定リンクをディセーブルします。	0
			1	設定リンクをイネーブルします。	
	D5	PRBSEN	0	PRBSテストをディセーブルします。	0
			1	PRBSテストをイネーブルします。	
	D4	SLEEP	0	通常モード(デフォルト値は起動時のCDSおよびAUTOS端子の値で決まります)。	0, 1
			1	スリープモードをアクティブ化します(デフォルト値は起動時のCDSおよびAUTOS端子の値で決まります)。	
	D[3:2]	INTTYPE	00	ベースモードでI ² Cペリフェラルインタフェースを使用します。	00
			01	ベースモードでUARTペリフェラルインタフェースを使用します。	
			10, 11	ベースモードのペリフェラルインタフェースはディセーブルです。	
	D1	REVCCEN	0	デシリアライザからの逆方向制御チャンネルをディセーブルします(受信時)。	1
			1	デシリアライザからの逆方向制御チャンネルをイネーブルします(受信時)。	
	D0	FWDCCEN	0	デシリアライザへの順方向制御チャンネルをディセーブルします(送信時)。	1
			1	デシリアライザへの順方向制御チャンネルをイネーブルします(送信時)。	

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表22. シリアライザのGMSLコアレジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x05	D7	I2CMETHOD	0	I ² C変換でレジスタアドレスを送信します。	0
			1	I ² Cレジスタアドレスの送信をディセーブルします(コマンドバイトオンリーモード)。	
	D6	DISFPLL	0	フィルタPLLはアクティブです。	1
			1	フィルタPLLはディセーブルです。	
	D[5:4]	CMLLVL	00	使用しないでください。	11
			01	200mVのCML信号レベル。	
			10	300mVのCML信号レベル。	
			11	400mVのCML信号レベル。	
	D[3:0]	PREEMP	0000	プリエンファシスオフ。	0000
			0001	-1.2dBのプリエンファシス。	
			0010	-2.5dBのプリエンファシス。	
			0011	-4.1dBのプリエンファシス。	
			0100	-6.0dBのプリエンファシス。	
			0101	使用しないでください。	
			0110	使用しないでください。	
			0111	使用しないでください。	
			1000	1.1dBのプリエンファシス。	
			1001	2.2dBのプリエンファシス。	
			1010	3.3dBのプリエンファシス。	
1011			4.4dBのプリエンファシス。		
1100	6.0dBのプリエンファシス。				
1101	8.0dBのプリエンファシス。				
1110	10.5dBのプリエンファシス。				
1111	14.0dBのプリエンファシス。				
0x06	D[7:0]	—	01000000	予備。	01000000
0x07	D[7:0]	—	00100010	予備。	00100010
0x08	D[7:4]	—	0000	予備。	0000 (read only)
	D[3:2]	LFNEG	00	負のケーブルワイヤが電源電圧に短絡。	10 (read only)
			01	負のケーブルワイヤがグラウンドに短絡。	
			10	通常動作。	
			11	負のケーブルワイヤが切断。	
	D[1:0]	LFPOS	00	正のケーブルワイヤが電源電圧に短絡。	10 (read only)
			01	正のケーブルワイヤがグラウンドに短絡。	
			10	通常動作。	
11			正のケーブルワイヤが切断。		
0x0C	D[7:0]	—	01110000	予備。	01110000

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表22. シリアライザのGMSLコアレジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x0D	D7	SETINT	0	SETINTが1から0に遷移するときにINTをローに設定します。	0
			1	SETINTが0から1に遷移するときにINTをハイに設定します。	
	D6	INVVSYNC	0	シリアライザはDIN19/VSを反転しません。	0
			1	シリアライザはDIN19/VSを反転します。	
	D5	INVHSYNC	0	シリアライザはDIN18/HSを反転しません。	0
1			シリアライザはDIN18/HSを反転します。		
D[4:0]	—	00000	予備。	00000	
0x1E	D[7:0]	ID	00000101	デバイスID (MAX9263 = 0x05)。	00000101 (read only)
0x1F	D[7:5]	—	000	予備。	000 (read only)
	D4	CAPS	0	HDCP非対応。	1 (read only)
			1	HDCP対応。	
D[3:0]	REVISION	XXXX	デバイスリビジョン。	(read only)	

表23. デシリアライザのGMSLコアレジスタ表(表2を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXXX	シリアライザのデバイスアドレス。	1000000
	D0	—	0	予備。	0
0x01	D[7:1]	DESID	XXXXXXXX	デシリアライザのデバイスアドレス。	1001000
	D0	CFGBLOCK	0	通常動作。	0
1			レジスタ0x00~0x1Fは読取り専用です。		
0x02	D[7:6]	SS	00	スペクトラム拡散なし。SSEN =ローの場合の起動時のデフォルトです。	00, 01
			01	±2%のスペクトラム拡散。SSEN =ハイの場合の起動時のデフォルトです。	
			10	スペクトラム拡散なし。	
			11	±4%のスペクトラム拡散。	
	D5	—	0	予備。	0
	D4	AUDIOEN	0	I ² Sチャンネルをディセーブルします。	1
			1	I ² Sチャンネルをイネーブルします。	
	D[3:2]	PRNG	00	12.5MHz~25MHzのピクセルクロック。	11
			01	25MHz~50MHzのピクセルクロック。	
			10	50MHz~104MHzのピクセルクロック。	
11			ピクセルクロック範囲を自動検出します。		
D[1:0]	SRNG	00	0.5Gbps~1Gbpsのシリアルデータレート。	11	
		01	1Gbps~2Gbpsのシリアルデータレート。		
		10	2Gbps~3.125Gbpsのシリアルデータレート。		
		11	シリアルデータレートを自動検出します。		

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表23. デシリアライザのGMSLコアレジスタ表(表2を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x03	D[7:6]	AUTOFM	00	ロック後に1回のみ拡散変調率を較正します。	00
			01	ロック後2msごとに拡散変調率を較正します。	
			10	ロック後16msごとに拡散変調率を較正します。	
			11	ロック後256msごとに拡散変調率を較正します。	
	D5	—	0	予備。	0
	D[4:0]	SDIV	00000	鋸歯分周器を自動較正します。	00000
XXXXX			マニュアルSDIV設定。「スペクトラム拡散分周器のマニュアル設定」の項を参照してください。		
0x04	D7	LOCKED	0	LOCK出力はローです。	0 (read only)
			1	LOCK出力はハイです。	
	D6	OUTENB	0	出力をイネーブルします。	0
			1	出力をディセーブルします。	
	D5	PRBSEN	0	PRBSテストをディセーブルします。	0
			1	PRBSテストをイネーブルします。	
	D4	SLEEP	0	通常モード。デフォルト値は起動時のCDSおよびMS端子の値で決まります。	0, 1
			1	スリープモードをアクティブ化します。デフォルト値は起動時のCDSおよびMS端子の値で決まります。	
	D[3:2]	INTTYPE	00	ベースモードでI ² Cペリフェラルインタフェースを使用します。	00
			01	ベースモードでUARTペリフェラルインタフェースを使用します。	
			10, 11	ベースモードのペリフェラルインタフェースはディセーブルです。	
	D1	REVCCEN	0	シリアライザへの逆方向制御チャンネルをディセーブルします(送信時)。	1
			1	シリアライザへの逆方向制御チャンネルをイネーブルします(送信時)。	
	D0	FWDCCEN	0	シリアライザからの順方向制御チャンネルをディセーブルします(受信時)。	1
1			シリアライザからの順方向制御チャンネルをイネーブルします(受信時)。		

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表23. デシリアライザのGMSLコアレジスタ表(表2を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x05	D7	I2CMETHOD	0	I ² C変換でレジスタアドレスを送信します。	0
			1	I ² Cレジスタアドレスの送信をディセーブルします (コマンドバイトオンリーモード)。	
	D[6:5]	HPFTUNE	00	7.5MHzのイコライザハイパスカットオフ周波数。	01
			01	3.75MHzのカットオフ周波数。	
			10	2.5MHzのカットオフ周波数。	
			11	1.87MHzのカットオフ周波数。	
	D4	PDHF	0	高周波数ブーストはイネーブルです。	0
			1	高周波数ブーストはディセーブルです。	
	D[3:0]	EQTUNE	0000	2.1dBのイコライザブーストゲイン。	0100, 1001
			0001	2.8dBのイコライザブーストゲイン。	
			0010	3.4dBのイコライザブーストゲイン。	
			0011	4.2dBのイコライザブーストゲイン。	
			0100	5.2dBのイコライザブーストゲイン。EQS =ハイの場合の起動時のデフォルトです。	
			0101	6.2dBのイコライザブーストゲイン。	
			0110	7dBのイコライザブーストゲイン。	
			0111	8.2dBのイコライザブーストゲイン。	
			1000	9.4dBのイコライザブーストゲイン。	
1001			10.7dBのイコライザブーストゲイン。EQS =ローの場合の起動時のデフォルトです。		
1010			11.7dBのイコライザブーストゲイン。		
1011			13dBのイコライザブーストゲイン。		
11XX			使用しないでください。		
0x06	D7	DISSTAG	0	スタガード出力をイネーブルします。	0
			1	スタガード出力をディセーブルします。	
	D7	—	0	予備。	0
	D6	AUTORST	0	エラーレジスタおよび出力を自動的にリセットしません。	0
			1	エラーレジスタおよび出力を自動的にリセットします。	
	D5	DISINT	0	シリアライザへの割込み送信をイネーブルします。	0
			1	シリアライザへの割込み送信をディセーブルします。	
	D4	INT	0	INT入力 =ロー(読取り専用)。	0 (read only)
			1	INT入力 =ハイ(読取り専用)。	
	D3	GPIO1OUT	0	GPIO1にローを出力します。	1
			1	GPIO1にハイを出力します。	
	D2	GPIO1	0	GPIO1はローです。	1 (read only)
			1	GPIO1はハイです。	
	D1	GPIO0OUT	0	GPIO0にローを出力します。	1
1			GPIO0にハイを出力します。		
D0	GPIO0	0	GPIO0はローです。	1 (read only)	
		1	GPIO0はハイです。		

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

表23. デシリアライザのGMSLコアレジスタ表(表2を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x07	D[7:0]	—	01010100	予備。	01010100
0x08	D[7:2]	—	001100	予備。	001100
	D1	DISVSFILT	0	VSYNCのグリッチフィルタはアクティブです。	0
			1	VSYNCのグリッチフィルタはディセーブルです。	
	D0	DISHSFILT	0	HSYNCのグリッチフィルタはアクティブです。	0
1			HSYNCのグリッチフィルタはディセーブルです。		
0x09	D[7:0]	—	11001000	予備。	11001000
0x0A	D[7:0]	—	00010010	予備。	00010010
0x0B	D[7:0]	—	00100000	予備。	00100000
0x0C	D[7:0]	ERRTHR	XXXXXXXX	デコードエラーのエラースレッショルド。DECERR > ERRTHRのときERR =ローです。	00000000
0x0D	D[7:0]	DECERR	XXXXXXXX	デコードエラーカウンタ。このカウンタはデバイスがPRBSテストモードの間は0のままです。	00000000 (read only)
0x0E	D[7:0]	PRBSERR	XXXXXXXX	PRBSエラーカウンタ。	00000000 (read only)
0x12	D7	MCLKSRC	0	MCLKをPCLKから生成。表5を参照してください。	0
			1	MCLKを内蔵発振器から生成。	
0x12	D[6:0]	MCLKDIV	0000000	MCLKはディセーブルです。	0000000
			XXXXXXXX	MCLK分周器。	
0x13	D[7:0]	—	00010000	予備。	00010000
0x14	D7	INVVSYNC	0	デシリアライザはDOUT19/VSを反転しません。	0
			1	デシリアライザはDOUT19/VSを反転します。	
	D6	INVHSYNC	0	デシリアライザはDOUT18/HSを反転しません。	0
			1	デシリアライザはDOUT18/HSを反転します。	
D[5:0]	—	001001	予備。	001001	
0x1E	D[7:0]	ID	00000110	デバイスID (MAX9264 = 0x06)。	00000110 (read only)
0x1F	D[7:5]	—	000	予備。	000 (read only)
	D4	CAPS	0	HDCP非対応。	1 (read only)
			1	HDCP対応。	
D[3:0]	REVISION	XXXX	デバイスリビジョン。	(read only)	

X = 任意。

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

表24. シリアライザのHDCPレジスタ表(表1を参照)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	機能	DEFAULT VALUE (hex)
0x80 to 0x84	5	BKSV	Read/write	HDCPレシーバのKSV	0x0000000000
0x85 to 0x86	2	RI/RI'	Read/write	EN_INT_COMP = 0の場合、トランスミッタのRI (読取り専用) EN_INT_COMP = 1の場合、レシーバのRI' (読取り/書込み)	0x0000
0x87	1	PJ/PJ'	Read/write	EN_INT_COMP = 0の場合、トランスミッタのPJ (読取り専用) EN_INT_COMP = 1の場合、レシーバのPJ' (読取り/書込み)	0x00
0x88 to 0x8F	8	AN	Read only	セッション乱数	(Read only)
0x90 to 0x94	5	AKSV	Read only	HDCPトランスミッタのKSV	(Read only)
0x95	1	ACTRL	Read/write	D7 = PD_HDCP 1 = HDCP回路をパワーダウンします 0 = HDCP回路は通常動作 D6 = EN_INT_COMP 1 = 内部比較モード 0 = μ C比較モード D5 = FORCE_AUDIO 1 = オーディオデータを0に強制します 0 = 通常動作 D4 = FORCE_VIDEO 1 = ビデオデータをDFORCEの値に強制します 0 = 通常動作 D3 = RESET_HDCP 1 = HDCP回路をリセットし、完了時に自動的に0が設定されます 0 = 通常動作 D2 = START_AUTHENTICATION 1 = 認証を開始し、認証開始後に自動的に0が設定されます 0 = 通常動作 D1 = VSYNC_DET 1 = DIN19/VSの内部立下りエッジが検出されました 0 = 立下りエッジは検出されていません D0 = ENCRYPTION_ENABLE 1 = 暗号化をイネーブルします 0 = 暗号化をディセーブルします	0x00

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表24. シリアライザのHDCPレジスタ表(表1を参照) (続き)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/WRITE	機能	DEFAULT VALUE (hex)
0x96	1	ASTATUS	Read only	D[7:4] = 予備	0x00 (read only)
				D3 = V_MATCHED 1 = VとV' が一致しました (EN_INT_COMP = 1 の場合) 0 = VとV' が一致しないか、EN_INT_COMP = 0 です	
				D2 = PJ_MATCHED 1 = PJとPJ' が一致しました (EN_INT_COMP = 1 の場合) 0 = PJとPJ' が一致しないか、EN_INT_COMP = 0 です	
				D1 = R0_RI_MATCHED 1 = RIとRI' が一致しました (EN_INT_COMP = 1 の場合) 0 = RIとRI' が一致しないか、EN_INT_COMP = 0 です	
				D0 = BKSV_INVALID 1 = BKSVは無効です 0 = BKSVは有効です	
0x97	1	BCAPS	Read/write	D[7:1] = 予備	0x00
				D0 = REPEATER 1 = デバイスがリピータの場合は1に設定します 0 = デバイスがリピータではない場合は0に設定します	
0x98 to 0x9C	5	ASEED	Read/write	内蔵乱数ジェネレータのオプションのシード値	0x0000000000
0x9D to 0x9F	3	DFORCE	Read/write	FORCE_VIDEO = 1のときに送信される強制ビデオデータ R[7:0] = DFORCE[7:0] G[7:0] = DFORCE[15:8] B[7:0] = DFORCE[23:16]	0x000000
0xA0 to 0xA3	4	V.H0, V'.H0	Read/write	SHA-1ハッシュ値のH0パート EN_INT_COMP = 0の場合はトランスミッタのV (読取り専用) EN_INT_COMP = 1の場合はレシーバのV' (読取り/書込み)	0x00000000
0xA4 to 0xA7	4	V.H1, V'.H1	Read/write	SHA-1ハッシュ値のH1パート EN_INT_COMP = 0の場合はトランスミッタのV (読取り専用) EN_INT_COMP = 1の場合はレシーバのV' (読取り/書込み)	0x00000000
0xA8 to 0xAB	4	V.H2, V'.H2	Read/write	SHA-1ハッシュ値のH2パート EN_INT_COMP = 0の場合はトランスミッタのV (読取り専用) EN_INT_COMP = 1の場合はレシーバのV' (読取り/書込み)	0x00000000
0xAC to 0xAF	4	V.H3, V'.H3	Read/write	SHA-1ハッシュ値のH3パート EN_INT_COMP = 0の場合はトランスミッタのV (読取り専用) EN_INT_COMP = 1の場合はレシーバのV' (読取り/書込み)	0x00000000

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

表24. シリアライザのHDCPレジスタ表(表1を参照) (続き)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/WRITE	機能	DEFAULT VALUE (hex)
0xB0 to 0xB3	4	V.H4, V'.H4	Read/write	SHA-1ハッシュ値のH4パート EN_INT_COMP = 0の場合はトランスミッタのV (読取り専用) EN_INT_COMP = 1の場合はレシーバのV' (読取り/書込み)	0x00000000
0xB4 to 0xB5	2	BINFO	Read/write	D[15:12] = 予備 D11 = MAX_CASCADE_EXCEEDED 1 = 7つより多いデバイスがカスケード接続されている場合は1に設定します 0 = 7つ以下のデバイスがカスケード接続されている場合は0に設定します D[10:8] = DEPTH デバイスのカスケード接続の深さ D7 = MAX_DEVS_EXCEEDED 1 = 14より多いデバイスが接続されている場合は1に設定します 0 = 14以下のデバイスが接続されている場合は0に設定します D[6:0] = DEVICE_COUNT 接続されているデバイス数	0x0000
0xB6	1	GPMEM	Read/write	汎用メモリバイト	0x00
0xB7 to 0xB9	3	—	Read only	予備	0x000000
0xBA to 0xFF	70	KSV_LIST	Read/write	ダウンストリームのリピータおよびレシーバのKSVのリスト(最大14デバイス)	All zero

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

表25. デシリアライザのHDCPレジスタ表(表2を参照)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	機能	DEFAULT VALUE (hex)
0x80 to 0x84	5	BKSV	Read only	HDCPレーザのKSV	(Read only)
0x85 to 0x86	2	RI'	Read only	リンク検証の応答	(Read only)
0x87	1	PJ'	Read only	拡張リンク検証の応答	(Read only)
0x88 to 0x8F	8	AN	Read/write	セッション乱数	0x0000000000000000
0x90 to 0x94	5	AKSV	Read/write	HDCPトランスミッタのKSV	0x0000000000
0x95	1	BCTRL	Read/write	D7 = PD_HDCP 1 = HDCP回路をパワーダウンします 0 = HDCP回路は通常動作	0x00
				D[6:4] = 予備	
				D3 = GPIO1_FUNCTION 1 = GPIO1はAUTH_STARTEDを反映します 0 = 通常のGPIO1の動作	
				D2 = GPIO0_FUNCTION 1 = GPIO0はENCRIPTION_ENABLEを反映します 0 = 通常のGPIO0の動作	
				D1 = AUTH_STARTED 1 = 認証が開始されました(AKSVへの書込みをトリガとして) 0 = 認証は開始されていません	
0x96	1	BSTATUS	Read/write	D[7:2] = 予備	0x00
				D1 = NEW_DEV_CONN 1 = 新しいデバイスの接続が検出された場合は1に設定します 0 = 新しいデバイスが接続されていない場合は0に設定します	
0x97	1	BCAPS	Read/write	D0 = KSV_LIST_READY 1 = KSVリストおよびBINFOの準備ができていない場合は1に設定します 0 = KSVリストまたはBINFOの準備ができていない場合は0に設定します	0x00
				D[7:1] = 予備	
0x98 to 0x9F	8	—	Read only	予備	0x0000000000000000 (read only)
0xA0 to 0xA3	4	V'.H0	Read/write	SHA-1ハッシュ値のH0パート	0x00000000
0xA4 to 0xA7	4	V'.H1	Read/write	SHA-1ハッシュ値のH1パート	0x00000000
0xA8 to 0xAB	4	V'.H2	Read/write	SHA-1ハッシュ値のH2パート	0x00000000
0xAC to 0xAF	4	V'.H3	Read/write	SHA-1ハッシュ値のH3パート	0x00000000
0xB0 to 0xB3	4	V'.H4	Read/write	SHA-1ハッシュ値のH4パート	0x00000000

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

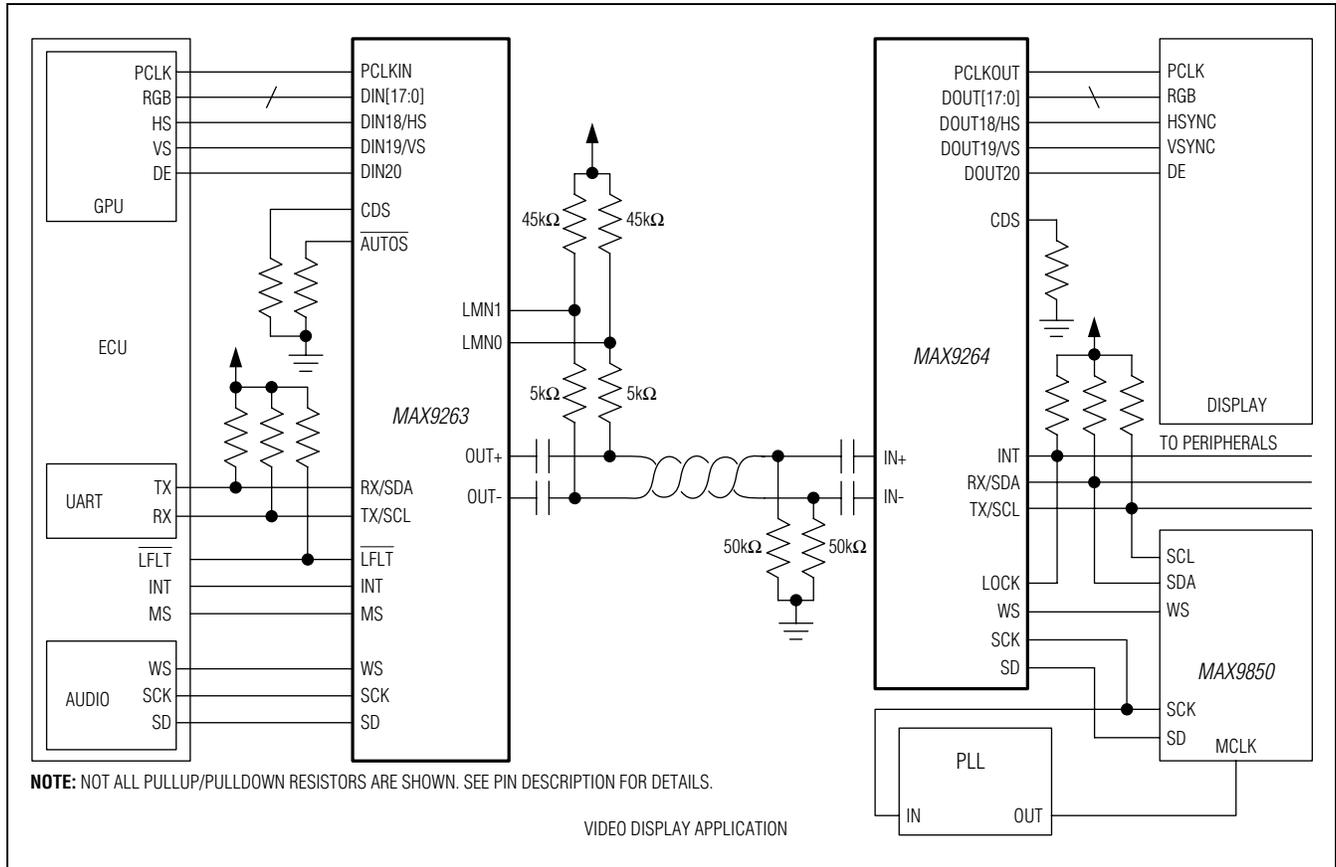
表25. デシリアライザのHDCPレジスタ表(表2を参照) (続き)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	機能	DEFAULT VALUE (hex)
0xB4 to 0xB5	2	BINFO	Read/write	D[15:12] = 予備	0x0000
				D11 = MAX_CASCADE_EXCEEDED 1 = 7つより多いデバイスがカスケード接続されている場合は1に設定します 0 = 7つ以下のデバイスがカスケード接続されている場合は0に設定します	
				D[10:8] = DEPTH デバイスのカスケード接続の深さ	
				D7 = MAX_DEVS_EXCEEDED 1 = 14より多いデバイスが接続されている場合は1に設定します 0 = 14以下のデバイスが接続されている場合は0に設定します	
				D[6:0] = DEVICE_COUNT 接続されているデバイス数	
0xB6	1	GPMEM	Read/write	汎用メモリバイト	0x00
0xB7 to 0xB9	3	—	Read only	予備	0x000000
0xBA to 0xFF	70	KSV_LIST	Read/write	ダウンストリームのリピータおよびレシーバのKSVのリスト(最大14デバイス)	All zero

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・シリアライザ/デシリアライザ

標準アプリケーション回路



チップ情報

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maximintegrated.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
64 TQFP-EP	C64E+10	21-0084	90-0329

MAX9263/MAX9264

HDCPギガビットマルチメディア・シリアルリンク・ シリアライザ/デシリアライザ

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/10	初版	—
1	3/11	MAX9263のSCKおよびWS端子の説明を更新	14



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電氣的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

71

© 2012 Maxim Integrated

MaximのロゴおよびMaxim IntegratedはMaxim Integrated Products, Inc.の商標です。