

MAX96705

16ビットGMSLシリアルライザ、高耐性/ 広帯域幅モードおよび同軸/STPケーブル駆動

概要

MAX96705は、特に車載カメラアプリケーションに最適な小型シリアルライザです。このデバイスは、MAX9271と機能およびピン互換です。広帯域幅モードでは、12ビットリニアまたは組合せHDRデータ型のパラレルクロック最大値は116MHzです。

内蔵の制御チャンネルは、UART、I²C、およびミックスドUART/I²Cモードで、9.6kbps~1Mbpsで動作し、ビデオタイミングに関係なく、シリアルライザ、デシリアルライザ、およびカメラのレジスタを設定することができます。

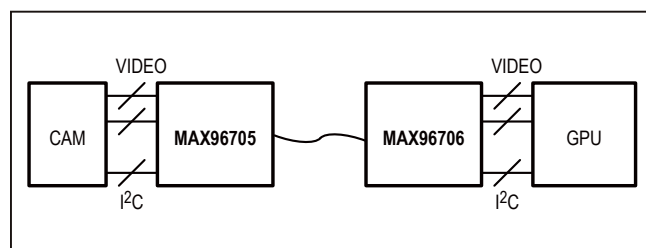
より長いケーブルを駆動するために、このICは設定可能なプリエンファシス/デエンファシスを備えています。設定可能なスペクトラム拡散がシリアル出力で使用可能です。シリアル出力は、ISO 10605およびIEC 61000-4-2のESD規格に準拠しています。コア電源範囲は1.7V~1.9V、I/O電源範囲は1.7V~3.6Vです。

MAX96705は、32ピンTQFNパッケージ(5mm x 5mm、0.5mmリードピッチ)で提供され、-40℃~+115℃の温度範囲で動作します。

アプリケーション

- 車載カメラアプリケーション

簡略ブロック図



型番はデータシートの最後に記載されています。

利点と特長

- セーフティカメラアプリケーションに最適
 - 低コスト50Ω同軸(100Ω STP)ケーブルで動作
 - ビデオ/制御データのエラー検出
 - 高耐性モードによる堅牢な制御チャンネルEMC耐性
 - エラー検出時に制御データを再送
 - クラス最高の消費電流: 93mA (max)
 - プリ/デエンファシスによってフルスピードで15mまでのケーブルが使用可能
 - 32ピンTQFNパッケージ(5mm x 5mm、0.5mmリードピッチ)
- メガピクセルカメラに対応する高速データシリアルライズ機能
 - シリアルビットレート: 最大1.74Gbps
 - 12.5MHz~87MHz x 14ビット + H/Vデータ
 - 36.66MHz~116MHz x 12ビット + H/Vデータ(内部エンコード使用)
- 複数のモードによるシステムの柔軟性
 - 制御チャンネル: 9.6kbps~1Mbps (UART、クロックストレッチ機能を備えたI²C、またはUART-I²Cモード)
 - クロスポイントスイッチによって任意の入力ビットマップに対応
 - VSYNCおよびHSYNCエンコードモード
- EMIおよびシールド要件を軽減
 - 設定可能な出力スペクトラム拡散
 - パラレル入力のスペクトラム拡散をトラッキング
 - I/O電源: 1.7V~3.6V
- カメラの起動と検証用ペリフェラル機能
 - BER試験用PRBSジェネレータ内蔵
 - カメラのフレーム同期トリガおよびその他の用途の専用GPO
 - スリープモードからのリモート/ローカルウェイクアップ
- AEC-Q100車載仕様に適合
 - 動作温度: -40℃~+115℃
 - IEC 61000-4-2およびISO 10605 ESD保護: ±8kV接触放電および±15kV気中放電

目次

概要	1
アプリケーション	1
利点と特長	1
簡略ブロック図	1
Absolute Maximum Ratings	6
パッケージ	6
32-Pin TQFN-EP	6
DC Electrical Characteristics	7
AC Electrical Characteristics	10
標準動作特性	13
ピン配置	15
端子説明	15
ファンクションブロックダイアグラム	18
詳細	23
シリアルリンクの信号方式とデータ形式	23
動作モード	23
ビデオ/設定リンク	23
シングル/ダブルモード	24
HS/VSの符号化	24
エラー検出	24
バス幅	24
制御チャンネルおよびレジスタの設定	28
順方向制御チャンネル	28
逆方向制御チャンネル	28
UARTインタフェース	28
I ² Cインタフェース	28
リモート端の動作	28
クロックストレッチのタイミング	28
パケットベースのI ² C	28
パケットプロトコルの概要	29
制御チャンネルのエラー検出およびパケット再送信	29
GPO/GPI制御	29
スペクトラム拡散	29
ケーブルタイプ設定	29
クロスバースイッチ	29
ビデオタイミング発生器	29
シャットダウンモード/スリープモード	31
設定リンク	31
シリアルライズのディセーブル	31
スリープモード	31
パワーダウンモード	32

目次 (続き)

リンクのスタートアップ手順	32
レジスタマップ	33
GMSL Register Map	33
アプリケーション情報	69
パラレルインタフェース	69
バスデータ幅	69
バスデータレート	69
クロスバースイッチ	70
クロスバースイッチの設定	70
推奨クロスバースイッチ設定手順	70
タイミング発生器の設定	73
ダブルモードのアライメント	73
外部ハイ/ロー信号	73
HSまたはDEによるアライメント	73
制御チャンネルインタフェース	73
I ² C	73
I ² Cビットレート	73
デバイスアドレスのソフトウェア設定	74
I ² Cアドレス変換	74
設定のブロック	74
カスケード/パラレルデバイス	74
デュアル μ C制御	74
UART	74
ベースモード	74
UARTのタイミング	74
UART-I ² C変換	76
UARTバイパスモード	77
デバイスアドレス	77
スペクトラム拡散	77
スペクトラム拡散分周器のマニュアル設定	77
基板レイアウト	78
電源回路とバイパス処理	78
高周波数信号	78
ESD保護	78
他のGMSLデバイスとの互換性	79
デバイスの設定および部品の選択	79
内蔵入力プルダウン	79
3レベル設定入力	79
多機能入力	79
I ² C/UARTのプルアップ抵抗	80

AC結合コンデンサ	80
ケーブルおよびコネクタ	80
PRBS	80
GPI/GPO	80
ロック喪失の高速検出	81
フレーム同期の供給(カメラアプリケーション)	81
スリープモードの移行/終了	81
標準アプリケーション回路	82
型番	82
改訂履歴	83

図リスト

図1. シリアル出力パラメータ	18
図2. OUT+, OUT-の出力波形	19
図3. シングルエンド出力テンプレート	19
図4. ワーストケースパターンの入力	19
図5. パラレルクロック入力の要件	19
図6. I ² Cのタイミングパラメータ	20
図7. 差動出力テンプレート	20
図8. 入力のセットアップおよびホールド時間	21
図9. GPI-GPO間の遅延	21
図10. シリアライザの遅延	22
図11. リンクのスタートアップ時間	22
図12. 起動遅延	23
図13. 24ビットモードのシリアルデータ形式	25
図14. 27ビット広帯域幅モードのシリアルデータ形式	26
図15. 32ビットモードのシリアルデータ形式	27
図16. 同軸接続	29
図17. クロスバースイッチのデータフロー	30
図18. ビデオタイミング生成用の同期信号フォーマット	30
図19. 状態遷移図	31
図20. クロスバースイッチのデフォルトマッピング	72
図21. ベースモードのGMSL-UARTデータ形式	75
図22. ベースモードのGMSL-UARTプロトコル	75
図23. SYNCバイト(0x79)	75
図24. ACKバイト(0xC3)	75
図25. レジスタアドレスによるGMSL UARTとI ² C間の形式変換(I2CMETHOD = 0)	76
図26. レジスタアドレスによるGMSL UARTとI ² C間の形式変換(I2CMETHOD = 1)	76
図27. ヒューマンボディモデルESDテスト回路	78
図28. IEC 61000-4-2接触放電ESDテスト回路	78
図29. ISO 10605接触放電ESDテスト回路	78

表リスト

表1. 逆方向制御チャネルのモード	28
表2. リンクのスタートアップ手順	32
表3. 入力データ幅の選択	69
表4. データレートを選択	69
表5. クロスバー出力とシリアルリンクのマッピング(D23:0)	70
表6. クロスバー出力とシリアルリンクのマッピング(D31:24および特殊パケット)	71
表7. 凡例	72
表8. タイミング発生器のパラメータの制限	73
表9. 出力の拡散	77
表10. 拡散の制限	77
表11. 変調係数と最大SDIV設定値	78
表12. 機能上の互換性	79
表13. 3レベル設定入力マップ	79
表14. GMSLの推奨コネクタおよびケーブル	80

Absolute Maximum Ratings

AVDD to EP* -0.5V to +1.9V
 DVDD to EP* -0.5V to +1.9V
 IOVDD to EP* -0.5V to +3.9V
 OUT+, OUT- to EP* -0.5V to +1.9V
 All Other Pins to EP* -0.5V to (IOVDD + 0.5V)
 OUT+, OUT- Short Circuit to Ground or Supply Continuous

Continuous Power Dissipation, $T_A = +70^\circ\text{C}$
 TQFN (derate 34.5 mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 2758.6mW
 Operating Temperature Range -40°C to $+115^\circ\text{C}$
 Junction Temperature $+125^\circ\text{C}$
 Storage Temperature Range -40°C to $+150^\circ\text{C}$
 Soldering Temperature (reflow) $+260^\circ\text{C}$

*EP connected to IC ground.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packaging を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

32-Pin TQFN-EP

Package Code	T3255+8
Outline Number	21-0140
Land Pattern Number	90-0013
Single-Layer Board:	
Junction-to-Ambient Thermal Resistance (θ_{JA})	47
Junction-to-Case Thermal Resistance (θ_{JC})	1.7
Four-Layer Board:	
Junction-to-Ambient Thermal Resistance (θ_{JA})	29
Junction-to-Case Thermal Resistance (θ_{JC})	1.7

パッケージの熱抵抗は、4層基板を使用して、JEDEC仕様JESD51-7に記載されている方法で測定した値です。パッケージの熱に関する詳細については、www.maximintegrated.com/jp/thermal-tutorialを参照してください。

DC Electrical Characteristics

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP connected to PCB ground, typical values are at $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
SINGLE-ENDED INPUTS (LCCEN, DIN_, PCLKIN, HS, VS, DE, BWS, DBL, HIM, MS, HVEN, PWDNB)								
High-Level Input Voltage	V _{IH}		0.65 x V _{IOVDD}			V		
Low-Level Input Voltage	V _{IL}		0.35 x V _{IOVDD}			V		
Input Current	I _{IN}	V _{IN} = 0 to V _{IOVDD}	-20			+20	μA	
THREE-LEVEL INPUTS (CONF0, CONF1)								
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V		
Low-Level Input Voltage	V _{IL}		0.3 x V _{IOVDD}			V		
Mid-Level Input Current	I _{INM}	Open or connected to a driver with output in high impedance (Note 2)	-10			+10	μA	
Input Current	I _{IN}	High or low, PWDNB high or low	-220			+220	μA	
SINGLE-ENDED OUTPUT (GPO)								
High-Level Output Voltage	V _{OH}	I _{OH} = -2mA	V _{IOVDD} - 0.2			V		
Low-Level Output Voltage	V _{OL}	I _{OL} = 2mA	0.2			V		
Output Short-Circuit Current	I _{OS}	V _O = 0V, V _{IOVDD} = 3.0V to 3.6V	-16			-35	-64	mA
		V _O = 0V, V _{IOVDD} = 1.7V to 1.9V	-3			-12	-21	
UART/I ² C and GENERAL-PURPOSE I/Os (RX/SDA, TX/SCL, GPIO_) with OPEN-DRAIN OUTPUTS								
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V		
Low-Level Input Voltage	V _{IL}		0.3 x V _{IOVDD}			V		
Input Current	I _{IN}	V _{IN} = 0 to V _{IOVDD} (Note 3), RX/SDA, TX/SCL	-110			+5	μA	
		V _{IN} = 0 to V _{IOVDD} (Note 3), GPIO_	-80			+5		
Low-Level Open-Drain Output Voltage	V _{OL}	I _{OL} = 3mA, V _{IOVDD} = 1.7V to 1.9V				0.4	V	
		I _{OL} = 3mA, V _{IOVDD} = 3.0V to 3.6V				0.3		
Input Capacitance	C _{IN}	Each pin (Note 4)				10	pF	

DC Electrical Characteristics (continued)

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP connected to PCB ground, typical values are at, $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIFFERENTIAL OUTPUTS (OUT+, OUT-)						
Differential Output Voltage	V _{OD}	Preemphasis off, high drive (Figure 1)	300	400	500	mV
		3.3dB preemphasis, high drive (Figure 2)	350		610	
		3.3dB deemphasis, high drive (Figure 2)	240		425	
Change in V _{OD} Between Complementary Output States	ΔV _{OD}				25	mV
Output Offset Voltage (V _{OUT+} + V _{OUT-})/2 = V _{OS}	V _{OS}	Preemphasis off	1.1	1.4	1.56	V
Change in V _{OS} Between Complementary Output States	ΔV _{OS}				25	mV
Output Short-Circuit Current	I _{OS}	V _{OUT+} or V _{OUT-} = 0V	-60			mA
		V _{OUT+} or V _{OUT-} = 1.9V			25	
Magnitude of Differential Output Short-Circuit Current	I _{OSD}	V _{OD} = 0V			25	mA
Output-Termination Resistance (Internal)	R _O	From OUT+ or OUT- to AVDD	45	54	63	Ω
REVERSE CONTROL-CHANNEL RECEIVER OUTPUTS (OUT+, OUT-)						
High-Switching Threshold	V _{CHR}	Legacy			27	mV
		High immunity			40	
Low-Switching Threshold	V _{CLR}	Legacy	-27			mV
		High immunity	-40			
SINGLE-ENDED SERIAL OUTPUTS (OUT+ or OUT-)						
Single-Ended Output Voltage	V _O	Preemphasis off, high drive (Figure 3)	375	500	625	mV
		3.3dB preemphasis, high drive (Figure 2)	435		765	
		3.3dB deemphasis, high drive (Figure 2)	300		535	
Output Short-Circuit Current	I _{OS}	V _{OUT+} or V _{OUT-} = 0V	-69			mA
		V _{OUT+} or V _{OUT-} = 1.9V			32	
Output-Termination Resistance (Internal)	R _O	From OUT+ or OUT- to AVDD	45	54	63	Ω

DC Electrical Characteristics (continued)

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP Connected to PCB ground, typical values are at, $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Current, Worst-Case Pattern (Figure 4)	I_{WCS}	$f_{PCLKIN} = 116MHz$, $HIBW = 0$, $BWS = 0$, default register values, $AVDD + DVDD$ (1.9V)		64	90	mA
		$f_{PCLKIN} = 116MHz$, $HIBW = 0$, $BWS = 0$, default register values, $IOVDD$ (3.6V)		1.8	2.7	
		$f_{PCLKIN} = 116MHz$, $HIBW = 0$, $BWS = 0$, default register values, $IOVDD$ (1.9V) (Note 4)		0.45	0.69	
		$f_{PCLKIN} = 116MHz$, $HIBW = 1$, $BWS = 0$, default register values, $AVDD + DVDD$ (1.9V)		62	83	
		$f_{PCLKIN} = 116MHz$, $HIBW = 1$, $BWS = 0$, default register values, $IOVDD$ (3.6V)		1.8	2.7	
		$f_{PCLKIN} = 116MHz$, $HIBW = 1$, $BWS = 0$, default register values, $IOVDD$ (1.9V) (Note 4)		0.45	0.69	
		$f_{PCLKIN} = 87MHz$, $BWS = 1$, default register values, $AVDD + DVDD$ (1.9V)		61	85	
		$f_{PCLKIN} = 87MHz$, $BWS = 1$, default register values, $IOVDD$ (3.6V)		1.4	2.0	
		$f_{PCLKIN} = 87MHz$, $BWS = 1$, default register values, $IOVDD$ (1.9V) (Note 4)		0.37	0.61	
Sleep-Mode Supply Current	I_{CCS}	Wake-up receiver enabled		40	100	μA
Power-Down Supply Current	I_{CCZ}	PWDNB = low		15	70	μA
ESD PROTECTION						
OUT+, OUT- (Note 5)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 8		kV
		IEC 61000-4-2, $R_D = 330\Omega$, $C_S = 150pF$, Contact Discharge		± 8		
		IEC 61000-4-2, $R_D = 330\Omega$, $C_S = 150pF$, Air Discharge		± 15		
		ISO 10605, $R_D = 2k\Omega$, $C_S = 330pF$, Contact Discharge		± 8		
		ISO 10605, $R_D = 2k\Omega$, $C_S = 330pF$, Air Discharge		± 15		
All Other Pins (Note 6)	V_{ESD}	Human Body Model, $R_D = 1.5k\Omega$, $C_S = 100pF$		± 4		kV

AC Electrical Characteristics

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP connected to PCB ground, typical values are at, $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PARALLEL CLOCK INPUT (PCLKIN)						
Clock Frequency	f_{PCLKIN}	BWS = 0, HIBW = 0, single input	16.66		58	MHz
		BWS = 0, HIBW = 1, single input	36.66		58	
		BWS = 1, single input	12.5		43.5	
		BWS = 0, HIBW = 0, double input	33.32		116	
		BWS = 0, HIBW = 1, double input	73.33		116	
		BWS = 1, double input	25		87	
Clock Duty Cycle	DC	t_{HIGH}/t_T or t_{LOW}/t_T (Note 4, Figure 5)	35	50	65	%
Clock Transition Time	t_R, t_F	(Note 4, Figure 5)			4	ns
Clock Jitter	t_J	1.74Gbps bit rate, 300kHz sinusoidal jitter (Note 4)			800	ps
I²C/UART PORT TIMING						
I ² C/UART Bit Rate			9.6		1000	kbps
Output Rise Time	t_R	30% to 70%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to IOVDD	20		150	ns
Output Fall Time	t_F	70% to 30%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to IOVDD	20		150	ns
I²C TIMING (Figure 6)						
SCL Clock Frequency	f_{SCL}	Low f_{SCL} range: (I2CMSTBT = 010, I2CSLVSH = 10)	9.6		100	kHz
		Mid f_{SCL} range: (I2CMSTBT 101, I2CSLVSH = 01)	> 100		400	
		High f_{SCL} range: (I2CMSTBT = 111, I2CSLVSH = 00)	> 400		1000	
START Condition Hold Time	$t_{HD:STA}$	f_{SCL} range, low	4			μs
		f_{SCL} range, mid	0.6			
		f_{SCL} range, high	0.26			
Low Period of SCL Clock	t_{LOW}	f_{SCL} range, low	4.7			μs
		f_{SCL} range, mid	1.3			
		f_{SCL} range, high	0.5			
High Period of SCL Clock	t_{HIGH}	f_{SCL} range, low	4			μs
		f_{SCL} range, mid	0.6			
		f_{SCL} range, high	0.26			
Repeated START Condition Setup Time	$t_{SU:STA}$	f_{SCL} range, low	4.7			μs
		f_{SCL} range, mid	0.6			
		f_{SCL} range, high	0.26			

AC Electrical Characteristics (continued)

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP connected to PCB ground, typical values are at, $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Hold Time	$t_{HD:DAT}$	f _{SCL} range, low	0			ns
		f _{SCL} range, mid	0			
		f _{SCL} range, high	0			
Data Setup Time	$t_{SU:DAT}$	f _{SCL} range, low	250			ns
		f _{SCL} range, mid	100			
		f _{SCL} range, high	50			
Setup Time for STOP Condition	$t_{SU:STO}$	f _{SCL} range, low	4			μs
		f _{SCL} range, mid	0.6			
		f _{SCL} range, high	0.26			
Bus-Free Time	t_{BUF}	f _{SCL} range, low	4.7			μs
		f _{SCL} range, mid	1.3			
		f _{SCL} range, high	0.5			
Data Valid Time	$t_{VD:DAT}$	f _{SCL} range, low			3.45	μs
		f _{SCL} range, mid			0.9	
		f _{SCL} range, high			0.45	
Data Valid-Acknowledge Time	$t_{VD:ACK}$	f _{SCL} range, low			3.45	μs
		f _{SCL} range, mid			0.9	
		f _{SCL} range, high			0.45	
Pulse Width of Spikes Suppressed	t_{SP}	f _{SCL} range, low			50	ns
		f _{SCL} range, mid			50	
		f _{SCL} range, high			50	
Capacitive Load of Each Bus Line	C_B	Note 4			100	pF
SWITCHING CHARACTERISTICS (Note 4)						
Differential/Single-Ended Output Rise/Fall Time	t_R, t_F	20% to 80%, V_{OD} , 400mV differential $R_L = 100\Omega$, 500mV single-ended $R_L = 50\Omega$, serial bit rate = 1.74Gbps			250	ps
Total Serial-Output Jitter (Differential Output)	t_{TSOJ1}	1.74Gbps PRBS, measured at $V_{OD} = 0V$ differential, preemphasis disabled (Figure 7)		0.25		UI
Deterministic Serial-Output Jitter (Differential Output)	t_{DSOJ2}	1.74Gbps PRBS, measured at $V_{OD} = 0V$ differential, preemphasis disabled (Figure 7)		0.15		UI
Total Serial-Output Jitter (Single-Ended Output)	t_{TSOJ1}	1.74Gbps PRBS, measured at $V_O/2$, preemphasis disabled (Figure 3)		0.25		UI
Deterministic Serial-Output Jitter (Single-Ended Output)	t_{DSOJ2}	1.74Gbps PRBS, measured at $V_O/2$, preemphasis disabled (Figure 3)		0.15		UI
Parallel Data-Input Setup Time	t_{SET}	(Figure 8)	2			ns

AC Electrical Characteristics (continued)

($V_{DVDD} = V_{AVDD} = 1.7V$ to $1.9V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), $T_A = -40^\circ C$ to $+115^\circ C$, EP connected to PCB ground, typical values are at, $V_{DVDD} = V_{AVDD} = V_{IOVDD} = 1.8V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Parallel Data Input Hold Time	t_{HOLD}	(Figure 8) (Note 4)	1			ns
GPI-to-GPO Delay	t_{GPIO}	Deserializer GPI to serializer GPO (Figure 9)			350	μs
Serializer Delay	t_{SD}	Spread spectrum enabled (Figure 10) (Notes 4, 7)			2065	Bits
		Spread spectrum disabled (Figure 10) (Notes 4, 7)			1095	
Link Start Time	t_{LOCK}	(Figure 11)			2	ms
Power-Up Time	t_{PU}	(Figure 12)			7	ms

Note 1: Limits are 100% production tested at $T_A = +115^\circ C$. Limits over the operating temperature range are guaranteed by design and characterization, unless otherwise noted.

Note 2: To provide a mid-level voltage, leave the input open; or, if driven, put the driver in high-impedance state. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 3: I_{IJ} min is due to voltage drop across the internal pullup resistor.

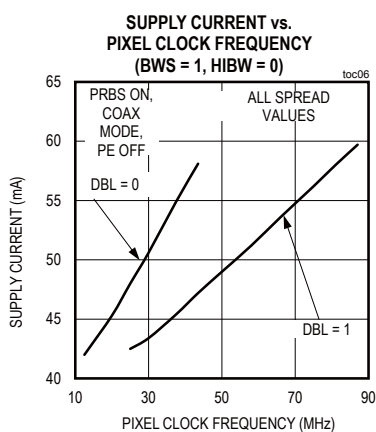
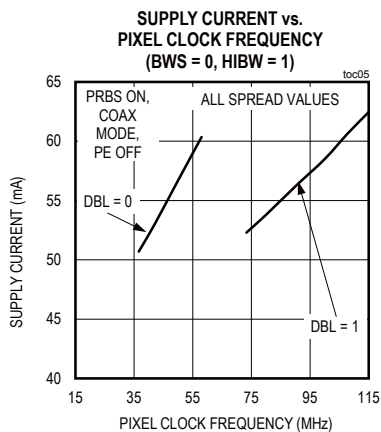
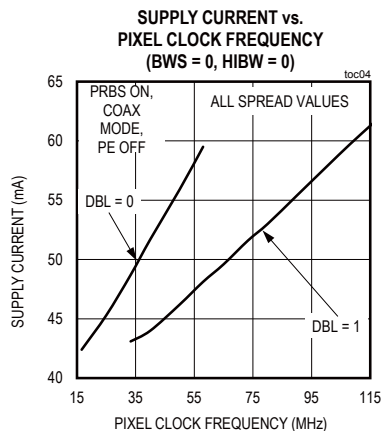
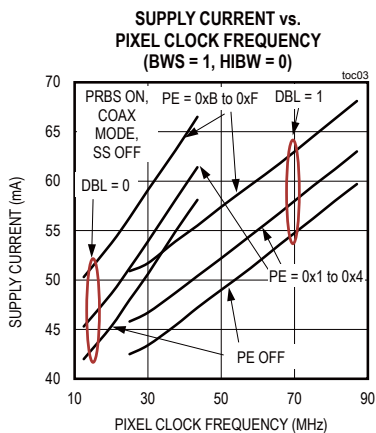
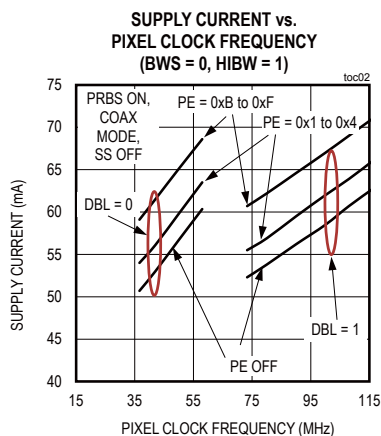
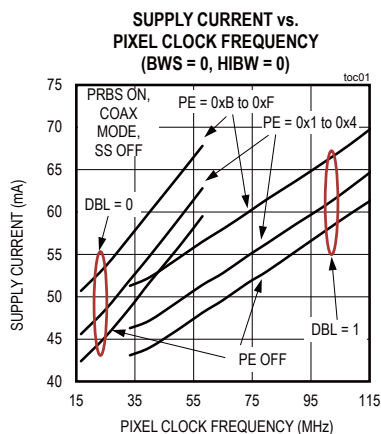
Note 4: Not production tested. Guaranteed by design.

Note 5: Specified pin to ground.

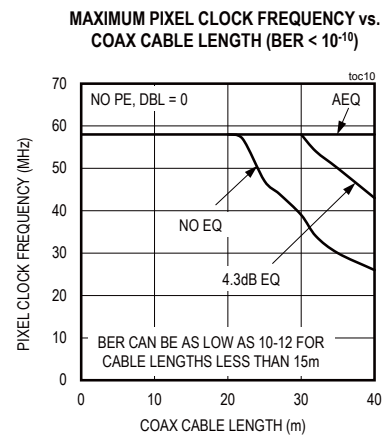
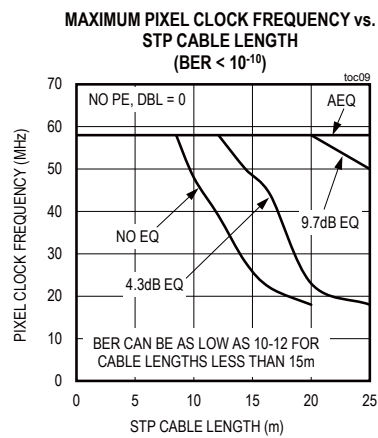
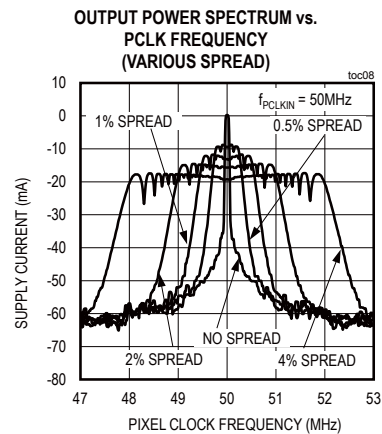
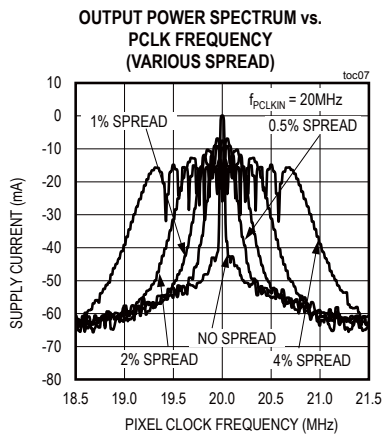
Note 6: Specified pin to all supply/ground.

Note 7: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKIN})$ for BWS = 0; bit time = $1/(40 \times f_{PCLKIN})$ for BWS = 1.

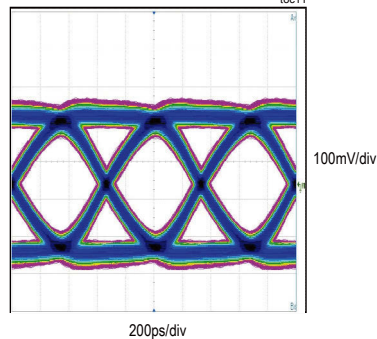
標準動作特性

(V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C, unless otherwise noted.)

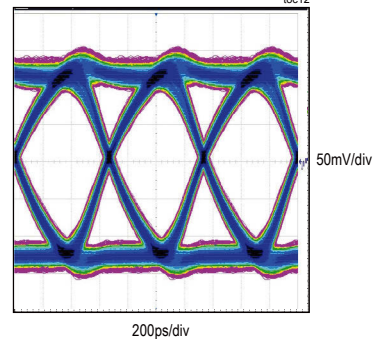
標準動作特性(続き)

(V_{AVDD} = V_{DVDD} = V_{IOVDD} = 1.8V, T_A = +25°C, unless otherwise noted.)

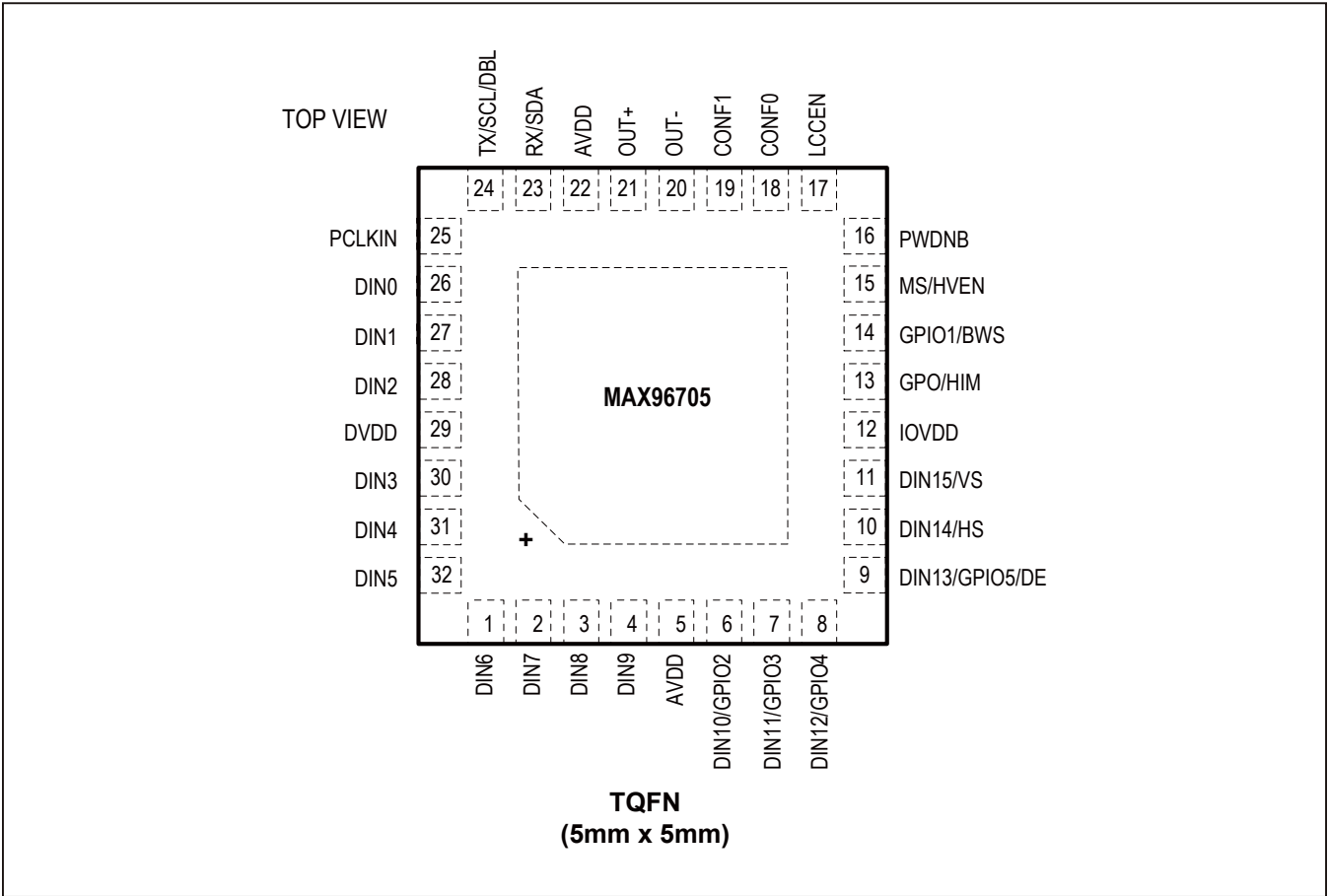
SERIAL LINK SWITCHING PATTERN WITH 4.4dB PREEMPHASIS (1.5Gbps, 10m STP CABLE) toc11



SERIAL LINK SWITCHING PATTERN WITH 3.3dB PREEMPHASIS (1.5Gbps, 20m COAX CABLE) toc12



ピン配置



端子説明

端子	名称	機能	基準電源	タイプ
電源				
5, 22	AVDD	1.8Vアナログ電源。AVDDとEPの間に0.1μFと0.001μFのコンデンサを配置します。(値の小さい方のコンデンサをよりAVDD側に配置します。)		電源
12	IOVDD	入出力電源電圧。1.8V～3.3Vのロジック入出力電源です。IOVDDとEPの間に0.1μFと0.001μFのコンデンサを配置します。(値の小さい方のコンデンサをよりIOVDD側に配置します。)		電源
29	DVDD	1.8Vデジタル電源。DVDDとEPの間に0.1μFと0.001μFのコンデンサを配置します。(値の小さい方のコンデンサをよりDVDD側に配置します。)		電源
EP	—	エクスポーズドパッド。EPは内部でデバイスのグラウンドに接続されています。十分な熱的および電氣的性能を実現するために、一連のビアを介してEPをPCBのグラウンドプレーンに接続する必要があります。		電源

端子説明(続き)

端子	名称	機能	基準電源	タイプ
高速デジタル				
単機能				
1	DIN6	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
2	DIN7	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
3	DIN8	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
4	DIN9	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
25	PCLKIN	EPへのプルダウンを内蔵したパラレルクロック入力。パラレルデータ入力をラッチし、PLLリファレンスクロックを供給します。	IOVDD	デジタル
26	DIN0	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
27	DIN1	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
28	DIN2	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
30	DIN3	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
31	DIN4	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
32	DIN5	パラレルデータ入力。EPへのプルダウン内蔵。	IOVDD	デジタル
多機能				
6	DIN10/GPIO2	パラレルデータ入力/GPIO。起動時にデフォルトでパラレルデータ入力になります。パラレルデータ入力はEPへのプルダウンを内蔵しています。GPIO2はIOVDDへの60kΩのプルアップを内蔵したオープンドレインの入出力を備えています。	IOVDD	デジタル
7	DIN11/GPIO3	パラレルデータ入力/GPIO。起動時にデフォルトでパラレルデータ入力になります。パラレルデータ入力はEPへのプルダウンを内蔵しています。GPIO3はIOVDDへの60kΩのプルアップを内蔵したオープンドレインの入出力を備えています。	IOVDD	デジタル
8	DIN12/GPIO4	パラレルデータ入力/GPIO。起動時にデフォルトでパラレルデータ入力になります。パラレルデータ入力はEPへのプルダウンを内蔵しています。GPIO4はIOVDDへの60kΩのプルアップを内蔵したオープンドレインの入出力を備えています。	IOVDD	デジタル
9	DIN13/ GPIO5/DE	EPへのプルダウンを内蔵したパラレルデータ入力/GPIO/データイネーブル。起動時にデフォルトでパラレルデータ入力になります。GPIO5はIOVDDへの60kΩのプルアップを内蔵したオープンドレインの入出力を備えています。広帯域幅モード時はデータイネーブル入力です。	IOVDD	デジタル
10	DIN14/HS	EPへのプルダウンを内蔵したパラレルデータ入力/水平同期。起動時にデフォルトでパラレルデータ入力になります。HS/VSの符号化がいネーブルのとき、または広帯域幅モード時は、デフォルトで水平同期入力になります。	IOVDD	デジタル
11	DIN15/VS	EPへのプルダウンを内蔵したパラレルデータ入力/垂直同期。起動時にデフォルトでパラレルデータ入力になります。HS/VSの符号化がいネーブルのとき、または広帯域幅モード時は、デフォルトで垂直同期入力になります。	IOVDD	デジタル
多機能の設定(LCCENによる)				
14	GPIO1/BWS	GPIO1/バス幅選択入力。機能はLCCENの状態によって決まります。GPIO1 (LCCEN = ハイ) : IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力。BWS (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。22ビットの入力ラッチにする場合はBWS = ローに設定します。30ビットの入力ラッチにする場合はBWS = ハイに設定します。	IOVDD	デジタル

端子説明(続き)

端子	名称	機能	基準電源	タイプ
15	MS/HVEN	EPへのプルダウンを内蔵したモード選択/HSとVSの符号化イネーブル入力。機能はLCCENの状態によって決まります。MS (LCCENがハイ) : ベースモードを選択する場合はMSをローに設定します。バイパスモードを選択する場合はMSをハイに設定します。HVEN (LCCENがロー) : HS/VSの符号化をイネーブルする場合はHVEN = ハイに設定します。HS/VSの符号化をディセーブルする場合はHVEN = ローに設定します。	IOVDD	デジタル
17	LCCEN	EPへのプルダウンを内蔵したローカル制御チャンネルイネーブル入力。LCCEN = ハイに設定すると、制御チャンネルインタフェースの端子がイネーブルされます。LCCEN = ローに設定すると、制御チャンネルインタフェースの端子がディセーブルされ、指示された端子で代替機能が選択されます。	IOVDD	デジタル
24	TX/SCL/DBL	送信/シリアルクロック/ダブルモード。機能はLCCENの状態によって決まります。TX/SCL (LCCEN = ハイ) : IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、TX/SCLはシリアルライザのUARTのTx出力です。I ² Cモードでは、TX/SCLはシリアルライザのI ² Cマスター/スレーブのSCL入出力です。TX/SCLはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。DBL (LCCEN = ロー) : EPへのプルダウンを内蔵した入力。ダブル入力モードを使用する場合は、DBL = ハイに設定します。シングル入力モードを使用する場合は、DBL = ローに設定します。	IOVDD	デジタル
設定およびインタフェース				
13	GPO/HIM	EPへのプルダウンを内蔵した汎用出力/高耐性モード入力。HIMは起動時またはパワーダウンモード(PWDNB = ロー)からの復帰時にラッチされ、起動後に自動的にGPO出力に切り替わります。HIMを30kΩの抵抗でIOVDDに接続してハイに設定するか、またはオープンのままにしてローに設定します。HIGHIMMは、起動後に異なる値に設定することができます。デシリアルライザのHIGHIMMを、同じ値に設定する必要があります。GPO出力は、GMSLデシリアルライザのGPI (またはINT) 入力の状態に従います。起動時またはPWDNBがローのとき、GPOはローです。	IOVDD	デジタル
16	PWDNB	EPへのプルダウンを内蔵したアクティブローのパワーダウン入力。消費電力を低減するには、PWDNBをローに設定してパワーダウンモードに移行します。	IOVDD	デジタル
18	CONF0	コンフィギュレーション0。3レベルの設定入力(表13)。CONF0端子の値は、起動時、またはパワーダウンモードからの復帰時にラッチされます。	IOVDD	3レベル
19	CONF1	コンフィギュレーション1。3レベルの設定入力(表13)。CONF1端子の値は、起動時またはパワーダウンモードからの復帰時にラッチされます。	IOVDD	3レベル
20	OUT-	反転同軸/ツイストペアシリアル出力		デジタル
21	OUT+	非反転同軸/ツイストペアシリアル出力		デジタル
23	RX/SDA	受信/シリアルデータ。IOVDDへの30kΩのプルアップを内蔵した入出力。UARTモードでは、RX/SDAはシリアルライザのUARTのRx入力です。I ² Cモードでは、RX/SDAはシリアルライザのI ² Cマスター/スレーブのSDA入出力です。RX/SDAはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。	IOVDD	デジタル

ファンクションブロックダイアグラム

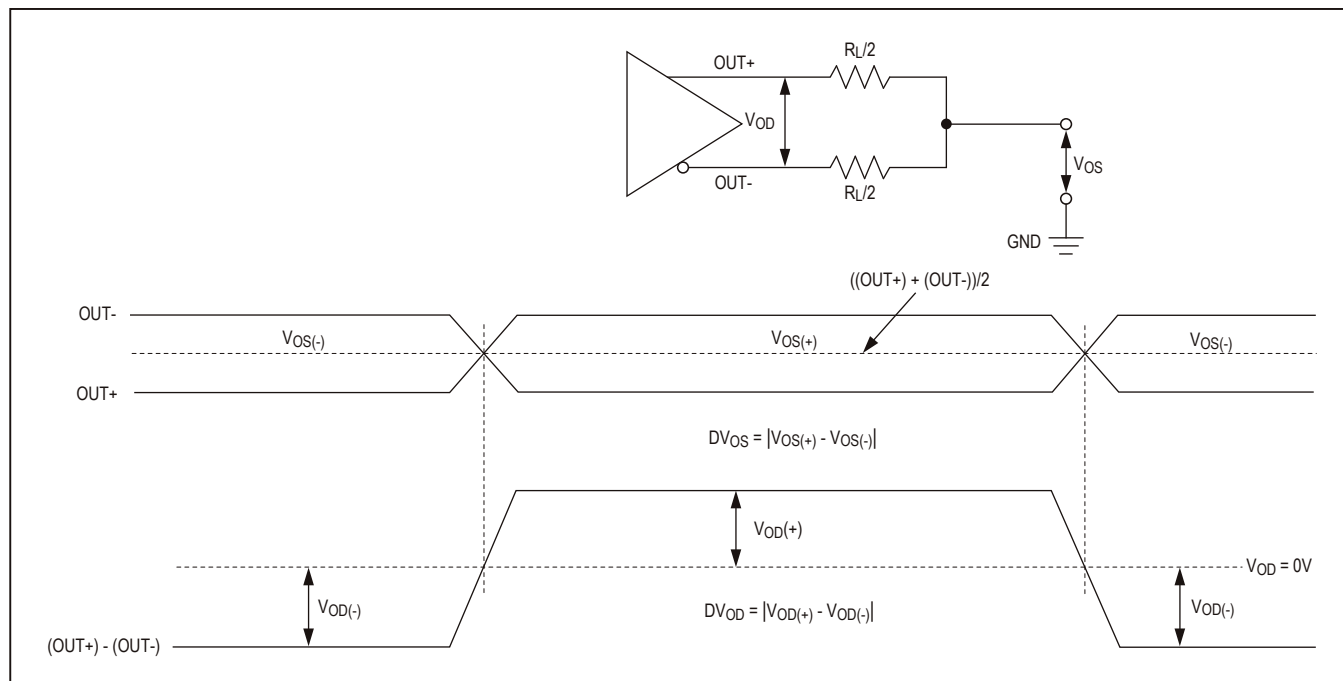
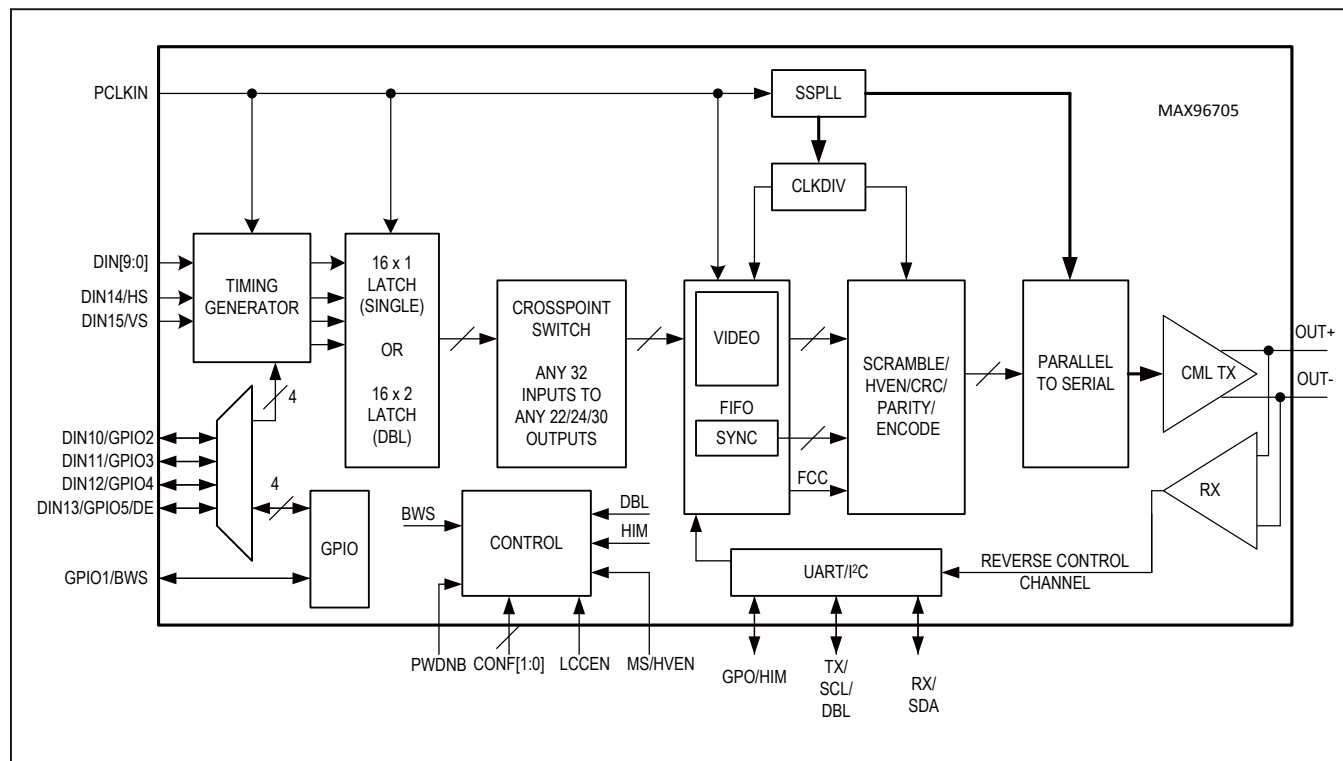


図1. シリアル出力パラメータ

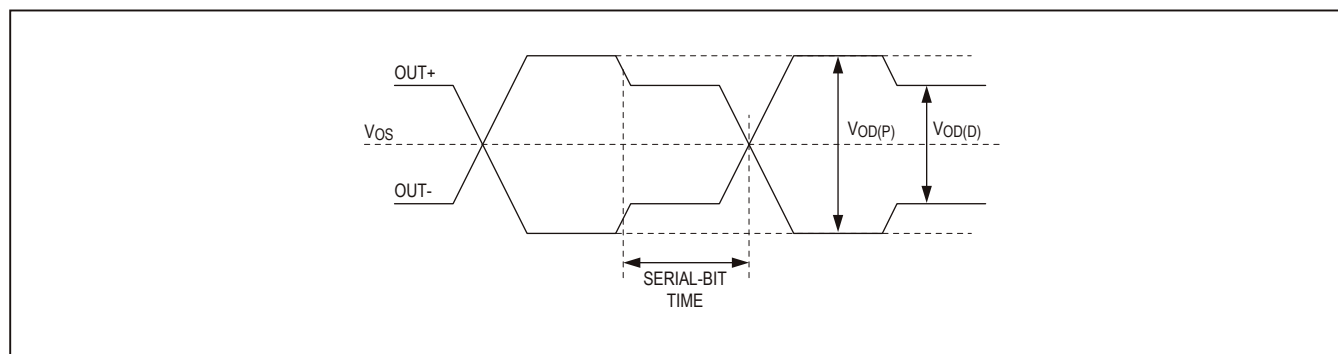


図2. OUT+、OUT-の出力波形

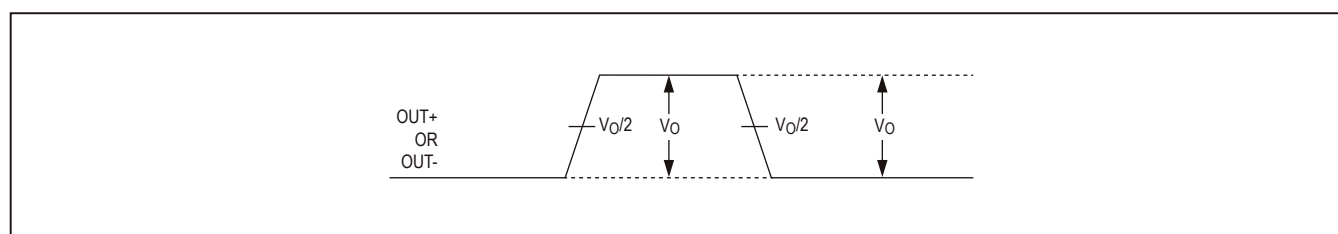


図3. シングルエンド出力テンプレート

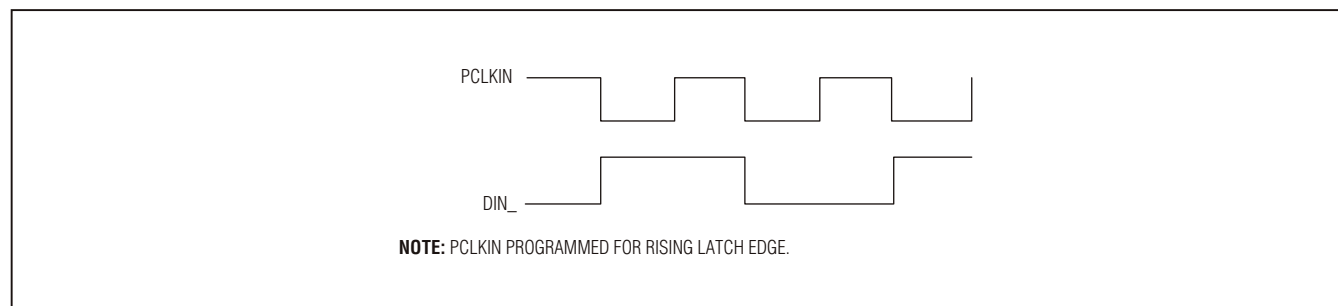


図4. ワーストケースパターンの入力

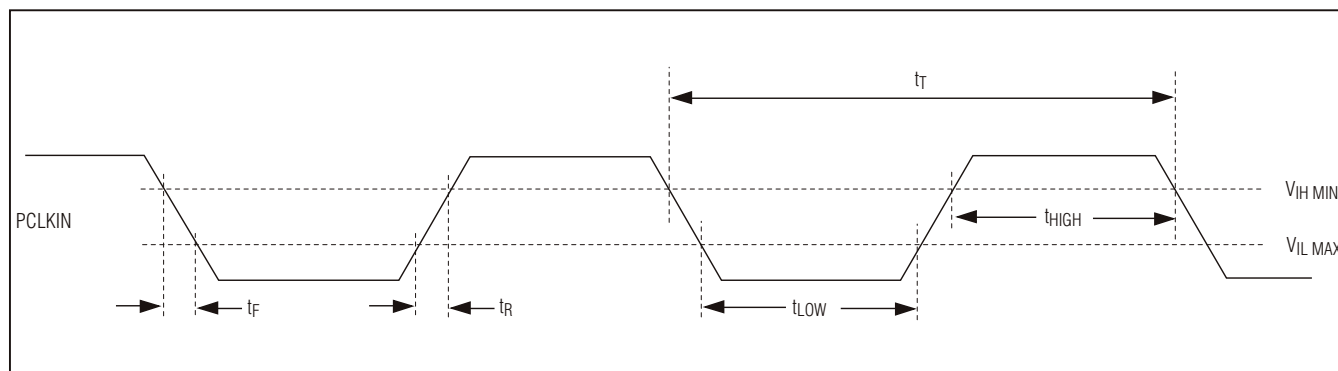


図5. パラレルクロック入力の要件

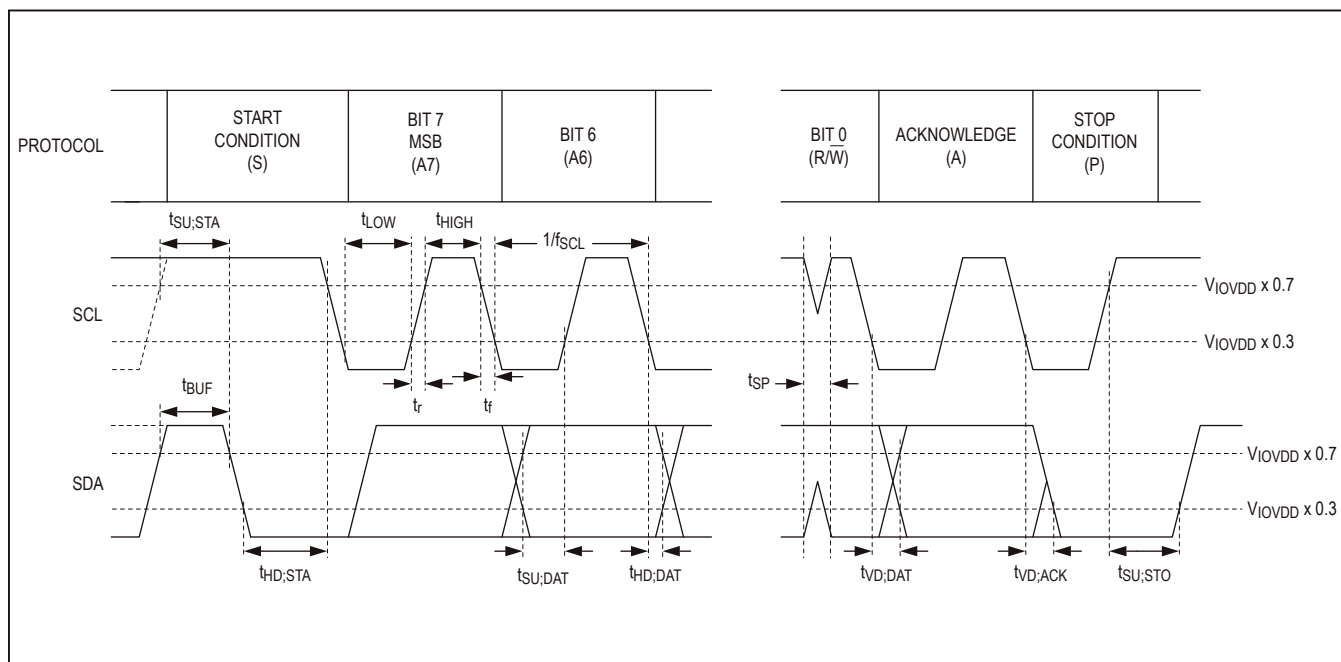
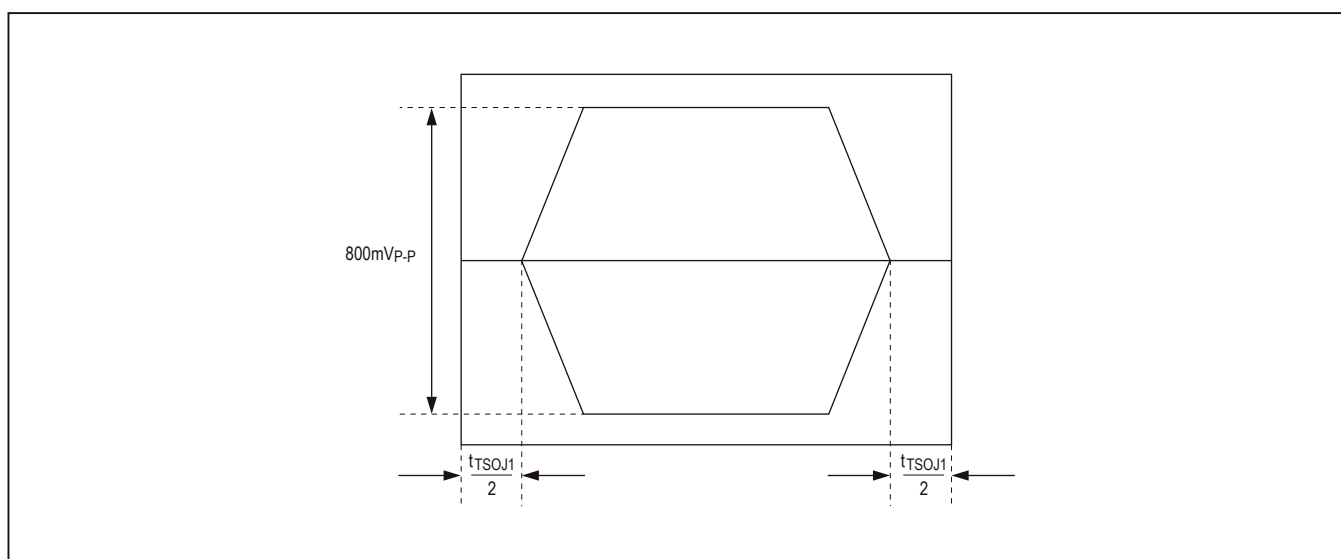
図6. ^{12}C のタイミングパラメータ

図7. 差動出力テンプレート

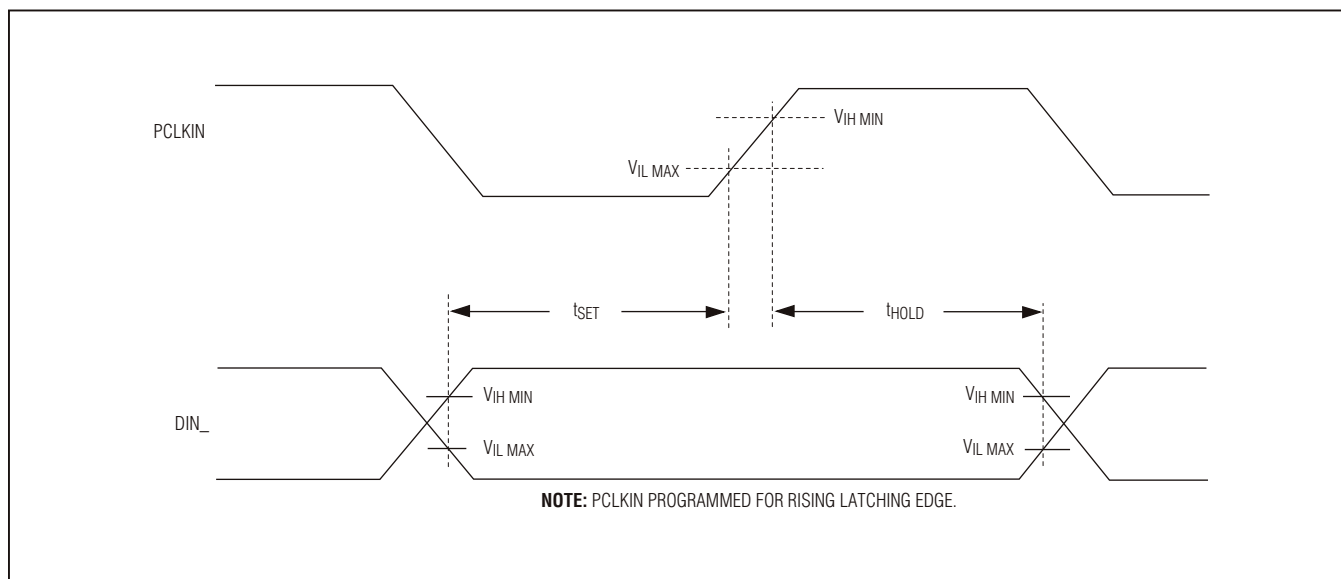


図8. 入力のセットアップおよびホールド時間

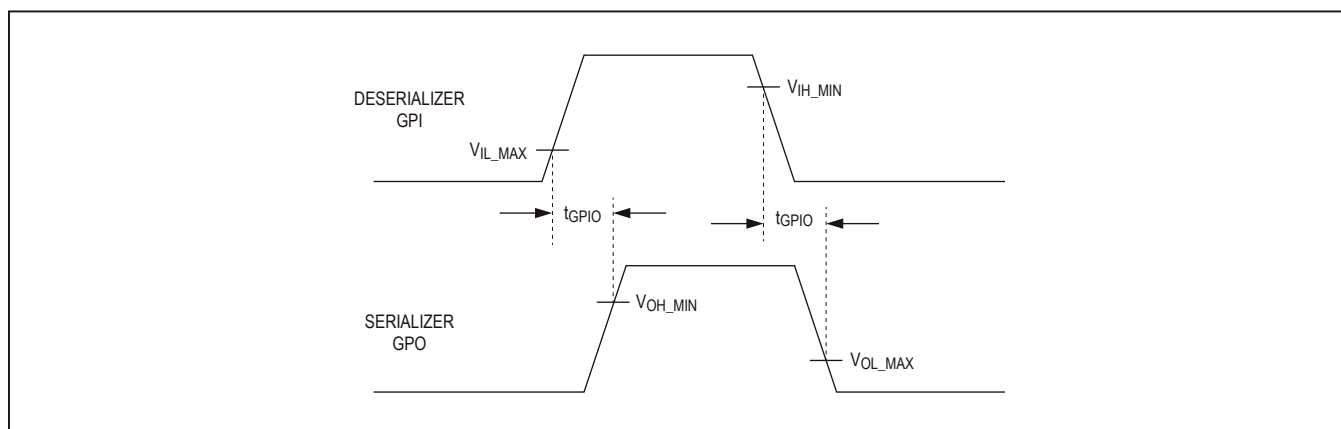


図9. GPI-GPO間の遅延

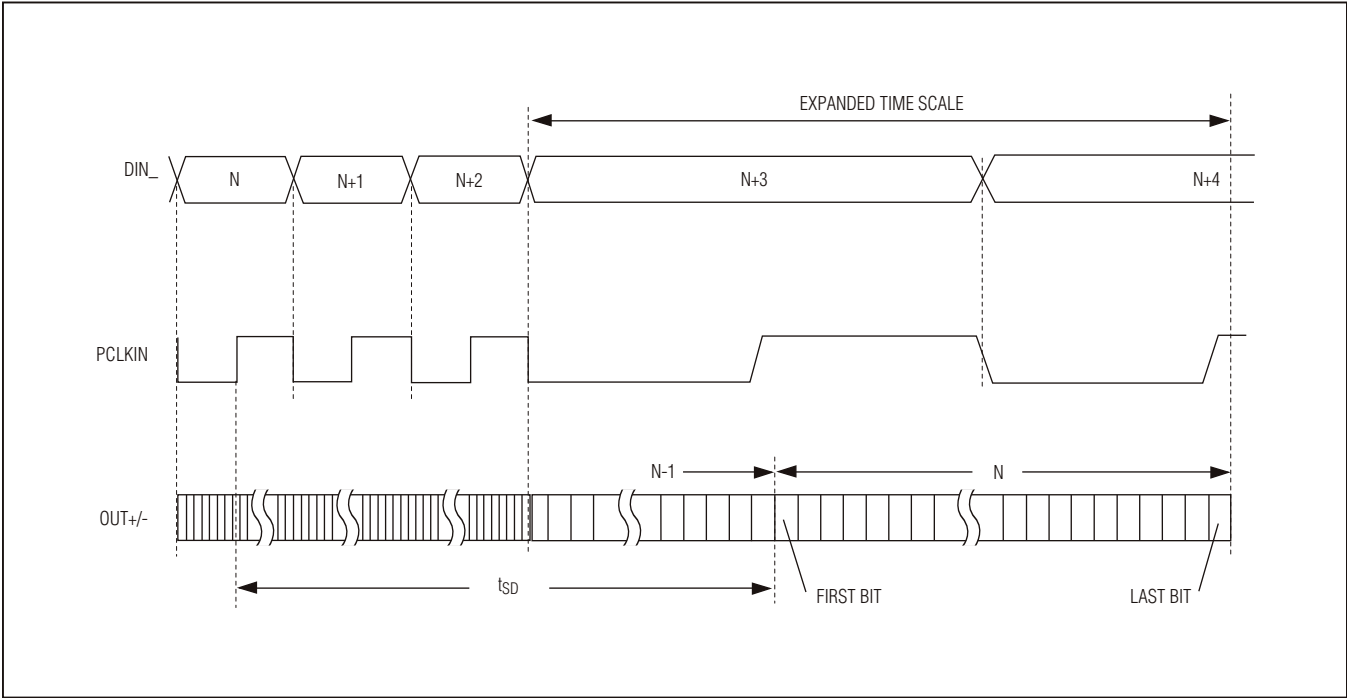


図10. シリアライザの遅延

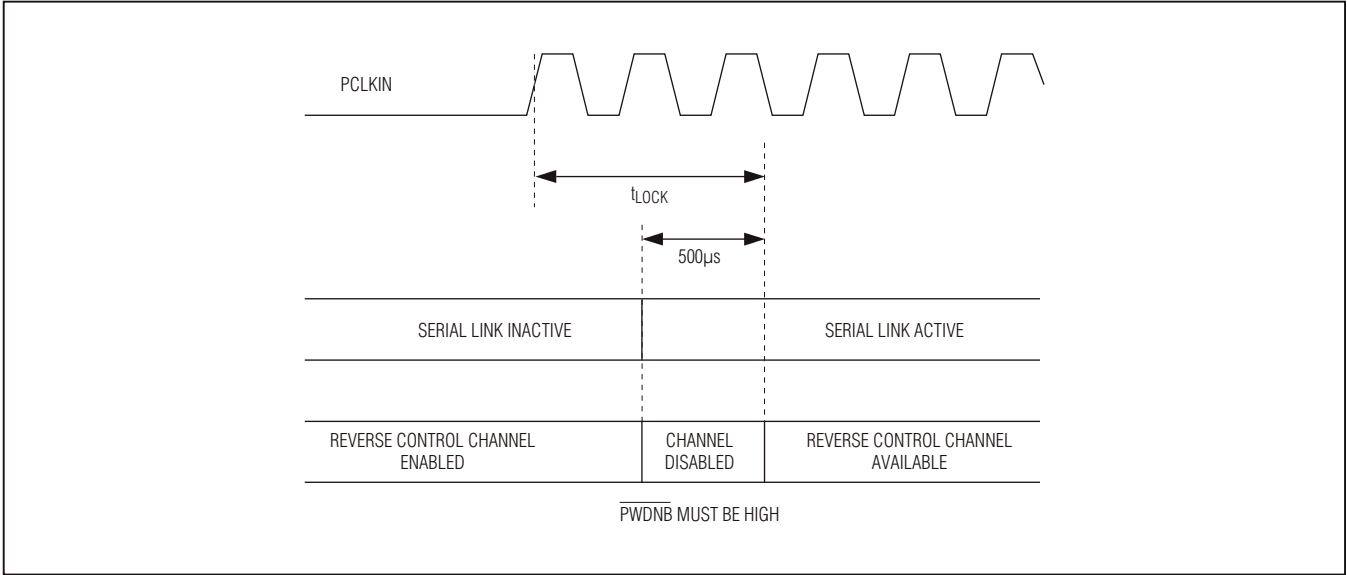


図11. リンクのスタートアップ時間

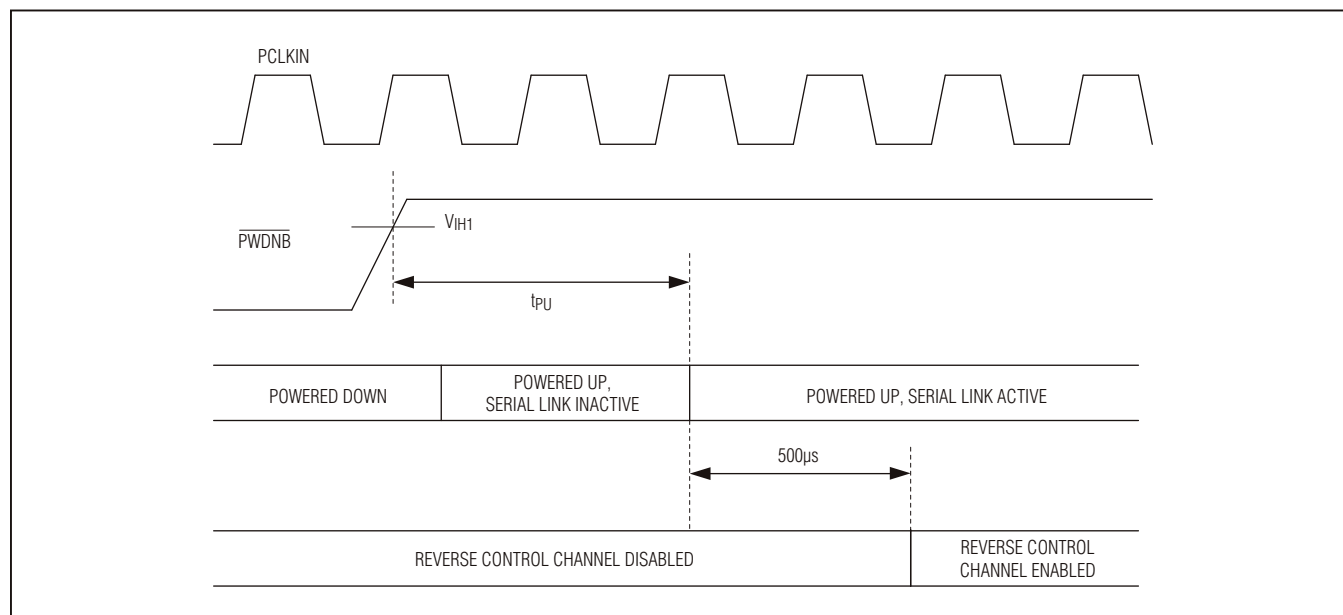


図12. 起動遅延

詳細

MAX96705は、特に車載カメラアプリケーションに最適な機能を備えた小型デバイスです。このデバイスは、最大1.74Gbpsの総シリアルデータレートまでのさまざまな入力幅およびワードレートで動作します。広帯域幅モードは、12ビットのビデオデータと2ビットの同期(HS/VS)データで、116MHzの平行クロックレートを提供します。9.6kbps～1Mbpsの内蔵の制御チャンネルは、シリアライザ、デシリアライザ、および接続されている任意のUARTまたはI²Cペリフェラルを設定します。

セーフティアプリケーションを促進するため、このデバイスはビデオおよび制御データを保護するCRCを備えています。さらに、制御チャンネル再送信および高耐性モードは、通信を劣化するビットエラーの可能性を低減します。プリエンファシスとPRBSテストは、リンク品質のシステム内での評価および最適化を可能にします。

このMAX96705は、-40℃～+115℃の車載用温度範囲で動作します。

シリアルリンクの信号方式とデータ形式

シリアライザは、入力平行データを、順方向制御データと組み合わせスクランブルします。次に、データは送信用に符号化され、入力ワードレートの数倍(バス幅によって決定)の速度で、1つのシリアライズされたビットストリームとして出力されます。デシリアライザはシリアルデータを受信し、クロック信号を復元します。次に、データはデシリアライズ、復号化、およびスクランブル解除されて、平行出力データと順方向制御データになります。

動作モード

GMSLデバイスは、アプリケーションに応じて多数のモードで動作するように設定可能です。これらのモードによって、シリアル帯域幅をより効率的に使用することができます。これらの設定の大部分はシステム設計時に決められ、外部設定端子を使用するかまたはレジスタビットを介して設定されます。

ビデオ/設定リンク

通常動作時、シリアライザはビデオリンクモード(シリアライザのSEREN = 1)で動作し、ビデオデータおよび設定データがシリアルリンクで送信されます。シリアライズをオフにするには、シリアライザでSEREN = 0に設定します。シリアライザはビデオリンクモードで起動し、動作のために有効なPCLKを必要とします。

設定リンクは、PCLKが利用可能でない場合に、シリアライザ、デシリアライザ、およびペリフェラルをセットアップするために利用可能です。設定リンクをイネーブルするには、シリアライザでSEREN = 0およびCLINK = 1に設定します(SEREN = 1にするとシリアライザは強制的にビデオリンクモードになります)。PCLKの確立後に、ビデオリンクをオンにします(SEREN = 1)。

デフォルトでは、ビデオリンクモードは動作のために有効なPCLKを必要とします。PCLKがなくなるたびにビデオリンクと設定リンク間の切り替えをデバイスが自動的に行うようにするには、シリアライザでAUTO_CLINKビット = 1およびSEREN = 1に設定します。

シングル/ダブルモード

シングル/ダブルモード動作は、利用可能な1.74Gbpsの帯域幅をさまざまな幅およびワードレートに設定します。シングルモード動作は全GMSLデバイスおよびシリアルライザと互換性があり、各シリアルワードに対して1つのパラレルワードを生成します。ダブルモードは各シリアルワードに対して2つの半分の幅のパラレルワードをシリアル化するため、パラレルワードレートの範囲が(シングルモードと比較して) 2倍に増大します。シングルモード動作の場合はDBL = 0に設定し、ダブルモード動作の場合はDBL = 1に設定します。

HS/VSの符号化

デフォルトでは、GMSLは1つのビデオビットスロットをHSYNC、VSYNC、およびDE (使用する場合)に割り当てます。HS/VSの符号化を使用すると、デバイスはその代わりに特殊パケットを同期信号に符号化し、追加のビデオビットスロットを解放します。HS/VSの符号化は、デバイスが広帯域幅モード(HIBW = 1)の場合はデフォルトでオンになります。DEはHIBW = 1およびDE_EN = 1の場合にのみ符号化されます。HIBW = 0の場合にHS/VSの符号化をオンにするには、HVEN = 1に設定します(DEは、イネーブルされている場合1つのビデオビットを使用します)。HS/VSの符号化では、HSYNC、VSYNC、およびDE (使用する場合)が、アクティブビデオ時はハイのままで、ブランキング期間はローのままである必要があります。逆極性の同期信号を使用する場合は、HS/VS反転を使用します。

エラー検出

シリアルリンクの8b/10b符号化/復号化および1ビットパリティは、シリアルリンクで発生するビットエラーを検出します。6ビデオビットと引き換えに、オプションの6ビットCRCチェックが利用可能です(HIBW = 0の場合)。6ビットCRCモードをアクティブ化するには、先にリモート側デバイスでPXL_CRC = 1に設定し、次にローカル側デバイスで設定します。6ビットCRCモードを使用する場合、利用可能な内部バス幅がシングル入力モード(DBL = 0)では6ビット減少し、ダブル入力モード(DBL = 1)では3ビット減少します。シリアルライザまたはデシリアルライザで利用可能な端子数によって、入力バス幅がすでに削減されている場合があることに注意してください。そのため、CRCによる帯域幅の減少は目に見えない可能性があります(表3を参照)。

LINE_CRC_EN = 1に設定することによって、追加の32ビットビデオラインCRCが利用可能です。イネーブル時、シリアルライザはビデオラインの32ビットCRCを計算し、ブランキング期間にこの情報を送信します。デシリアルライザは、受信したCRCをビデオラインのデータと比較します。CRCエラーが検出されると、デシリアルライザのLINE_CRC_ERRビットがラッチされます。LINE_CRC_ERRは読取り時にクリアされます。

バス幅

シリアルリンクには複数のバス幅設定があり、それによってパラレルバス幅および結果のパラレルワードレートが決まります。シリアルリンクは、1.74Gbpsの最大シリアルビットレートで動作します。BWSビットは、各シリアルパケットが30ビット長か40ビット長かを決定し、それによって最大シリアルパケットレート(および結果の最大パラレルワードレート)はBWS = 0または1の場合にそれぞれ58MHzまたは43.5MHzになります。符号化は、24、27、または32パラレルビットを、30または40ビットのシリアルパケットに変換します。1つのビットはパリティに使用され、もう1つのビットは制御チャンネル用に使用されます。追加の6ビットはオプションの6ビットCRC時に使用されます。さらに、ダブルモードは、使用されている場合に残りのワードサイズを半分に分割します。残りのビットはビデオビットに使用することができます(H/Vの符号化を使用しない場合は同期ビット分を除く)。

下記の各モードは、内部バス幅のリストを示します。利用可能な入力および出力端子の数によって、実際に利用可能なバス幅が制限される場合があります。

• 24ビットモード(図13)

BWS = 0およびHIBW = 0の場合、30ビットのシリアルパケットは24ビットを表す3つの8b/10bシンボルに対応します(24ビットモード)。ここからパリティおよび制御チャンネルを除いた残りのビデオデータは、CRC使用時/未使用時に16/22ビット(シングルモード)、またはCRC使用時/未使用時に8/11ビット(ダブルモード)になります。

• 27ビット広帯域幅モード(図14)

BWS = 0およびHIBW = 1の場合(広帯域幅モード)、30ビットのシリアルパケットは27ビットを表す3つの9b/10bシンボルを表します。ここからパリティおよび制御チャンネルを除いた残りのビデオデータは、CRC使用時/未使用時に19/25ビット(シングルモード)、またはCRC使用時/未使用時に9/12ビット(ダブルモード)になります。

• 32ビットモード(図15)

BWS = 1の場合、40ビットのシリアルパケットは32ビットを表す4つの8b/10bシンボルに対応します(32ビットモード)。ここからパリティおよび制御チャンネルを除いた残りのビデオデータは、CRC使用時/未使用時に24/30ビット(シングルモード)、またはCRC使用時/未使用時に12/15ビット(ダブルモード)になります。

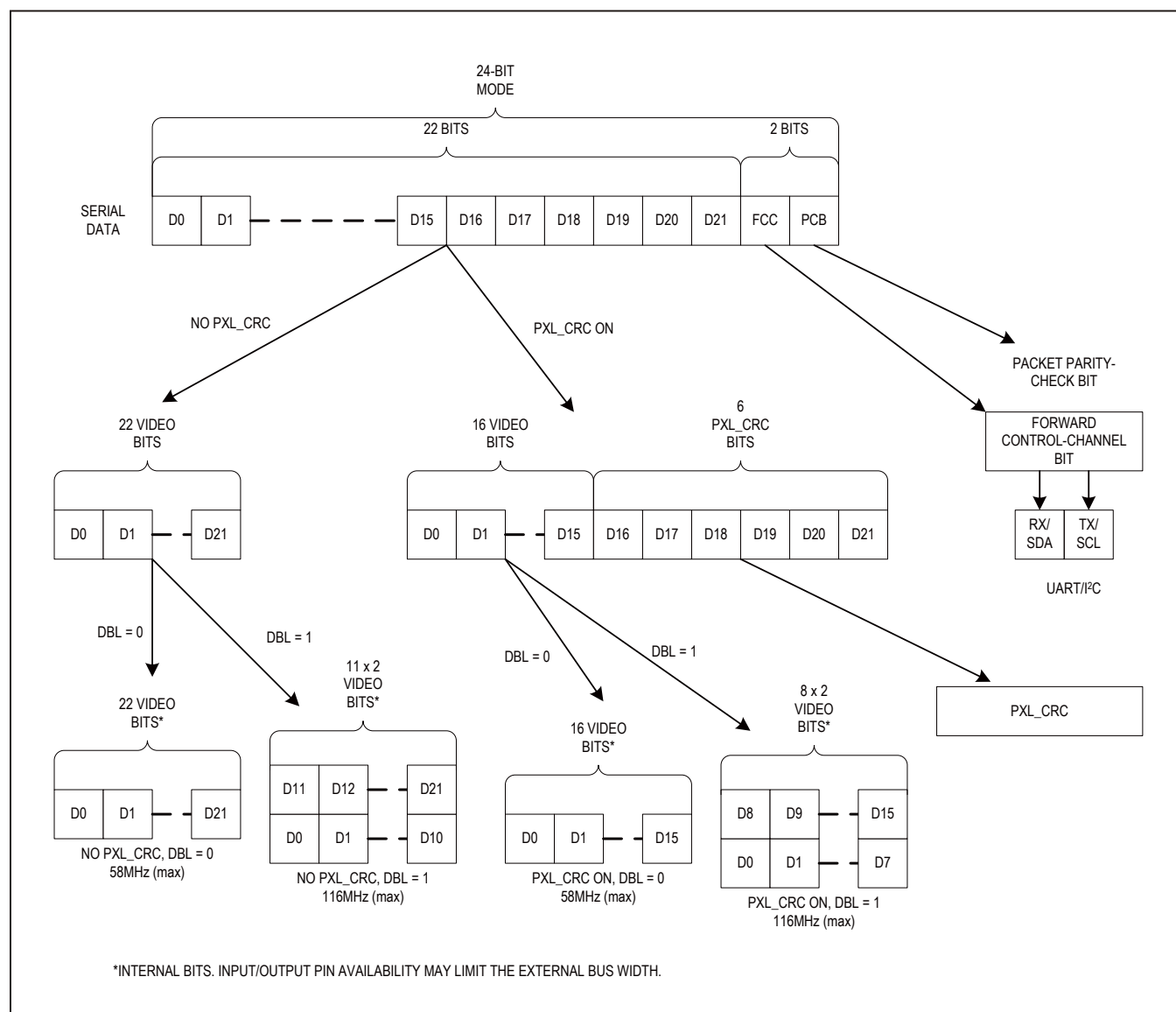


図13. 24ビットモードのシリアルデータ形式

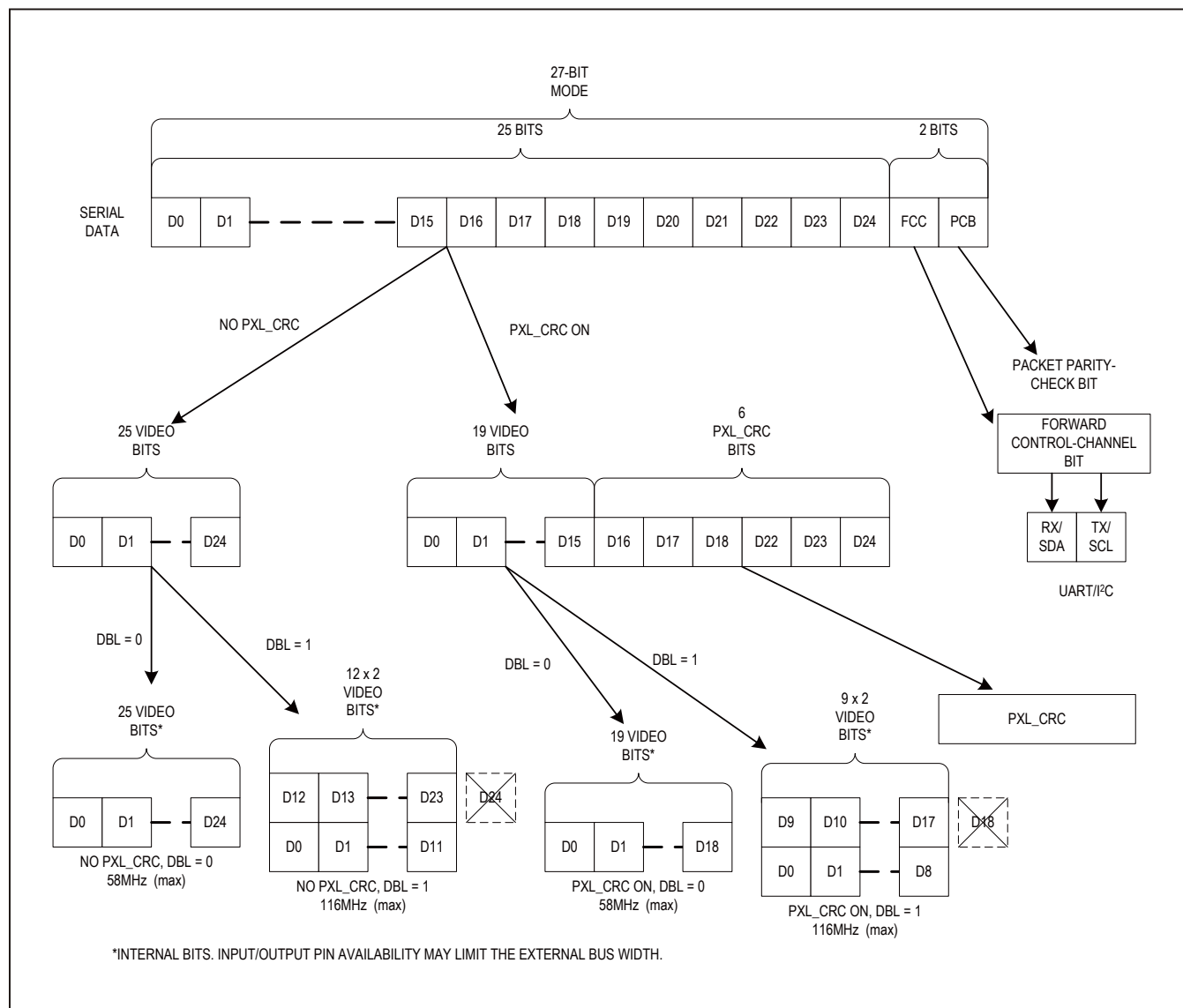


図14. 27ビット広帯域幅モードのシリアルデータ形式

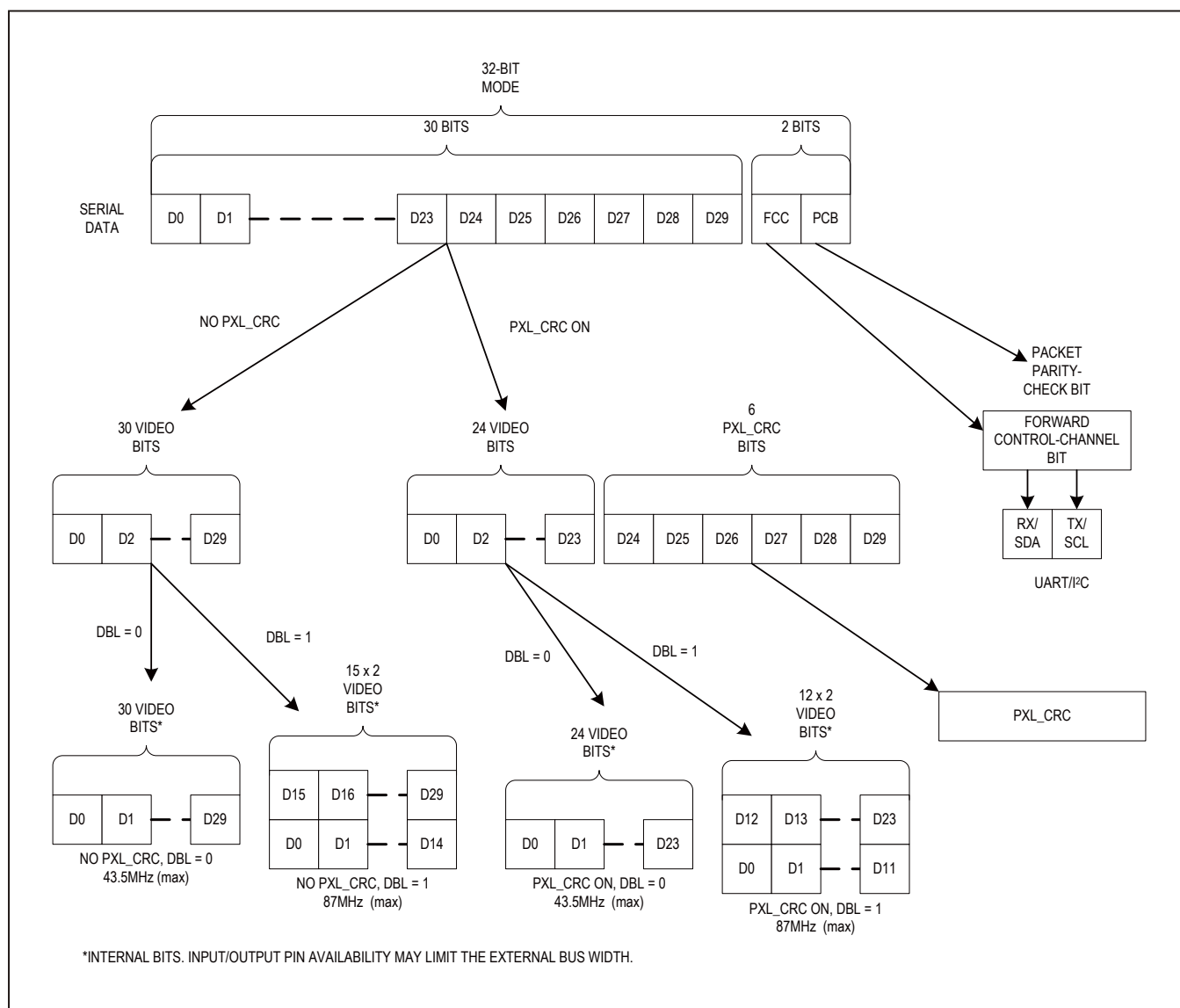


図15. 32ビットモードのシリアルデータ形式

制御チャンネルおよびレジスタの設定

制御チャンネルは、シリアルライザ、デシリアルライザ、および接続されているペリフェラルを制御するための情報をシリアルリンクで送信します。制御チャンネルはシリアルリンク上に多重化され、ビデオチャンネルありまたはなしで利用可能です。

順方向制御チャンネル

シリアルライザからデシリアルライザに送信される制御データは、順方向制御チャンネルで送信されます。データは、順方向高速リンクのシリアルビットの1つとして符号化されます。デシリアルライザ後、順方向制御チャンネルのデータはシリアルリンクから抽出されます。順方向制御チャンネルの帯域幅は最大外部制御データレートを上回り、順方向制御チャンネルで送信される全データは数ビット時間の転送遅延後にリモート側に現れます。

逆方向制御チャンネル

デシリアルライザからシリアルライザに送信される制御データは、逆方向制御チャンネルで送信されます。データは一連の1μsのパルスとして符号化され、最大生データレートは1Mbpsです。高耐性モードが利用可能で、生ビットレートを500kbpsに低減して逆方向制御チャンネルの堅牢性を高めます。表1で、REV_FASTビット = 1に設定するとこのレートが1Mbpsに戻ります。I²Cモードでは、(符号化後の)入力データレートが逆方向データレートを超えると、クロックストレッチングを介して入力クロックが保持され、内部ビットレートに合わせて外部クロックが低下します。

UARTインタフェース

UARTインタフェースは全GMSLデバイスと互換性があり、複数のUARTパケットを介してデバイスからデバイスにコマンドを送信します。ベースモードとバイパスモードの2つのモードが利用可能です。ベースモードは、UART-I²C変換を使用してシリアルライザ、デシリアルライザ、およびI²Cペリフェラルと通信するために使用されます。バイパスモードは、任意のUARTプロトコルを使用してペリフェラルとのフルデュプレックスUART通信を行うことが可能です。

I²Cインタフェース

シリアルリンクは制御チャンネルを介してシリアルライザとデシリアルライザのI²Cインタフェースを相互に接続します。I²Cマスターがコマンドをリンクの1つの側(ローカル側)に送信すると、制御チャンネルはリンクのもう1つの側(リモート側)との間でこの情報を転送し、1つのマイクロコントローラがシリアルライザ、デシリアルライザ、およびペリフェラルを設定することを可能にします。マイクロコントローラは、シリアルライザ側(ディスプレイアプリケーション)およびデシリアルライザ側(カメラアプリケーション)に配置することができます。デュアルマイクロコントローラ動作には、ソフトウェアによる調停を使用する限りにおいて対応します。シリアルリンクは、任意の時点で1つのマイクロコントローラのみがコマンドを送信することを前提としています。

リモート側の動作

I²Cマスターがローカルスレーブデバイス(マスターに直接接続されたシリアルライザ/デシリアルライザ)上で通信を開始するとき、リモート側デバイスはローカル側デバイスから転送されたデータを送信するマスターデバイスとして動作し、そのリモート側デバイスに接続されているペリフェラルから受信したあらゆるデータを転送します。このリモート側マスターデバイスは、I²Cマスターの設定レジスタのタイミング設定に従って動作します。マスターの設定は、外部マイクロコントローラによって使用されるタイミング設定と一致するように設定します。

クロックストレッチのタイミング

I²Cインタフェースは、クロックストレッチングを使用して、シリアルリンクでデータが転送される時間を猶予します。マスターマイクロコントローラは、接続されているペリフェラルとともに、GMSLデバイスのクロックストレッチングを受け入れる必要があります。

パケットベースのI²C

制御チャンネルのエラー処理を強化するために、パケットベースの制御チャンネルが利用可能です。この制御チャンネル方式は、GPI/GPOとI²Cの同時転送に対応するとともに、エラー検出および再送信を備えています。

表1. 逆方向制御チャンネルのモード

HIM PIN SETTING	REVFAST BIT	REVERSE CONTROL-CHANNEL MODE	MAXIMUM UART/I ² C BIT RATE (KBPS)
Low	X	Legacy reverse control-channel mode (compatible with all GMSL devices)	1000
High	0	High-immunity mode	500
	1	Fast high-immunity mode (requires HIBW = 0, serial-data rate > 1.25Gbps)	1000

X = 任意

パケットプロトコルの概要

パケットベースの制御チャネルは、同期、シンボルベースのシステムを使って制御チャネルでデータを送信します。制御チャネルで送信されるデータはシンボルに分割され、送信キューに保存されたあと、リンクに送信されます。GPIとI²Cの両方のデータを送信する必要がある場合(たとえば、I²C転送中のGPIの遷移など)、両方のコマンドのシンボルがキューの中で組み合わせられます。送信キューが空の場合、アイドルパケットがリンクに送信されて制御チャネルのロックを維持します。受信されたI²Cパケットは、マイクロコントローラのSCLレートによって決められる速度(ローカルデバイス)または設定されたマスタービットレート(リモートデバイス)で出力されます。デバイスはリモート側デバイスからのデータの受信が完了するまでSCLをローに保持します(クロックストレッチ)。

制御チャネルのエラー検出およびパケット再送信

パケットベースの制御チャネルを使用する場合、CRCを介して全パケットのエラーがチェックされます。CRCは1、5、または8ビットを使用して、パケット内の1、3、または4のランダムビットエラーを検出します。エラーが検出された場合、トランスミッタはパケットを再送信します。再試行の回数が設定されたスレッショルドを超えると、トランスミッタはフラグをセットします。レシーバはエラーのあるパケットを除去します。

GPO/GPI制御

シリアルライザのGPOは、デシリアルライザのGPIの遷移に追従します。GPO/GPI機能を使用すると、サラウンドビューカメラシステムのフレーム同期などの信号を送信することができます(「[フレーム同期の供給\(カメラアプリケーション\)](#)」の項を参照)。オプションで、レジスタビットによってGPOを直接設定することができます。

スペクトラム拡散

このシリアルライザは、クロック周波数のピークを周波数スペクトラム全体に拡散させることによって放射レベルを低減する、設定可能なスペクトラム拡散出力を搭載しています。さらに、シリアルライザおよびデシリアルライザは拡散入力クロックのトラッキングが可能のため、複数の拡散クロックは不要です。

ケーブルタイプ設定

ドライバ出力は、100Ωツイストペアと50Ω同軸の2種類のケーブル用に設定可能です(75Ωケーブルと互換性のあるデバイスについては、お問い合わせください)。同軸モードでは、OUT+をデシリアルライザのIN+に接続します。未使用のIN_端子は未接続のままにするか、電源ノイズ除去を高めるためのコンデンサと50Ωを介してグラウンドに接続します。50Ωの抵抗を介してOUT-をV_{DD}に接続します(図16)。

クロスバースイッチ

クロスバースイッチは、パラレル入出力とSerDes間でデータを経路設定します。任意-任意の経路設定によって、ビデオの発生源と送信先のマッピングが保証されます。各クロスバー出力(XBO_j)に対して、入力マルチプレクサがCROSSBAR_レジスタビットを使って利用可能なクロスバー入力(XBI_j)から選択します(図17)。複数のクロスバー出力が同じクロスバー入力を使うことができます。デフォルトでは、同期信号はビデオデータのMSBと同じ入力を共有します。

ビデオタイミング発生器

このシリアルライザは、入力同期信号の生成/タイミング変更を行う、設定可能なビデオタイミング発生器を内蔵しています。タイミング発生器を使うと、カメラの入力タイミングの変更、同期信号のグリッチの除去、または必要な入力同期信号の数の削減が可能です。各同期信号は、個別にタイミング変更または無変更のままにすることができます。複数のレジスタによって、図18に示すタイミングパラメータの長さ(PCLKサイクル数)が決まります。タイミングパラメータには、ハイ/ロー期間の長さ、ライン数、および入力VS信号からの遅延などがあります。

タイミング発生器は、トラッキング、シングルトリガ、およびオートランの3種類のトリガモードを使用します。トラッキングモードは入力VSYNCを監視し、3つの連続する同一のVSYNC信号を受信するとロックします。次に、トラッカーは同じ同一の信号を出力し続け、VSYNCに現れるグリッチを消去します。3つの連続する入力波形が、ロックされている信号と一致しない場合、トラッカーは新しい信号への再ロックを試みます。シングルトリガは、入力VSYNCの各エッジに対して1つ生成されるフレームを生成します。オートランは、VSYNCのハイ/ロー期間によって決まるレートで新しいフレームを生成します。シングルトリガまたはオートランモードのいずれかで、フレームが完了する前に新しいVSYNC信号が現れた場合、新しいフレームが即座に開始し、直前のフレームは短縮されます。

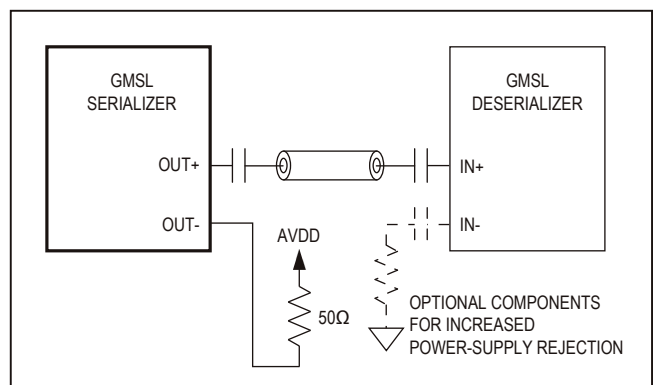


図16. 同軸接続

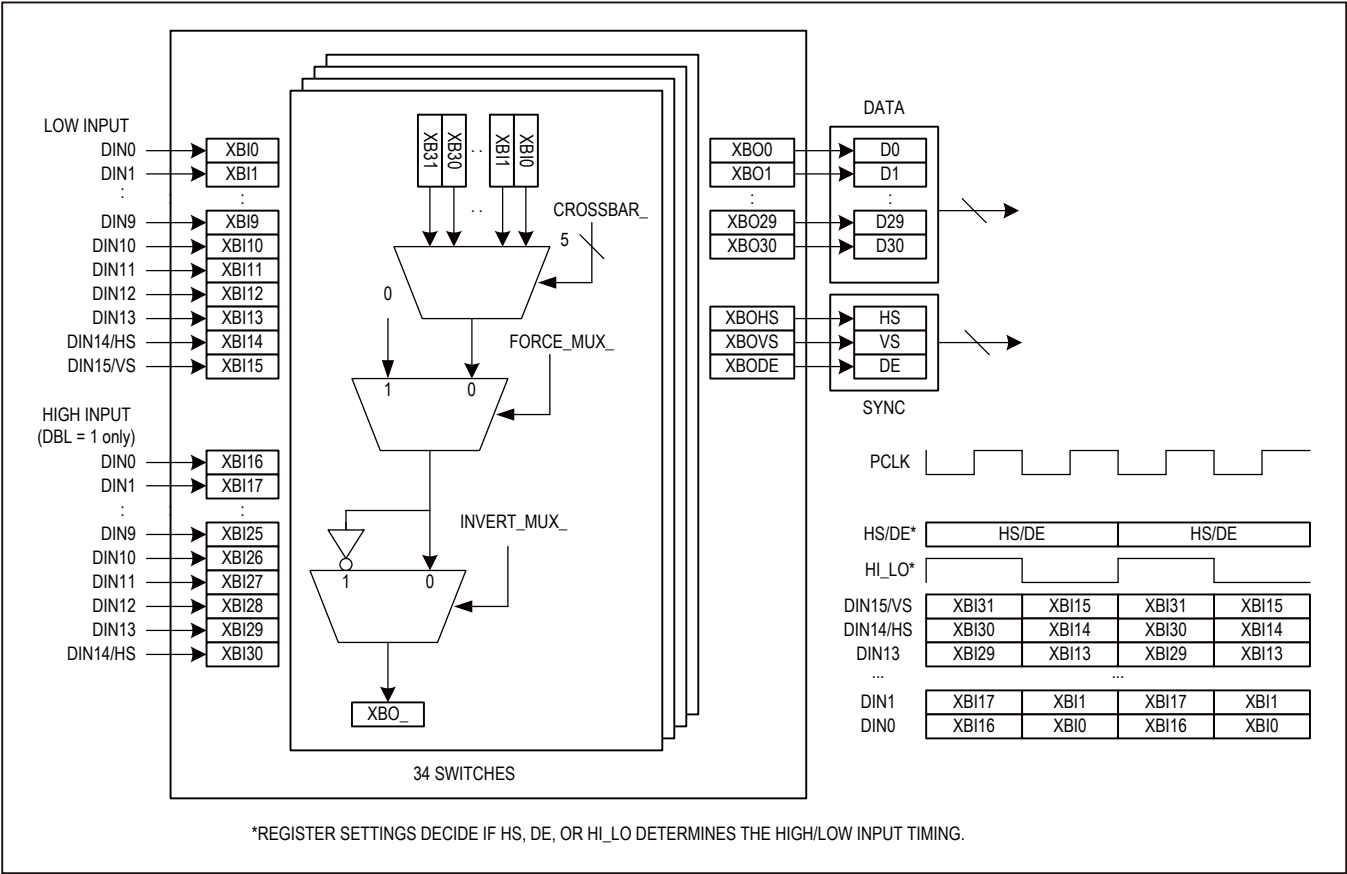


図17. クロスバースイッチのデータフロー

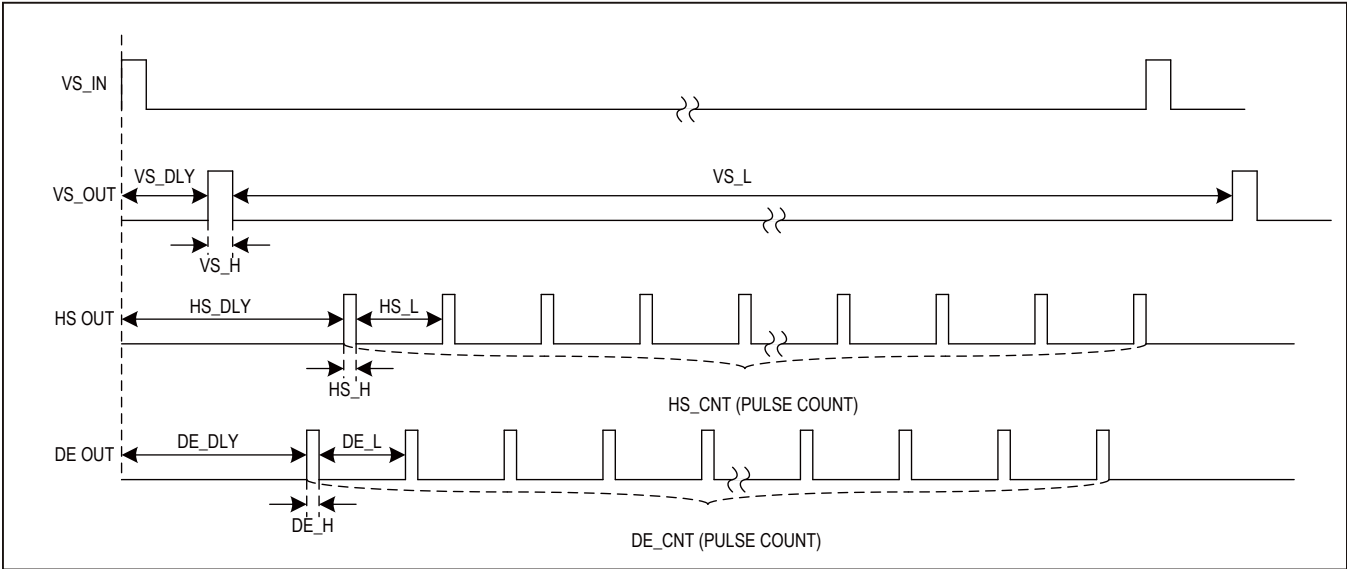


図18. ビデオタイミング生成用の同期信号フォーマット

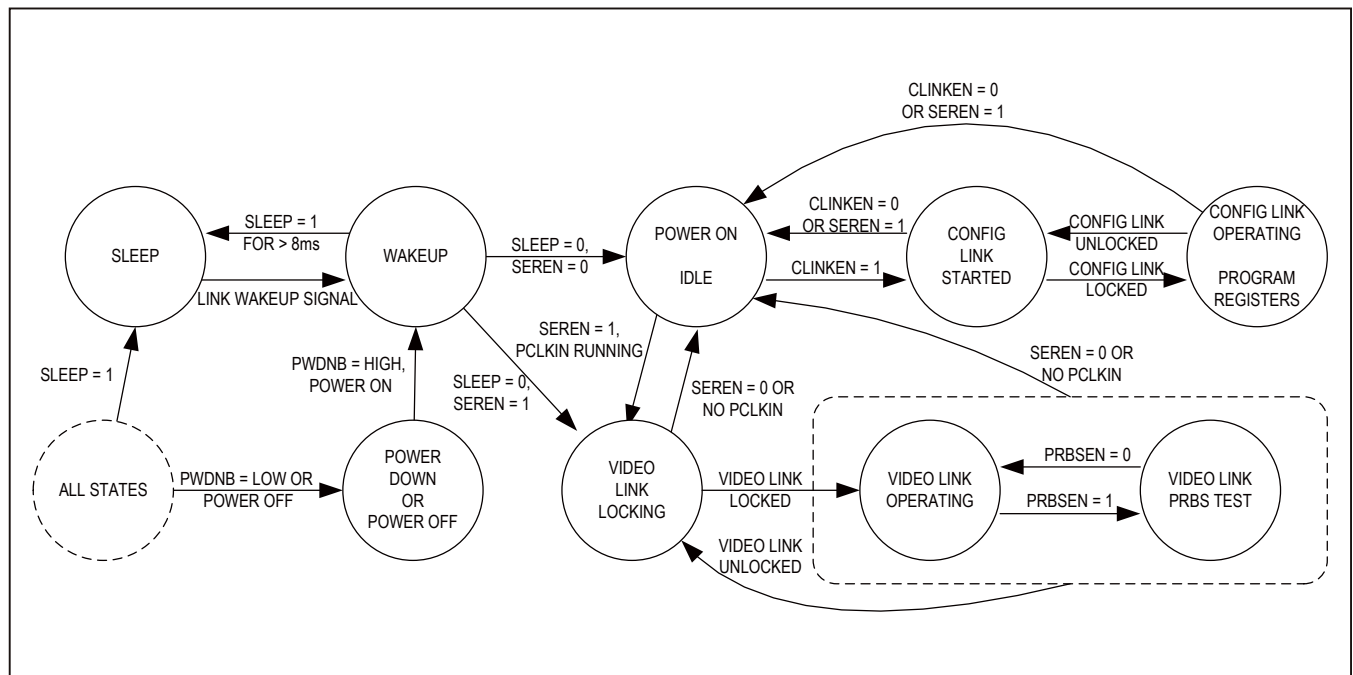


図19. 状態遷移図

シャットダウンモード/スリープモード

完全な動作が不要な場合、複数のスリープおよびシャットダウンモードが利用可能です。

設定リンク

高速ビデオリンクが不要または利用不可の場合、代わりに設定リンクを使用することができます。設定リンクモードでは、パラレルデジタル入出力がディセーブルされ、LOCK端子はローのままになり、シリアルリンクは内部で固有のクロックを生成して制御チャネルの完全な動作を可能にします(UART/I²CおよびGPIO)。

シリアルライズのディセーブル

シリアルリンクが不要な場合(下流のデバイスの電源がオフのときなど)、ユーザーはシリアルライズをディセーブルすることができます。このモードでは、すべての順方向通信が

シャットダウンされます。ユーザーはローカルで、または逆方向チャネルを介してシリアルライズを再イネールすることができます。

スリープモード

消費電力をさらに低減するために、デバイスをスリープモードに移行させることができます。このモードでは、全レジスタが設定された値を維持し、ローカル制御インタフェース上のウェイクアップディテクタおよびシリアルリンク以外のデバイスの全機能がパワーダウンされます。ウェイクアップディテクタによって何らかのアクティビティが検出されると、制御チャネルインタフェースが一時的にオンになります。この時間の間、マイクロコントローラはデバイスにスリープモードの終了を指示することができます。[「シャットダウンモード/スリープモード」](#)の項を参照してください。

パワーダウンモード

最も低消費電力のモードは、パワーダウンモードです。このモードでは、全機能がパワーダウンされ、全レジスタ値が失われます。

リンクのスタートアップ手順

表2に、画像・センシングアプリケーションのスタートアップ手順を示しています。ビデオリンクまたは設定リンクが確立された後に、制御チャネルが利用可能です。デシリアルライザがシリアルライザの後に起動した場合、制御チャネルはデシリアルライザの起動後から2ms後まで利用不可になります。

表2. リンクのスタートアップ手順

NO.	μC	SERIALIZER	DESERIALIZER
—	μC Connected to Deserializer	Set Configuration Inputs	Set Configuration Inputs
1	Powers up (wait t_{PU}).	Powers up and loads default settings. Establishes video link when valid PCLK is available.	Powers up and loads default settings. Locks to video link signal if available.
1a	If no PCLK, programs CLINKEN, SEREN, and/or AUTOCLINK bits. Wait 5ms after each command.	Establishes configuration link.	Locks to configuration link if available.
1b	If not locked, sets any additional configuration bits that are mismatched between the serializer and deserializer (e.g., BWS, CX/TP). Wait 5ms for lock after each command.	Configuration changed. Reestablishes configuration/video link if needed.	Configuration changed. Locks to configuration/video link.
2	Sets register 0x07 configuration bits in the serializer (DBL, BWS, HIBW, EDC, etc.). Wait 2ms.	Configuration changed. Reestablishes configuration/video link if needed.	Loss-of-lock may occur.
3	Sets register 0x07 configuration bits in the deserializer (DBL, BWS, HIBW, EDC, etc.). Wait 5ms for lock to reestablish.	—	Configuration changed. Locks to configuration/video link.
4	Writes rest of serializer/deserializer configuration bits.	Configuration changed.	Configuration changed.
5	Writes camera/peripheral configuration bits.	Forwards commands from μC to serializer.	Forwards commands to camera/peripherals.
5a	If in configuration link, when PCLK is available, set SEREN = 1. Wait 5ms for lock.	Enables video link.	Locks to video link.

レジスタマップ

GMSL Register Map

OFFSET	NAME	MSB							LSB
0x00	seraddr[7:0]	SERADDR[6:0]							CFG-BLOCK
0x01	desaddr[7:0]	DESADDR[6:0]							RSVD
0x02	ss[7:0]	SS[2:0]			RSVD	PRNG[1:0]		SRNG[1:0]	
0x03	sdiv[7:0]	AUTOFM[1:0]		SDIV[5:0]					
0x04	main_control[7:0]	SEREN	CLINKEN	PRBSEN	SLEEP	INTTYPE[1:0]		REVCCEN	FWDCEN
0x05	prbs_len[7:0]	I2C-METHOD	RSVD	PRBS_LEN[1:0]		RSVD	RSVD	RSVD	RSVD
0x06	cmlvl_preemp[7:0]	CMLLVL[3:0]				PREEMP[3:0]			
0x07	config[7:0]	DBL	HIBW	BWS	ES	RSVD	HVEN	RSVD	PXL_CRC
0x08	rsvd_8[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x09	i2c_source A[7:0]	I2C_SRC_A[6:0]							RSVD
0x0A	i2c_dest A[7:0]	I2C_DST_A[6:0]							RSVD
0x0B	i2c_source B[7:0]	I2C_SRC_B[6:0]							RSVD
0x0C	i2c_dest B[7:0]	I2C_DST_B[6:0]							RSVD
0x0D	i2c_config[7:0]	I2C_LOC_ACK	I2C_SLV_SH[1:0]		I2C_MST_BT[2:0]			I2C_SLV_TO[1:0]	
0x0E	gpio_en[7:0]	RSVD	RSVD	GPIO_EN_5	GPIO_EN_4	GPIO_EN_3	GPIO_EN_2	GPIO_EN_1	RSVD
0x0F	gpio_out[7:0]	EN_SET_GPO	RSVD	GPIO_OUT_5	GPIO_OUT_4	GPIO_OUT_3	GPIO_OUT_2	GPIO_OUT_1	SET_GPO
0x10	gpio_in[7:0]	RSVD	RSVD	GPIO_IN_5	GPIO_IN_4	GPIO_IN_3	GPIO_IN_2	GPIO_IN_1	GPO_L
0x11	errg[7:0]	ERRG_RATE[1:0]		ERRG_TYPE[1:0]		ERRG_CNT[1:0]		ERRG_PER	ERRG_EN
0x12	rsvd_12[7:0]	RSVD	RSVD	RSVD	RSVD[4:0]				
0x13	pd[7:0]	SOFT_PD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
0x14	pktcc_lock[7:0]	RSVD[1:0]		RSVD	RSVD	RSVD	RSVD	CC_WBLOCK	REM_CCLOCK
0x15	input_status[7:0]	CX_TP	RSVD	LCCEN	RSVD	RSVD	RSVD	OUT-PUTEN	PCLKDET
0x16	max_rt_err[7:0]	RSVD	MAX_RT_ERR	RSVD[5:0]					
0x17	rsvd_17[7:0]	RSVD[7:0]							
0x18	crc 0[7:0]	CRC_VALUE_0[7:0]							
0x19	crc 1[7:0]	CRC_VALUE_1[7:0]							
0x1A	crc 2[7:0]	CRC_VALUE_2[7:0]							
0x1B	crc 3[7:0]	CRC_VALUE_3[7:0]							
0x1C	cc_crc_errcnt[7:0]	CC_CRC_ERRCNT[7:0]							
0x1D	rsvd_1d[7:0]	RSVD[7:0]							

GMSL Register Map (continued)

OFFSET	NAME	MSB							LSB
0x1E	id[7:0]	ID[7:0]							
0x1F	revision[7:0]	RSVD	RSVD	RSVD	HDCPCAP	REVISION[3:0]			
0x20	crossbar 0[7:0]	RSVD	FORCE_MUX_0	INVERT_MUX_0	CROSSBAR_0[4:0]				
0x21	crossbar 1[7:0]	RSVD	FORCE_MUX_1	INVERT_MUX_1	CROSSBAR_1[4:0]				
0x22	crossbar 2[7:0]	RSVD	FORCE_MUX_2	INVERT_MUX_2	CROSSBAR_2[4:0]				
0x23	crossbar 3[7:0]	RSVD	FORCE_MUX_3	INVERT_MUX_3	CROSSBAR_3[4:0]				
0x24	crossbar 4[7:0]	RSVD	FORCE_MUX_4	INVERT_MUX_4	CROSSBAR_4[4:0]				
0x25	crossbar 5[7:0]	RSVD	FORCE_MUX_5	INVERT_MUX_5	CROSSBAR_5[4:0]				
0x26	crossbar 6[7:0]	RSVD	FORCE_MUX_6	INVERT_MUX_6	CROSSBAR_6[4:0]				
0x27	crossbar 7[7:0]	RSVD	FORCE_MUX_7	INVERT_MUX_7	CROSSBAR_7[4:0]				
0x28	crossbar 8[7:0]	RSVD	FORCE_MUX_8	INVERT_MUX_8	CROSSBAR_8[4:0]				
0x29	crossbar 9[7:0]	RSVD	FORCE_MUX_9	INVERT_MUX_9	CROSSBAR_9[4:0]				
0x2A	crossbar 10[7:0]	RSVD	FORCE_MUX_10	INVERT_MUX_10	CROSSBAR_10[4:0]				
0x2B	crossbar 11[7:0]	RSVD	FORCE_MUX_11	INVERT_MUX_11	CROSSBAR_11[4:0]				
0x2C	crossbar 12[7:0]	RSVD	FORCE_MUX_12	INVERT_MUX_12	CROSSBAR_12[4:0]				
0x2D	crossbar 13[7:0]	RSVD	FORCE_MUX_13	INVERT_MUX_13	CROSSBAR_13[4:0]				
0x2E	crossbar 14[7:0]	RSVD	FORCE_MUX_14	INVERT_MUX_14	CROSSBAR_14[4:0]				
0x2F	crossbar 15[7:0]	RSVD	FORCE_MUX_15	INVERT_MUX_15	CROSSBAR_15[4:0]				
0x30	crossbar 16[7:0]	RSVD	FORCE_MUX_16	INVERT_MUX_16	CROSSBAR_16[4:0]				
0x31	crossbar 17[7:0]	RSVD	FORCE_MUX_17	INVERT_MUX_17	CROSSBAR_17[4:0]				
0x32	crossbar 18[7:0]	RSVD	FORCE_MUX_18	INVERT_MUX_18	CROSSBAR_18[4:0]				
0x33	crossbar 19[7:0]	RSVD	FORCE_MUX_19	INVERT_MUX_19	CROSSBAR_19[4:0]				
0x34	crossbar 20[7:0]	RSVD	FORCE_MUX_20	INVERT_MUX_20	CROSSBAR_20[4:0]				

GMSL Register Map (continued)

OFFSET	NAME	MSB							LSB
0x35	crossbar 21[7:0]	RSVD	FORCE_MUX_21	INVERT_MUX_21	CROSSBAR_21[4:0]				
0x36	crossbar 22[7:0]	RSVD	FORCE_MUX_22	INVERT_MUX_22	CROSSBAR_22[4:0]				
0x37	crossbar 23[7:0]	RSVD	FORCE_MUX_23	INVERT_MUX_23	CROSSBAR_23[4:0]				
0x38	crossbar 24[7:0]	RSVD	FORCE_MUX_24	INVERT_MUX_24	CROSSBAR_24[4:0]				
0x39	crossbar 25[7:0]	RSVD	FORCE_MUX_25	INVERT_MUX_25	CROSSBAR_25[4:0]				
0x3A	crossbar 26[7:0]	RSVD	FORCE_MUX_26	INVERT_MUX_26	CROSSBAR_26[4:0]				
0x3B	crossbar 27[7:0]	RSVD	FORCE_MUX_27	INVERT_MUX_27	CROSSBAR_27[4:0]				
0x3C	crossbar 28[7:0]	RSVD	FORCE_MUX_28	INVERT_MUX_28	CROSSBAR_28[4:0]				
0x3D	crossbar 29[7:0]	RSVD	FORCE_MUX_29	INVERT_MUX_29	CROSSBAR_29[4:0]				
0x3E	crossbar 30[7:0]	RSVD	FORCE_MUX_30	INVERT_MUX_30	CROSSBAR_30[4:0]				
0x3F	crossbar_hs[7:0]	RSVD	FORCE_MUX_HS	INVERT_MUX_HS	CROSSBARHS[4:0]				
0x40	crossbar_vs[7:0]	RSVD	FORCE_MUX_VS	INVERT_MUX_VS	CROSSBARVS[4:0]				
0x41	crossbar_de[7:0]	RSVD	FORCE_MUX_DE	INVERT_MUX_DE	CROSSBARDE[4:0]				
0x42	link_config[7:0]	LINE_CRC_LOC[1:0]		LINE_CRC_EN	MAX_RT_EN	RSVD	GPI_COMP_EN	GPI_RT_EN	GPO_EN
0x43	sync_gen_config[7:0]	RSVD	RSVD	GEN_VS	GEN_HS	GEN_DE	VS_TRIG	VTG_MODE[1:0]	
0x44	vs_dly 2[7:0]	VS_DLY[7:0]							
0x45	vs_dly 1[7:0]	VS_DLY[7:0]							
0x46	vs_dly 0[7:0]	VS_DLY[7:0]							
0x47	vs_h 2[7:0]	VS_H[7:0]							
0x48	vs_h 1[7:0]	VS_H[7:0]							
0x49	vs_h 0[7:0]	VS_H[7:0]							
0x4A	vs_l 2[7:0]	VS_L[7:0]							
0x4B	vs_l 1[7:0]	VS_L[7:0]							
0x4C	vs_l 0[7:0]	VS_L[7:0]							
0x4D	cctp[7:0]	RSVD	CXTP	RSVD	RSVD	VSYNC_INV	HSYNC_INV	DE_INV	RSVD
0x4E	hs_dly 2[7:0]	HS_DLY[7:0]							

GMSL Register Map (continued)

OFFSET	NAME	MSB							LSB
0x4F	hs_dly 1[7:0]	HS_DLY[7:0]							
0x50	hs_dly 0[7:0]	HS_DLY[7:0]							
0x51	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x52	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x53	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x54	hs_h 1[7:0]	HS_H[7:0]							
0x55	hs_h 0[7:0]	HS_H[7:0]							
0x56	hs_l 1[7:0]	HS_L[7:0]							
0x57	hs_l 0[7:0]	HS_L[7:0]							
0x58	hs_cnt 1[7:0]	HS_CNT[7:0]							
0x59	hs_cnt 0[7:0]	HS_CNT[7:0]							
0x5A	de_dly 2[7:0]	DE_DLY[7:0]							
0x5B	de_dly 1[7:0]	DE_DLY[7:0]							
0x5C	de_dly 0[7:0]	DE_DLY[7:0]							
0x5D	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x5E	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x5F	rsvd[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0x60	de_h 1[7:0]	DE_H[7:0]							
0x61	de_h 0[7:0]	DE_H[7:0]							
0x62	de_l 1[7:0]	DE_L[7:0]							
0x63	de_l 0[7:0]	DE_L[7:0]							
0x64	de_cnt 1[7:0]	DE_CNT_1[7:0]							
0x65	de_cnt 0[7:0]	DE_CNT_0[7:0]							
0x66	prbs_type[7:0]	RSVD[1:0]		PRBS_TYPE	REV_FAST	DE_EN	DIS_WAKE	RSVD	CXSEL
0x67	dbl_align_to[7:0]	RSVD[1:0]		AUTO_CLINK	RSVD	RSVD	DBL_ALIGN_TO[2:0]		
0x68	cc_crc_length[7:0]	RSVD	RSVD[2:0]			RSVD[1:0]		CC_CRC_LENGTH[1:0]	
0x69	hi_lo[7:0]	RSVD	EN_HI_LO	INVERT_HI_LO	CROSSBAR_HI_LO[4:0]				
0x96	rsvd_96[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
0x97	rsvd_97[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[2:0]		
0x98	rsvd_98[7:0]	RSVD[1:0]		RSVD[2:0]			RSVD[2:0]		
0x99	rsvd_99[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
0x9A	pktcc_en[7:0]	RSVD[1:0]		RSVD[1:0]		PKTCC_EN	RSVD[1:0]		RSVD

GMSL Register Map (continued)

OFFSET	NAME	MSB							LSB
0xC8	rsvd_c8[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0xC9	rsvd_c9[7:0]	RSVD[7:0]							
0xFC	rsvd_fc[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
0xFD	rsvd_fd[7:0]	RSVD[7:0]							
0xFE	rsvd_fe[7:0]	RSVD[3:0]				RSVD[3:0]			
0xFF	rsvd_ff[7:0]	RSVD	RSVD	RSVD	RSVD	RSVD[3:0]			

seraddr (0x00)

BIT	7	6	5	4	3	2	1	0
Field	SERADDR[6:0]							CFGBLOCK
Reset	1000000							0b
Access Type	Write, Read							Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
SERADDR	7:1	Serializer Address: Serializer device address	0000000: Write/read device address is 0x00/0x01 0000001: Write/read device address is 0x02/0x03 1111111: Write/read device address is 0xFE/0xFF
CFG-BLOCK	0	Configuration Block: Set to 1 to make all registers read-only. Set PWDNB low, or a power-on reset to clear this bit.	0: Make all registers read/write 1: Make all registers read-only

desaddr (0x01)

BIT	7	6	5	4	3	2	1	0
Field	DESADDR[6:0]							RSVD
Reset	1001000b							0b
Access Type	Write, Read							Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
DESADDR	7:1	Deserializer Address: Deserializer device address	0000000: Write/read device address is 0x00/0x01 0000001: Write/read device address is 0x02/0x03 1111111: Write/read device address is 0xFE/0xFF
RSVD	0	Reserved: Do not change from default value	0: Reserved

ss (0x02)

BIT	7	6	5	4	3	2	1	0
Field	SS[2:0]			RSVD	PRNG[1:0]		SRNG[1:0]	
Reset	000b			1b	11b		11b	
Access Type	Write, Read			Write, Read	Write, Read		Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
SS	7:5	Spread Spectrum: Spread-spectrum setting	000: Spread is off 001: 0.5% Spread setting 010: 1.5% Spread setting 011: 2% Spread setting 100: Spread is off 101: 1% Spread setting 110: 3% Spread setting 111: 4% Spread setting
RSVD	4	Reserved: Do not change from default value	1: Reserved
PRNG	3:2	Pixel Clock Range: Pixel clock-range selection Stated ranges depend on DBL = setting	00: Select 12.5MHz to 25MHz (DBL = 0) or 25MHz to 50MHz (DBL = 1) pixel clock range 01: Select 25MHz to 58MHz (DBL = 0) or 50MHz to 116MHz (DBL = 1) pixel clock range 10: Automatically detect pixel clock range 11: Automatically detect pixel clock range.
SRNG	1:0	Serial-Data Rate Range	00: 0.5Gbps to 1Gbps serial-data range 01: 1Gbps to 1.74Gbps serial-data range 10: Automatically detect serial-data range 11: Automatically detect serial-data range

sdiv (0x03)

BIT	7	6	5	4	3	2	1	0
Field	AUTOFM[1:0]			SDIV[5:0]				
Reset	00b			000000b				
Access Type	Write, Read			Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
AUTOFM	7:6	Automatic Frequency Modulation: Modulation-rate calibration interval	00: Calibration occurs once 01: Calibration occurs every 2ms 10: Calibration occurs every 16ms 11: Calibration occurs every 256ms
SDIV	5:0	Sawtooth Divider: Sawtooth divider value 0x00 sets the sawtooth divider to autocalibrate mode	000000: Sawtooth divider automatically calibrates the divider value 000001: Sawtooth divider set to 1 111111: Sawtooth divider set to 63

main_control (0x04)

BIT	7	6	5	4	3	2	1	0
Field	SEREN	CLINKEN	PRBSEN	SLEEP	INTTYPE[1:0]		REVCCEN	FWDCCEN
Reset	1b	0b	0b	0b	1b		1b	1b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
SEREN	7	Serialization Enable: Requires a valid PCLK for serialization	0: Disable serialization 1: Enable serialization
CLINKEN	6	Configuration Link Enable: Configuration link enabled only when the video link is not enabled (SEREN = 1)	0: Disable configuration link 1: Enable configuration link
PRBSEN	5	PRBS Test Enable: See the PRBS test section for more details	0: Disable PRBS test 1: Enable PRBS test
SLEEP	4	Sleep Mode Enable: Activates sleep mode (see the Shutdown/Sleep Modes section for more information)	0: Disable sleep mode 1: Enable sleep mode
INTTYPE	3:2	UART/I²C Interface Type: Local control-channel interface when in UART/UART or UART/I ² C mode (I2CSEL = 0)	00: Device performs UART-to-I ² C conversion when functioning as the remote device 01: Device outputs UART packets when functioning as the remote device 10: Tx/Rx input/outputs disabled when functioning as the remote device 11: Tx/Rx input/outputs disabled when functioning as the remote device
REVCCEN	1	Reverse Control-Channel Enable: Enable reverse control-channel receiver (data from deserializer)	0: Disable reverse control-channel receiver 1: Enable reverse control-channel receiver
FWDCCEN	0	Forward Control Channel Enable: Enable forward control channel receiver (data to deserializer)	0: Disable forward control channel transmitter 1: Enable forward control channel transmitter

prbs_len (0x05)

BIT	7	6	5	4	3	2	1	0
Field	I2C-METHOD	RSVD	PRBS_LEN[1:0]		RSVD	RSVD	RSVD	RSVD
Reset	0b	0b	00b		0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
I2CMETHOD	7	UART-to-I²C Method: When set, skip the sending of the register address when converting UART to I ² C (I2CSEL = 0).	0: Do not skip the sending of the register address 1: Skip the sending of the register address
RSVD	6	Reserved: Do not change from default value.	0: Reserved
PRBS_LEN	5:4	PRBS Length: PRBS test pattern length	00: Continuous bit pattern (infinite length) 01: 9.8Mbit length 10: 167.1Mbit length 11: 1341.5Mbit length
RSVD	3	Reserved: Do not change from default value	0: Reserved
RSVD	2	Reserved: Do not change from default value.	0: Reserved
RSVD	1	Reserved: Do not change from default value.	0: Reserved
RSVD	0	Reserved: Do not change from default value.	0: Reserved

cmlvl_preemp (0x06)

BIT	7	6	5	4	3	2	1	0
Field	CMLLV[3:0]				PREEMP[3:0]			
Reset	10X0b				0000b			
Access Type	Write, Read				Write, Read			

BITFIELD	BITS	DESCRIPTION	DECODE
CMLLV	7:4	CML Level: Output CML signal level = (register value) x 50mV Default level depends on cable type (CXTTP)	0000: Do not use 0001: Do not use 0010: 100mV output 0011: 150mV output 0100: 200mV output 0101: 250mV output 0110: 300mV output 0111: 350mV output 1000: 400mV output (STP default) 1001: 450mV output 1010: 500mV output (coax default) 1011: Do not use 1100: Do not use 1101: Do not use 111X: Do not use
PREEMP	3:0	Preemphasis Level: Preemphasis setting Negative preemphasis levels denote deemphasis	0000: Preemphasis off 0001: 1.2dB deemphasis 0010: 2.5dB deemphasis 0011: 4.1dB deemphasis 0100: 6.0dB deemphasis 0101: Do not use 011X: Do not use 1000: 1.1dB preemphasis 1001: 2.2dB preemphasis 1010: 3.3dB preemphasis 1011: 4.4dB preemphasis 1100: 6.0dB preemphasis 1101: 8.0dB preemphasis 1110: 10.5dB preemphasis 1111: 14.0dB preemphasis

config (0x07)

BIT	7	6	5	4	3	2	1	0
Field	DBL	HIBW	BWS	ES	RSVD	HVEN	RSVD	PXL_CRC
Reset	0b	0b	Xb	Xb	0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
DBL	7	Double-Input Mode Enable: Set high to enable double-input mode. Default setting is determined by LCCEN and TX/SCL/DBL pin setting at power-up.	0: Single-input mode 1: Double-input mode
HIBW	6	High-Bandwidth Mode Enable: High-bandwidth mode select (effective only when BWS = 0)	0: Use 24-bit mode when BWS = 0 1: Use high-bandwidth mode when BWS = 0
BWS	5	Bus-Width Select: Default value is determined by LCCEN and GPIO1/BWS pin setting at power-up.	0: 24-bit and high-bandwidth mode 1: 32-bit mode
ES	4	Edge Select: Default value is determined by CONF[1:0] pins at power-up	0: Parallel data clocked in on rising edge 1: Parallel data clocked in on falling edge
RSVD	3	Reserved: Do not change from default value.	0: Reserved
HVEN	2	HSYNC/VSNC Encoding Enable: Default value is determined by LCCEN and MS/HVEN pin setting at powerup	0: Disable HS/VS encoding 1: Enable HS/VS encoding
RSVD	1	Reserved: Do not change from default value.	0: Reserved
PXL_CRC	0	Pixel CRC Type: pixel error-detection type Effective only when HIBW = 0	0: Serial data uses 1-bit parity 1: Serial data uses 6-bit CRC

rsvd_8 (0x08)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b	0b	0b	0b	0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value.	0: Reserved
RSVD	6	Reserved: Do not change from default value.	0: Reserved
RSVD	5	Reserved: Do not change from default value.	0: Reserved
RSVD	4	Reserved: Do not change from default value.	0: Reserved
RSVD	3	Reserved: Do not change from default value.	0: Reserved
RSVD	2	Reserved: Do not change from default value.	0: Reserved
RSVD	1	Reserved: Do not change from default value.	0: Reserved
RSVD	0	Reserved: Do not change from default value.	0: Reserved

i2c_source (0x09, 0x0B)

BIT	7	6	5	4	3	2	1	0
Field	I2C_SRC[6:0]							RSVD
Reset	0000000b							0b
Access Type	Write, Read							Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
I2C_SRC	7:1	I2C Source: I2C address translator source	0000000: Write/read device address is 0x00/0x01 0000001: Write/read device address is 0x02/0x03 1111111: Write/read device address is 0xFE/0xFF
RSVD	0	Reserved: Do not change from default value.	0: Reserved

i2c_dest (0x0A, 0x0C)

BIT	7	6	5	4	3	2	1	0
Field	I2C_DST[6:0]							RSVD
Reset	0000000b							0b
Access Type	Write, Read							Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
I2C_DST	7:1	I2C Destination: I2C address translator destination	0000000: Write/read device address is 0x00/0x01 0000001: Write/read device address is 0x02/0x03 1111111: Write/read device address is 0xFE/0xFF
RSVD	0	Reserved: Do not change from default value.	0: Reserved

i2c_config (0x0D)

BIT	7	6	5	4	3	2	1	0
Field	I2C_LOC_ACK	I2C_SLV_SH[1:0]		I2C_MST_BT[2:0]			I2C_SLV_TO[1:0]	
Reset	1b	01b		101b			10b	
Access Type	Write, Read	Write, Read		Write, Read			Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
I2C_LOC_ACK	7	I2C Local Acknowledge: I2C-to-I2C slave generates local acknowledge when forward channel is not available	0: Do not send local autoacknowledge when control channel is absent 1: Send local autoacknowledge when control channel is absent
I2C_SLV_SH	6:5	I2C Slave Setup/Hold Time: I2C-to-I2C slave setup and hold-time setting (setup, hold) (typ)	00: (352ns, 117ns) setup/hold time 01: (469ns, 234ns) setup/hold time 10: (938ns, 352ns) setup/hold time 11: (1406ns, 469ns) setup/hold time
I2C_MST_BT	4:2	I2C Master Bit Rate: I2C-to-I2C master bit-rate setting (min, typ, max)	000: (6.61, 8.47, 9.92) kbps 001: (22.1, 28.3, 33.2) kbps 010: (66.1, 84.7, 99.2) kbps 011: (82, 105, 123) kbps 100: (136, 173, 203) kbps 101: (265, 339, 397) kbps 110: (417, 533, 625) kbps 111: (654, 837, 980) kbps
I2C_SLV_TO	1:0	I2C Slave Timeout: I2C-to-I2C slave remote-side timeout setting (typ).	00: 64μs slave timeout 01: 256μs slave timeout 10: 1024μs slave timeout 11: Slave timeout disabled

gpio_en (0x0E)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	GPIO_EN_5	GPIO_EN_4	GPIO_EN_3	GPIO_EN_2	GPIO_EN_1	RSVD
Reset	0b	0b	0b	0b	0b	0b	1b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value.	0: Reserved
RSVD	6	Reserved: Do not change from default value.	0: Reserved
GPIO_EN_5	5	GPIO Enable: Disabled by default	0: Pin functions as a parallel input 1: Pin functions as a GPIO
GPIO_EN_4	4	GPIO Enable: Disabled by default.	0: Pin functions as a parallel input 1: Pin functions as a GPIO
GPIO_EN_3	3	GPIO Enable: Disabled by default.	0: Pin functions as a parallel input 1: Pin functions as a GPIO
GPIO_EN_2	2	GPIO Enable: Disabled by default	0: Pin functions as a parallel input 1: Pin functions as a GPIO
GPIO_EN_1	1	GPIO Enable: Disabled by default	0: Pin functions as parallel input 1: Pin functions as GPIO
RSVD	0	Reserved: Do not change from default value	0: Reserved

gpio_out (0x0F)

BIT	7	6	5	4	3	2	1	0
Field	EN_SET_GPO	RSVD	GPIO_OUT_5	GPIO_OUT_4	GPIO_OUT_3	GPIO_OUT_2	GPIO_OUT_1	SET_GPO
Reset	1b	0b	1b	1b	1b	1b	1b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
EN_SET_GPO	7	Enable Set GPO: Set to 1 to enable setting of GPO from SET_GPO	0: Disable setting of GPO through SET_GPO 1: Enable setting of GPO through SET_GPO
RSVD	6	Reserved: Do not change from default value	0: Reserved
GPIO_OUT_5	5	GPIO Output Level: Pull down GPIO when 0	0: Set GPIO output level low 1: Set GPIO output level high
GPIO_OUT_4	4	GPIO Output Level: Pull down GPIO when 0	0: Set GPIO output level lo 1: Set GPIO output level high
GPIO_OUT_3	3	GPIO Output Level: Pull down GPIO when 0	0: Set GPIO output leve 1: Set GPIO output level high
GPIO_OUT_2	2	GPIO Output Level: Pull down GPIO when 0	0: Set GPIO output level low 1: Set GPIO output level high
GPIO_OUT_1	1	GPIO Output Level: Pull down GPIO when 0	0: Set GPIO output level low 1: Set GPIO output level high
SET_GPO	0	Set GPO Level: Set GPO output high or low (when EN_SET_GPO = 1)	0: Set GPO output low 1: Set GPO output high

gpio_in (0x10)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	GPIO_IN_5	GPIO_IN_4	GPIO_IN_3	GPIO_IN_2	GPIO_IN_1	GPO_L
Reset	0b	0b	Xb	Xb	Xb	Xb	Xb	Xb
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved	0: Reserved
RSVD	6	Reserved	0: Reserved
GPIO_IN_5	5	GPIO Input Level: Input pin level of GPIO	0: GPIO input is low 1: GPIO input is high
GPIO_IN_4	4	GPIO Input Level: Input pin level of GPIO	0: GPIO input is low 1: GPIO input is high
GPIO_IN_3	3	GPIO Input Level: Input pin level of GPIO	0: GPIO input is low 1: GPIO input is high
GPIO_IN_2	2	GPIO Input Level: Input pin level of GPIO	0: GPIO input is low 1: GPIO input is high
GPIO_IN_1	1	GPIO Input Level: Input pin level of GPIO	0: GPIO input is low 1: GPIO input is high
GPO_L	0	GPO Output Level	0: GPI output level is low 1: GPO output level is high

errg (0x11)

BIT	7	6	5	4	3	2	1	0
Field	ERRG_RATE[1:0]		ERRG_TYPE[1:0]		ERRG_CNT[1:0]		ERRG_PER	ERRG_EN
Reset	0b		0b		0b		0b	0b
Access Type	Write, Read		Write, Read		Write, Read		Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
ERRG_RATE	7:6	Error-Generation Rate: Error-generation rate, on average	00: Generate errors every 2560 bits 01: Generate errors every 40,960 bits 10: Generate errors every 655,360 bits 11: Generate errors every 10,485,760 bits
ERRG_TYPE	5:4	Error-Generation Type: Type of generated errors	00: Single-bit errors 01: 2 8b/10b symbols 10: 3 8b/10b symbols 11: 4 8b/10b symbols
ERRG_CNT	3:2	Error-Generation Count: Number of generated errors	00: Generate errors continuously 01: Generate 16 errors 10: Generate 128 errors 11: Generate 1024 errors
ERRG_PER	1	Periodic Error Generation Enable	0: Generator creates errors randomly (based on error rate) 1: Generator creates errors periodically (based on error rate)
ERRG_EN	0	Error Generator Enable	0: Disable error generator 1: Enable error generator

rsvd_12 (0x12)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD[4:0]				
Reset	0b	1b	0b	00000b				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	1: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4:0	Reserved: Do not change from default value	00000: Reserved

pd (0x13)

BIT	7	6	5	4	3	2	1	0
Field	SOFT_PD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
Reset	0b	0b	0b	0b	0b	0b	10b	
Access Type	Write 1 to Set, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
SOFT_PD	7	Soft Power Down: Set this bit to 1 to reset the device; this bit is cleared after the device resets	0: Normal operation 1: Reset the device (bit clears itself)
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	0: Reserved
RSVD	2	Reserved: Do not change from default value	0: Reserved
RSVD	1:0	Reserved: Do not change from default value	10: Reserved

pktcc_lock (0x14)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD	RSVD	RSVD	RSVD	CC_WBLOCK	REM_CCLOCK
Reset	XXb		Xb	Xb	Xb	Xb	Xb	Xb
Access Type	Read Only		Read Only	Read Only	Read Clears All	Read Only	Read Only	Read Only

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:6	Reserved: Do not change from default value	XX: Reserved
RSVD	5	Reserved: Do not change from default value	X: Reserved
RSVD	4	Reserved: Do not change from default value	X: Reserved
RSVD	3	Reserved: Do not change from default value	X: Reserved
RSVD	2	Reserved: Do not change from default value	X: Reserved
CC_WBLOCK	1	Control-Channel Word Boundary Locked	0: Control-channel word boundary is not locked 1: Control-channel word boundary is locked
REM_CCLOCK	0	Remote-Side Control Channel Locked	0: Remote side control channel is not locked 1: Remote side control channel is locked

input_status (0x15)

BIT	7	6	5	4	3	2	1	0
Field	CX_TP	RSVD	LCCEN	RSVD	RSVD	RSVD	OUTPUTEN	PCLKDET
Reset	Xb	Xb	Xb	0b	0b	0b	Xb	Xb
Access Type	Read Only	Read Only	Write, Read	Read Only	Read Only	Read Only	Read Only	Read Only

BITFIELD	BITS	DESCRIPTION	DECODE
CX_TP	7	Coax/Twisted Pair level: CX_TP pin level	0: CX/TP input is low 1: CX/TP input is high
RSVD	6	Reserved: Do not change from default value	X: Reserved
LCCEN	5	Detected LCCEN pin level	0: Pin is input low 1: Pin is input high
RSVD	4	Reserved	0: Reserved
RSVD	3	Reserved	0: Reserved
RSVD	2	Reserved	0: Reserved
OUT-PUTEN	1	Output Enabled	0: Output disabled 1: Output enabled
PCLKDET	0	PCLK Detected: Valid PCLK detected	0: No valid PCLK detected 1: Valid PCLK detected

max_rt_err (0x16)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	MAX_RT_ERR	RSVD[5:0]					
Reset	0b	Xb	XXXXXXb					
Access Type	Read Only	Read Clears All	Read Only					

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved	0: Reserved
MAX_RT_ERR	6	Maximum Retransmission Error: maximum retransmission error bit Goes high if packet control channel hits maximum retransmission limit. Cleared when read.	0: Device has not reached maximum retransmission limit. 1: Device has reached maximum retransmission limit.
RSVD	5:0	Reserved: Do not change from default value.	XXXXXX: Reserved

rsvd_17 (0x17)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:0	Reserved: Do not change from default value	XXXXXXXX: Reserved

crc (0x18 to 0x1B)

BIT	7	6	5	4	3	2	1	0
Field	CRC_VALUE[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
CRC_VALUE	7:0	CRC Value: CRC output for latest line CRC_VALUE_3 to CRC_VALUE_0 represents CRC[31:0]	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

cc_crc_errcnt (0x1C)

BIT	7	6	5	4	3	2	1	0
Field	CC_CRC_ERRCNT[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
CC_CRC_ERRCNT	7:0	Control-Channel CRC Error Count: Packet-based control-channel CRC error counter	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

rsvd_1d (0x1D)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:0	Reserved: Do not change from default value	XXXXXXXX: Reserved

id (0x1E)

BIT	7	6	5	4	3	2	1	0
Field	ID[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
ID	7:0	Device ID: 8-bit value depends on the GMSL device attached	01000001 Device is a MAX96705

revision (0x1F)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	HDCPCAP	REVISION[3:0]			
Reset	0b	0b	0b	Xb	XXXXb			
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only			

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved	0: Reserved
RSVD	6	Reserved	0: Reserved
RSVD	5	Reserved	0: Reserved
HDCPCAP	4	HDCP Capability: 1 = HDCP capable	0: Device does not have HDCP 1: Device is HDCP capable
REVISION	3:0	Device Revision	0000: Value is 0 0001: Value is 1 1111: Value is 15

crossbar (0x20 to 0x3E)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	FORCE_ MUX	INVERT_ MUX	CROSSBAR[4:0]				
Reset	0b	0b	0b	XXXXXb				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
FORCE_ MUX	6	Force Mux Output	0: Input mapped to mux output 1: Force mux output low
INVERT_ MUX	5	Invert Mux Output	0: Do not invert mux output 1: Invert mux output
CROSS- BAR	4:0	Crossbar Setting Select 1 of 32 input signals. Default values connect Mux N with input N for flow-through routing (i.e., DIN_ mapped to DOUT_).	00000: Mux outputs data from input 0 00001: Mux outputs data from input 1 11111: Mux outputs data from input 31

crossbar_hs (0x3F)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	FORCE_ MUX_HS	INVERT_ MUX_HS	CROSSBARHS[4:0]				
Reset	0b	0b	0b	01110b				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
FORCE_ MUX_HS	6	Force Mux Output	0: Input mapped to mux output 1: Force mux output low
INVERT_ MUX_HS	5	Invert Mux Output	0: Do not invert mux output 1: Invert mux output
CROSS- BARHS	4:0	Crossbar Setting HS: Select 1 of 16 input pins for HS. Default values connect HS with the corresponding named input pin.	00000: Mux sync signal from DIN0 00001: Mux sync signal from DIN1 01111: Mux sync signal from DIN15 1XXXX: Do Not Use

crossbar (0x40)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	FORCE_MUX_VS	INVERT_MUX_VS	CROSSBARVS[4:0]				
Reset	0b	0b	0b	01111b				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
FORCE_MUX_VS	6	Force Mux Output	0: Input mapped to mux output 1: Force mux output low
INVERT_MUX_VS	5	Invert Mux Output	0: Do not invert mux output 1: Invert mux output
CROSS-BARVS	4:0	Crossbar Setting VS: Select 1 of 16 input pins for VS. Default values connect VS with the corresponding named input pin.	00000: Mux sync signal from DIN0 00001: Mux sync signal from DIN1 01111: Mux sync signal from DIN15 1XXXX: Do Not Use

crossbar_de (0x41)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	FORCE_MUX_DE	INVERT_MUX_DE	CROSSBARDE[4:0]				
Reset	0b	0b	0b	01101b				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
FORCE_MUX_DE	6	Force Mux Output	0: Input mapped to mux output. 1: Force mux output low.
INVERT_MUX_DE	5	Invert Mux Output	0: Do not invert mux output. 1: Invert mux output.
CROSS-BARDE	4:0	Crossbar Setting DE: Select 1 of 16 input pins for DE. Default values connect DE with DIN13.	00000: Mux sync signal from DIN0 00001: Mux sync signal from DIN1 01111: Mux sync signal from DIN15 1XXXX: Do Not Use

link_config (0x42)

BIT	7	6	5	4	3	2	1	0
Field	LINE_CRC_LOC[1:0]		LINE_CRC_EN	MAX_RT_EN	RSVD	GPI_COMP_EN	GPI_RT_EN	GPO_EN
Reset	01b		0b	1b	1b	0b	1b	1b
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
LINE_CRC_LOC	7:6	Line CRC Location: Video line CRC insertion location	00: CRC insertion at [1...4] 01: CRC insertion at [5...8] 10: CRC insertion at [9...12] 11: CRC insertion at [13...16]
LINE_CRC_EN	5	Line CRC Enable: Video line CRC enable	0: Disable CRC 1: Enable CRC
MAX_RT_EN	4	Maximum Retransmission Limit Enable	0: Disable maximum retransmission limit 1: Enable maximum retransmission limit
RSVD	3	Reserved: Do not change from default value	1: Reserved
GPI_COMP_EN	2	GPI Compensation Enable	0: Disable GPI compensation 1: Enable GPI compensation
GPI_RT_EN	1	GPI Retransmission Enable	0: Disable GPI retransmission 1: Enable GPI retransmission
GPO_EN	0	GPO Enable: Enable GPO pin	0: Disable GPO pin 1: Enable GPO pin

sync_gen_config (0x43)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	GEN_VS	GEN_HS	GEN_DE	VS_TRIG	VTG_MODE[1:0]	
Reset	0b	0b	0b	0b	0b	1b	01b	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
GEN_VS	5	VSYNC Generation: Enable to generate VS output according to the timing definition	0: Disable VS output generation (VS used from input) 1: Enable VS output generation (VS internally generated)
GEN_HS	4	HSYNC Generation: Enable to generate HS output according to the timing definition	0: Disable HS output generation (HS used from input) 1: Enable HS output generation (HS internally generated)
GEN_DE	3	DE Generation: Enable to generate DE output according to the timing definition	0: Disable DE output generation (DE used from input) 1: Enable DE output generation (DE internally generated)
VS_TRIG	2	VSYNC Trigger Edge Select	0: VS trigger uses falling edge 1: VS trigger uses rising edge
VTG_MODE	1:0	Video Timing Generator Mode	00: VS input is tracked and then locked after three consecutive matches (three consecutive mismatches unlock tracking) 01: VS edge triggers one VS frame (current frame is extended/cut short to adjust timing to next trigger) 10: VS edge triggers VS generation (current frame is extended/cut short to adjust timing to next trigger) 11: Same as above

vs_dly (0x44 to 0x46)

BIT	7	6	5	4	3	2	1	0
Field	VS_DLY[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
VS_DLY	7:0	VSYNC Delay: VS delay in terms of PCLK cycles; the output VS delay by VS_DELAY cycles from the input VS.	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

vs_h (0x47 to 0x49)

BIT	7	6	5	4	3	2	1	0
Field	VS_H[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
VS_H	7:0	VSYNC High: VS high period in terms of PCLK cycles.	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

vs_l (0x4A to 0x4C)

BIT	7	6	5	4	3	2	1	0
Field	VS_L[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
VS_L	7:0	VSYNC Low: VS low period in terms of PCLK cycles	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

cctp (0x4D)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	CXTP	RSVD	RSVD	VSUNC_ INV	HSUNC_ INV	DE_INV	RSVD
Reset	Xb	0b	0b	0b	0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	X: Reserved
CXTP	6	Coax/Twisted Pair Select Default value depends on the state of the CONF0, CONF1 inputs	0: Use differential output (STP mode) 1: Use dual single ended outputs (coax)
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
VSUNC_ INV	3	VSUNC Inversion: Invert output VSUNC in TIMING GEN	0: Do not invert VS in timing generator 1: Invert VS in timing generator
HSUNC_ INV	2	HSUNC Inversion: Invert output HSUNC in TIMING GEN	00: Value is zero 01: Value is two 10 11
DE_INV	1	DE Inversion: Invert output DE in TIMING GEN	00: Value is zero 01: Value is two 10 11
RSVD	0	Reserved: Do not change from default value	0: Reserved

hs_dly (0x4E to 0x50)

BIT	7	6	5	4	3	2	1	0
Field	HS_DLY[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
HS_DLY	7:0	VSYNC to HSYNC Delay: VS edge to the rising edge of the first HS in terms of PCLK cycles (bits [15:8])	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

rsvd (0x51 to 0x53, 0x5D to 0x5F)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b	0b	0b	0b	0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	0: Reserved
RSVD	2	Reserved: Do not change from default value.	0: Reserved
RSVD	1	Reserved: Do not change from default value	0: Reserved
RSVD	0	Reserved: Do not change from default value	0: Reserved

hs_h (0x54, 0x55)

BIT	7	6	5	4	3	2	1	0
Field	HS_H[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
HS_H	7:0	HSYNC High Period: HS high period in terms of PCLK cycles	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

hs_l (0x56, 0x57)

BIT	7	6	5	4	3	2	1	0
Field	HS_L[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
HS_L	7:0	HSYNC Low Period: HS low period in terms of PCLK cycles.	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

hs_cnt (0x58, 0x59)

BIT	7	6	5	4	3	2	1	0
Field	HS_CNT[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
HS_CNT	7:0	HSYNC Count: Lines per panel (bits [7:0]).	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

de_dly (0x5A to 0x5C)

BIT	7	6	5	4	3	2	1	0
Field	DE_DLY[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
DE_DLY	7:0	VSYSN to DE VS falling edge to the rising edge of the first DE in terms of PCLK cycles.	00000000: Value is 0. 00000001: Value is 1. 11111111: Value is 255.

de_h (0x60, 0x61)

BIT	7	6	5	4	3	2	1	0
Field	DE_H[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
DE_H	7:0	DE High Period: DE high period in terms of PCLK cycles.	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

de_l (0x62, 0x63)

BIT	7	6	5	4	3	2	1	0
Field	DE_L[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
DE_L	7:0	DE Low Period: DE low period in terms of PCLK cycles	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

de_cnt (0x64, 0x65)

BIT	7	6	5	4	3	2	1	0
Field	DE_CNT[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
DE_CNT	7:0	DE Count: Active lines per panel	00000000: Value is 0 00000001: Value is 1 11111111: Value is 255

prbs_type (0x66)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		PRBS_TYPE	REV_FAST	DE_EN	DIS_RWAKE	RSVD	CXSEL
Reset	01b		1b	0b	0b	0b	0b	1b
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:6	Reserved: Do not change from default value	01: Reserved
PRBS_TYPE	5	PRBS Type: PRBS type select	0: Select legacy PRBS mode 1: Select MAX9271–MAX9273 PRBS mode
REV_FAST	4	Reverse Channel Fast-Mode Enable	0: Disable reverse channel fast mode 1: Enable reverse channel fast mode
DE_EN	3	DE Enable: Enable processing separate HS and DE signals	0: Disable separate processing of HS and DE signals 1: Enable separate processing of HS and DE signals
DIS_RWAKE	2	Disable Remote Wake-Up: Disable wake-up receiver	0: Do not disable remote wake-up receiver 1: Disable remote wake-up receiver
RSVD	1	Reserved: Do not change from default value	0: Reserved
CXSEL	0	Coax Select	0: Coax cable connected to inverting output 1: Coax cable connected to noninverting output

dbl_align_to (0x67)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		AUTO_CLINK	RSVD	RSVD	DBL_ALIGN_TO[2:0]		
Reset	11b		0b	0b	0b	111b		
Access Type	Write, Read		Write, Read	Write, Read	Write, Read	Write, Read		

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:6	Reserved: Do not change from default value	11: Reserved
AUTO_CLINK	5	Auto Configuration Link: Automatic control of configuration link	0: Enable configuration link only when CLINKEN = 1 and SEREN = 0 1: Automatically enable configuration link when SEREN = 1 and PCLKDET = 0
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	0: Reserved
DBL_ALIGN_TO	2:0	Double Alignment Mode: Sets the alignment mode when DBL = 1 in the serializer and DBL = 0 in the deserializer. Set DBL_ALIGN_TO = 000 when an external high-low signal is used (EN_HI_LO = 1).	000: Align at each rising edge of HS. Turn off alignment after HS is low (MAX9286). Use this setting when an external high/low signal is used. 001: Do not use 010: Force align 011: Do not use 100: Align at each rising edge of HS 101: Align at each rising edge of DE 110: Force align 111: No alignment done while in DBL mode

cc_crc_length (0x68)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD[2:0]			RSVD[1:0]		CC_CRC_LENGTH[1:0]	
Reset	0b	001b			10b		01b	
Access Type	Write, Read	Write, Read			Write, Read		Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6:4	Reserved: Do not change from default value	001: Reserved
RSVD	3:2	Reserved: Do not change from default value	10: Reserved
CC_CRC_LENGTH	1:0	Control-Channel CRC Length	00: 1-bit CC CRC length 01: 5-bit CC CRC length 10: 8-bit CC CRC length 11: Do not use

hi_lo (0x69)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	EN_HI_LO	INVERT_HI_LO	CROSSBAR_HI_LO[4:0]				
Reset	0b	0b	0b	01111b				
Access Type	Write, Read	Write, Read	Write, Read	Write, Read				

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
EN_HI_LO	6	Enable High/Low Signal Alignment	0: Do not align using a Hi-Lo signal 1: Use a Hi-Lo signal to align input data
INVERT_HI_LO	5	Invert High/Low Signal Alignment	0: Do not invert Hi-Lo signal 1: Invert Hi-Lo signal
CROSSBAR_HI_LO	4:0	Crossbar High Low: Select 1 of 16 input pins for the Hi-Lo signal. Default values connect the Hi-Lo signal to the VS input pin (effective when DBL_ALIGN_TO = 000).	00000: Mux Hi-Lo signal from DIN0 00001: Mux Hi-Lo signal from DIN1 01111: Mux Hi-Lo signal from DIN15 1XXXX: Do Not Use

rsvd_96 (0x96)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
Reset	0b	0b	0b	0b	0b	0b	10b	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	0: Reserved
RSVD	2	Reserved: Do not change from default value	0: Reserved
RSVD	1:0	Reserved: Do not change from default value	10: Reserved

rsvd_97 (0x97)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[2:0]		
Reset	0b	0b	0b	1b	1b	111b		
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	1: Reserved
RSVD	3	Reserved: Do not change from default value	1: Reserved
RSVD	2:0	Reserved: Do not change from default value	111: Reserved

rsvd_98 (0x98)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD[2:0]			RSVD[2:0]		
Reset	01b		001b			010b		
Access Type	Write, Read		Write, Read			Write, Read		

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:6	Reserved: Do not change from default value	01: Reserved
RSVD	5:3	Reserved: Do not change from default value	001: Reserved
RSVD	2:0	Reserved: Do not change from default value	010: Reserved

rsvd_99 (0x99)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD[1:0]	
Reset	0b	0b	0b	0b	1b	1b	01b	
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	1: Reserved
RSVD	2	Reserved: Do not change from default value	1: Reserved
RSVD	1:0	Reserved: Do not change from default value	01: Reserved

pktcc_en (0x9A)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[1:0]		RSVD[1:0]		PKTCC_EN	RSVD[1:0]		RSVD
Reset	00b		01b		0b	00b		0b
Access Type	Write, Read		Write, Read		Write, Read	Write, Read		Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:6	Reserved: Do not change from default value	00: Reserved
RSVD	5:4	Reserved: Do not change from default value	01: Reserved
PKTCC_EN	3	Packet-Based Control-Channel-Mode Enable	0: Disable packet-based control-channel mode 1: Enable packet-based control-channel mode
RSVD	2:1	Reserved: Do not change from default value	00: Reserved
RSVD	0	Reserved: Do not change from default value	0: Reserved

rsvd_C8 (0xC8)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b	Xb	Xb	Xb	0b	0b	0b	0b
Access Type	Write, Read	Read Only	Read Only	Read Only	Write, Read	Read Only	Write, Read	Read Only

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	X: Reserved
RSVD	5	Reserved: Do not change from default value	X: Reserved
RSVD	4	Reserved: Do not change from default value	X: Reserved
RSVD	3	Reserved: Do not change from default va	0: Reserved
RSVD	2	Reserved	0: Reserved
RSVD	1	Reserved: Do not change from default value	0: Reserved
RSVD	0	Reserved	0: Reserved

rsvd_c9 (0xC9)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[7:0]							
Reset	XXXXXXXXb							
Access Type	Read Only							

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:0	Reserved: Do not change from default value	XXXXXXXX: Reserved

rsvd_fc (0xFC)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD
Reset	0b	0b	0b	0b	0b	0b	0b	0b
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3	Reserved: Do not change from default value	0: Reserved
RSVD	2	Reserved: Do not change from default value	0: Reserved
RSVD	1	Reserved: Do not change from default value	0: Reserved
RSVD	0	Reserved: Do not change from default value	0: Reserved

rsvd_fd (0xFD)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[7:0]							
Reset	00000000b							
Access Type	Write, Read							

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:0	Reserved: Do not change from default value	00000000: Reserved

rsvd_fe (0xFE)

BIT	7	6	5	4	3	2	1	0
Field	RSVD[3:0]				RSVD[3:0]			
Reset	0000b				0000b			
Access Type	Write, Read				Write, Read			

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7:4	Reserved: Do not change from default value	0000: Reserved
RSVD	3:0	Reserved: Do not change from default value	0000: Reserved

rsvd_ff (0xFF)

BIT	7	6	5	4	3	2	1	0
Field	RSVD	RSVD	RSVD	RSVD	RSVD[3:0]			
Reset	0b	0b	0b	0b	XXXXb			
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Read Only			

BITFIELD	BITS	DESCRIPTION	DECODE
RSVD	7	Reserved: Do not change from default value	0: Reserved
RSVD	6	Reserved: Do not change from default value	0: Reserved
RSVD	5	Reserved: Do not change from default value	0: Reserved
RSVD	4	Reserved: Do not change from default value	0: Reserved
RSVD	3:0	Reserved: Do not change from default value	XXXX: Reserved

アプリケーション情報

パラレルインタフェース

CMOSパラレルインタフェースのデータ幅は、プログラマブルでアプリケーションに依存します。より大きい幅(BWS = 1)を使用するとピクセルクロックレートが低下するのに対し、より小さい幅(BWS = 0)ではより高いピクセルクロックレートが可能です。

バスデータ幅

バスデータ幅は、選択したモードによって異なります。エラー検出使用時またはダブルモード時(DBL = 1)は、利用

可能なバス幅が減少します。表3に、各種モードで利用可能なビット幅およびデフォルトのマッピングを示します。

バスデータレート

バスデータレートは、BWSおよびDBLの設定によって異なります。表4に、各種バス幅設定で利用可能なPCLKレートを示します。より低いPCLKレートにする場合は、DBL = 0に設定します(シリアライザとデシリアライザの両方でDBL = 1の場合)。

表3. 入力データ幅の選択

REGISTER BIT SETTINGS					INPUT MAPPING (WITH 96706)	INPUT MAPPING (WITH OTHER)
DBL	BWS	HIBW	PXL_CRC	HVEN		
1	1	—	1	1	DIN11:0, HS, VS	DIN11:0, HS, VS
1	1	—	1	0	DIN11:0	DIN11:0
1	1	—	0	1	DIN11:0**, HS, VS	DIN13:0*, HS, VS
1	1	—	0	0	DIN13:0**	DIN14:0
1	0	1	1	—	DIN8:0, HS, VS	DIN8:0, HS, VS
1	0	1	0	—	DIN11:0, HS, VS	DIN11:0, HS, VS
1	0	0	1	1	DIN7:0, HS, VS	DIN7:0, HS, VS
1	0	0	1	0	DIN7:0	DIN7:0
1	0	0	0	1	DIN10:0, HS, VS	DIN10:0, HS, VS
1	0	0	0	0	DIN10:0	DIN10:0
0	1	—	1	1	DIN11:0**, HS, VS	DIN13:0*, HS, VS
0	1	—	1	0	DIN13:0**	DIN15:0*
0	1	—	0	1	DIN11:0**, HS, VS	DIN13:0*, HS, VS
0	1	—	0	0	DIN13:0*	DIN15:0*
0	0	1	-	—	DIN11:0**, HS, VS	DIN13:0*, HS, VS
0	0	0	1	1	DIN11:0**, HS, VS	DIN13:0*, HS, VS
0	0	0	1	0	DIN13:0**	DIN15:0*
0	0	0	0	1	DIN11:0**, HS, VS	DIN13:0*, HS, VS
0	0	0	0	0	DIN13:0**	DIN15:0*

*入力ビット幅は利用可能な入力の数によって制限されます。

**入力ビット幅はデシリアライザで利用可能な出力の数によって制限されます。

表4. データレートの選択

DBL	BWS	HIBW	PCLK RANGE (MHz)
1	1	0	25 to 87
1	0	0	33.3 to 116
1	0	1	73.3 to 116
0	1	0	12.5 to 43.5
0	0	0	16.7 to 58
0	0	1	36.6 to 58

クロスバースイッチ

デフォルトでは、クロスバースイッチはシリアルライザの入力端子DIN_およびHS/VS (HVの符号化使用時)を、対応するデシリアルライザの出力端子DOOUT_およびHS/VSに接続します。入力または出力端子の割り当てを変更する場合、またはDBL = 1モードを備えていないデバイスに接続する場合は、クロスバースイッチを再設定します。

クロスバースイッチの設定

各クロスバースイッチ出力は、16のDIN_入力のハイまたはローワード(DBL = 1の場合)から、合計32の可能な入力を選択することができます。複数の出力が同じ入力を共有することができます。HS、VS、およびDEは両方のハーフワードに対して同じままで、対応する端子のローワード入力を使用するように設定する必要があります。入力データビットを反転するには、それぞれのINVERT_MUX_ = 1に設定します。出力を強制的にローにする(および入力を無視する)には、FORCE_MUX_ビット = 1に設定します。出力を強制的にハイにするには、INVERT_MUX_とFORCE_MUX_の両方を= 1に設定します。

推奨クロスバースイッチ設定手順

クロスバースイッチを設定する手順は、シリアルライザとデシリアルライザのDBLの設定によって異なります。ダブルモードのないデバイスは、DBL = 0であると見なすことができます。

• 両方のデバイスのDBLが同じ値に設定されている場合

1. DIN0 (XBO0、XBO16)と同等のクロスバー出力に対してマッピングする端子を選択します(たとえば、DIN4 → XBI4、XBI20)。
2. ローおよびハイ入力クロスバービット(CROSSBAR0、CROSSBAR 16)を目的の選択したマッピング対象入力に設

定します(たとえば、CROSSBAR0 = 00100、CROSSBAR16 = 10100)。

3. ハイおよびローのクロスバー出力が同じクロスバー入力セットに割り当てられていることを確認しながら、他のクロスバー出力に対して繰り返します。一般に、XBO[i]およびXBO[i+16]をXBI[j]およびXBI[j+16]に割り当ててください。

4. XBOHS、XBOVS、およびXBODEは、ロー入力端子を使用するようにクロスバーを設定します(CROSSBAR_ = 00000~01111)。HS、VS、およびDEはローとハイの両方の入力を使用することに注意してください。

• 両方のデバイスのDBLが一致しない場合

1. 表5、表6、および表7に、どのクロスバー出力(XBO_)が各シリアルビットにマッピングされるかを示します。
2. 各クロスバー出力に対して、どの端子およびハイ/ロークロックサイクル(必要な場合)をマッピングするかを選択します(たとえば、DIN4ロー入力)。
3. クロスバービット(CROSSBAR_)を設定して目的の選択したマッピング対象入力を選択します(たとえば、CROSSBAR0 = 00100はDIN4ロー入力をXBO0にマッピングします)。
4. 他のクロスバー出力に対して繰り返します。未使用のシリアルビットは強制ローをそれぞれのクロスバー出力にマッピングしてください。
5. XBOHS、XBOVS、およびXBODEは、ロー入力端子を使用するようにクロスバーを設定します(CROSSBAR_ = 00000~01111)。HS、VS、およびDEはローとハイの両方の入力を使用することに注意してください。

表5. クロスバー出力とシリアルリンクのマッピング(D23:0)

BIT SETTING						SERIAL BITS																							
DB	HV	BW	HB	CR	DE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
0	0	0	0	0	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	F	P
0	0	0	0	1	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	F	E	E	E	E	E	E	P
0	0	0	1	0	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	F	P
0	0	0	1	1	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	F	E	E	E	P
0	0	1	0	0	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	Z	Z
0	0	1	0	1	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	Z	Z
0	1	0	0	0	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	F	P
0	1	0	0	1	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	F	E	E	E	E	E	E	P
0	1	1	0	0	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	Z	Z
0	1	1	0	1	X	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	Z	Z	Z	Z	Z	Z	Z	Z
1	0	0	0	0	X	16	17	18	19	20	21	22	23	24	25	26	0	1	2	3	4	5	6	7	8	9	10	F	P
1	0	0	0	1	X	16	17	18	19	20	21	22	23	0	1	2	3	4	5	6	7	F	E	E	E	E	E	E	P
1	0	0	1	0	X	16	17	18	19	20	21	22	23	24	25	26	27	0	1	2	3	4	5	6	7	8	Z	F	P

表5. クロスバー出力とシリアルリンクのマッピング(D23:0) (続き)

BIT SETTING						SERIAL BITS																											
DB	HV	BW	HB	CR	DE	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23				
1	0	0	1	1	X	16	17	18	19	20	21	22	23	24	0	1	2	3	4	5	6	7	8	Z	F	E	E	E	P				
1	0	1	0	0	X	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	0	1	2	3	4	5	6	7	8				
1	0	1	0	1	1	16	17	18	19	20	21	22	23	24	25	26	DH	0	1	2	3	4	5	6	7	8	9	10	DL				
1	0	1	0	1	0	16	17	18	19	20	21	22	23	24	25	26	27	0	1	2	3	4	5	6	7	8	9	10	11				
1	1	0	0	0	1	16	17	18	19	20	21	22	23	24	25	DH	0	1	2	3	4	5	6	7	8	9	DL	F	P				
1	1	0	0	0	0	16	17	18	19	20	21	22	23	24	25	26	0	1	2	3	4	5	6	7	8	9	10	F	P				
1	1	0	0	1	1	16	17	18	19	20	21	22	DH	0	1	2	3	4	5	6	DL	F	E	E	E	E	E	E	P				
1	1	0	0	1	0	16	17	18	19	20	21	22	23	0	1	2	3	4	5	6	7	F	E	E	E	E	E	E	P				
1	1	1	0	0	X	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	0	1	2	3	4	5	6	7	8				
1	1	1	0	1	1	16	17	18	19	20	21	22	23	24	25	26	DH	0	1	2	3	4	5	6	7	8	9	10	DL				
1	1	1	0	1	0	16	17	18	19	20	21	22	23	24	25	26	27	0	1	2	3	4	5	6	7	8	9	10	11				

表6. クロスバー出力とシリアルリンクのマッピング(D31:24および特殊パケット)

BIT SETTING													SPECIAL PACKETS							
DB	HV	BW	HB	CR	DE	24	25	26	27	28	29	30	31	C0	C1	C2	C3	HS	VS	DE
0	0	0	0	0	X	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0	0	0	0	1	X	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0	0	0	1	0	X	Z	Z	Z	—	—	—	—	—	Z	Z	Z	Z	H	V	D
0	0	0	1	1	X	E	E	E	—	—	—	—	—	Z	Z	Z	Z	H	V	D
0	0	1	0	0	X	Z	Z	Z	Z	Z	Z	F	P	—	—	—	—	—	—	—
0	0	1	0	1	X	F	E	E	E	E	E	E	P	—	—	—	—	—	—	—
0	1	0	0	0	X	—	—	—	—	—	—	—	—	—	—	—	—	H	V	—
0	1	0	0	1	X	—	—	—	—	—	—	—	—	—	—	—	—	H	V	—
0	1	1	0	0	X	Z	Z	Z	Z	Z	Z	F	P	—	—	—	—	H	V	—
0	1	1	0	1	X	F	E	E	E	E	E	E	P	—	—	—	—	H	V	—
1	0	0	0	0	X	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1	0	0	0	1	X	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
1	0	0	1	0	X	9	10	11	—	—	—	—	—	A	Z	A	A	H	V	D
1	0	0	1	1	X	E	E	E	—	—	—	—	—	A	Z	A	A	H	V	D
1	0	1	0	0	X	9	10	11	12	13	14	F	P	—	—	—	—	—	—	—
1	0	1	0	1	1	F	E	E	E	E	E	E	P	—	—	—	—	—	—	—
1	0	1	0	1	0	F	E	E	E	E	E	E	P	—	—	—	—	—	—	—
1	1	0	0	0	1	—	—	—	—	—	—	—	—	—	—	—	—	HH/L	VH/L	—
1	1	0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	HH/L	VH/L	—
1	1	0	0	1	1	—	—	—	—	—	—	—	—	—	—	—	—	HH/L	VH/L	—
1	1	0	0	1	0	—	—	—	—	—	—	—	—	—	—	—	—	HH/L	VH/L	—
1	1	1	0	0	X	9	10	11	12	13	14	F	P	—	—	—	—	HH/L	VH/L	—
1	1	1	0	1	1	F	E	E	E	E	E	E	P	—	—	—	—	HH/L	VH/L	—
1	1	1	0	1	0	F	E	E	E	E	E	E	P	—	—	—	—	HH/L	VH/L	—

表7. 凡例

BIT SETTINGS		MAP INPUTS	
DB	Double-mode bit DBL	H	HSYNC (when DBL = 0 or HIBW = 1)
HV	H/V Encoding bit HVEN	V	VSYNC (when DBL = 0 or HIBW = 1)
BW	BWS bit	D	DE (when DBL = 0 or HIBW = 1)
HB	HIBW bit	HH	HSYNC (high word, DBL = 1)
CR	PXL_CRC bit	VH	VSYNC (high word, DBL = 1)
DE	DE = 1 when DEEN = 1 and not processed in RGB888 mode	DH	DE (high word, DBL = 1)
X	1 or 0	HL	HSYNC (low word, DBL = 1)
SPECIAL PACKETS		VL	VSYNC (low word, DBL = 1)
C0	CNT_0	DL	DE (low word, DBL = 1)
C1	CNT_1	#	XBO output from crossbar switch
C2	CNT_2	F	Internal forward control-channel bit
C3	CNT_3	E	Internal pixel CRC bit
BIT COLOR		P	Internal pixel parity bit
	Output bits from crossbar	—	Serial bit not sent
	Internal bits	Z	Zero
	Other output bits	A	Internal alignment bit (used when HIBW=1)
	Output bits from sync		

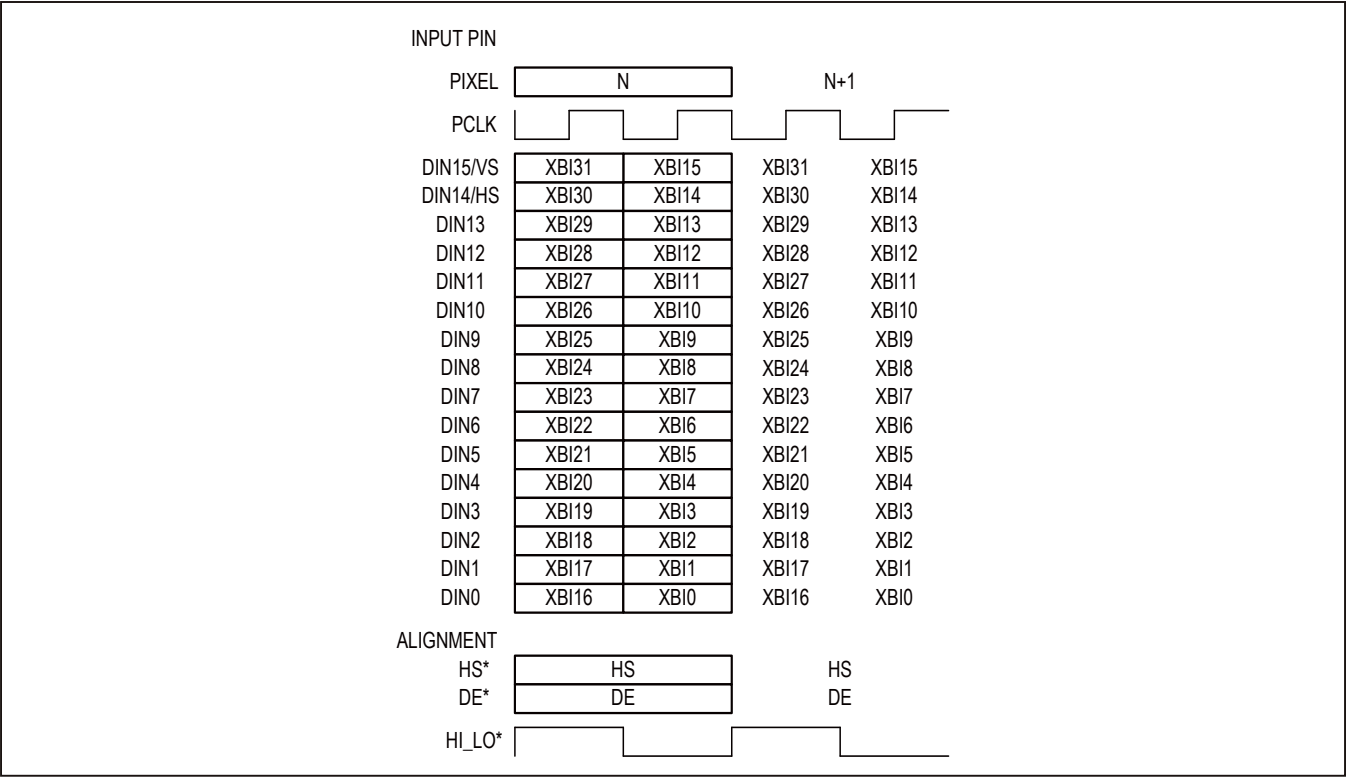


図20. クロスバースイッチのデフォルトマッピング

タイミング発生器の設定

タイミング発生器のパラメータは、PCLK期間の符号なし整数としてレジスタに保存されます。出力グリッチを防ぐために、デバイスが設定リンクモードの間、またはPCLKが印加されていない間にタイミング発生器の全パラメータを設定します。デフォルトでは、タイミング発生器はシングルトリガに設定され、ディセーブルされます。図18に、立上りエッジトリガ、非反転信号のデフォルト状態でのタイミング波形を示します。合計の長さがVSYNC期間の長さを超えるようにHSYNCまたはDE信号を設定しないでください(表8)。全遅延パラメータは正です。負の遅延を実装するには、VSYNC期間から引いた遅延の値を設定します(たとえば、遅延の値がVS_HIGH + VS_LOW - Nの場合、遅延は-N PCLKサイクルになります)。どの遅延長にもVSYNC期間より大きい値を設定しないでください。

ダブルモードのアライメント

シリアルライザとデシリアルライザの両方がDBL = 1の場合、GMSLは自動的にピクセルの正しい順序を維持します。シリアルライザがDBL = 1でデシリアルライザがDBL = 0 (または未サポート)の場合、ダブルモードのアライメントを使用します。ダブルモードのアライメントには、2つの異なる方法が利用可能です。

外部ハイ/ロー信号

外部アライメント信号を使用するには、EN_HI_LO = 1、DBL_ALIGN_TO = 000に設定し、どの入力DIN_端子を使用するかをCROSSBAR_HI_LOビットを設定することによって選択します。外部信号はそのクロックのワードがハイワードかローワードかを指定します(たとえば、ピクセルが[1H、1L、2H、2L...]の場合、ハイ/ロー信号は[1、0、1、0...]になります)。

HSまたはDEによるアライメント

同期信号によってアライメントするには、DBL_ALIGN_TOを設定して入力信号を選択します。このモードを使用する場合、アライメントに使用される信号がハイワードとローワードの両方に同じ値を使用することを確保してください(たとえば、ピクセルが[1H、1L、2H、2L...]の場合、DEでのアライメントには[DE1、DE1、DE2、DE2...]という値が必要です)。

制御チャンネルインタフェース

I²C

I2CSEL = 1に設定すると、制御チャンネルはI²C-I²Cに設定されます。このモードでは、制御チャンネルはマイクロコントローラ側からGMSLリンクのもう一方の側にI²Cコマンドを転送します。リモートデバイスは、リモート側デバイスに接続されている他のペリフェラルに対するI²Cマスターとして機能します。I²C-I²Cモードは、クロックストレッチングを使って、リンク上でのデータとアクノリッジまたは非アクノリッジの送信が完了するまでマイクロコントローラを保持します。

I²Cビットレート

I²Cインタフェースは9.6kbps~1Mbpsのビットレートを受け付けます。ローカルI²Cレートはマイクロコントローラによって設定されます。リモートI²Cレートはリモートデバイスによって設定されます。デフォルトでは、制御チャンネルは400kbpsのI²Cビットレートに設定されます。目的のマイクロコントローラI²Cレートに一致するようにI2C_MSTBTおよびSLV_SHビット(レジスタ0x0D)を設定します。

表8. タイミング発生器のパラメータの制限

SIGNAL	SIZE (BITS)	MIN VALUE (HEX)	MAXIMUM VALUE RESTRICTION (HEX)
VS_HIGH	24	1	VS_HIGH + VS_LOW < 0xFFFFFFFF
VS_LOW	24	1	VS_HIGH + VS_LOW < 0xFFFFFFFF
VS_DLY	24	0	VS_DLY < VS_HIGH + VS_LOW
HS_HIGH	16	1	(HS_HIGH + HS_LOW) x HS_CNT < VS_HIGH + VS_LOW
HS_LOW	16	1	(HS_HIGH + HS_LOW) x HS_CNT < VS_HIGH + VS_LOW
HS_CNT	16	1	(HS_HIGH + HS_LOW) x HS_CNT < VS_HIGH + VS_LOW
HS_DLY	24	0	HS_DLY < VS_HIGH + VS_LOW
DE_HIGH	16	1	(DE_HIGH + DE_LOW) x DE_CNT < VS_HIGH + VS_LOW
DE_LOW	16	1	(DE_HIGH + DE_LOW) x DE_CNT < VS_HIGH + VS_LOW
DE_CNT	16	1	(DE_HIGH + DE_LOW) x DE_CNT < VS_HIGH + VS_LOW
DE_DLY	24	0	DE_DLY < VS_HIGH + VS_LOW

デバイスアドレスのソフトウェア設定

シリアルライザおよびデシリアルライザは、設定可能なデバイスアドレスを備えています。これによって、複数のGMSLデバイス(およびI²Cペリフェラル)が同じ制御チャンネル上で共存可能です。シリアルライザのデバイスアドレスは各デバイスのレジスタ0x00にあり、デシリアルライザのデバイスアドレスは各デバイスのレジスタ0x01にあります。デバイスアドレスを変更するには、まずアドレスを変更するデバイスに書き込みを行います(シリアルライザのデバイスアドレスを変更する場合はシリアルライザのレジスタ0x00、デシリアルライザのデバイスアドレスを変更する場合はデシリアルライザのレジスタ0x01)。次に、同じアドレスをもう一方のデバイスの対応するレジスタに書き込みます(シリアルライザのデバイスアドレスを変更する場合はデシリアルライザのレジスタ0x00、デシリアルライザのデバイスアドレスを変更する場合はシリアルライザのレジスタ0x01)。

I²Cアドレス変換

このデバイスは、最大2つのデバイスアドレスに対するI²Cアドレス変換をサポートします。アドレス変換を使って、I²Cアドレスに制限のあるペリフェラルに固有のデバイスアドレスを割り当てます。ソースアドレス(変換元のアドレス)はレジスタ0x09および0x0Bに保存されます。デスティネーションアドレス(変換先のアドレス)はレジスタ0x0Aおよび0x0Cに保存されます。

設定のブロック

このデバイスは、レジスタに対する変更をブロックすることができます。すべてのレジスタを読み取り専用にするには、CFGBLOCKをセットします。一度セットすると、電源が除去されるか、またはPWDNBがローになるまでレジスタはブロックされたままです。

カスケード/パラレルデバイス

GMSLは、I²Cを介したデバイスのカスケード接続とパラレル接続の両方をサポートします。カスケードまたはパラレルリンクを使用する場合、全I²Cコマンドは全リンクに転送されます。各リンクは、リモート側デバイスからアクノリッジ/非アクノリッジを受信するまで制御チャンネルを保持しようとします。タイムアウトを防ぐために、リンク間の制御チャンネルをアクティブに保つことが重要です。リンクが未使用の場合、設定リンクのオン、I²Cラインの切断、または未使用デバイスのパワーダウンによって制御チャンネルをクリアに保ちます。

デュアルμC制御

ほとんどのシステムは1つのマイクロコントローラを使用しますが、各側にμCが同時に存在して制御チャンネルを交互に実行することが可能です。両方のμCが同時に制御チャンネルを使用しようとした場合は、競合が発生します。こうした競合は、ユーザーが上位のプロトコルを実装することで防止する必要があります。さらに、制御チャンネルでは、リンクの両側にあるI²Cマスター間で調停が行われません。競合によって通信が失敗すると、アクノリッジフレームが生成されません。シリアルリンクでの通信が不要な場合、μCはシリアルライザ/デシリアルライザのFWDCCENビットとREVCCENビット(0x04、D[1:0])を使用して順方向と逆方向の制御チャンネルをディセーブルすることができます。シリアルリンクでの通信が停止され、μC間で競合が発生することはありません。

UART

I2CSEL = 0に設定すると、制御チャンネルはUARTまたはUART-I²Cモードに設定されます。このモードでは、制御チャンネルはマイクロコントローラ側からGMSLリンクのもう一方の側にUARTコマンドを転送します。INTTYPE = 00の場合、リモートデバイスはリモート側デバイスに接続されている他のペリフェラルに対するI²Cマスターとして機能します。UART-I²Cモードはクロックストレッチングを使用するデバイスをサポートしません。

ベースモード

ベースモードでは、UART/パケットがシリアルライザ、デシリアルライザ、および接続されているペリフェラルを制御します。

UARTのタイミング

ベースモードでは、UARTのアイドル状態は(プルアップ抵抗を介した)ハイです。各GMSL UARTバイトは、STARTビット、8つのデータビット、偶数パリティビット、およびSTOPビットで構成されます(図21)。同じUARTパケットのバイト間のアイドル時間は、4ビット期間以下に保持します。GMSL-UARTプロトコルを図22に示します。書き込みパケットは、SYNCバイト(図23)、デバイスアドレスバイト、開始レジスタアドレスバイト、書き込むバイト数、およびデータバイトで構成されます。書き込みが成功した場合、スレーブデバイスはACKバイトで応答します(図24)。読み取りパケットは、SYNCバイト、デバイスアドレスバイト、開始レジスタアドレスバイト、および読み取るバイト数で構成されます。スレーブデバイスはACKバイトで応答し、データバイトを読み取ります。

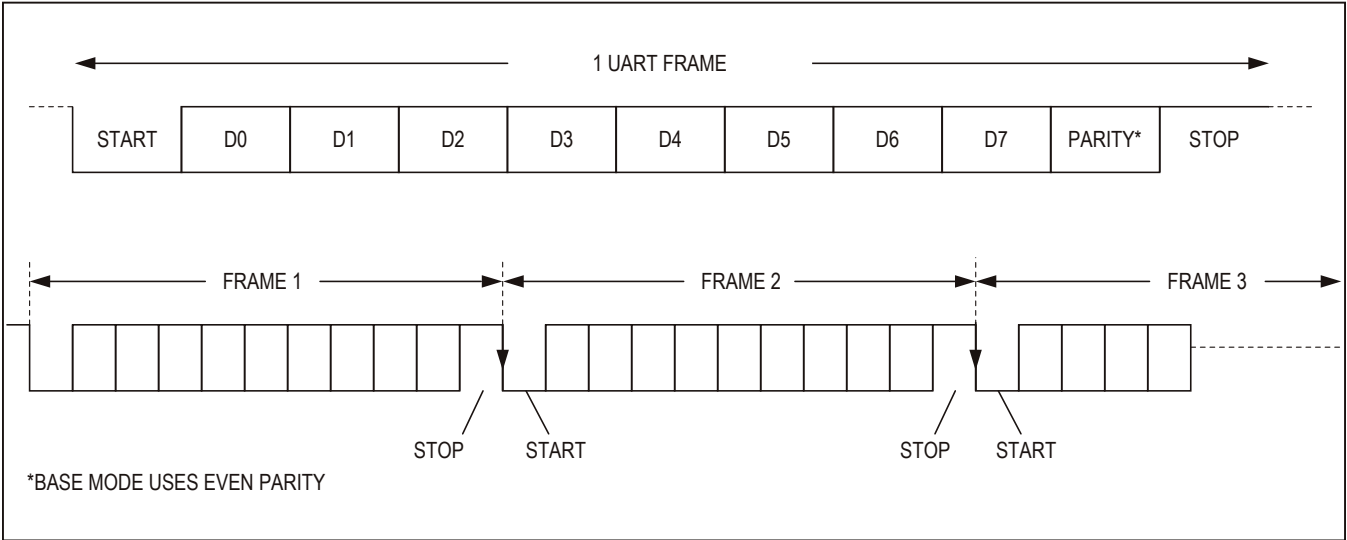


図21. ベースモードのGMSL-UARTデータ形式

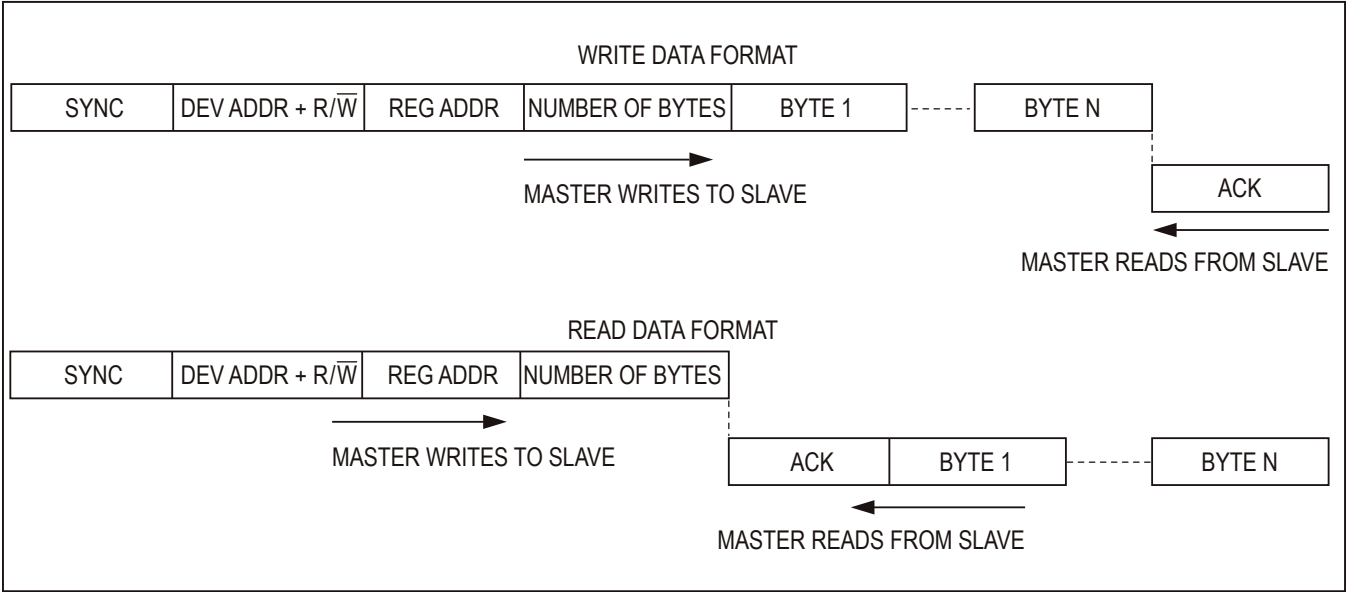


図22. ベースモードのGMSL-UARTプロトコル

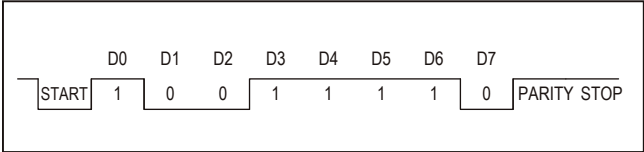


図23. SYNCバイト(0x79)

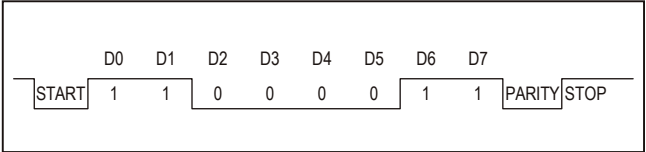
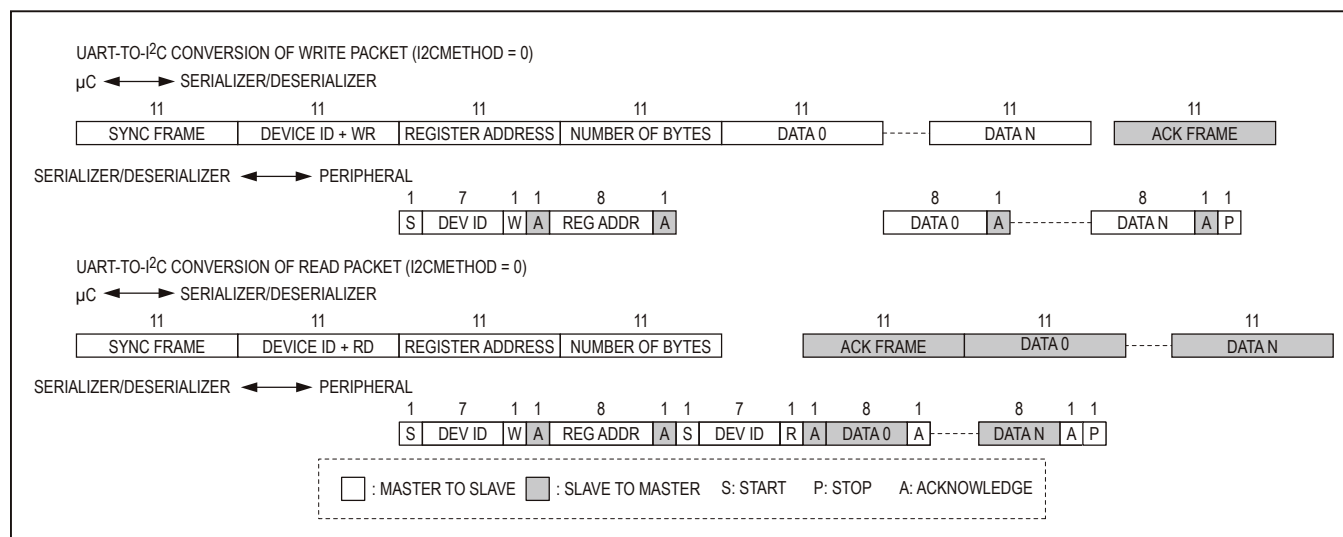
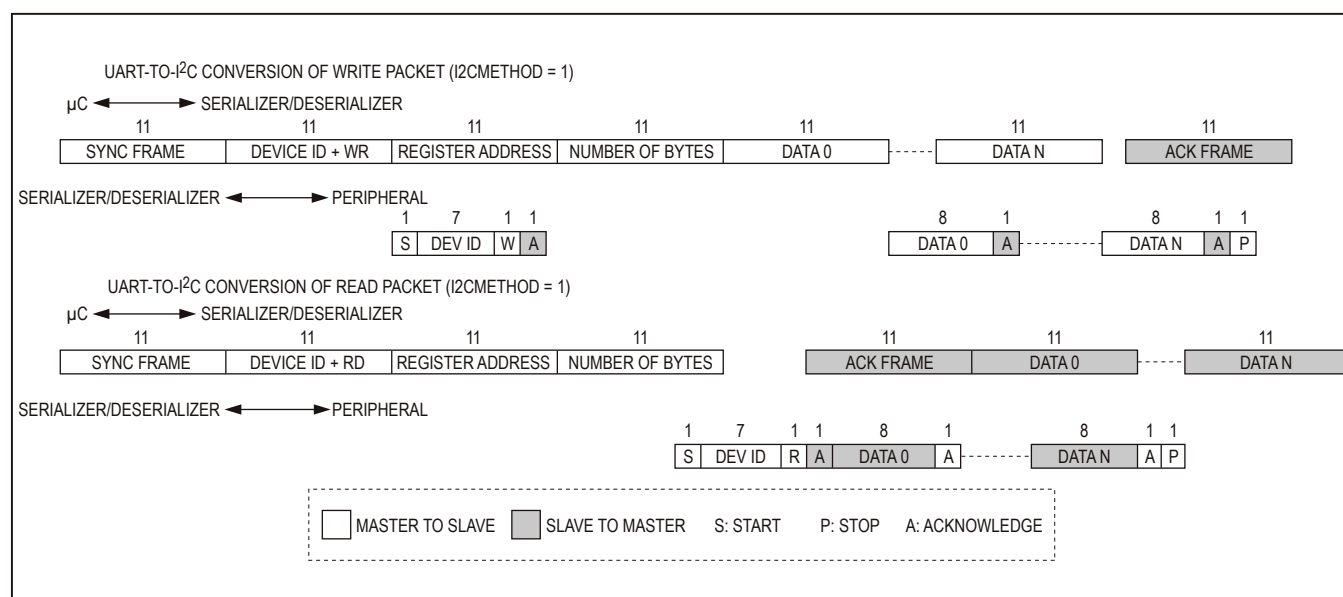


図24. ACKバイト(0xC3)

UART-I²C変換

UART制御チャネルを使用する場合、リモート側デバイスはUART-I²C変換を介してI²Cペリフェラルと通信することができます。UART-I²C変換をアクティブ化するには、リモート側デバイスのINTTYPEビットを00に設定します。変換後のI²Cビットレートは、入力UARTビットレートと同じです。UART-I²C変換との互換性を維持するため、I²Cペリフェラルはクロックストレッチングを使用することはできません。

UARTをI²Cに変換するためにデバイスが使用することが可能な方法は2つあります。第1の方法(I2CMETHOD = 0)では、レジスタアドレスがI²C通信で送信されます(図25)。レジスタアドレスを使用しないデバイス(MAX7324など)の場合は、I2CMETHOD = 1に設定し、レジスタアドレスの代わりにダミーバイトを送信します(図26)。この方法では、リモートデバイスはレジスタアドレスの送信を省略します。

図25. レジスタアドレスによるGMSL UARTとI²C間の形式変換(I2CMETHOD = 0)図26. レジスタアドレスによるGMSL UARTとI²C間の形式変換(I2CMETHOD = 1)

UARTバイパスモード

UARTバイパスモードでは、制御チャネルはフルデュプレックスの9.6kbps～1Mbpsのリンクとして動作し、パケット自体には応答せずにシリアルリンクでUARTコマンドを転送します。バイパスモードに移行するには、MSをハイに設定します(μCがデシリアライザ側に接続されている場合は、バイパスモードの設定後に1ms待ってください)。バイパスは9.6kbps～1Mbpsのビットレートを使用します。GPI/GPOの機能を使用するときに100μs以上にわたってロジックローの値を送信しないでください。

デバイスアドレス

シリアルライザ/デシリアライザの両方で、7ビット長のスレーブアドレスがレジスタ0x00および0x01に保存されます。7ビットのスレーブアドレスに続くビットはR/Wビットで、書込みコマンドの場合はローで読取りコマンドの場合はハイです。デフォルトのスレーブアドレスは0x80です。起動後、マイクロコントローラは必要に応じてスレーブアドレスを再設定することができます。

スペクトラム拡散

シリアルライザでスペクトラム拡散をオンにするには、シリアルライザでSSビットを設定します(表9)。シリアルライザによって駆動されるデシリアライザが設定可能なスペクトラム拡散を備えている場合、相互作用によって利点が相殺されるので、両方の拡散を同時にイネーブルしないでください。デシリアライザはシリアルライザの拡散をトラッキング

グし、デシリアライザの出力に拡散を通過させます。一部のスペクトラム拡散の振幅は、より低いPCLKIN周波数でのみ使用することができます(表10)。スペクトラム拡散がオンまたはオフになると、デシリアライザがロックを喪失して新しいシリアルデータストリームに再ロックするように、シリアルリンクは数μsの間停止した後再始動します。スペクトラム拡散の振幅を変更してもロックは失われません。

スペクトラム拡散分周器のマニュアル設定

デフォルトでは、PCLKINの動作範囲の自動検出によって、スペクトラム拡散の変調周波数が20kHz～40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV : 0x03、D[5:0])によって、PCLKINの周波数に応じてユーザーが変調周波数(通常は20kHz)を設定することも可能です。

式：

変調率とPCLKINの周波数の関係：

$$f_M = f_{PCLKIN} / (MOD \times SDIV)$$

ここで、

f_M = 変調周波数

f_{PCLKIN} = PCLKINの周波数

MOD = 表11に示す変調係数

SDIV = μCによってマニュアル設定される6ビットのSDIV設定値

表9. 出力の拡散

SS	SPREAD (%)
000	Power-up default (no spread spectrum)
001	±0.5% spread spectrum
010	±1.5% spread spectrum
011	±2% spread spectrum
100	No spread spectrum
101	±1% spread spectrum
110	±3% spread spectrum
111	±4% spread spectrum

表10. 拡散の制限

BWS = 0 MODE, PCLKIN FREQUENCY (MHz)	BWS = 1 MODE, PCLKIN FREQUENCY (MHz)	SERIAL LINK BIT RATE (MBPS)	AVAILABLE SPREAD RATES
< 33.3 (DBL = 0)	< 25 (DBL = 0)	< 1000	All rates available
< 66.6 (DBL = 1)	< 50 (DBL = 1)		
33.3 to 58 (DBL = 0)	25 to 43.5 (DBL = 0)	≥ 1000	1.5%, 1%, 0.5%
66.6 to 116 (DBL = 1)	50 to 87 (DBL = 1)		

表11. 変調係数と最大SDIV設定値

BWS	SPREAD-SPECTRUM SETTING (%)	MODULATION COEFFICIENT (DEC)	SDIV UPPER LIMIT (DEC)
1	1	104	40
	0.5	104	63
	3	152	27
	1.5	152	54
	4	204	15
	2	204	30
0	1	80	52
	0.5	80	63
	3	112	37
	1.5	112	63
	4	152	21
	2	152	42

SDIV設定値を設定するには、まず目的のバス幅とスペクトラム拡散の設定に基づいて変調係数を選択します。目的のピクセルクロックと変調周波数を使用して、上記の式をSDIVについて解きます。計算したSDIVの値が表11に示すSDIVの許容最大値より大きい場合は、SDIVを最大値に設定します。

基板レイアウト

電源回路とバイパス処理

このシリアルライザは、1.7V~1.9VのAVDDおよびDVDDを使用します。シリアル出力以外の全入力および出力は、1.7V~3.6VのIOVDDから電力を得ます。高周波数回路の安定性には適切な電圧電源バイパス処理が不可欠です。

高周波数信号

クロストークを防ぐため、LVCMOSロジック信号とCML/同軸高速信号を分離します。電源、グランド、CML/同軸、およびLVCMOSロジック信号用に個別の層を備えた4層PCBを使用します。STP-PCBトレースは相互に接近させてレイアウトし、差動特性インピーダンスが100Ωになるようにします。トレースのサイズは、使用するトレースのタイプ(マイクロストリップまたはストリップライン)によって異なります。

注：2つの50ΩのPCBトレースを相互に接近させた場合、差動インピーダンスは100Ωになりません。トレースが接近するほどインピーダンスは低下します。同軸を駆動する場合、シングルエンド出力に50Ωのトレースを使用してください。差動CMLのPCBトレースは平行に配線して、差動特性インピーダンスを維持してください。ビアレイは避けてください。差動ペアを構成するPCBトレースは等しい長さを維持し、差動ペア内のスキューを防いでください。

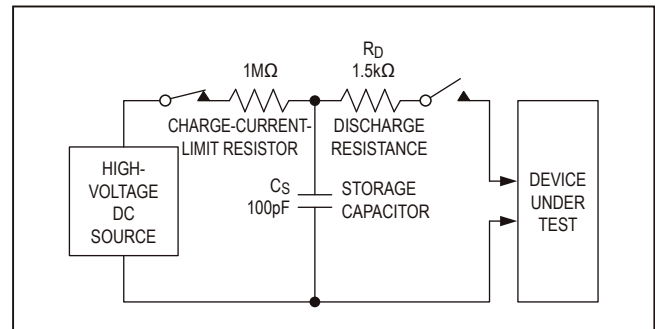


図27. ヒューマンボディモデルESDテスト回路

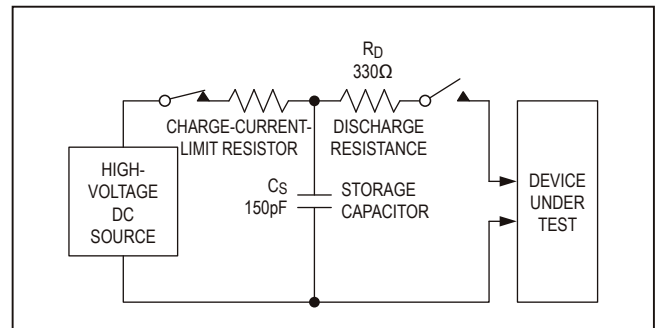


図28. IEC 61000-4-2接触放電ESDテスト回路

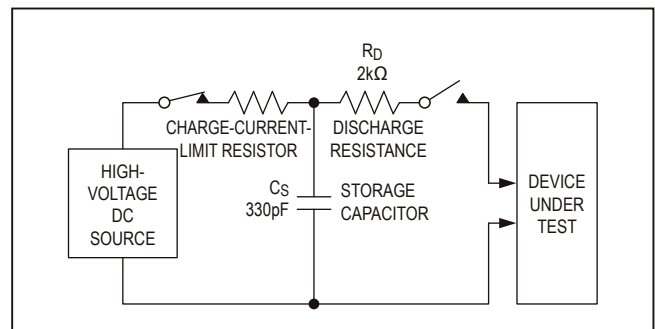


図29. ISO 10605接触放電ESDテスト回路

ESD保護

ESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605およびIEC 61000-4-2規格は、電子装置のESD耐性を規定しています。シリアル出力は、ISO 10605のESD保護とIEC 61000-4-2のESD保護に対して定格が定められています。すべての端子は、ヒューマンボディモデルに対してテストされています。ヒューマンボディモデルの放電コンポーネントは、CS = 100pFとRD = 1.5kΩです(図27)。IEC 61000-4-2の放電コンポーネントは、CS = 150pFとRD = 330Ωです(図28)。ISO 10605の放電コンポーネントは、CS = 330pFとRD = 2kΩです(図29)。

他のGMSLデバイスとの互換性

このデバイスはMAX96705～MAX96711ファミリのデバイスと組み合わせるように設計されていますが、任意のGMSLデバイスと相互運用可能です。動作上の制限事項については、表12を参照してください。

デバイスの設定および部品の選択

内蔵入力プルダウン

制御および設定入力(3レベル入力以外)は、GNDへのプルダウン抵抗を内蔵しています。外付けのプルダウン抵抗は不要です。

3レベル設定入力

CONF1およびCONF0は、シリアルインタフェースの設定および起動時のデフォルトを制御する3レベル入力です(表13)。CONF1またはCONF0は、ハイレベルを設定する場合はIOVDDに接続し、ローレベルを設定する場合はGNDに接続し、ミッドレベルを設定する場合はオープンにします。デジタル制御の場合は、3ステートのロジックを使用して3レベルのロジック入力を駆動します。CONF端

子の値は起動時またはパワーダウンモードからの復帰時にラッチされます。

多機能入力

このデバイスは、複数の機能を果たす数個の入力/出力を備えています。GPO/HIMはGPO出力として、また設定端子として機能します。起動時、またはパワーダウン状態からの復帰時、これらの端子はHIM入力として機能します。入力の状態をラッチしたあと、端子はGPO出力になります。ハイレベルに設定するには、30kΩの抵抗を介して設定入力をIOVDDに接続します。ローレベルに設定するには、設定入力をオープンのままにします。

さらに、一部の多機能端子はLCCEN入力によって制御されます。LCCEN = 1の場合、ローカル制御チャネル(RX/SDA、TX/SCL)がアクティブで、GPIO1/BWSおよびMS/HVEN端子はそれぞれGPIO1およびMS入力として動作します。LCCEN = 0の場合、ローカル制御チャネルはディセーブルされ、これらの端子はそれぞれの代替機能(DBL、BWS、HVEN入力)として動作します。

表12. 機能上の互換性

SERIALIZER FEATURE	GMSL DESERIALIZER
HSYNC/VSYNC Encoding	If feature not supported in the deserializer, turn off in the serializer.
I ² C to I ² C	If feature not supported in the deserializer, use UART to I ² C or UART to UART.
Packet Control Channel	If feature not supported in the deserializer, use legacy control channel.
CRC Error Detection	If feature not supported in the deserializer, turn off in the serializer.
Double Input	If feature not supported in the deserializer, data is output as a single word at half the input frequency. Use crossbar switch to correct input mapping.
Coax	If feature not supported in the deserializer, connect unused serial input through 200nF and 50Ω in series to AVDD, and set the reverse control-channel amplitude to 100mV.
I ² S Encoding	If supported in the deserializer, disable I ² S in the deserializer.
High-Bandwidth Mode	If feature not supported in the deserializer, turn off in the serializer.
High-Immunity Mode	If feature not supported in the deserializer, turn off in the serializer.
Low-Speed Mode	If supported in the deserializer, set DRS to 0 in the deserializer.

表13. 3レベル設定入力マップ

CONF1	CONF0	CXTP (OUT+/OUT- OUTPUT TYPE)	ES (PCLKIN LATCH EDGE)	I2CSEL (CONTROL-CHANNEL TYPE)
Low	Low	1 (coax)	1 (falling)	1 (I ² C o I ² C)
Low	Mid	1 (coax)	1 (falling)	0 (UART to I ² C/UART)
Low	High	1 (coax)	0 (rising)	1 (I ² C to I ² C)
Mid	Low	1 (coax)	0 (rising)	0 (UART to I ² C/UART)
Mid	Mid	0 (STP)	1 (falling)	1 (I ² C to I ² C)
Mid	High	0 (STP)	1 (falling)	0 (UART to I ² C/UART)
High	Low	0 (STP)	0 (rising)	1 (I ² C to I ² C)
High	Mid	0 (STP)	0 (rising)	0 (UART to I ² C/UART)
High	High	Do not use	Do not use	Do not use

表14. GMSLの推奨コネクタおよびケーブル

VENDOR	CONNECTOR	CABLE	TYPE
Rosenberger	59S2AX-400A5-Y	Dacar 302	Coax
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
JAE	MX38-FF	A-BW-Lxxxxx	STP

I²C/UARTのプルアップ抵抗

I²CとUARTのオープンドレインのラインは、ロジックハイレベルを提供するためにプルアップ抵抗を必要とします。消費電力と速度はトレードオフの関係にあるため、プルアップ抵抗値を選択する際に妥協が必要になることがあります。バスに接続されたすべてのデバイスによって、デバイスが動作していないときでもある程度の容量が付加されます。I²Cでは、最大400kbpsのデータレートで定義されるファーストモードについて、立上り時間(30%から70%)を300nsと規定しています(詳細については、「[AC Electrical Characteristics \(ACの電気的特性\)](#)」の表に記載された「I²C/UART Port Timing」の項を参照)。ファーストモードの立上り時間の要件を満たすため、立上り時間 $t_R = 0.85 \times R_{PULLUP} \times C_{BUS} < 300\text{ns}$ となるプルアップ抵抗を選択します。遷移時間が過度に長くなると、波形は認識されません。GMSLは、最大1Mbps (UART-I²Cモード)と400kbps (I²C-I²Cモード)のI²C/UART速度をサポートしています。

AC結合コンデンサ

電圧ドループと送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移はさまざまな電圧レベルから開始されます。遷移時間は固定されているため、信号の遷移がさまざまな電圧レベルから開始されるとタイミングジッタが発生します。AC結合されたリンクの時定数を、ドループとジッタが許容可能なレベルまで減少するように選択する必要があります。AC結合されたリンク用のRCネットワークは、CML/同軸レーザの終端抵抗(R_{TR})、CML/同軸ドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つによるRC時定数は、 $(C \times (R_{TD} + R_{TR}))/4$ です。 R_{TD} と R_{TR} は、伝送ラインのインピーダンスと整合させる必要があります(通常は100Ω差動と50Ωシングルエンド)。したがって、システムの時定数を変更する要素として残るのはコンデンサの選択です。より低速の逆方向制御チャネルの信号を通過させるために、バッテリーへの短絡に耐える十分な定格電圧を備えた、0.2μF以上の高周波表面実装セラミックコンデンサを使用します。3.2mm x 1.6mmより小さいケースサイズのコンデンサを使用して、高速信号に対する寄生の影響を低減します。

ケーブルおよびコネクタ

CML用の相互接続は、標準で100Ωの差動インピーダンスを備えています。差動インピーダンスが整合されたケー

ブルおよびコネクタを使用して、インピーダンスの不連続性を最小限に抑えます。同軸ケーブルは、標準で50Ωの特性インピーダンスを備えています(75Ωの動作については、お問い合わせください)。表14に、GMSLリンクで使用する推奨ケーブルおよびコネクタを示します。

PRBS

このシリアルライザは、デシリアルライザのビットエラー検証と連携するPRBS/パターン発生器を内蔵しています。PRBSテストを実行するには、まずデシリアルライザ、次にシリアルライザの順で、PRBSEN = 1 (0x04、D5)に設定します。PRBSテストを終了するには、シリアルライザでPRBSEN = 0 (0x04、D5)に設定します。デシリアルライザは自動的にPRBSチェックを終了し、PRBS_OKビットをハイに設定します。PRBSモード時は、デシリアルライザで自動アクノリッジがイネーブルされている場合にPRBSモードを終了する以外、順方向制御チャネルは利用不可です。それ以外の場合は、リモート制御チャネルは完全に利用不可です。

3GbpsのSerDesでPRBSを実行する場合、またはHIBW = 1の場合、最初にMAX967XXでPRBS_TYPEビット = 0に設定します。次に、シリアルライザ、デシリアルライザの順で、PRBSEN = 1 (0x04、D5)に設定します。PRBSテストを終了するには、デシリアルライザ、次にシリアルライザの順で、PRBSEN = 0 (0x04、D5)に設定します。

PRBSテスト時は、PRBSエラーのみを反映するようにERRBの機能が変化します。PRBSエラーが発生すると、常にERRBはローになります。PRBS_ERRが読み取られてPRBSエラーカウンタがリセットされると、ERRBはハイになります。PRBSテストを終了すると、ERRBは通常の機能に戻ります。

GPI/GPO

シリアルライザのGPOは、デシリアルライザのGPIの遷移に追従します。デフォルトでは、GPI-GPO間の遅延は0.35ms (max)です。GPIの遷移間の時間を0.35ms以上に維持してください。デシリアルライザのGPI_INは、GPI入力の状態を保存します。起動の後、GPOはローです。μCはSET_GPOLレジスタビットへの書き込みによってGPOを設定することができます。適切なGPO/GPIの機能を確保するため、ベースモードとバイパスモードのいずれでも100μsより長時間にわたってデシリアルライザのRX/SDA入力(UARTモード)にロジックローの値を送信しないでください。

ロック喪失の高速検出

リンク品質の尺度として、同期喪失からの回復時間があります。ホストは、デシリアライザのLOCK出力をGPIO入力に接続することによって、ロック喪失の通知をすばやく受け取ることができます(PKTCC_EN = 0の場合)。タッチスクリーンコントローラなどの他のソースでGPIO入力を使用している場合、μCは同期喪失による割込みと通常の割込みを識別するルーチンを実装することができます。逆方向制御チャンネルの通信はアクティブな順方向リンクの動作を必要とせず、GMSLリンクのLOCKステータスを正確に追跡します。LOCKはビデオリンクについてのみアサートされ、設定リンクについてはアサートされません。

フレーム同期の供給(カメラアプリケーション)

GPIOとGPOは、ECUからのフレーム同期信号を必要とするカメラアプリケーション(サラウンドビューシステムなど)にシンプルなソリューションを提供します。ECUのフレーム同期信号をGPIO入力に接続し、GPO出力をカメラのフレーム同期入力に接続します。GPIO/GPOの遅延はレガシーモードで275μs (typ)で、パケットモードで21μs (typ)です(5ビットのCRCを使用)。複数のGPIO/GPOチャンネル間のスキューはレガシーモードで115μs (max)で、パケットモードで21μs (max)です。レガシーモードで低スキューの信号が必要な場合は、カメラのフレーム同期入力をシリアルライザのGPIOの1つに接続し、I²Cのブロードキャスト書き込みコマンドを使用してGPIO出力の状態を変更します。この場合、使用するI²Cビットレートに関係なく、スキューが1.5μs以下になります。パケットベースの制御チャンネルモードでGPIO/GPO補償をオンにするには、シリアルライザとデシリアライザの両方でGPIO_COMP_EN = 1に設定します。これによって、デバイス間のスキューが0.35μsに削減されます。

スリープモードの移行/終了

スリープモードの移行と終了の手順は、マイクロコントローラの位置と、使用する制御チャンネルインタフェースのタイプによって異なります。リモート(デシリアライザ)側マイクロコントローラからのウェイクアップが不要または目的としない場合、DIS_RWAKEビット = 1に設定してリモートウェイクアップをシャットダウンすることによってさらなる省電力が可能です。

レガシー制御チャンネル:

スリープモードに移行するには、SLEEP = 1に設定します。デバイスは8ms後にスリープします。デバイスをウェイクアップするには、任意の制御チャンネルコマンドをシリアルライザに送信し(シリアルライザはアクノリッジを送信しません)、チップの起動を5ms待った後、SLEEP = 0に設定してウェイクアップを永続化します。

パケットベースの制御チャンネル:

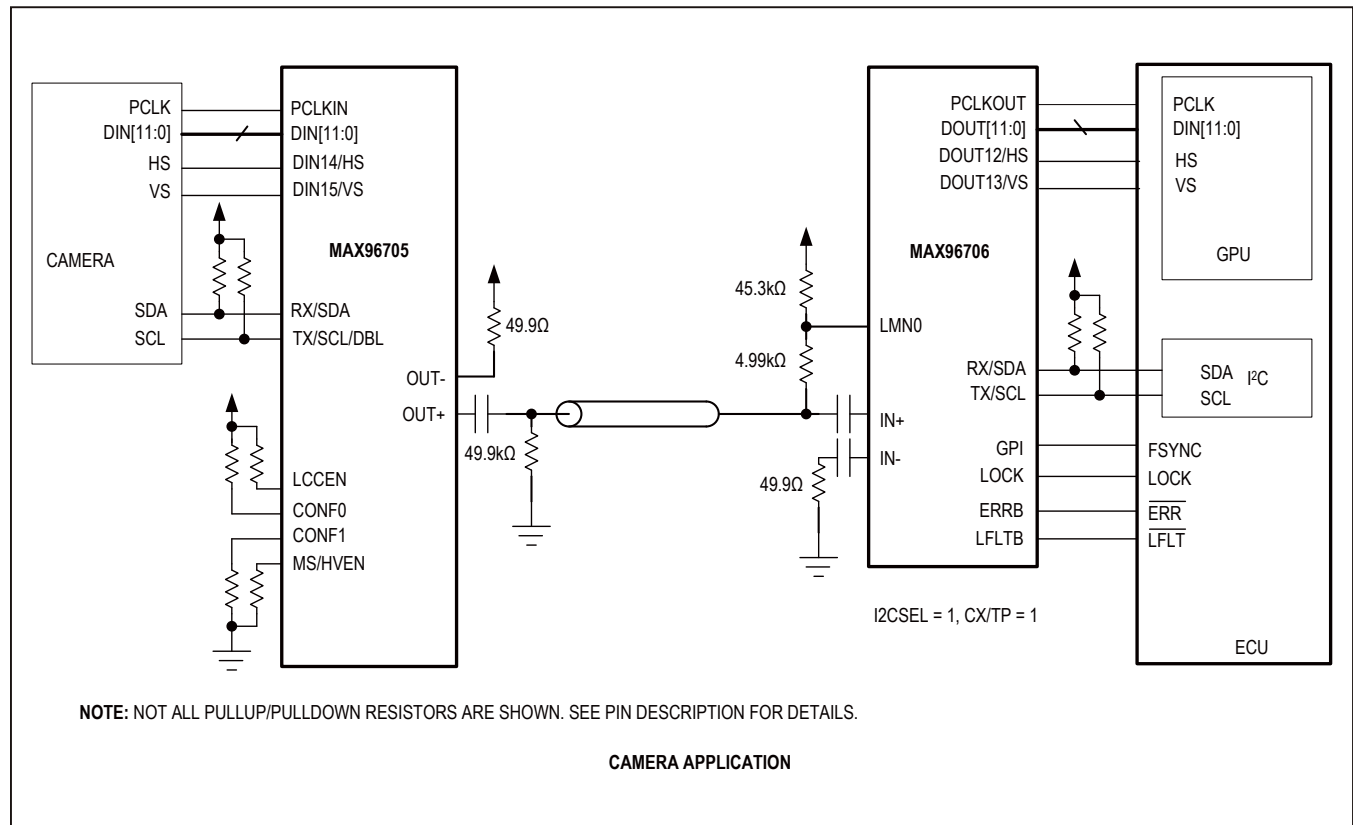
- μCがデシリアライザ側にある場合は、シリアルライザでSLEEP = 1に設定します。次に、デシリアライザでREVCCEN = 0に設定してシリアルライザへの逆方向制御転送を停止します。デバイスは8ms後にスリープします。

シリアルライザをウェイクアップするには、最初にREVCCEN = 1に設定し、デバイスのウェイクアップを8ms待った後、SLEEP = 0に設定してスリープモードを永続的に終了します。

- μCがシリアルライザ側にある場合は、最初にデシリアライザでSLEEP = 1に設定します。デシリアライザがウェイク状態のままである必要がある場合は、レガシー制御チャンネルモードに切り替えます。次に、シリアルライザでSLEEP = 1に設定します。デバイスは8ms後にスリープします。

デバイスをウェイクアップするには、任意の制御チャンネルコマンドをシリアルライザに送信します(シリアルライザはアクノリッジを送信しません)。チップの起動を5ms待った後、SLEEP = 0に設定してウェイクアップを永続化します。シリアルライザがイネーブルされるとデシリアライザはウェイクアップしてSLEEPビットをクリアし、シリアルライザにロックします。

標準アプリケーション回路



型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX96705GTJ/V+	-40°C to +115°C	32 TQFN-EP*

/Vは車載認定製品を表します。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド。

改訂履歴

版数	改訂日	説明	改訂ページ
0	12/15	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。