

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

概要

MAX9851/MAX9853は、GSM/GPRS/EDGE携帯電話用の総合オーディオソリューションを提供するために設計されたシングルチップ、ステレオオーディオコーデックです。MAX9851/MAX9853は、ステレオDirectDrive™ヘッドフォンアンプ、モノラルレシーバスピーカアンプ、ステレオD級スピーカアンプ(MAX9851のみ)、ステレオ差動ライン出力(MAX9853のみ)、マイクロフォン入力アンプ、およびフレキシブルな入力選択と利得制御を備えています。2種類のシリアルデジタルオーディオインタフェースを装備し、1つはボイスバンドデータの受取り用であり、もう一方はI²Sデータの受取り用です。ボイスバンドインタフェースは、必要に応じて第2 I²Sフィード入力として機能するように再設定することが可能で、様々なサンプルレートで着信音やその他のオーディオの複数オーディオソースをミックスすることができます。トランスデューサ/バイプレータ信号をデジタルオーディオから得ることができます。

ステレオのデジタル-アナログコンバータ(DAC)のパスは、フィルタリングとミキシング、プログラマブルゲインアンプ(PGA)、ソフトミューティング、およびオプションのボイスバンドデジタルフィルタリングなどを含んでいます。MAX9851/MAX9853は、異なったサンプルレートで最大2つのデジタルオーディオ入力を受け付けます。すべてのアナログ入力はフロントエンドにPGAを備えているため、広範囲の入力ソースでダイナミックレンジを最適化することができます。

ステレオのアナログ-デジタルコンバータ(ADC)は、内蔵、外付けマイクロフォンまたはステレオライン入力からのオーディオ信号を変換します。マイクロフォンアンプは0~40dBのプログラマブルな利得を備え、増幅型マイクロフォンとエレクトレットモジュールの両方に対応します。DCオフセット電圧を除去するデジタルハイパスフィルタに加え、ADCはボイスバンドデジタルフィルタリングも備えています。

デジタルオーディオインタフェースは、幅広いシリアルオーディオフォーマットをサポートします。第2シリアルオーディオインタフェースは独立した電源電圧を持っているため、複数の電源システムに統合することができます。ボリュームレベル、信号ミキシング、および動作モードの制御は、I²Cの2線式インタフェースを通じておこなわれます。すべての回路は、高PSRRに最適化されています。MAX9851/MAX9853は、エクスポーズドパッド付きの放熱効果に優れる省スペース、48ピン、TQFNパッケージ(7mm x 7mm x 0.8mm)を採用しています。

アプリケーション

GSM/GPRS/EDGE方式の携帯電話
PDA/スマートフォン

特長

- ◆ +1.7V~+3.3V (デジタル)および+2.6V~+3.3V (アナログ)動作
- ◆ +2.6V~+5.5VのD級スピーカアンプ動作(バッテリーから直接駆動)
- ◆ 低自己消費電力(再生時): 26mW
- ◆ 高電源ノイズ除去比: 98dB
- ◆ サンプルレート(再生および録音): 8kHz~48kHz
- ◆ ステレオ18ビットADCおよびDAC
- ◆ 低ノイズのステレオマイクロフォン入力およびステレオライン入力
- ◆ デュアルソースのデジタルミキシング(DAC)
- ◆ 録音/再生モード用の選択可能なボイスバンドフィルタ
- ◆ 低ノイズ、高PSRR、マイクロフォンバイアスジェネレータ
- ◆ デジタルフィルタリング、ソフトミュート、およびボリューム制御
- ◆ ステレオのDirectDriveヘッドフォンアンプ(2 x 50mW)
- ◆ モノラルのDirectDriveハンドセットレシーバアンプ(1 x 105mW)
- ◆ アクティブな放射制限付きD級ステレオ、超低EMI、フィルタレススピーカアンプ(2 x 1.25W、8Ω)(MAX9851)
- ◆ ステレオの差動ライン出力アンプ(MAX9853)
- ◆ クリックレス/ポップレス動作
- ◆ 省電力用の柔軟性を持ったシャットダウンモード
- ◆ 包括的なヘッドセット検出
- ◆ ヘッドセット検出時の超低電力ウェイクアップ

型番

PART	PIN-PACKAGE	PKG CODE
MAX9851ETM+	48 TQFN-EP* (7mm x 7mm x 0.8mm)	T4877-6
MAX9853ETM+	48 TQFN-EP* (7mm x 7mm x 0.8mm)	T4877-6

注: どのデバイスも-40℃~+85℃の温度範囲で規定されています。

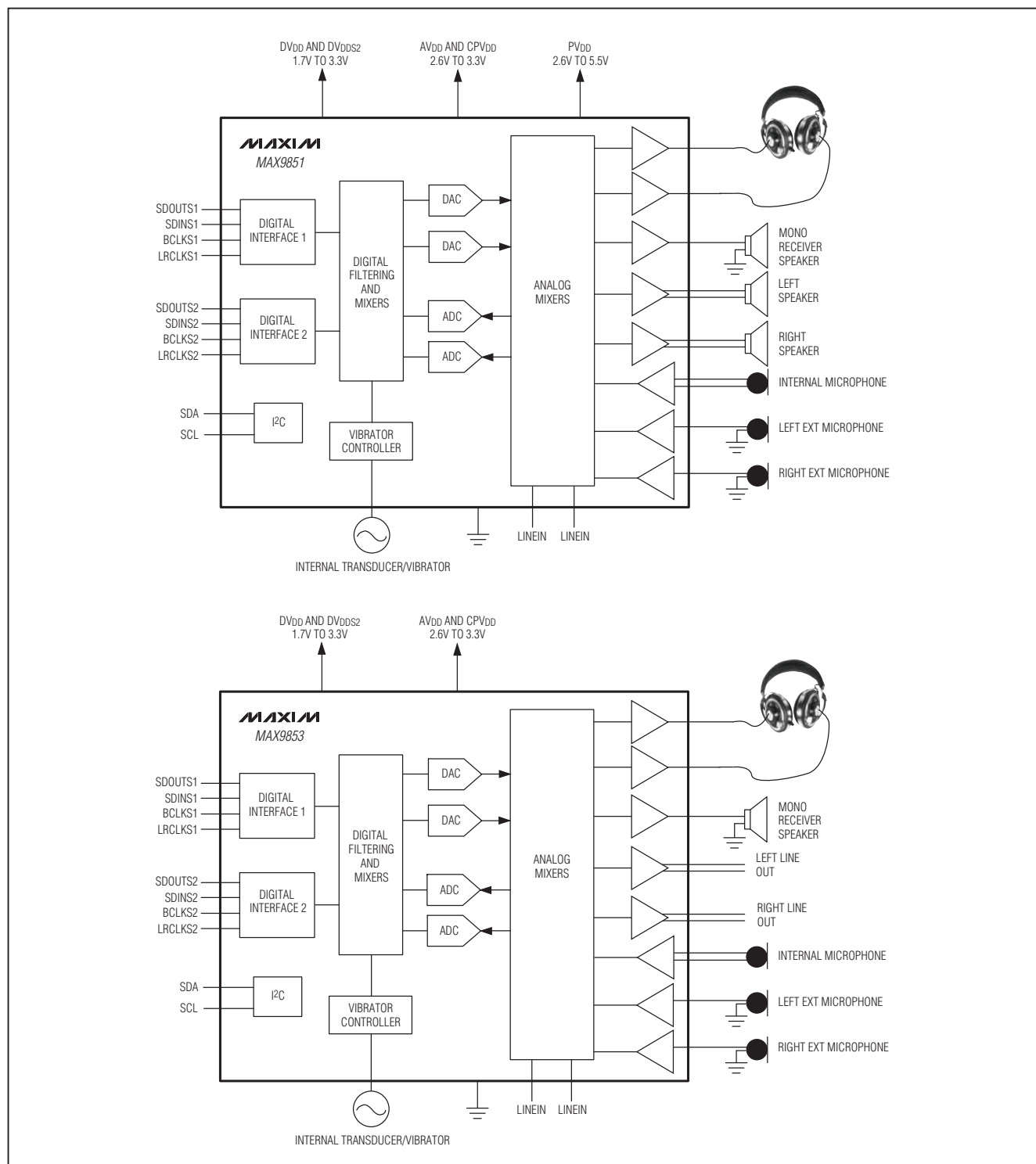
+は鉛フリーパッケージを表します。

*EP = エクスポーズドパッド

ピン配置および選択ガイドはデータシートの最後に記載されています。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

簡略化ブロックダイアグラム



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ABSOLUTE MAXIMUM RATINGS

(Voltages with respect to AGND)

AV _{DD} , DV _{DD} , DV _{DDS2} , CPV _{DD}	-0.3V to +4V
PV _{SS} , SV _{SS}	-4V to +0.3V
PV _{DD}	-0.3V to +6V
AGND, DGND, CPGND, PGND	-0.3V to +0.3V
HPL, HPR, REC	(SV _{SS} - 0.3V) to (AV _{DD} + 0.3V)
LSPK+, LSPK-, RSPK+, RSPK-	-0.3V to (PV _{DD} + 0.3V)
LINEIN1, LINEIN2	-2V to +2V
EXTMICBIASL, EXTMICBIASR	-0.3V to (AV _{DD} + 0.3V)
INTMICP, INTMICN, EXTMICL, EXTMICR	-2V to +2V
EXTMICGND	-0.3V to +0.3V
C1N	(PV _{SS} - 0.3V) to (CPGND + 0.3V)
C1P	(CPGND - 0.3V) to (CPV _{DD} + 0.3V)
PREG, REF, MBIAS, INTMICBIAS	-0.3V to (AV _{DD} + 0.3V)
NREG	+0.3V to (SV _{SS} - 0.3V)
OUTL+, OUTL-, OUTR+, OUTR-, FAULTIN	-0.3V to (AV _{CC} + 0.3V)
MCLK, IRQ, VIBE, SCL, SDA	-0.3V to +4V
SHDNOUT	-0.3V to +6V

LRCLKS1, BCLKS1, SDOUTS1, SDINS1	-0.3V to DV _{DD} + 0.3V
LRCLKS2, BCLKS2, SDOUTS2, SDINS2	-0.3V to DV _{DDS2} + 0.3V
Short Circuit to AGND Duration:	
HPL, HPR, REC	Continuous
LSPK+, LSPK-, RSPK+, RSPK-	Subject to Maximum Package Power Dissipation
INTMICBIAS, EXTMICBIASL, EXTMICBIASR	Continuous
Short Circuit to AV _{DD} Duration	
EXTMICBIASL, EXTMICBIASR	Continuous
Current Into/Out of Any Pin (unless otherwise noted)	100mA
Continuous Power Dissipation (T _A = +70°C)	
48-Pin Thin QFN (derate 40mW/°C above +70°C)	3200mW
Junction Temperature	+150°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = CPV_{DD} = +3V, DV_{DD} = DV_{DDS2} = +1.8V, PV_{DD} = +3.3V, R_{HP} = 32Ω, Z_{SPK} = 8Ω + 10μH, R_{REC} = 32Ω, R_{OUTL+} to R_{OUTL-} = 10kΩ, R_{OUTR+} to R_{OUTR-} = 10kΩ, C1 = 0.22μF, C2 = C_{NREG} = C_{PREG} = C_{INTMICBIAS}, C_{MBIAS} = C_{REF} = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Analog Supply Voltage	AV _{DD} , CPV _{DD}	AV _{DD} = CPV _{DD} , no load		2.6		3.3	V
Digital Supply Voltage	DV _{DD} , DV _{DDS2}	No load		1.7		3.3	V
Speaker Supply Voltage	PV _{DD}	No load		2.6		5.5	V
Analog Supply Current	I _{DD}	DAC playback mode, no output loads (Note 1)	Stereo headphone		7.2		mA
			Stereo speaker (MAX9851)/line output (MAX9853)	6.5		8.5	
			Mono receiver	6.4			
		Line only playback mode, no output loads	Stereo headphone		5.0		
			Stereo speaker (MAX9851)/line output (MAX9853)	4.6			
			Mono receiver	4.4			
		DAC plus line input playback mode, no output loads (Note 1)	Stereo headphone		7.2		
			Stereo speaker (MAX9851)/line output (MAX9853)	6.4			
			Mono receiver	6.3			

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Analog Supply Current	A _{DD}	Full-duplex voice mode, no output loads	Stereo headphone	11.9		mA	
			Stereo speaker (MAX9851)/line output (MAX9853)	11.2			
			Mono receiver	11.1	14.5		
		Full-duplex voice mode plus DAC playback mode, no output loads (Notes 1, 2)	Stereo headphone	11.9			
			Stereo speaker (MAX9851)/line output (MAX9853)	11.2			
			Mono receiver	11.1			
		ADC record mode (Note 3)		12.2			
		ADC record mode plus DAC headphone playback mode (Notes 1, 3)		18.2	24.0		
Speaker Supply Current (Note 4)	P _{DD}	Mono Class D speaker mode		5	mA		
		Stereo Class D speaker mode		10		14	
		Sleep mode (MAX9851, MAX9853)		2	15	μA	
Digital Supply Current	D _{DD}	Playback operation (Note 1), no output loads		2.7	3.7	mA	
		Full duplex voice operation (Note 2), no output loads, T _A = +25°C		6.2	7.8		
		Record operation (Notes 1, 3)		3.9	5.2		
Analog Shutdown Current	A _{SHDN}	I _{AVDD} + I _{CPVDD} , T _A = +25°C		1.4	20	μA	
Digital Shutdown Current	D _{SHDN}	I _{DVDD} + I _{DVDDS2} , T _A = +25°C		0.5	10	μA	
P _{VDD} Shutdown Current (Note 4)	P _{SHDN}	I _{PVDD} , T _A = +25°C	MAX9851	1	20	μA	
			MAX9853	0.1	5		
Shutdown to Full Operation	t _{ON}	ADC and DAC fully operational, master mode		70		ms	
DAC PERFORMANCE (Note 5) (DAC in Master Mode)							
Gain Error				±1	±7	%	
Channel Gain Matching				±1		%	
Dynamic Range (Note 6)	DR	f _S = 8kHz (voice modes), headphone volume = +5.5dB		75.5		dB	
		f _S = 8kHz and 48kHz (stereo audio modes), headphone volume = +5.5dB		84	87.5		

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion Plus Noise	THD+N	$f_{IN} = 1\text{kHz}$, $f_S = 8\text{kHz}$, 0dBFS (voice mode master mode, ADC and headphone output enabled, no load), headphone volume = +2.5dB	-71.5			dB
		$f_{IN} = 1\text{kHz}$, $f_S = 48\text{kHz}$, 0dBFS (ADC and headphone output enabled, no load), headphone volume = +2.5dB	-84.5			
Signal-to-Noise Ratio (Note 7)	SNR	$f_{IN} = 1\text{kHz}$, $f_S = 8\text{kHz}$ and 16kHz (voice modes), headphone volume = +2.5dB	75.5			dB
		$f_{IN} = 1\text{kHz}$, $f_S = 8\text{kHz}$ to 48kHz (stereo audio modes), headphone volume = +2.5dB	88			
Crosstalk	XTALK	Driven channel at -1dBFS, $f_{IN} = 1\text{kHz}$, $f_S = 8\text{kHz}$, headphone output (no load)	-95			dB
Power-Supply Rejection Ratio	PSRR	$f = 217\text{Hz}$, $V_{RIPPLE} = 100\text{mV}_{P-P}$	95			dB
		$f = 10\text{kHz}$, $V_{RIPPLE} = 100\text{mV}_{P-P}$	68			
DAC DIGITAL FILTERS						
Passband Cutoff	f_{PD}		0.44			f_S
Passband Ripple		$f < f_{PD}$	± 0.2			dB
Stopband Cutoff	f_{SD}		0.58			f_S
Stopband Attenuation		$f > f_{SD}$	60			dB
Attenuation at $f_S / 2$			-6.02			dB
DAC VOICEBAND HIGHPASS FILTER (S1 Mono Voice Input Path, $f_S = 8\text{kHz}$, Register 0x07 bit 4 = 1)						
Passband Cutoff	f_{PH}		175			Hz
Passband -3dB Cutoff	f_{P3_H}		130			Hz
Passband Ripple		$f > f_{PH}$	± 0.2			dB
Stopband Cutoff	f_{SH}		77			Hz
Stopband Attenuation		$f < f_{SH}$	28			dB
DAC VOICEBAND HIGHPASS FILTER (S1 Mono Voice Input Path, $f_S = 16\text{kHz}$, Register 0x07, bit 4 = 1)						
Passband Cutoff	f_{PH}		350			Hz
Passband -3dB Cutoff	f_{P3_H}		260			Hz
Passband Ripple		$f > f_{PH}$	± 0.2			dB
Stopband Cutoff	f_{SH}		154			Hz
Stopband Attenuation		$f < f_{SH}$	28			dB
DAC VOICEBAND LOWPASS FILTER (S1 Mono Voice Input Path, $f_S = 8\text{kHz}$)						
Passband Cutoff	f_{PL}		3500			Hz
Passband Ripple		$f < f_{PL}$	± 0.05			dB
Stopband Cutoff	f_{SL}		3900			Hz
Stopband Attenuation		$f > f_{SL}$	75			dB

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC VOICEBAND LOWPASS FILTER (S1 Mono Voice Audio Input Path, f _S = 16kHz)						
Stopband Cutoff	f _{PL}		7000			Hz
Passband Ripple		f < f _{PL}			±0.05	dB
Stopband Cutoff	f _{SL}				7800	Hz
Stopband Attenuation		f > f _{SL}	75			dB
DAC ADJUSTABLE HIGHPASS FILTER						
DC Attenuation	DC _{ATT}	Register 0x07 bits [3:0] = 0x5, 0xA, or 0xF		90		dB
Highpass Cutoff (-3dB)	f _P	Register 0x07 [3:0] = 0x5	55		91	Hz
		Register 0x07 [3:0] = 0xA	171		279	
		Register 0x07 [3:0] = 0xF	327		533	
DAC INPUT GAIN CONTROL (Register 0x0C and 0x0D)						
Gain Control Range		For both input data interfaces	-96		0	dB
ADC DC ACCURACY						
Gain Error				±1	±7	%
Full-Scale Conversion	0dBFS	f _{IN} = 1kHz, line input, PGA = 0dB		2.05		V _{P-P}
Channel Gain Matching				±1		%
ADC DYNAMIC SPECIFICATIONS (Note 8)						
Dynamic Range (Note 6)	DR	BW = 22Hz to f _S / 2 (8kHz voice modes)		73	75	dB
		BW = 22Hz to 20kHz (48kHz stereo audio modes, A-weighted)	T _A = +25°C	77	82	
			T _A = T _{MIN} to T _{MAX}	71		
		BW = 22Hz to f _S / 2 (8kHz audio mode)			-85.5	
Total Harmonic Distortion	THD	1kHz, 0dBFS, f _S = 8kHz (voice mode)			-85.5	dB
		1kHz, 0dBFS, f _S = 48kHz (stereo audio mode)			-85.5	
Signal-to-Noise Ratio	SNR	1kHz, 0dBFS, f _S = 8kHz (voice mode)			75	dB
		1kHz, 0dBFS, f _S = 48kHz (stereo audio mode, A-weighted)			81.5	
		1kHz, 0dBFS, f _S = 8kHz (stereo audio mode, A-weighted)			87.5	
Channel Crosstalk		Driven channel at -1dBFS, f _{IN} = 1kHz, f _S = 48kHz (from MICL to ADCR or MICR to ADCL)			-75	dB
Power-Supply Rejection Ratio (Note 9)	PSRR	AV _{DD} = 2.6V to 3.3V		48	63	dB
		f = 217Hz, V _{RIPPLE} = 100mV _{P-P}			63	
		f = 10kHz, V _{RIPPLE} = 100mV _{P-P}			50	

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC DIGITAL FILTER PATH (Stereo Audio Modes)						
Passband Cutoff	fPBL		0.44			fs
Passband Ripple		f < fPBL			±0.5	dB
Stopband Cutoff	fSBL				0.58	fs
Stopband Attenuation		f > fSBL	53			dB
Attenuation at fs/2				-6.02		dB
ADC VOICEBAND HIGHPASS FILTER (S1 Mono Voice Input Path, fs = 8kHz)						
Passband Cutoff	fPH				175	Hz
Passband -3dB Cutoff	fP3_H				130	Hz
Passband Ripple		f > fPH			±0.2	dB
Stopband Cutoff	fSH		77			Hz
Stopband Attenuation		f < fSH	28			dB
ADC VOICEBAND HIGHPASS FILTER (S1 Mono Voice Input Path, fs = 16kHz)						
Passband Cutoff	fPH				350	Hz
Passband -3dB Cutoff	fP3_H				260	Hz
Passband Ripple		f > fPH			±0.2	dB
Stopband Cutoff	fSH		154			Hz
Stopband Attenuation		f < fSH	28			dB
ADC VOICEBAND LOWPASS FILTER (S1 Mono Voice Input Path, fs = 8kHz)						
Passband Cutoff	fPL		3500			Hz
Passband Ripple		f < fPL			±0.05	dB
Stopband Cutoff	fSL				3900	Hz
Stopband Attenuation		f > fSL	75			dB
ADC VOICEBAND LOWPASS FILTER (S1 Mono Voice Input Path, fs = 16kHz)						
Passband Cutoff	fPL		7000			Hz
Passband Ripple		f < fPL			±0.05	dB
Stopband Cutoff	fSL				7800	Hz
Stopband Attenuation		f > fSL	75			dB
ADC DC-BLOCKING FILTER						
DC-Blocking Filter -3dB Corner	fC	As a fraction of output sample rate		fs / 1608		Hz
DC Attenuation				120		dB
Maximum DC Input				0.125		V
DAC/ADC DATA RATE ACCURACY						
LRCLK Output Sample Rate Deviation From Ideal (Note 10)		fs = 8kHz to 48kHz (master mode with DAC only enabled) (See Table 1 for details)	-0.025		+0.025	%

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC/ADC DATA RATE ACCURACY						
LRCLK Output Sample Rate Deviation From Ideal (Note 10)		Master mode with ADC SDOUT enabled; audio mode, unless otherwise noted	fS = 8kHz (voice mode)	0		%
			fS = 16kHz (voice mode)	0		
			fS = 8kHz	0.31		
			fS = 11.025kHz	0.27		
			fS = 12kHz	0.31		
			fS = 16kHz	-0.43		
			fS = 22.05kHz	-0.41		
			fS = 24kHz	0.31		
			fS = 32kHz	-0.43		
			fS = 44.1kHz	-1.74		
			fS = 48kHz	-0.43		
LRCLK Input Sample Rate Range		Synchronous or asynchronous input (slave mode with only DAC enabled)	7.8		50	kHz
DAC TRANSDUCER/VIBE OUTPUT						
Vibe PGA Range	TGAIN	11 steps in 6dB increments	-30		+30	dB
0dBFS Output Voltage		1-bit DAC output externally filtered pullup resistor to DVDD (TGAIN = 0dB)		DVDD / 2		VP-P
Output Offset Voltage		1-bit DAC output externally filtered, no signal, pullup resistor to DVDD		DVDD / 2		V
Vibe PGA Output Resolution	PGAR			10		bits
LPF Passband -3dB Cutoff	fPBL	fS = 8kHz, 16kHz, or 32kHz		483		Hz
		fS = 11.025kHz, 22.05kHz, or 44.1kHz		665		
		fS = 12kHz, 24kHz, or 48kHz		724		
LPF Stopband Attenuation	fSBL	f > 3.5xfPBL	27			dB
1-Bit DAC Digital Dynamic Range	DRV	Ideal dynamic range (0 to 8kHz or 0 to fS / 2 for fS < 16kHz)		48		dB
1-Bit DAC Operating Frequency	fV			650		kHz
OPEN-DRAIN DIGITAL OUTPUT (VIBĒ)						
Output High Current	IOH	VOU = DVDD			3	μA
Output Low Voltage	VOL	IOL = 3mA			0.4	V

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
HEADPHONE AMPLIFIERS						
Output Power	POUT	f = 1kHz, THD < 1%, volume +5.5dB	R _L = 16Ω R _L = 32Ω	80 30 55		mW
0dBFS Output Voltage		+4.5dB volume setting, input is full-scale signal from the audio DAC	3.14	3.38	3.62	V _{P-P}
Line In to HP Out Voltage Gain		+4.5dB volume setting	Stereo/mono Balanced mono	1.54 3.1	1.66 3.35	1.78 3.6
Output Offset Voltage	VOS			10	40	mV
Total Harmonic Distortion Plus Noise	THD+N	R _L = 32Ω, P _{OUT} = 50mW, f = 1kHz, BW = 22Hz to 20kHz R _L = 16Ω, P _{OUT} = 60mW, f = 1kHz, BW = 22Hz to 20kHz		0.03 0.03		%
Dynamic Range	DR	+5.5dB volume setting (DAC input to HP output), A-weighted	70	87.5		dB
Power-Supply Rejection Ratio (DAC Input to HP Out)	PSRR	AVCC = 2.6V to 3.6V V _{RI} PPLE = 100mV _{P-P} , f = 217Hz V _{RI} PPLE = 100mV _{P-P} , f = 10kHz	60	95 95 68		dB
Maximum Capacitive Load	CL	No sustained oscillations		150		pF
Crosstalk (Line Input to Headphone Output)		R _L = 32Ω, P _{OUT} = 1.6mW, f = 1kHz		-85		dB
Channel Gain Matching	AVMATCH	Line input to headphone output		±1		%
Click-and-Pop Level	KCP	Peak voltage, 32- samples per second, A-weighted, R _L = 32Ω (Note 11)	Into shutdown, HP disabled Out of shutdown, HP enabled	-53 -48		dBV
SPEAKER AMPLIFIERS (MAX9851) (Note 12)						
Output Power	POUT	f = 1kHz, 2V _{P-P} line input, +13.1dB speaker amp volume setting	PVDD = 3.3V, THD+N < 1% P _V DD = 5V, THD+N < 1% P _V DD = 3.3V, THD+N < 10% P _V DD = 5V, THD+N < 10%	R _L = 8Ω R _L = 8Ω R _L = 8Ω R _L = 8Ω	500 1150 600 1250	mW
0dBFS Output Voltage		+12.1dB volume setting, PVDD = +5V		8.4		V _{P-P}

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Line In to Speaker Out Voltage Gain		+12.1dB volume setting, PVDD = +5V	4.0	4.2	4.4	V/V
Output Offset Voltage	VOS			10	100	mV
Total Harmonic Distortion Plus Noise	THD+N	RL = 8Ω, POUT = 125mW, f = 1kHz, BW = 22Hz to 20kHz, +10.1dB volume setting		0.03		%
Dynamic Range	DR	+12.1dB volume setting, A-weighted		90		dB
Power-Supply Rejection Ratio	PSRR	PVDD = 2.6V to 5.5V	50	70		dB
		VRIPPLE = 100mVp-p, f = 217Hz		70		
		VRIPPLE = 100mVp-p, f = 10kHz		55		
Crosstalk		RL = 8Ω, POUT = 100mW, f = 1kHz		60		dB
Channel Gain Matching	AVMATCH			±4		%
Class D Switching Frequency				1100		kHz
Click-and-Pop Level	KCP	Peak voltage, 32-samples per second, A-weighted RL = 8Ω (Note 11)	Into shutdown	-35		dBV
			Out of shutdown	-35		
Efficiency		POUT = 1W per channel, RL = 8Ω		75		%
LINE OUTPUT AMPLIFIERS (MAX9853) (Note 12)						
Line Output Common-Mode Voltage			1.13	1.23	1.33	V
Line Output Differential Offset Voltage			-90		+90	mV
Maximum Differential Output Voltage			3.16	4.16	4.74	Vp-p
Dynamic Range	DR	1.4mVRMS (-60dB) output voltage, A-weighted		88		dB
Total Harmonic Distortion Plus Noise	THD+N	fIN = 1kHz, VOUT = 2Vp-p, BW = 22Hz to 20kHz		0.004		%
Power-Supply Rejection Ratio	PSRR	AVDD = 2.6V to 3.6V	57	100		dB
		VRIPPLE = 100mVp-p, f = 217Hz		95		
		VRIPPLE = 100mVp-p, f = 20kHz		55		
Line Input to Line Output Gain Accuracy			-0.4		+0.6	dB

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See Functional Diagrams/Typical Operating Circuits).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RECEIVER AMPLIFIER (Note 12)						
Output Power	POUT	f = 1kHz, THD < 1%, +5.5dB volume setting	R _L = 16Ω, input signal from LINEIN1	80		mW
			R _L = 16Ω, input signal is the sum of LINEIN1+LINEIN2	105		
			R _L = 32Ω, input signal from LINEIN1	35	55	
Maximum Output Voltage		+4.5dB volume setting, 0dB PGA setting, input signal 0dBFS from DAC output, only 1 input selected	3.09	3.35	3.64	V _{P-P}
Line In to REC Out Voltage Gain		+4.5dB volume setting, 0dB PGA setting, only 1 input selected	1.54	1.68	1.82	V/V
Output Offset Voltage	VOS			10	60	mV
Total Harmonic Distortion Plus Noise	THD+N	R _L = 32Ω, P _{OUT} = 40mW, f = 1kHz, BW = 22Hz to 20kHz, +3dB volume setting		0.03		%
		R _L = 16Ω, P _{OUT} = 40mW, f = 1kHz, BW = 22Hz to 20kHz, +3dB volume setting		0.04		
Dynamic Range	DR	+6dB volume setting, A-weighted		92		dB
Power-Supply Rejection Ratio	PSRR	AVDD = 2.6V to 3.3V	60	100		dB
		V _{RIPPLE} = 100mV _{P-P} , f = 217Hz		98		
		V _{RIPPLE} = 100mV _{P-P} , f = 20kHz		65		
Maximum Capacitive Load	C _L	No sustained oscillations		150		pF
Click-and-Pop Level	K _{CP}	Peak voltage, 32 samples per second, A-weighted, R _L = 16Ω (Note 11)		-44.6		dBV
VOLUME CONTROL/PGAs						
Headphone/Receiver Volume Control Range			-80		+6.1	dB
Headphone/Receiver Mute Attenuation		f = 1kHz		100		dB
Speaker Volume Control Range (MAX9851)			-72.4		+13.7	dB
Speaker Mute Attenuation (MAX9851)		f = 1kHz		100		dB
Differential Line Output Gain Control Range (MAX9853)			-78.4		+7.9	dB
Differential Line Output Mute Attenuation (MAX9853)		f = 1kHz		100		dB

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDDSD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sidetone Volume Control Range			-34.0		+30.5	dB
Sidetone Mute Attenuation		f = 1kHz, sidetone deselected from input mixer		80		dB
CHARGE PUMP						
Charge-Pump Oscillator Frequency	fOSC		295	650	1200	kHz
MICROPHONE AMPLIFIERS						
Preamplifier Gain	AVPRE	EXTMIC_	AVPRE = +20dB	+18.5	+20.5	dB
			AVPRE = +20dB	-0.9	+0.4	
MIC PGA Gain	AVMICPGA	PGA gain = 0dB		-0.9	+0.4	dB
		PGA gain = +20dB		+18.5	+20.5	
MIC Mute Attenuation		f = 1kHz		105		dB
Common-Mode Rejection Ratio	CMRR	EXTMIC_, VIN = 100mVp-p at 217Hz, AVPRE = +20dB		80		dB
MIC Input Voltage Range		INTMIC_, EXTMIC_	-1		+1	V
		EXTMICGND	-0.1		+0.1	
MIC Input Resistance	RIN_MIC	INTMIC_, EXTMIC_	30	50	70	kΩ
MIC GND Sense Input Resistance	RIN_MICS	EXTMICGND	15	25	36	kΩ
MIC Input Resistance Matching	RMATCH	INTMICP to INTMICN or EXTMICL to EXTMICR		0.3		%
MIC Input Bias Voltage	VCML	Measured at INTMIC_, EXTMIC_, and EXTMICGND	-0.1	0	+0.1	V
Input Voltage Noise	EIN_MIC	f = 1kHz, AVPRE = +20dB, RSOURCE = 0Ω		25		nV/√Hz
Total Harmonic Distortion Plus Noise	THD+N	AVPRE = 0dB, AVMICPGA = 0dB, VIN = 2Vp-p, f = 1kHz, BW = 22Hz to 20kHz		0.035		%
		AVPRE = +20dB, AVMICPGA = 0dB, VIN = 200mVp-p, f = 1kHz, BW = 22Hz to 20kHz		0.035		
		AVPRE = +20dB, AVMICPGA = +20dB, VIN = 20mVp-p, f = 1kHz, BW = 22Hz to 20kHz		0.06		
MIC Power-Supply Rejection Ratio	PSRR	AVDD = 2.6V to 3.3V, TA = +25°C	48	65		dB
		VRIPPLE = 100mVp-p at 217Hz, output referred		65		dB
		VRIPPLE = 100mVp-p at 10kHz, output referred		65		dB

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MICROPHONE BIAS						
INTMICBIAS Output Voltage	VMICBIAS		2.3	2.4	2.5	V
INTMICBIAS Load Regulation		IMICBIAS = 0 to 2mA		0.7	10	Ω
INTMICBIAS Minimum Capacitive Load				1		μF
INTMICBIAS Short-Circuit Current		To AGND		15		mA
INTMICBIAS Power-Supply Rejection Ratio	PSRR	AVDD = 2.6V to 3.3V, TA = +25°C		72		dB
		VRIPPLE = 100mV at 217Hz		85		dB
		VRIPPLE = 100mV at 10kHz		70		dB
INTMICBIAS Noise Voltage	VNOISE	f = 22Hz to 20kHz		2.8		μVRMS
		f = 1kHz		20		nV/√Hz
EXTMICBIAS_ Output Impedance	REXTMIC	2.2kΩ setting	2.00		2.42	kΩ
		470Ω setting	425		515	Ω
EXTMICBIAS_ Off-Impedance		VEXTMICBIAS_ = 0 to 3.0V	1	2		MΩ
LINE INPUT (Note 13)						
Line Input Maximum Input Voltage				2		Vp-p
Line Input Resistance	RIN		10	20		kΩ
Line Channel-to-Channel Gain Matching	AVMATCH			±1		%
PGA Gain Range			-34.0		+30.5	dB
HEADSET AUTO-DETECT (Normal Operation)						
MIC Sense High Threshold	VTH1	MIC bias and bias resistor enabled	0.92 x VMICBIAS	0.95 x VMICBIAS	0.98 x VMICBIAS	V
MIC Sense Low Threshold	VTH2	MIC bias and bias resistor enabled	0.06 x VMICBIAS	0.1 x VMICBIAS	0.17 x VMICBIAS	V
MIC Sense Deglitch Period	tGLITCH	Pulses shorter than tGLITCH1 are eliminated		20		ms
Headphone Sense Current	ISENSE	VHPL / VHPR = AGND (headphones disabled)		3.4	5	μA
Headphone Sense Voltage	VSENSE	HPR/HPL (headphone amplifiers disabled)		AVDD		V
		Test 2 (HPTTEST = 1) - HPR only		0		
Headphone Sense Threshold	VTH3		0.74 x AVDD	0.73 x AVDD	0.82 x AVDD	V
SLEEP MODE (AVCC = 0V or 3V)						
MIC Sense Current	IMIC	EXTMICBIASL = AGND		3	10	μA
MIC Sense Voltage	VMIC			PVDD		V
MIC Sense Sleep Threshold	VTH4	Voltage at EXTMICBIASL	0.9	2	2.7	V

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

TIMING CHARACTERISTICS

(AVDD = CPVDD = +3V, DVDD = DVDD_{S2} = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT CLOCK CHARACTERISTICS						
MCLK Input Frequency	f _{MCLK}			13 / 26		MHz
MCLK Duty Cycle			45	50	55	%
Maximum MCLK Jitter		Maximum allowable RMS for performance limits		100		psRMS
DIGITAL INPUTS (BCLKS_, LRCLKS_, SDINS_, MCLK, SDA, SCL, FAULTIN)						
Input-Voltage High	V _{IH}		0.7 x DVDD			V
Input-Voltage Low	V _{IL}			0.3 x DVDD		V
Input Hysteresis				200		mV
Input Leakage Current	I _{IH} , I _{IL}		-3		+3	μA
FAULTIN Input Low Leakage Current (MAX9853)	I _{IL}	FAULTIN has internal pullup resistor			30	μA
FAULTIN Input High Leakage Current (MAX9853)	I _{IH}				3	μA
Input Capacitance				10		pF
CMOS DIGITAL OUTPUTS (BCLKS_, LRCLKS_, SDOUTS_)						
Output Low Voltage	V _{OL}	I _{OL} = 3mA			0.4	V
Output High Voltage	V _{OH}	I _{OH} = 3mA	DVDD - 0.4			V
DIGITAL AUDIO INTERFACE TIMING CHARACTERISTICS (Digital Audio Interface S1 and S2)						
BCLK Cycle Time	t _{BCLKS}	Slave operation	75			ns
	t _{BCLKM}	Master operation		308		ns
BCLK High Time	t _{BCLKH}	Slave operation	30			ns
BCLK Low Time	t _{BCLKL}	Slave operation	30			ns
BCLK_ or LRCLK_ Rise and Fall Time	t _r , t _f	Master operation, C _L = 15pF		7		ns
SDIN_ or LRCLK_ to BCLK_ Rising Set-Up Time	t _{SU}	BCI = 0 (see I ² C register definition)	30			ns
SDIN_ or LRCLK_ to BCLK_ Rising Hold Time	t _{HD}	BCI = 0 (see I ² C register definition)	5			ns
SDOUTS1 Delay Time	t _{DLY}	BCI = 0 (see I ² C register definition), C _L = 30pF			35	ns
SDOUTS2 Delay Time	t _{DLY}	BCI = 0 (see I ² C register definition), C _L = 30pF			50	ns

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

TIMING CHARACTERISTICS (continued)

(AVDD = CPVDD = +3V, DVDD = DVDDSD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = 10kΩ, ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CNREG = CPREG = CINTMICBIAS, CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOICE MODE TIMING CHARACTERISTICS (Digital Audio Interface S1 and S2)						
BCLK_ Cycle Time	tBC		75			ns
BCLK_ High Time	tBH		30			ns
BCLK_ Low Time	tBL		30			ns
BCLK_ or LRCLK_ Rise and Fall Time	t _r , t _f	Master mode, C _{LOAD} = 15pF		7		ns
SDIN_ or LRCLK_ to BCLK_ Rising Edge Setup Time	t _{SU}	BCI = 0 (see I ² C register definition)	30			ns
SDIN_ or LRCLK_ to BCLK_ Rising Edge Hold Time	t _{HD}	BCI = 0 (see I ² C register definition)	5			ns
SDOUTS1 Delay Time	t _{DLY}	BCI = 0 (see I ² C register definition), from BCLK rising edge			35	ns
SDOUTS2 Delay Time	t _{DLY}	BCI = 0 (see I ² C register definition), from BCLK rising edge			50	ns
OPEN-DRAIN DIGITAL OUTPUTS (SDA, $\overline{\text{IRQ}}$)						
Output High Current	I _{OH}	V _{OUT} = DV _{DD}			3	μA
Output Low Voltage	V _{OL}	I _{OL} = 3mA for DV _{DD} > 2V			0.4	V
		I _{OL} = 3mA for DV _{DD} < 2V			0.2 x DV _{DD}	
OPEN-DRAIN DIGITAL OUTPUT (SHDNOUT) (MAX9853 Only)						
Output High Current	I _{OH}	V _{OUT} = DV _{DD}			3	μA
Output Low Voltage	V _{OL}	I _{OL} = 100μA			0.4	V
I ² C TIMING CHARACTERISTICS						
Serial Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between STOP and START Conditions	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD,STA}		0.6			μs
SCL Pulse Width Low	t _{LOW}		1.3			μs
SCL Pulse Width High	t _{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	t _{SU,STA}		0.6			μs

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

TIMING CHARACTERISTICS (continued)

(AV_{DD} = CPV_{DD} = +3V, DV_{DD} = DV_{DD}S2 = +1.8V, PV_{DD} = +3.3V, R_{HP} = 32Ω, Z_{SPK} = 8Ω + 10μH, R_{REC} = 32Ω, R_{OUTL+} to R_{OUTL-} = 10kΩ, R_{OUTR+} to R_{OUTR-} = 10kΩ, C1 = 0.22μF, C2 = C_{NREG} = C_{PREG} = C_{INTMICBIAS}, C_{MBIAS} = C_{REF} = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (See *Functional Diagrams/Typical Operating Circuits*).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Hold Time	t _{HD,DAT}		0		900	ns
Data Setup Time	t _{SU,DAT}		100			ns
SDA and SCL Receiving Rise Time	t _r	(Note 14)	20+0.1C _B		300	ns
SDA and SCL Receiving Fall Time	t _f	(Note 14)	20+0.1C _B		300	ns
SDA Transmitting Fall Time	t _f	DV _{DD} = 1.8V (Note 14)	20+0.1C _B		250	ns
		DV _{DD} = 3.3V (Note 14)	20+0.05C _B		250	
Setup Time for STOP Condition	t _{SU,STO}		0.6			μs
Bus Capacitance	C _b				400	pF
Pulse Width of Suppressed Spike	t _{SP}		0		50	ns

- Note 1:** DAC playback mode is defined as clocking all zeros into the DAC which operates in stereo audio mode at the 48kHz sample rate in master mode.
- Note 2:** Full-duplex voice mode is defined as operating the DAC and ADC in mono 8kHz voice mode with line inputs, microphone inputs, and an analog output enabled.
- Note 3:** Record operation is defined as operating the stereo ADC with the stereo external microphone inputs enabled at the 48kHz sample rate in master mode.
- Note 4:** Speaker output available only on the MAX9851. PV_{DD} powers only the headset autodetect circuitry when in sleep mode on the MAX9853.
- Note 5:** DAC performance measured at headphone outputs.
- Note 6:** Dynamic range measured using the EIAJ method. The input is applied at -60dBFS, f_{IN} = 1kHz. The THD+N referred to 0dBFS A-weighted.
- Note 7:** The SNR is referred to 0dBFS A-weighted.
- Note 8:** ADC performance measured from line inputs (unless otherwise noted).
- Note 9:** Microphone amplifiers connected to ADC, mic inputs AC-grounded.
- Note 10:** In master-mode operation, sample clock rate is proportional to MCLK input.
- Note 11:** Speaker amplifier testing performed with 8Ω resistive load in series with a 68μH inductive load connected across BTL outputs. Headphone and receiver amplifier testing performed with 32Ω resistive load connected to GND. Mode transitions are controlled by toggling the amplifier on and off using the corresponding enable bit. Units expressed in dBV.
- Note 12:** Input signal for speaker, line output, and receiver output performance measured using line inputs.
- Note 13:** Line input specifications measured from line inputs to line outputs.
- Note 14:** C_B is in pF.

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

TYPICAL POWER DISSIPATION (No Output Load)

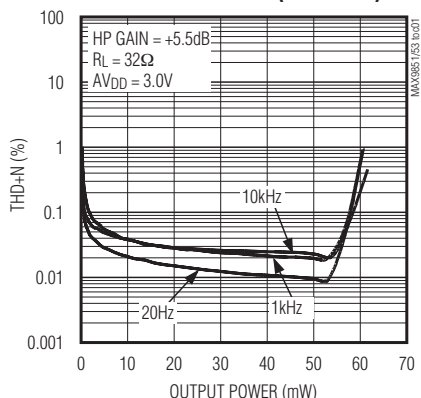
(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +2.7V.)

MODE	OUTPUT AMPLIFIER	TOTAL POWER (mW)
DAC playback mode operating at 48kHz sampling rate	Stereo headphone	27
	Stereo speaker	55
	Mono receiver	24
Line-only playback mode	Stereo headphone	16
	Stereo speaker	44
	Mono receiver	14
DAC and line input playback mode operating at 48kHz sampling rate	Stereo headphone	27
	Stereo speaker	55
	Mono receiver	25
8kHz voice mode with mono DAC, mono ADC, line inputs and a mono microphone enabled	Stereo headphone	48
	Stereo speaker	76
	Mono receiver	46
8kHz voice mode and 48kHz stereo audio mode with stereo DAC, mono ADC, line inputs and a mono microphone enabled	Stereo headphone	53
	Stereo speaker	81
	Mono receiver	51
ADC record mode with stereo microphone and line inputs enabled	—	46
ADC record and stereo playback with stereo microphone and stereo headphones	—	57

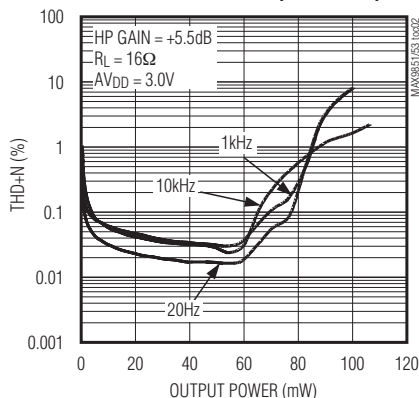
標準動作特性

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CVMREG = CVPREG = CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, fS = 48kHz for nonvoice mode, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

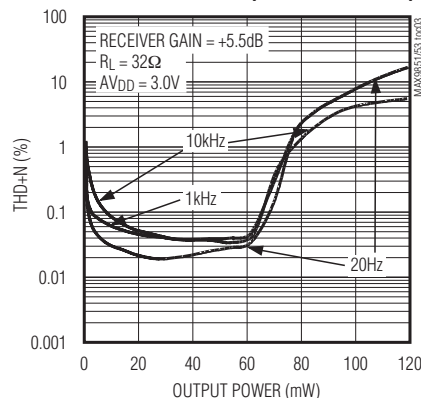
TOTAL HARMONIC DISTORTION PLUS NOISE vs. OUTPUT POWER (DAC TO HP)



TOTAL HARMONIC DISTORTION PLUS NOISE vs. OUTPUT POWER (DAC TO HP)



TOTAL HARMONIC DISTORTION PLUS NOISE vs. OUTPUT POWER (DAC TO RECEIVER)

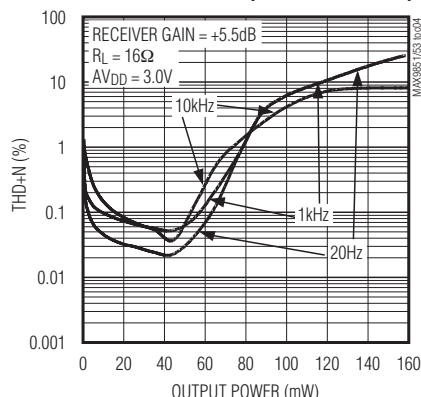


マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

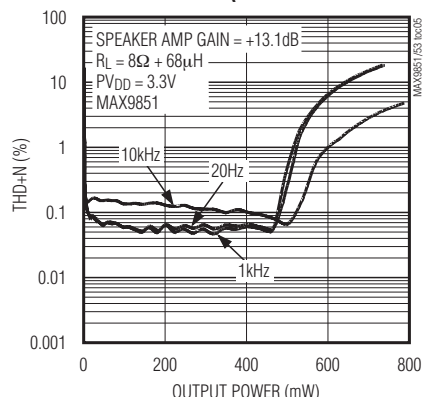
標準動作特性(続き)

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, R_{HP} = 32Ω, Z_{SPK} = 8Ω + 10μH, R_{REC} = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = C_{VMMREG} = C_{VPREG} = C_{MBIAS} = C_{REF} = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, f_S = 48kHz for nonvoice mode, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

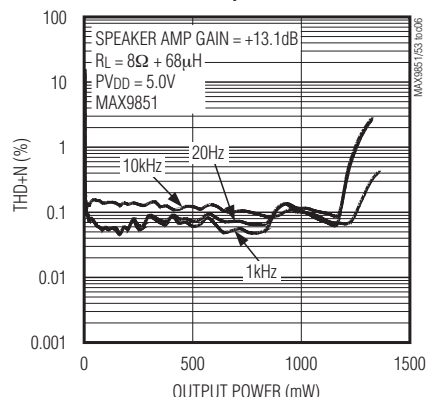
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO RECEIVER)**



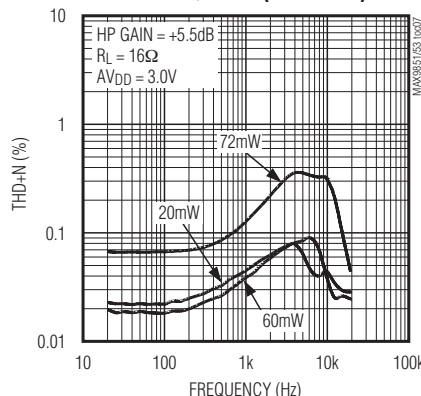
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER AMP)**



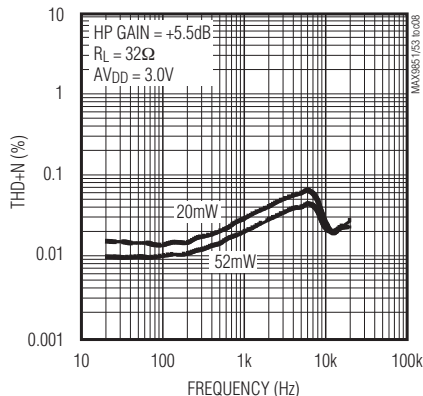
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER AMP)**



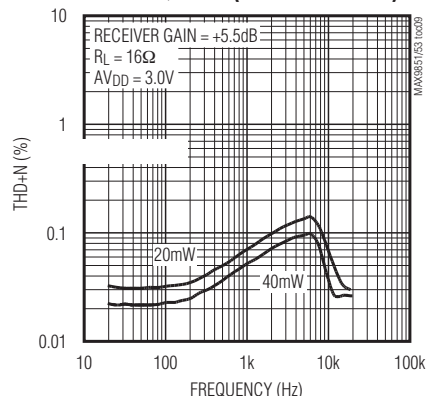
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HP)**



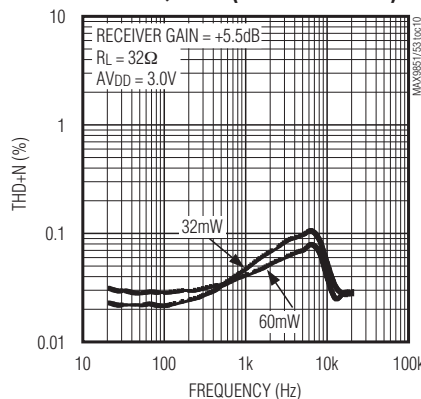
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HP)**



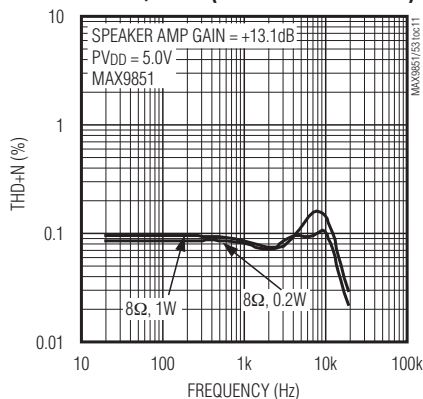
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO RECEIVER)**



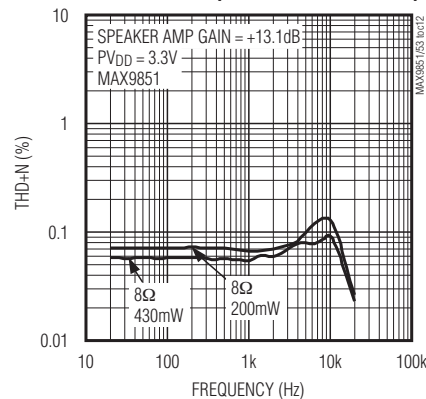
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO RECEIVER)**



**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO SPEAKER AMP)**



**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO SPEAKER AMP)**

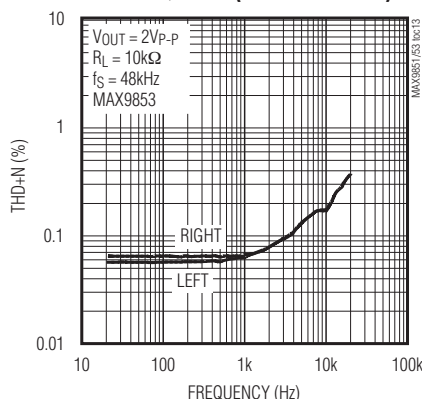


マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

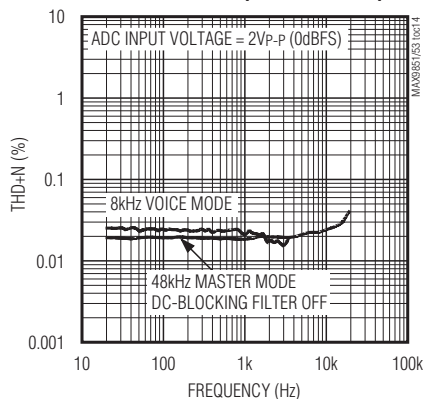
標準動作特性(続き)

(AVDD = CPVDD = +3V, DVDD = DVDDSD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CVMREG = CVPREG = CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, fS = 48kHz for nonvoice mode, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

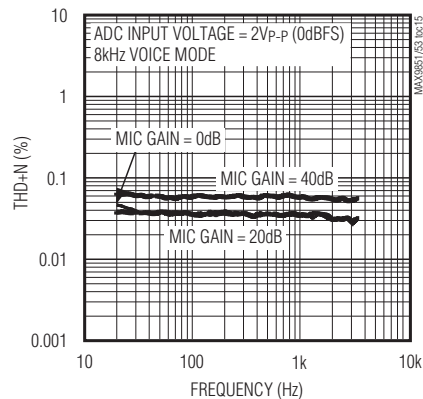
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO LINE OUT)**



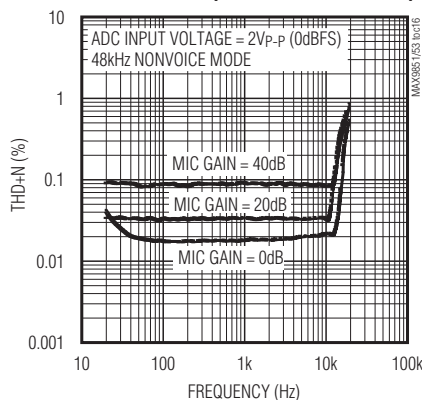
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (LINE IN TO ADC)**



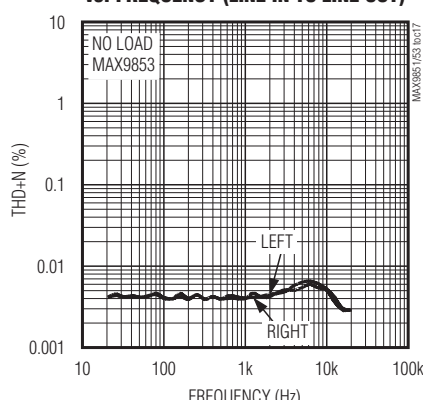
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (INTERNAL MIC TO ADC)**



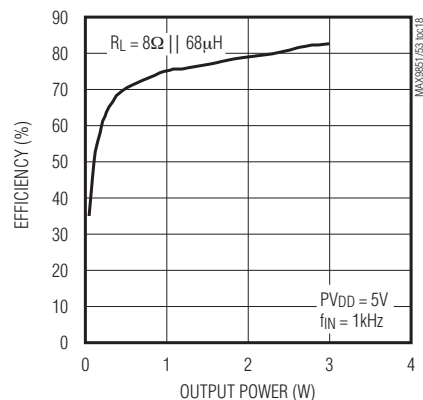
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (INTERNAL MIC TO ADC)**



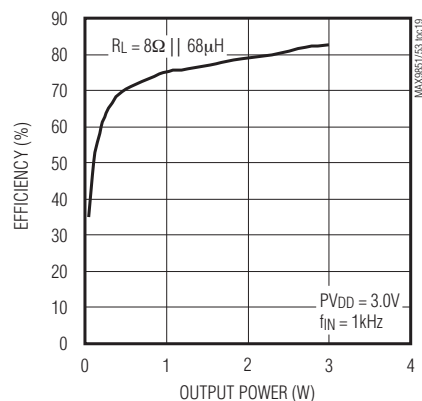
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (LINE IN TO LINE OUT)**



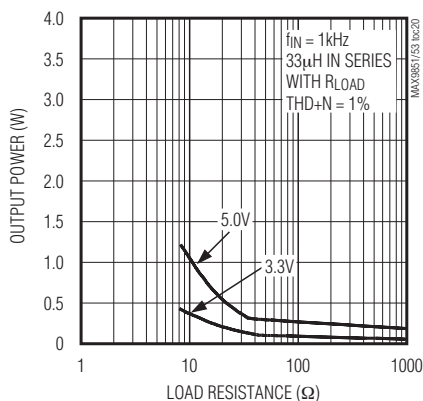
**SPEAKER AMP EFFICIENCY
vs. OUTPUT POWER**



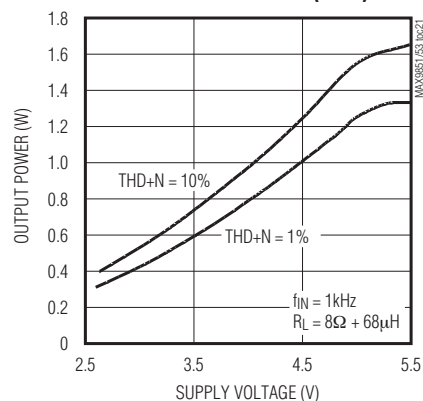
**SPEAKER AMP EFFICIENCY
vs. OUTPUT POWER**



**SPEAKER AMP OUTPUT POWER
vs. LOAD RESISTANCE**



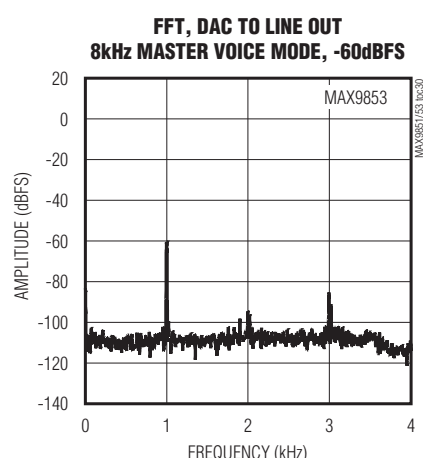
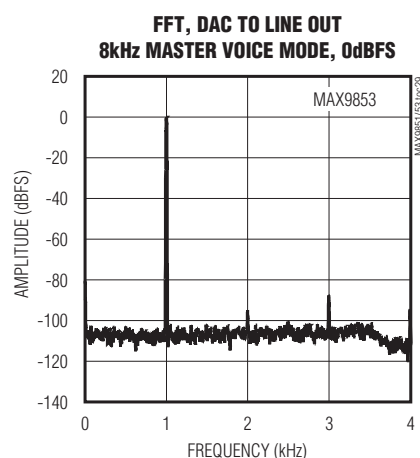
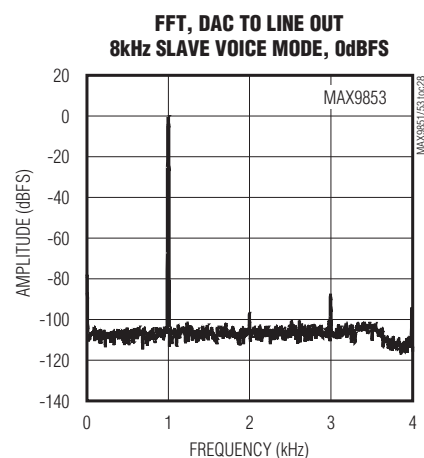
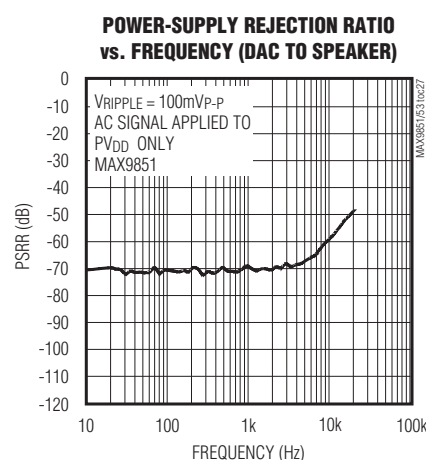
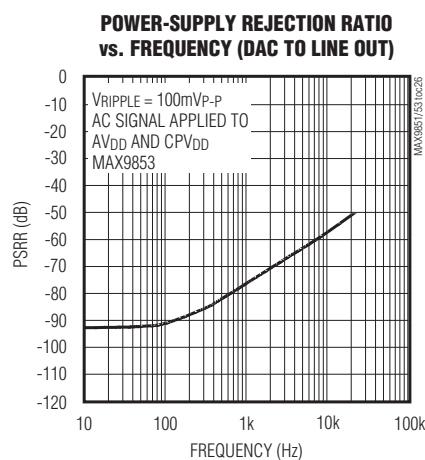
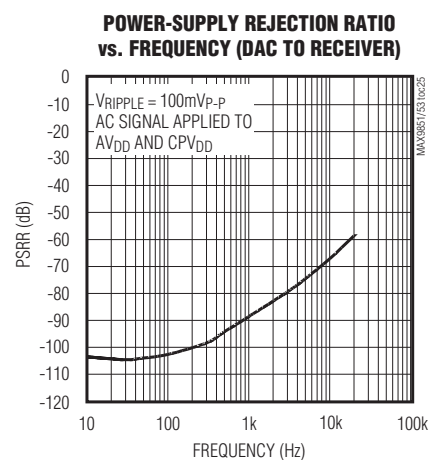
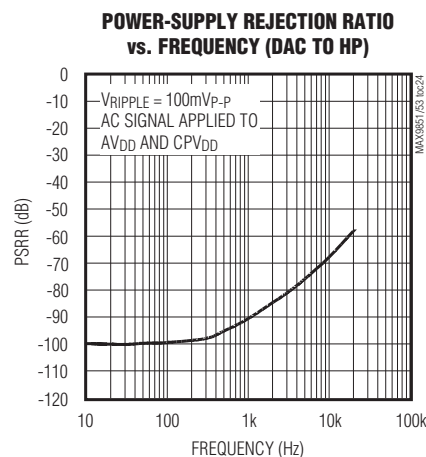
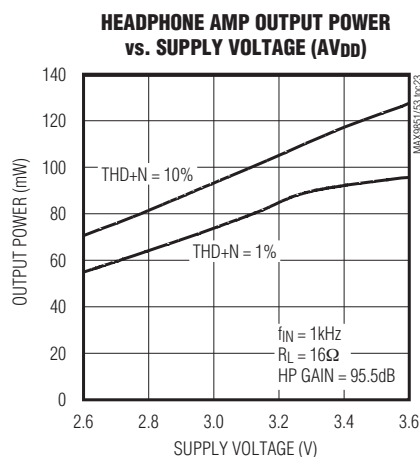
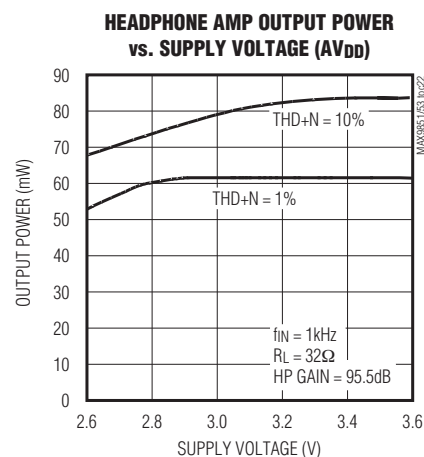
**SPEAKER AMP OUTPUT POWER
vs. SUPPLY VOLTAGE (PVDD)**



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

標準動作特性(続き)

(AVDD = CPVDD = +3V, DVDD = DVDDSD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CVMREG = CVPREG = CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, fS = 48kHz for nonvoice mode, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

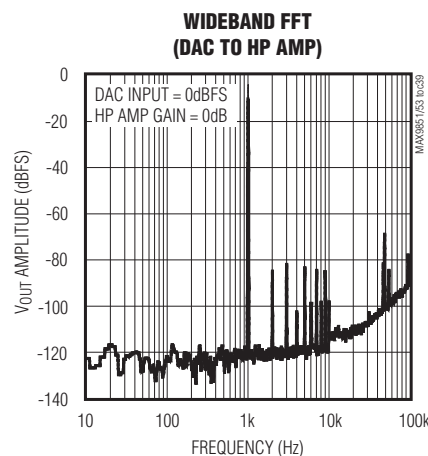
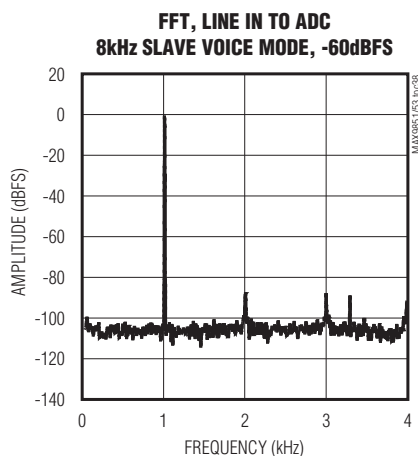
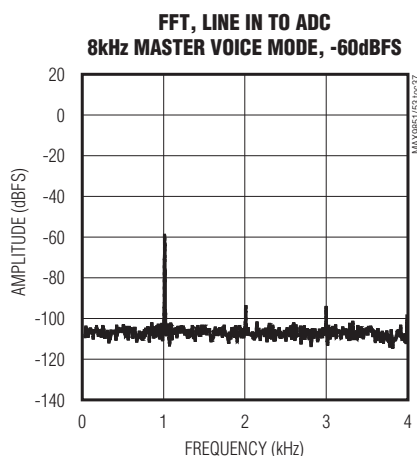
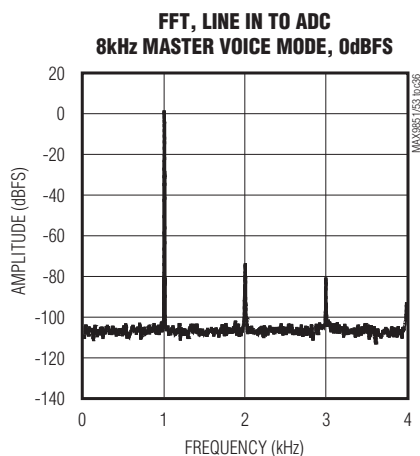
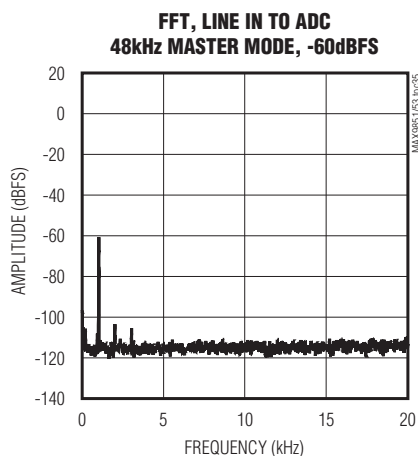
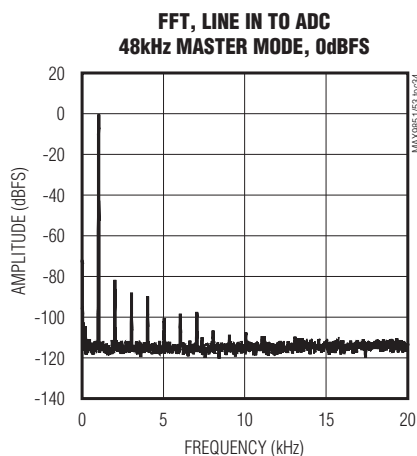
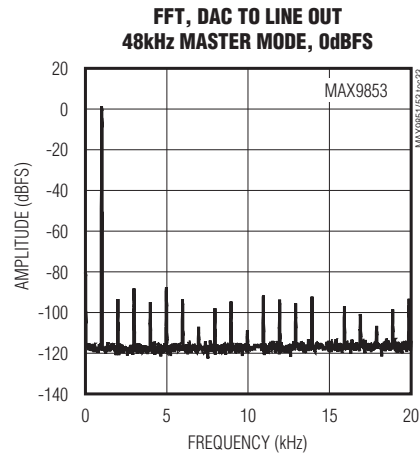
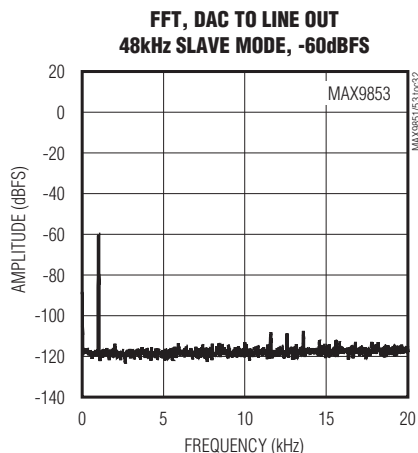
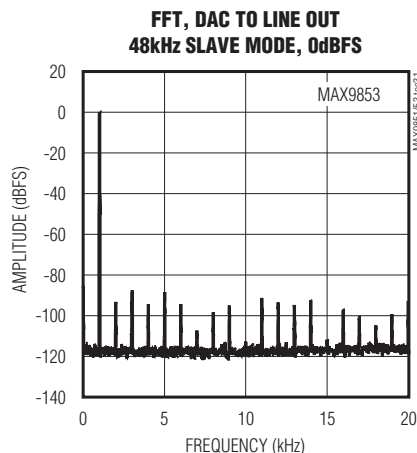


マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

標準動作特性(続き)

(AVDD = CPVDD = +3V, DVDD = DVDD2 = +1.8V, PVDD = +3.3V, RHP = 32Ω, ZSPK = 8Ω + 10μH, RREC = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = CVMREG = CVPREG = CMBIAS = CREF = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, fS = 48kHz for nonvoice mode, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

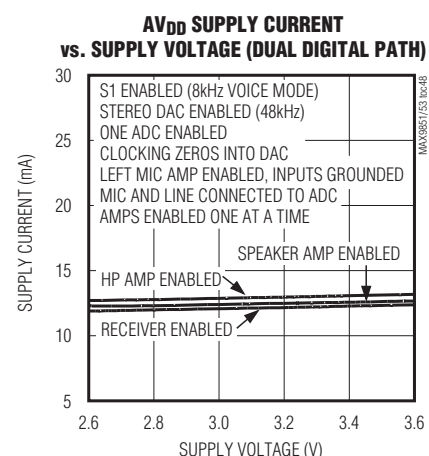
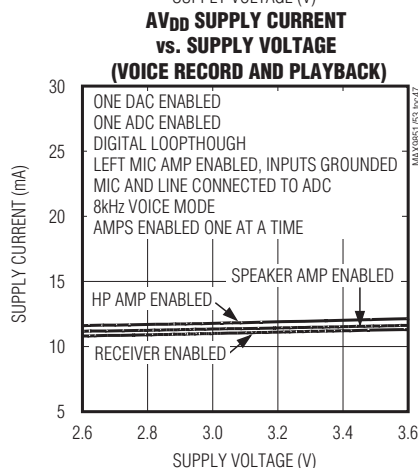
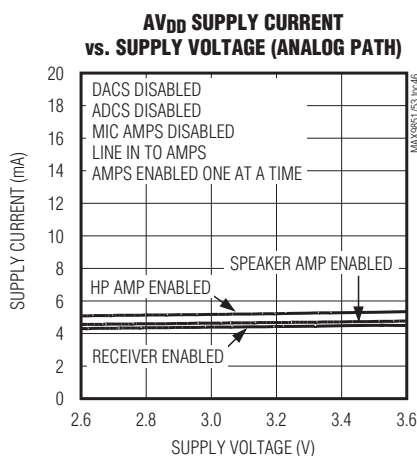
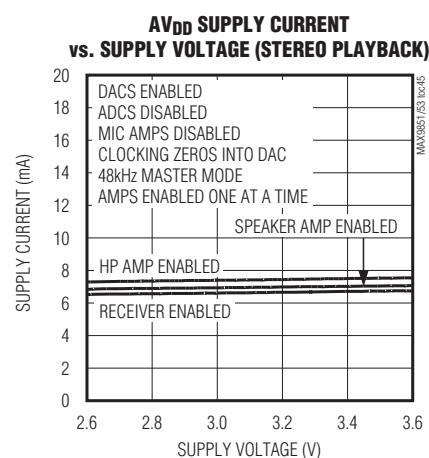
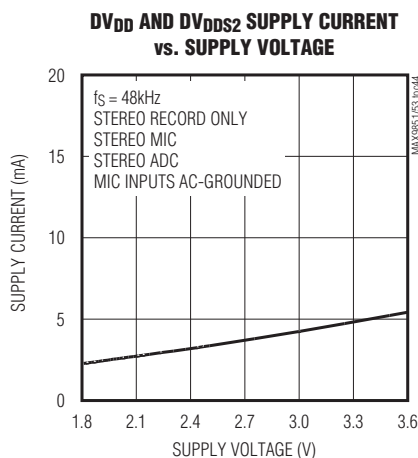
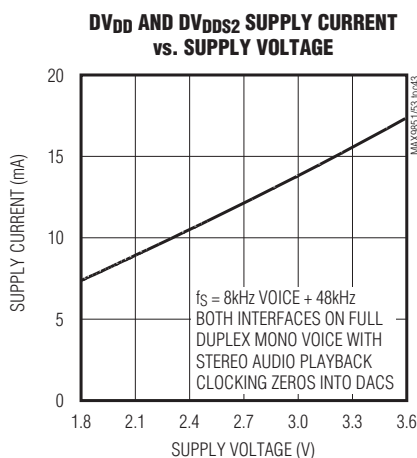
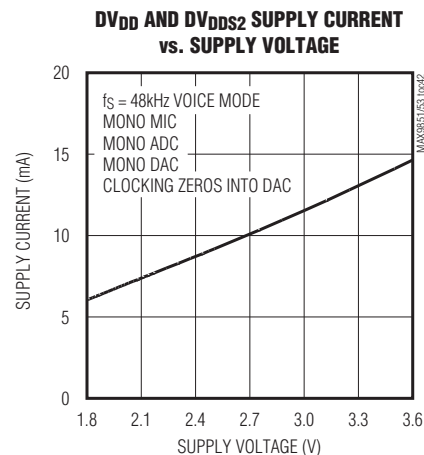
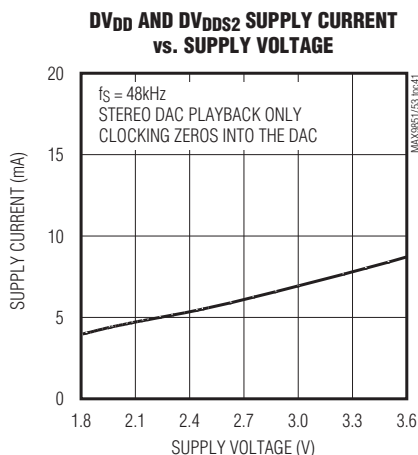
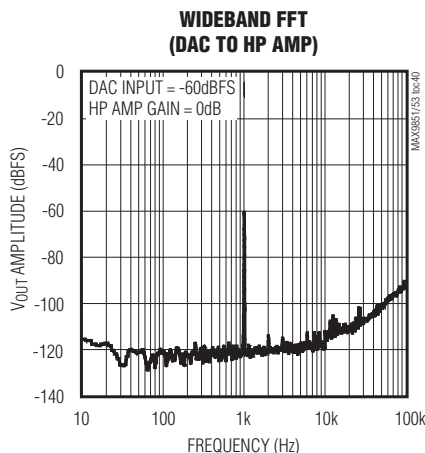
MAX9851/MAX9853



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

標準動作特性(続き)

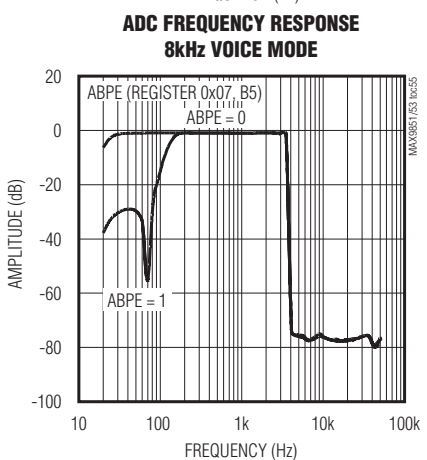
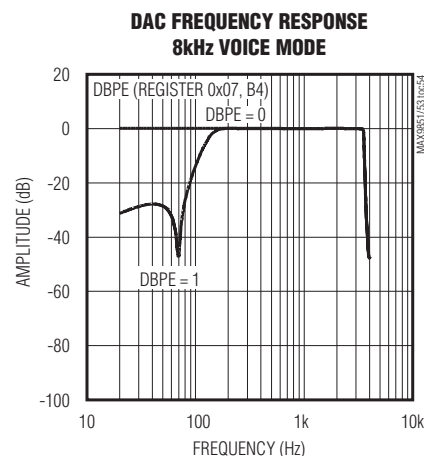
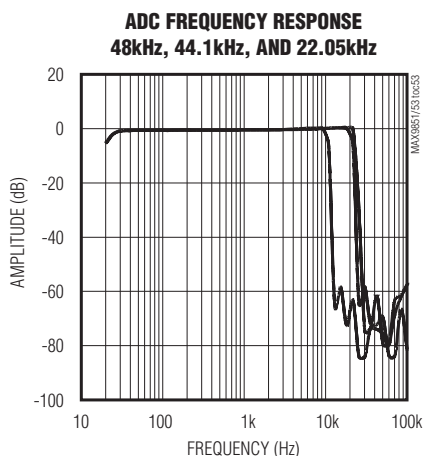
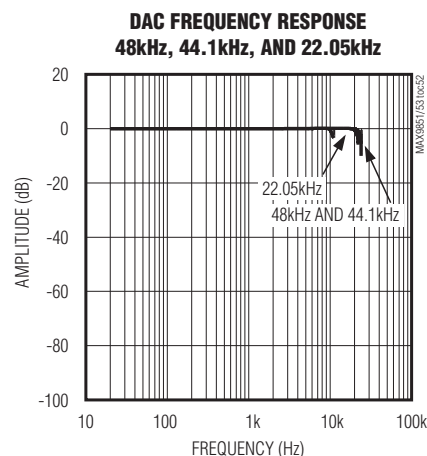
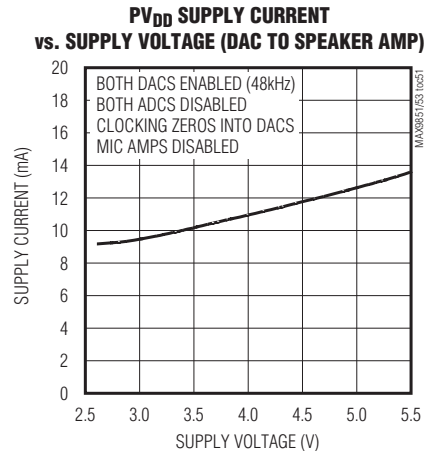
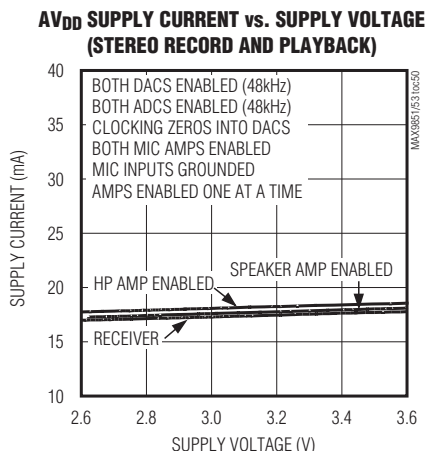
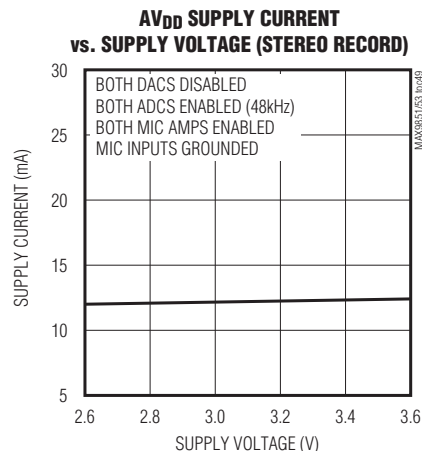
($AV_{DD} = CPV_{DD} = +3V$, $DV_{DD} = DV_{DDS2} = +1.8V$, $PV_{DD} = +3.3V$, $R_{HP} = 32\Omega$, $Z_{SPK} = 8\Omega + 10\mu H$, $R_{REC} = 32\Omega$, $ROUTL+$ to $ROUTL-$ = $ROUTR+$ to $ROUTR-$ = $10k\Omega$, $C1 = 0.22\mu F$, $C2 = C_{VMREG} = C_{VPREG} = C_{MBIAS} = C_{REF} = 1\mu F$, $MCLK = 13MHz$, all PGAs = $0dB$, HP/REC volume = $-20.0dB$, SPK volume = $-20.4dB$, line output gain = $-0.4dB$, $f_S = 48kHz$ for nonvoice mode, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

標準動作特性(続き)

(AVDD = CPVDD = +3V, DVDD = DVDDS2 = +1.8V, PVDD = +3.3V, R_{HP} = 32Ω, Z_{SPK} = 8Ω + 10μH, R_{REC} = 32Ω, ROUTL+ to ROUTL- = ROUTR+ to ROUTR- = 10kΩ, C1 = 0.22μF, C2 = C_{VLMREG} = C_{VPREG} = C_{MBIAS} = C_{REF} = 1μF, MCLK = 13MHz, all PGAs = 0dB, HP/REC volume = -20.0dB, SPK volume = -20.4dB, line output gain = -0.4dB, f_S = 48kHz for nonvoice mode, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

端子説明

端子		名称	機能
MAX9851	MAX9853		
1	1	EXTMICBIASL	左外付けマイクロフォンのバイアス。2.2kΩまたは470Ωの選択可能な出力インピーダンス抵抗を通じて外付けマイクロフォンの左チャンネルに2.4Vのマイクロフォンバイアスを供給します。
2	2	PREG	内蔵正レギュレータ出力。1μFのコンデンサでAGNDにバイパスしてください。
3	—	PVDD	左スピーカの正電源入力。0.1μFコンデンサでPGNDにバイパスしてください。
4	—	LSPK+	正の左チャンネルD級スピーカ出力
5	—	LSPK-	負の左チャンネルD級スピーカ出力
6	—	PGND	D級スピーカアンプのグランド
7	—	RSPK-	負の右チャンネルD級スピーカ出力
8	—	RSPK+	正の右チャンネルD級スピーカ出力
9	—	PVDD	右スピーカの正電源入力。0.1μFコンデンサでPGNDにバイパスしてください。
—	3	OUTL+	非反転差動左チャンネルラインレベル出力。OUTL+は1.23Vにバイアスされます。
—	4	OUTL-	反転差動左チャンネルラインレベル出力。OUTL-は1.23Vにバイアスされます。
—	5	SHDNOUT	シャットダウン出力。MAX9851/MAX9853のI ² Cインタフェースを通じて外付けアンプシャットダウン入力を制御するためのオープンドレインシャットダウン出力。フル出力スイング用に10kΩのプルアップ抵抗をDVDDに接続してください。
—	6	FAULTIN	障害入力。内蔵の300kΩのプルアップ抵抗付きロジック入力。FAULTINの状態はステータスレジスタ0x00に通知され、ハードウェア割込みをトリガするために使用することができます。
—	7	PVDD	ヘッドセット自動検出の正電源入力。スリープモード中のヘッドセット検出を適切に動作させるために、PVDDバッテリー電圧に接続してください(「ヘッドセットの検出」の項を参照)。未使用の場合はAVDDに接続してください。0.1μFコンデンサでAGNDにバイパスしてください。
—	8	OUTR-	反転差動右チャンネルラインレベル出力。OUTR-は1.23Vにバイアスされます。
—	9	OUTR+	非反転差動右チャンネルラインレベル出力。OUTR+は1.23Vにバイアスされます。
10	10	NREG	内蔵負レギュレータ出力。1μFのコンデンサでAGNDにバイパスしてください。
11	11	REF	リファレンス出力。1μFのセラミックコンデンサでAGNDにバイパスしてください。
12	12	MBIAS	内蔵マイクロフォンバイアスレギュレータ出力。1μFのコンデンサでAGNDにバイパスしてください。
13	13	LINEIN1	ライン入力1。アナログオーディオ信号をLINEIN1にAC結合してください。
14	14	LINEIN2	ライン入力2。アナログオーディオ信号をLINEIN2にAC結合してください。
15	15	AVDD	オーディオ電源入力。0.1μFおよび10μFのコンデンサでAGNDにバイパスしてください。
16	16	HPL	左チャンネルヘッドフォン出力(ステレオモード)/非反転ヘッドフォン出力(バランス型モノラルモード)。HPLは、AGNDにバイアスされたDirectDrive出力です。
17	17	HPR	右チャンネルヘッドフォン出力(ステレオモード)/非反転ヘッドフォン出力(バランス型モノラルモード)。HPRは、AGNDにバイアスされたDirectDrive出力です。
18	18	SVSS	ヘッドフォンおよびレシーバアンプの負電源入力。PVSSに接続してください。
19	19	REC	ハンドセットレシーバ出力。RECは、AGNDにバイアスされたDirectDrive出力です。
20	20	PVSS	反転チャージポンプ出力。ヘッドフォンおよびレシーバアンプに負電源を供給するには、1μFのセラミックコンデンサでCPGNDにバイパスし、SVSSに接続してください。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

端子説明(続き)

端子		名称	機能
MAX9851	MAX9853		
21	21	C1N	チャージポンプのフライングコンデンサの負端子。0.22 μ FのセラミックコンデンサをC1NとC1Pの間に接続してください。
22	22	CPGND	チャージポンプのグランド
23	23	C1P	チャージポンプのフライングコンデンサの正端子。0.22 μ FのセラミックコンデンサをC1NとC1Pの間に接続してください。
24	24	CPVDD	チャージポンプの正電源入力。1 μ FのコンデンサでCPGNDにバイパスしてください。
25	25	SCL	I ² C対応シリアルクロック入力。フル出力スイング用に10k Ω のプルアップ抵抗をDVDDに接続してください。
26	26	SDA	I ² C対応シリアルデータ入力/出力。フル出力スイング用に10k Ω のプルアップ抵抗をDVDDに接続してください。
27	27	SDINS1	第1インタフェースのデジタルオーディオシリアルデータDACの入力。この入力でボイスバンドフィルタリングを利用可能です。
28	28	SDOUTS1	第1インタフェースのデジタルオーディオシリアルデータADCの出力。この出力でボイスバンドフィルタリングを利用可能です。
29	29	BCLKS1	第1インタフェースのデジタルオーディオのビットクロック入力/出力。MAX9851/MAX9853がスリープモード時にはBCLKS1は入力に、マスタモード時には出力になります。
30	30	LRCLKS1	第1インタフェースのデジタルオーディオ左/右クロックの入力/出力。LRCLKS1はオーディオサンプルレートクロックであり、SDINS1のオーディオデータを左または右のチャンネルに送出するかを設定します。MAX9851/MAX9853がスリープモード時にはLRCLKS1は入力に、マスタモード時には出力になります。
31	31	DGND	デジタルグランド
32	32	DVDD	デジタル電源入力。DVDDはデジタルコア、I ² Cインタフェース、および第1デジタルオーディオインタフェースに電源を供給します。1 μ FのコンデンサでDGNDにバイパスしてください。
33	33	LRCLKS2	第2インタフェースのデジタルオーディオ左/右クロックの入力/出力。LRCLKS2はオーディオサンプルレートクロックであり、SDINS2のオーディオデータを左または右のチャンネルに送出するかを設定します。MAX9851/MAX9853がスリープモード時にはLRCLKS2は入力に、マスタモード時には出力になります。
34	34	BCLKS2	第2インタフェースのデジタルオーディオのビットクロック入力/出力。MAX9851/MAX9853がスリープモード時にはBCLKS2は入力に、マスタモード時には出力になります。
35	35	SDOUTS2	第2インタフェースのデジタルオーディオシリアルデータADCの出力
36	36	SDINS2	第2インタフェースのデジタルオーディオシリアルデータDACの入力

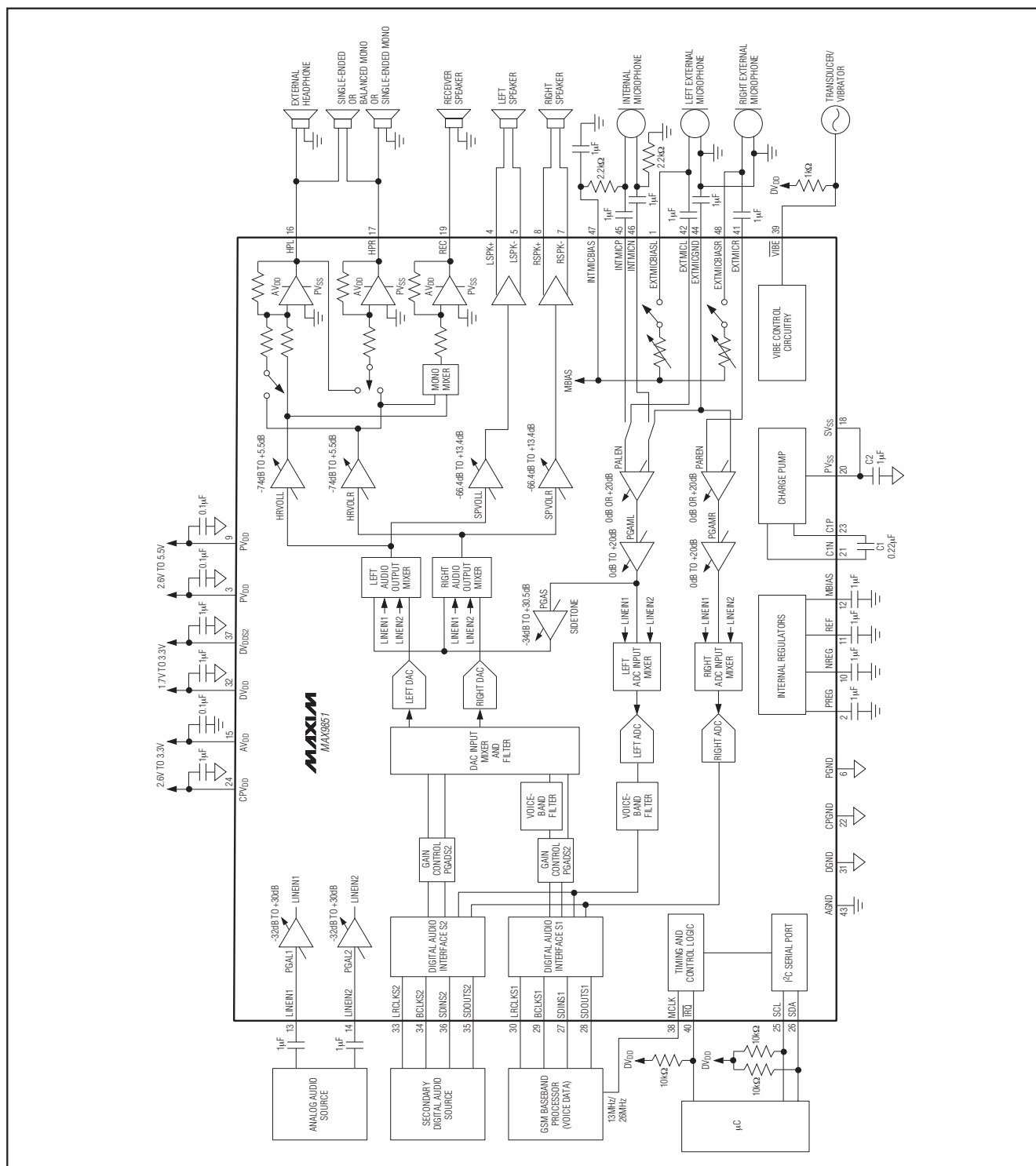
MAX9851/MAX9853

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

端子説明(続き)

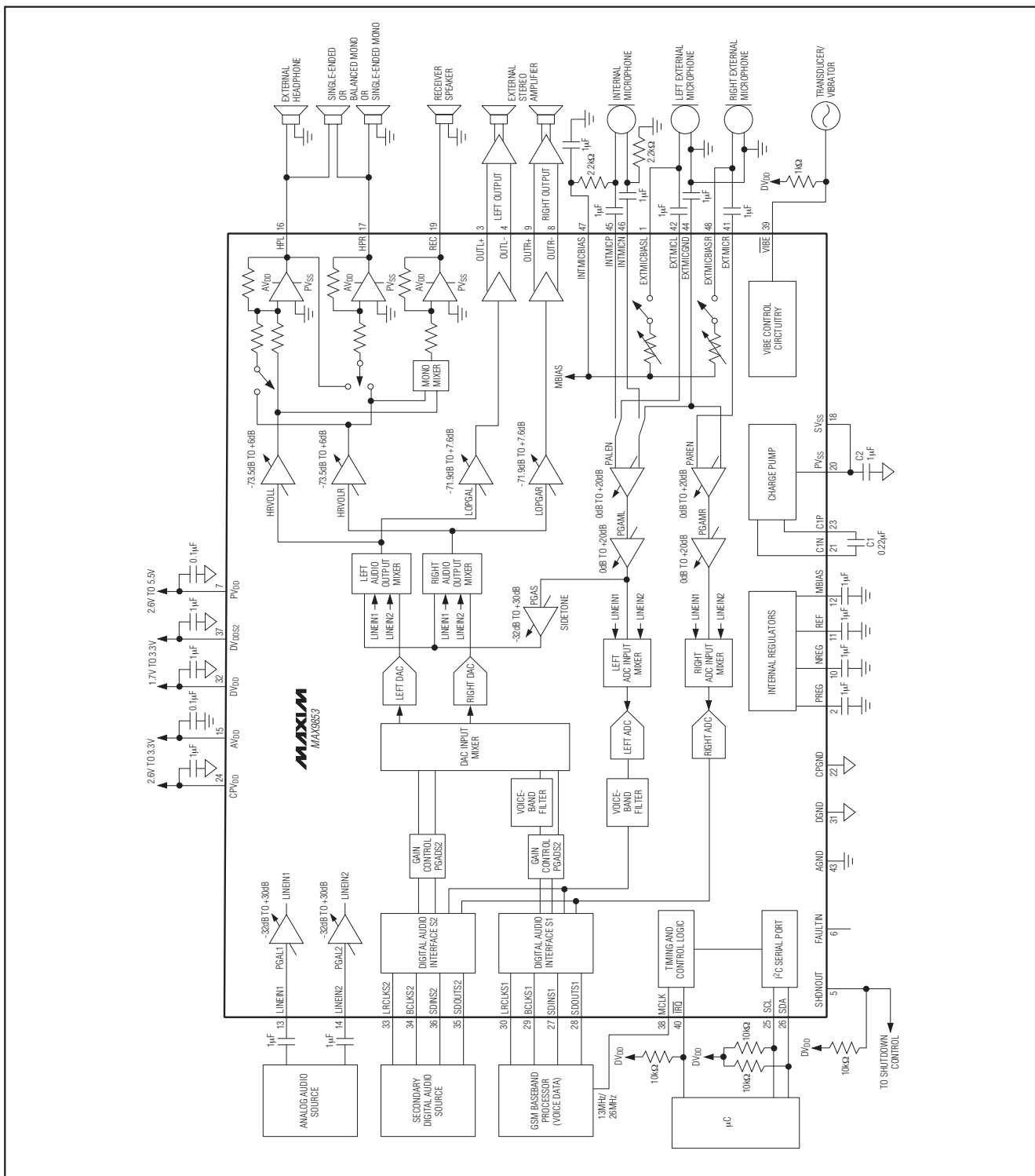
端子		名称	機能
MAX9851	MAX9853		
37	37	DVDDS2	第2デジタルオーディオインタフェースの電源入力。1 μ FのコンデンサでDGNDにバイパスしてください。
38	38	MCLK	13MHz/26MHzのマスタクロック入力
39	39	$\overline{\text{VIBE}}$	トランスデューサ/バイブレータ出力。バイブレータモータまたはトランスデューサを制御するためのプログラマブルなオープンドレイン出力。フル出力スイング用に1k Ω のプルアップ抵抗をDV _{DD} に接続してください。
40	40	$\overline{\text{IRQ}}$	ハードウェア割込み出力。IRQは、ステータスレジスタ0x00のビットが状態を変えるとローにプルするように設定することができます。設定済みのIRQをクリアするには、ステータスレジスタ0x00を読み取ってください。I ² Cステータスレジスタ0x00を読み取ってIRQがクリアされるまで、反復障害はIRQに機能しません。フル出力スイング用に10k Ω のプルアップ抵抗をDV _{DD} に接続してください。
41	41	EXTMICR	外付けマイクロフォンの右チャンネルのシングルエンド入力。コンパチブルなハイインピーダンスまたはローインピーダンス(内蔵プリアンプ付)マイクロフォンをEXTMICRとEXTMICGNDの間に接続してください。1 μ Fの直列コンデンサでマイクロフォンをEXTMICRにAC結合してください。
42	42	EXTMICL	外付けマイクロフォンの左チャンネルのシングルエンド入力。コンパチブルなハイインピーダンスまたはローインピーダンス(内蔵プリアンプ付)マイクロフォンをEXTMICLとEXTMICGNDの間に接続してください。1 μ Fの直列コンデンサでマイクロフォンをEXTMICLにAC結合してください。
43	43	AGND	アナロググランド
44	44	EXTMICGND	外付けマイクロフォンのグランド検出リターン。ノイズを低減するために、1 μ Fの直列コンデンサでEXTMICGNDを外部ジャックグランドにAC結合してください。
45	45	INTMICP	内部正差動マイクロフォン入力。1 μ Fの直列コンデンサでマイクロフォンをINTMICPにAC結合してください。
46	46	INTMICN	内部負差動マイクロフォン入力。1 μ Fの直列コンデンサでマイクロフォンをINTMICNにAC結合してください。
47	47	INTMICBIAS	内蔵マイクロフォンバイアス。1 μ FのコンデンサでINTMICBIASをAGNDにバイパスしてください。2.2k Ω の外付け抵抗を通じて内蔵差動マイクロフォンに2.4Vのマイクロフォンバイアスを供給します。
48	48	EXTMICBIASR	右外付けマイクロフォンのバイアス。2.2k Ω または470 Ω を選択可能な内蔵出力抵抗を通じて右チャンネル外付けマイクロフォンに2.4Vのマイクロフォンバイアスを供給します。
—	—	EP	エクスポーズド放熱パッド。AGNDに接続してください。

マイクアンプ、DirectDriveヘッドフォンアンプ
スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9853のファンクションダイアグラム/標準動作回路



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

詳細

MAX9851はステレオDirectDriveヘッドフォンアンプとステレオD級スピーカアンプを備えるコーデックで、GSM/GPRS/EDGE携帯電話やPDAフォン用の総合デジタルオーディオソリューションです。オーディオコーデックのMAX9853は、D級スピーカアンプ未装備でMAX9851の全機能を共有し、ステレオ差動ライン出力に置き換えて、外付けアンプやその他のアナログオーディオデバイスを支援します。さらにMAX9851/MAX9853は、シグマデルタステレオDACとステレオADCとともに、ステレオとモノラルのマイクロフォン入力とモノラルのDirectDriveハンドセットレシーバアンプも内蔵しています。

シグマデルタDACは88dBのダイナミックレンジを備え、8kHz~48kHzの範囲のサンプリング周波数で2つの独立したデジタルオーディオインタフェースからステレオオーディオデータを受け取ります。インタフェースは、ボイスバンドデータのほかにI²S対応データを受け取ることが可能で、関連のない様々なサンプルレートで複数のオーディオソースをミックスすることができます。第1デジタルオーディオ入力は、ボイスモードでの動作時に使用可能な帯域通過フィルタを備えています。ADCからのデジタルオーディオは両方のインタフェースに出力することが可能で、最高のフレキシビリティを実現します。

アナログとデジタルボリュームレベル、ミューティング、およびデバイス構成は、I²C対応インタフェースを通じて設定されます。多数のフォーマットをサポートする2つの4線式デジタルオーディオデータバスのいずれかを通じて、オーディオデータをMAX9851/MAX9853で送受します。マスタモードに設定されると、LRCLKおよびBCLK信号がMAX9851/MAX9853で生成されます。MAX9851/MAX9853は、スレーブDACステレオオーディオ再生デバイスまたはフルデュプレックススレーブボイスコーデックとしても設定可能で、外付けデジタルオーディオマスタからLRCLKおよびBCLK信号を受け付けます。

MaximのDirectDrive方式は、内蔵チャージポンプを使ってヘッドフォンおよびレシーバアンプ出力に給電する負電源を生成することができます。内部負電源によってアナログ出力信号をグラウンドにバイアスすることができ、出力結合コンデンサが不要になり、システムコストとサイズが削減されます。MAX9851/MAX9853のステレオライン入力は、アナログオーディオとデジタルオーディオをミックスすることができるようにします。多数の信号経路オプションとプログラマブルな利得によって、アナログ入力信号とデジタル入力信号の組み合わせを各信号レベルでどの出力にも送出することができます。先進のヘッドセット検出回路によって、MAX9851/MAX9853はジャック挿入時に(パワーダウン時にも)幅広いヘッドセット構成を検出し、ハードウェア割込み

をトリガすることができます。外付けステレオマイクロフォン入力は、設定可能な内蔵バイアス抵抗器と40dBの利得範囲を備え、幅広いマイクロフォンに対応します。内蔵モノラルマイクロフォン入力は、差動入力と40dBの利得範囲を備えています。VIBEデジタル出力は、パイプレータやトランスデューサ制御に使用したり、または汎用デジタル出力として使用したりすることができます。

シリアルデジタルオーディオインタフェース

MAX9851/MAX9853は、2つの独立したデジタルオーディオインタフェースのS1とS2を備え、それぞれは、図1および2に示されるフルデュプレックスマスタおよびスレーブタイミングモードで個別に動作することができます。第2デジタルオーディオインタフェースは2次電源電圧(DV_{DD2})で動作するため、複数の電源システムに容易に統合することができます。

対応するSDOUTピンに対してADCデータの出力をイネーブルするには、S1SDOまたはS2SDOを1 (レジスタ0x03または0x05、ビットB7)に設定します。SDOUTS1とSDOUTS2をともにイネーブルすると、両方のインタフェースに同じデジタルオーディオ信号が出力され、第1S1インタフェースはADCのサンプルレートを特定します。

DAC入力をイネーブルし、対応するSDINピンの内部ソフトスタートシーケンスを開始するには、S1SDIまたはS2SDIを1 (レジスタ0x03または0x05、ビットB6)に設定します。特定のSDIビットをクリアすると、入力をディセーブルする前に内部ソフトストップシーケンスが始まります。SLDスルー検出ステータスビット(レジスタ0x00、ビットB6)は、ソフトスタート/ストップシーケンスが終了した時を示します。これによって、他方のインタフェースの信号フローに割り込まずにインタフェースのモードを変更することができます。DACLENおよびDACREN (レジスタ0x1B、ビットB7およびB6)によって左右のDACをイネーブルする前に、S1SDIとS2SDIをともにクリアします。

最も正確なサンプルクロックを実現するには、外部で用意した正確なLRCLKをスレーブモード(DAC専用モード)で、またはADCをディセーブルにしたマスタモードでMAX9851/MAX9853を動作させます。ADCには正確な整数のLRCLK周波数が必要であり、DACのみの動作時に比べサンプルクロックの精度が低下します。ADCが非アクティブな場合や、完全同期8kHz/16kHzのボイスモードの場合は、DACではスレーブモードのみが使用可能です。

表1は、サンプリング周波数ごとのMAX9851/MAX9853で使用可能なインタフェースモードを示しています。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表1. デジタルオーディオインタフェースモード

	MODE	f _s (ADC ON) (kHz)	f _s (ADC OFF) (kHz)
48	Master (stereo audio mode)	47.794	48.0011
44.1	Master (stereo audio mode)	43.333	44.0989
32	Master (stereo audio mode)	31.863	31.9986
24	Master (stereo audio mode)	24.074	23.9990
22.05	Master (stereo audio mode)	21.959	22.0494
16	Master (stereo audio mode)	15.931	15.9993
12	Master (stereo audio mode)	12.037	12.0010
11.025	Master (stereo audio mode)	11.054	11.0247
8	Master (stereo audio mode)	8.025	7.9997
8	Master (voice mode)	8.000	8.000
16	Master (voice mode)	16.000*	16.000*
8 to 48	Slave (stereo audio mode)	—	8 to 48
16	Slave (voice mode)	16.000*	16.000*
8	Slave (voice mode)	8.000	8.000

*16kHzの同期サンプルレートには26MHzのクロックが必要です。

ステレオオーディオモード

各インタフェースをマスタモードで動作させるには、S1MASまたはS2MASを1 (レジスタ0x04または0x06、ビットB7)に設定します。MAX9851/MAX9853はLRCLKおよびBCLK信号を生成し、デジタルオーディオサンプルを送受信するのに使用することができます。ステレオオーディオモードでは、BCLK信号は310ns周期のパルスです。SDINまたはSDOUTに伝送されるビットがない場合は、BCLKは非アクティブです。フレーム当りのクロックサイクル数は、設定したビット深度になります。各インタフェースをスレーブモードで動作させ、ステレオオーディオモードでADCをディセーブするには(スレーブモードは使用不可)、S1MASまたはS2MASを0に設定します。インタフェースは、8kHz～48kHzの範囲のスレーブモードの非整数サンプルクロックと、DACのみのこれらのステレオオーディオモードで適切なビットクロックを受け取ります。デジタルオーディオインタフェースのタイミング図については、図4を参照してください。

ボイスモード

マスタボイスモードでは、S1デジタルオーディオインタフェースは図3に示すように動作します。BCLK信号は、13MHzの連続クロックです。LRCLKは、I²Sで使用される左/右フレーム同期クロック方式ではなく、単一パルスフレーム同期信号で構成されます。8kHzのボイスモードは13MHzまたは26MHzのMCLK周波数で動作可能ですが、16kHzのボイスモードには26MHzのMCLKが必要です。S1およびS2インタフェースはボイスモードで動作可能ですが、第1 S1インタフェースのみを帯域通過ボイスフィルタで設定することができます。

スレーブボイスモードでは、外付けデバイスはLRCLKパルスに続いて最低でも16のBCLKサイクルを供給する必要があり、これによって、どのBCLKレートを使用する動作またはワード転送間にBCLKシャットオフで動作させることが可能になります。

ボイスモードでは、各サンプルの先頭からの16ビットは左チャンネルのオーディオデータとして処理されます。MAX9851/MAX9853は、右チャンネルデータとして処理される、サンプルワード当たり最大16の追加ビットを受け取ることができます。S1インタフェースにおいてボイスモードで動作する時には、これらの追加ビットはバイパス回路に送られます。S2インタフェースで動作する時は、これらの追加ビットは右チャンネルのデータと見なされ、任意選択で右DACとバイパス回路に送られます。

その他の特長

各デジタルオーディオインタフェースにはタイミング制御モジュールが内蔵され、このモジュールによってMAX9851/MAX9853はマスタモード用のクロック信号を生成することができます。

2つのデジタルオーディオインタフェースは、真のI²Sデータ、左揃えデータ、および反転LRCLKまたは反転BCLKなどを含めたI²S動作モードの全機能を搭載しています。インタフェースを8kHzまたは16kHzのボイスモードに設定するには、それぞれS1MODEまたはS2MODE (レジスタ0x03または0x05、ビットB3～B0)を0xAまたは0xBに設定します。

右と左のチャンネルの入力データをミックスして、モノラルシリアルデータ信号を左右の入力データから生成するには、S1MNOまたはS2MNOを1 (レジスタ0x03または0x05、ビットB5)に設定します。その結果は左の

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

デジタルフィルタパスに入力され、右のパスは使用されません。左フィルタパスの出力を左または右のDAC、あるいは左右両方のDACに送出することができます(「信号経路」の項を参照)。右および左チャンネルの入力データは減衰なしで加算され、入力フィルタをオーバドライブ可能であり、入力信号が大きい場合は歪みが発生します。ステレオ入力信号の合計は、標準で0dBFSのデジタルフルスケールのフィルタのダイナミックレンジを超えてはいけません。

第1S1インタフェースでボイスモード動作をする場合には、受信データはモノラルと見なされるため、デジタル信号データは加算されずに左チャンネルに入力されます。第1および第2デジタルオーディオインタフェースの利得を設定するには、PGADS1およびPGADS2 (レジスタ0x0Cおよび0x0D)を調整します。インタフェースごとに独立した利得調整によって、異なったデジタル信号源のレベルマッチングや、2つの信号源間のフェード調整が可能です。

MAX9851/MAX9853

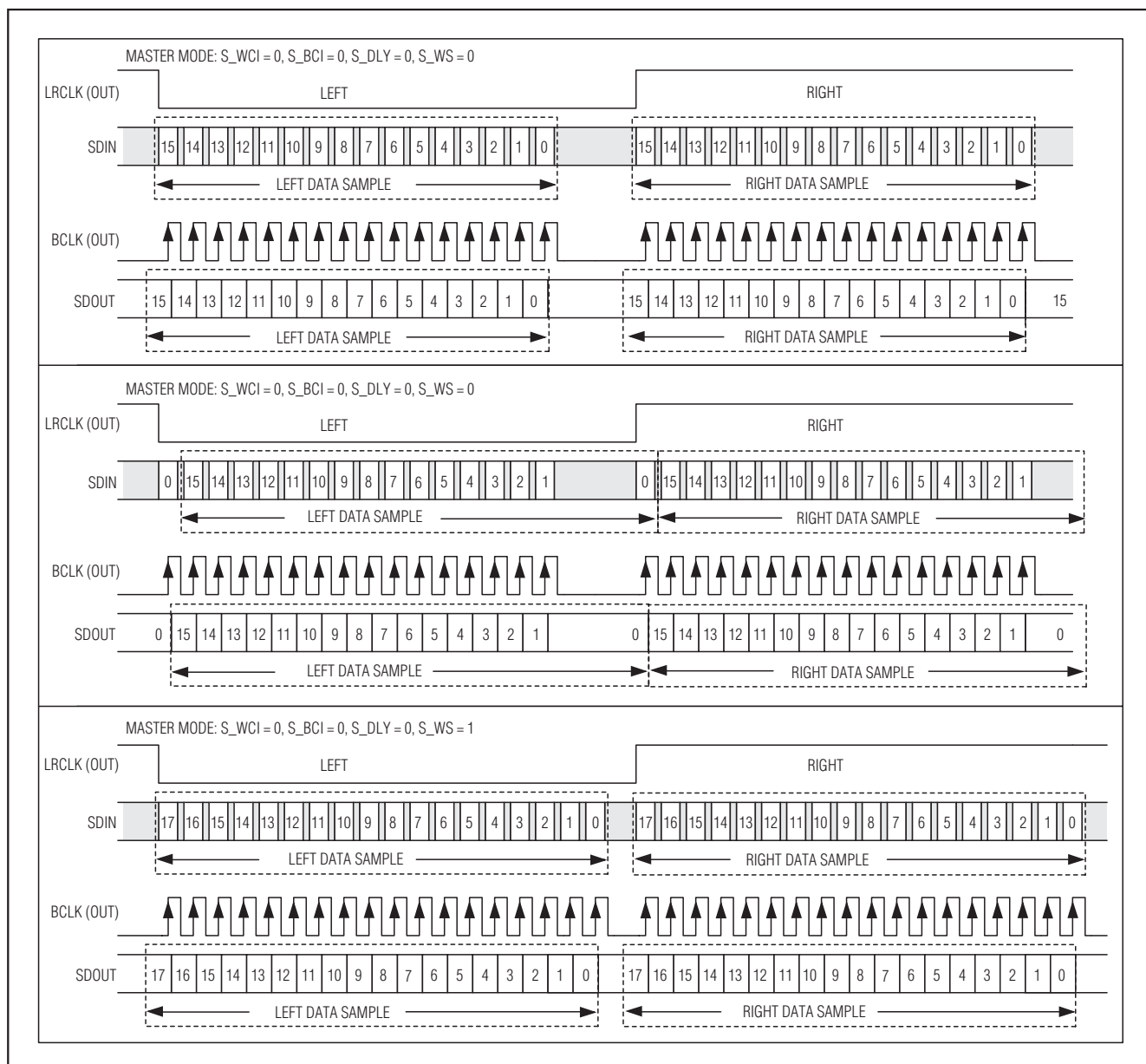


図1. デジタルオーディオインタフェースタイミング—I2Sマスタモード

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

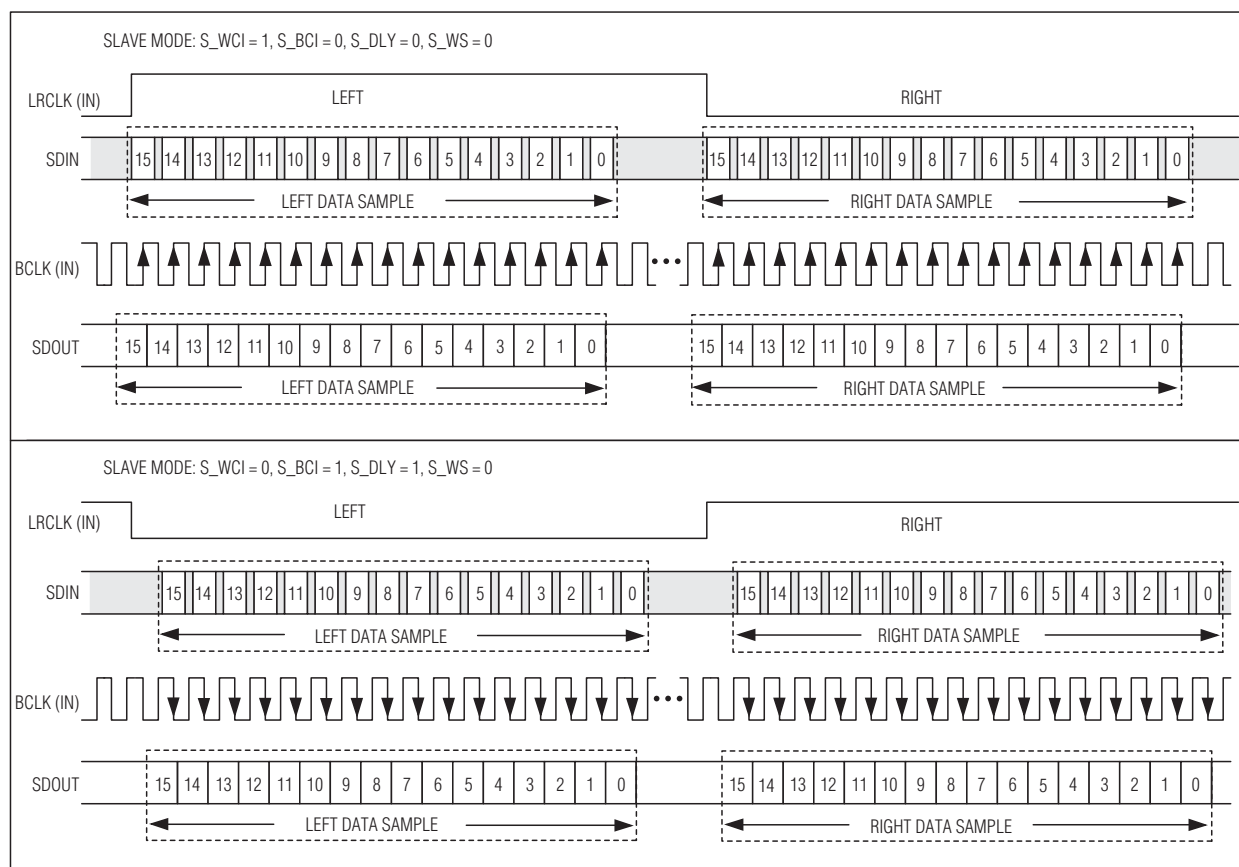


図2. デジタルオーディオインタフェースタイミング—I²Sスレーブモード

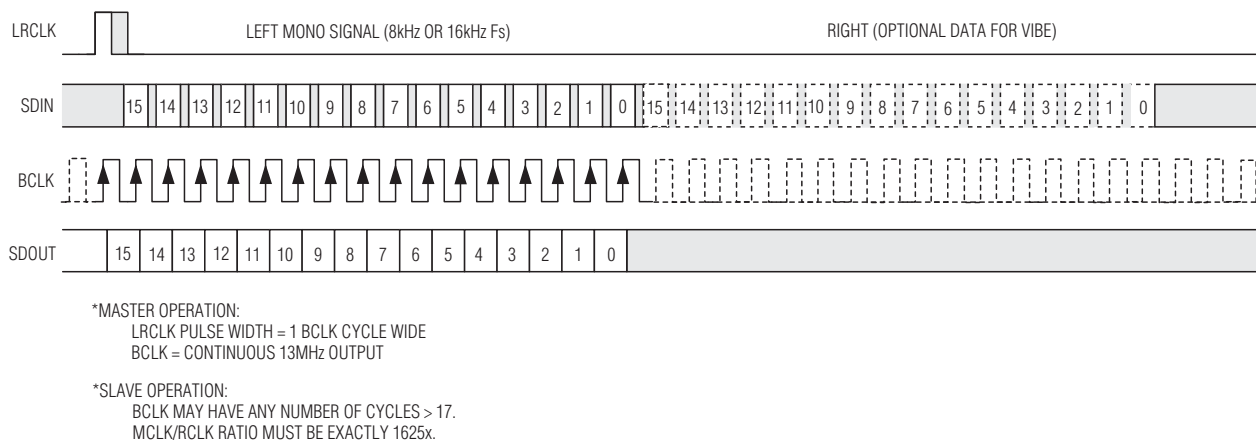


図3. デジタルオーディオインタフェースのタイミングオプションのバイプデータ付きボイスモード

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

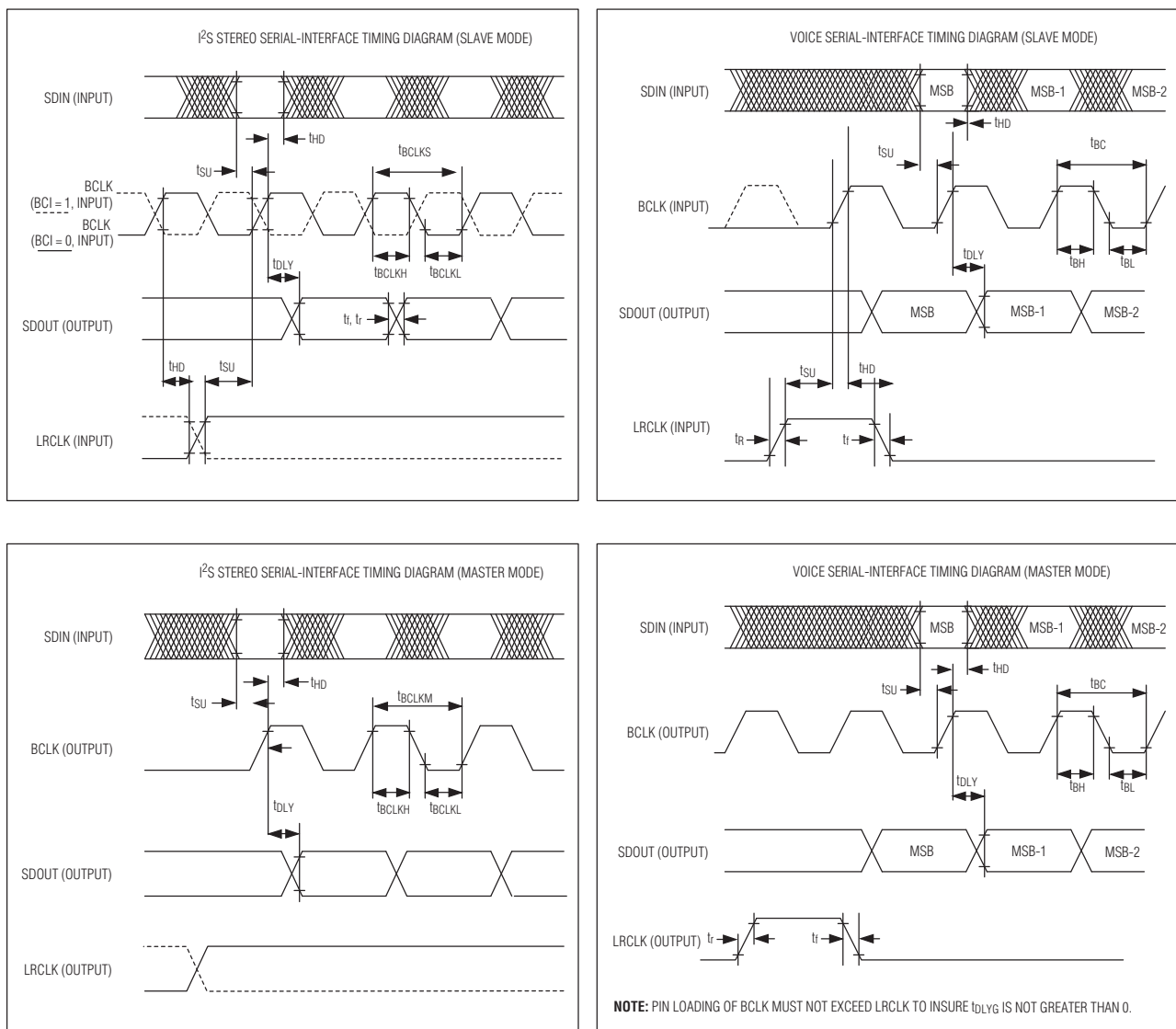


図4. デジタルオーディオインタフェースのタイミング図

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

シリアルオーディオインタフェースモードの変更

正常に動作させるために、シリアルオーディオインタフェースS1をモード変更する前に、S1SD0 = S1SDI = 0 (レジスタ0x03および0x05、ビットB6)に設定します。同様に、シリアルオーディオインタフェースS2をモード変更する前に、S2SD0 = S2SDI = 0に設定します。この設定によって、シリアルインタフェースがディセーブルになり、サンプリングレートとフィルタリングの変更が正常に行われます。希望のモードがI²Cを通じてすでに選択されている場合は、インタフェースを再イネーブルすることができます。この手順に従わないと、MAX9851/MAX9853は不適切な動作モードに移行し、予期しない結果をもたらす場合があります。

MAX9851/MAX9853の電源オン/オフ

MAX9851/MAX9853は、すべての信号経路をディセーブルにした低電力シャットダウンモードで電源投入されます。MAX9851/MAX9853をシャットダウンモードから移行させる前に、S1SDIおよびS2SDI (レジスタ0x03および0x05、ビットB6)を除き、すべてのI²Cレジスタを設定することを推奨します。この設定には、初期ボリュームレベル、DACとADCの動作モード、ステレオまたはモノラル動作、およびオーディオインタフェースの設定などがあります。MAX9851/MAX9853のアナログ部は、デジタル回路が機能する前にフル動作になる必要があります。CPEN = 1 (レジスタ0x1A、ビットB4)に設定して、チャージポンプをイネーブルします。MAX9851/MAX9853がすでに正しく設定されている場合は、グローバルシャットダウンビットのSHDNを1 (レジスタ0x1A、ビットB7)に設定します。MAX9851/MAX9853は、SHDNの設定の70ms後にフル動作になります。最後に、DACを使用する場合は、DACのソフトスタートをイネーブルする必要がある場合はS1SDIおよびS2SDIを設定します。

MAX9851/MAX9853をパワーダウンさせる前に、HRMODEおよびSPMODE (LOMODE)ビット(レジスタ0x18)を設定して、オーディオ出力をディセーブルします。出力アンプをディセーブルする前に、ボリュームを最大減衰までしほることを推奨します。オーディオが完全減衰されたら、ヘッドフォンとスピーカ(またはライン出力)をディセーブルします。聞き取れるようなクリックまたはポップを伴わずに、ヘッドフォンとスピーカ(またはライン出力)を減衰の50μs以内にディセーブルすることができます。出力がディセーブルされたら、MAX9851/MAX9853をシャットダウンモードに移行させます。

シグマデルタDAC

S1SDIおよびS2SDIビットがクリアにされ、クリック/ポップノイズを抑制するためにSLDステータスビットがローである間に、左右のDACをイネーブルにするには、DACLENおよびDACRENを1 (レジスタ0x1B、ビットB7

およびB6)に設定します。次に、S1SDIおよびS2SDIを希望どおりにイネーブルします。ステレオDACは、MIXDAL/Rビット(レジスタ0x08)を使って、S1左/右およびS2左/右の信号源からのデータの4チャンネルの組み合わせをミックスすることができます。8kHz~48kHzのサンプルレート範囲内にある2つインタフェースからのデジタル信号は、S1およびS2インタフェースモードとは関係なく、相互に非同期またはMCLKと非同期(DAC専用モード)であっても結合されます。

標準ステレオオーディオモードで動作する時は、各インタフェースからの入力データストリームは独立した8x FIR補間フィルタを通じて渡されます。ボイスモードで動作する時は、第1インタフェースはオプションのハイパスコンポーネントで補間IIRボイスバンドフィルタを使用します。モノラルモードで動作する時、またはシリアル入力データがデジタルオーディオインタフェース用にディセーブルされている時は、未使用のデジタル信号処理フィルタパスはディセーブルされ、電流消費は最低限に抑制されます。

オーディオ出力を帯域制限してDCを排除するために、左右のDACのステレオ信号をプログラマブルなハイパスフィルタでどのモードにおいてもさらにフィルタリングすることができます。表2に示すように、3つのハイパスフィルタカットオフ周波数のいずれか1つを選択するには、DHPLおよびDHPR (レジスタ0x07、ビットB3~B0)を01、10、または11に設定します。

表2. DACハイパスフィルタモード

DHPL/DHPR BIT SETTINGS	FILTER MODE
00	No filtering
01	55Hz to 91Hz cutoff frequency
10	171Hz to 279Hz cutoff frequency
11	327Hz to 533Hz cutoff frequency

シグマデルタADC

MAX9851/MAX9853のステレオADCをイネーブルするには、ADCLENおよびADCRENを1 (レジスタ0x1B、ビットB5およびB4)に設定します。ADCはライン入力とマイクロフォン入力からのアナログ信号を受け付け、これらの入力を「信号経路」の項に示されるように変換前にミックスすることができます。ADCの動作の場合は、サンプリングクロックをMAX9851/MAX9853内で生成するために、イネーブルしたデジタルオーディオインタフェースをマスタモードで動作するように設定します。

ADC入力をクリップしない最大信号は、2V_{p-p}です。クリッピングが発生する場合は、マイクロフォンまたはライン入力の利得を必要に応じて低下させます。デジタル回路内のクリッピングは、CLD (レジスタ0x00、ビットB7)によって示されます。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

内部タイミング

MAX9851/MAX9853は、13MHzまたは26MHzのいずれかのマスタ入力クロック(MCLK)で動作します。16kHzのボイスモードには、26MHzのクロックが必要です。クロック信号の品質は、データコンバータのダイナミックレンジ性能と直接的な関係があります。最高の性能値を確保するには、100ps_{RMS}以下のクロックジッタが必要です。

MAX9851/MAX9853は、あらゆるチップ機能に関してMCLKを広範囲に活用します。ディジタル回路とD級アンプには、マスタクロックの動作が必要です。

MAX9851/MAX9853が一旦初期化されると、ADCとDACがディセーブルされたモード時にはMCLKは不要です(たとえば、ヘッドフォン出力を通じたライン入力の実行など)。ただし、ボリューム制御回路を初期化するために、電源投入から短時間(> 1ms)、MCLKを印加する必要があります。これは電源投入ごとに1回のみです。

ボイスバンドフィルタ

MAX9851/MAX9853は、第1インタフェースで出力および入力ディジタルオーディオ信号に対してモノラルボイスバンドフィルタリングを行います。ADCの出力でボイスバンドフィルタリングのハイパスコンポーネントをイネーブルするには、ABPEを1 (レジスタ0x07、ビットB5)に設定します。同様に、第1ディジタルオーディオインタフェースで受信データに対するボイスバンドフィルタリングのハイパスコンポーネントをイネーブルするには、DBPEを1 (レジスタ0x07、ビットB4)に設定します。ADCからの発信ディジタルオーディオ用にいずれかのインタフェースでボイスバンドフィルタリングを利用可能であり、受信データは第1S1ディジタルオーディオインタフェースでのみ利用可能です。MAX9851/MAX9853がボイスモードで設定されている場合に限り、ボイスバンドフィルタが機能します。DACおよびADCのボイスバンドフィルタは、サンプルレート固有のコーナー周波数に関して同じです。8kHzのボイスモードで動作すると、フィルタ通過帯域は130Hz~3.5kHzに及びます。16kHzのボイスモードでは、フィルタ通過帯域は260Hz~7kHzに及びます。阻止帯域減衰は低周波では28dB以上で、高

周波では75dBで、ローパスカットオフ周波数は $f_s / 2$ 以下です。フィルタ特性については、「標準動作特性」を参照してください。

ライン入力

MAX9851/MAX9853は、ADC録音パスからの、またはDAC再生パスからのアナログオーディオをミックスするための2個のシングルエンドオーディオライン入力を備えています。各ライン入力アンプは、PGAL1およびPGAL2 (レジスタ0x0Eおよび0x0F)で制御されるプログラマブルな利得機能を搭載しています。2dB単位で+30dB~-32dBの範囲にわたって、この利得を調整可能です。

DirectDriveヘッドフォンおよびレシーバアンプ

MAX9851/MAX9853のヘッドフォンおよびレシーバアンプは、MaximのDirectDrive方式を利用しており、図5に示されるようなグラウンドバイアス出力を生成することができます。従来型の単一電源ヘッドフォンアンプは、出力を公称DC電圧の近く(標準で電源電圧の半分)でバイアスしています。このDCバイアスをヘッドフォンから排除するには大容量の結合コンデンサが通常必要です。こうしたコンデンサがない場合は、大量のDC電流がヘッドフォンに流れるため、不要な電力損失が発生し、ヘッドフォンとヘッドフォンアンプがともに損傷するおそれがあります。DirectDrive方式は、チャージポンプを用いて内部負電源電圧を生成します。このため、MAX9851/MAX9853のヘッドフォンとレシーバ出力はグラウンド近くでバイアスされ、単一電源で動作しながら、ほぼ2倍のダイナミックレンジを得ることができます。DC成分がないため、大容量の出力コンデンサは不要です。2個の大容量コンデンサ(33μF~330μF)の代わりに、MAX9851/MAX9853のチャージポンプには2個の小容量セラミックコンデンサ(0.22μFおよび1μF)のみが必要で、基板面積とコストが削減され、ヘッドフォンアンプの周波数応答とTHDが向上します。コストと大きさの欠点に加えて、従来型のヘッドフォンアンプに必要とされる出力コンデンサは低周波応答を制限し、PSRR性能を低下させます。一部の誘電体は、オーディオ信号に大きな歪みをもたらす場合があります。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

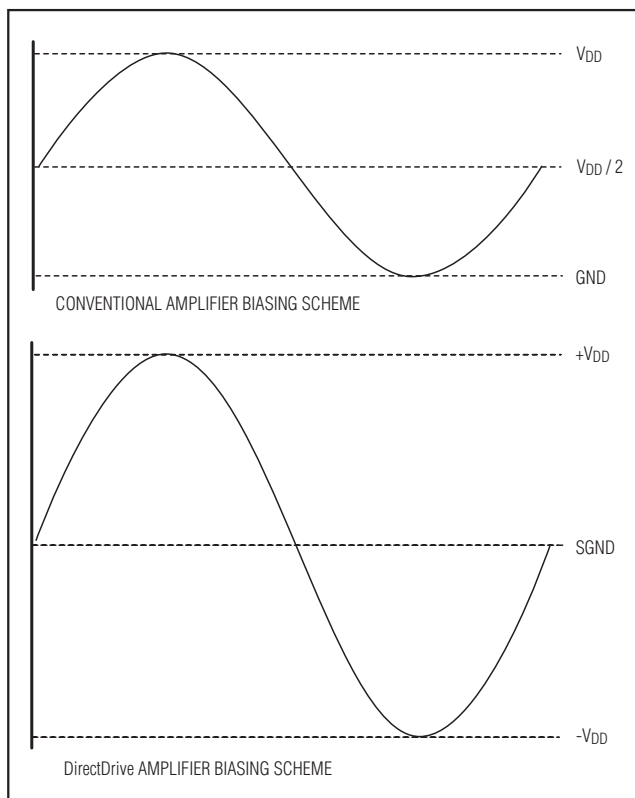


図5. 従来型アンプの出力とMAX9851/MAX9853のDirectDrive出力

標準ステレオヘッドフォンモードをイネーブルするには、HRMODEを100 (レジスタ0x18、ビットB2~B0) に設定します。バランス型モノラル動作を設定するにはHRMODEを110に設定し、シングルエンドモノラル動作の場合には101を設定します。バランスモードで動作すると、右ヘッドフォンアンプはブリッジ接続負荷出力を生成するようにスレーブアンプとして再設定されます。シングルエンドモノラルモードでは、左ヘッドフォンアンプのみが使用されます。両方のモノラルモードは、左右チャンネルのオーディオの合計を出力します。

ヘッドフォンアンプをディセーブルし、モノラルレシーバアンプをイネーブルするには、HRMODEを111に設定します。レシーバアンプは左右のヘッドフォン信号の合計を出力し、100mWを電話のイヤピーススピーカに供給します。

ヘッドフォン/レシーバアンプは、HRVOLLおよびHRVOLR (レジスタ0x14および0x15) で制御されるプログラマブルな利得を備えています。独立した利得制御の範囲は+5.5dB~-74dBです。

D級スピーカアンプ(MAX9851のみ)

MAX9851のステレオスピーカアンプをイネーブルするには、SPMODEを11 (レジスタ0x18、ビットB4および

B3) に設定します。SPMODEは、左または右スピーカのみをイネーブルするようにオプションで設定することができます。正常なD級アンプ動作を確保するには、CPCLKを1 (レジスタ0x1A、ビットB0) に設定する必要があります。D級アンプ発振器は、MCLKから得られます。正常なD級アンプ動作を確保するには、MCLKをイネーブルにする必要があります。

内蔵のフィルタレス、低EMI、D級オーディオパワーアンプは、D級の効率でAB級の性能を発揮します。アンプはバッテリー(PVDD)から直接給電され、最高の効率と出力が得られます。チャンネル当り最大2Wの標準出力電力によって、別のパワーアンプを必要とせずに内蔵スピーカを給電することができます。D級アンプは、効率と超低EMIに最適化されています。出力利得は、+13.1dB~-66.4dBの範囲で調整可能です。スピーカアンプの利得は、SPVOLLおよびSPVOLR (レジスタ0x16および0x17、ビットB0~B5) によって制御されます。

効率

従来型のAB級スピーカアンプを使用せず、MAX9851は高効率のD級オーディオアンプを使ってスピーカ出力を供給します。MAX9851はMaxim独自の変調方式を採用し、この方式によって標準的なD級アンプに必要なLCフィルタが不要になるため、効率が向上し、部品点数が削減され、基板面積やシステムコストが節減されます。従来型のD級アンプは、信号がないときに50%のデューティサイクルの方形波を出力します。フィルタがないため、方形波がDC電圧として負荷に発生し、有限の負荷電流が発生して、消費電力が増大します。信号がMAX9851の入力にない場合は、出力は低デューティサイクルおよび同相でスイッチングします。MAX9851はスピーカを差動駆動するため、2つの出力は相殺され、スピーカの両端に正味の電圧は発生せず、消費電力が最低限に抑えられます。

フィルタレス動作

独自のアクティブ放射制限(AEL)の出力段回路によって、アンプはFCC放射制限値以下の最低20dBのマージンを提供しながら、1MHz以上のスイッチング周波数で動作することができます。D級アンプをMCLKから得られた1.1MHzのスイッチング周波数で動作するように設定するには、CPCLKを1 (レジスタ0x1A、ビットB0) に設定します。MAX9851には出力フィルタは不要であり、代わりに、高周波PWM成分をフィルタリングするスピーカコイル固有のインダクタンスと、スピーカと人間の耳の自然なフィルタリングを利用して、方形波出力のオーディオ成分を再生します。出力フィルタが不要のため、ソリューションのサイズが小型化され、コストが削減され、効率が向上します。MAX9851の出力のスイッチング周波数は携帯電話のスピーカの帯域幅を大幅に

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

上回るため、短形波周波数に起因するボイスコイルの動きは無視できます。

差動ライン出力(MAX9853のみ)

MAX9853は、MAX9851のD級スピーカアンプの代わりに、ペアの差動ライン出力を備えています。MAX9853のステレオライン出力をイネーブルするには、LOMODEを11 (レジスタ0x18、ビットB4およびB3)に設定します。ライン出力をヘッドフォンまたはレシーバアンプと同時に使用して、外付けオーディオアンプやその他のアナログオーディオICの駆動において最高のフレキシビリティを得ることができます。ライン出力は、+7.1dB~-72.4dBの範囲で調整可能な利得を備えています。LOPGALおよびLOPGAR (レジスタ0x16および0x17、ビットB5~B0)を使って、ライン出力の利得を設定します。

シャットダウン出力および障害入力

シャットダウン出力と障害入力ピンは、外付けスピーカアンプICとのインタフェース用に利用可能です。オープンドレインのシャットダウン出力は、MAX9853のI²Cインタフェースを通じて外付けアンプの制御に使用することができます。障害ロジック入力は、I²Cステータスレジスタに通知され、割込み出力をトリガ可能な300kΩのプルアップ抵抗を内蔵しています。

ボリューム制御

MAX9851/MAX9853は、ヘッドフォン、レシーバ、スピーカ(MAX9851のみ)、およびライン(MAX9853のみ)出力に対するボリューム制御アンプを内蔵し、I²Cインタフェースを通じて制御可能です。ミュート機能のほかに、各出力はそれぞれ左右で独立したボリューム制御アンプを備えています。ボリューム変更の平滑化をイネーブルするには、VSENを1 (レジスタ0x18、ビットB6)に設定します。この機能をイネーブルすると、ボリュームまたはミュートの変更時にステップ当り2msのレートですべての中間設定値を段階的に経過して、平滑に聞こえる利得変更が行われます。

ゼロクロスボリューム検出機能をイネーブルするには、ZDENを1 (レジスタ0x18、ビットB5)に設定します。この設定によって、ボリュームとミュートの変更がオーディオ波形のゼロクロスでのみ行われ、ボリューム変更中に発生する場合がある不快なクリック音や「ジッパノイズ」が低減されます。

製品が一旦初期化されると、ADCとDACがディセーブルされたモード時にはMCLKは不要です(たとえば、ヘッドフォン出力を通じたライン入力の実行など)。ただし、ボリューム制御回路を初期化するために、電源投入から

短時間(> 1ms)、製品がMCLKを印加する必要があります。これは電源投入ごとに1回のみです。

マイクロフォンアンプ

2つのマイクロフォンインタフェースによって、MAX9851/MAX9853は内蔵ハンドセットマイクロフォンおよび外付けヘッドセットマイクロフォンからの入力に対応することができます。両方の入力は、1dB単位で選択可能な0~+20dBの利得とともに、0~+40dBへの範囲の拡大を選択可能な20dBの追加利得を備え、広範囲のマイクロフォンに対応します。

ノイズのピックアップを最低限に抑制する差動入力を備え、内蔵マイクロフォン入力を選択するには、MEXTを0 (レジスタ0x12、ビットB2)に設定します。マイクロフォンをクリーンな電源からバイアスする低ノイズバイアス電圧(INTMICBIAS)が利用可能です。モノラル入力信号は、MAX9851/MAX9853の内蔵回路によって左マイクロフォンの信号として処理されます。1μFのコンデンサでINTMICBIASをGNDにバイパスします。

ノイズのピックアップを低減するために、グラウンドが独立したステレオシングルエンド入力を備える外付けマイクロフォン入力を選択するには、MEXTを1に設定します。マイクロフォンにバイアス電圧を供給するには、各外付けマイクロフォンをEXTMICBIASLおよびEXTMICBIASRに接続します。独立した低ノイズバイアスピンに対して2.2kΩの出力インピーダンスを選択するには、RBIASを0 (レジスタ0x12、ビットB0)に設定します。あるいは470Ωの出力インピーダンスを選択するには、RBIASを1に設定します。INTMICBIASから生成された+2.4Vのマイクロフォンバイアス電圧は、両方の抵抗の設定用に使用されます。選択可能なバイアス抵抗によって、マイクロフォンをバイアスする外付け抵抗が不要になり、マイクロフォンの選択におけるフレキシビリティが向上します。外付けRCフィルタをヘッドセットジャックの近くで使用すると、470kΩのインピーダンスを選択することができます。最大AV_{DD}の印加電圧がある場合でも、ディセーブル時には外部バイアスはハイインピーダンスです。

サイドトーン

左マイクロフォン信号のアナログ配信を実現する内部配信されるサイドトーン信号を利用可能です。サイドトーン入力は、左マイクロフォンの利得アンプの出力です。このサイドトーン信号の独立した利得調整は、-32dB~+30dBです。サイドトーン信号を左右のアナログ出力ミキサへの入力として利用することができます(「信号経路」を参照)。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

VIBE出力

MAX9851/MAX9853はVIBEデジタル出力を内蔵し、この出力を使って外付けバイブレータやトランスデューサの制御に使用したり、または汎用出力として使用したりすることができます。バイブ回路モジュールは、このモジュールをS1またはS2デジタルオーディオインタフェースで動作させる独自のマルチプレクサを備えています。第1デジタルオーディオインタフェースの右チャンネルからVIBE出力を得るには、TSELを0（レジスタ0x09、ビットB5）に設定します。第2デジタルオーディオインタフェースの左またはモノラルミックスされた左右のチャンネルからVIBE出力を得るには、TSELを1に設定します。

信号データを使ってVIBEを駆動する時に、TGAIN（レジスタ0x19、ビットB7～B4）で設定されるプログラマブルな利得を使って10ビット出力分解能で調整することができます。デジタルローパスフィルタを使って、VIBE出力で使用する信号を調整することができます。

整流信号のスレッショルド比較か、または非整流信号のオーバーサンプリングされた1ビットDAC変換を使用して、VIBE出力信号を生成することができます。内蔵シグマデルタコンバータの出力を使って、トランスデューサ出力を駆動するには、TMUXを11（レジスタ0x09、ビットB7～B6）に設定します。デジタルオーディオ信号をプログラマブルなスケルチスレッショルドレベルと比較し、図6に示すような出力信号を生成するには、TMUXを10に設定します。外付けトランスデューサを駆動する場合は、図7に示すような外付けローパスフィルタを使用します。必要に応じて外付けアンプを使って、VIBE信号を増幅することができます。VIBEを汎用出力として使用する場合は、TMUXを00または01に設定して、出力をそれぞれ固定の1または0に強制します。DVDDへの1kΩのプルアップ抵抗を使って、オープンドレイン出力からフルスケール信号を取得します。

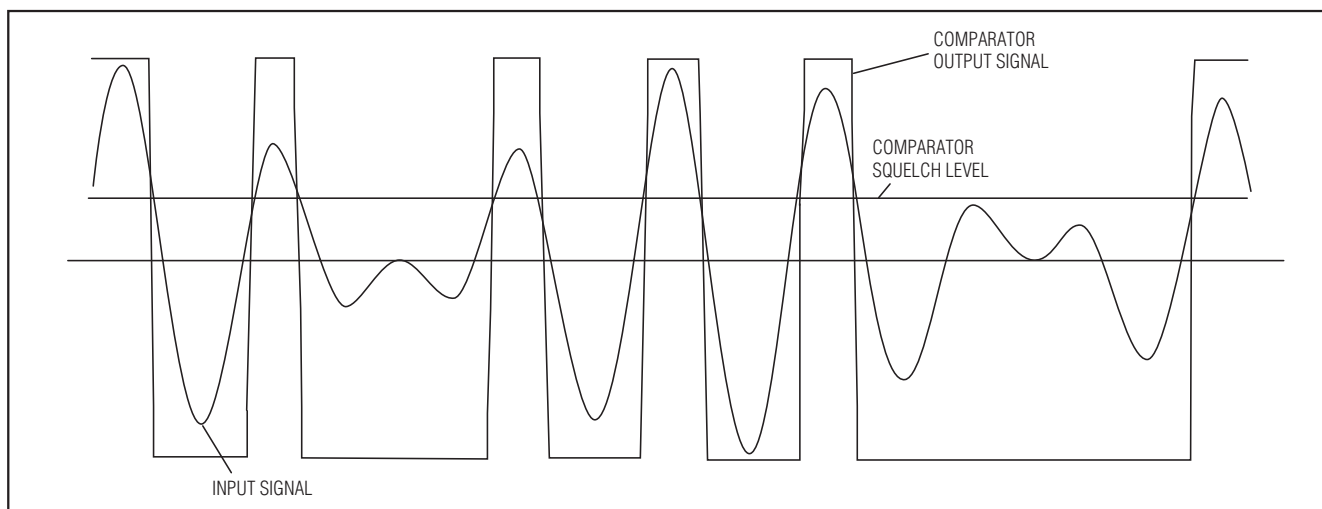


図6. コンパレータによるVIBE出力

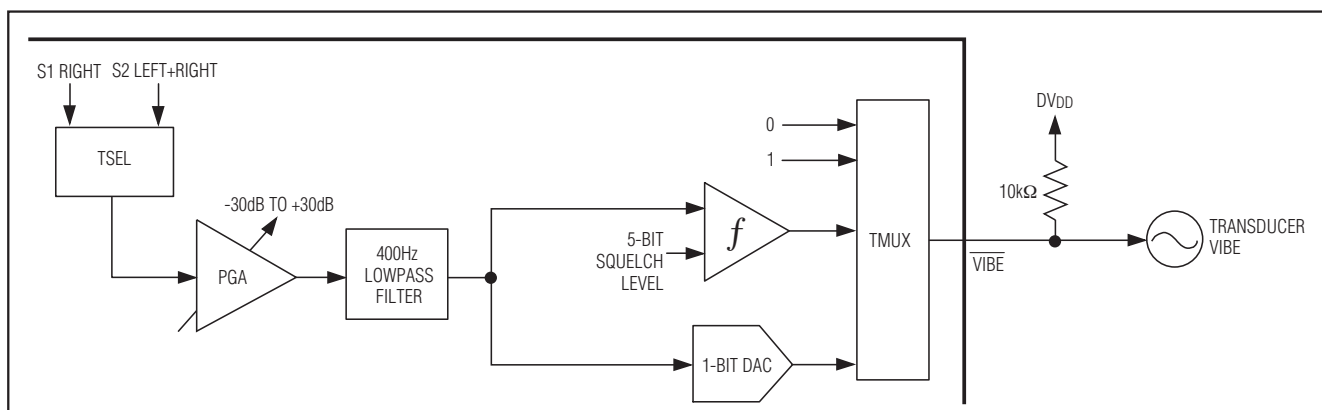


図7. トランスデューサ/バイブのファンクションダイアグラム

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

信号経路

MAX9851/MAX9853は幅広い信号経路ミキシング機能を内蔵しているため、入力と出力のほぼすべての組み合わせが可能です。

DAC入力

各DACの入力におけるデジタルミキサを設定するには、MIXDALおよびMIXDAR (レジスタ0x08。レジスタ定義の詳細については、「I²Cレジスタとビットの説明」の項を参照)を使用します。このミキサによって、サンプリングレートと同期を問わず、変換前に各デジタルオーディオインタフェースからの信号をミックスすることができます。それぞれの左右のデータストリームを左または右のDACに個別に送出し、左右のチャンネルの入替えと、デジタル信号のあらゆる組み合わせを実現します。

オーディオ出力

アナログ出力ミキサを調整するには、MXOUTLおよびMXOUTR (レジスタ0x0B。レジスタ定義の詳細については、「I²Cレジスタとビットの説明」の項を参照)を設定します。このミキサは、ヘッドフォンアンプ、レシーバアンプ、およびスピーカ/ラインアンプで構成されるアナログ出力段の前に信号を統合します。アナログサイドトーンのほかに、各ライン入力を増幅の前に左または右のDAC出力とミックスすることができます。

ADC入力

ADCミキサを設定するには、MXINLおよびMXINR (レジスタ0x0A。レジスタ定義の詳細については、「I²Cレジスタとビットの説明」の項を参照)を使用します。ADCはそれぞれ、左マイクロフォン信号、右マイクロフォン信号、および各ライン入力を変換するオプションを備えています。これは、入力信号の記録時に最高のフレキシビリティを実現します。

チャージポンプ

MAX9851/MAX9853のDirectDriveのヘッドフォンおよびレシーバ出力には、内部の負電源を生成するチャージポンプが必要です。チャージポンプをオンにするには、CPENを1 (レジスタ0x1A、ビットB4)に設定します。

CPENが1に設定されてから約70ms後に負のチャージポンプ電圧が確立され、オーディオ出力が使用可能な状態になります。CPCLK (レジスタ0x1A、ビットB0)の状態によって、チャージポンプの発振器が650kHzの内蔵発振器またはMCLKのいずれから得られるかが決まります。内部発振器を使ってチャージポンプをイネーブルするには、LFEN = 1、CPEN = 1、CPCLK = 0 (レジスタ0x1A、ビットB5、B4、およびB0)に設定します。内蔵発振器がイネーブルされていると、チャージポンプはMCLKとは無関係に動作し、DACがディセーブルされているか、またはライン入力のみが使用されている場合はチャージポンプが動作することができます。チャージポンプをMCLKと同期させるには、CPCLK = 1に設定します。チャージポンプのスイッチング周波数は可聴範囲を十分に超えているため、オーディオ信号に干渉しません。スイッチのドライバは、オンとオフ時のトランジェントによって発生するノイズを最小限に抑制する技術を採用しています。通常は不要ですが、C2およびCPV_{DD}のバイパスコンデンサのサイズを大きくして、高周波ノイズのより多くの減衰を行うことができます(「ファンクションダイアグラム」/「標準動作回路」を参照)。

ヘッドセットの検出

MAX9851/MAX9853は包括的なヘッドセット検出機能を備え、幅広いヘッドセットに対応します。ヘッドセット挿入時のウェイクアップ用のモードと、使用するヘッドセットの構成の検出用モードの2つの動作モードが提供されます。スリープモード中に、検出回路を使ってヘッドセットの挿入を検出し、ハードウェア割込みをトリガすることができます。このモードでは、最低の電力でバッテリーから回路を直接給電することができます。ヘッドセットが挿入されると、マイクロコントローラ(μC)はハードウェア割込みを検出し、低電力スタンバイからシステムを移行させることができます。次に、μCは挿入されたヘッドセットの構成を識別し、MAX9851/MAX9853を適切に設定することができます。図8は、ヘッドセットの検出回路を示しています。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

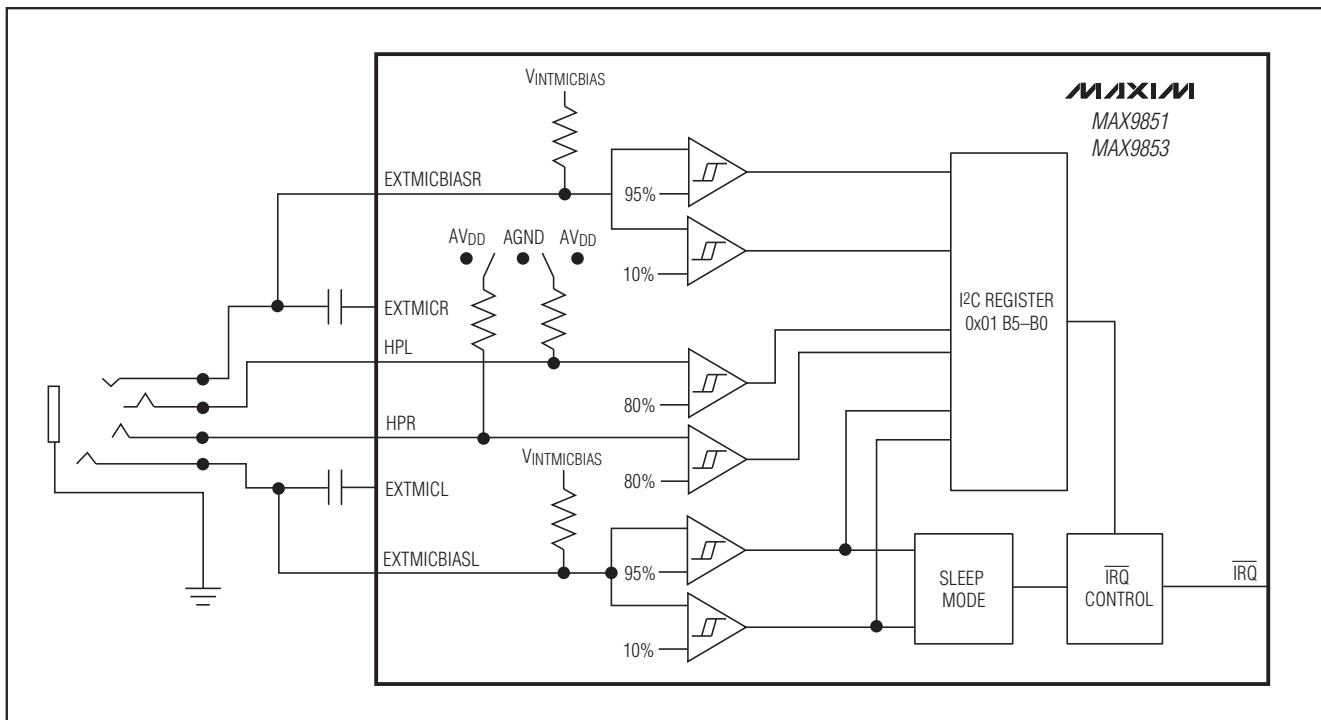


図8. ヘッドセット検出回路

パワーオフ/スリープモード

アナログまたはデジタル電源がMAX9851/MAX9853から取り外されると、ヘッドセット検出回路はスリープモードに移行します(通常、バッテリーとの直接接続を通じて、PV_{DD}の給電を維持する必要があります)。また、MAX9851/MAX9853が低電力シャットダウン状態の間に、スリープモードでヘッドセットの挿入と取外しを監視させるには、SLEEPを1 (レジスタ0x19、ビットB2)に設定します。このモードでは、外付けヘッドセットジャックのアクティビティが監視されますが、ヘッドセット構成の検出は行われません。正常に動作させるには、PV_{DD}を通じてバッテリー電圧を供給可能にする必要があります。低電流バイアスがEXTMICBIASLに供給されると、アクティビティを検出することができます。このピンが随時ローにプルされると、ハードウェア割込みがトリガされ、 $\overline{\text{IRQ}}$ が設定されます。スリープモードが終了するかヘッドセットジャックが取り外されるまで、 $\overline{\text{IRQ}}$ はアサート状態を維持します。オープンドレインの $\overline{\text{IRQ}}$ 出力のプルアップ抵抗によって、 μC が電源投入シーケンスを開始可能になるまで、小電流が消費されます。一旦電源がMAX9851/MAX9853に印加されるか、またはSLEEPが0に設定されると、スリープモードはディセーブルされ、通常のヘッドセット検出機能を使用することができます。

スリープモードでは、RBENを0に設定してマイクロフォンのバイアスをディセーブルし、また寄生ダイオードが

EXTMICBIASL/Rピンをロードしないことが重要です。なお、PV_{DD}の最初の印加時、またはスリープモードの最初のイネーブル時に、自動検出回路が $\overline{\text{IRQ}}$ を約50ms間トリガします。これは、EXTMICBIASLの検出用の弱プルアップ電流と、充電が必要な内蔵AC結合コンデンサによるものです。

通常動作

通常動作をイネーブルするには、ENAを1 (レジスタ0x19、ビットB3)に、HSTESTを01 (レジスタ0x19、ビットB1~B0)に設定します。このモードでは、EXTMICBIASL、EXTMICBIASR、HPL、およびHPRは、各ピンの負荷を判定するために検査されます。次に、検出された負荷はHSDETビット(ステータスレジスタ0x01、B5~B0)に通知されます。各ピンの負荷は、通知されるHSDETコードとともに表3に示されています。一部の負荷状態に対応するヘッドセット構成は、表4に示されています。

ヘッドフォンの検出は2ステップのプロセスで行われます。試験1 (HSTEST = 01)を使って、ステレオヘッドフォンが接続されているかどうかを識別することができます。バランス型モノラルヘッドフォンが接続されている場合は、この試験は確定的なものではありません。次に、構成を識別するために、試験2 (HSTEST = 10)を実行する必要があります。標準的なヘッドフォン試験手順については、図9を参照してください。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表3. HSDETのビットデコード

HSDET	HPR	HPL	EXTMICBIASL	EXTMICBIASR
[11XXXX]	x	x	Low	x
[01XXXX]	x	x	Mid	x
[00XXXX]	x	x	High	x
[XX1XXX]	Low	x	x	x
[XX0XXX]	High	x	x	x
[XXX1XX]	x	Low	x	x
[XXX0XX]	x	High	x	x
[XXXX11]	x	x	x	Low
[XXXX01]	x	x	x	Mid
[XXXX00]	x	x	x	High

表4. ヘッドセット構成例

HEADSET CONFIGURATION	HPR	HPL	EXTMICBIASL	EXTMICBIASR
No External Connector	High	High	High	High
3-Pole Connector				
Mono HP, Mono Microphone	Low	High	Mid	High
4-Pole Connector				
Stereo HP, Mono Microphone	Low	Low	Mid	High
Mono HP, Stereo Microphone	Low	High	Mid	Mid
5-Pole Connector				
Stereo HP, Stereo Microphone	Low	Low	Mid	Mid
Test 2 Only*				
No HP	Low	High	X	X
Mono Balanced HP	Low	Low	X	X
Mono Balanced HP, Mono Microphone	Low	Low	Mid	High
Mono Balanced HP, Stereo Microphone	Low	Low	Mid	Mid

*試験2は、試験1がHPRおよびHPLがハイであると確認した後に実行します。バランス型モノラルスピーカがHPRおよびHPLに接続されているかを確認するためにだけ、試験2が必要です。

マイクロフォンの検出は、マイクロフォンのバイアス回路によって行われます。マイクロフォンのバイアス回路をイネーブルするには、RBEN、MICLEN、およびMICRENを1（レジスタ0x12、ビットB1、およびレジスタ0x1B、ビットB1ならびにB0）に設定します。マイクロフォンバイアス電圧は、2つのスレッショルド、VINTMICBIASの95%および10%と比較されます。これらのスレッショルドは、ハイ、ミディアム、およびローの3種類の出力インピーダンス状態を設定します。EXTMICBIASピンに負荷がない場合は、ハイインピーダンス状態が発生します。負荷がエレクトレットモジュール、または中間電源でバイアスされる増幅マイクロフォンである場合は、ミディアム状態が発生します。マイクロフォンピンがフックスイッチまたはアクセサリロジック/IDピンでAGNDに短絡されると、ロー状態が発生します。また、マイクロフォンを切断するフックスイッチは、

ハイ状態を探すことによって検出することができます。ヘッドフォンの検出は、小さなプルアップ電流をHPLおよびHPRに配置することによって実行されます。ヘッドフォンを適切に検出するために、ヘッドフォンアンプがディセーブルされているか確認してください。ヘッドフォン試験1をイネーブルするには、HSTESTを01（レジスタ0x19、ビットB1およびB0）に設定します（表5を参照）。ヘッドフォンピンの検出バイアスは、ヘッドフォンに可聴障害が発生するのを回避するために、低電流でHPLとHPRの双方をAV_{DD}にプルアップしようと試みます。ステレオヘッドフォンが接続されていると、HPLとHPRは共にローにプルされます。ヘッドフォンが接続されていないか、またはバランス型モノラルスピーカが接続されていると、HPLおよびHPRは内部検出バイアスによってハイにプルされます。バランス型モノラル構成

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

を検出するには、試験2をイネーブルにするためにHSTESTを10に設定します。試験2では、小さなプルダウン電流をHPRに接続し、プルアップをHPLに接続します。バランス型モノラルスピーカはHPLをローにプルし、一方、オープン回路はHPLをAV_{DD}によってハイにプルすることができます。アンプがアクティブである間にヘッドフォン構成を検出しようとする、アクティブなヘッドフォンアンプの出力が0Vにバイアスされる時に誤った結果がもたらされます。

通常のヘッドセット検出モードでは、EXTMICBIASLが監視するジャックの取外しまたは挿入によって、 $\overline{\text{IRQ}}$ ピンで割込みがトリガされます。割込みをトリガする状態遷移は、表6に示されています。また、HSD_{ET}ビットのどの遷移でも割込みをトリガさせるには、IHSDを1

(レジスタ0x02、ビットB1)に設定します。HSD_{ET}の遷移は、20msフィルタによってデジタル的にデバウンスされます。

割込み出力

ハードウェア割込みは、MAX9851/MAX9853のオープンドレインの $\overline{\text{IRQ}}$ ピンに通知されます。割込みピンは、表7に示される要因によってトリガすることができます。割込みが発生すると、割込みがステータスレジスタ0x00の読取りによって対処されるまで、 $\overline{\text{IRQ}}$ はロー状態を維持します。割込みが発生すると、対応する割込みイネーブルがレジスタ0x02に設定されている場合に限り、割込みが通知されます(レジスタ定義の詳細については、「I²Cレジスタとビットの説明」の項を参照)。

表5. ヘッドフォン検出試験モード

HSTEST(1:0)	CONFIGURATION
00	Headphone sense bias disconnected
01	Headphone sense test 1 (standard headphone detection)
10	Headphone sense test 2 (balanced mono headphone detection)
11	Reserved

表6. ハードウェア割込みを発生させるヘッドセットピンの遷移

PIN-STATE CHANGE	DESCRIPTION
EXTMICBIASL: high → low or mid	Headset inserted
EXTMICBIASL: mid → low	Hook switch pressed
EXTMICBIASL: low → mid	Hook switch released
EXTMICBIASL: low → high	Headset removed

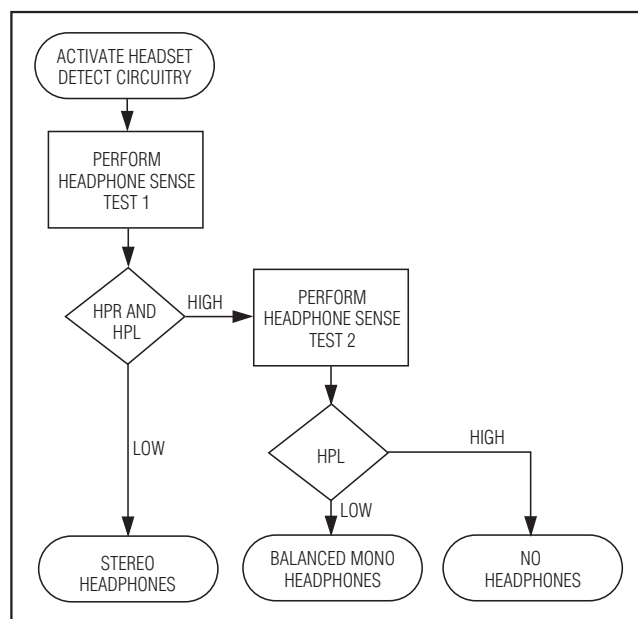


図9. ヘッドセット検出手順

表7. ハードウェア割込みの要因

INTERRUPT SOURCES	MASKABLE IN REGISTER (0x02)
Clip Detect	Yes
Slew Level Detect	Yes
Digital PLL UnLock	Yes
Headset Configuration Change	Yes
Headset Removal and Insertion	No
Speaker/External Fault	Yes

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851/MAX9853

I²Cレジスタとビットの説明

28個の内部レジスタによって、MAX9851/MAX9853のステータスが設定され、通知されます。表8は、すべてのレジスタ、そのアドレス、およびパワーオンリセット状態を示します。レジスタ0x00および0x01は読み取り専用で、残りの全レジスタは読み取り/書き込み用です。レジスタ0x1C~0x1Fは、工場試験用の予備です。レジスタの更新時に、別途記載のない限り、レジスタテーブル内のすべての未使用ビットにゼロを書き込みます。

スレーブアドレス

MAX9851/MAX9853は、0x20または0010000のスレーブアドレスによって事前設定されています。このアドレスは、7つの最上位ビット(MSB)および後続の読み取り/書き込みビットとして設定されています。MAX9851/MAX9853を読み取りモードに設定するには、読み取り/書き込みビットを1に設定します。MAX9851/MAX9853を書込みモードに設定するには、読み取り/書き込みビットを0に設定します。このアドレスは、START条件の後にMAX9851/MAX9853に送出される情報の先頭バイトです。

表8. レジスタマップ

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	REGISTER ADDRESS	POWER-ON RESET STATE
STATUS										
Status 0	CLD	SLD	ULK	0	0	0	HSD	FAULT	0x00	—
Status 1	AOK	1	HSDET						0x01	—
Interrupt Enable	ICLD	ISLD	IULK	0	0	0	IHSD	IFault	0x02	0x00
DIGITAL AUDIO S1										
Interface Mode	S1SDO	S1SDI	S1MNO	0	S1MODE				0x03	0x00
Interface Mode	S1MAS	S1WCI	S1BCI	0	S1DLY	0	0	S1WS	0x04	0x00
DIGITAL AUDIO S2										
Interface Mode	S2SDO	S2SDI	S2MNO	0	S2MODE				0x05	0x00
Interface Mode	S2MAS	S2WCI	S2BCI	0	S2DLY	0	0	S2WS	0x06	0x00
DIGITAL FILTERS										
Filter Modes	MHZ	ADCDC	ABPE	DBPE	DHPL		DHPR		0x07	0x70
DIGITAL MIXERS										
DAC-L/R Mixer	MIXDAL				MIXDAR				0x08	0x20
TRANSDUCER/VIBE										
T-DAC MUX/ Squelch	TMUX		TSEL	VTH					0x09	0x00
ANALOG MIXERS										
ADC Input Mixers	MXINL				MXINR				0x0A	0x00
Audio Output Mixers	MXOUTL				MXOUTR				0x0B	0x00
AUDIO GAIN										
Audio Interface S1 Gain	PGADS1								0x0C	0x00
Audio Interface S2 Gain	PGADS2								0x0D	0x00
Line1 Input Gain	0	0	0	PGAL1					0x0E	0x00
Line2 Input Gain	0	0	0	PGAL2					0x0F	0x00

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表8. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	REGISTER ADDRESS	POWER -ON RESET STATE
Microphone L Input Gain	0	0	PALEN	PGAML					0x10	0x00
Microphone R Input Gain	0	0	PAREN	PGAMR					0x11	0x00
MICROPHONE										
Microphone Mode	0	0	0	0	MMIC	MEXT	RBEN	RBIAS	0x12	0x00
AUDIO VOLUME										
Sidetone Volume	0	0	0	PGAS					0x13	0x00
Headphone/ Receiver Volume Left	0	HRMUT	HRVOLL						0x14	0x00
Headphone/ Receiver Volume Right	0	0	HRVOLR						0x15	0x00
Left Speaker Volume ¹ or Line Output Gain ²	0	SPMUT ¹ or LOMUT ²	SPVOLL ¹ or LOPGAL ²						0x16	0x00
Right Speaker Volume ¹ or Line Output Gain ²	0	0	SPVOLR ¹ or LOPGAR ²						0x17	0x00
AUDIO OUTPUT										
Audio Output Mode	0	VSEN	ZDEN	SPMODE ¹ or LOMODE ²		HRMODE			0x18	0x00
VIBE/HEADSET DETECT										
T-DAC PGA/HSET Detect	TGAIN				ENA	SLEEP	HSTEST		0x19	0x00
SYSTEM										
System	SHDN	HFEN	LFEN	CPEN	0	1	0	CPCLK	0x1A	0x00
SHUTDOWN										
Audio Shutdown	DACLEN	DACREN	ADCLEN	ADCREN	DATEN	0	MICLEN	MICREN	0x1B	0x00

¹MAX9851²MAX9853

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ステータスレジスタ(0x00、0x01)

表9. ステータスレジスタ0

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x00	CLD	SLD	ULK	0	0	0	HSD	FAULT

アラート条件が存在すると、ステータスレジスタ0x00および0x01内のビットが設定されます。対応する割込みイネーブルがレジスタ0x02に設定されている場合に限り、ステータスビットは更新されます。レジスタの読取り動作時にステータスレジスタ0x00内の全ビットが自動的にクリアされ、条件がこのレジスタの読取りの後に存続しているか、または実行される場合は、全ビットが再び設定されます。

クリップ検出フラグ(CLD)

1 = DACまたはADCのクリッピングが発生。

0 = クリッピングは未発生。

DAC入力データまたはADC出力データが、DACモノラルミキサ(左または右)、DAC変調器(左または右)、ADC経路ハイパスフィルタ(左または右)、またはVIBE経路変調器などの7つの場所のいずれか1つでデジタル信号経路内の過度の信号振幅によってクリッピングしていると、CLDが通知します。信号経路内のクリッピング状態を解消するには、DACの利得設定値およびアナログ入力の利得設定値を下げる必要があります。CLDビットは過負荷の発生場所を示さないため、利得をそれぞれ下げて要因を識別してください。

スルーレベル検出フラグ(SLD)

1 = ボリュームスルーイングが完了。

0 = ステータスレジスタが最後に読み取られたため、ボリュームスルーイングシーケンスは未完了。

プログラマブル利得アレイまたはボリュームコントローラのいずれか1つが前の設定から新しい設定までスルーを完了したとSLDが通知します。複数の利得アレイまたはボリュームコントローラがアナログまたはデジタル領域で同時に変更されると、各領域における最後のスルー調整後にSLDフラグが設定されます。また、シリアルインタフェースのソフトスタートまたはソフトストッププロセスが完了すると、SLDは通知します。

デジタルPLLアンロックフラグ(ULK)

1 = S1またはS2の内蔵DACのPLLがロックされていません。

0 = イネーブルされて適切に動作している場合に、S1およびS2の内蔵DACの両PLLがロック。

ULKは、いずれかのDACのデジタルオーディオの位相ロックループがアンロックされ、入力デジタル信号データが信頼できないことを通知します。

ヘッドセット構成変更フラグ(HSD)

1 = ヘッドセット構成が変化した。

0 = ヘッドセット構成は変化なし。

HSDはHSDET (レジスタ0x01、ビットB5~B0)に変化を通知します。IHSDの状態を問わず、ジャックの取外しや挿入(EXTMICBIASLの監視で検出)によって、 $\overline{\text{IRQ}}$ ラインで割込みがトリガされます。「ヘッドセットの検出」の項を参照してください。HSDETの変化は、HSDの設定前に約20msのフィルタでデジタル的にデバウンスされます。HSDETの有効な変化は、この値で遅延されます。このフラグを初期化するために、電源投入から短い時間(> 1ms)、MCLKを印加する必要があります。

MAX9851：スピーカ障害フラグ(FAULT)

1 = 電流過負荷がスピーカアンプに発生。

0 = 電流消費は通常通り。

MAX9851の場合は、FAULTは、D級出力アンプが電流過負荷状態に入ったことを示します。

MAX9853：外部障害フラグ(FAULT)

1 = FAULTINピンはローにプルされています。

0 = FAULTINピンはハイ。

MAX9853の場合は、FAULTはFAULTINピンがローにプルされていることを示します。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表10. ステータスレジスタ1

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x01	AOK	1	HSDET					

アナログ部OK (AOK)

1 = アナログ回路が正常に動作している。

0 = アナログの起動は未完了、またはMAX9851/MAX9853はシャットダウン状態。

AOKは、MAX9851/MAX9853のアナログ部が正常に動作していることを通知します。電源がMAX9851/MAX9853に印加されると、AOKビットは0に設定されます。MAX9851/MAX9853をシャットダウンから移行させて、このビットを1に設定するためにチャージポンプが動作する必要があります。MAX9851/MAX9853

のデジタル信号処理部は、このビットが1でない限り動作しません。

ヘッドセットジャックモードのインジケータ(HSDET)

HSDETは、接続されたヘッドセット構成の設定に使用される4つのヘッドセット試験ピンのEXTMICBIASL、EXTMICBIASR、HPL、およびHPRの負荷インピーダンスを通知します。これらのビットの値のデコードについては、「ヘッドセットの検出」の項の表3を参照してください。

割込みのイネーブルレジスタ(0x02)

表11. 割込みのイネーブル

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x02	ICLD	ISLD	IULK	0	0	0	IHSD	IFAUULT

クリッピング検出割込みのイネーブル(ICLD)

1 = クリッピングの検出によって、ハードウェア割込みがトリガされ、ICLD (レジスタ0x00、B7)が設定されます。

0 = クリッピングは通知されません。

スルー検出割込みのイネーブル(ISLD)

1 = スルーイングされたボリューム変更の完了によって、ハードウェア割込みがトリガされ、ISLD (レジスタ0x00、B6)が設定されます。

0 = スルーイングの完了は通知されません。

デジタルPLLアンロック割込みのイネーブル(IULK)

1 = 内蔵PLLのアンロック条件がハードウェア割込みをトリガし、IULK (レジスタ0x00、B5)が設定されます。

0 = アンロック条件は通知されません。

ヘッドセット検出割込みのイネーブル(IHSD)

1 = ヘッドセット構成のあらゆる変更がハードウェア割込みをトリガし、IHSD (レジスタ0x00、B1)が設定されます。

0 = ジャックの挿入と取外しのみが通知されます。

IHSD = 0の場合は、ジャックの取外しまたは挿入(EXTMICBIASLの監視で検出)によって、 $\overline{\text{IRQ}}$ ラインの割込みがトリガされますが、他のHSDETビットの変更ではトリガされません。

MAX9851：スピーカ障害割込みのイネーブル(IFAUULT)

1 = D級スピーカアンプの電流過負荷がハードウェア割込みをトリガし、FAUULT (レジスタ0x00、B0)が設定されます。

0 = 電流負荷は通知されません。

MAX9853：外部障害割込みのイネーブル(IFAUULT)

1 = FAULTINの入力がハードウェア割込みをトリガし、FAUULT (レジスタ0x00、B0)が設定されます。

0 = 障害入力通知されません。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

オーディオインタフェースレジスタ(0x03、0x04、0x05、0x06)

表12. オーディオインタフェースS1

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x03	S1SDO	S1SDI	S1MNO	0	S1MODE			
0x04	S1MAS	S1WCI	S1BCI	0	S1DLY	0	0	S1WS
0x05	S2SDO	S2SDI	S2MNO	0	S2MODE			
0x06	S2MAS	S2WCI	S2BCI	0	S2DLY	0	0	S2WS

シリアルデータ出力のイネーブル(S1SDO/S2SDO)

1 = デジタルオーディオ出力をイネーブル。

0 = デジタルオーディオ出力をディセーブル。

S1SDO/S2SDO = 1によって、MAX9851/MAX9853がADC出力データを各オーディオインタフェース出力ピンに送出するように設定されます。S1SDO/S2SDO = 0によって、SDOUTS1/SDOUTS2はローに強制されます。

S1SDOおよびS2SDOがともにイネーブルされていると、S1およびS2インタフェースが同じデータを出力します。両方の出力がイネーブルされていると、設定されたサンプルレートが同じである限り、各インタフェースを様々なフォーマットモードに設定することができます。

シリアルデータ入力のイネーブル(S1SDI/S2SDI)

1 = デジタルオーディオ入力をイネーブル。

0 = デジタルオーディオ入力をディセーブル。

S1SDI/S2SDI = 1によって、MAX9851/MAX9853はソフトスタートシーケンスを実行し、受信オーディオデータを各SDINピンからそのインタフェースのデジタルフィルタに転送するように設定されます。S1SDI/S2SDI = 0によって、MAX9851/MAX9853はソフトストップシーケンスを開始し、受信オーディオデータを無視して、そのインタフェースのデジタル入力フィルタパスをディセーブルするように設定されます。

ソフトスタートまたはソフトストップシーケンスが完了すると、SLD (レジスタ0x00、B6)フラグが設定されます。S1SDIおよびS2SDIビットを使って、S1MODEまたはS2MODEビットを変更する前に、信号データをクリーンにソフトストップする必要があります。ソフトストップシーケンスは、ボリュームをフルスケールからミュートまで完全にスルーイングするのに約10msが必要とします。DACLENおよびDACREN (レジスタ0x1B、ビットB7およびB6)がクリーンな起動遷移に設定された後に、DACをイネーブルするには、S1SDI/S2SDIビットを設定します。同様に、DACLENおよびDACRENをクリアする前に、S1SDI/S2SDIをクリアします。

シリアル入力モノラルミックスのイネーブル(S1MNO/S2MNO)

1 = 左右のデジタル入力信号はモノラルにミックスされ、左チャンネルに出力されます。

0 = ステレオの左右のデジタル信号が維持されます。

右チャンネルのデジタルフィルタがシャットダウンされている間に、モノラル信号は左チャンネルのデジタルフィルタを通じてデジタルフィルタリングされて補間されます。左チャンネルフィルタの出力は、左右DACのいずれか一方または両方に送出することができます。モノラルにミックスする前にはステレオ入力は減衰されません。大入力信号でクリッピングが発生する場合があります。

インタフェースS1/S2モード(S1MODE/S2MODE)

S1MODE/S2MODEによって、MAX9851/MAX9853は各デジタルオーディオインタフェースで特定のオーディオサンプリングレートに設定されます。インタフェースを指定のサンプリングレートでステレオオーディオ動作に設定するには、S1MODE/S2MODEを0x1~0x9に設定します。インタフェースをボイスモードで動作するように設定するには、S1MODE/S2MODEを0xAまたは0xBに設定します。ボイスバンドフィルタリングは第1シリアルインタフェースでのみ利用可能であるため、第2デジタルオーディオインタフェースは主にモード0x1~0x9で使用されるように設計されています。16kHzのボイスモードで動作する時は、MCLKは26MHzである必要があります。

表13. シリアルインタフェースの動作モード

S1 MODE/ S2 MODE	RATE (kHz)	MODE
0x0	—	Interface off
0x1	8	Stereo audio
0x2	11.025	Stereo audio
0x3	12	Stereo audio
0x4	16	Stereo audio
0x5	22.05	Stereo audio
0x6	24	Stereo audio
0x7	32	Stereo audio
0x8	44.1	Stereo audio
0x9	48	Stereo audio
0xA	8	Mono voice mode
0xB	16	Mono voice mode (MCLK must be 26MHz)
0xC, 0xD, 0xE, 0xF	—	Reserved

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

マスタモード(S1MAS/S2MAS)

1 = マスタモード(LRCLKおよびBCLKのタイミング信号を内部で生成、LRCLKおよびBCLKを出力として設定)。

0 = スレーブモード(LRCLKおよびBCLKを外部ソースから受け、LRCLKおよびBCLKを入力として設定)。

スレーブモードのタイミング信号は、DACのみのステレオオーディオモードでMCLKまたは他のオーディオインタフェースソースのどちらかに非同期で動作することができます。ADC出力をイネーブルしたインタフェースは、ボイスモードで同期して動作しない限り、マスタモードで動作する必要があります。

LRCLKの反転(S1WCI/S2WCI)

1 = LRCLKがローの間に、右チャンネルデータを伝送。

0 = LRCLKがローの間に、左チャンネルデータを伝送。

I²S規格に準拠するには、S1WCI/S2WCI = 0に設定します。S1WCI/S2WCIはボイスモードで機能しません。

BCLKの反転(S1BCI/S2BCI)

1 = デジタルオーディオピットは、BCLKの立下りエッジで転送されます。

0 = デジタルオーディオピットは、BCLKの立上りエッジで転送されます。

I²S規格に準拠するには、S1BCI/S2BCI = 0に設定します。

データ遅延(S1DLY/S2DLY)

1 = SDINおよびSDOUTのデジタルオーディオのMSBは、LRCLKエッジに続く第2BCLKのエッジで転送されます。

0 = SDINおよびSDOUTのデジタルオーディオのMSBは、LRCLKエッジに続く第1BCLKのエッジで転送されます。

I²S規格に準拠するには、S1DLY/S2DLY = 1に設定します。S1DLY/S2DLYはボイスモードで機能しません。

ワードサイズ(S1WS/S2WS)

1 = 18ビットのデジタルオーディオデータ。

0 = 16ビットのデジタルオーディオデータ。

マスタモードで動作する時は、サンプル当りのBLCKサイクルの回数はS1WS/S2WSで選択されるワードサイズに対応します。S1WS/S2WSはボイスモードで機能しません。

デジタルフィルタレジスタ(0x07)

表14. デジタルフィルタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x07	MHZ	ADCDC	ABPE	DBPE	DHPL		DHPR	

MCLK周波数モード(MHz)

1 = 26MHzのMCLK。

0 = 13MHzのMCLK。

26MHzのクロックは、16kHzの同期ボイスモードを可能にします。他のすべての動作モードは、どちらかのMCLK周波数で動作することができます。

ADCのDCブロッキングフィルタのイネーブル(ADCDC)

1 = ADCのDCブロックをイネーブル。

0 = ADCのDCブロックをディセーブル。

DCブロッキングは、 $f_s / 1608$ のカットオフ周波数のハイパスフィルタで構成されます。このフィルタは、ボイスモードなどのあらゆる動作モードで利用可能です。ADCのDCブロッキングフィルタを、 $\pm 0.125V$ (フルスケールの8分の1)を上回るDCオフセットの低周波信号で過負荷にすることができます。

ADC帯域通過フィルタのイネーブル(ABPE)

1 = ADC帯域通過フィルタをイネーブル。

0 = ADC帯域通過フィルタをディセーブル。

ABPE = 1によって、帯域通過フィルタを生成するためにADCローパスフィルタとともにADCハイパスフィルタがイネーブルされます。ADCボイスバンドフィルタは、ボイスバンドの左出力チャンネルデータ、ADC、およびボイスモードでの動作時にのみ機能します。

DAC帯域通過フィルタのイネーブル(DBPE)

1 = DAC帯域通過フィルタをイネーブル。

0 = DAC帯域通過フィルタをディセーブル。

DBPE = 1によって、帯域通過フィルタを生成するためにDACローパスフィルタとともにDACハイパスフィルタがイネーブルされます。DACフィルタは、S1の左入力またはモノラルS1のL+R入力信号データにのみ機能します。

左右のDACハイパスフィルタモード(DHPL/DHPR)

00 = フィルタリングなし。

01 = 55Hz~91Hzのカットオフ周波数。

10 = 171Hz~279Hzのカットオフ周波数。

11 = 327Hz~533Hzのカットオフ周波数。

ADCおよびDACがともにイネーブルされていると、各設定の正確なカットオフ周波数は使用中のサンプルレートに依存します。DACのみのモードでは、正確なカットオフ周波数は上記の範囲の上端になります。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

デジタルミキサレジスタ(0x08)

表15. DAC入力ミキサ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x08	MIXDAL				MIXDAR			

左右のDAC入力ミキサ(MIXDAL/MIXDAR)

表16は、受信デジタルオーディオストリームの可能なミックス構成を示しています。4つのデジタルオー

ディオストリームをそれぞれ任意の組合せでミックスし、左または右のDACに個別に送出することができます。

表16. DAC入力ミキサ

INPUT SOURCE	MIXDAL LEFT DAC (REGISTER 0x08, BITS B7–B4)	MIXDAR RIGHT DAC (REGISTER 0x08, BITS B3–B0)	DESCRIPTION
S1 Left	XX1X	XX1X	Mix the primary digital audio interface left channel
S1 Right	XXX1	XXX1	Mix the primary digital audio interface right channel
S2 Left	1XXX	1XXX	Mix the secondary digital audio interface left channel
S2 Right	X1XX	X1XX	Mix the secondary digital audio interface right channel

X = 任意

トランスデューサ/バイブレジスタ(0x09)

表17. トランスデューサ/バイブビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x09	TMUX		TSEL	VTH				

トランスデューサ/バイブDAC出力の選択(TMUX)

00 = $\overline{\text{VIBE}}$ はハイ。

01 = $\overline{\text{VIBE}}$ はロー。

10 = 反転スレッショルドコンパレータ出力を $\overline{\text{VIBE}}$ に接続。

11 = フィルタリングなしの反転1ビットDAC出力を $\overline{\text{VIBE}}$ に接続。

「 $\overline{\text{VIBE}}$ 出力」の項を参照してください。TMUXは、 $\overline{\text{VIBE}}$ 出力の信号経路を選択します。TSEL (レジスタ0x07、B5)を設定します。

トランスデューサ/バイブDACパスのイネーブル(TSEL)

1 = 第2 (S2)左、または左 + 右のデジタルオーディオ信号。

0 = 第1 (S1)右デジタルオーディオ信号。

TSEL = 0によって、MAX9851/MAX9853がトランスデューサ/バイブ信号処理に第1デジタルオーディオインタフェースの右チャンネルを使用するように設定さ

れます。TSEL = 1によって、MAX9851/MAX9853がトランスデューサ/バイブ信号処理に第2デジタルオーディオインタフェースの左チャンネル(またはS2モノラルミックスがイネーブルの場合は、左 + 右)を使用するように設定されます。

トランスデューサ/バイブスケルチコンパレータのスレッショルド(VTH)

$\overline{\text{VIBE}}$ 出力にコンパレータを使用する場合は、正のデジタルオーディオデータが比較されるレベルを設定するためにVTHを設定します。入力データがVTHを下回る場合は、 $\overline{\text{VIBE}} = 1$ です。入力データがVTHを上回る場合は、 $\overline{\text{VIBE}} = 0$ です。VTH = 0x00の場合は、すべての負の信号値は $\overline{\text{VIBE}}$ をハイにし、すべての正の値は $\overline{\text{VIBE}}$ をローにします(動作については図6を参照)。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表18. バイブのスレッシュホールド

VTH	THRESHOLD VALUE
0x1F	31/32 x FS
0x1E	30/32 x FS
0x1D	29/32 x FS
0x1C	28/32 x FS
0x1B	27/32 x FS
0x1A	26/32 x FS
0x19	25/32 x FS
0x18	24/32 x FS
0x17	23/32 x FS
0x16	22/32 x FS
0x15	21/32 x FS
0x14	20/32 x FS
0x13	19/32 x FS
0x12	18/32 x FS
0x11	17/32 x FS
0x10	16/32 x FS

VTH	THRESHOLD VALUE
0x0F	15/32 x FS
0x0E	14/32 x FS
0x0D	13/32 x FS
0x0C	12/32 x FS
0x0B	11/32 x FS
0x0A	10/32 x FS
0x09	9/32 x FS
0x08	8/32 x FS
0x07	7/32 x FS
0x06	6/32 x FS
0x05	5/32 x FS
0x04	4/32 x FS
0x03	3/32 x FS
0x02	2/32 x FS
0x01	1/32 x FS
0x00	0

アナログミキサのレジスタ(0x0A、0x0B)

表19. オーディオミキサビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0A	MXINL				MXINR			
0x0B	MXOUTL				MXOUTR			

左右のADC入力ミキサ(MXINL/MXINR)

表20. ADC入力ミキサ

INPUT SOURCE	MIXINL LEFT ADC (REGISTER 0x0A, Bits B7–B4)	MIXINR RIGHT ADC (REGISTER 0x0A, Bits B3–B0)	DESCRIPTION
Line 1	1XXX	1XXX	Mix line input 1
Line 2	X1XX	X1XX	Mix line input 2
Left Microphone	XX1X	XX1X	Mix the left microphone input
Right Microphone	XXX1	XXX1	Mix the right microphone input

X = 任意

表20は、ADCのアナログ入力信号の可能なミックス構成を示しています。4つの入力信号をそれぞれ、任意の組合せで左または右のADCに個別に送出することがで

きます。マイクロフォン回路がイネーブルされていない間にマイクロフォンがミキサ入力として選択される場合は、ADCは誤った結果をもたらします。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

左右のオーディオ出力ミキサ(MXOUTL/MXOUTR)

表21. アナログ出力ミキサ

INPUT SOURCE	MXOUTL LEFT AUDIO OUTPUT (REGISTER 0x0B, BITS B7–B4)	MXOUTR RIGHT AUDIO OUTPUT (REGISTER 0x0B, BITS B3–B0)	DESCRIPTION
Sidetone	1XXX	1XXX	Mix the sidetone
Line 1	X1XX	X1XX	Mix line input 1
Line 2	XX1X	XX1X	Mix line input 1
Left DAC Output	XXX1	XXXX	Mix the left DAC output to the left analog output
Right DAC Output	XXXX	XXX1	Mix the right DAC output to the right analog output

X = 任意

表21は、アナログオーディオ出力ミキサの可能なミックス構成を示しています。サイドトーン、ライン1、およびライン2信号を表21に示す組み合わせで左または右の

オーディオ出力に送出することができます。左DAC出力は左オーディオ出力でのみ利用可能で、右DAC出力も同様です。

オーディオ利得制御レジスタ(0x0C、0x0D、0x0E、0x0F、0x10、0x11)

表22. デジタルオーディオ入力利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0C	PGADS1							
0x0D	PGADS2							

デジタルオーディオ入力用のプログラマブルな利得調整(PGADS1/PGADS2)

PGADS1/PGADS2は、デジタルオーディオインタフェース入力の利得調整を設定します。コード0x00が

最大信号であり、また0xFFが最大減衰です。このプログラマブル利得調整はモノラルミキサに対応します。表23は、デジタル信号入力の簡略利得制御設定値を示しています。

表23. デジタルオーディオ入力利得の設定値

PGADS1/ PGADS2	SETTING (dB)	PGADS1/ PGADS2	SETTING (dB)	PGADS1/ PGADS2	SETTING (dB)
0x00	0	0x8D	-14	0xCC	-28
0x0E	-1	0x93	-15	0xCF	-29
0x1C	-2	0x99	-16	0xD2	-30
0x29	-3	0x9F	-17	0xD4	-31
0x35	-4	0xA5	-18	0xD6	-32
0x40	-5	0xAA	-19	0xD9	-33
0x4A	-6	0xAE	-20	0xDB	-34
0x55	-7	0xB3	-21	0xDD	-35
0x5E	-8	0xB7	-22	0xDF	-36
0x67	-9	0xBB	-23	0xE1	-37
0x70	-10	0xBF	-24	0xE2	-38
0x78	-11	0xC2	-25	0xE4	-39
0x7F	-12	0xC6	-26	0xE5	-40
0x86	-13	0xC9	-27	0xFF	Mute

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表24. ライン入力利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0E	0	0	0	PGAL1				
0x0F	0	0	0	PGAL2				

ライン入力用のプログラマブルな利得調整
(PGAL1/PGAL2)

PGAL1/PGAL2は、ライン入力1/ライン入力2のプロ

グラマブルな利得調整設定値を設定します。コード
0x00が最大利得であり、また0x1Fが最大減衰です。
表25は、各コードの利得設定値を示しています。

表25. ライン入力利得制御の設定値

PGAL1/PGAL2	SETTING (dB)
0x00	+30
0x01	+28
0x02	+26
0x03	+24
0x04	+22
0x05	+20
0x06	+18
0x07	+16
0x08	+14
0x09	+12
0x0A	+10
0x0B	+8
0x0C	+6
0x0D	+4
0x0E	+2
0x0F	0
0x10	-2

PGAL1/PGAL2	SETTING (dB)
0x11	-4
0x12	-6
0x13	-8
0x14	-10
0x15	-12
0x16	-14
0x17	-16
0x18	-18
0x19	-20
0x1A	-22
0x1B	-24
0x1C	-26
0x1D	-28
0x1E	-30
0x1F	-32
—	—

表26. マイクロフォン入力利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x10	0	0	PALEN	PGAML				
0x11	0	0	PAREN	PGAMR				

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

マイクロフォンソース用のプログラマブルな利得調整 (PGAML/PGAMR)

PGAML/PGAMRは、マイクロフォン左/マイクロフォン右の入力のプログラマブルな利得調整設定値を設定します。コード0x00が最大利得であり、また0x1Fが最大減衰です。表27は、各コードの利得設定値を示しています。

表27. マイクロフォン入力利得制御の設定値

PGAML/PGAMR	SETTING (dB)
0x00	+20
0x01	+19
0x02	+18
0x03	+17
0x04	+16
0x05	+15
0x06	+14
0x07	+13
0x08	+12
0x09	+11
0x0A	+10

マイクロフォンプリアンプのイネーブル(PALEN/PAREN)
1 = +20dBの追加利得をプリアンプでマイクロフォン入力に適用。

0 = 0dBの利得をマイクロフォンプリアンプで適用。

プリアンプ利得は、PGAML/PGAMRで設定される利得に追加されます。「マイクロフォンアンプ」の項を参照してください。

PGAML/PGAMR	SETTING (dB)
0x0B	+9
0x0C	+8
0x0D	+7
0x0E	+6
0x0F	+5
0x10	+4
0x11	+3
0x12	+2
0x13	+1
0x14–0x1F	+0

マイクロフォン制御レジスタ(0x12)

表28. マイクロフォン制御ビットの設定値

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x12	0	0	0	0	MMIC	MEXT	RBEN	RBIAS

マイクロフォンのミュート(MMIC)

1 = すべてのマイクロフォン入力をミュート。

0 = ミュートをディセーブル。

外付けマイクロフォンモード(MEXT)

1 = 外付けマイクロフォン入力。

0 = 内蔵マイクロフォン入力。

抵抗バイアスのイネーブル(RBEN)

1 = EXTMICBIASLおよびEXTMICBIASRの内蔵バイアス抵抗が接続済み。

0 = 内蔵バイアス抵抗が未接続。

マイクロフォンバイアス出力インピーダンスの選択(RBIAS)

1 = 470Ω。

0 = 2.2kΩ。

エレクトレットまたは増幅型マイクロフォンを使用する時に、2.2kΩを選択します。外付けRCフィルタをヘッドセットジャックの近くで使用する時は、470Ωを選択します。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

オーディオボリューム制御レジスタ(0x13、0x14、0x15、0x16、0x17)

表29. サイドトーン利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x13	0	0	0	PGAS				

サイドトーンボリューム制御(PGAS)

PGASは、オーディオ出力ミキサに送出されるサイドトーン信号のボリュームを設定します。サイドトーン信号が左マイクロフォン入力から送出されますので、この

ボリューム制御は左マイクロフォン入力の利得設定に追加されます。コード0x00が最大利得であり、また0x1Fが最大減衰です。表30は、各コードの利得設定値を示しています。

表30. サイドトーンボリューム制御の設定値

PGAS	SETTING (dB)	PGAS	SETTING (dB)
0x00	+30	0x10	-2
0x01	+28	0x11	-4
0x02	+26	0x12	-6
0x03	+24	0x13	-8
0x04	+22	0x14	-10
0x05	+20	0x15	-12
0x06	+18	0x16	-14
0x07	+16	0x17	-16
0x08	+14	0x18	-18
0x09	+12	0x19	-20
0x0A	+10	0x1A	-22
0x0B	+8	0x1B	-24
0x0C	+6	0x1C	-26
0x0D	+4	0x1D	-28
0x0E	+2	0x1E	-30
0x0F	0	0x1F	-32

表31. ヘッドフォン/レシーバ利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x14	0	HRMUT	HRVOLL					
0x15	0	0	HRVOLR					

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

左右のヘッドフォン/レシーバボリューム制御
(HRVOLL/HRVOLR)

HRVOLL/HRVOLRは、左右のヘッドフォン出力のボリュームを設定します。また、HRVOLLおよびHRVOLRは、

レシーバ信号が左右のヘッドフォン信号のモノラルミックスですので、レシーバ出力のボリュームも制御します。コード0x00が最大利得であり、また0x3Fが最大減衰です。表32は、各コードの利得設定値を示しています。

表32. ヘッドフォン/レシーバボリューム制御の設定値

HRVOLL/HRVOLR	SETTING (dB)
0x00	+5.5
0x01	+5.0
0x02	+4.5
0x03	+4.0
0x04	+3.5
0x05	+3.0
0x06	+2.5
0x07	+2.0
0x08	+1.0
0x09	0
0x0A	-1.0
0x0B	-2.0
0x0C	-4.0
0x0D	-6.0
0x0E	-8.0
0x0F	-10.0
0x10	-12.0
0x11	-14.0
0x12	-16.0
0x13	-18.0
0x14	-20.0

HRVOLL/HRVOLR	SETTING (dB)
0x15	-22.0
0x16	-24.0
0x17	-26.0
0x18	-28.0
0x19	-30.0
0x1A	-32.0
0x1B	-34.0
0x1C	-36.0
0x1D	-38.0
0x1E	-40.0
0x1F	-42.0
0x20	-46.0
0x21	-50.0
0x22	-54.0
0x23	-58.0
0x24	-62.0
0x25	-66.0
0x26	-70.0
0x27	-74.0
0x28 to 0x3F	Mute
—	—

ヘッドフォンのミュート(HRMUT)

1 = ヘッドフォン/レシーバ出力をミュート。

0 = ヘッドフォン/レシーバ出力レベルをボリューム制御ビットで設定。

表33. スピーカ/ライン出力利得ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x16	0	SPMUT ¹ LOMUT ²	SPVOLL ¹ LOPGAL ²					
0x17	0	0	SPVOLR ¹ LOPGAR ²					

¹MAX9851 ²MAX9853

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9851：左右のD級ボリューム制御
(SPVOLL/SPVOLR)

SPVOLL/SPVOLRは、MAX9851の左右のD級スピーカ
アンプの出力ボリュームを設定します。コード0x00が

最大利得であり、または0x3Fが最大減衰です。表34は、
各コードの利得設定値を示しています。

表34. スピーカボリューム制御の設定値

SPVOLL/SPVOLR	SETTING (dB)
0x00	+13.1
0x01	+12.6
0x02	+12.1
0x03	+11.6
0x04	+11.1
0x05	+10.6
0x06	+10.1
0x07	+9.6
0x08	+8.6
0x09	+7.6
0x0A	+6.6
0x0B	+5.6
0x0C	+3.6
0x0D	+1.6
0x0E	-0.4
0x0F	-2.4
0x10	-4.4
0x11	-6.4
0x12	-8.4
0x13	-10.4
0x14	-12.4

SPVOLL/SPVOLR	SETTING (dB)
0x15	-14.4
0x16	-16.4
0x17	-18.4
0x18	-20.4
0x19	-22.4
0x1A	-24.4
0x1B	-26.4
0x1C	-28.4
0x1D	-30.4
0x1E	-32.4
0x1F	-34.4
0x20	-38.4
0x21	-42.4
0x22	-46.4
0x23	-50.4
0x24	-54.4
0x25	-58.4
0x26	-62.4
0x27	-66.4
0x28 to 0x3F	Mute
—	—

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

MAX9853：左右のライン出力ボリューム制御
(LOPGAL/LOPGAR)

LOPGAL/LOPGARは、MAX9853の左右の差動ライン出力の出力ボリュームを設定します。コード0x00が最大利得であり、または0x3Fが最大減衰です。表35は、各コードの利得設定値を示しています。

表35. ライン出力ボリューム制御の設定値

LOPGAL/LOPGAR	SETTING (dB)
0x00	+7.1
0x01	+6.6
0x02	+6.1
0x03	+5.6
0x04	+5.1
0x05	+4.6
0x06	+4.1
0x07	+3.6
0x08	+2.6
0x09	+1.6
0x0A	+0.6
0x0B	-0.4
0x0C	-2.4
0x0D	-4.4
0x0E	-6.4
0x0F	-8.4
0x10	-10.4
0x11	-12.4
0x12	-14.4
0x13	-16.4
0x14	-18.4

MAX9851：スピーカ出力のミュート(SPMUT)

1 = スピーカ出力をミュート。

0 = スピーカをボリューム制御ビットで設定。

MAX9853：スピーカ出力のミュート(LOMUT)

1 = スピーカ出力をミュート。

0 = ライン出力をボリューム制御ビットで設定。

LOPGAL/LOPGAR	SETTING (dB)
0x15	-20.4
0x16	-22.4
0x17	-24.4
0x18	-26.4
0x19	-28.4
0x1A	-30.4
0x1B	-32.4
0x1C	-34.4
0x1D	-36.4
0x1E	-38.4
0x1F	-40.4
0x20	-44.4
0x21	-48.4
0x22	-52.4
0x23	-56.4
0x24	-60.4
0x25	-64.4
0x26	-68.4
0x27	-72.4
0x28 to 0x3F	Mute
—	—

MAX9851/MAX9853

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

オーディオ出力制御のレジスタ(0x18)

表36. オーディオ出力ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x18	0	VSEN	ZDEN	SPMODE ¹ LOMODE ²		HRMODE		

¹MAX9851 ²MAX9853

ボリューム調整の平滑化(VSEN)

1 = 中間値を段階的に経過して、ボリューム変化を平滑化。

0 = 中間設定値をバイパスして、ボリュームを変化。

ゼロクロス検出(ZDEN)

1 = オーディオ波形のゼロクロスでのみ、または約100ms後にボリュームを変化。

0 = 要求に応じてボリュームを変化。

MAX9851：スピーカ出力のモード(SPMODE)

00 = スピーカアンプのシャットダウン。

01 = 右チャンネルのみをイネーブル。

10 = 左チャンネルのみをイネーブル。

11 = ステレオスピーカ出力をイネーブル。

MAX9853：ライン出力のモード(LOMODE)

00 = ライン出力をディセーブルおよびSHDNOUTをハイ。

11 = ライン出力をイネーブルおよびSHDNOUTをロー。

ヘッドフォンおよびレシーバ出力モード(HRMODE)

000 = ヘッドフォン/レシーバアンプのシャットダウン。

001~011 = 予備。

100 = ステレオヘッドフォンモード。

101 = シングルエンド型モノラルヘッドフォンモード(L+R)。

110 = バランス型モノラルヘッドフォンモード(ブリッジ接続負荷L+R出力)。

111 = レシーバアンプをイネーブル(L+R)。

HRMODEは、ヘッドフォンアンプモードまたはレシーバアンプモードを選択します。ヘッドフォンアンプとレシーバアンプを同時にイネーブルにすることはできません。クリック/ポップを最小にするには、パワーオンシーケンスおよびAOK = 1 (レジスタ0x01、ビットB7)の後に、HRMODEを設定する必要があります。

バイプ利得およびヘッドセット自動検出のレジスタ(0x19)

表37. バイプおよびヘッドセット自動検出ビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x19	TGAIN				ENA	SLEEP	HSTEST	

トランスデューサ/バイプ利得(TGAIN)

TGAINは、信号コンディショニングがイネーブルの時に、VIBE信号のプログラマブルな利得設定を選択します。

表38は、各コードの利得設定値を示しています。

表38. トランスデューサDACの利得設定値

TGAIN	T-DAC VIBE SIGNAL INPUT PGA
0x0	Disabled, PGA output = 0
0x1	Reserved
0x2	Reserved
0x3	-30dB
0x4	-24dB
0x5	-18dB
0x6	-12dB
0x7	-6dB

TGAIN	T-DAC VIBE SIGNAL INPUT PGA
0x8	0dB
0x9	+6dB
0xA	+12dB
0xB	+18dB
0xC	+24dB
0xD	+30dB
0xE	Reserved
0xF	Reserved

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ヘッドセット検出のイネーブル(ENA)

1 = イネーブル。

0 = ディセーブル。

ENA = 1は、ヘッドフォン検出バイアスをイネーブルし、スレッショルドコンパレータ回路の電源をオンにします。正常なヘッドセット検出を確保するには、ヘッドフォンアンプをディセーブルにして、マイクロフォンアンプとバイアス抵抗をイネーブルする必要があります。ENA = 0は、回路の電源を切断し、HSDET (レジスタ0x01、ビットB5~B0)を0x00に設定します。

ヘッドセット検出低電力モード(SLEEP)

1 = イネーブル。

0 = ディセーブル。

SLEEP = 1によって、検出回路は低電力モードに移行し、標準検出モードはディセーブルされます。この機能は、MAX9851/MAX9853を低電力シャットダウンモードで

動作する場合に有効です。EXTMICBIASLは監視され、負荷が検出されるとハードウェア割込みがトリガされます。ハードウェア割込みをクリアするには、スリープモードを終了します。AV_{DD}が除去され、バッテリー電圧(PV_{DD})がまだ存在する場合に、スリープモードに自動的に移行します。「ヘッドセットの検出」の項を参照してください。

ヘッドセット検出の設定(HSTEST)

00 = ヘッドフォン検出バイアスを切断。

01 = ヘッドフォン検出試験1 (標準的なヘッドフォン検出)。

10 = ヘッドフォン検出試験2 (バランス型モノラルヘッドフォン検出)。

11 = 予備。

ヘッドフォンアンプをディセーブルするには、ヘッドセット検出前にHRMODE = 000に設定します。

システム制御レジスタ(0x1A)

表39. システムビットの説明

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x1A	SHDN	HFEN	LFEN	CPEN	0	1	0	CPCLK

シャットダウン(SHDN)

1 = MAX9851/MAX9853を稼働。

0 = 完全シャットダウン。

SDALLはアクティブローのシャットダウンビットであり、このビットは全設定値を無効にして、MAX9851/MAX9853全体を低電力シャットダウンに移行させます。

クロック入力のイネーブル(HFEN)

1 = イネーブル。

0 = ディセーブル。

HFEN = 1はMCLK入力をイネーブルし、すべてのクロックに依存する回路を動作するようにできます。

アナログ低周波発振器のイネーブル(LFEN)

1 = イネーブル。

0 = ディセーブル。

LFEN = 1は、MCLKのディセーブル時にチャージポンプが使用するアナログ内蔵低周波発振器をイネーブルします。

チャージポンプのイネーブル(CPEN)

1 = イネーブル。

0 = ディセーブル。

正常に動作させるには、常に1に設定します。

チャージポンプ発振器の選択(CPCLK)

1 = MCLKから得られるチャージポンプ発振器。

0 = 内蔵発振器から得られるチャージポンプ発振器。

CPCLK = 1は、MCLKをクロックソースとして使用するようチャージポンプを設定します。CPCLK = 0は、MCLKの代わりに内蔵発振器を使用するように設定します。D級アンプが使用されている場合は、CPCLKを1に設定する必要があります(MAX9851のみ)。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

シャットダウン制御レジスタ(0x1B)

表40. シャットダウンビットの説明(0x1B)

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x1B	DACLEN	DACREN	ADCLLEN	ADCREN	DATEN	0	MICLEN	MICREN

左右DACのイネーブル(DACLEN/DACREN)

1 = イネーブル。

0 = ディセーブル。

正常なクリック/ポップ抑制を確保するために、S1SDI およびS2SDI (レジスタ0x03および0x05、ビットB6) がクリアされ、すべてのソフトストップシーケンスが完了(レジスタ0x00内のSLDビットが示す)した場合に限り、DACのイネーブルまたはディセーブルを行います。インタフェースモードの変更前に、DACLEN/DACREN をディセーブルします。

左右ADCのイネーブル(ADCLLEN/ADCREN)

1 = イネーブル。

0 = ディセーブル。

インタフェースモードの変更前に、ADCLLEN/ADCREN をディセーブルします。

トランスデューサ/バイプDACのイネーブル(DATEN)

1 = イネーブル。

0 = ディセーブル。

DATENがディセーブルされると、 $\overline{\text{VIBE}}$ はハイインピーダンスになります。

左右マイクロフォンのイネーブル(MICLEN/MICREN)

1 = イネーブル。

0 = ディセーブル。

I²Cシリアルインタフェース

MAX9851/MAX9853は、シリアルデータライン (SDA)とシリアルクロックライン(SCL)で構成されるI²C/

SMBus™対応の2線式インタフェースを備えています。SDAとSCLによって、最高400kHzのクロックレートでのMAX9851/MAX9853とマスタ間の双方向通信が容易になります。図10は、2線式インタフェースのタイミング図を示しています。マスタはSCLを生成し、バス上でデータ転送を開始します。マスタデバイスは、適切なスレーブアドレス、続いてレジスタアドレスおよびデータワードを転送して、データをMAX9851/MAX9853に書き込みます。各転送シーケンスは、START (S)条件またはREPEATED START (Sr)条件、およびSTOP (P)条件で構成されます。MAX9851/MAX9853に転送される各ワードは8ビット長で、アクノリッジクロックパルスが後に続きます。MAX9851/MAX9853からデータを読み取るマスタは、適切なスレーブアドレス、続いて一連の9つのSCLパルスを送出します。MAX9851/MAX9853は、マスタが生成するSCLパルスと同期してSDA上でデータを送出します。マスタは、データの各バイトの受取りをアクノリッジします。各読み取りシーケンスは、START条件またはREPEATED START条件、アクノリッジ、およびSTOP条件で構成されます。SDAは、入力およびオープンドレイン出力の両方で動作します。標準で500Ω以上のプルアップ抵抗が、SDAバスに必要です。SCLは、入力としてのみ動作します。バス上に複数のマスタがある場合、またはシングルマスタシステム内のマスタがオープンドレインSCL出力を備えている場合は、標準で500Ω以上のプルアップ抵抗がSCLに必要です。SDAおよびSCLと直列の抵抗はオプションです。直列抵抗は、MAX9851/MAX9853のデジタル入力をバスライン上の高電圧スパイクから保護し、バス信号のアンダシュートとクロストークを最小限に抑制します。

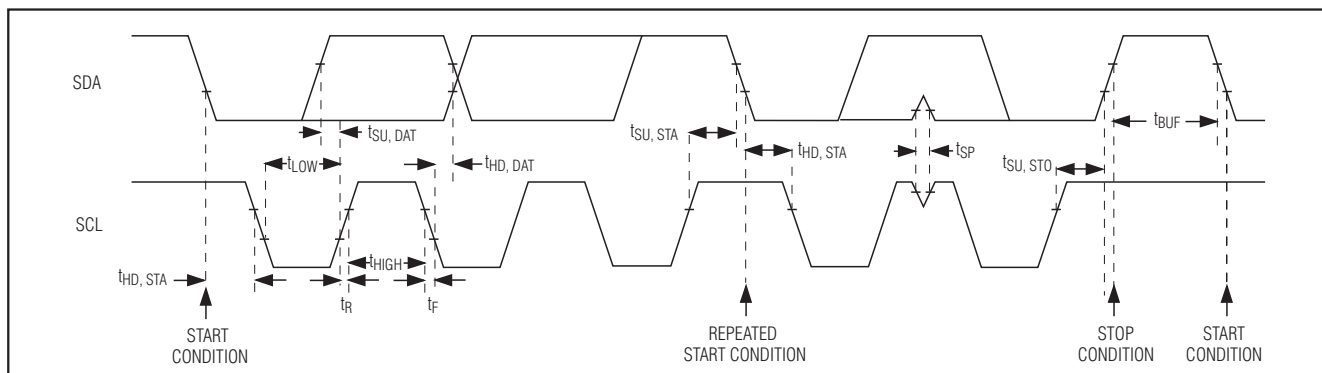


図10. 2線式インタフェースのタイミング図

SMBusはIntel Corp.の商標です。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ビット転送

1データビットが、各SCLサイクルの間に転送されます。SDAのデータは、SCLパルスがハイである間は、安定状態を維持する必要があります。SCLがハイである間のSDAの変化は制御信号です(「STARTおよびSTOP条件」の項を参照)。I²Cバスがビジーでない場合は、SDAおよびSCLはハイでアイドル状態です。

STARTおよびSTOP条件

バスが未使用の場合は、SDAおよびSCLはハイでアイドル状態です。マスタは、START条件を発行して通信を開始します。START条件は、SCLがハイ状態で、SDAではハイからローへの遷移です。STOP条件は、SCLがハイ状態の間のSDAのローからハイへの遷移です(図11)。マスタからのSTART条件は、MAX9851/MAX9853に伝送の開始を通知します。マスタは、STOP条件の発行によって伝送を終了し、バスを解放します。STOP条件ではなく、REPEATED START条件が生成される場合は、バスはアクティブ状態を維持します。

早期STOP条件

STOP条件がSTART条件と同じハイパルスで発生する場合を除き、MAX9851/MAX9853はデータ伝送中のどの時点でもSTOP条件を確認します。正常に動作させるために、START条件と同じSCLハイパルス中に、STOP条件を送出ししないでください。

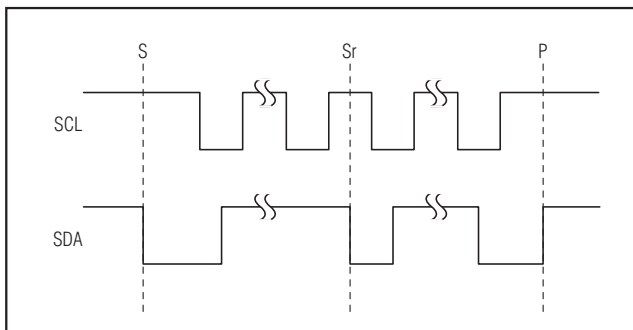


図11. START、STOP、およびREPEATED START条件

スレーブアドレス

MAX9851/MAX9853は、0x20または0010000のスレーブアドレスによって事前設定されます。このアドレスは、7つの最上位ビット(MSB)および後続の読取り/書込みビットとして定義されています。MAX9851/MAX9853を読取りモードにするには、読取り/書込みビットを1に設定します。MAX9851/MAX9853を書込みモードにするには、読取り/書込みビットを0に設定します。このアドレスは、START条件の後にMAX9851/MAX9853に送出される情報の先頭バイトです。

アクノリッジ

アクノリッジビット(ACK)は、書込みモード時にMAX9851/MAX9853が各データバイトの受取りをハンドシェイクするために使用するクロックされた第9ビットです(図12を参照)。前のバイトが正常に受け取られた場合は、MAX9851/MAX9853は全マスタが生成する第9クロックパルスの間にSDAをプルダウンします。ACKの監視によって、データ転送の失敗を検出することができます。受信側デバイスがビジーの場合やシステム障害が発生した場合に、データ転送の失敗が発生します。データ送信が失敗した場合は、バスマスタは通信を再試行することができます。

MAX9851/MAX9853が読取りモード時に、マスタは第9クロックサイクルの間にSDAをプルダウンし、データの受取りをアクノリッジします。データ転送を続けるために、マスタは読取りバイトごとにアクノリッジを送出します。マスタがSTOP条件の前にあるMAX9851/MAX9853からの最後のデータバイトを読み取ると、非アクノリッジが送出されます。

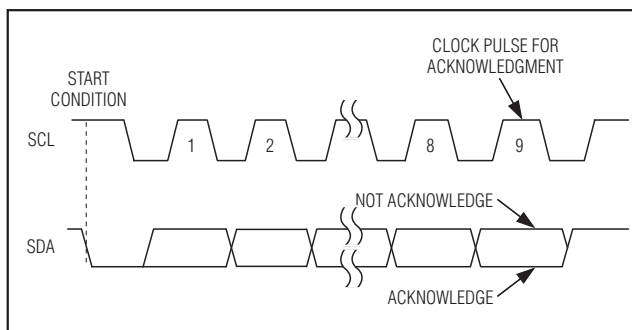


図12. アクノリッジ

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

書き込みデータのフォーマット

MAX9851/MAX9853への書き込みは、START条件、R/Wビットを0に設定したスレーブアドレス、内部レジスタアドレスポイントを設定する1データバイト、1データバイトまたは複数データバイト、およびSTOP条件の転送で構成されます。図13は、1バイトのデータをMAX9851/MAX9853に書き込むのに適したフレームフォーマットを図示しています。図14は、nバイトのデータをMAX9851/MAX9853に書き込むためのフレームフォーマットを図示しています。

R/Wビットを0に設定したスレーブアドレスは、マスタがデータをMAX9851/MAX9853に書き込もうとしていることを示します。MAX9851/MAX9853は、マスタが生成する第9 SCLパルスの間にアドレスバイトの受取りをアクノリッジします。

マスタから伝送される第2バイトは、MAX9851/MAX9853の内部レジスタのアドレスポイントを設定します。このポインタは、MAX9851/MAX9853に次のデータバイト

の書き込み先を通知します。アクノリッジパルスは、アドレスポインタデータを受取り次第、MAX9851/MAX9853から送出されます。

MAX9851/MAX9853に送られた第3バイトは、選択されたレジスタに書き込まれるデータを備えています。MAX9851/MAX9853からのアクノリッジパルスは、データバイトの受取りを通知します。アドレスポインタは、受け取ったデータバイトごとに次のレジスタアドレスに自動インクリメントされます。この自動インクリメント機能によって、マスタは1つの連続フレーム内で順次レジスタに書き込むことができます。図14は、1つのフレームで複数のレジスタに書き込む方法を図示しています。マスタは、STOP条件の発行によって、伝送の終了を通知します。

0x1B以上のレジスタアドレスは予備です。これらのアドレスに書き込まないでください。

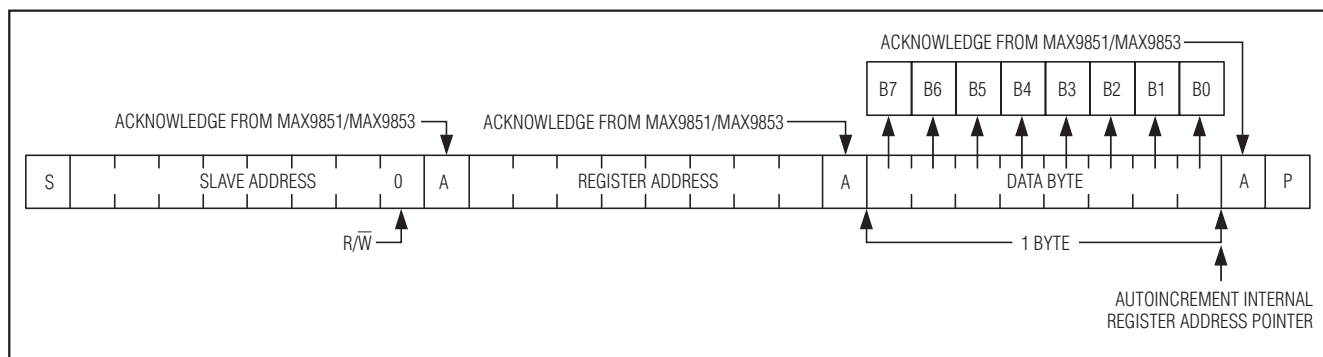


図13. MAX9851/MAX9853へ1バイトのデータを書込み

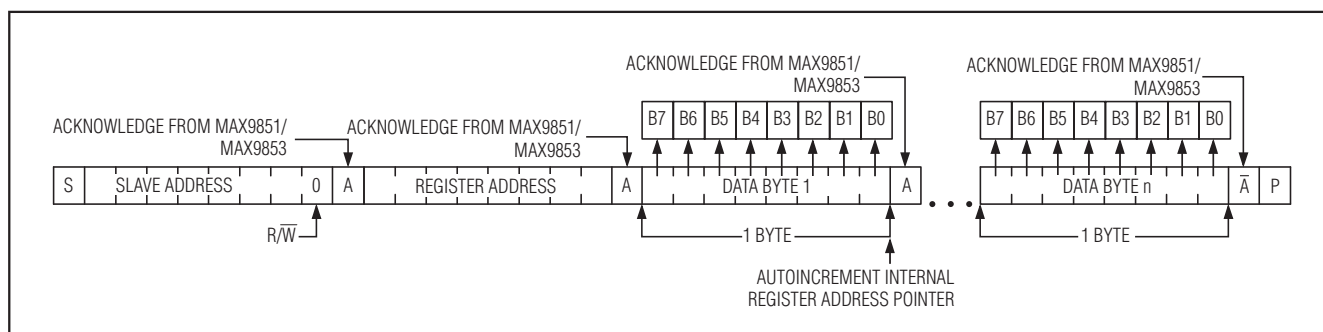


図14. MAX9851/MAX9853へnバイトのデータを書込み

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

読取りデータのフォーマット

読取り動作を開始するには、R/Wビットを1に設定したスレーブアドレスを送出します。MAX9851/MAX9853は、9番目のSCLクロックパルスの間にSDAをローにプルすることによって、そのスレーブアドレスの受取りをアクノリッジします。読取りコマンドの前にあるSTARTコマンドは、アドレスポインタをレジスタ0x00にリセットします。MAX9851/MAX9853から転送される先頭バイトは、レジスタ0x00の内容です。転送されたデータは、マスタが生成するシリアルクロック(SCL)の立上りエッジで有効です。アドレスポインタは、読取りデータバイトごとに自動インクリメントされます。この自動インクリメント機能によって、1つの連続フレーム内で全レジスタを順次読み取ることができます。任意数の読取りデータバイトの後に、STOP条件を発行することができます。STOP条件が別の読取り動作の前に発行された場合は、読み取られる先頭のデータバイトはレジスタ0x00からのバイトであり、それ以降の読取りは次のSTOP条件までアドレスポインタを自動インクリメントします。読取りコマンドを発行する前に、アドレスポインタを特定のレジスタにプリセット

することができます。マスタは、レジスタアドレスの前にあるR/Wを0に設定したMAX9851/MAX9853のスレーブアドレスを最初に出すことによって、アドレスポインタをプリセットします。次に、R/Wを1に設定したスレーブアドレスの前にあるREPEATED START条件が送出されます。MAX9851/MAX9853は、指定したレジスタの内容を伝送します。アドレスポインタは、先頭バイトを転送した後に自動インクリメントされます。0x1Fを超えるレジスタアドレスから読み取ろうとすると、0x1Fの読取りが繰り返されます。なお、0x1C~0x1Fは予備のレジスタです。マスタは、アクノリッジクロックパルス中に各読取りバイトの受取りをアクノリッジします。マスタは、最後のバイトを除き、正常に受け取った全バイトをアクノリッジする必要があります。マスタからの非アクノリッジの前に最後のバイトが、続いてSTOP条件が続く必要があります。図15は、MAX9851/MAX9853から1バイトを読み取るためのフレームフォーマットを図示しています。図16は、複数バイトをMAX9851/MAX9853から読み取るためのフレームフォーマットを図示しています。

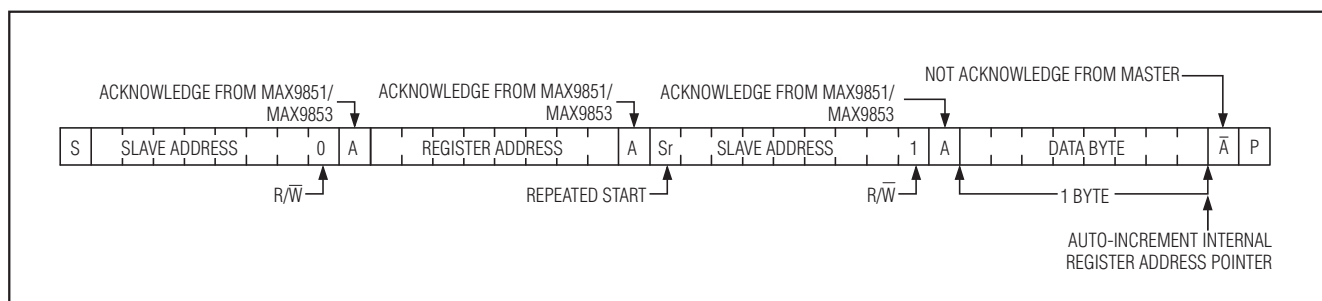


図15. MAX9851/MAX9853からデータの索引付きの1バイトの読取り

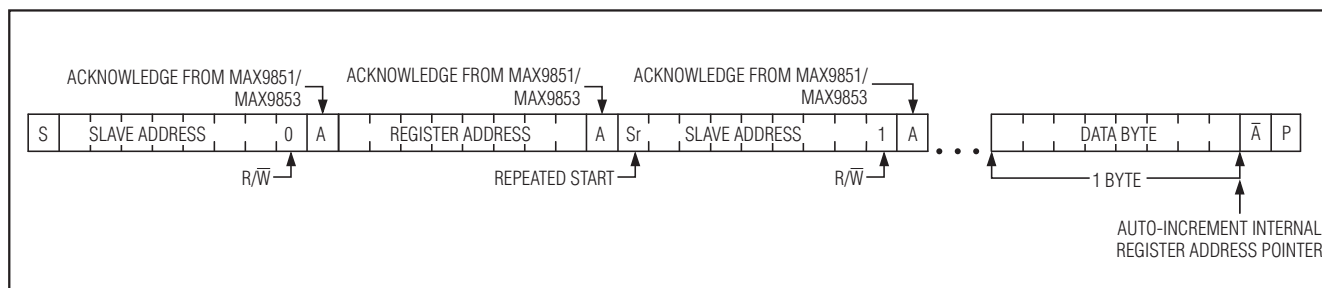


図16. MAX9851/MAX9853からデータの索引付きのnバイトの読取り

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

アプリケーション情報

標準動作モード

MAX9851/MAX9853は、幅広い動作モードに対応します。特定動作モードに適した設定値を決定するプロセスを容易にするために、各種の代表的な動作モードが以下に詳述されています。

ボイスバンドの再生および録音

標準的な携帯電話の動作は再生および録音機能が必要とし、オーディオデータを携帯電話通信用チップセットでの送受信を必要とします。表41はこの構成例を示し、表42は適切なプログラミングシーケンスに対応するレジスタ設定値を示しています。

表41. ボイスバンドの再生および録音構成例

- 13MHz MCLK
- 8kHz voice mode for incoming and outgoing data
- DAC and ADC enabled for mono data
- Digital audio input and output on the primary digital audio interface operating in slave mode
- Voice filter activated for both DAC and ADC
- Audio output on receiver amplifier
- Audio input on internal microphone input

表42. ボイスバンドの再生および録音モード用のI²Cレジスタ設定値

REGISTER (hex)	VALUE (hex)	DESCRIPTION
0x00	N/A	Read-only status register
0x01	N/A	Read-only status register
0x02	0x00	No interrupts are enabled
Program 0x03 last for proper soft-start		
0x04	0x00	Configure for slave mode
0x05	0x00	Disable secondary digital audio interface
0x06	0x00	No configuration necessary
0x07	0x30	Configure for a 13MHz MCLK and voiceband filtering on both the ADC and DAC
0x08	0x20	Route digital audio from the primary interface to the left DAC
0x09	0x00	No configuration necessary
0x0A	0x20	Route the left microphone signal to the ADC
0x0B	0x90	Route the left DAC output to the receiver amplifier and enabled sidetone
0x0C	0x00	No configuration necessary
0x0D	0x00	No configuration necessary
0x0E	0x00	No configuration necessary
0x0F	0x00	No configuration necessary
0x10	0x00	Configure the left microphone input for +20dB of gain, adjust as appropriate
0x11	0x00	No configuration necessary
0x12	0x00	Select the internal microphone interface and disable external microphone bias circuitry
0x13	0x00	Sidetone PGA, adjust as necessary
0x14	0x14	Configure left output gain to -20dB, adjust as necessary

マイクアンプ、DirectDriveヘッドフォンアンプ、 スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表42. ボイスバンドの再生および録音モード用のI²Cレジスタ設定値(続き)

REGISTER (hex)	VALUE (hex)	DESCRIPTION
0x15	0x00	No configuration necessary
0x16	0x00	No configuration necessary
0x17	0x00	No configuration necessary
0x18	0x67	Enable volume smoothing and zero-crossing detection and select the receiver amplifier for output
0x19	0x00	No configuration necessary
0x1A	0xD5	Enable the MAX9851/MAX9853 and configure the charge-pump circuitry to run from MCLK
0x1B	0xA2	Enable the left DAC, left ADC, and microphone interface
0x03	0xCA	Enable primary digital audio interface and configure for full-duplex operation at 8kHz voice mode

MAX9851のスピーカアンプによる ステレオオーディオ再生

標準動作は、しばしばデジタルソースのオーディオ再生を必要とします。表43はこの構成例を示し、表44は適切なプログラミングシーケンスに対応するレジスタ設定値を示しています。

構成例は、48kHzでサンプリングされるI²Sステレオデジタルオーディオを第2デジタルオーディオインタフェース(S2)に供給する例です。オーディオはアナログに変換され、MAX9851のスピーカアンプで増幅されます。この構成は、13MHzのMCLKで動作し、デジタルオーディオマスタとしてMAX9851を動作させるように設定されます。

表43. ステレオオーディオ再生構成例

- 13MHz MCLK
- 48kHz sample rate for incoming data
- DAC enabled for stereo data
- Digital audio input on the secondary digital audio interface operating in master mode
- Audio output on the speaker amplifier

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表44. ステレオオーディオ再生モードのI²Cレジスタの設定値

REGISTER (hex)	VALUE (hex)	DESCRIPTION
0x00	—	Read-only status register
0x01	—	Read-only status register
0x02	0x00	No interrupts are enabled
0x03	0x00	Disable primary digital audio interface
0x04	0x00	No configuration necessary
Program 0x05 last for proper soft-start		
0x06	0x88	Configure for master mode and I ² S data format
0x07	0x00	Configure for a 13MHz MCLK
0x08	0x84	Route digital audio from the secondary interface to the DAC
0x09	0x00	No configuration necessary
0x0A	0x00	No configuration necessary
0x0B	0x11	Route the DAC output to the speaker amplifier
0x0C	0x00	No configuration necessary
0x0D	0x00	No configuration necessary
0x0E	0x00	No configuration necessary
0x0F	0x00	No configuration necessary
0x10	0x00	No configuration necessary
0x11	0x00	No configuration necessary
0x12	0x00	No configuration necessary
0x13	0x00	No configuration necessary
0x14	0x00	No configuration necessary
0x15	0x00	No configuration necessary
0x16	0x0E	Configure left-speaker output for -0.4dB of gain, adjust as necessary
0x17	0x0E	Configure right-speaker output for -0.4dB of gain, adjust as necessary
0x18	0x78	Enable volume smoothing and zero-crossing detection and select the speaker amplifier for stereo operation
0x19	0x00	No configuration necessary
0x1A	0xD5	Enable the MAX9851/MAX9853, configure the charge-pump circuitry to run from MCLK
0x1B	0xC0	Enable the left and right DAC
0x05	0x49	Enable secondary interface to input data at 48kHz

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ステレオオーディオの録音

オーディオサンプルを録音するには、ADCとマイクロフォンインタフェースのみが必要です。表45はこの構成例を示し、表46は適切なプログラミングシーケンスに対応するレジスタ設定値を示しています。

表45. ステレオオーディオ録音構成例

- 13MHz MCLK
- 48kHz sample rate for recorded data
- Output data routed through the secondary digital audio interface operating in master mode
- ADC enabled for stereo record
- Audio input on external microphone input using internal bias

表46. ステレオオーディオ録音モードのI²Cレジスタの設定値

REGISTER (hex)	VALUE (hex)	DESCRIPTION
0x00	—	Read-only status register
0x01	—	Read-only status register
0x02	0x00	No interrupt enables are set
0x03	0x00	No configuration necessary
0x04	0x00	No configuration necessary
Program 0x05 last for proper soft-start		
0x06	0x80	Configure for master mode
0x07	0x00	Configure for a 13MHz MCLK
0x08	0x00	No configuration necessary
0x09	0x00	No configuration necessary
0x0A	0x21	Route the left and right microphone signals to the ADC
0x0B	0x00	No configuration necessary
0x0C	0x00	No configuration necessary
0x0D	0x00	No configuration necessary
0x0E	0x00	No configuration necessary
0x0F	0x00	No configuration necessary
0x10	0x00	Configure the left microphone input for +20dB of gain, adjust as appropriate
0x11	0x00	Configure the left microphone input for +20dB of gain, adjust as appropriate

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

表46. ステレオオーディオ録音モードのI²Cレジスタの設定値(続き)

REGISTER (hex)	VALUE (hex)	DESCRIPTION
0x12	0x06	Select the external microphone interface and enable the external microphone bias circuitry using 2.2k Ω bias resistors.
0x13	0x00	No configuration necessary
0x14	0x00	No configuration necessary
0x15	0x00	No configuration necessary
0x16	0x00	No configuration necessary
0x17	0x00	No configuration necessary
0x18	0x00	No configuration necessary
0x19	0x00	No configuration necessary
0x1A	0xD5	Enable the MAX9851/MAX9853 and configure the charge-pump circuitry to run from MCLK (charge pump required to set AOK = 1 and allow digital circuitry to operate)
0x1B	0x33	Enable the ADC and microphone interface
0x05	0x89	Enable secondary digital audio interface and configure for output operation at 48kHz stereo audio mode

プリント基板のレイアウトとバイパス

適切なレイアウトとグラウンドは、性能の最適化に不可欠です。電源入力とアンプ出力用の配線幅を広くして、寄生配線抵抗による損失を最小限に抑えます。また、幅広の配線によって、パッケージから熱を遠ざけることができます。適切なグラウンドによってオーディオ性能が向上し、チャンネル間のクロストークが最低限に抑制され、スイッチングノイズがオーディオ信号と結合しなくなります。星型グラウンド手法によって、AGND、DGND、CPGND、およびPGND (MAX9851のみ)をプリント基板上の1点でお互いに接続します。DGND、CPGND、およびスイッチング過渡やデジタル信号を伝送するすべての配線をAGNDとアナログオーディオ信号経路から離して配線します。チャージポンプに関連する全部品をCPGNDに接続します(CPV_{SS}バイパスおよびCPV_{DD}バイパス)。すべてのデジタルI/O終端をDV_{DD}およびDV_{DD}S₂のバイパスを含めてDGNDに接続します。MAX9851 (D級電源)上の両方のPV_{DD}ピンをPGNDにバイパスします。V_{REF}、MBIAS、INTMICBIASを未使用のアナロググラウンド(AGND)にバイパスします。

PV_{SS}およびSV_{SS}をデバイスとともに接続し、チャージポンプコンデンサをSV_{SS}にできる限り近接して配置します。必ずC2をCPGNDに接続して、1 μ FのコンデンサでCPV_{DD}をCPGNDにバイパスします。デバイスにできる限り近接してバイパスコンデンサを配置します。

MAX9851/MAX9853のTQFNパッケージは、その裏面にエクスポーズド熱パッドを備えています。このパッドは、ダイからプリント基板への直接熱伝導経路を備えることにより、パッケージの熱抵抗を下げます。可能であれば、エクスポーズド熱パッドを電氣的に分離された大きな銅パッドに接続します。それを浮いた状態にすることができない場合は、AGNDに接続します。

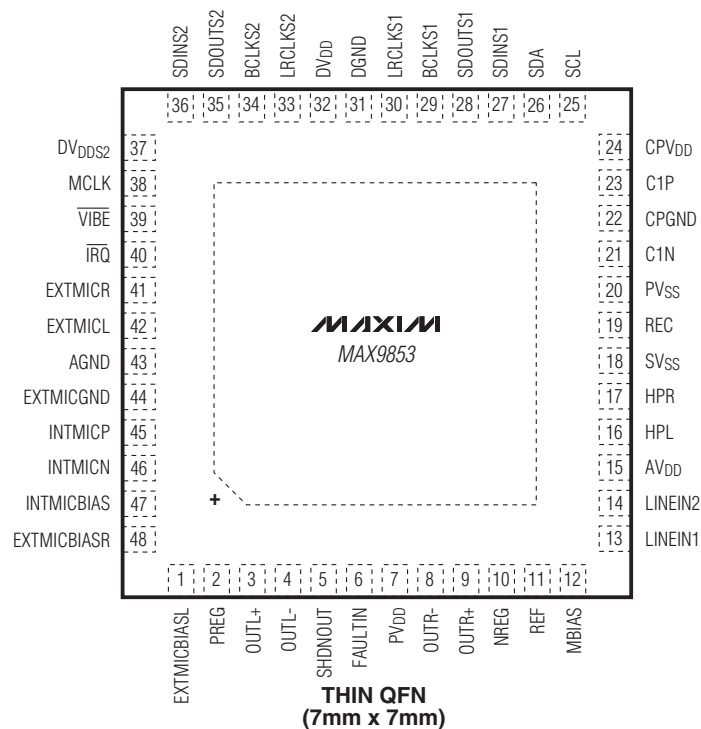
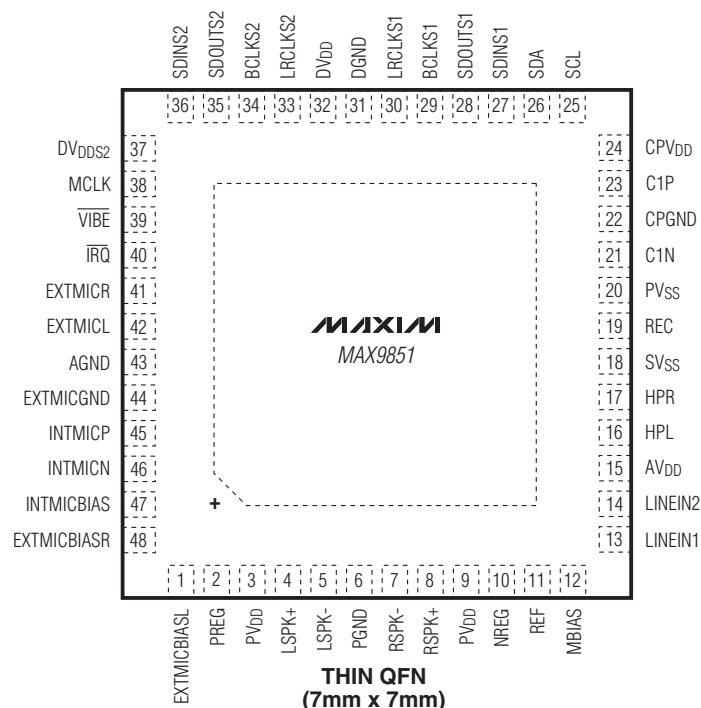
MAX9851およびMAX9853のレイアウト例を提供する評価キット(EVキット)が用意されています。このEVキットによってMAX9851/MAX9853を迅速にセットアップすることが可能で、使いやすいソフトウェアが付属され、すべての内部レジスタを制御することができます。

マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

ピン配置

MAX9851/MAX9853

TOP VIEW



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

選択ガイド

PART	SPEAKER AMPLIFIERS	LINE OUTPUTS	I ² C SLAVE ADDRESS
MAX9851ETM	✓	—	0x20
MAX9853ETM	—	✓	0x20

チップ情報

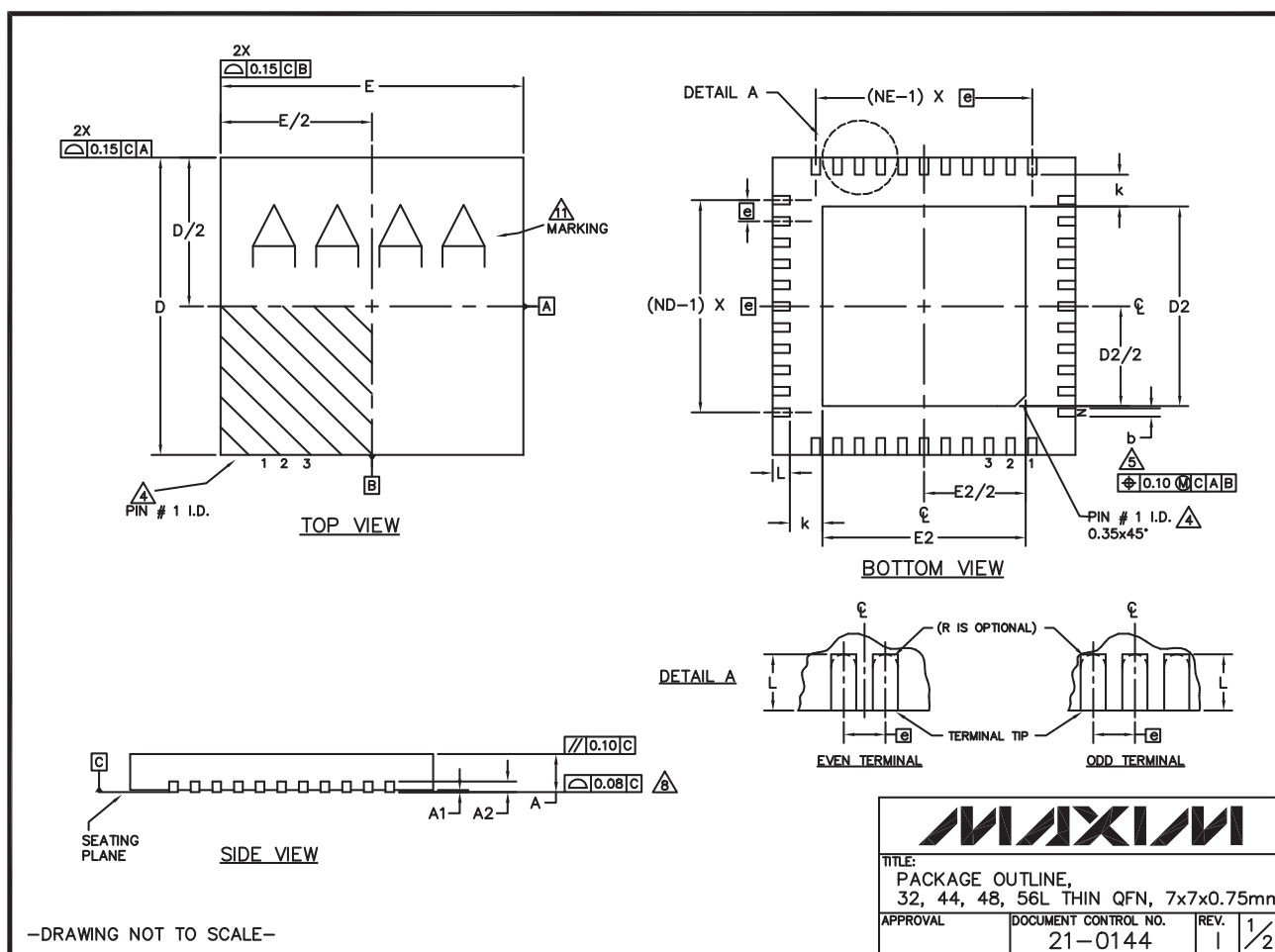
MAX9851 TRANSISTOR COUNT: 348,122

MAX9853 TRANSISTOR COUNT: 345,688

PROCESS: BiCMOS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マイクアンプ、DirectDriveヘッドフォンアンプ スピーカアンプ、またはライン出力内蔵ステレオオーディオコーデック

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX9851/MAX9853

COMMON DIMENSIONS															
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	—	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.30	0.40	0.50
N	32			44			48			44			56		
ND	8			11			12			10			14		
NE	8			11			12			12			14		

EXPOSED PAD VARIATIONS									
PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T3277-2	—	4.55	4.70	4.85	4.55	4.70	4.85	—	—
T3277-3	—	4.55	4.70	4.85	4.55	4.70	4.85	—	—
T4477-2	—	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	—
T4477-3	—	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	—
T4877-3	—	4.95	5.10	5.25	4.95	5.10	5.25	—	—
T4877-4	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877-6	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877-7	—	4.95	5.10	5.25	4.95	5.10	5.25	—	—
T4877M-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877M-6	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877MN-8	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877N-8	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677MN-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677-2	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-3/-4/-6 & T5677-1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
13. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

—DRAWING NOT TO SCALE—

		
TITLE: PACKAGE OUTLINE, 32, 44, 48, 56L THIN QFN, 7x7x0.75mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0144	REV. 1 2/2

MAX9851/MAX9853 Package Code: T4877-3

改訂履歴

Rev 1で改訂されたページ: 1、2、3~25、30、68、71

Rev 2で改訂されたページ: 1、60、63、69、71

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

71