正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020 年 12 月 23 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 12 月 23 日
製品名：AD4682／AD4683
対象となるデータシートのリビジョン(Rev)：Rev.0
訂正箇所：14 ページ

【誤】
・・AD4682 と AD4682・・

【正】
・・AD4682 と AD4683・・

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06（6350）6868

擬似差動入力、1MSPS/500kSPS 同時サンプリングのデュアル 16 ビット SAR ADC

データシート

AD4682/AD4683

特長

デュアル 16 ビット ADC ファミリ
デュアル同時サンプリング
擬似差動アナログ入力
スループットの変換レート
 AD4682：1MSPS
 AD4683：500kSPS
S/N 比（代表値）
 V_{REF} = 3.3V（外部リファレンス）時に 87.5dB
 RES = 1 および OSR = × 8 時に 93.4dB
オーバーサンプリング機能内蔵
アラート機能
分解能増強機能
INL エラー（最大値）：2.5LSB
2.5V の内部リファレンス
高速シリアル・インターフェース
動作温度：−40ºC～+125ºC
3mm × 3mm、16 ピン LFCSP パッケージ

アプリケーション

モータ・コントロールのポジション・フィードバック
モータ・コントロールの電流検出
ソナー
電力品質
データ・アクイジション・システム
エルビウム添加光増幅器（EDFA）アプリケーション
同相（I）および直交位相（Q）の復調

概要

AD4682 と AD4683 は、16 ビット・デュアル同時サンプリング、高速、低消費電力、逐次比較レジスタ（SAR）A/D コンバータ（ADC）のピン互換ファミリで、で、3.0V～3.6V の電源で動作し、AD4682 は最大 1MSPS、AD4683 は最大 500kSPS のスループット・レートを実現できます。アナログ入力のタイプは擬似差動で、CSの立下がりエッジでサンプリングと変換が行われます。内蔵の集積化オーバーサンプリング・ブロックが低帯域領域でのダイナミック・レンジを向上させ、ノイズを低減します。バッファ付き 2.5V 内部リファレンスを備えていますが、代わりに、最大 3.3V の外部リファレンスを使用することも可能です。
変換プロセスとデータ・アクイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ（DSP）と容易にインターフェース接続できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応します。

関連製品

ADC 用ドライバ：ADA4896-2、ADA4940-2、ADA4807-2、LTC6227
電圧リファレンス：ADR4533（3.3V）、ADR4525（2.5V）
低ドロップアウト・レギュレータ：ADP166、ADP7104、ADP7182
AD4682 および AD4683 製品ページにその他の関連製品が記載されています。

表 1. このファミリの関連デバイス

Input Type	16-Bit	14-Bit	12-Bit
Differential	AD7380	AD7381	
Pseudo Differential	AD7383	AD7384	
Single-Ended	AD7386	AD7387	AD7388

機能ブロック図

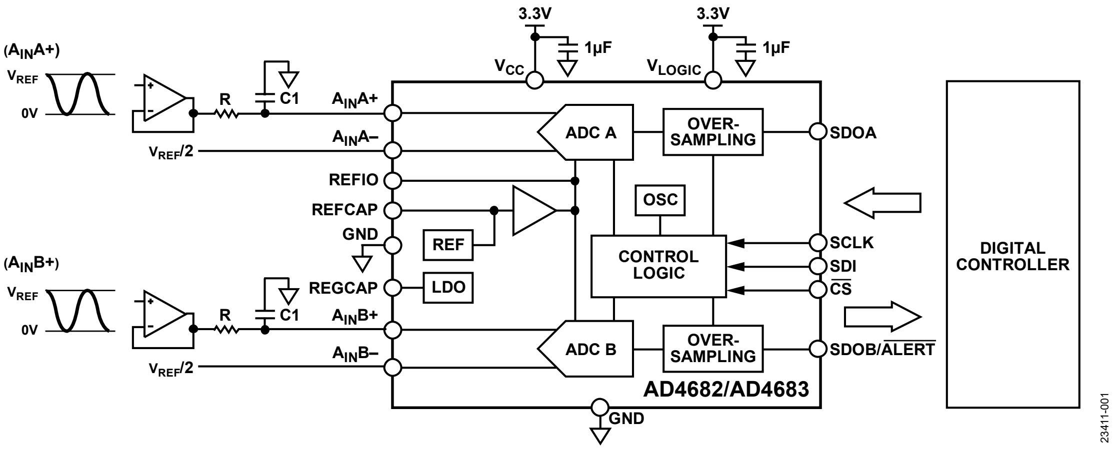


図 1.

Rev. 0

アナログ・デバイセズ株式会社

本　　社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03（5402）8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06（6350）6868
名古屋営業所／〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052（569）6300

目次

改訂履歴

10/2020—Revision 0: Initial Version

仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、リファレンス電圧（V_{REF}）= 2.5V（内部）、サンプリング周波数（f_{SAMPLE}）= 1MSPS（AD4682）、f_{SAMPLE} = 500kSPS（AD4683）、T_A = −40ºC～+125ºC、オーバーサンプリング無効。FS はフルスケールを意味します。多機能ピンの名称は、該当する機能のみで表示されることがあります。

表 2.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
RESOLUTION		16			Bits
THROUGHPUT CONVERSION RATE					
AD4682				1	MSPS
AD4683				500	kSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL) Error		−1.0	±0.5	+1.0	LSB
Integral Nonlinearity (INL) Error		−2.5	±1	+2.5	LSB
Gain Error	−40ºC～+125ºC	−0.06	±0.02	+0.06	% FS
Gain Error Temperature Drift		−3	±1	+3	ppm/°C
Gain Error Match			0.025	+0.07	% FS
Offset Error		−0.5	±0.05	+0.5	mV
Offset Temperature Drift		−5	±1	+5	µV/°C
Offset Error Match	−40ºC～+125ºC		0.05	+0.5	mV
AC ACCURACY	入力周波数（f_{IN}）= 1kHz				
Dynamic Range	V_{REF} = 3.3V（外部リファレンス）		88		dB
			86		dB
Oversampled Dynamic Range	オーバーサンプリング比（OSR）= ×4		91.8		dB
Signal-to-Noise Ratio (SNR)	V_{REF} = 3.3V（外部リファレンス）	85	87.5		dB
		84	86		dB
	OS_MODE = 1、OSR = ×8、RES = 1		93.4		dB
	f_{IN} = 100kHz		85.3		dB
Spurious-Free Dynamic Range (SFDR)			101		dB
Total Harmonic Distortion (THD)			−100		dB
	f_{IN} = 100kHz		−97		dB
Signal-to-Noise-and-Distortion (SINAD)	V_{REF} = 3.3V（外部リファレンス）	84.5	87		dB
		83.5	85.5		dB
Channel to Channel Isolation			−110		dB
ANALOG INPUT					
Voltage Range	（A_{IN}x+）～（A_{IN}x−）	−V_{REF}/2		+V_{REF}/2	V
Absolute Input Voltage Range	A_{IN}x+	−0.1		V_{REF} + 0.1	V
Common-Mode Input Range	A_{IN}x-		V_{REF}/2 ± 0.075		V
Common-Mode Rejection Ratio (CMRR)	f_{IN} = 500kHz		−70		dB
DC Leakage Current			0.1	1	µA
Input Capacitance	トラック・モード時		18		pF
	ホールド・モード時		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	−0.1dB		6		MHz
	−3dB		25		MHz
Aperture Delay			2		ns
Aperture Delay Match			26	100	ps
Aperture Jitter			20		ps

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
REFERENCE INPUT AND OUTPUT					
V_{REF} Input					
Voltage Range	外部リファレンス	2.49		3.4	V
Current	外部リファレンス				
AD4682	1MSPS		0.26	0.29	mA
AD4683	500kSPS		0.23	0.26	mA
V_{REF} Output Voltage	−40ºC～+125ºC	2.495	2.5	2.505	V
V_{REF} Temperature Coefficient			5	10	ppm/°C
V_{REF} Noise			7		µV rms
DIGITAL INPUTS (SCLK, SDI, AND $\overline{CS}$)					
Logic Levels					
Input Voltage					
Low (V_{IL})				$0.2 \times V_{LOGIC}$	V
High (V_{IH})		$0.8 \times V_{LOGIC}$			V
Input Current					
Low (I_{IL})		−1		+1	µA
High (I_{IH})		−1		+1	µA
DIGITAL OUTPUTS (SDOA AND SDOB/$\overline{ALERT}$)					
Output Coding			Twos complement		Bits
Output Voltage					
Low (V_{OL})	シンク電流（I_{SINK}）＝300µA			0.4	V
High (V_{OH})	ソース電流（I_{SOURCE}）＝−300µA	$V_{LOGIC} - 0.3$			V
Floating State					
Leakage Current				±1	µA
Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}					
		3.0	3.3	3.6	V
	外部リファレンス＝3.3V	3.2	3.3	3.6	V
V_{LOGIC}		1.65		3.6	V
V_{CC} Current (I_{VCC})					
Normal Mode (Operational)	AD4682、1MSPS		7.28	8.4	mA
	AD4683、500kSPS		4.76	5.6	mA
Normal Mode (Static)			2.3	2.8	mA
Shutdown Mode			101	200	µA
V_{LOGIC} Current (I_{VLOGIC})	SDOA および SDOB、0x1FFF				
Normal Mode (Operational)	AD4682、1MSPS		884	950	µA
	AD4683、500kSPS		438	470	µA
Normal Mode (Static)			10	200	nA
Shutdown Mode			10	200	nA
Power Dissipation					
Total Power (P_{TOTAL}) (Operational)			83	107	mW
V_{CC} Power (P_{VCC})					
Normal Mode (Operational)	AD4682、1MSPS		26.2	30.3	mW
	AD4683、500kSPS		17.2	20.2	mW
Normal Mode (Static)			8	11	mW
Shutdown Mode			365	720	µW
V_{LOGIC} Power (P_{VLOGIC})	SDOA および SDOB、0x1FFF				
Normal Mode (Operational)	AD4682、1MSPS		3.2	3.5	mW
	AD4683、500kSPS		1.6	1.7	mW
Normal Mode (Static)			36	720	nW
Shutdown Mode			36	720	nW

タイミング仕様

特に指定のない限り、V_{CC} = 3.0V～3.6V、V_{LOGIC} = 1.65V～3.6V、V_{REF} = 2.5V（内部）、T_A = −40ºC～+125ºC。タイミング図については図 2、図 5、図 37、図 38、図 39 を参照してください。多機能ピンの名称は、該当する機能のみで表示されることがあります。

表 3.

パラメータ	Min	Typ	Max	単位	説明
t_{CYC}					変換と変換の間の時間
	1			µs	AD4682
	2			µs	AD4683
t_{SCLKED}	190			ns	$\overline{CS}$立下がりエッジから最初の SCLK 立下がりエッジまでの時間
t_{SCLK}	25			ns	SCLK 周期
t_{SCLKH}	10			ns	SCLK のハイ時間
t_{SCLKL}	10			ns	SCLK のロー時間
t_{CSH}	10			ns	$\overline{CS}$パルス幅
t_{QUIET}					変換までのインターフェース禁止時間
	500			ns	AD4682
	1500			ns	AD4683
t_{SDOEN}					$\overline{CS}$ローから SDOA と SDOB/$\overline{ALERT}$がイネーブルされるまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOH}	3			ns	SCLK 立上がりエッジから SDOA および SDOB/$\overline{ALERT}$ホールドまでの時間
t_{SDOS}					SCLK 立上がりエッジから SDOA および SDOB/$\overline{ALERT}$セットアップまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOT}			8	ns	$\overline{CS}$立上がりエッジから SDOA および SDOB/$\overline{ALERT}$がハイ・インピーダンスになるまでの時間
t_{SDIS}	1			ns	SCLK 立下がりエッジまでの SDI セットアップ時間
t_{SDIH}	1			ns	SCLK 立下がりエッジ後の SDI ホールド時間
t_{SCLKCS}	0			ns	SCLK 立上がりエッジから$\overline{CS}$立上がりエッジまでの時間
$t_{CONVERT}$			190	ns	変換時間
$t_{ACQUIRE}$				ns	取得時間
	810			ns	AD4682
	1810			ns	AD4683
t_{RESET}					ソフトウェア・リセット後から変換開始までの有効時間
		250		ns	ソフト・リセット後から変換開始までの有効時間
		800		ns	ハード・リセット後から変換開始までの有効時間
$t_{POWERUP}$					変換までの電源アクティブ時間
			5	ms	最初の変換が可能
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			5	ms	1%以内にセトリングするまでの時間（外部リファレンス使用時）
$t_{REGWRITE}$			5	ms	レジスタへの読書きアクセスが可能になるまでの電源アクティブ時間
$t_{STARTUP}$					シャットダウン・モード終了後から変換までの時間
			11	ms	1%以内にセトリングするまでの時間（内部リファレンス使用時）
			10	µs	1%以内にセトリングするまでの時間（外部リファレンス使用時）
t_{ALERTS}			220	ns	$\overline{CS}$から $\overline{ALERT}$指示までの時間
t_{ALERTC}			12	ns	$\overline{CS}$から $\overline{ALERT}$クリアまでの時間

タイミング図

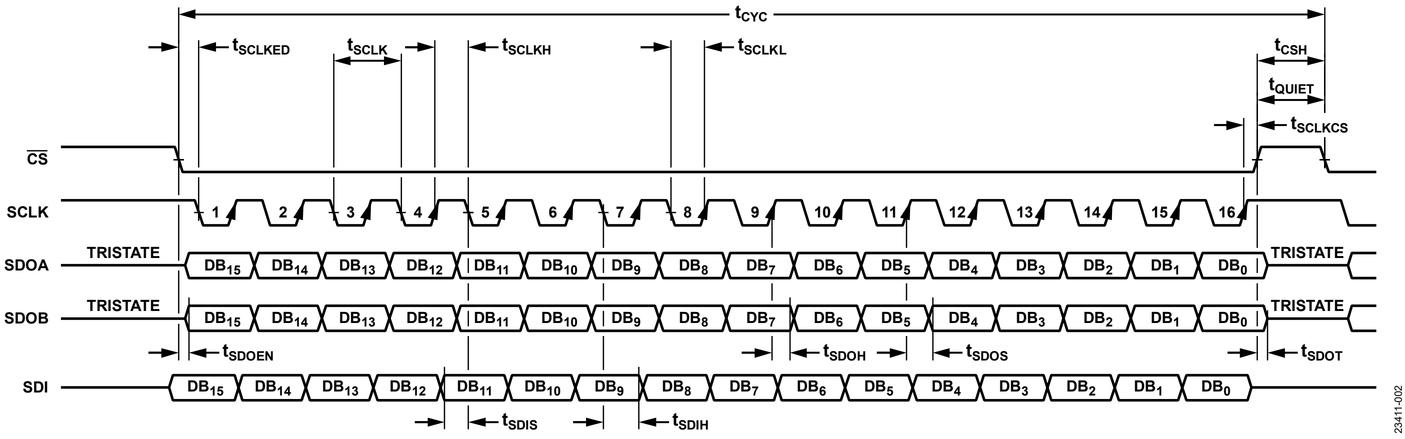


図 2. シリアル・インターフェースのタイミング図

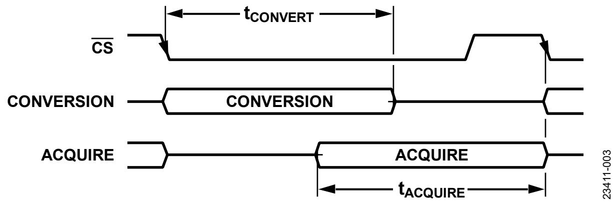


図 3. 内部変換取得時間

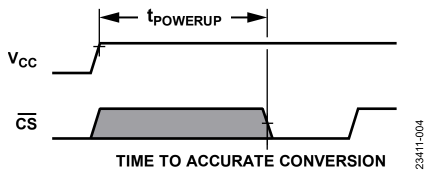


図 4. 変換までのパワーアップ時間

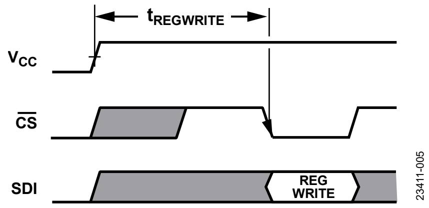


図 5. レジスタの読書きアクセスまでのパワーアップ時間

絶対最大定格

表 4.

Parameter	Rating
V_{CC} to GND	−0.3 V to +4 V
V_{LOGIC} to GND	−0.3 V to +4 V
Input Voltage	
Analog to GND	−0.3 V to V_{REF} + 0.3 V, V_{CC} + 0.3 V, or +4 V (whichever is smaller)
Digital to GND	−0.3 V to V_{LOGIC} + 0.3 V, or +4 V (whichever is smaller)
Digital Output Voltage to GND	−0.3 V to V_{LOGIC} + 0.3 V, or +4 V (whichever is smaller)
REFIO Input to GND	−0.3 V to V_{CC} + 0.3 V
Input Current to Any Pin Except Supplies	±10 mA
Temperature	
Operating Range	−40°C to +125°C
Storage Range	−65°C to +150°C
Junction	150°C
Pb-Free Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-45[1]	55.4	12.7	°C/W

[1] テスト条件 1：熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS-51 を参照してください。

静電放電（ESD）定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた場所で取り扱う場合にのみ適用できます。

人体モデル（HBM）は、ANSI/ESDA/JEDEC JS-001 規格に基づいています。

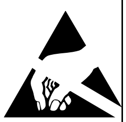
電解誘起帯電デバイス・モデル（FICDM）は、ANSI/ESDA/JEDEC JS-002 規格に基づいています。

AD4682/AD4683 の ESD 定格

表 6. AD4682/AD4683、16 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

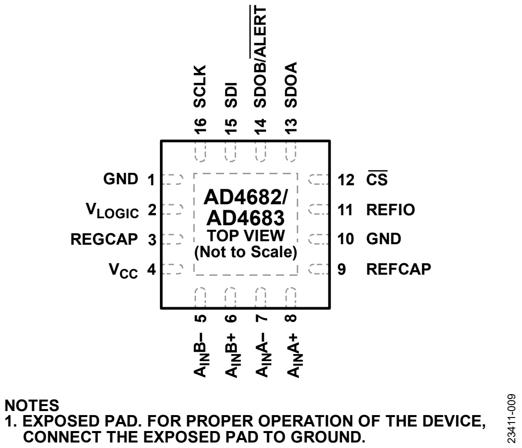


図 6. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。GND ピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V_{LOGIC}	ロジック・インターフェースの電源電圧（1.65V～3.6V）。V_{LOGIC}は、1μF のコンデンサを使用して GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。REGCAP は、1μF のコンデンサを使用して GND からデカップリングします。REGCAP の標準電圧は 1.9V です。
4	V_{CC}	電源入力電圧（3.0V～3.6V）。V_{CC}は、1μF のコンデンサを使用して GND からデカップリングします。
5, 6	A_{IN}B−, A_{IN}B+	ADC B のアナログ入力。この 2 つのアナログ入力 A_{IN}B−と A_{IN}B+は、擬似差動ペアを構成します。通常、A_{IN}B−は V_{REF}/2 に接続し、A_{IN}B+の電圧範囲は 0V～V_{REF}にします。
7, 8	A_{IN}A−, A_{IN}A+	ADC A のアナログ入力。この 2 つのアナログ入力 A_{IN}A−と A_{IN}A+は、擬似差動ペアを構成します。通常、A_{IN}A−は V_{REF}/2 に接続し、A_{IN}A+の電圧範囲は 0V～V_{REF}にします。
9	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。REFCAP は、0.1μF のコンデンサを使用して GND からデカップリングします。REFCAP の標準電圧は 2.5V です。
11	REFIO	リファレンス入出力。2.5V の内部リファレンスは、外部で使用するようデバイスを設定している場合、REFIO を出力として使用できます。代わりに、2.5V～3.3V の外部リファレンスを REFIO に入力することもできます。外部リファレンスを使用する場合は、V_{CC}および V_{LOGIC}供給後に CONFIGURATION1 レジスタの REFSEL ビットを 1 に設定します。内部、外部のいずれのリファレンスを選択しても、REFIO にはデカップリングが必要です。REFIO と GND の間には 1μF のコンデンサを接続します。
12	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力。$\overline{\text{CS}}$は、AD4682/AD4683 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
13	SDOA	シリアル・データ出力 A。SDOA は、ADC A または ADC B の変換結果、もしくは内部レジスタのデータにアクセスするための、シリアル・データ出力ピンとして機能します。
14	SDOB/$\overline{\text{ALERT}}$	シリアル・データ出力 B／アラート指示出力。SDOB/$\overline{\text{ALERT}}$ピンは、シリアル・データ出力ピン、またはアラート指示出力として機能します。 SDOB は、ADC B の変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 $\overline{\text{ALERT}}$は、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。$\overline{\text{ALERT}}$を使用する場合は、CONFIGURATION2 レジスタの SDO ビットを 1 に、CONFIGURATION1 レジスタの ALERT_EN ビットを 1 に設定します。
15	SDI	シリアル・データ入力。SDI は、内蔵コントロール・レジスタに書き込まれたデータを提供します。
16	SCLK	シリアル・クロック入力。SCLK は、ADC とのデータ転送に使用します。
	EPAD	露出パッド。デバイスを適切に動作させるには、露出パッドをグラウンドに接続します。

代表的な性能特性

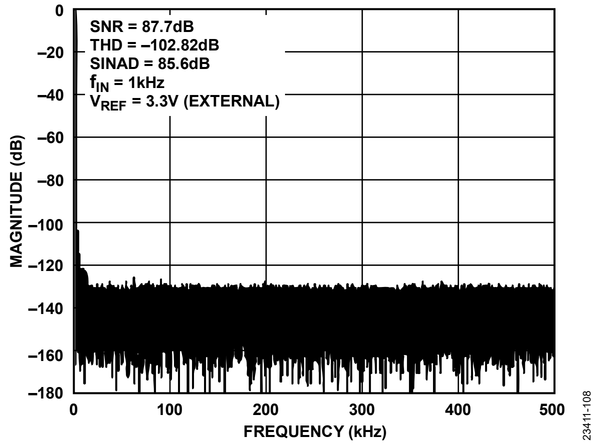


図 7. AD4682 の高速フーリエ変換（FFT）、V_{REF} = 3.3V（外部）

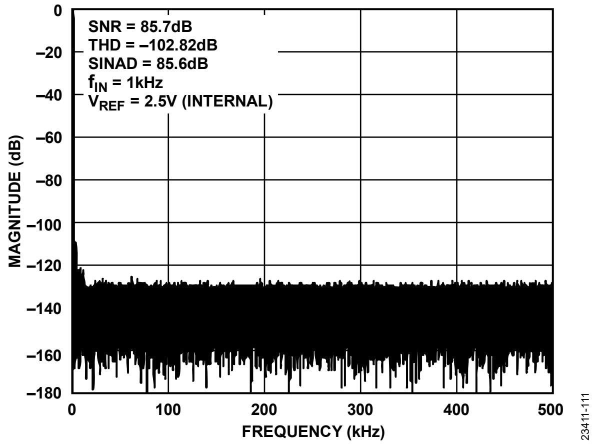


図 10. AD4682 の FFT、V_{REF} = 2.5V（内部）

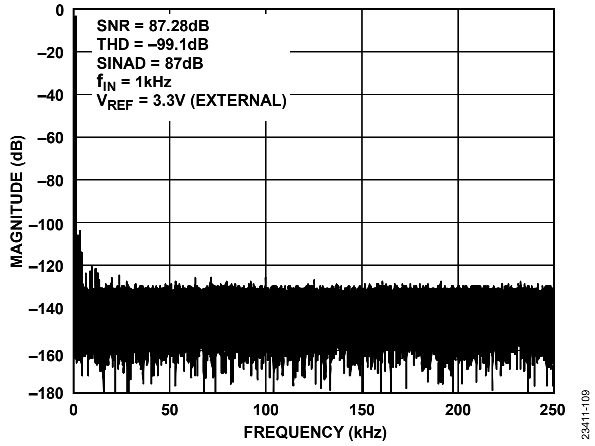


図 8. AD4683 の FFT、V_{REF} = 3.3V（外部）

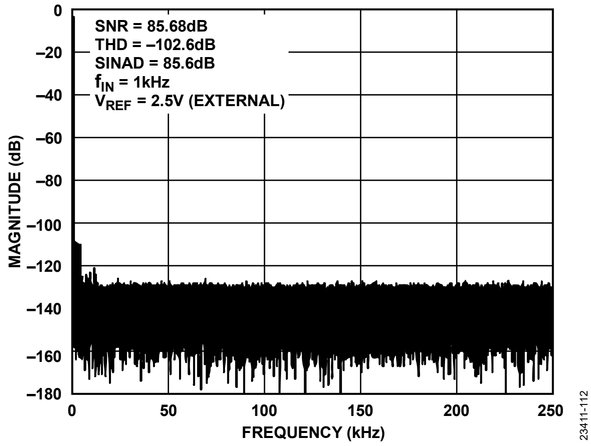


図 11. AD4683 の FFT、V_{REF} = 2.5V（外部）

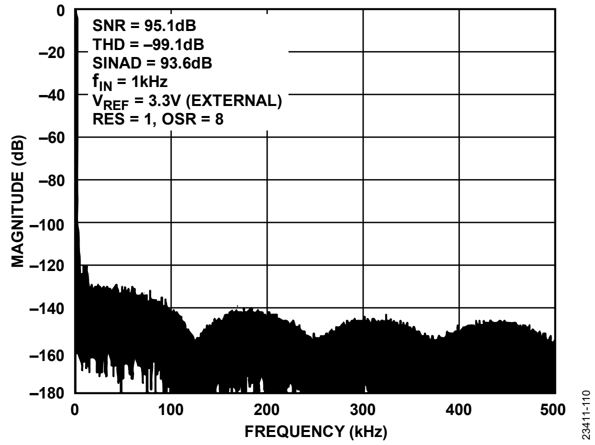


図 9. AD4682 の FFT、移動平均オーバーサンプリング時

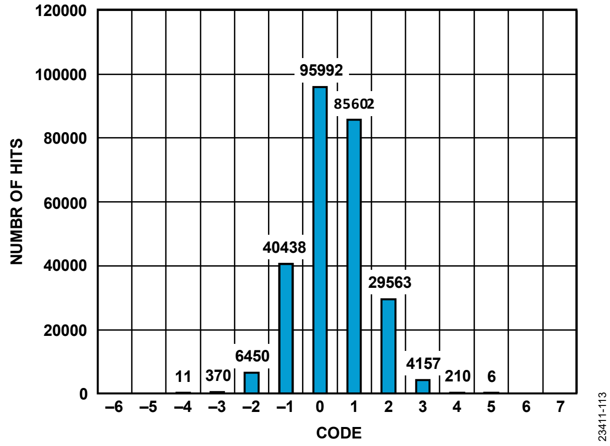


図 12. コード中央値での DC ヒストグラム

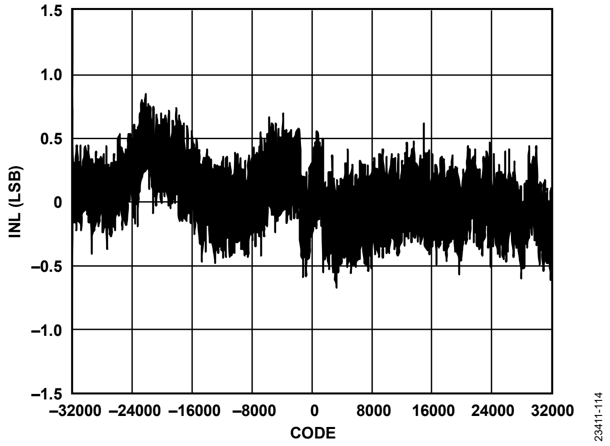


図 13. 代表的な INL エラー

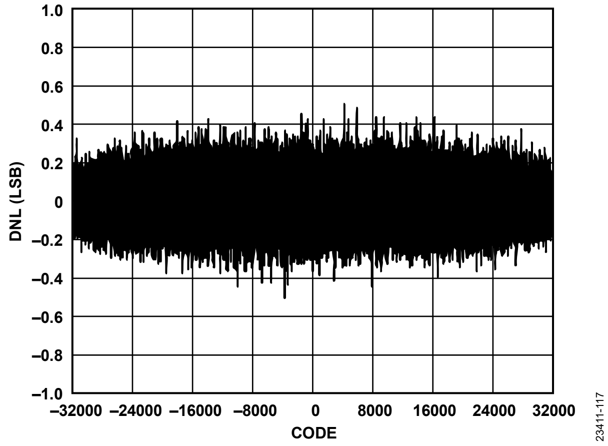


図 16. 代表的な DNL エラー

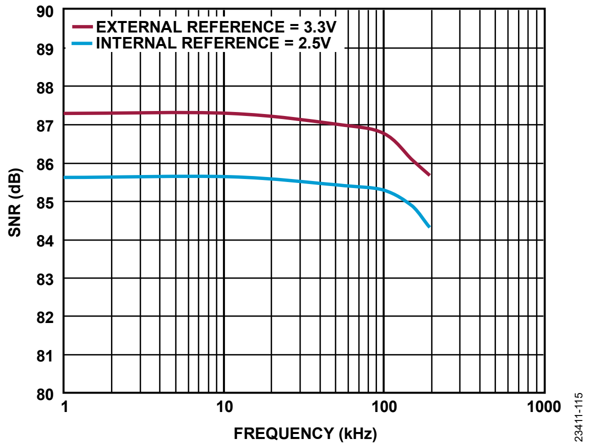


図 14. AD4682 の S/N 比の周波数特性

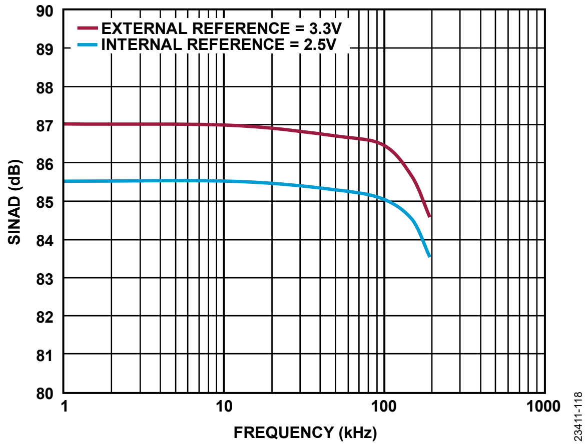


図 17. AD4682 の SINAD の周波数特性

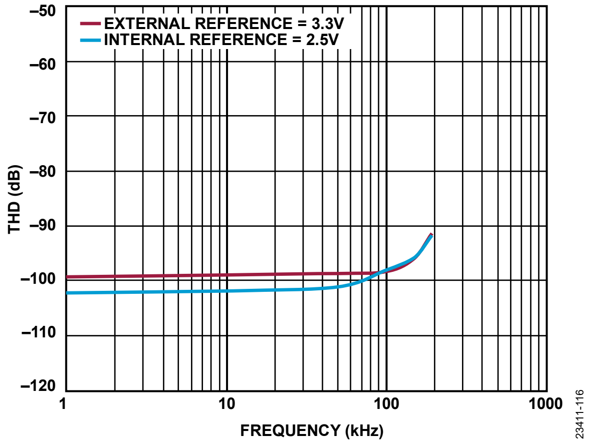


図 15. AD4682 の THD の周波数特性

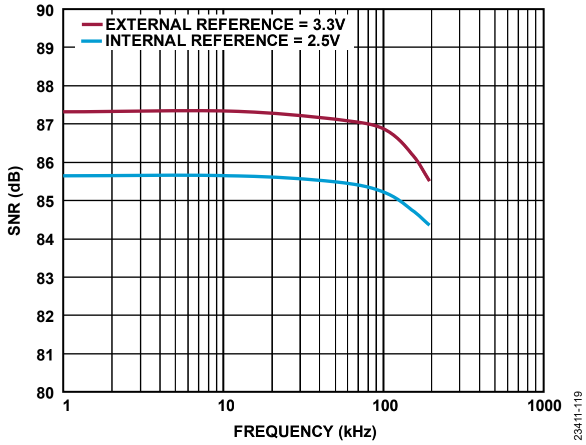


図 18. AD4683 の S/N 比の周波数特性

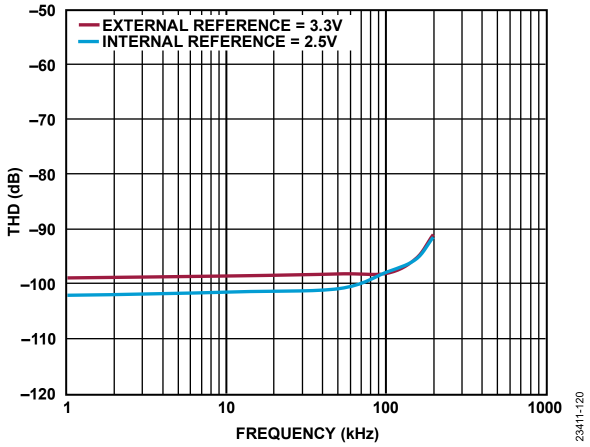


図 19. AD4683 の THD の周波数特性

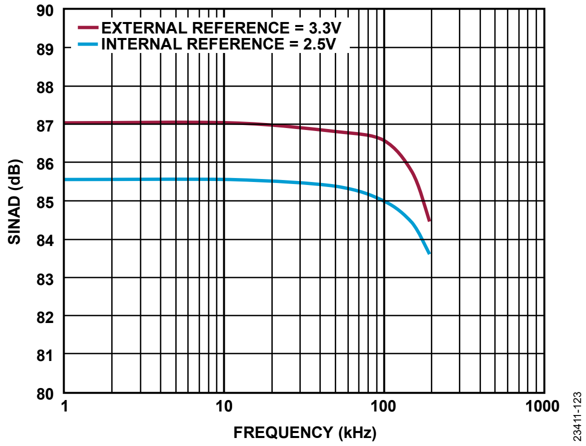


図 22. AD4683 の SINAD の周波数特性

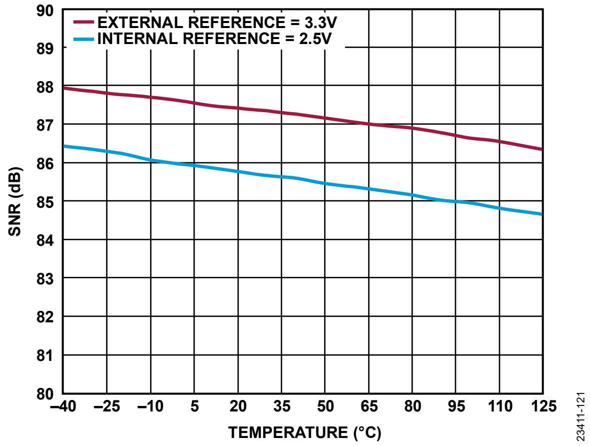


図 20. AD4682 の S/N 比の温度特性

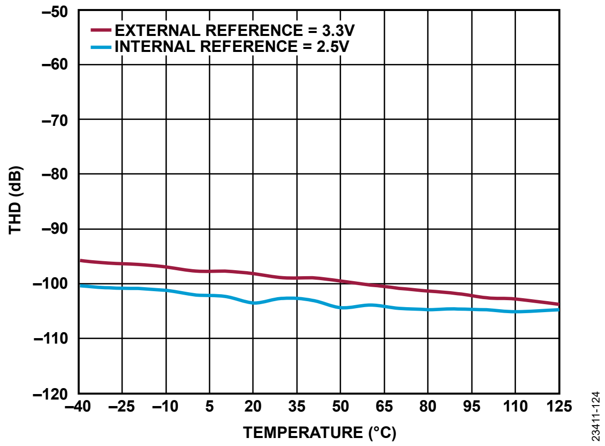


図 23. AD4682 の THD の温度特性

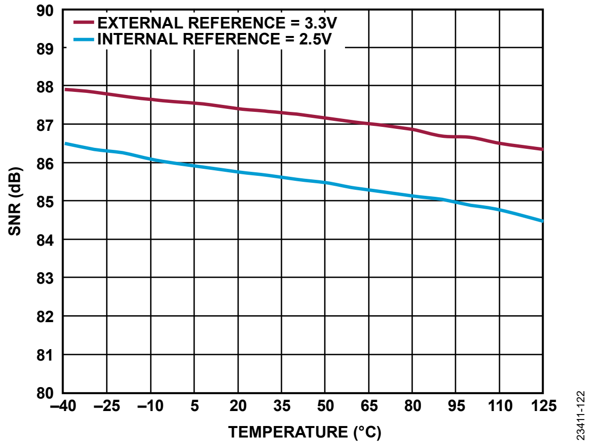


図 21. AD4683 の S/N 比の温度特性

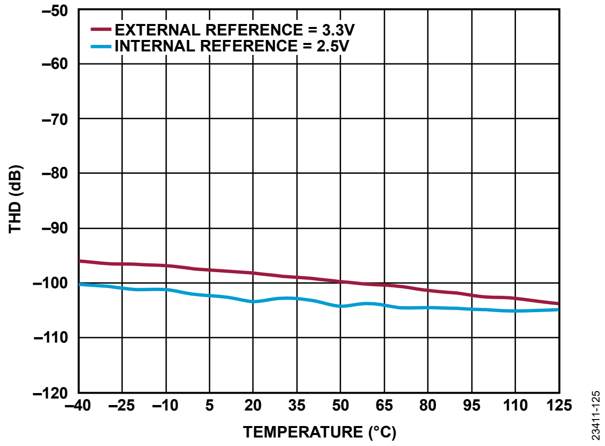


図 24. AD4683 の THD の温度特性

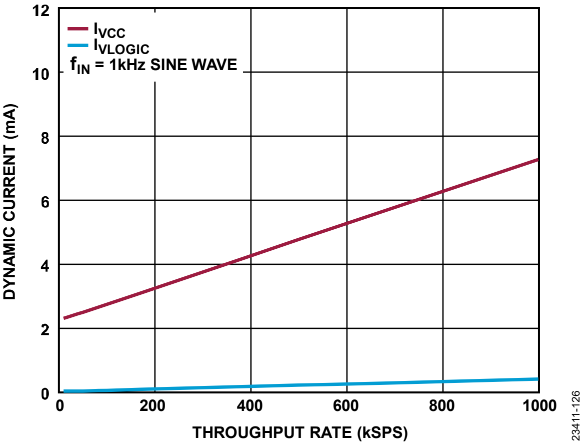


図 25. 動的電流とスループット・レートの関係

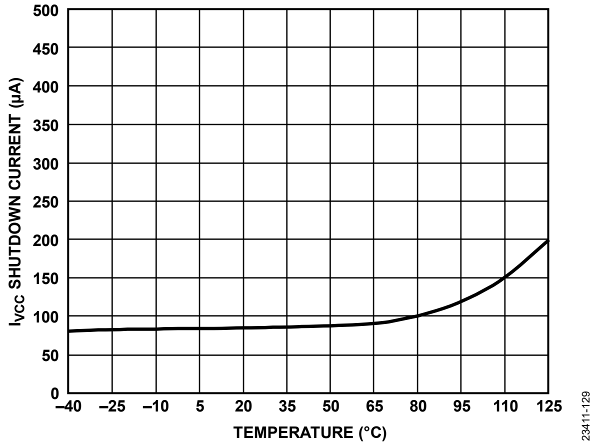


図 28. I_{VCC} シャットダウン電流の温度特性

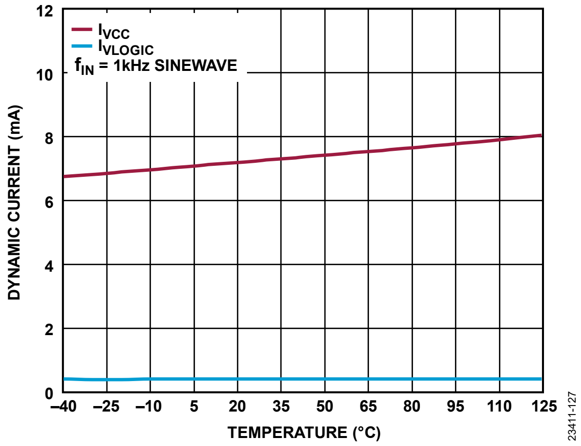


図 26. 動的電流の温度特性

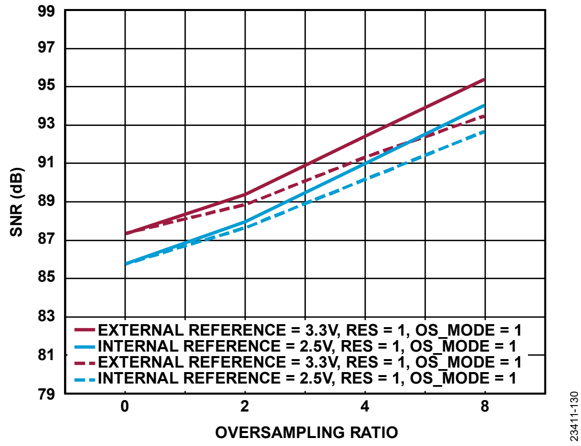


図 29. AD4682 の S/N 比とオーバーサンプリング比の関係、移動平均オーバーサンプリング時

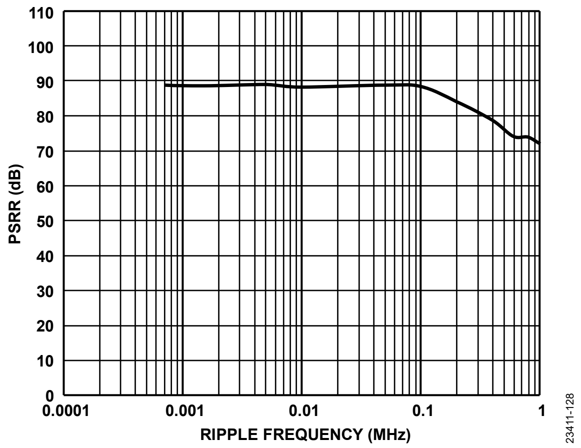


図 27. 電源電圧変動除去比（PSRR）とリップル周波数の関係

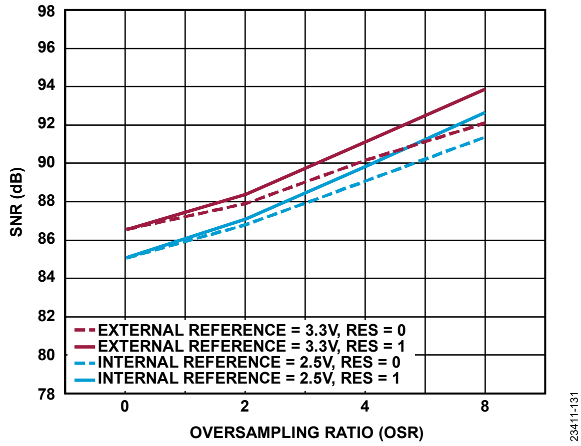


図 30. AD4683 の S/N 比とオーバーサンプリング比の関係、移動平均オーバーサンプリング時

用語の定義

微分非直線性（DNL）
理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードの分解能で仕様規定されます。

積分非直線性（INL）
INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より½ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を 1½ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差
最初の遷移（100…000 から 100…001）は負の公称フルスケールより½LSB 上のレベルで発生します。最後の遷移（011…110 から 011…111）は、公称フルスケールより 1½LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差の温度ドリフト
ゲイン誤差の温度ドリフトは、1ºC の温度変化あたりのゲイン誤差の変化です。

ゲイン誤差マッチ
ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

オフセット誤差
オフセット誤差は、理想的なミッドスケール電圧（0V）とミッドスケール出力コード（0LSB）を生成する実際の電圧との差です。

オフセットの温度ドリフト
オフセットの温度ドリフトは、1ºC の温度変化あたりのゼロ誤差の変化です。

オフセット誤差マッチ
オフセット誤差マッチは、入力チャンネル間のゼロ誤差の差です。

S/N 比（SNR）
S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の実効値の総和に対する実際の入力信号の実効値の比です。S/N 比の値は dB で表されます。

スプリアスフリー・ダイナミック・レンジ（SFDR）
SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位は dB です。

全高調波歪み（THD）
THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位は dB です。

信号／ノイズ+歪み（SINAD）
SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の実効値の比です。SINAD 値は dB で表されます。

同相ノイズ除去比（CMRR）
CMRR は、$A_{IN}x+$と $A_{IN}x-$のコモンモード電圧に印加された周波数 f の 200mVp-p サイン波の電力に対する、周波数 f の ADC 出力電力の比です。CMRR の値は dB で表されます。

$$CMRR = 10\log (P_{ADC\_IN}/P_{ADC\_OUT})$$

ここで、
P_{ADC_IN}は $A_{IN}x+$と $A_{IN}x-$に印加される周波数 f のコモンモード電力、
P_{ADC_OUT}は、周波数 f での ADC の出力電力です。

アパーチャ遅延
アパーチャ遅延は、アクイジション性能の尺度で、$\overline{CS}$入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ遅延マッチ
アパーチャ遅延マッチは、ADC A と ADC B 間のアパーチャ遅延の差です。

アパーチャ・ジッタ
アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD4682/AD4683 は、高速デュアル同時サンプリング、擬似差動の 16 ビット SAR ADC です。AD4682/AD4683 は、3.0V～3.6V の電源で動作し、スループット・レートは AD4682 が 1MSPS、AD4683 が 500kSPS です。

AD4682/AD4682 は、SAR ADC2 個と、個別のデータ出力ピン 2 本を備えたシリアル・ペリフェラル・インターフェース（SPI）1 個で構成されています。16 ピン LFCSP に収容されており、各種代替ソリューションに比べ、かなりのスペースが節約できるという利点をもたらします。

データにはデバイスの SPI を介してアクセスできます。SPI は、1 つまたは 2 つのシリアル出力で動作します。AD4682/AD4682 は、2.5V の内部リファレンス V_{REF} を搭載しています。外部リファレンスが必要な場合は、内部リファレンスをディスエーブルして 2.5V ～ 3.3V の範囲のリファレンスを供給し、CONFIGURATION1 レジスタの REFSEL ビットを 1 に設定します。内部リファレンスをシステムの別の場所で使用する場合は、リファレンス出力をバッファする必要があります。AD4682/AD4683 の擬似差動アナログ入力範囲は、コモンモード電圧（V_{CM}）± $V_{REF}/2$ です。

オーバーサンプリング・ブロックを内蔵することで、性能が向上しています。移動平均オーバーサンプリング・モードや、変換の間の消費電力を節約できるパワーダウン・オプションも利用できます。デバイスの設定は標準的な SPI を介して行うことができます（インターフェースのセクションを参照）。

コンバータの動作

AD4682/AD4683 には 2 個の SAR ADC があり、それぞれが 2 個の容量性 D/A コンバータ（DAC）を中心に構成されています。これらの ADC の 1 つについて、図 31 にアクイジション・フェーズ、図 32 に変換フェーズの簡略化回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。図 31（アクイジション・フェーズ）では、SW3 は閉じて、SW1 と SW2 は位置 A にあります。コンパレータは平衡状態を維持しており、サンプリング・コンデンサ（C_S）アレイは擬似差動の入力信号を取得することができます。

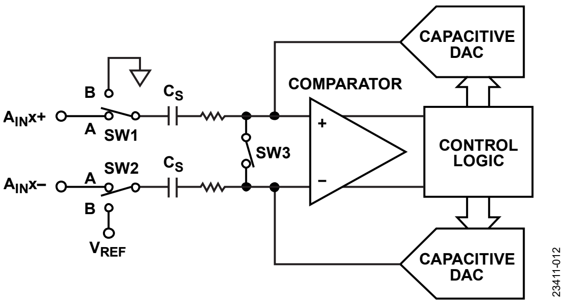


図 31. ADC アクイジション・フェーズ

ADC が変換を開始すると（図 32）、SW3 が開いて、SW1 と SW2 が位置 B に移動し、コンパレータが非平衡状態になります。変換を開始すると、入力は両方とも切断されます。コントロール・ロジックと電荷再配分式 DAC を使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。$A_{IN}x+$および $A_{IN}x-$ピンの駆動源の出力インピーダンスはマッチングさせる必要があります。マッチングしていない場合、2 つの入力のセトリング・タイムが異なり、誤差が生じます。

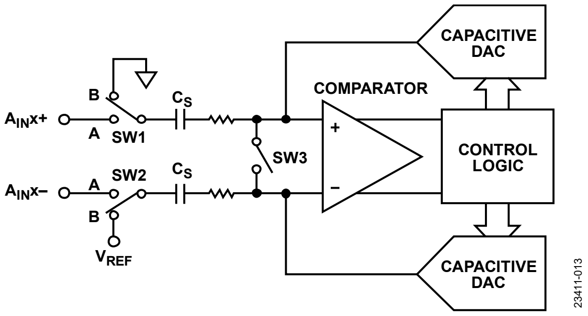


図 32. ADC 変換フェーズ

アナログ入力構造

図 33 に、AD4682/AD4683 の等価アナログ入力回路を示します。4 個のダイオード（D）により、アナログ入力の ESD 保護機能を実現しています。アナログ入力信号が電源レールを 300mV 以上上回ることのないよう、注意してください。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

図 33 に示すコンデンサ C1 は通常 3pF で、主にピン容量によって決まります。抵抗 R1 はスイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗の値は通常約 200Ω です。コンデンサ C2 は ADC のサンプリング・コンデンサで、容量は通常 15pF です。

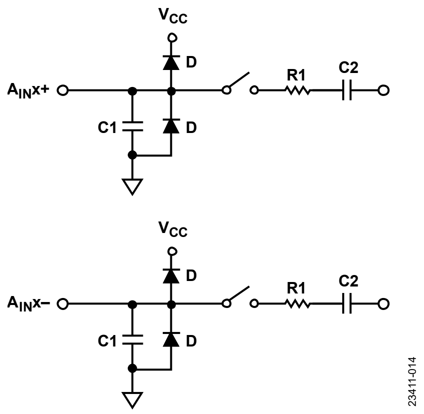


図 33. 等価アナログ入力回路、
変換フェーズ–スイッチ開、トラック・フェーズ–スイッチ閉

ADC の伝達関数

AD4682/AD4683 は、2.5V～3.3V（代表値）の V_{REF} を使用できます。これらのデバイスは、アナログ入力（$A_{IN}A+$、$A_{IN}A-$、$A_{IN}B+$、$A_{IN}B-$）の差動電圧をデジタル出力に変換します。

変換結果は MSB ファーストで、2 の補数で表されます。LSB の大きさは $V_{REF}/2^N$（N は ADC の分解能）です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表 8 に、異なる分解能と異なるリファレンス電圧に対する LSB の大きさを、µV 単位で示します。

AD4682/AD4683 の理想伝達特性を図 34 に示します。

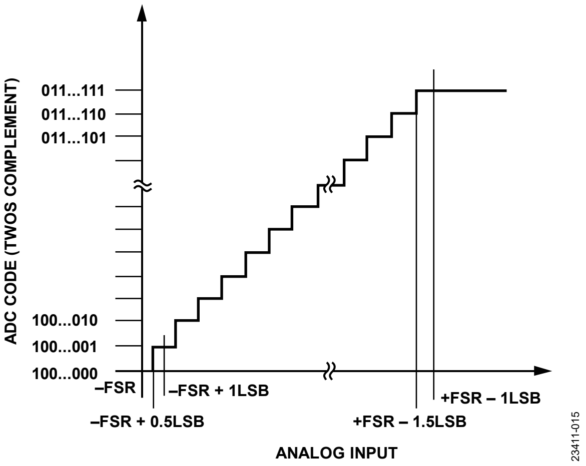


図 34. ADC の理想的な伝達関数（FSR はフルスケール・レンジ）

表 8. LSB の大きさ

Resolution (Bits)	2.5 V Reference (µV)	3.3 V Reference (µV)
16	38.1	50.3
18	9.5	12.6

アプリケーション情報

AD4682/AD4683 の代表的な接続図の例を図 35 に示します。図 35 に示すように、V_{CC} ピン、V_{LOGIC} ピン、REGCAP ピン、REFIO ピンは適切なデカップリング・コンデンサを用いて、デカップリングされています。

露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、PCB のグラウンドに接続する必要があります。

差動 RC フィルタをアナログ入力に配置することで、最適な性能を確保できます。

AD4682/AD4683 の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ω の抵抗を SDOA ピンと SDOB/$\overline{\text{ALERT}}$ ピンの近くに直列に配置して、デジタル・インターフェースから AD4682/AD4683 にカップリングするノイズを抑制します。

AD4682/AD4683 の 2 つの擬似差動 ADC チャンネルは、$A_{IN}A+$ と $A_{IN}B+$ に 0V～V_{REF} の範囲の電圧、$A_{IN}A-$ と $A_{IN}B-$ に $V_{REF}/2$ の電圧を入力できます。アナログ入力ピン $A_{IN}A+$、$A_{IN}B+$、$A_{IN}A-$、$A_{IN}B-$ はアンプで駆動することができます。表 9 に、アプリケーションに最適な推奨ドライバ・アンプを示します。AD4682/AD4683 は、REFIO ピンからアクセスできるバッファ付き 2.5V 内部リファレンスを搭載しています。バッファ付き 2.5V 内部リファレンスを外部回路に接続する場合は、ADA4807-2 などの外部バッファを使用する必要があります。どちらのデバイスも、ADR4533 や ADR4525 など、2.5V～3.3V の超低ノイズ、高精度電圧リファレンスを外部電圧源として使用することができます。

電源

図 35 に示す代表的なアプリケーション回路の電力は、5V（V+）の単電源からシグナル・チェーン全体に供給されています。この 5V 電源には、低ノイズの CMOS 低ドロップアウト（LDO）レギュレータ（ADP7105）を使用することができます。ドライバ・アンプの電源は、+5V（V+）と、インバータ（ADM660）から供給される−2.5V の負電源レール（V−）によって供給されます。インバータによって+5V から−5V に変換された電圧は、ADP7182 低ノイズ電圧レギュレータに供給され、−2.5V で出力されます。AD4682/AD4683 の 2 つの個別電源、アナログ回路用の V_{CC} とデジタル・インターフェース用の V_{LOGIC} は、ADP166 などの低静止電流 LDO レギュレータを使用して供給できます。ADP166 は、代表的な V_{CC} および V_{LOGIC} レベルである 1.2V～3.3V の範囲の固定電圧を出力する最適な電源です。V_{CC} 電源と V_{LOGIC} 電源はどちらも、1µF のコンデンサを使用して個別にデカップリングします。更に、内部 LDO レギュレータも AD4682/AD4683 に電力を供給します。この内部レギュレータは、デバイスの内部使用専用に 1.9V を供給します。REGCAP ピンは、1µF のコンデンサで GND からデカップリングします。

パワーアップ

AD4682/AD4683 は、電源シーケンシングによって容易に損傷することはありません。V_{CC} および V_{LOGIC} には、どのシーケンスでも印加できます。外部リファレンスは、V_{CC} および V_{LOGIC} の後に印加します。

AD4682/AD4683 では、V_{CC} および V_{LOGIC} に印加してから ADC の変換結果が安定するまでに、$t_{POWERUP}$ の時間が必要です。セットアップ時間が経過する前に $\overline{\text{CS}}$ パルスを印加したり、AD4682/AD4683 にインターフェース接続を行ったりしても、ADC の動作に悪影響はありませんが、この時間中の変換結果は、データシートの仕様を満足していないため、無視してください。

表 9. シグナル・チェーンの部品

関連製品	部品名	説明	代表的なアプリケーション
ADC 用ドライバ	ADA4896-2	1nV/√Hz のレール to レール・アンプ	高精度、低ノイズ、高周波数
	ADA4940-2	超低消費電力、完全差動、低歪み	高精度、低密度、低消費電力
	ADA4807-2	1mA のレール to レール・アンプ	高精度、低消費電力、高周波数
	LTC6227	1nV/√Hz、420MHz のゲイン帯域幅積（GBW）、レール to レール・アンプ	高精度、低ノイズ、高周波数
外部リファレンス	ADR4525	超低ノイズ、高精度 2.5V 電圧リファレンス	2.5V のリファレンス電圧
	ADR4533	超低ノイズ、高精度 3.3V 電圧リファレンス	3.3V のリファレンス電圧
LDO	ADP166	極めて低い静止電流、150mA、LDO レギュレータ	V_{CC} および V_{LOGIC} 用 3.0V～3.6V 電源

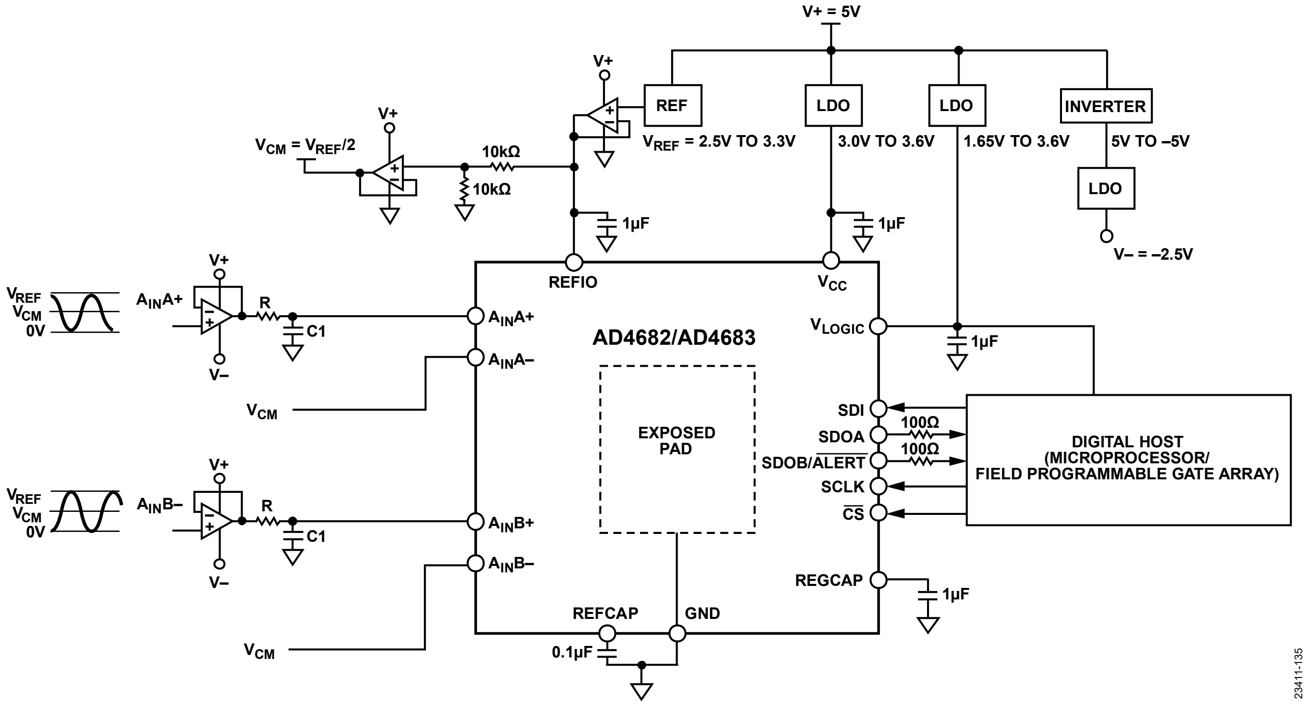


図 35. 代表的なアプリケーション回路

動作モード

AD4682/AD4683 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

多機能ピンの名称は、該当する機能のみで表示されることがあります。

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADC の結果の精度を向上することができます。アナログ入力サンプルを複数取得して平均化することで、ADC の量子化ノイズや熱ノイズ（kTC）に由来するノイズ成分を除去します。AD4682 と AD4683 は、移動平均オーバーサンプリング機能を内蔵しています。

移動平均オーバーサンプリング機能は、CONFIGURATION1 レジスタの OS_MODE ビット（ビット 9）に 1 を、OSR ビット（ビット［8:6］）にゼロ以外の有効な値を書き込むことで有効化できます。オーバーサンプリングは、CONFIGURATION1 レジスタの OS_MODE ビット（ビット 9）に 0 を、OSR ビット（ビット［8:6］）にゼロ値を書き込むことで無効化できます。

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションと、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングは、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスで構成されます。AD4682/AD4683 はこの結果を出力します。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し（FIFO）バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じ状態に維持できます。

移動平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 1 に、OSR ビットをゼロ以外の有効な値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビット OSR を使用して制御します（表 10 参照）。出力結果は、AD4682/AD4683 用に 16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタで分解能増強ビットを設定します。詳細については分解能増強のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は $\overline{\text{CS}}$の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さは、オーバーサンプリング比の設定によらず 8 です。FIFO は、パワーオン・リセット後の最初の変換、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換、または、REFSEL ビットがトグルされた後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。この変換によって、FIFO が満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、様々な移動平均オーバーサンプリング比が可能となります。

OSR ビットで定義された n 個のサンプルが FIFO から取得、加算されて、n で除算されます。$\overline{\text{CS}}$の立下がりエッジ間の時間は、目的のデータ出力レートに応じてユーザが制御できるサイクル時間です。

分解能増強

AD4682/AD4683 の変換結果出力データのデフォルト・サイズは 16 ビットです。内蔵オーバーサンプリング機能を有効化すると、ADC の性能は 16 ビット・レベルを上回ることができます。この性能向上を実現するために、2 ビットを追加した分解能を可能とすることができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定してオーバーサンプリング・モードを有効化した場合、AD4682/AD4683 の変換結果のサイズは 18 ビットになります。このモードでは、データを伝搬するために 18SCLK が必要となります。

表 10. AD4682 の移動平均オーバーサンプリング性能の概要

		SNR (dB Typical)				
		V_{REF} = 2.5 V		V_{REF} = 3.3 V		
OSR, Bits[8:6]	Oversampling Ratio	RES = 0	RES = 1	RES = 0	RES = 1	Output Data Rate (kSPS Maximum)
000	Disabled	85.7	85.7	87.3	87.3	1000
001	2	87.6	87.9	88.8	89.3	1000
010	4	90.1	90.9	91.3	92.4	1000
011	8	92.6	94.0	93.4	95.4	1000

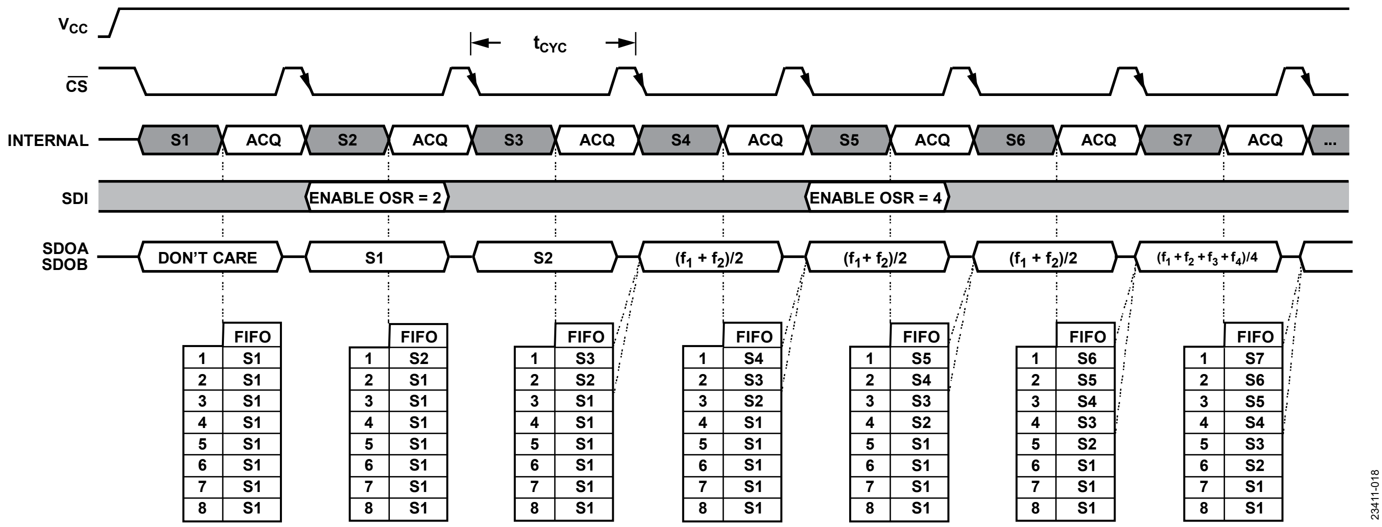


図 36. 移動平均オーバーサンプリング・モードの設定

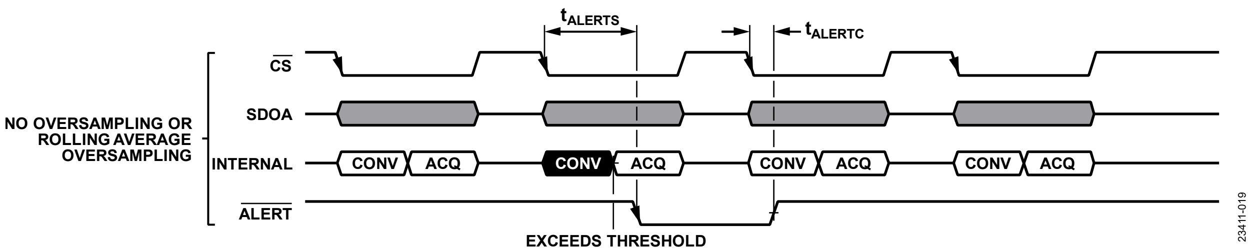


図 37. アラートの動作

アラート

アラート機能は範囲外インジケータで、変換結果が範囲を外れたことを示す初期インジケータとして使用できます。変換結果値レジスタが ALERT_HIGH_THRESHOLD レジスタのアラート上限値を超えた場合、または ALERT_LOW_THRESHOLD レジスタのアラート下限値を下回った場合、アラート・イベントがトリガされます。ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタは、すべての ADC に共通です。閾値を設定する際には、アラートの上限閾値は常に下限閾値より大きな値にする必要があります。詳細なアラート情報については、ALERTレジスタのセクションを参照してください。

ALERTレジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDOB/ALERTピンのALERT機能に出力されるよう設定できます。SDOB/ ALERT ピンは、CONFIGURATION1 レジスタおよび CONFIGURATION2 レジスタの次のビットを設定することで、ALERTに設定できます。

- SDO ビットを 1 に設定します。
- ALERT_EN ビットを 1 に設定します。
- ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタに有効な値を設定します。

アラート指示機能は、移動平均オーバーサンプリング・モードと非オーバーサンプリング・モードの両方で使用できます。

SDOB/ALERTピンの ALERT機能は、変換の終了時に更新されます。ALERTレジスタのアラート指示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。SDOB/ALERTピンの ALERT機能は、CSの立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、ALERTレジスタのアラート・ステータスをクリアできます。

電力モード

AD4682/AD4683 には、ノーマル・モードとシャットダウン・モードの 2 つの電力モードがあります。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

CONFIGURATION1 レジスタの PMODE ビットをプログラムすることで AD4682/AD4683 の電力モードを設定します。PMODE をロジック 0 に設定するとノーマル・モード、ロジック 1 に設定するとシャットダウン・モードになります。

ノーマル・モード

スループット・レートを最高速にするには、AD4682/AD4683 をノーマル・モードに維持します。AD4682/AD4683 内の全ブロックが常にフルパワーとなり、必要に応じて ADC 変換を CSの立下がりエッジで開始できます。AD4682/AD4683 が変換を行っていないとき、デバイスは静的モードになり、消費電力を自動的に削減します。変換を実行するには、追加電流が必要となります。そのため、AD4682/AD4683 の消費電力はスループットに応じて増加します。

シャットダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、各変換の間に ADC をパワーダウンするか、高スループット・レートで一連の変換を実行した後、これらのバースト変換の間の相対的に長い時間 ADC をパワーダウンするかのどちらかの方法で、シャットダウン・モードを使用します。AD4682/AD4683 がシャットダウン・モードになると、内部リファレンス（有効な場合）を含め、すべてのアナログ回路がパワーダウンされます。SPI はシャットダウン・モードの間もアクティブ状態のままなので、AD4682/AD4683 のシャットダウン・モードを終了させることができます。

シャットダウン・モードに入るには、CONFIGURATION1 レジスタの PMODE ビットに書き込みます。AD4682/AD4683 はシャットダウンされ、消費電流が削減されます。

シャットダウン・モードを終了しノーマル・モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、シャットダウン・モードを開始しても終了しても変わりません。シャットダウン・モードの終了後、回路がオンになってから変換を開始するまでには、十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスを安定させることが必要です。

内部リファレンスおよび外部リファレンス

AD4682/AD4683 には、主にデバイス動作のリファレンス電圧として使用されるバッファ付き 2.5V 内部リファレンスが搭載されています。REFIO ピンを介してこのバッファ付き 2.5V 内部リファレンスを外部で使用する場合は、外部バッファを介して外部回路と接続する必要があります。また、更に正確なリファレンスや更に高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部リファレンスの電圧範囲は 2.5V ～3.3V です。

リファレンスの選択（内部または外部）は、CONFIGURATION1 レジスタの REFSEL ビットによって設定します。REFSEL ビットを 0 に設定すると、内部リファレンス・バッファがイネーブルされます。REFSEL ビットを 1 に設定すると、内部リファレンス・バッファがディスエーブルされます。外部リファレンスを使用したい場合は、REFSEL ビットを 1 に設定し、REFIO ピンに外部リファレンスを供給します。

ソフトウェア・リセット

AD4682/AD4683 には、ソフト・リセットとハード・リセットの 2 つのリセット・モードがあります。リセットを開始するには、CONFIGURATION2 レジスタのリセット・ビット（ビット［7:0］）に書き込みます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。ALERT レジスタはクリアされます。リファレンスと LDO レギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。

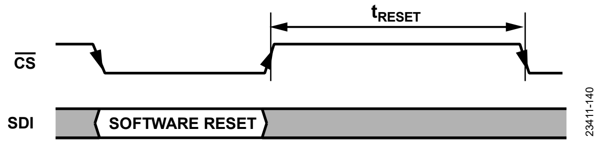


図 38. ソフトウェア・リセット動作

診断セルフ・テスト

AD4682/AD4683 は、パワーオン・リセット（POR）後またはソフトウェア・ハード・リセットの後、診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、ALERT レジスタの SETUP_F ビットに示されます。SETUP_F ビットがロジック 1 に設定されると、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD4682/AD4683 のレジスタはデフォルト状態にリセットされます。

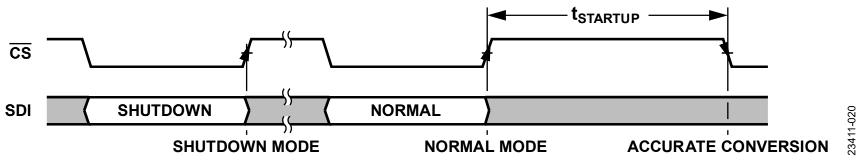


図 39. シャットダウン・モード動作

インターフェース

AD4682/AD4683 へのインターフェース接続は、SPI を通じて行います。インターフェースは、$\overline{\text{CS}}$、SCLK、SDOA、SDOB/ALERT、SDI の各ピンで構成されています。多機能ピンの名称は、該当する機能のみで表示されることがあります。

$\overline{\text{CS}}$信号は、シリアル・データ転送をフレーミングし、ADC 変換プロセスを開始します。$\overline{\text{CS}}$の立下がりエッジは、アナログ入力がサンプリングされた時点でトラック＆ホールドをホールド・モードにし、バスはスリーステートから取られます。

SCLK 信号は、SDOA、SDOB、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最少 16 個の SCLK が必要です。変換の読出しに必要な SCLK サイクルの最少個数は、デバイスの分解能と構成設定に依存します（表 11 参照）。

ADC の変換動作は、内部発振器によって駆動され、SCLK 信号には依存しません。

AD4682/AD4683 には、SDOA と SDOB の 2 つのシリアル出力信号があります。最大スループットを実現するには、SDOA と SDOB の両方を2線モードで使用して変換結果を読み出します。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットを設定することで、2 線モードとするか 1 線モードとするかを選択できます。

巡回冗長性チェック（CRC）動作を SPI 読出し、または SPI 書込みに設定することで、インターフェースの動作が変わります。適切な動作を確保するために、関連する CRC 読出し、CRC 書込み、CRC 多項式の各セクションを参照してください。

変換結果の読出し

$\overline{\text{CS}}$信号によって変換プロセスが開始されます。$\overline{\text{CS}}$信号がハイからローに遷移すると、ADC AとADC Bの両方のADCが同時に変換を開始します。AD4682/AD4683には1サイクルのリードバック遅延があります。そのため、変換結果は次のSPIアクセスで使用できます。$\overline{\text{CS}}$信号をローで受けると、変換結果がシリアル出力ピンからクロック出力されます。次の変換もこの時点で開始されます。

変換結果は、16 ビットでデバイスからシフト出力されます。変換結果のMSBは、$\overline{\text{CS}}$の立下がりエッジでシフト出力されます。その他のデータは、SCLK 入力の制御の下でデバイスからシフト出力されます。データは SCLK の立上がりエッジでシフト出力され、データ・ビットは立上がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 $\overline{\text{CS}}$ をハイで受けると、SDOA ピンと SDOB/$\overline{\text{ALERT}}$ピンはハイ・インピーダンス状態に戻ります。

変換結果を SDOA ピンと SDOB/$\overline{\text{ALERT}}$ピンに伝搬するのに必要な SCLK サイクル数は、シリアル動作モードがどちらに設定されているか、および分解能増強モードが有効かどうかによって異なります（詳細は、図 40 および表 11 を参照）。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です（詳細は CRC のセクションを参照）。

$\overline{\text{CS}}$信号によって変換が開始され、データがフレーミングされるため、すべてのデータ・アクセスは 1 つのフレーム内で完了する必要があります。

表 11. 変換結果の読出しに必要な SCLK サイクル数 n

Interface Configuration	Resolution Boost Mode	CRC Read	SCLK Cycles
2-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
1-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44

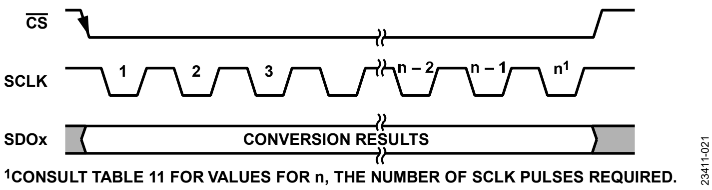


図 40. 変換結果の読出し

シリアル 2 線モード

2 線モードに設定するには、CONFIGURATION1 レジスタの SDO ビットを 0 に設定します。2 線モードでは、ADC A の変換結果が SDOA ピンに出力され、ADC B の変換結果が SDOB/$\overline{\text{ALERT}}$ピンに出力されます（図 41 参照）。

シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションでは、1 線モードで動作するよう SPI を設定できます。1 線モードでは、ADC A および ADC B からの変換結果がシリアル出力 SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B の変換結果が出力されます（図 42 参照）。

低遅延リードバック

AD4682/AD4683 のインターフェースには、図 43 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間の終了後、変換を開始した最初の $\overline{\text{CS}}$パルスの後の 2 番目の $\overline{\text{CS}}$パルスを使用して、変換結果をリードバックできます。この動作を図 43 に示します。

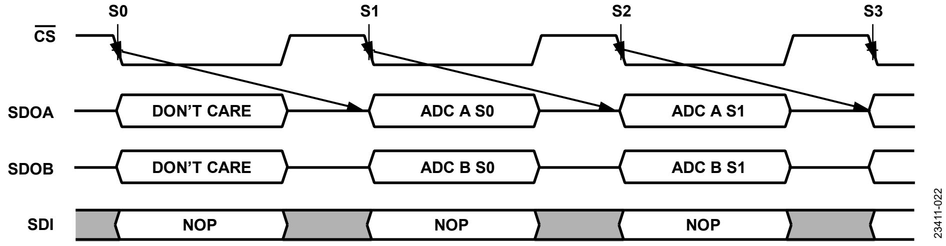


図 41. 変換結果の読出し：2 線モード

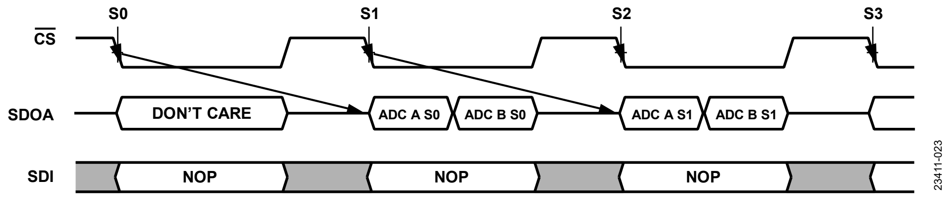


図 42. 変換結果の読出し：1 線モード

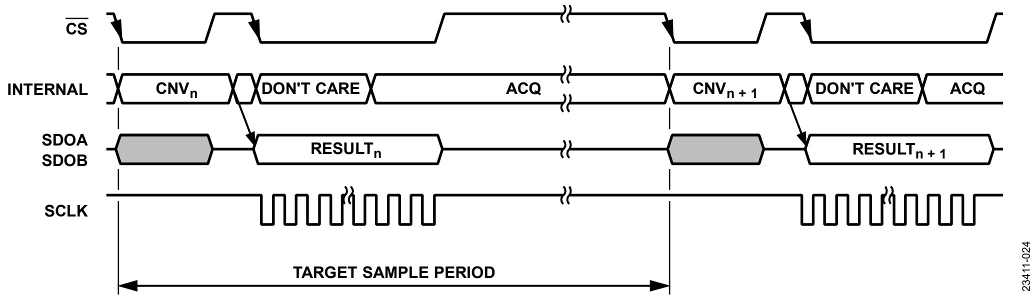


図 43. 低スループットでの低遅延

デバイス・レジスタからの読出し

AD4682/AD4683 のすべてのレジスタは、SPI を介して読み出すことができます。レジスタを読み出すには、レジスタ読出しコマンドを発行した後、有効なコマンドまたは無操作（NOP）コマンドのいずれかの追加 SPI コマンドを発行します。リード・コマンドのフォーマットを表 14 に示します。ビット D15 を 0 に設定して読出しコマンドを選択します。ビット［D14:D12］にはレジスタのアドレスが格納され、後続の 12 ビット（ビット［D11:D0］）は無視されます。

デバイス・レジスタへの書込み

AD4682/AD4683 のすべてのリード／ライト・レジスタは、SPI を介して書き込むことができます。SPI の書込みアクセスの長さは、CRC の書込み機能によって決まります。CRC の書込みが無効な場合は、SPI アクセスは 16 ビット、CRC 書込みが有効な場合は 24 ビットです。書込みコマンドのフォーマットを表 14 に示します。ビット D15 を 1 に設定して書込みコマンドを選択します。ビット［D14:D12］にはレジスタのアドレスが格納され、後続の 12 ビット（ビット［D11:D0］）には、選択したレジスタに書き込むデータが格納されます。

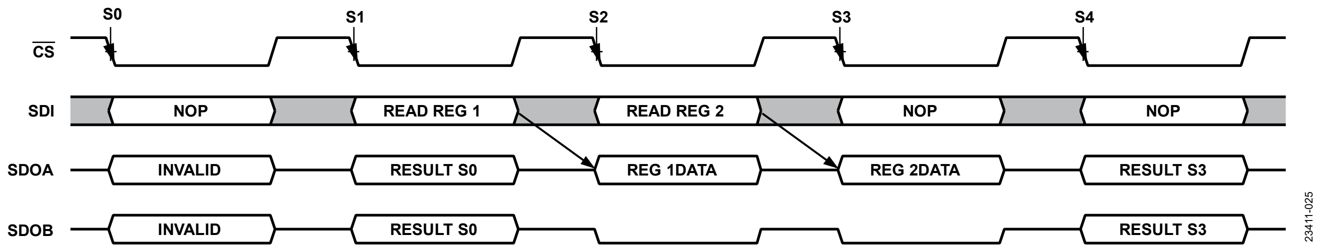


図 44. レジスタ読出し

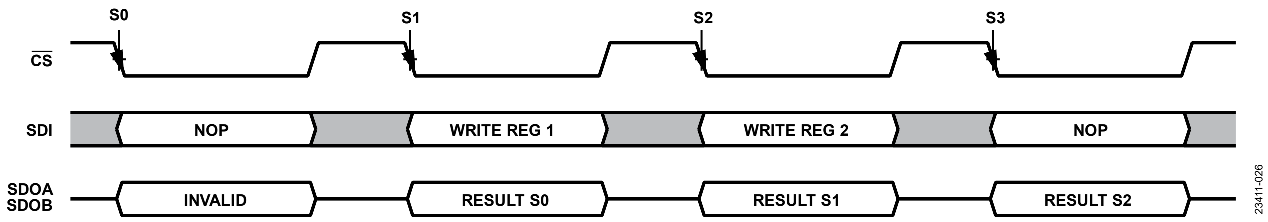


図 45. レジスタ書込み

CRC

AD4682/AD4683 には、データ転送時のエラーを検出してインターフェースの堅牢性を向上させるために、CRC チェックサム・モードがあります。CRC 機能は、SPI 読出しと SPI 書込みに対して個別に選択できます。例えば、SPI 書込みには CRC 機能を有効化してデバイス設定に対する予期しない変更を防止する一方、SPI 読出しには無効化して高いスループットを維持することができます。CRC 機能は、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

CRC を有効化すると、変換結果またはレジスタ読出しに付加され、8 ビット・ワードを形成します。CRC は ADC A と ADC B の変換結果で計算され、SDOA に出力されます。また、レジスタ読出し出力についても計算され、付加されます。

CRC 読出し機能は、2 線 SPI モード、1 線 SPI モード、分解能増強モードで使用できます。

CRC 書込み

CRC 書込み機能を有効化するには、CONFIGURATION1 レジスタの CRC_W ビットを 1 に設定する必要があります。CRC_W ビットを 1 に設定して CRC 機能を有効化するには、リクエスト・フレームに有効な CRC が付加されていることを確認してください。

CRC 機能が有効化されると、有効な CRC コマンドを備えていない限りすべてのレジスタ書込みリクエストは無視され、CRC 書込み機能の有効化と無効化を行うには、有効な CRC が必要となります。

CRC 多項式

CRC チェックサム計算では、常に多項式 $x^8 + x^2 + x + 1$ が使用されます。

変換の読出し時にチェックサムを生成する方法の例を以下に示します。2 つのチャンネルの 16 ビット・データの変換結果を結合し、32 ビット・データを作成します。この 32 ビット・データの 8 個の MSB が反転され、8 ビット分だけ左にシフトして 8 個のロジック 0 で終わる数が作成されます。多項式の MSB が、データの最も左のロジック 1 と合うように、多項式の値の位置決めを実行します。次に、排他的論理和（XOR）関数をデータに適用してより短い数値を新たに生成し、再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めを実行します。このプロセスを、元のデータが多項式の値（8 ビット・チェックサム）よりも小さくなるまで繰り返します。例えば、この多項式を 100000111 とします。

2 つのチャンネルの元のデータを 0xAAAA および 0x5555、すなわち、1010 1010 1010 1010 および 0101 0101 0101 0101 とします。次に、この 2 つのチャンネルのデータを、右に 8 個の 0 を含めた上で結合すると、データは 1010 1010 1010 1010 0101 0101 0101 0101 0000 0000 となります。

表 12 に、この 16 ビット、2 チャンネル・データの CRC 計算を示します。最後の XOR 操作では、計算結果（余り）が多項式より小さくなっています。したがって、この余りが、仮定したデータの CRC となります。

表 12. 16 ビット、2 チャンネル・データの CRC 計算例

Data	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]	X[1]
Process Data	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0
		1	0	0	0	0	0	1	1	1																													
				1	0	1	0	0	0	1	1	0																												
				1	0	0	0	0	0	1	1	1																												
						1	0	0	0	0	0	1	1	0																										
						1	0	0	0	0	0	1	1	1																										
														1	1	0	0	1	0	1	0	1																		
														1	0	0	0	0	0	1	1	1																		
															1	0	0	1	0	0	1	0	0																	
															1	0	0	0	0	0	1	1	1																	
																		1	0	0	0	1	1	1	0	1														
																		1	0	0	0	0	0	1	1	1														
																						1	1	0	1	0	0	1	0	1										
																						1	0	0	0	0	0	1	1	1										
																							1	0	1	0	0	0	1	0	0									
																							1	0	0	0	0	0	1	1	1									
																									1	0	0	0	0	1	1	1	0							
																									1	0	0	0	0	0	1	1	1							
																														1	0	0	1	0	0	0	0	0		
																														1	0	0	0	0	0	1	1	1		
CRC																																	1	0	0	1	1	1	0	0

[1] X = ドント・ケア。

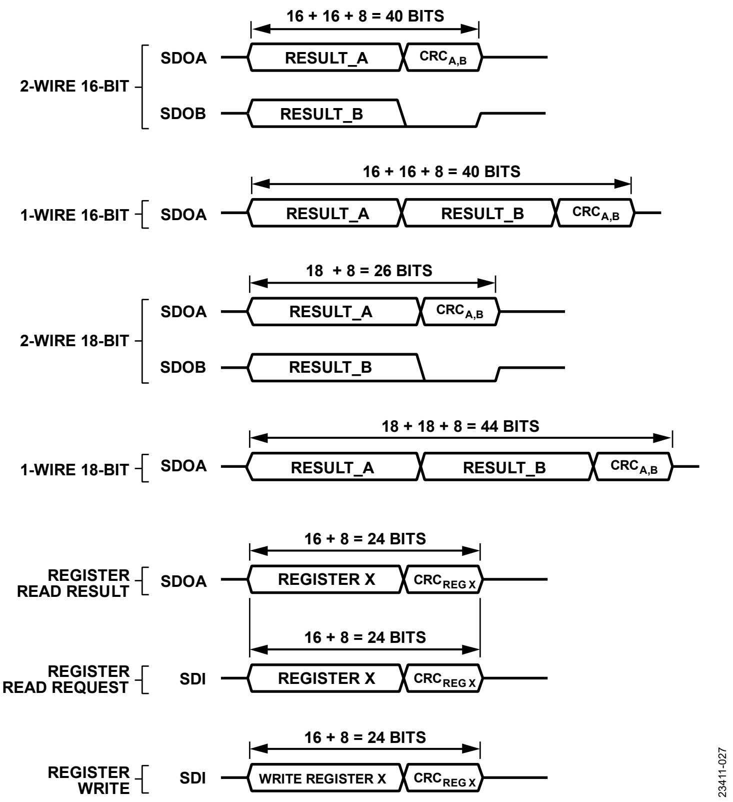


図 46. CRC の動作

レジスタ

AD4682/AD4683 には、デバイス設定用にユーザが設定できるレジスタが内蔵されています。

表 13 に、AD4682/AD4683 で使用可能な全レジスタの概要を示します。レジスタは、リード／ライト（R/W）または読出し専用（R）です。書込み専用レジスタへの読出しリクエストは無視され、読出し専用レジスタへの書込みリクエストも無視されます。それ以外のレジスタ・アドレスへの書込みはすべて NOP とみなされ、無視されます。表 13 に示したもの以外のレジスタ・アドレスへの読出しリクエストは NOP とみなされ、次の SPI フレームで送信されるデータは変換結果です。

表 13. レジスタの一覧

Address	Register Name	Bits	Bit 15 / Bit 7	Bit 14 / Bit 6	Bit 13 / Bit 5	Bit 12 / Bit 4	Bit 11 / Bit 3	Bit 10 / Bit 2	Bit 9 / Bit 1	Bit 8 / Bit 0	Reset	R/W
0x1	CONFIGURATION1	[15:8]	ADDRESSING				RESERVED		OS_MODE	OSR[2]	0x0000	R/W
		[7:0]	OSR[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE		
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED			SDO	0x0000	R/W
		[7:0]	RESET									
0x3	$\overline{\text{ALERT}}$	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R
		[7:0]	RESERVED		AL_B_HIGH	AL_B_LOW	RESERVED		AL_A_HIGH	AL_A_LOW		
0x4	ALERT_LOW_THRESHOLD	[15:8]	ADDRESSING				ALERT_LOW[11:8]				0x0800	R/W
		[7:0]	ALERT_LOW[7:0]									
0x5	ALERT_HIGH_THRESHOLD	[15:8]	ADDRESSING				ALERT_HIGH[11:8]				0x07FF	R/W
		[7:0]	ALERT_HIGH[7:0]									

レジスタのアドレス指定

AD4682/AD4683 でのシリアル・レジスタ転送は、16 の SCLK サイクルで構成されます。デバイスに書き込まれた 4 つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この 4 つの MSB は、レジスタ・アドレス（REGADDR）のビット［D14:D12］、およびリード／ライト・ビット（WR）のビット D15 で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。WR ビットは、アドレス指定されたレジスタが有効な書込みレジスタの場合、指定されたレジスタに SDI 入力の残りの 12 ビットのデータをロードするかどうかを決めます。WR ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。WR ビットが 0 の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 14. アドレス指定レジスタのフォーマット

MSB　LSB

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR			DATA											

表 15. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	WR ビットに 1 が書き込まれていると、このレジスタのビット［D11:D0］を REGADDR で指定されるレジスタに書き込みます（ただし、そのレジスタのアドレスが有効な場合）。代わりに、0 が書き込まれていると、次に SDOA ピンから送信するデータを指定されたレジスタから読み出します（ただし、そのレジスタのアドレスが有効な場合）。
D14 to D12	REGADDR	WR = 1 の場合、REGADDR の内容によって、表 13 に示したものの中からレジスタが選択されます。 WR = 0 で REGADDR に有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時に SDOA ピンに出力されます。 WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが格納されている場合、SDI ラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリードバックされます。
D11 to D0	DATA	WR が 1 で REGADDR ビットに有効なアドレスが格納されている場合、データ・ビットは、REGADDR ビットによって指定されたレジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス：**0x1**、リセット：**0x0000**、レジスタ名：**CONFIGURATION1**

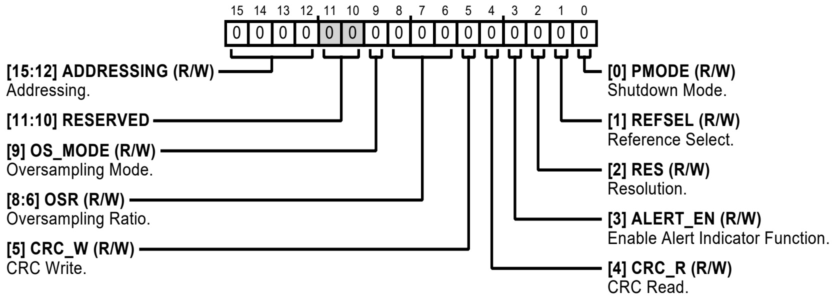


表 16. CONFIGURATION1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを有効化します。 0：無効。 1：有効。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。すべての ADC に対して移動平均モードのオーバーサンプリング比を設定します。移動平均モードでは、×2、×4、×8 のオーバーサンプリング比に対応します。 000：無効。 001：×2。 010：×4。 011：×8。 100：無効。 101：無効。 110：無効。 111：無効。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。CRC_W ビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を追加してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。CRC_W ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOA および SDOB/$\overline{\text{ALERT}}$インターフェースの CRC 機能を制御します。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
3	ALERT_EN	アラート指示機能を有効化。SDO ビット = 1 の場合に、このアラートは機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0：SDOB。 1：$\overline{\text{ALERT}}$。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、RES ビットは無視され、分解能はデフォルト値に設定されます。 0：通常分解能。 1：2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0：内部リファレンスを選択。 1：外部リファレンスを選択。	0x0	R/W
0	PMODE	シャットダウン・モード。電力モードを設定します。 0：通常動作モード。 1：シャットダウン・モード	0x0	R/W

CONFIGURATION2 レジスタ

アドレス：**0x2**、リセット：**0x0000**、レジスタ名：**CONFIGURATION2**

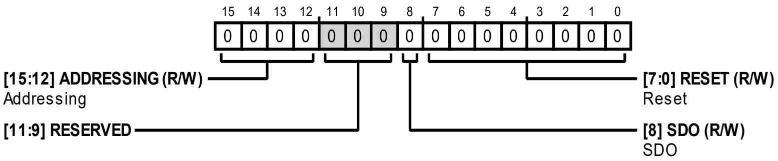


表 17. CONFIGURATION2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備。	0x0	R
8	SDO	SDO。変換結果はシリアル・データ出力になります。 0：2 線。変換データは SDOA ピンおよび SDOB/$\overline{\text{ALERT}}$ ピンの両方に出力されます。 1：1 線。変換データは SDOA ピンのみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C に設定するとソフト・リセットが実行され、一部のブロックがリセットされますが、レジスタの内容は変わりません。$\overline{\text{ALERT}}$ レジスタはクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF に設定するとハード・リセットが実行され、AD4682/AD4683 内の可能な限りすべてのブロックがリセットされ、レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

$\overline{\text{ALERT}}$ レジスタ

アドレス：**0x3**、リセット：0x0000、レジスタ名：**$\overline{\text{ALERT}}$**

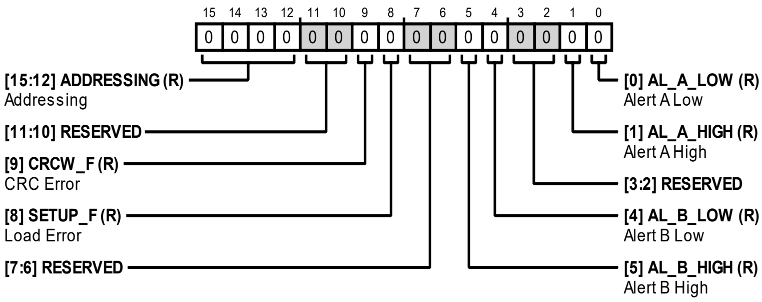


表 18. $\overline{\text{ALERT}}$ のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書込みコマンドが CRC エラーのために失敗したことを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：CRC エラーなし。 1：CRC エラー。	0x0	R
8	SETUP_F	ロード・エラーSETUP_F ビットは、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、$\overline{\text{ALERT}}$ レジスタの読出し時にはクリアされません。このビットをクリアし、デバイス・セットアップを再起動するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
5	AL_B_HIGH	アラート B ハイ。このアラート指示ハイ・ビットは、ADC B の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート指示。 0：アラート指示なし。	0x0	R
4	AL_B_LOW	アラート B ロー。このアラート指示ロー・ビットは、ADC B の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート指示。 0：アラート指示なし。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	AL_A_HIGH	アラート A ハイ。このアラート指示ハイ・ビットは、ADC A の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート指示なし。 1：アラート指示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート指示ロー・ビットは、ADC A の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート指示。 0：アラート指示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス：**0x4**、リセット：**0x0800**、レジスタ名：**ALERT_LOW_THRESHOLD**

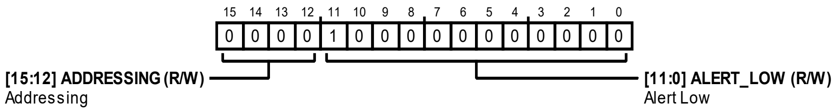


表 19. ALERT_LOW_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOW のビット［D11:D0］は、このアラート・ロー・レジスタ内の MSB（ビット［D15:D4］）に移動します。残りのビット［D3:D0］は 0x0 に固定され、変換結果が ALERT_LOW_THRESHOLD を下回った場合にアラートをセットし、変換結果が ALERT_LOW_THRESHOLD を上回るとアラートを解除します。	0x800	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス：**0x5**、リセット：**0x07FF**、レジスタ名：**ALERT_HIGH_THRESHOLD**

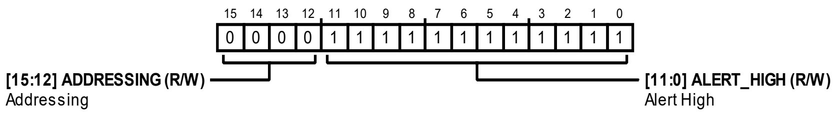


表 20. ALERT_HIGH_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット［15:12］によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH のビット［D11:D0］は、このアラート・ハイ・レジスタ内の MSB（ビット［D15:D4］）に移動します。残りのビット［D3:D0］は 0xF に固定され、変換結果が ALERT_HIGH_THRESHOLD を上回るとにアラートをセットし、変換結果が ALERT_HIGH_THRESHOLD を下回るとアラートを解除します。	0x7FF	R/W

外形寸法

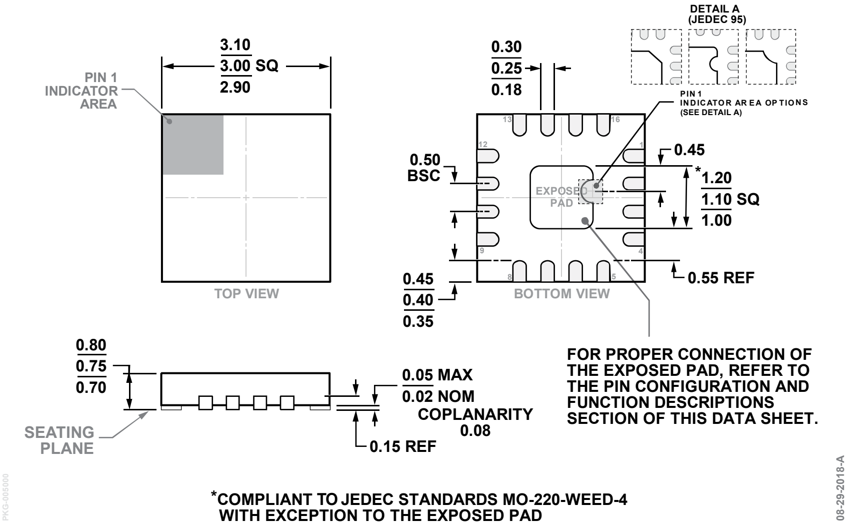


図 47. 16 ピン・リードフレーム・チップ・スケール・パッケージ［LFCSP］
3mm × 3mm ボディ、0.75mm パッケージ高
（CP-16-45）
寸法：mm

オーダー・ガイド

Model[1, 2]	Resolution	Throughput Rate	Temperature Range	Package Description	Package Option	Marking Code
AD4682BCPZ-RL	16-Bit	1 MSPS	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CAN
AD4682BCPZ-RL7	16-Bit	1 MSPS	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CAN
AD4683BCPZ-RL	16-Bit	500 kSPS	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CAP
AD4683BCPZ-RL7	16-Bit	500 kSPS	−40°C to +125°C	16-Lead LFCSP	CP-16-45	CAP
EVAL-AD7383FMCZ				AD7383 Evaluation Board		

[1] Z = RoHS 準拠製品
[2] AD4682 と AD4683 の評価には、EVAL-AD7383FMCZ を使用してください。