



14 ビット、1300 MSPS/625 MSPS の JESD204B 対応 デュアル A/D コンバータ

データシート

AD9695

特長

JESD204B (サブクラス 1) コーディング・シリアル・デジタル出力

最大 16 Gbps のレーン・レート

全消費電力: 1.6 W (1300 MSPS 時)

ADC チャンネルあたり 800 mW

S/N 比 = 65.6 dBFS (172 MHz、入力範囲: 1.59 Vp-p)

SFDR = 78 dBFS (172.3 MHz、入力範囲: 1.59 Vp-p)

ノイズ密度

-153.9 dBFS/Hz (入力範囲: 1.59 Vp-p)

-155.6 dBFS/Hz (入力範囲: 2.04 Vp-p)

動作電源電圧: 0.95 V、1.8 V、2.5 V

ノー・ミス・コード

内部 ADC 電圧リファレンス

柔軟な入力範囲

1.36 Vp-p ~ 2.04 Vp-p (代表値 1.59 Vp-p)

アナログ入力フルパワー帯域幅: 2 GHz

チャンネル・アイソレーション/クロストーク: > 95 dB

振幅検出ビットによる効率的な AGC 実装

ADC チャンネルあたり 2 個のデジタル・ダウンコンバータ

内蔵

48 ビット NCO

プログラマブルなデシメーション・レート

差動クロック入力

SPI 制御

2 分周および 4 分周のインテジャー・クロック

柔軟な JESD204B レーン構成

オンチップのディザリングにより小信号の直線性を改善

アプリケーション

通信

ダイバーシティ・マルチバンドおよびマルチ・モード・デジタル・レシーバー

3G/4G、TD-SCDMA、WCDMA、GSM、LTE

汎用ソフトウェア無線

超広帯域衛星レシーバー

計測器

オシロスコープ

スペクトラム・アナライザ

ネットワーク・アナライザ

統合 RF テスト・ソリューション

レーダー

電子支援手段、電子対抗手段、対電子妨害対抗手段

高速データ・アキュイジション・システム

DOCSIS 3.0 CMTS アップストリーム・レシーブ・パス

HFC (光同軸ハイブリッド) デジタル・リパース・パス

レシーバー

広帯域デジタル・プリディストーション

機能ブロック図

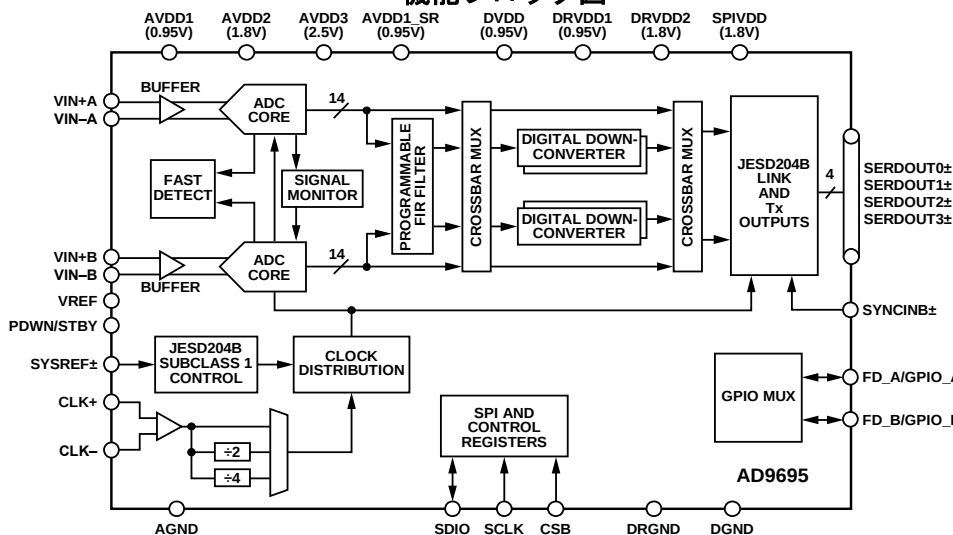


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....1

アプリケーション1

機能ブロック図.....1

改訂履歴.....3

概要.....4

製品のハイライト4

仕様.....5

DC 仕様5

AC 仕様 - 1300 MSPS.....6

AC 仕様 - 625 MSPS.....8

デジタル仕様.....9

スイッチング仕様.....10

タイミング仕様.....11

絶対最大定格13

熱特性.....13

ESD に関する注意13

ピン配置およびピン機能説明14

代表的な性能特性16

1300 MSPS16

625 MSPS21

等価回路.....25

動作原理.....27

ADC のアーキテクチャ.....27

アナログ入力に関する考慮事項27

電圧リファレンス.....30

DC オフセットのキャリブレーション30

クロック入力に関する考慮事項30

パワーダウン／スタンバイ・モード33

温度ダイオード33

ADC オーバーレンジと高速検出34

ADC オーバーレンジ.....34

高速閾値検出（FD_A および FD_B）34

ADC のアプリケーション・モードと JESD204B Tx コンバータ・マッピング35

プログラマブル FIR（有限インパルス応答）フィルタ37

対応しているモード.....37

プログラミング方法.....39

デジタル・ダウンコンバータ（DDC）42

DDC 入力の I/Q 選択42

DDC 出力の I/Q 選択42

DDC の概要42

DDC の周波数変換45

DDC デシメーション・フィルタ53

DDC ゲイン段60

DDC の複素数から実数への変換.....61

DDC ミックスド・デシメーション設定.....62

DDC 構成例64

信号モニタ67

SPORT Over JESD204B68

デジタル出力.....70

JESD204B インターフェースの概要70

JESD204B の概要.....70

機能の概要.....71

JESD204B リンクの確立71

物理層（ドライバ）出力.....73

AD9695 のデジタル・インターフェースのセットアップ74

確定的遅延.....80

サブクラス 0 動作.....80

サブクラス 1 動作.....80

マルチチップ同期.....82

ノーマル・モード.....82

タイムスタンプ・モード.....82

SYSREF± 入力.....84

SYSREF± セットアップ／ホールド・ウィンドウのモニタ ...86

遅延.....88

エンド to エンドの合計遅延88

遅延計算例.....88

LMFC 基準遅延.....88

テスト・モード.....90

ADC テスト・モード90

JESD204B ブロック・テスト・モード.....91

シリアル・ポート・インターフェース（SPI）93

SPI を使用する構成設定93

ハードウェア・インターフェース93

SPI からアクセスできる機能93

メモリ・マップ94

メモリ・マップ・レジスタ・テーブルの読出し.....94

メモリ・マップ・レジスタ95

アプリケーション情報133

電源の推奨事項133

レイアウトのガイドライン	134	外形寸法.....	135
AVDD1_SR（ピン 57）と AGND_SR（ピン 56 とピン 60）	134	オーダー・ガイド.....	135

改訂履歴

10/2017—Rev. 0 to Rev. A

Changes to Table 5	10
Change to Theory of Operation Section	27
Changes to Table 47	130
Updated Outline Dimensions.....	135

9/2017—Revision 0: Initial Version

概要

AD9695 は、14 ビット、1300 MSPS/625 MSPS のデュアル A/D コンバータ (ADC) です。低消費電力、小型、使いやすさを考慮して設計された、オンチップ・バッファとサンプル&ホールド回路を備えたデバイスです。最大で 2 GHz の広帯域アナログ信号をダイレクト・サンプリングする通信アプリケーションに対応できるように設計されています。この ADC 入力のは -3 dB 帯域幅は 2 GHz です。AD9695 は、広い入力帯域幅、高サンプリング・レート、優れた直線性、低消費電力を小型パッケージで実現できるように最適化されています。

デュアル ADC コアは、マルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC の入力帯域幅は広く、サポートされている多様な入力範囲から選択できます。また、電圧リファレンスを内蔵しているので設計が容易になります。アナログ入力とクロック信号は差動入力です。ADC のデータ出力は、内部でクロスバー・マルチプレクサを通して 4 つのデジタル・ダウンコンバータ (DDC) に接続されています。各 DDC は、48 ビット周波数変換器 (数値制御発振器 (NCO)) とデシメーション・フィルタの、複数の信号処理段で構成されています。NCO では、汎用入出力 (GPIO) ピンを使用して最大 16 のプリセット帯域を選択するか、コヒーレントな高速周波数ホッピング・メカニズムを使用して帯域を選択します。DDC モード間の AD9695 の動作は、SPI でプログラム可能なプロファイルを紹介して選択できます。

AD9695 は、DDC ブロックの他に、通信用レーザバー内に自動ゲイン制御 (AGC) 機能を簡素化する複数の機能を備えています。プログラマブル閾値検出器により、ADC のレジスタ 0x0245 の高速検出コントロール・ビットを使って入力信号の電力をモニタすることができます。入力信号レベルがプログラマブル閾値を超えると、高速検出インジケータがハイ・レベルになります。この閾値インジケータは遅延が小さいため、短時間でシステム・ゲインを下げて ADC 入力でのオーバーレンジ状態を回避す

ることができます。AD9695 は、高速検出出力に加え、信号モニタリング機能も備えています。信号モニタ・ブロックは、ADC でデジタル化される信号に関する追加情報を提供します。

サブクラス 1 JESD204B に基づく高速シリアル出力は、DDC の構成と受信ロジック・デバイスの許容レーン・レートに応じて、1 レーン、2 レーン、4 レーンのいずれかのレーン構成にすることができます。マルチデバイス同期は、SYSREF $\pm$ 入力ピンと SYNCINB $\pm$ 入力ピンを通してサポートされています。

AD9695 には、必要に応じて大幅な省電力を可能にする柔軟なパワーダウン・オプションがあります。これらの機能はすべて 3 線式シリアル・ポート・インターフェース (SPI) や PDWN/STBY ピンを使ってプログラムできます。

AD9695 は鉛フリーの 64 ピン LFCSP パッケージで提供され、-40 °C ~ +105 °C のジャンクション温度範囲で仕様規定されています。本製品は 1 つまたは複数の米国特許または国際特許で保護されています。

このデータシートでは、FD_A/GPIO_A0 などの多機能ピンについてはピン名全体を表記しますが、特定の機能のみが該当するところでは、FD_A のように 1 つのピン名のみを表記しています。

製品のハイライト

1. チャンネルあたりの消費電力が少ない。
2. 最大 16 Gbps の JE48204 B 対応レーン・レート。
3. フルパワー帯域幅が広く、最大 2 GHz までの信号の中間周波数 (IF) サンプリングに対応。
4. バッファ入力により、フィルタの設計と実装が容易。
5. 内蔵の 4 個の広帯域デシメーション・フィルタと NCO ブロックにより、マルチバンド・レーザバーをサポート。
6. プログラマブルな高速オーバーレンジ検出。
7. システム温度管理用のオンチップ温度ダイオード。

仕様

DC 仕様

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS (AD9695-625 速度グレード)、サンプリング・レート = 1300 MSPS (AD9695-1300 速度グレード)、DCS オン (AD9695-1300 速度グレード)、DCS オフ (AD9695-625 速度グレード)。最大と最小の仕様は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 35^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-625 速度グレード) および $T_J = 40^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-1300 速度グレード) での性能を表します。

表 1.

Parameter	1300 MSPS			625 MSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	14			14			Bits
ACCURACY							
No Missing Codes		Guaranteed			Guaranteed		
Offset Error ¹		5			5		Codes
Offset Matching	-0.48	0	+0.48	-0.25	0	+0.25	% FSR
Gain Error	-2.9	±1	+2.9	-2.6	±2.22	+2.6	% FSR
Gain Matching	-2.64	±0.18	+2.64	-2.5	±0.18	+2.5	% FSR
Differential Nonlinearity (DNL)	-0.7		0.8	-0.8		+0.8	LSB
Integral Nonlinearity (INL)	-7	±1	5	-5	±2	+5	LSB
TEMPERATURE DRIFT							
Offset Error		±9			±6		ppm/°C
Gain Error		69			123		ppm/°C
INTERNAL VOLTAGE REFERENCE							
Voltage		0.5			0.5		V
INPUT-REFERRED NOISE		3.8			2.7		LSB rms
ANALOG INPUTS							
Differential Input Voltage Range	1.36	1.59	2.04	1.36	1.7	2.04	V p-p
Common-Mode Voltage (V_{CM})		1.41			1.41		V
Differential Input Resistance		200			200		Ω
Differential Input Capacitance		1.75			1.75		pF
Analog Full-Power Bandwidth		2			2		GHz
POWER SUPPLY							
AVDD1	0.93	0.95	0.98	0.93	0.95	0.98	V
AVDD2	1.71	1.8	1.89	1.71	1.8	1.89	V
AVDD3	2.44	2.5	2.56	2.44	2.5	2.56	V
AVDD1_SR	0.93	0.95	0.98	0.93	0.95	0.98	V
DVDD	0.93	0.95	0.98	0.93	0.95	0.98	V
DRVDD1	0.93	0.95	0.98	0.93	0.95	0.98	V
DRVDD2	1.71	1.8	1.89	1.71	1.8	1.89	V
SPIVDD ²	1.71	1.8	1.89	1.71	1.8	1.89	V
I_{AVDD1}		304	383		182	257	mA
I_{AVDD2}		450	500		267	292	mA
I_{AVDD3}		55	61		29	35	mA
I_{AVDD1_SR}		15	27		9	15	mA
I_{DVDD}		218	400		103	293	mA
I_{DRVDD1} ³		146	229		103	176	mA
I_{DRVDD2}		25	29		28	35	mA
I_{SPIVDD}		2	5		2	5	mA
POWER CONSUMPTION							
Total Power Dissipation (Including Output Drivers) ⁴	1.39	1.6	2	0.86	0.98	1.35	W
Power-Down Dissipation		215			200		mW
Standby ⁵		890			740		mW

¹ DC オフセットのキャリブレーションはオンになっています (レジスタ 0x0701 のビット 7 = 1、レジスタ 0x073B のビット 7 = 0)。

² SPIVDD のレールと DRVDD2 のレールの電圧レベルは同じでなければなりません。

³ すべてのレーンを使用。DRVDD の消費電力は、レーン・レートと使用レーン数によって異なります。

⁴ デフォルト・モード。DDC 未使用。

⁵ SPI により制御可能。

AC 仕様 - 1300 MSPS

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、サンプリング・レート = 1300 MSPS、DCS オン、バッファ電流設定は表 11 に示すとおり。最大と最小の仕様は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 40^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-1300 速度グレード) での性能を表します。

表 2.

Parameter ¹	Analog Input Full Scale = 1.36 V p-p			Analog Input Full Scale = 1.59 V p-p			Analog Input Full Scale = 2.04 V p-p			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ANALOG INPUT FULL SCALE		1.36			1.59			2.04		V p-p
NOISE DENSITY ²		-152.6			-153.9			-155.6		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR)										
$f_{IN} = 10.3$ MHz		64.4			65.7			67.5		dBFS
$f_{IN} = 172.3$ MHz		64.4		64.5	65.6			67.5		dBFS
$f_{IN} = 340$ MHz		64.3			65.6			67.3		dBFS
$f_{IN} = 750$ MHz		64.0			65.2			66.6		dBFS
$f_{IN} = 1000$ MHz		63.8			64.9			66.1		dBFS
$f_{IN} = 1400$ MHz		63.2			64.2			65.2		dBFS
$f_{IN} = 1700$ MHz		62.7			63.6			64.5		dBFS
$f_{IN} = 1980$ MHz		62.3			63.0			63.9		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)										
$f_{IN} = 10.3$ MHz		64.3			65.4			66.1		dBFS
$f_{IN} = 172.3$ MHz		64.3		64.3	65.4			66.2		dBFS
$f_{IN} = 340$ MHz		64.2			65.3			65.7		dBFS
$f_{IN} = 750$ MHz		63.9			65.0			65.5		dBFS
$f_{IN} = 1000$ MHz		63.6			64.7			65.7		dBFS
$f_{IN} = 1400$ MHz		63.1			63.8			62.9		dBFS
$f_{IN} = 1700$ MHz		62.6			63.4			64.2		dBFS
$f_{IN} = 1980$ MHz		62.1			62.8			61.8		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)										
$f_{IN} = 10.3$ MHz		10.3			10.5			10.6		Bits
$f_{IN} = 172.3$ MHz		10.3		10.3	10.5			10.7		Bits
$f_{IN} = 340$ MHz		10.3			10.5			10.6		Bits
$f_{IN} = 750$ MHz		10.3			10.5			10.5		Bits
$f_{IN} = 1000$ MHz		10.2			10.4			10.6		dBFS
$f_{IN} = 1400$ MHz		10.1			10.3			10.1		dBFS
$f_{IN} = 1700$ MHz		10.1			10.2			10.3		dBFS
$f_{IN} = 1980$ MHz		10.0			10.1			9.9		dBFS
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{IN} = 10.3$ MHz		81			79			73		dBFS
$f_{IN} = 172.3$ MHz		81		74	78			72		dBFS
$f_{IN} = 340$ MHz		80			77			71		dBFS
$f_{IN} = 750$ MHz		83			80			72		dBFS
$f_{IN} = 1000$ MHz		82			81			79		dBFS
$f_{IN} = 1400$ MHz		80			76			67		dBFS
$f_{IN} = 1700$ MHz		80			80			78		dBFS
$f_{IN} = 1980$ MHz		81			79			68		dBFS

Parameter ¹	Analog Input Full Scale = 1.36 V p-p			Analog Input Full Scale = 1.59 V p-p			Analog Input Full Scale = 2.04 V p-p			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
WORST OTHER, EXCLUDING 2 ND OR 3 RD HARMONIC										
$f_{IN} = 10.3 \text{ MHz}$		-96			-94			-101		dBFS
$f_{IN} = 172.3 \text{ MHz}$		-95			-96	-85		-95		dBFS
$f_{IN} = 340 \text{ MHz}$		-98			-99			-98		dBFS
$f_{IN} = 750 \text{ MHz}$		-95			-95			-92		dBFS
$f_{IN} = 1000 \text{ MHz}$		-96			-93			-91		dBFS
$f_{IN} = 1400 \text{ MHz}$		-90			-89			-86		dBFS
$f_{IN} = 1700 \text{ MHz}$		-91			-90			-84		dBFS
$f_{IN} = 1980 \text{ MHz}$		-90			-90			-77		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD), AIN1 AND AIN2 = -7.0 dBFS										
$f_{IN1} = 170.8 \text{ MHz}, f_{IN2} = 173.8 \text{ MHz}$		-84			-84			-83		dBFS
$f_{IN1} = 343.5 \text{ MHz}, f_{IN2} = 346.5 \text{ MHz}$		-83			-82			-81		dBFS
CROSSTALK ³		>95			>95			>95		dB
Overrange Condition ⁴		>95			>95			>95		dB
ANALOG INPUT BANDWIDTH, FULL POWER ⁵		2			2			2		GHz

¹ このテストの実施条件と詳細については、アプリケーション・ノート AN-835 高速 A/D コンバータ (ADC) のテストと評価についてを参照してください。

² ノイズ密度は、低アナログ入力周波数 (10 MHz) で測定。

³ クロストークは、10 MHz、-1.0 dBFS アナログ入力 (1 チャンネル)、隣接チャンネルの入力なしの状態での測定。

⁴ オーバーレンジ条件は、フル・スケール入力範囲の 3 dB で規定されます。

⁵ フルパワー帯域幅は、所定の ADC 性能が得られる動作帯域幅です。

AC 仕様 - 625 MSPS

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS、DCS オフ、表 11 に示すバッファ電流設定。最大と最小の仕様は、 -40°C ~ $+105^{\circ}\text{C}$ の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 35^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-625 速度グレード) での性能を表します。

表 3.

Parameter ¹	Analog Input Full Scale = 1.36 V p-p			Analog Input Full Scale = 1.7 V p-p			Analog Input Full Scale = 2.04 V p-p			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ANALOG INPUT FULL SCALE		1.36			1.7			2.04		V p-p
NOISE DENSITY ²		-150.5			-152.3			-153.5		dBFS/Hz
SIGNAL-TO-NOISE RATIO (SNR)										
$f_{IN} = 10.3$ MHz		65.5			67.3			68.6		dBFS
$f_{IN} = 172.3$ MHz		65.4		65.5	67.2			68.5		dBFS
$f_{IN} = 340$ MHz		65.4			67.1			68.3		dBFS
$f_{IN} = 750$ MHz		65.0			66.6			67.7		dBFS
$f_{IN} = 1000$ MHz		64.8			66.3			67.3		dBFS
SIGNAL-TO-NOISE-AND-DISTORTION RATIO (SINAD)										
$f_{IN} = 10.3$ MHz		65.5			66.9			67.2		dBFS
$f_{IN} = 172.3$ MHz		65.4		66.3	67.0			68.0		dBFS
$f_{IN} = 340$ MHz		65.2			67.0			67.9		dBFS
$f_{IN} = 750$ MHz		64.9			65.4			67.0		dBFS
$f_{IN} = 1000$ MHz		64.6			65.0			67.0		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)										
$f_{IN} = 10.3$ MHz		10.6			10.8			10.9		Bits
$f_{IN} = 172.3$ MHz		10.6		10.6	10.8			11.0		Bits
$f_{IN} = 340$ MHz		10.5			10.8			11.0		Bits
$f_{IN} = 750$ MHz		10.5			10.6			10.8		Bits
$f_{IN} = 1000$ MHz		10.4			10.5			10.8		Bits
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{IN} = 10.3$ MHz		88			79			74		dBFS
$f_{IN} = 172.3$ MHz		88		75	89			78		dBFS
$f_{IN} = 340$ MHz		79			80			77		dBFS
$f_{IN} = 750$ MHz		83			84			77		dBFS
$f_{IN} = 1000$ MHz		85			83			82		dBFS
WORST OTHER, EXCLUDING 2 ND OR 3 RD HARMONIC										
$f_{IN} = 10.3$ MHz		-100			-101			-99		dBFS
$f_{IN} = 172.3$ MHz		-101			-97	-90		-99		dBFS
$f_{IN} = 340$ MHz		-100			-102			-98		dBFS
$f_{IN} = 750$ MHz		-98			-98			-100		dBFS
$f_{IN} = 1000$ MHz		-100			-98			-100		dBFS
TWO-TONE INTERMODULATION DISTORTION (IMD), A_{IN1} AND $A_{IN2} = -7.0$ dBFS										
$f_{IN1} = 170.8$ MHz, $f_{IN2} = 173.8$ MHz		-88			-88			-83		dBFS
$f_{IN1} = 343.5$ MHz, $f_{IN2} = 346.5$ MHz		-89			-89			-84		dBFS
CROSSTALK ³		>95			>95			>95		dB
Overrange Condition ⁴		>95			>95			>95		dB

Parameter ¹ ANALOG INPUT BANDWIDTH, FULL POWER ⁵	Analog Input Full Scale = 1.36 V p-p			Analog Input Full Scale = 1.7 V p-p			Analog Input Full Scale = 2.04 V p-p			Unit GHz
	Min	Typ 2	Max	Min	Typ 2	Max	Min	Typ 2	Max	

¹ このテストの実施条件と詳細については、アプリケーション・ノート AN-835 高速 A/D コンバータ（ADC）のテストと評価についてを参照してください。

² ノイズ密度は、低アナログ入力周波数（10 MHz）で測定。

³ クロストークは、10 MHz、−1.0 dBFS アナログ入力（1 チャンネル）、隣接チャンネルの入力なしの状態 で測定。

⁴ オーバーレンジ条件は、フル・スケール入力範囲の 3 dB で規定されます。

⁵ フルパワー帯域幅は、所定の ADC 性能が得られる動作帯域幅です。

デジタル仕様

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、A_{IN} = −1.0 dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS（AD9695-625 速度グレード）、サンプリング・レート = 1300 MSPS（AD9695-1300 速度グレード）、DCS オン（AD9695-1300 速度グレード）、DCS オフ（AD9695-625 速度グレード）。最大と最小の仕様は、−40 °C ~ +105 °C の動作ジャンクション温度（T_J）の全範囲で確保されています。代表仕様は、T_J = 35 °C（T_A = 25 °C、AD9695-625 速度グレード）および T_J = 40 °C（T_A = 25 °C、AD9695-1300 速度グレード）での性能を表します。

表 4.

Parameter	Min	Typ	Max	Unit
CLOCK INPUTS (CLK+, CLK−)				
Logic Compliance		LVDS/LVPECL		
Differential Input Voltage	400	800	1600	mV p-p
Input Common-Mode Voltage		0.65		V
Input Resistance (Differential)		32		kΩ
Input Capacitance (Differential)			0.9	pF
SYSREF INPUTS (SYSREF+, SYSREF−)				
Logic Compliance		LVDS/LVPECL		
Differential Input Voltage	400	800	1800	mV p-p
Input Common-Mode Voltage		0.65	2	V
Input Resistance (Differential)		18		kΩ
Input Capacitance (Differential)		1		pF
LOGIC INPUTS (SDIO, SCLK, CSB, PDWN/STBY, FD_A/GPIO_A0, FD_B/GPIO_B0)				
Logic Compliance		CMOS		
Logic 1 Voltage	0.75 × SPIVDD			V
Logic 0 Voltage	0		0.35 × SPIVDD	V
Input Resistance		30		kΩ
LOGIC OUTPUT (SDIO, FD_A, FD_B)				
Logic Compliance		CMOS		
Logic 1 Voltage (I _{OH} = 4 mA)	SPIVDD − 0.45			V
Logic 0 Voltage (I _{OL} = 4 mA)	0		0.45	V
SYNCIN INPUTS (SYNCINB−, SYNCINB+)				
Logic Compliance		LVDS/LVPECL/CMOS		
Differential Input Voltage	400	800	1800	mV p-p
Input Common-Mode Voltage		0.65	2	V
Input Resistance (Differential)		18		kΩ
Input Capacitance (Single-Ended per Pin)		1		pF
DIGITAL OUTPUTS (SERDOUTx±, x = 0 TO 3)				
Logic Compliance		SST		
Differential Output Voltage	360	520	770	mV p-p
Differential Termination Impedance	80	100	1200	Ω

スイッチング仕様

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS (AD9695-625 速度グレード)、サンプリング・レート = 1300 MSPS (AD9695-1300 速度グレード)、DCS オン (AD9695-1300 速度グレード)、DCS オフ (AD9695-625 速度グレード)。最大と最小の仕様は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 35^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-625 速度グレード) および $T_J = 40^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-1300 速度グレード) での性能を表します。

表 5.

Parameter	1300 MSPS			625 MSPS			Unit
	Min	Typ	Max	Min	Typ	Max	
CLOCK							
Clock Rate (at CLK+/CLK− Pins)	0.24		2.8	0.24		2.8	GHz
Maximum Sample Rate ¹	1400			640			MSPS
Minimum Sample Rate ²	240			240			MSPS
Clock Pulse Width ³							
High	156.25			156.25			ps
Low	156.25			156.25			ps
OUTPUT PARAMETERS							
Unit Interval (UI) ⁴	62.5	76.9		62.5	160		ps
Rise Time (t _R) (20% to 80% into 100 Ω Load)		28			28		ps
Fall Time (t _F) (20% to 80% into 100 Ω Load)		28			28		ps
Phase-Locked Loop (PLL) Lock Time		5			5		ms
Data Rate per Channel (NRZ) ⁵	1.6875	13	16	1.6875	6.25	16	Gbps
LATENCY ⁶							
Pipeline Latency		56			56		Clock cycles
Fast Detect Latency		26			26		Clock cycles
Wake-Up Time ⁷							
Standby		400			400		us
Power-Down		15			15		ms
APERTURE							
Aperture Delay (t _A)		192			159.5		ps
Aperture Uncertainty (Jitter, t _j)		43			49.2		fs rms
Out of Range Recovery Time		1			1		Clock cycles

¹ 最大サンプリング・レートは分周後のクロック・レートです。

² 最小サンプリング・レートは 240 MSPS となります。クロック検出回路の閾値を下げるには、SPI レジスタ 0x011A を参照してください。

³ クロック・デューティ・スタビライザ (DCS) オン。DCS をイネーブルするには、SPI レジスタ 0x011C と 0x011E を参照してください。

⁴ ボー・レート = 1/UI。この範囲のサブセットに対応できます。

⁵ デフォルト L = 4。この値は、サンプリング・レートとデシメーション・レシオに基づいて変更できます。

⁶ DDC 未使用。L = 4、M = 2、F = 1。

⁷ ウェイクアップ時間の定義は、パワードOWN・モードから通常動作に復帰するまでに必要な時間です。

タイミング仕様

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CLK+ to SYSREF+ TIMING REQUIREMENTS	See Figure 3				
t_{SU_SR}	Device clock to SYSREF+ setup time		-70		ps
t_{H_SR}	Device clock to SYSREF+ hold time		120		ps
SPI TIMING REQUIREMENTS	See Figure 4				
t_{DS}	Setup time between the data and the rising edge of SCLK	4			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	Minimum period that SCLK must be in a logic high state	10			ns
t_{LOW}	Minimum period that SCLK must be in a logic low state	10			ns
t_{ACCESS}	Maximum time delay between falling edge of SCLK and output data valid for a read operation		6	10	ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the CSB rising edge (not shown in Figure 4)	10			ns

タイミング図

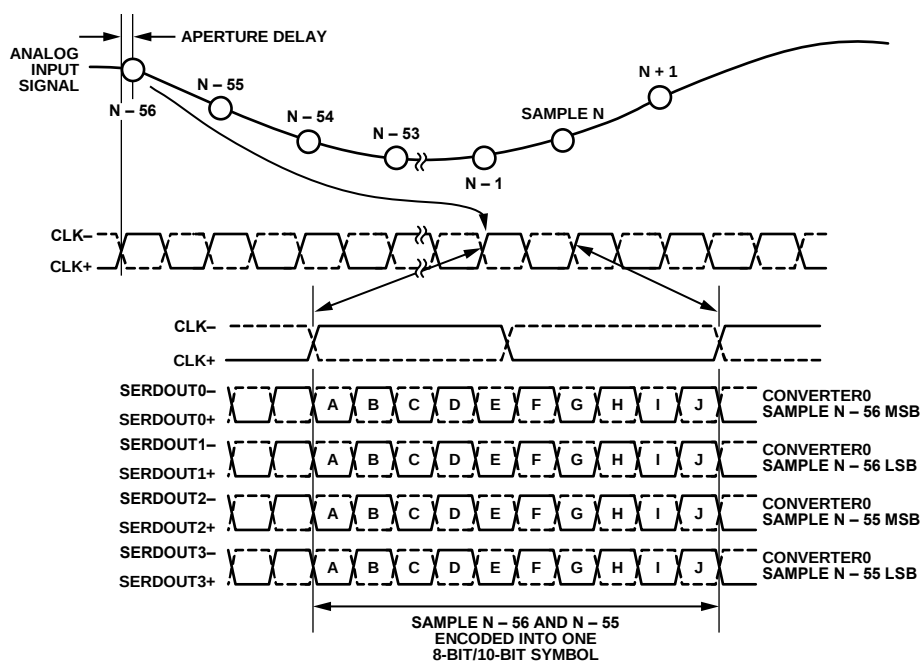


図 2. データ出力のタイミング図

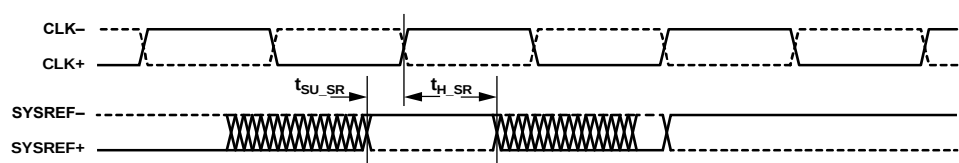


図 3. SYSREF± のセットアップおよびホールドのタイミング図

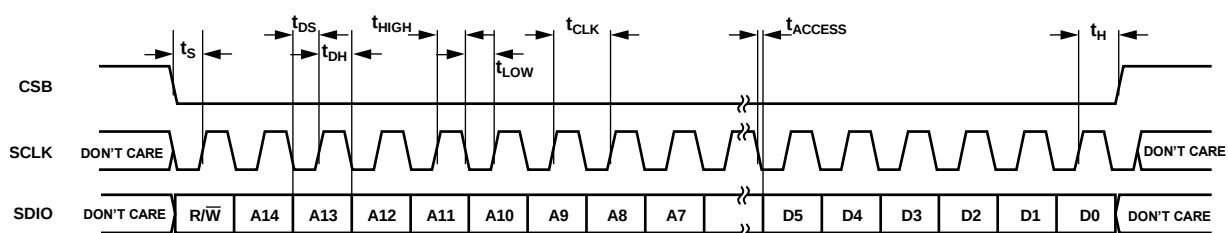


図 4. SPI タイミング仕様

15660-104

絶対最大定格

表 7.

Parameter	Rating
Electrical	
AVDD1 to AGND	1.05 V
AVDD1_SR to AGND	1.05 V
AVDD2 to AGND	2.00 V
AVDD3 to AGND	2.70 V
DVDD to DGND	1.05 V
DRVDD1 to DRGND	1.05 V
DRVDD2 to DRGND	2.00 V
SPIVDD to DGND	2.00 V
AGND to DRGND	−0.3 V to +0.3 V
AGND to DGND	−0.3 V to +0.3 V
DGND to DRGND	−0.3 V to +0.3 V
VIN±x to AGND	AGND − 0.3 V to AVDD3 + 0.3 V
CLK± to AGND	AGND − 0.3 V to AVDD1 + 0.3 V
SCLK, SDIO, CSB to DGND	DGND − 0.3 V to SPIVDD + 0.3 V
PDWN/STBY to DGND	DGND − 0.3 V to SPIVDD + 0.3 V
SYSREF± to AGND	2.5 V
SYNCINB± to DRGND	2.5 V
Junction Temperature Range (T _J)	−40°C to +125°C
Storage Temperature Range, Ambient (T _A)	−65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

θ_{JA} 、 θ_{JB} 、 θ_{JC} の代表値は、さまざまな空気流速速度（単位: m/sec）でのプリント回路基板（PCB）の層数に対して仕様規定されます。空気流があると放熱効果が向上し、 θ_{JA} と θ_{JB} が実質的に小さくなります。また、金属パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからのパッケージ・ピンおよび露出パッドへ直接接触する金属が増えると、 θ_{JA} が小さくなります。実際のアプリケーションで所定の熱性能を発揮するには、アプリケーションでの条件について注意深く観察することが必要です。温度を適切に管理して、ジャンクション温度が表 7 に示す制限値を超えないようにすることを推奨します。

表 8. 熱抵抗

Package Type	Airflow Velocity (m/sec)	$\theta_{JA}^{1,2}$	$\theta_{JC_BOT}^{1,3}$	$\theta_{JC_TOP}^{1,3}$	$\theta_{JB}^{1,4}$	$\theta_{JT}^{1,2}$	Unit
CP-64-17	0	22.5	1.7	7.6	4.3	0.2	°C/W
	1.0	17.9					°C/W
	2.5	16.8					°C/W

¹ JEDEC 51-7 と JEDEC 51-5 2S2P のテスト・ボードに準拠。

² JEDEC JESD51-2（自然空冷）または JEDEC JESD51-6（強制空冷）に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

⁴ JEDEC JESD51-8（自然空冷）に準拠。

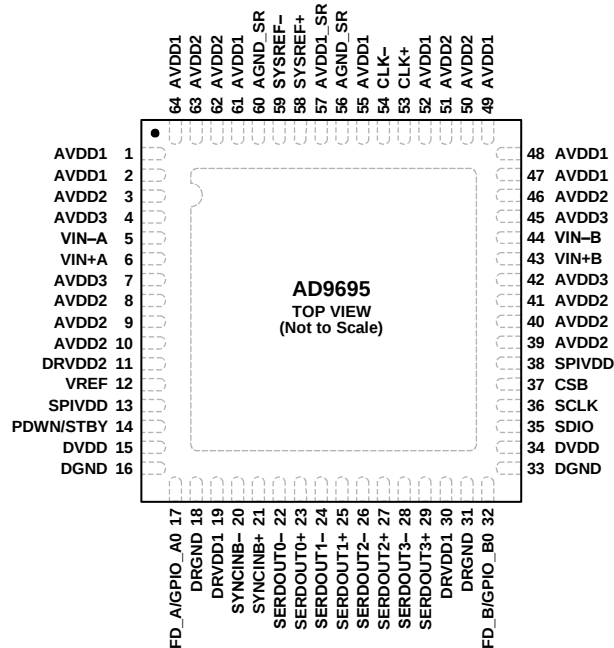
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. ANALOG GROUND. CONNECT THE EXPOSED PAD TO THE ANALOG GROUND PLANE.

15660-005

図 5. ピン配置（上面図）

表 9. ピン機能の説明

Pin No.	Mnemonic	Type	Description
1, 2, 47 to 49, 52, 55, 61, 64	AVDD1	Power supply	アナログ電源（公称 0.95 V）。
3, 8 to 10, 39 to 41, 46, 50, 51, 62, 63	AVDD2	Power supply	アナログ電源（公称 1.8 V）。
4, 7, 42, 45	AVDD3	Power supply	アナログ電源（公称 2.5 V）。
5, 6	VIN-A, VIN+A	Analog input	ADC A アナログ差動入力の -/+。
11	DRVDD2	Power supply	デジタル・ドライバ電源（公称 1.8 V）。
12	VREF	Input/output	リファレンス電圧入力（0.50 V）／接続しないでください。このピンは、SPI を介して「未接続ピン」または「入力」として設定できます。内部リファレンスを使用する場合は、このピンを接続しないでください。外部電圧リファレンス源を使用する場合、このピンには 0.50 V のリファレンス電圧が必要です。
13, 38	SPIVDD	Power supply	SPI 用デジタル電源（公称 1.8 V）。
14	PDWN/STBY	Digital control input	パワーダウン入力（アクティブ・ハイ）。このピンの動作は SPI モードによって異なり、パワーダウンまたはスタンバイとして設定できます。
15, 34	DVDD	Power supply	デジタル電源（公称 0.95 V）。
16, 33	DGND	Ground power supply	デジタル制御グラウンド電源。これらのピンはデジタル・グラウンド・プレーンに接続されています。
17	FD_A/GPIO_A0	CMOS output	チャンネル A の高速検出出力（FD_A）。汎用入出力（GPIO）ピン A0（GPIO_A0）。
32	FD_B/GPIO_B0	CMOS output	チャンネル B の高速検出出力（FD_B）。GPIO ピン B0（GPIO_B0）。
18, 31	DRGND	Ground power supply	デジタル・ドライバ・グラウンド電源。このピンはデジタル・ドライバ・グラウンド・プレーンに接続されています。
19, 30	DRVDD1	Power supply	デジタル・ドライバ電源（公称 0.95 V）。
20	SYNCINB-	Digital input	アクティブ・ローの JESD204B LVDS/CMOS 同期入力の +。
21	SYNCINB+	Digital input	アクティブ・ローの JESD204B LVDS 同期入力の -。
22, 23	SERDOUT0-, SERDOUT0+	Data output	レーン 0 の差動出力データの -/+。
24, 25	SERDOUT1-, SERDOUT1+	Data output	レーン 1 の差動出力データの -/+。

Pin No.	Mnemonic	Type	Description
26, 27	SERDOUT2– SERDOUT2+	Data output	レーン 2 の差動出力データの –/+。
28, 29	SERDOUT3–, SERDOUT3+	Data output	レーン 3 の差動出力データの –/+。
35	SDIO	Digital control input/output	SPI シリアル・データ入出力。
36	SCLK	Digital control input	SPI シリアル・クロック。
37	CSB	Digital control input	SPI チップ・セレクト（アクティブ・ロー）。
43, 44	VIN+B, VIN–B	Analog input	ADC B アナログ差動入力 of +/–。
53, 54	CLK+, CLK–	Analog input	クロック差動入力 of +/–。
56, 60	AGND_SR	Ground power supply	SYSREF± 用グラウンド・リファレンス。
57	AVDD1_SR	Power supply	SYSREF± 用アナログ電源（公称 0.95 V）。
58, 59	SYSREF+, SYSREF– EPAD	Digital input Ground power supply	アクティブ・ハイの JESD204B LVDS システム・リファレンス入力 of –/+。 アナログ・グラウンド。露出パッドはアナログ・グラウンド・プレーンに接続 します。

代表的な性能特性

1300 MSPS

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、AIN = 1.0 dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS (AD9695-625 速度グレード)、サンプリング・レート = 1300 MSPS (AD9695-1300 速度グレード)、DCS オン (AD9695-1300 速度グレード)、DCS オフ (AD9695-625 速度グレード)、表 11 に示すバッファ電流設定、DC オフセット・キャリブレーションをイネーブル。最大と最小の仕様は、-40 °C ~ +105 °C の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 35$ °C ($T_A = 25$ °C、AD9695-625 速度グレード) および $T_J = 40$ °C ($T_A = 25$ °C、AD9695-1300 速度グレード) での性能を表します。

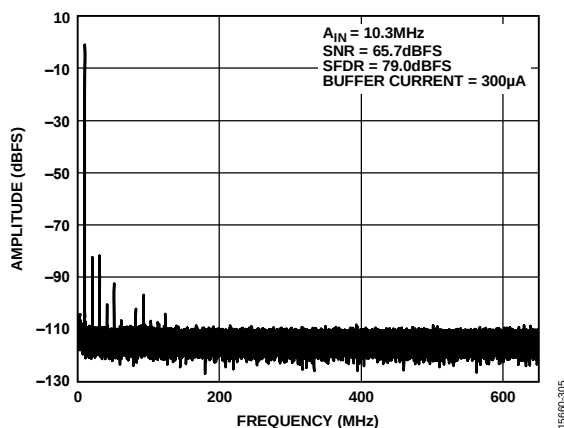


図 6. アナログ入力周波数 (f_{IN}) = 10.3 MHz でのシングルトーン FFT

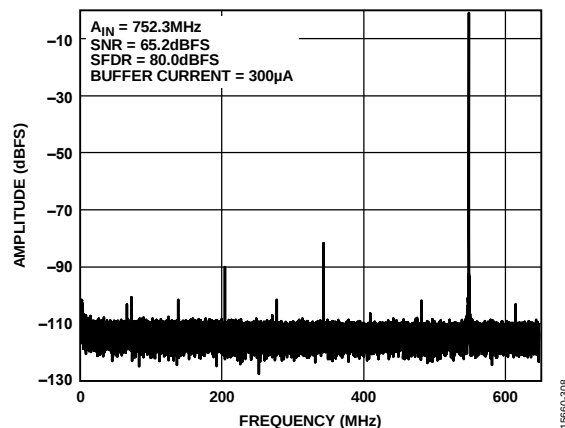


図 9. $f_{IN} = 752.3$ MHz でのシングルトーン FFT

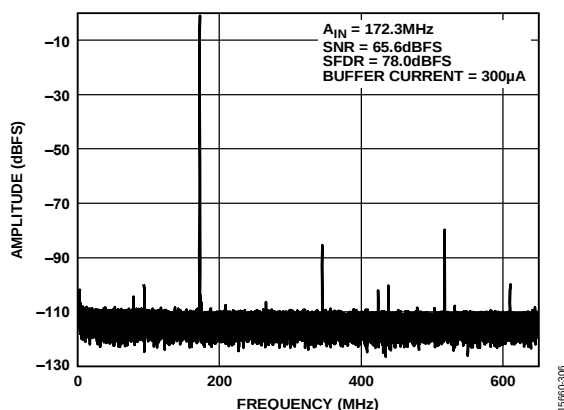


図 7. アナログ入力周波数 (f_{IN}) = 172.3 MHz でのシングルトーン FFT

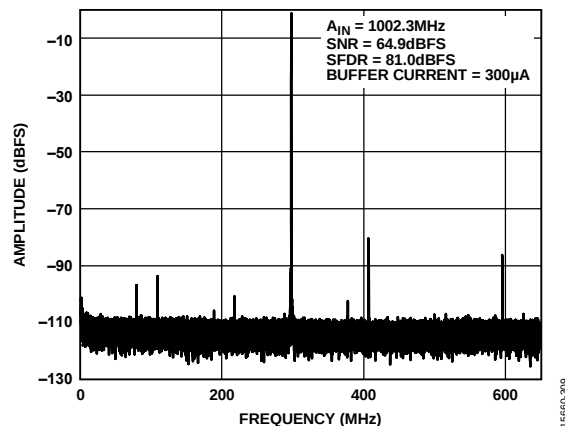


図 10. $f_{IN} = 1002.3$ MHz でのシングルトーン FFT

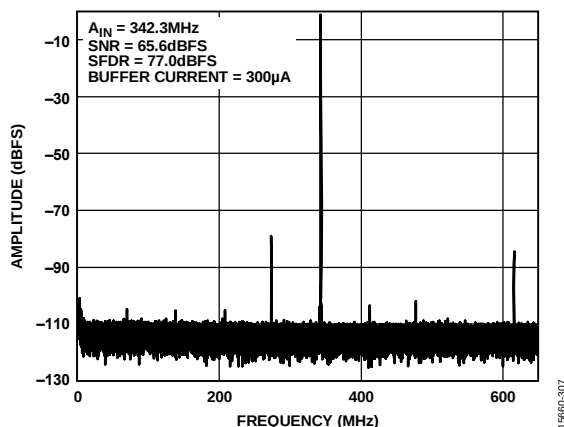


図 8. $f_{IN} = 342.3$ MHz でのシングルトーン FFT

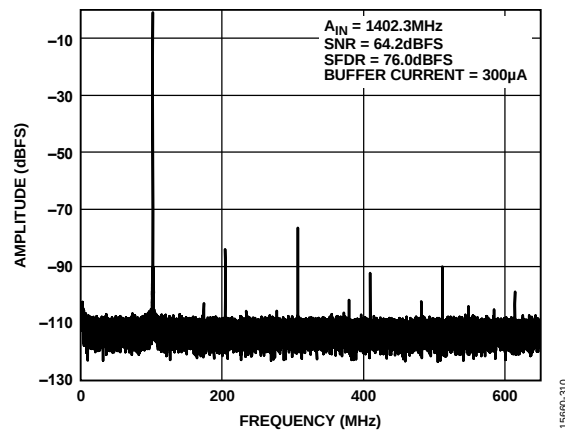


図 11. $f_{IN} = 1402.3$ MHz でのシングルトーン FFT

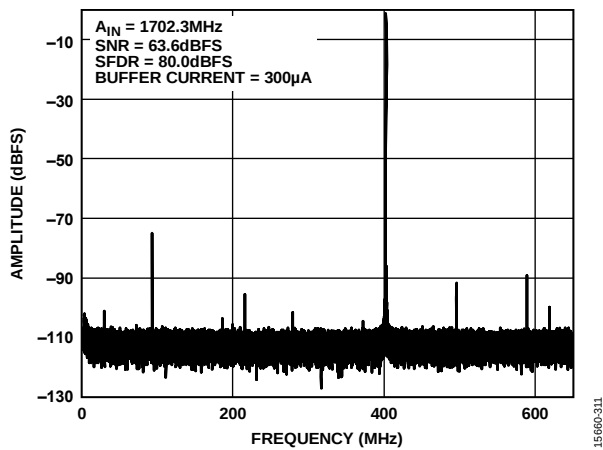


図 12. $f_{IN} = 1702.3$ MHz でのシングルトーン FFT

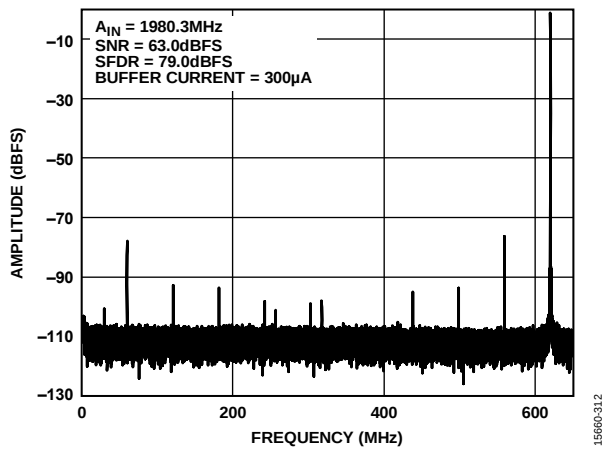


図 13. $f_{IN} = 1980.3$ MHz でのシングルトーン FFT

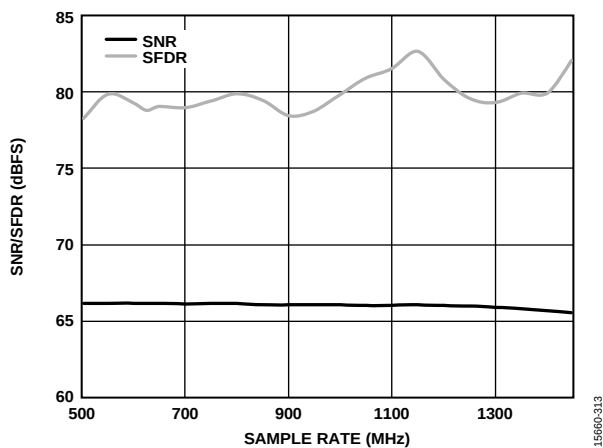


図 14. S/N 比/SFDR とサンプリング・レートの関係
($f_{IN} = 172.3$ MHz)

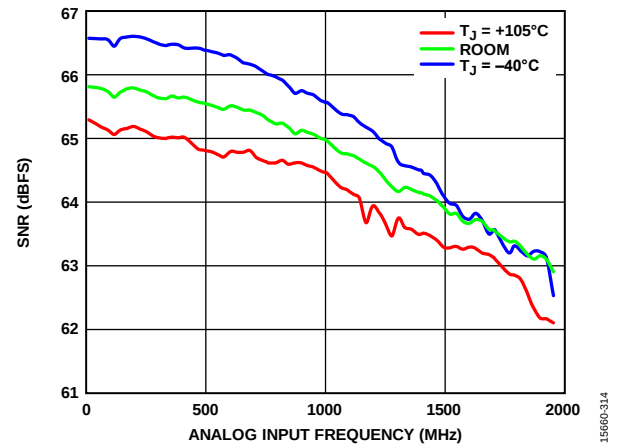


図 15. 最低ジャンクション温度、室温、最高ジャンクション温度での S/N 比とアナログ入力周波数 (f_{IN}) の関係

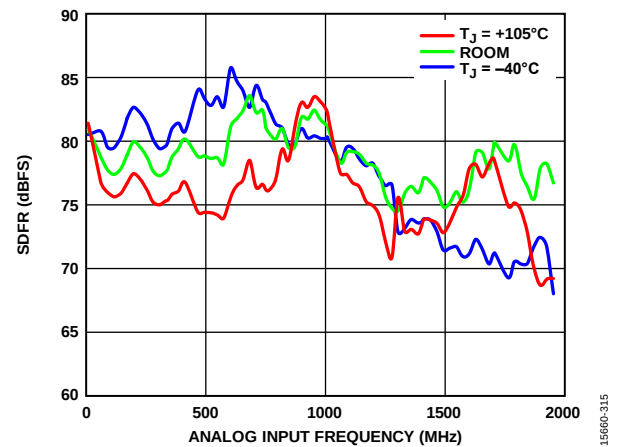


図 16. 最低ジャンクション温度、室温、最高ジャンクション温度での SFDR とアナログ入力周波数 (f_{IN}) の関係

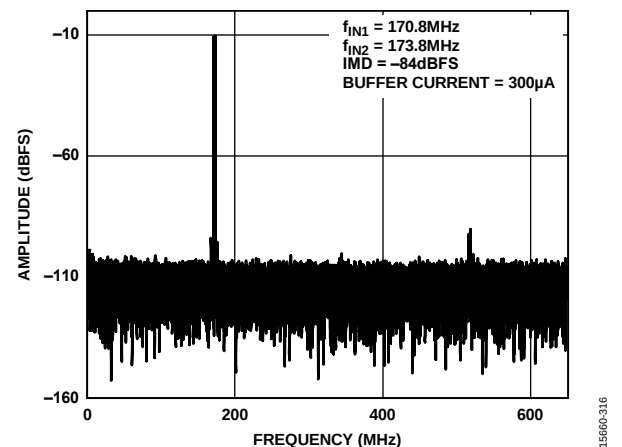


図 17. ツートーン FFT ($f_{IN1} = 170.8$ MHz、 $f_{IN2} = 173.8$ MHz)

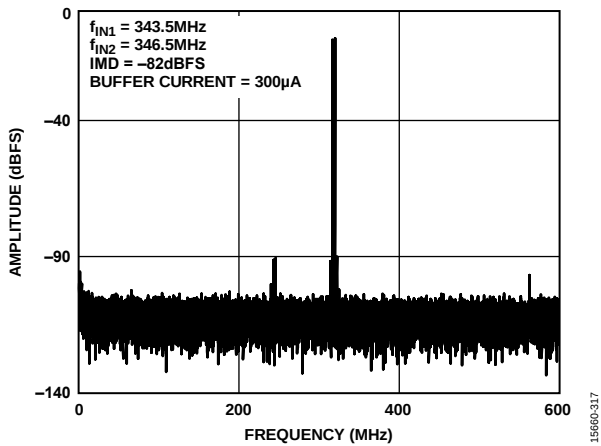


図 18. ツートーン FFT ($f_{IN1} = 343.5 \text{ MHz}$, $f_{IN2} = 346.5 \text{ MHz}$)

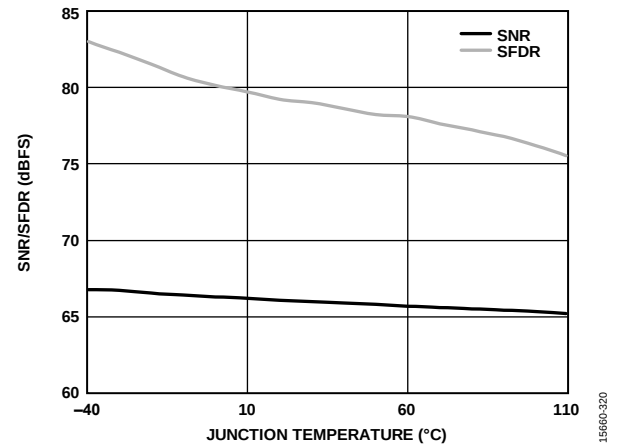


図 21. S/N 比/SFDR とジャンクション温度の関係 ($f_{IN} = 172.3 \text{ MHz}$)

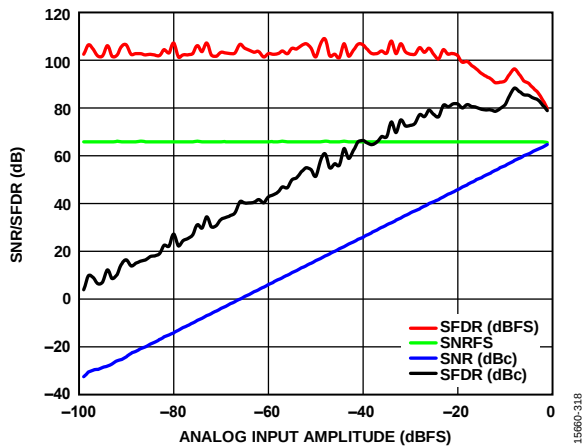


図 19. S/N 比/SFDR とアナログ入力振幅の関係 ($f_{IN} = 172.3 \text{ MHz}$)

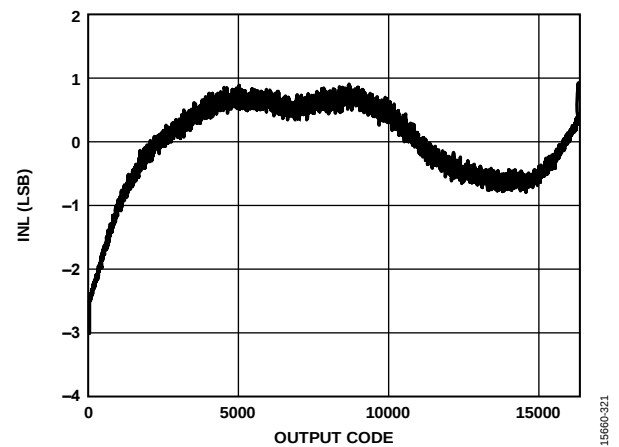


図 22. INL ($f_{IN} = 10.3 \text{ MHz}$)

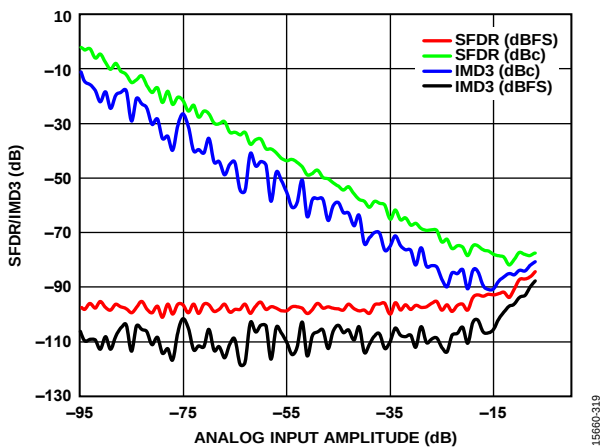


図 20. SFDR/IMD3 とアナログ入力振幅の関係 ($f_{IN} = 172.3 \text{ MHz}$)

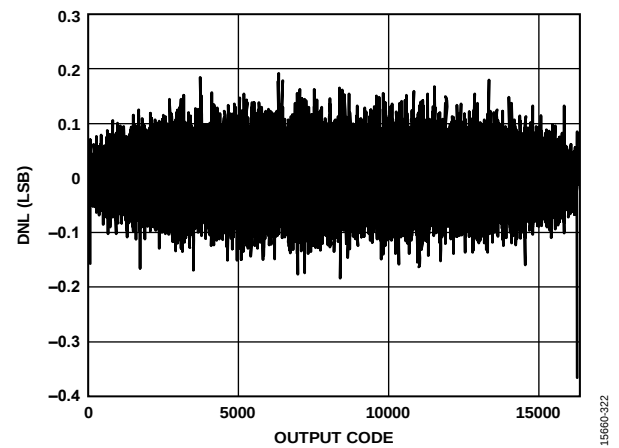


図 23. DNL ($f_{IN} = 10.3 \text{ MHz}$)

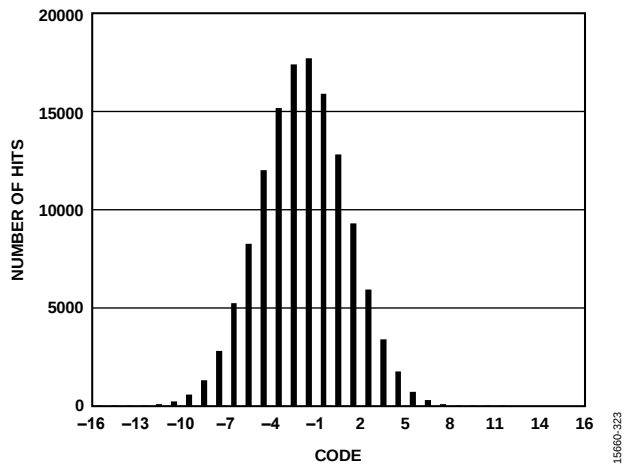


図 24. 入力換算ノイズのヒストグラム

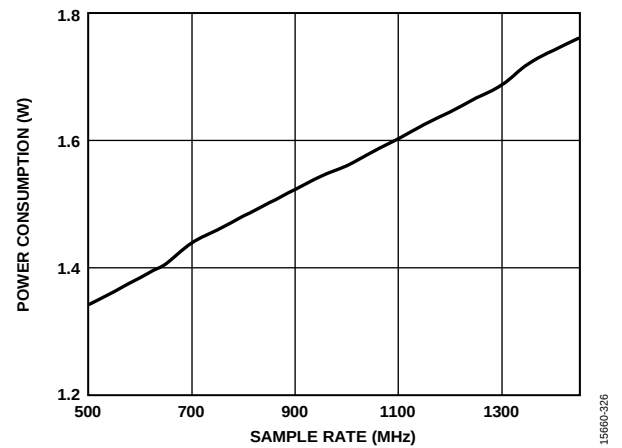


図 27. 全消費電力とサンプリング・レート (f_s) の関係

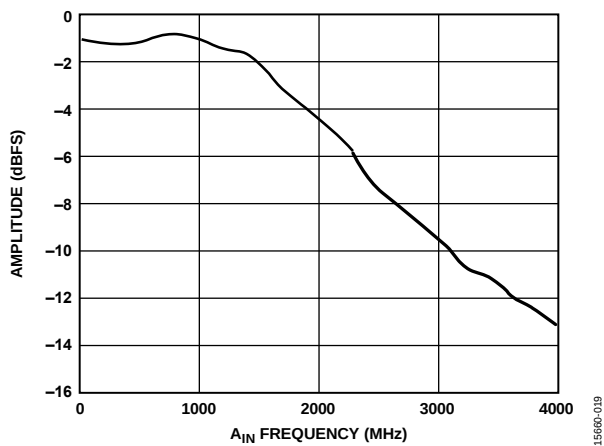


図 25. フル・パワー帯域幅

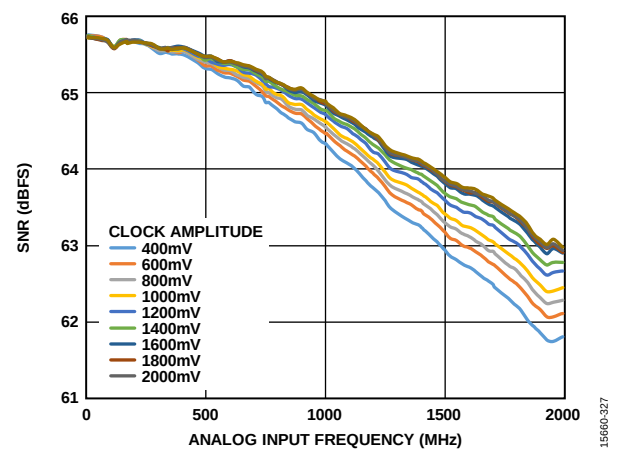


図 28. さまざまなクロック振幅での S/N 比とアナログ入力周波数の関係

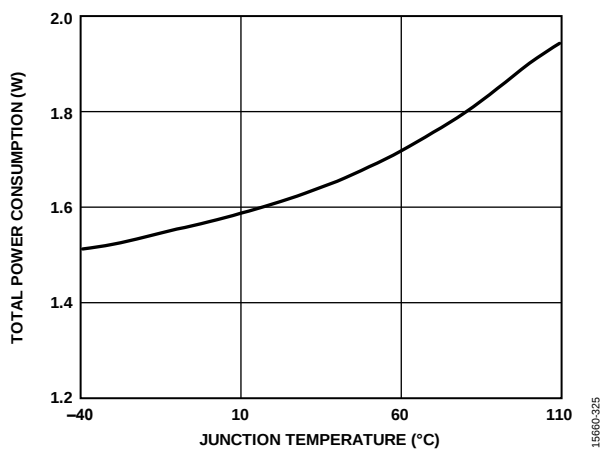


図 26. 全消費電力とジャンクション温度の関係

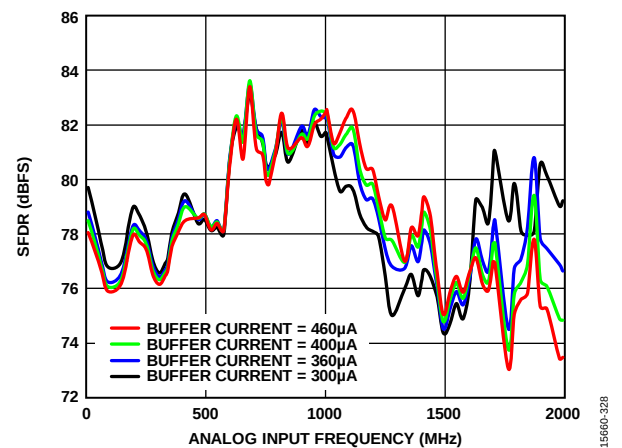


図 29. さまざまなバッファ電流設定での SFDR とアナログ入力周波数の関係

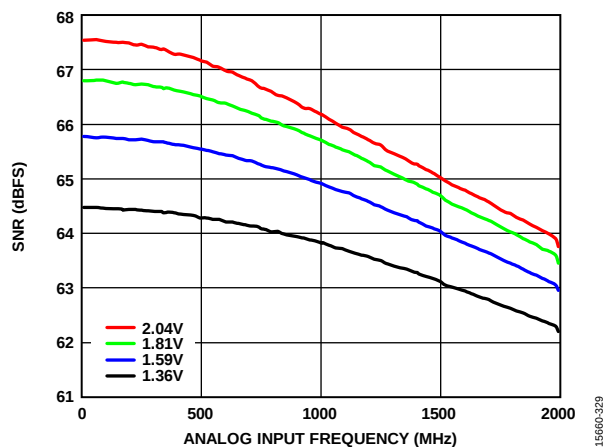


図 30. さまざまなアナログ入力フル・スケール値での S/N 比とアナログ入力周波数の関係

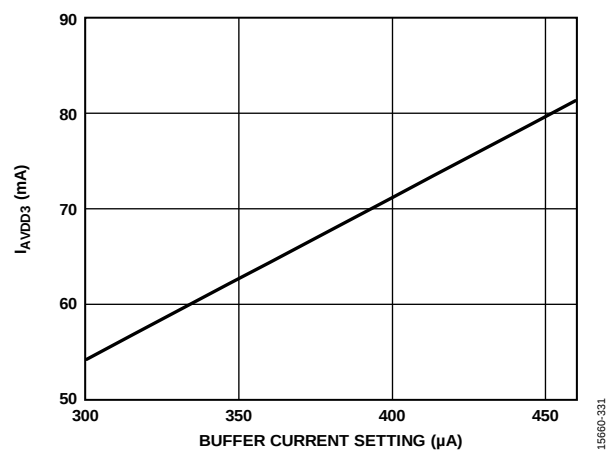


図 32. I_{AVD3} と レジスタ 0x1A4C のバッファ・コントロール 1 の設定の関係

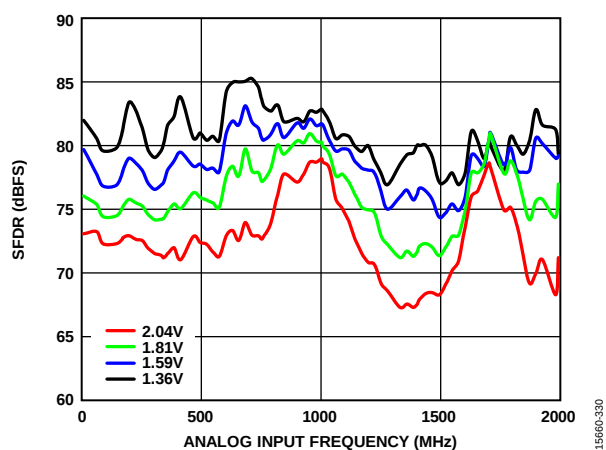


図 31. さまざまなアナログ入力フル・スケール値での SFDR とアナログ入力周波数の関係

625 MSPS

特に指定のない限り、AVDD1 = 0.95 V、AVDD1_SR = 0.95 V、AVDD2 = 1.8 V、AVDD3 = 2.5 V、DVDD = 0.95 V、DRVDD1 = 0.95 V、DRVDD2 = 1.8 V、SPIVDD = 1.8 V、クロック分周器 = 2、デフォルト入力フル・スケール、0.5 V 内部リファレンス、 $A_{IN} = -1.0$ dBFS、デフォルト SPI 設定、サンプリング・レート = 625 MSPS (AD9695-625 速度グレード)、サンプリング・レート = 1300 MSPS (AD9695-1300 速度グレード)、DCS オン (AD9695-1300 速度グレード)、DCS オフ (AD9695-625 速度グレード)、表 11 に示すパッファ電流設定、DC オフセット・キャリブレーションをイネーブル。最大と最小の仕様は、 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ の動作ジャンクション温度 (T_J) の全範囲で確保されています。代表仕様は、 $T_J = 35^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-625 速度グレード) および $T_J = 40^{\circ}\text{C}$ ($T_A = 25^{\circ}\text{C}$ 、AD9695-1300 速度グレード) での性能を表します。

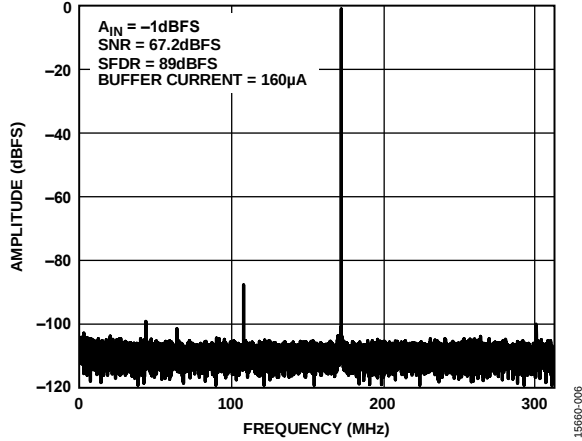


図 33. アナログ入力周波数 (f_{IN}) = 172.3 MHz でのシングルトーン FFT

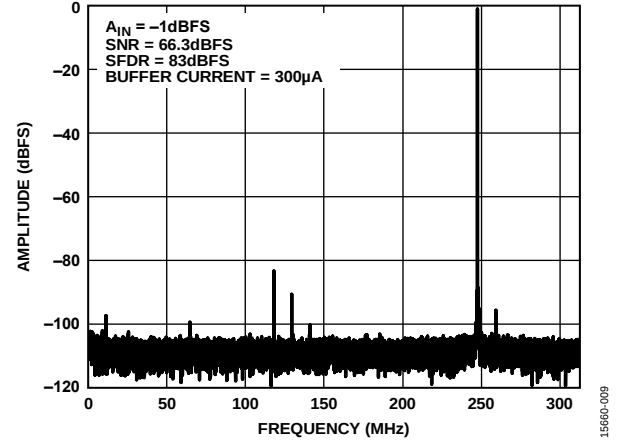


図 36. $f_{IN} = 1000$ MHz でのシングルトーン FFT

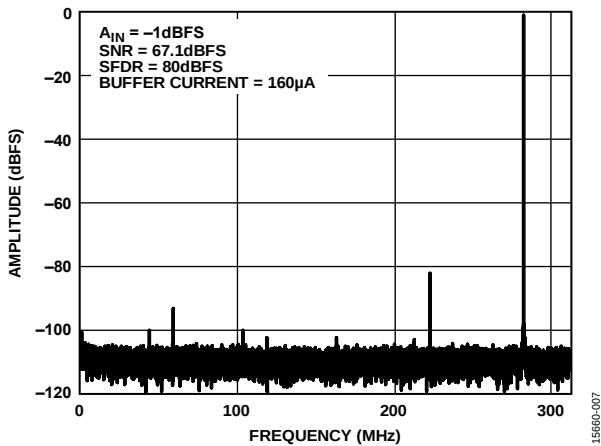


図 34. $f_{IN} = 340$ MHz でのシングルトーン FFT

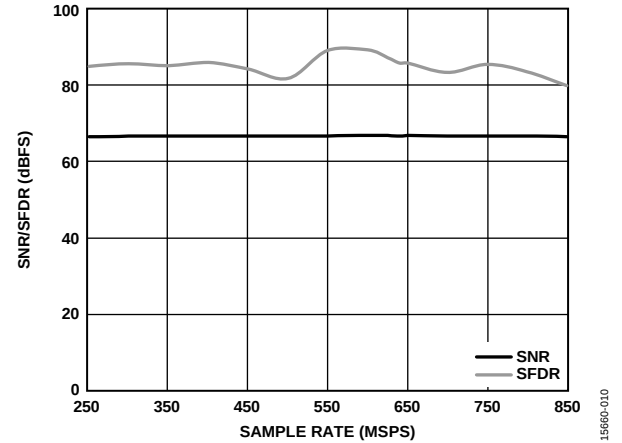


図 37. S/N 比/SFDR とサンプリング・レートの関係 ($f_{IN} = 172.3$ MHz)

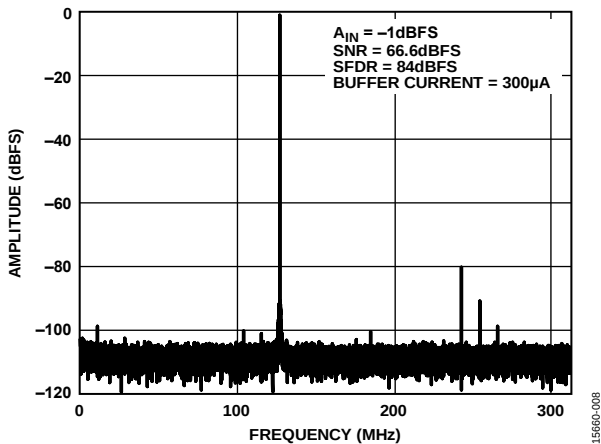


図 35. $f_{IN} = 750$ MHz でのシングルトーン FFT

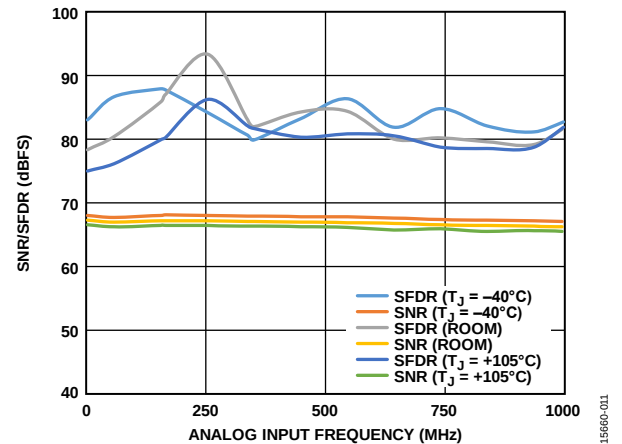


図 38. 最低ジャンクション温度、室温、最高ジャンクション温度での S/N 比/SFDR とアナログ入力周波数 (f_{IN}) の関係

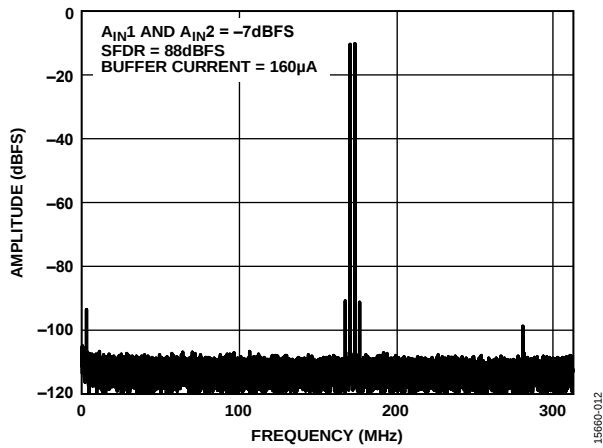


図 39. ツートーン FFT ($f_{IN1} = 170.8$ MHz、 $f_{IN2} = 173.8$ MHz)

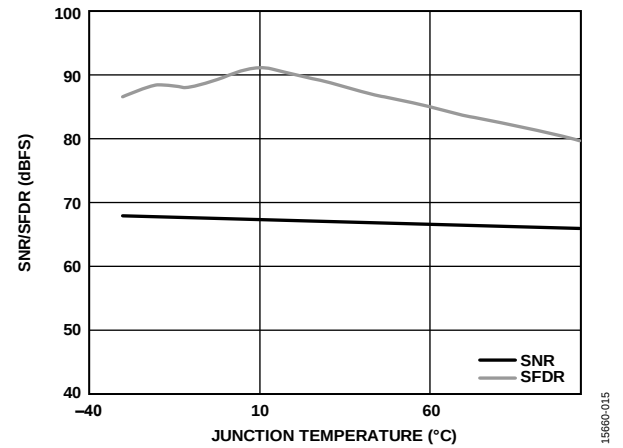


図 42. S/N 比/SFDR とジャンクション温度の関係 ($f_{IN} = 172.3$ MHz)

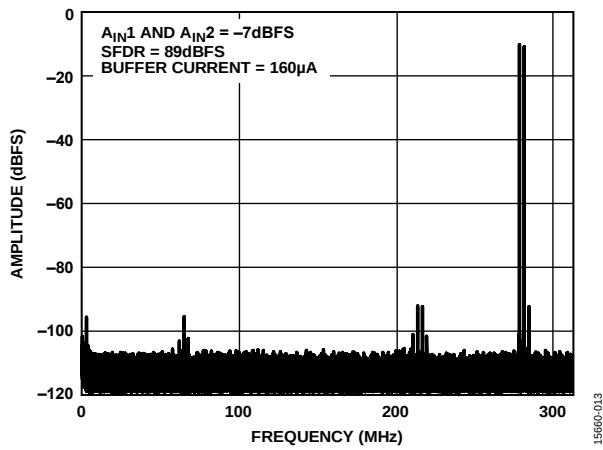


図 40. ツートーン FFT ($f_{IN1} = 343.5$ MHz、 $f_{IN2} = 346.5$ MHz)

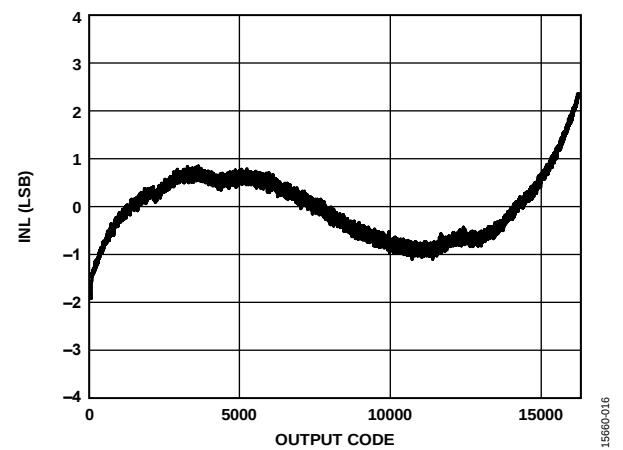


図 43. INL ($f_{IN} = 10.3$ MHz)

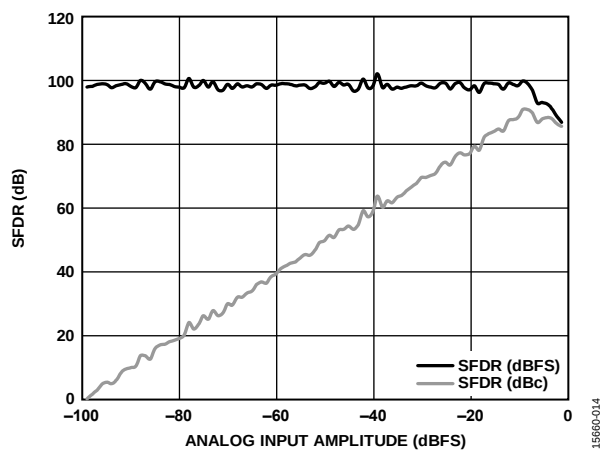


図 41. S/N 比/SFDR とアナログ入力振幅の関係 ($f_{IN} = 172.3$ MHz)

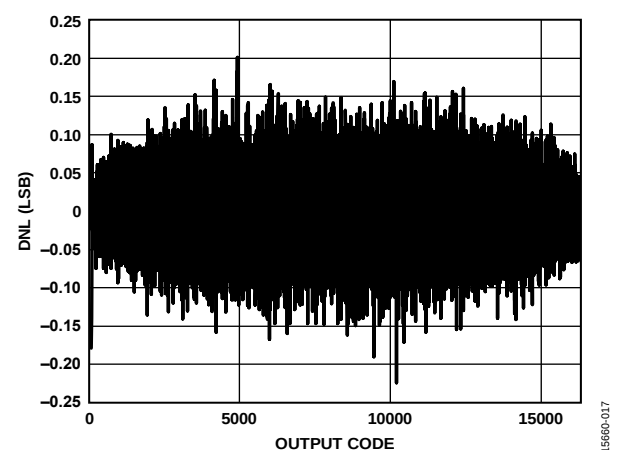


図 44. DNL ($f_{IN} = 10.3$ MHz)

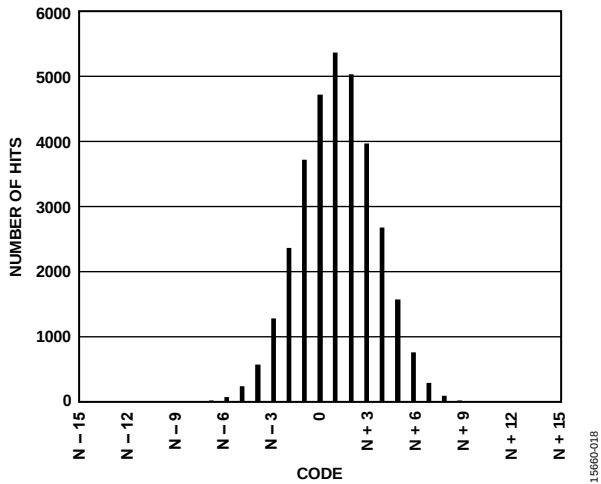


図 45. 入力換算ノイズのヒストグラム

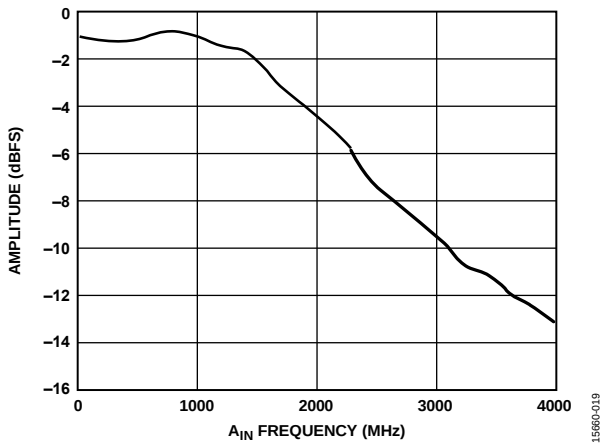


図 46. フルパワー帯域幅

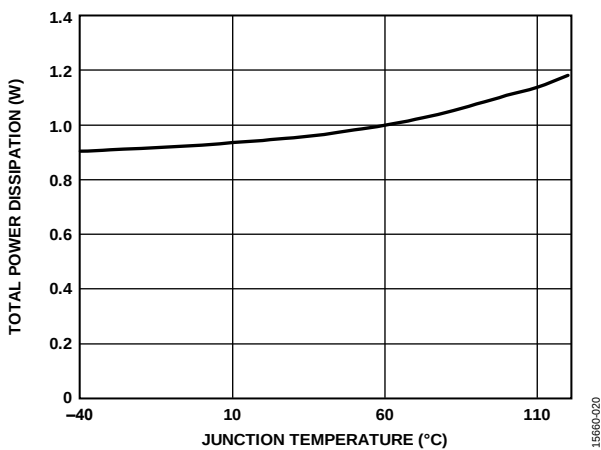


図 47. 全消費電力とジャンクション温度の関係

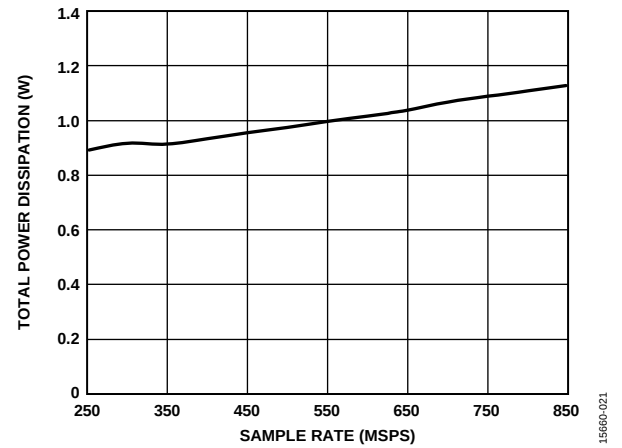


図 48. 全消費電力とサンプリング・レート (f_s) の関係

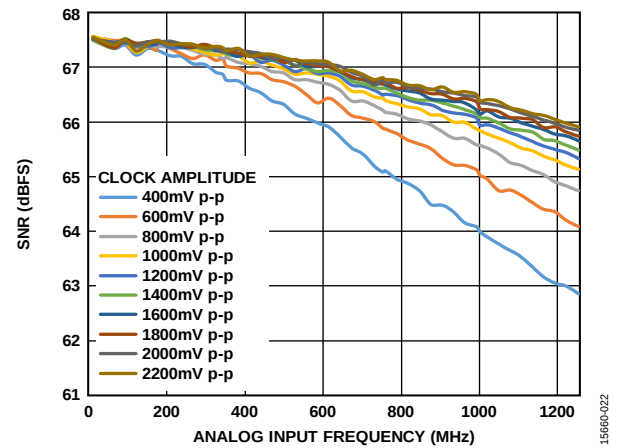


図 49. さまざまなクロック振幅での S/N 比とアナログ入力周波数の関係

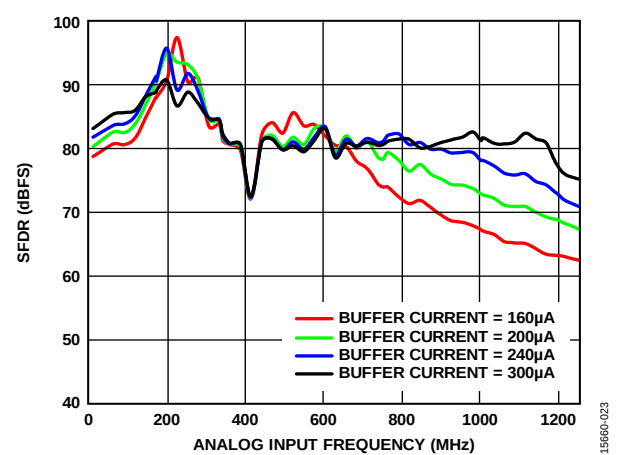


図 50. さまざまなバッファ電流設定での SFDR とアナログ入力周波数の関係 ($A_{IN} < 1250$ MHz)

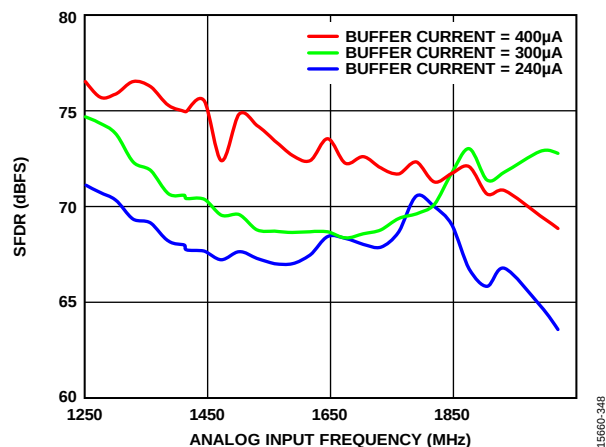


図 51. さまざまなバッファ電流設定での SFDR とアナログ入力周波数の関係 ($A_{IN} > 1250$ MHz、レジスタ 0x1B03 = 0x02、レジスタ 0x1B08 = 0xC1、レジスタ 0x1B10 = 0x1C)

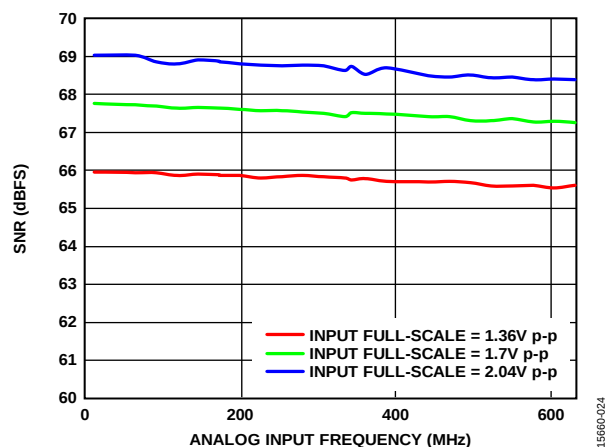


図 52. さまざまなアナログ入力フル・スケール値での S/N 比とアナログ入力周波数の関係 ($A_{IN} < 650$ MHz)

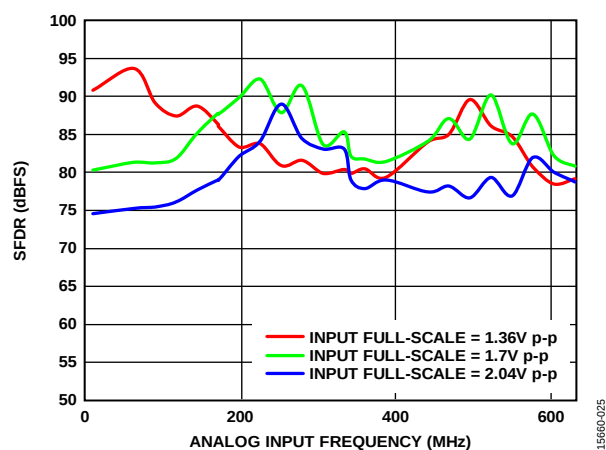


図 53. さまざまなアナログ入力フル・スケール値での SFDR とアナログ入力周波数の関係 ($A_{IN} < 650$ MHz)

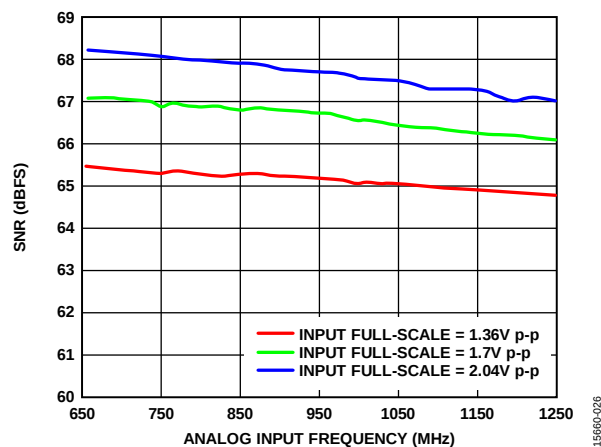


図 54. さまざまなアナログ入力フル・スケール値での S/N 比とアナログ入力周波数の関係 ($A_{IN} > 650$ MHz)

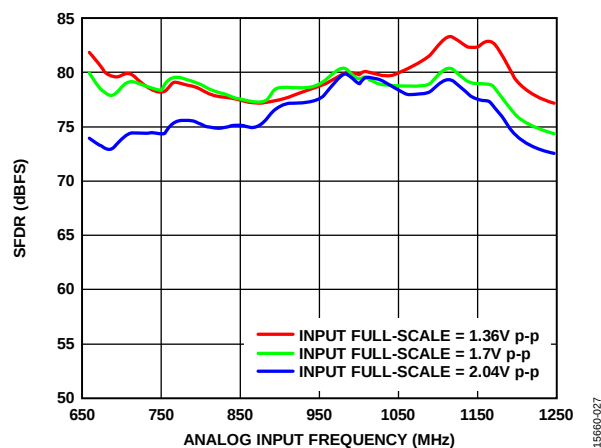


図 55. さまざまなアナログ入力フル・スケール値での SFDR とアナログ入力周波数の関係 ($A_{IN} > 650$ MHz)

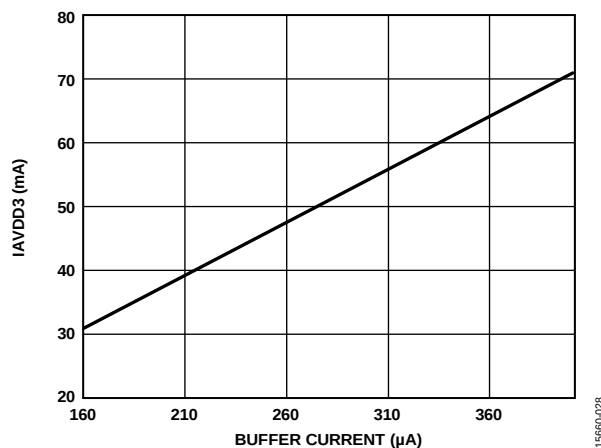


図 56. I_{AVD3} とレジスタ 0x1A4C のバッファ・コントロール 1 の設定の関係

等価回路

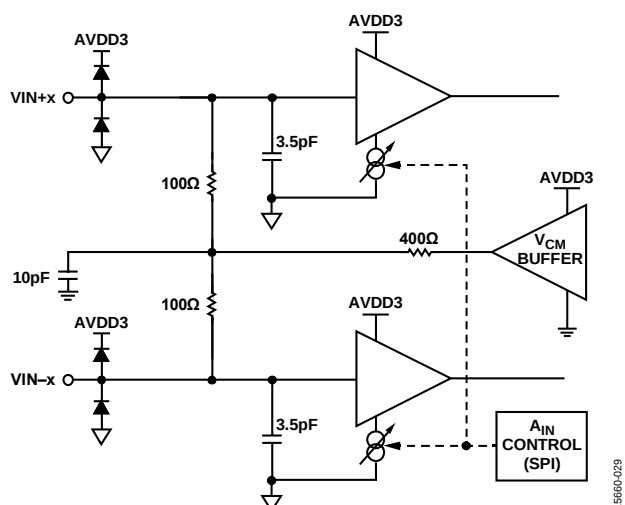


図 57. アナログ入力

15660-029

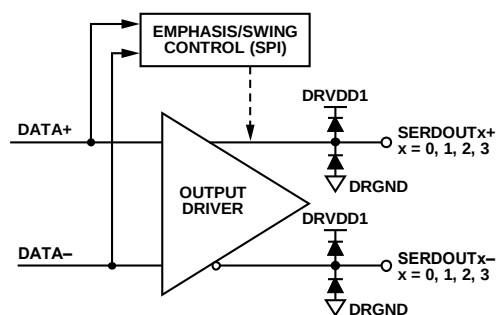


図 60. デジタル出力

15660-032

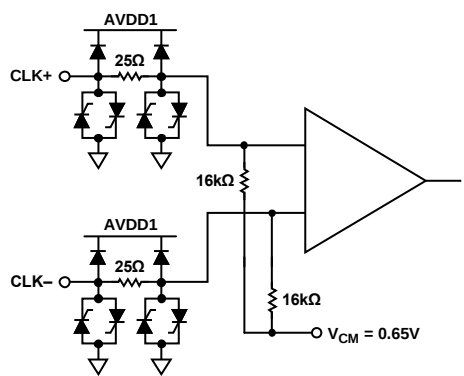


図 58. クロック入力

15660-030

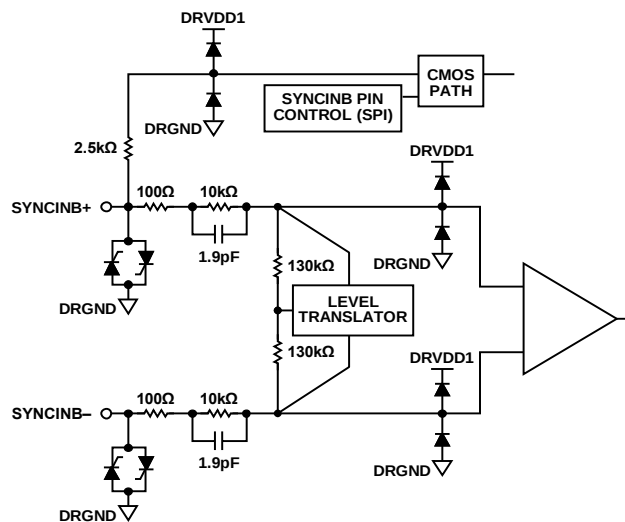


図 61. SYNCINB± 入力

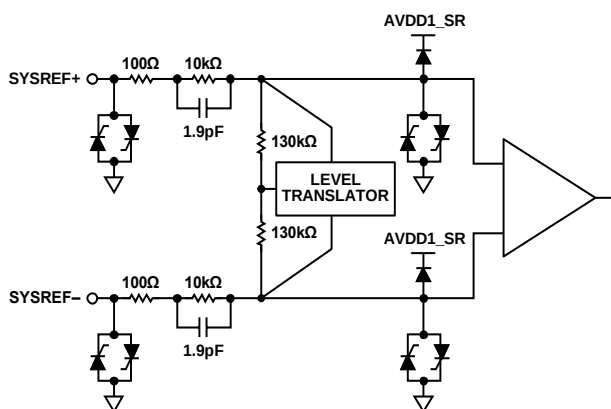


図 59. SYSREF± 入力

14808-026

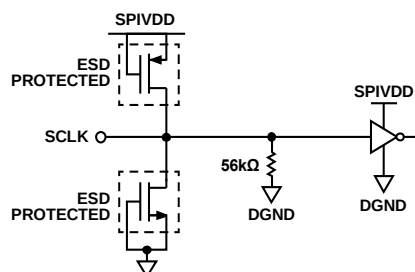


図 62. SCLK 入力

15660-034

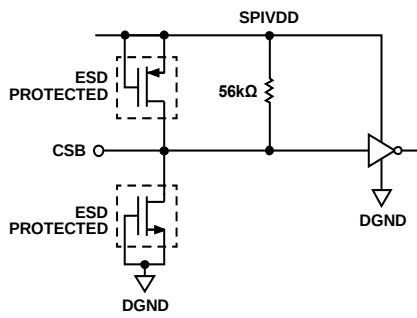


図 63. CSB 入力

15660-035

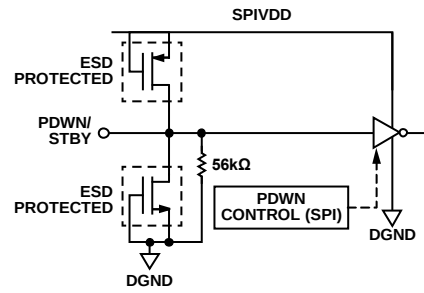


図 65. PDWN/STBY 入力

15660-037

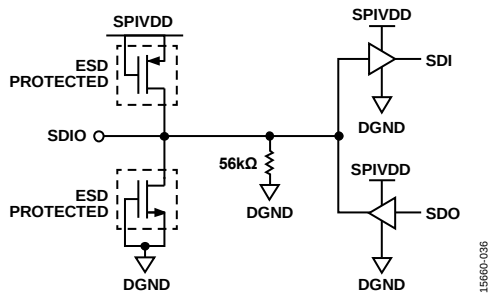


図 64. SDIO 入力

15660-036

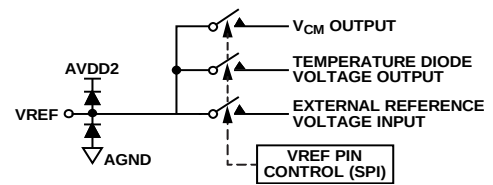


図 66. VREF 入出力

15660-038

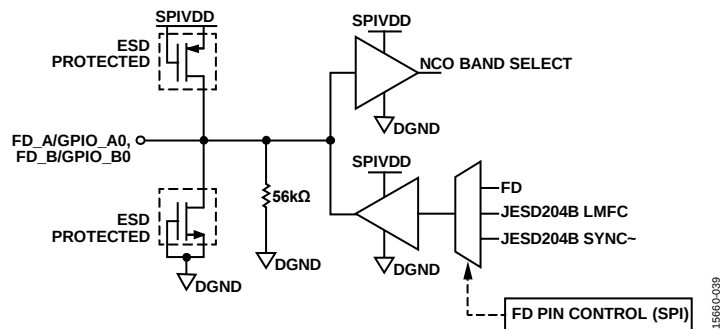


図 67. FD_A/GPIO_A0 および FD_B/GPIO_B0

15660-039

動作原理

AD9695 には、2 個のアナログ入力チャンネルと最大 4 個の JESD204B 出力レーン・ペアがあります。この ADC は最大 2 GHz の広帯域アナログ信号をサンプリングします。実際には、アナログ信号入力 of -3dB ロールオフが 2 GHz となっています。AD9695 は、広い入力帯域幅、高いサンプリング・レート、優れた直線性、低消費電力を小型パッケージで実現できるように最適化されています。

デュアル ADC コアは、マルチステージの差動パイプライン・アーキテクチャを採用し、出力誤差補正ロジックを内蔵しています。各 ADC の入力帯域幅は広く、サポートされている多様な入力範囲から選択できます。また、電圧リファレンスを内蔵しているので設計が容易になります。

AD9695 には、通信レシーバー内の AGC 機能を簡素化する機能が複数備わっています。プログラブル閾値検出器を使うと、ADC の高速検出出力ビットを使って着信信号電力をモニタリングすることができます。入力信号レベルがプログラブル閾値を超えると、高速検出インジケータがハイ・レベルになります。この閾値インジケータは遅延が小さいため、短時間でシステム・ゲインを下げて ADC 入力でのオーバーレンジ状態を回避することができます。

サブクラス 1 の JESD204B に基づく高速シリアル出力のデータ・レーンは、サンプリング・レートとデシメーション・レシオに応じて、1 レーン ($L=1$)、2 レーン ($L=2$)、4 レーン ($L=4$) で構成することができます。複数デバイスの同期は、SYSREF $\pm$ と SYNCINB $\pm$ 入力ピンを通じてサポートされています。AD9695 の SYSREF $\pm$ ピンは、データが ADC を通過して JESD204B インターフェースから出力される際のタイムスタンプとして使用することもできます。

ADC のアーキテクチャ

AD9695 のアーキテクチャは、入力バッファ付きのパイプライン ADC で構成されています。入力バッファには、アナログ入力信号に対する終端インピーダンスが備わっています。この終端インピーダンスは $200\ \Omega$ に設定されています。図 57 に、アナログ入力終端の等価回路図を示します。入力バッファは、広い帯域幅の全体にわたって、高い直線性、低ノイズ、低消費電力を実現できるように最適化されています。

この入力バッファによって直線性に優れた高入力インピーダンスが提供され（駆動が容易になる）、ADC からのキックバックが減少します。各段からの量子化出力は、デジタル補正ロジック内で最終的に 1 個の 14 ビット値にまとめられます。パイプライン・アーキテクチャでは、最初の段に新しい入力サンプルを処理させて、同時にそれ以外の段には、その前のサンプルを処理させることができます。サンプリングはクロックの立上がりエッジで行われます。

アナログ入力に関する考慮事項

AD9695 へのアナログ入力は差動バッファ式です。バッファの内部コモンモード電圧は 1.41 V です。クロック信号は、サンプル・モードとホールド・モードの間で入力回路を交互に切り替えます。

マッチング受動回路を構成するために、1 個の差動コンデンサまたは 2 個のシングルエンド・コンデンサ（もしくは両方の組み合わせ）を、入力に組み込むことができます。これらのコン

デンサは、最終的には、不要な広帯域ノイズを制限するローパス・フィルタを構成します。詳細については、アナログ・ダイアログの記事「Transformer-Coupled Front-End for Wideband A/D Converters」(Volume 39, 2005 年 4 月) を参照してください。一般に、フロントエンド回路用コンポーネントの正確な値はアプリケーションによって異なります。

1 MHz ~ 10 GHz の周波数範囲におけるアナログ入力の差動入力リターン損失曲線を図 68 に示します。リファレンス・インピーダンスは $100\ \Omega$ です。

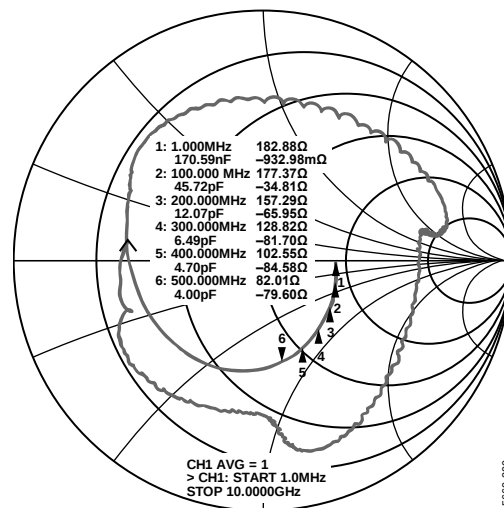


図 68. AD9695 の差動入力リターン損失

最大限の動的性能を得るには、コモンモードのすべてのセトリング誤差が対称になるように設定するために、VIN+x と VIN-x を駆動するソース・インピーダンスをマッチングさせる必要があります。これらの誤差は、ADC の同相ノイズ除去によって減らすことができます。内部リファレンス・バッファは、ADC コアのスパンを決定する差動リファレンスを生成します。

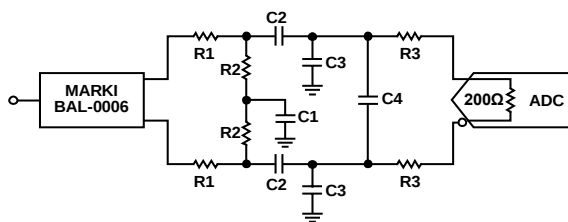
最大の S/N 比 (SNR) 性能は、スパンが差動構成で最大になるように ADC を設定することで実現します。AD9695 では、SPI ポートを介して、使用可能なスパンを 1.36 Vp-p から 2.04 Vp-p までの差動範囲にプログラムすることができます。デフォルトは 1.7 Vp-p です。

差動入力構成

AD9695 を能動的にせよ受動的にせよ、駆動する方法は複数あります。最高の性能は、アナログ入力を差動で駆動することによって得られます。

大半のアンプのノイズ性能は AD9695 の本来の性能を引き出せるほど十分なものではないので、S/N 比と SFDR が重要なパラメータとなるアプリケーションでは、差動トランス結合が推奨入力構成となります（図 69 と表 10 を参照）。

低周波数域から中周波数域で AD9695 の性能を最大限に引き出すために推奨されるのは、ダブル・バランまたはダブル・トランス回路（図 69 と表 10 を参照）です。より高い周波数域の第 2 または第 3 ナイキスト・ゾーンでは、広帯域動作を確実なものとするために、フロントエンドの受動コンポーネントの一部を取り除くことが推奨されます（表 10 を参照）。



NOTES:
1. SEE TABLE 9 FOR COMPONENT VALUES

図 69. AD9695 の差動トランス結合構成

表 10. 差動トランス結合による入力構成時のコンポーネント値

Speed Grade	Frequency Range	Transformer	R1	R2	R3	C1	C2	C3	C4
AD9695-625	<2 GHz	BAL-0006/BAL-0006SMG	25 Ω	25 Ω	10 Ω	0.1 μF	0.1 μF	DNI ¹	DNI ¹
AD9695-1300	<2 GHz	BAL-0006/BAL-0006SMG	25 Ω	25 Ω	10 Ω	0.1 μF	0.1 μF	DNI ¹	DNI ¹

¹ DNI は、挿入しないでください (Do not insert) の意。

入力コモンモード

図 71 に示すように、AD9695 のアナログ入力は内部でコモンモードにバイアスされます。

DC カップリング・アプリケーションにおいて推奨される処理手順は、このセクションに示す SPI 書込みを使って、コモンモード電圧を VREF ピンにエクスポートすることです。ADC を正しく動作させるには、コモンモード電圧をエクスポートする値にする必要があります。レジスタ 0x1908 を使い、内部コモンモード・バッファへのアナログ入力を遮断してください。

DC カップリング動作のために SPI 書込みを行う場合は、以下のレジスタ設定値を記載順に使用します。

1. レジスタ 0x1908 のビット 2 を 1 にセットして、内部コモンモード・バッファへのアナログ入力を遮断します。
2. レジスタ 0x18A6 を 0x00 に設定して、電圧リファレンスをオフにします。
3. レジスタ 0x18E6 を 0x00 に設定して、温度ダイオードのエクスポートをオフにします。
4. レジスタ 0x18E3 のビット 6 を 0x01 に設定して、V_{CM} のエクスポートをオンにします。
5. レジスタ 0x18E3 のビット [5:0] をバッファ電流の設定値にします (コモンモード・エクスポートの精度を向上させるために、レジスタ 0x1A4C とレジスタ 0x1A4D からバッファ電流の設定値をコピーする)。

図 70 に、DC カップリング・アプリケーションのブロック図の代表例を示します。

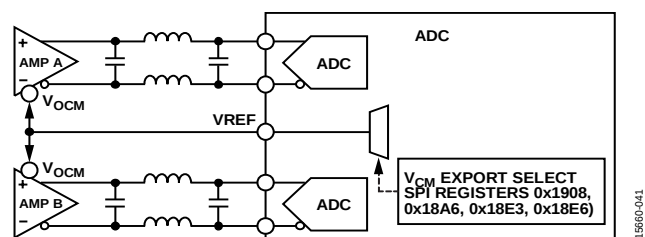


図 70. AD9695 を使用した DC カップリング・アプリケーション

アナログ入力バッファの制御と SFDR の最適化

AD9695 の入力バッファは、バッファ電流、入力フル・スケール調整など、アナログ入力の柔軟な制御を実現します。使用可能なすべての制御を図 71 に示します。

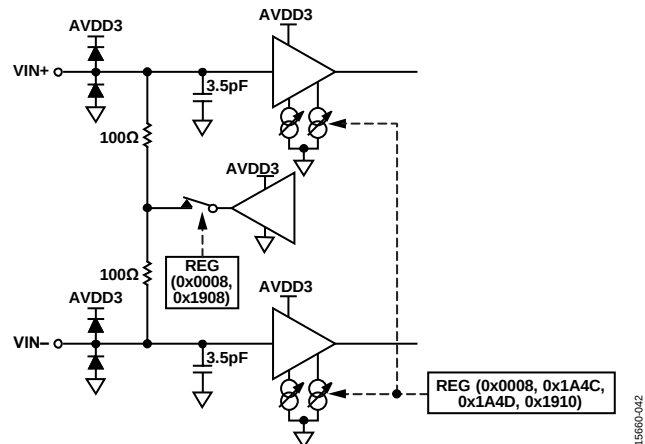


図 71. アナログ入力制御

レジスタ 0x1A4C とレジスタ 0x1A4D を使用して各チャンネルのバッファ動作を調整し、さまざまな入力周波数と対象帯域幅に対して SFDR を最適化することができます。内部リファレンス電圧の変更にはレジスタ 0x1910 を使用します。内部リファレンス電圧を変更すると、入力フル・スケール電圧が変化します。

レジスタ 0x1A4C とレジスタ 0x1A4D の入力バッファ電流を設定すると、AVDD3 電源に必要な電流量が変わります。この関係を図 72 に示します。すべてのバッファ電流設定のリストについては、表 11 を参照してください。

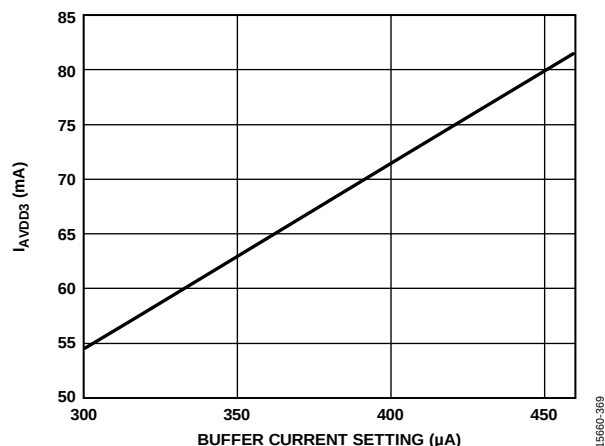


図 72. AVDD3 電流 (I_{AVDD3}) とバッファ電流設定 (レジスタ 0x1A4C の「バッファ制御 1」設定とレジスタ 0x1A4D の「バッファ制御 2」設定) の関係

さまざまなナイキスト・ゾーンにおけるバッファ電流の推奨値を表 11 に示します。

絶対最大入力振幅

AD9695 の入力で許容される絶対最大入力振幅は、差動で 5.6 V_{p-p} です。このレベルまたはその近傍で動作する信号は、ADC に恒久的な損傷を与えるおそれがあります。

ディザ

AD9695 には、特に低信号レベル時の ADC の直線性と SFDR を改善する、内部オンチップ・ディザ回路が組み込まれています。AD9695 の入力に、既知ですがランダムな量の白色ノイズを加えます。このディザは ADC 伝達関数内の小信号の直線性を改善し、デジタル的に正確に差し引かれます。ディザはデフォルトでオンになっており、ADC の入力ダイナミック・レンジを狭めることはありません。データシートの仕様と制限値は、ディザをオンにして得られる値です。

ディザはデフォルトでオンになります。オフにすることは推奨できません。

表 11. 入力周波数の SFDR の最適化

Speed Grade	Frequency	Register 0x1A4C and Register 0x1A4D	Register 0x1B03	Register 0x1B08	Register 0x1B10
AD9695-625	DC to 650 MHz	160 μ A	0x00	0x01	0x00
	650 MHz to 1250 MHz	300 μ A	0x00	0x01	0x00
	>1250 MHz	400 μ A	0x02	0xC1	0x1C
AD9695-1300	All A_{IN} frequencies	300 μ A	0x02	0xC1	0x00

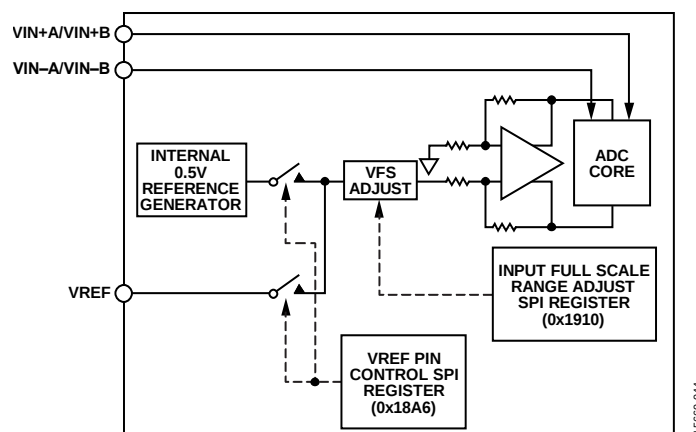


図 73. 内部リファレンスの構成と制御

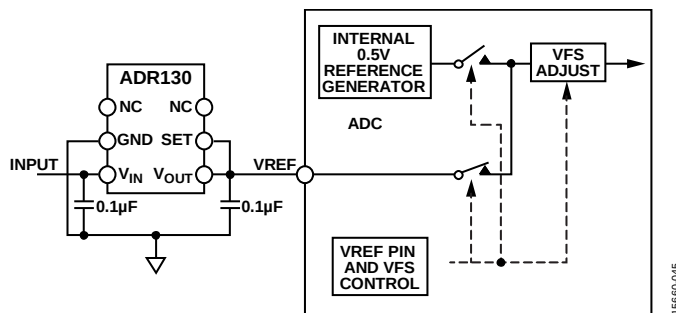


図 74. ADR130 を使用した外部リファレンス

電圧リファレンス

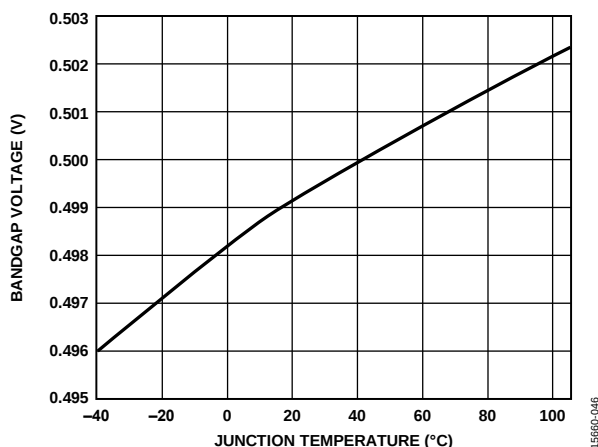
AD9695 には、安定した正確な 0.5 V 電圧リファレンスが組み込まれています。この内部 0.5 V リファレンスによって、ADC のフル・スケール入力範囲が設定されます。このフル・スケール入力範囲は、ADC の入力フル・スケール制御レジスタ（レジスタ 0x1910）を介して調整することができます。入力振幅の詳細な調整方法については、表 47 を参照してください。図 73 に、内部 0.5 V リファレンス制御のブロック図を示します。

SPI レジスタ 0x18A6 を使用すれば、この 0.5 V 内部リファレンスを使用するか、0.5 V 外部リファレンスを設定するかを選択できます。外部電圧リファレンスを使用する場合は、0.5 V のリファレンスを用意してください。フル・スケール調整は、リファレンス電圧に関係なく SPI を使用して行います。AD9695 のフルスケール・レベルの詳細な調整方法については、メモリ・マップのセクションを参照してください。

外部電圧リファレンスを使用するために必要な SPI 書込みの手順を以下に示します。

1. レジスタ 0x18E3 を 0x00 に設定して、 V_{CM} のエクスポートをオフにします。
2. レジスタ 0x18E6 を 0x00 に設定して、温度ダイオードのエクスポートをオフにします。
3. レジスタ 0x18A6 を 0x01 に設定して、外部電圧リファレンスをオンにします。

アプリケーションによっては、ADC のゲイン精度を向上させたり熱ドリフト特性を改善したりするために、外部リファレンスが必要になることがあります。0.5 V 内部リファレンスの代表的なドリフト特性を図 75 に示します。

図 75. V_{REF} のドリフト（代表例）

外部電圧リファレンスは、安定した 0.5 V リファレンスでなければなりません。ADR130 は、0.5 V リファレンスとして十分な性能を備えたものの 1 つです。ADR130 を使用して AD9695 に外部 0.5 V リファレンスを与える方法を図 74 に示します。破線部は、ADR130 を使って外部リファレンスを与える場合の、AD9695 内の未使用ブロックです。

DC オフセットのキャリブレーション

AD9695 には、ADC の出力から DC オフセットを除去するためにデジタル・フィルタが組み込まれています。AC カップリングのアプリケーションでは、レジスタ 0x0701 のビット 7 を 0x1 に、レジスタ 0x73B のビット 7 を 0x0 に設定することで、このフィルタをイネーブルできます。フィルタは、平均 DC 信号を計算して、それを ADC 出力からデジタル的に差し引きます。結果として、出力と DC オフセットの比は 70 dBFS 以上にまで改善されます。フィルタは DC 信号のソースを区別しないので、DC の信号内容を扱うのが目的でない場合にこの機能を使用できます。フィルタは最大 ± 512 コードまで DC を補正しますが、この値を超えると飽和します。

クロック入力に関する考慮事項

最大限の性能を引き出すには、AD9695 のサンプル・クロック入力（CLK+ と CLK-）を差動信号で駆動してください。この信号は通常、トランスまたはクロック・ドライバを介して CLK+ ピンと CLK- ピンに AC カップリングされます。これらのピンは内部的にバイアスされます。バイアスの追加は必要ありません。

AD9695 の望ましいクロッキング方法を図 76 に示します。低ジッタのクロック・ソースが、RF トランスを使ってシングルエンド信号から差動信号に変換されます。

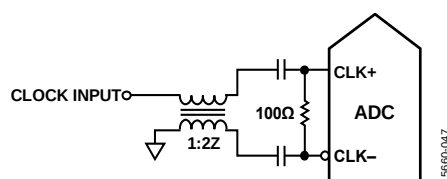


図 76. トランス・カップリング差動クロック

もう 1 つの選択肢は、図 77 と 図 78 に示すように、差動 CML 信号または LVDS 信号をサンプル・クロック入力ピンに AC カップリングすることです。

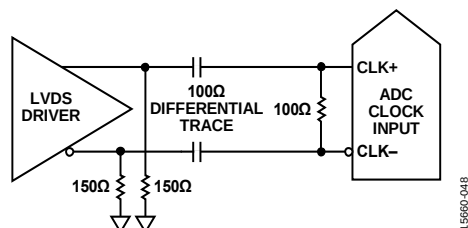


図 77. 差動 LVPECL サンプル・クロック

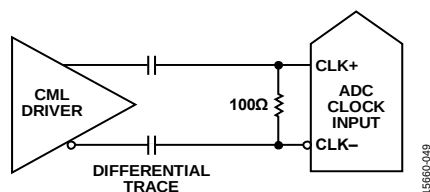


図 78. 差動 CML サンプル・クロック

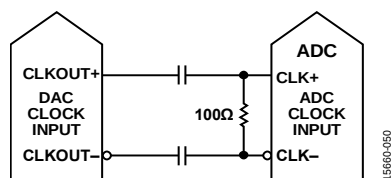


図 79. クロック出力を AD9695 のクロックに使用

クロックのデューティ・サイクルに関する考慮事項

代表的な高速 ADC は、両方のクロック・エッジを使用してさまざまな内部タイミング信号を生成します。AD9695 には内部クロック分周器と、DCS1 および DCS1 からなるデューティ・サイクル・スタビライザがあります。

AD9695 の 625 MSPS の速度グレードでは、DCS はデフォルトでディセーブルされます。50 % のクロック・デューティ・サイクルを確保できないアプリケーションでは、数倍の周波数を持つクロックとクロック分周器を組み合わせることを推奨します。

AD9695 の速度グレードが 625 MSPS の場合において、高周波数のクロックを使用できないときは、レジスタ 0x011C と 0x011E を使って DCSx をオンにすることを推奨します。AD9695 クロック入力の各種制御方法を図 80 に示します。分周器の出力から、50% のデューティ・サイクルと高いスルー・レート（高速エッジ）のクロック信号が内部 ADC に供給されます。

AD9695 の 1300 MSPS の速度グレードでは、DCS はデフォルトでイネーブルされています。AD9695 のそれぞれのクロック分周比において、DCS をオンに維持するよう推奨します。

この機能の詳しい使用方法については、メモリ・マップのセクションを参照してください。

入力クロック分周器

AD9695 には、入力クロックを 1、2、または 4 分周することのできる入力クロック分周器が組み込まれています。分周比はレジスタ 0x0108 を使って選択します（図 80 参照）。

CLK± 入力の最大周波数は 1.28 GHz で、これが分周器の限界値です。クロック入力がサンプル・クロックの倍数であるアプリケーションでは、クロック信号を使用する前に、クロック分周器に適切な分周比をプログラムしてください。これにより、スタートアップ時の過渡電流を制御することができます。

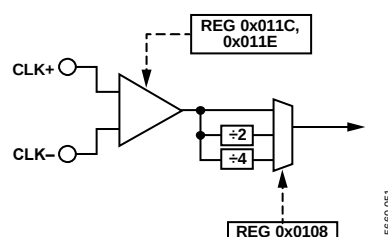


図 80. クロック分周器回路

AD9695 のクロック分周器は、外部 SYSREF± 入力を使って同期できます。クロック分周器は有効な SYSREF± 信号でリセットされ、プログラム可能な状態になります。この同期機能によって、複数デバイスが同時に入力サンプリングを行えるよう、それぞれのクロック分周器を揃えることが可能となります。詳細については、メモリ・マップ・レジスタのセクションを参照してください。

入力クロック分周器の 1/2 周期遅延調整

AD9695 内の入力クロック分周器は、入力クロック・サイクルの 1/2 単位で位相遅延を発生させます。この遅延をチャンネルごとに独立してイネーブルするには、レジスタ 0x010C をプログラムします。このレジスタを変更しても、JESD204B リンクの安定性には影響しません。

クロックの微小遅延調整と超微小遅延調整

AD9695 のサンプリング・エッジ・インスタントは、レジスタ 0x0110、0x0111、および 0x0112 への書込みによって調整します。レジスタ 0x0110 のビット [2:0] で微小遅延、あるいは超微小遅延を含む微小遅延の選択を有効にします。微小遅延では、16 ステップまたは 192 ステップの遅延オプションでクロック・エッジを遅延させることができます。超微小遅延は、0.25 ps の超精密ステップでクロック遅延を調整するための符号なし制御です。

レジスタ 0x0112 のビット [7:0] により、192 遅延ステップでクロックを遅延させるオプションが可能になります。また、レジスタ 0x0111 のビット [7:0] により、128 個の超微小遅延ステップでクロックを遅延させるオプションが可能になります。これらの値は、チャンネルごとに個別にプログラムできます。超微小遅延オプションを使用するには、レジスタ 0x0110 のビット [2:0] のクロック遅延制御を、0x2 または 0x6 に設定します。

AD9695 内のクロック分周器に使用できる制御を図 81 に示します。パイプライン制御時のサンプル精度を維持するために、デジタル遅延回路にも、アナログ遅延回路に適用したのと同じ遅延設定を適用することを推奨します。

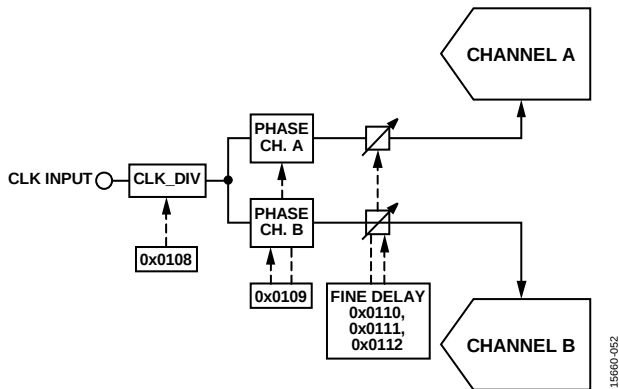


図 81. クロック分周器の位相制御と遅延制御

クロック遅延調整は、SPI 書込みを通じてイネーブルすると直ちに有効になります。レジスタ 0x0110 でクロックの微小遅延調整をイネーブルすると、データパスがリセットされます。しかし、レジスタ 0x0111 と 0x0112 の内容は、JESD204B リンクの安定性に影響を与えることなく変更することができます。

クロック・カップリングに関する考慮事項

AD9695 のアナログ電源部には、データ変換のさまざまな側面を制御する領域が数多くあります。クロック領域はアナログ電源 (AVDD1) のピン 49 とピン 64 で供給されます。クロック電源領域と他のアナログ領域の間のカップリングを最小限に抑えるために、図 82 に示すように、ピン 49 およびピン 64 に電源 Q 値低減回路 (de-Q) を追加することを推奨します。

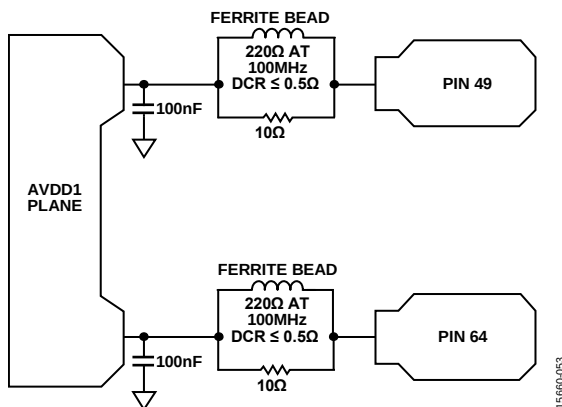


図 82. クロック領域電源に推奨される De-Q 回路

クロック・ジッタに関する考慮事項

高速で高分解能の ADC は、クロック入力の品質に大きく影響されます。所定の入力周波数 (f_{IN}) でアパーチャ・ジッタ (t_j) だけを原因とした場合の S/N 比の低下は、次式で計算されます。

$$SNR_{JITTER} = -20 \times \log_{10} (2 \times \pi \times f_{IN} \times t_j)$$

この式で、RMS アパーチャ・ジッタは、クロック入力、アナログ入力信号、および ADC のアパーチャ・ジッタ仕様を含むすべてのジッタ・ソースの二乗平均平方根を表します。

IF アンダーサンプリング・アプリケーションは、ジッタに対して特に敏感です (図 83 を参照)。

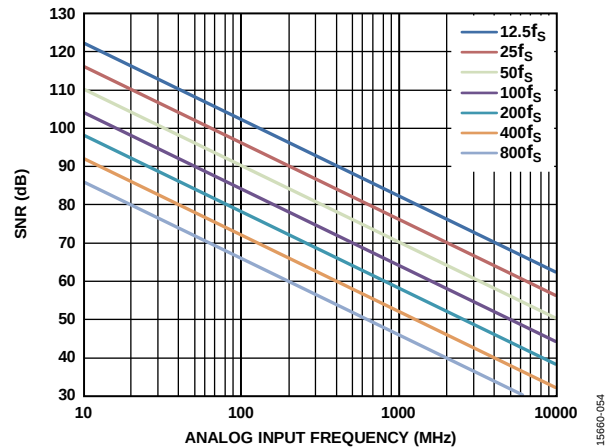


図 83. 理想的な S/N 比と入力周波数、ジッタの関係

アパーチャ・ジッタが AD9695 のダイナミック・レンジに影響する可能性がある場合は、クロック入力をアナログ信号として扱います。デジタル・ノイズによるクロック信号の変調を避けるために、クロック・ドライバ用の電源は ADC 出力ドライバの電源から分離してください。クロックが別のタイプのソース (ゲーティング、分周、その他の方法) から生成されている場合は、最終ステップで、オリジナル・クロックによりクロックのリタイミングを行います。ADC に関連するジッタ性能の詳細については、アプリケーション・ノート AN-501 とアプリケーション・ノート AN-756 を参照してください。

クロックにより生じるさまざまなジッタ値に対する AD9695 の予測 S/N 比と入力周波数の関係を、図 84 に示します。S/N 比は次式を使って推定します。

$$SNR \text{ (dBFS)} = -10 \log_{10} \left(10^{\left(\frac{-SNR_{ADC}}{10} \right)} + 10^{\left(\frac{-SNR_{JITTER}}{10} \right)} \right)$$

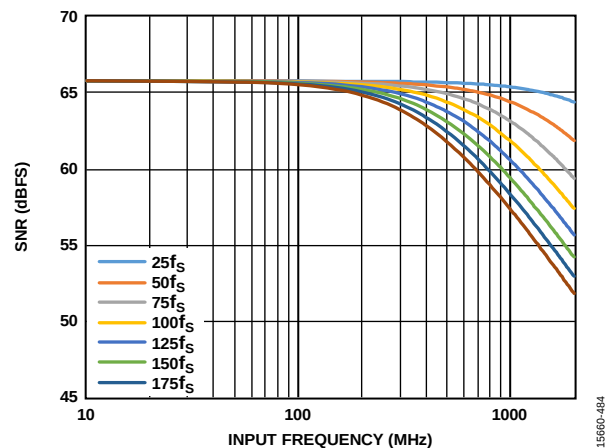


図 84. AD9695 の予測 S/N 比の低下、アナログ入力周波数、RMS ジッタの関係

パワーダウン/スタンバイ・モード

AD9695 には PDWN/STBY ピンがあり、デバイスをパワーダウン・モードまたはスタンバイ・モードに構成できます。デフォルト動作は PDWN です。PDWN/STBY ピンはロジック・ハイ・ピンです。パワーダウン・モードの場合は JESD204B リンクが無効になります。パワーダウン・オプションは、レジスタ 0x003F と 0x0040 を介して設定することもできます。

スタンバイ・モードでは JESD204B リンクが有効で、すべてのコンバータ・サンプルにゼロを送信します。レジスタ 0x0571 のビット 7 を使い、/K/ 文字を選択するようにこの送信を変更してください。

温度ダイオード

AD9695 には、ダイオード・ベースの温度センサーが備わっています。ダイオードの出力電圧は、半導体の温度に対応した値となります。ダイ上には複数のダイオードがありますが、ダイの中央部分にある温度ダイオードを使って得られた結果を、ダイ全体の代表値と見なすことができます。しかし、1 チャンネルだけを使用する（他のチャンネルはパワーダウン状態にある）アプリケーションでは、オンになっているチャンネルに対応する温度ダイオードの値を読み取ることが推奨されます。AD9695 内のダイオードの位置を図 85 に示します。電圧は VREF ピンに出力できます。各位置には 2 個のダイオードがあり、一方のサイズは他方の 20 倍になっています。ダイ温度の予測は、正確を期すために、1 カ所で 2 個のダイオードを両方とも使用して行うことを推奨します。詳細については、アプリケーション・ノート AN-1432 ハイパワー IC の実用的な熱モデリングと測定を参照してください。

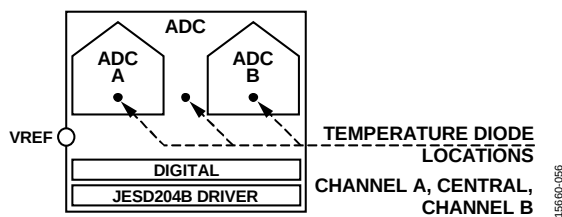


図 85. ダイ内の温度ダイオードの位置

温度ダイオードの電圧は、SPI を使って VREF ピンにエクスポートできます。ダイオードをイネーブルまたはディスエーブルするには、レジスタ 0x18E6 を使用します。VREF ピンには他の電圧も同時にエクスポートされる場合がある、という点に注意する必要があります。電圧が同時にエクスポートされた場合は、デバイスが不定な動作をする可能性があります。正しい指示値が得られるようにするために、このセクションの内容に従って、他のすべての電圧エクスポート回路をオフにしてください。ダイオード電圧の読み取りをイネーブルするために必要な制御機能のブロック図を、図 86 に示します。

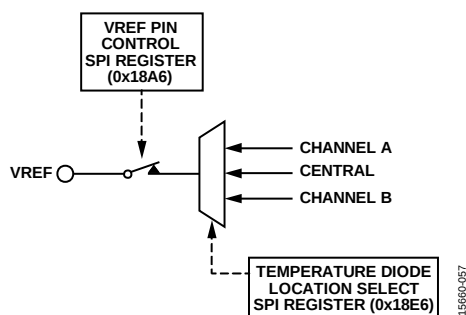


図 86. 温度ダイオード電圧を VREF ピンへ出力するためのレジスタ制御

中央の温度ダイオードのエクスポートに必要な SPI 書込みを以下に示します（詳細はメモリ・マップのセクションを参照）。

4. レジスタ 0x0008 を 0x03 に設定して、両方のチャンネルを選択します。
5. レジスタ 0x18E3 を 0x00 に設定して、V_{CM} のエクスポートをオフにします。
6. レジスタ 0x18A6 を 0x00 に設定して、電圧リファレンスのエクスポートをオフにします。
7. レジスタ 0x18E6 を 0x01 に設定して、中央にある温度ダイオードのうち、サイズが小さい方（1x）の電圧エクスポートをオンにします。温度ダイオードの代表的な電圧応答を図 87 に示します。この電圧がダイ温度を表しますが、精度を向上させるために、2 個あるダイオードの両方の値を測定することを推奨します。サイズが 20 倍のダイオードをイネーブルする方法は次のとおりです。
8. レジスタ 0x18E6 を 0x02 にセットして、ペアの 2 個目の中央温度ダイオード（1 個目の 20 倍のサイズを持つほう）をオンにします。より正確な結果を得るために 2 個のダイオードを同時に使用する方法については、アプリケーション・ノート AN-1432 ハイパワー IC の実用的な熱モデリングと測定を参照してください。

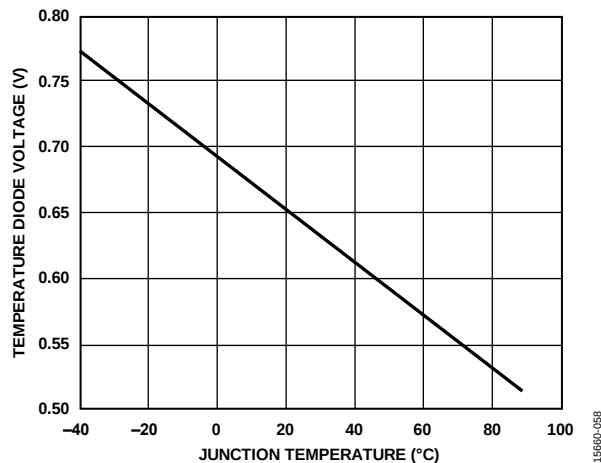


図 87. サイズ 1 の温度ダイオードの代表的電圧応答

測定電圧差 (ΔV) とジャンクション温度 ($^{\circ}\text{C}$) の関係を図 88 に示します。

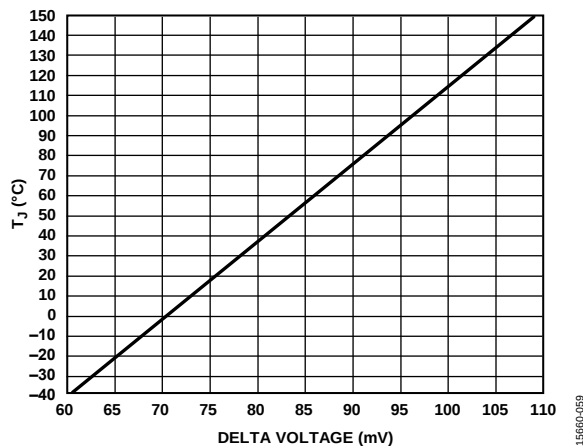


図 88. ジャンクション温度 (T_j) と電圧差 (ΔV) の関係

ADC オーバーレンジと高速検出

レシーバー・アプリケーションでは、コンバータがクリップ状態になるタイミングを確実に判定するメカニズムを備えていることが望まれます。JESD204B 出力の標準オーバーレンジ・ビットは、有用性の低いアナログ入力の状態に関する情報を提供します。したがって、フル・スケール値未満でプログラム可能な閾値を使って、実際にクリップが発生する前に、ゲインを低下させる時間を取れるようにするのが有効です。さらに、入力信号のスルー・レートがかなり大きくなる可能性があるため、この機能の遅延が大きな懸念材料となります。高度にパイプライン化されたコンバータでは、遅延も大きくなります。AD9695 には、閾値をモニタして FD_A ピンと FD_B ピンをアサートするために、個々のチャンネル用の高速検出回路が組み込まれています。

ADC オーバーレンジ

ADC の入力でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ・インジケータは、JESD204B リンク内に制御ビットとして組み込むことができます (CSB > 0 の場合)。このオーバーレンジ・インジケータの遅延は、サンプル遅延と一致します。

AD9695 は、8 個ある仮想コンバータのオーバーレンジ状態も記録します。仮想コンバータの詳細については、図 90 を参照してください。各仮想コンバータのオーバーレンジ状態は、レジスタ 0x563 にスティッキー・ビットとして登録されます。レジスタ 0x563 の内容は、レジスタ 0x562 を使い、仮想コンバータに関連するビットをトグルして位置をセットリセットすることによりクリアできます。

高速閾値検出 (FD_A および FD_B)

入力信号の絶対値が、プログラム可能な上限閾値レベルを超えると、直ちに高速検出ビットがセットされます。FD ビットは、入力信号の絶対値が下限閾値レベルを下回り、その時間がプログラム可能なドウェル時間を超えた場合のみクリアされます。この機能はヒステリシスを発生させて、FD ビットの過度のトグルリングを防ぎます。

上限閾値レジスタと下限閾値レジスタ、およびドウェル時間レジスタの動作を図 89 に示します。

FD インジケータは、入力の大さが上限閾値高速検出レジスタ内にプログラムされた値を超えた場合にアサートされます。これらの検出レジスタは、レジスタ 0x0247 とレジスタ 0x0248 に置かれています。選択された閾値レジスタは、ADC 出力の信号の大さと比較されます。上限閾値の高速検出時には、最大で 28 クロック・サイクルの遅延が生じます。上限閾値の概算値は次式で求められます。

$$\text{上限閾値の大きさ (dBFS)} = 20 \log(\text{閾値の大きさ}/2^{13})$$

FD インジケータは、信号が下限閾値未満に低下して、その状態がプログラムされたドウェル時間だけ持続するまでクリアされません。下限閾値は、レジスタ 0x0249 とレジスタ 0x024A に置かれた下限閾値高速検出レジスタ内に設定されます。下限閾値高速検出レジスタは 13 ビット・レジスタで、ADC 出力の信号の大さと比較されます。この比較は ADC パイプライン遅延の影響を受けますが、コンバータの分解能に関しては正確です。下限閾値の大きさは次式で求められます。

$$\text{下限閾値の大きさ (dBFS)} = 20 \log(\text{閾値の大きさ}/2^{13})$$

例えば、-6 dBFS の上限閾値を設定するには、レジスタ 0x0247 と 0x0248 に 0xFFF を書き込みます。-10 dBFS の下限閾値を設定するには、レジスタ 0x0249 と 0x024A に 0xA1D を書き込みます。

ドウェル時間は、レジスタ 0x24B とレジスタ 0x024C に置かれた高速検出ドウェル時間レジスタに所望の値を設定することによって、1 ~ 65,535 サンプル・クロック・サイクルにプログラムできます。詳細については、メモリ・マップのセクションを参照してください (表 47 のレジスタ 0x0040 とレジスタ 0x0245 ~ レジスタ 0x024C)。

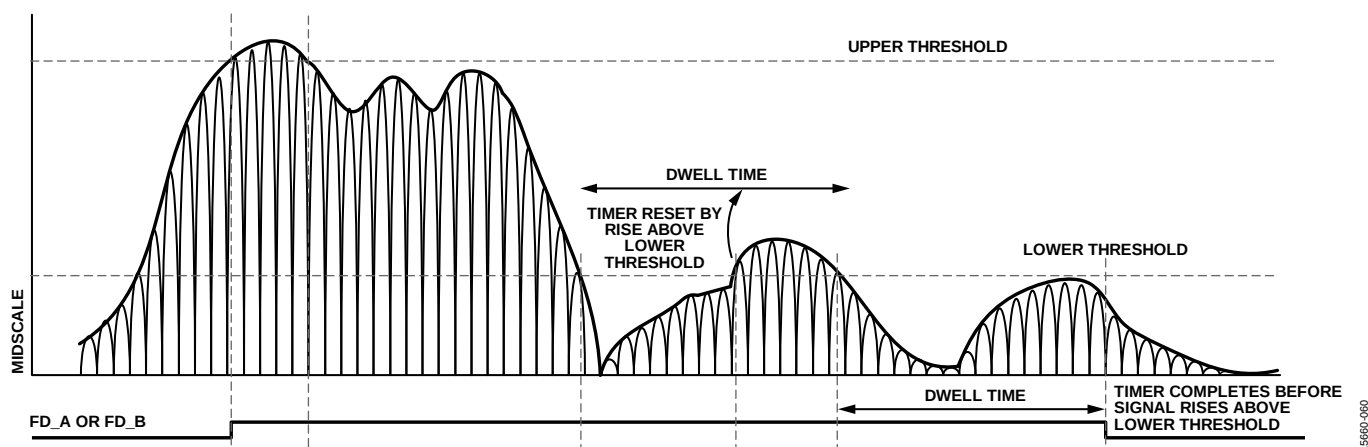


図 89. FD_A および FD_B 信号の閾値設定

ADC のアプリケーション・モードと JESD204B Tx コンバータ・マッピング

AD9695 には構成設定を変更できる信号パスが含まれていて、異なるアプリケーションで異なる機能を有効にすることができます。これらの機能は、チップ・アプリケーション・モード・レジスタ（レジスタ 0x0200）を使って制御します。チップの動作モードは、このレジスタのビット [3:0] によって制御され、チップ Q 無視はビット 5 によって制御されます。

AD9695 には以下のモードがあります。

- フル帯域幅モード: 2 個の 14 ビット ADC コアがフル・サンプル・レートで動作します。
- DDC モード: 最大 4 個の デジタル・ダウンコンバータ (DDC) チャンネル。

チップのアプリケーション・モード選択後は、レジスタ 0x0201 のビット [3:0] のチップ・デシメーション・レシオを使って、出力デシメーション・レシオが設定されます。出力サンプル・レート = ADC サンプル・レート / チップ・デシメーション・レシオです。

さまざまなアプリケーション層のモードをサポートするために、AD9695 は、各サンプル・ストリーム（実数、I、または Q）を個別の仮想コンバータから生じたものとして扱います。

チャンネル・スワッピングがディスエーブルされているときの、必要仮想コンバータ数とトランスポート層マッピングを表 12 に示します。仮想コンバータと、複素出力使用時の DDC 出力との関係を図 90 に示します。

各 DDC チャンネルは、複素データ成分（実数 + 虚数）に対応する 2 つのサンプル・ストリーム (I/Q) か、実数 (I) データに対応する 1 つのサンプル・ストリームを出力します。AD9695 は、DDC の構成に応じて、最大 8 個の仮想コンバータを使用するように構成することができます。

I/Q サンプルは常にペアでマップされ、I サンプルは 1 つ目の仮想コンバータに、Q サンプルは 2 つ目の仮想コンバータにマップされます。このトランスポート層マッピングでは、I/Q 出力を生成するデジタル・ダウンコンバータ・ブロックとともに実際のコンバータを 1 個使用しても、I/Q 出力を生成する実際のコンバータを 2 個使用してアナログ・ダウンコンバージョンを行っても、仮想コンバータの数は同じです。

図 91 に、I/Q トランスポート層マッピング用に記述した 2 通りのシナリオのブロック図を示します。

表 12. 仮想コンバータ・マッピング

Number of Virtual Converters Supported	Chip Operating Mode (Reg. 0x0200, Bits[3:0])	Chip Q Ignore (0x0200, Bit 5)	Virtual Converter Mapping							
			0	1	2	3	4	5	6	7
1 to 2	Full bandwidth mode (0x0)	Real or complex (0x0)	ADC A samples	ADC B samples	Unused	Unused	Unused	Unused	Unused	Unused
1	One DDC mode (0x1)	Real (I only) (0x1)	DDC0 I samples	Unused	Unused	Unused	Unused	Unused	Unused	Unused
2	One DDC mode (0x1)	Complex (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	Unused	Unused	Unused	Unused	Unused	Unused
2	Two DDC mode (0x2)	Real (I only) (0x1)	DDC0 I samples	DDC1 I samples	Unused	Unused	Unused	Unused	Unused	Unused
4	Two DDC mode (0x2)	Complex (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	DDC1 I samples	DDC1 Q samples	Unused	Unused	Unused	Unused
4	Four DDC mode (0x3)	Real (I only) (0x1)	DDC0 I samples	DDC1 I samples	DDC2 I samples	DDC3 I samples	Unused	Unused	Unused	Unused
8	Four DDC mode (0x3)	Complex (I/Q) (0x0)	DDC0 I samples	DDC0 Q samples	DDC1 I samples	DDC1 Q samples	DDC2 I samples	DDC2 Q samples	DDC3 I samples	DDC3 Q samples

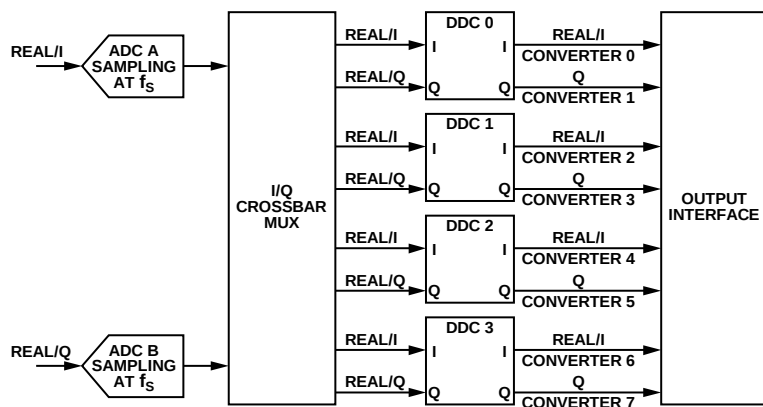


図 90. DDC と仮想コンバータ・マッピング

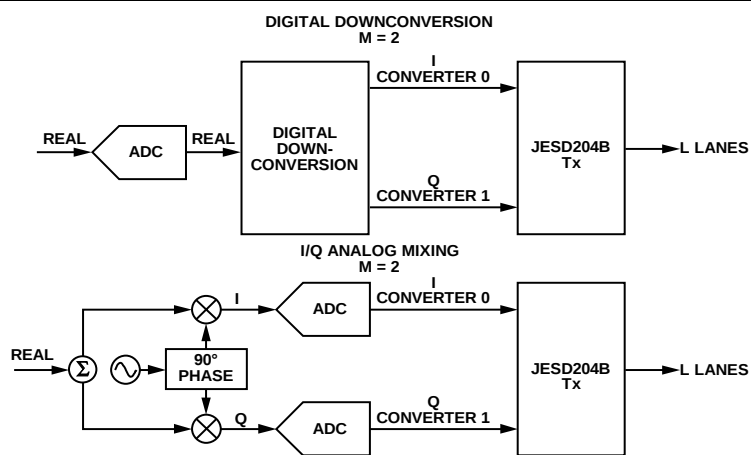


図 91. I/Q トランスポート層マッピング

15660-062

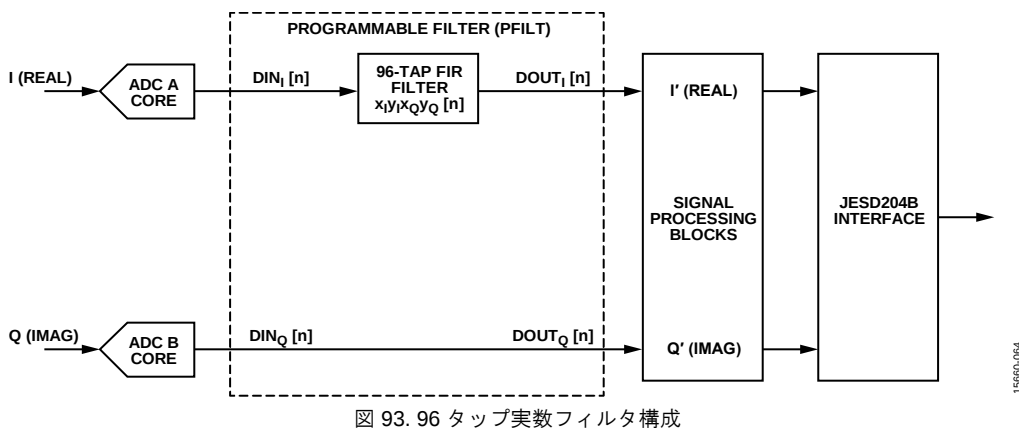
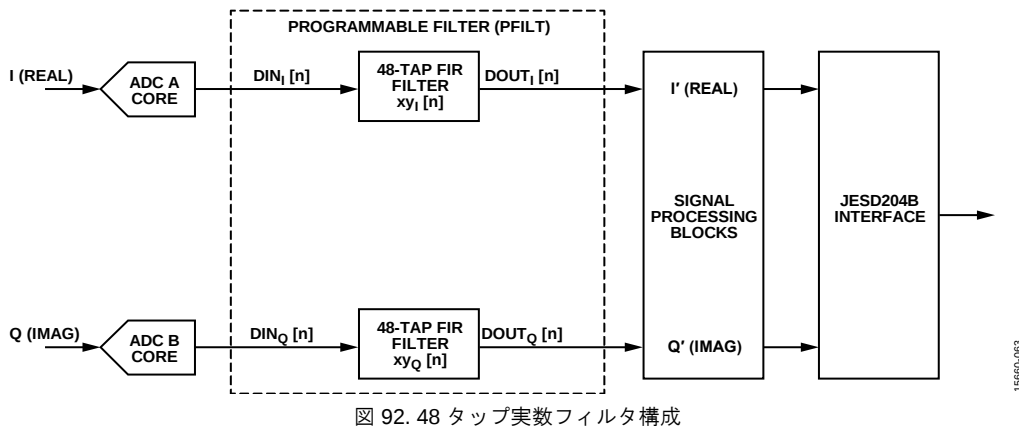
プログラマブル FIR（有限インパルス応答）フィルタ

対応しているモード

AD9695 は以下の動作モードに対応しています（アスタリスク（*）は畳込みを表す）。

- 各 I/Q チャンネル用の 48 タップ実数フィルタ（図 92 参照）
 - $DOUT_I[n] = DIN_I[n] * XY_I[n]$
 - $DOUT_Q[n] = DIN_Q[n] * XY_Q[n]$
- I チャンネルまたは Q チャンネル用の 96 タップ実数フィルタ（図 93）
- $DOUT_I[n] = DIN_I[n] * XY_I_XY_Q[n]$
 - $DOUT_Q[n] = DIN_Q[n]$
- 各 I/Q チャンネル用に直列接続した 24 タップ実数フィルタ 2 個のセット（図 94 参照）
 - $DOUT_I[n] = DIN_I[n] * X_I[n] * Y_I[n]$
 - $DOUT_Q[n] = DIN_Q[n] * X_Q[n] * Y_Q[n]$

- I/Q チャンネル用の 48 タップ実数フィルタ 2 個を使用した半複素フィルタ（図 95 参照）
 - $DOUT_I[n] = DIN_I[n]$
 - $DOUT_Q[n] = DIN_Q[n] * XY_Q[n] + DIN_I[n] * XY_I[n]$
- I/Q チャンネル用の 24 タップ実数フィルタ 4 個を使用した全複素フィルタ（図 96 参照）
 - $DOUT_I[n] = DIN_I[n] * X_I[n] + DIN_Q[n] * Y_Q[n]$
 - $DOUT_Q[n] = DIN_Q[n] * X_Q[n] + DIN_I[n] * Y_I[n]$



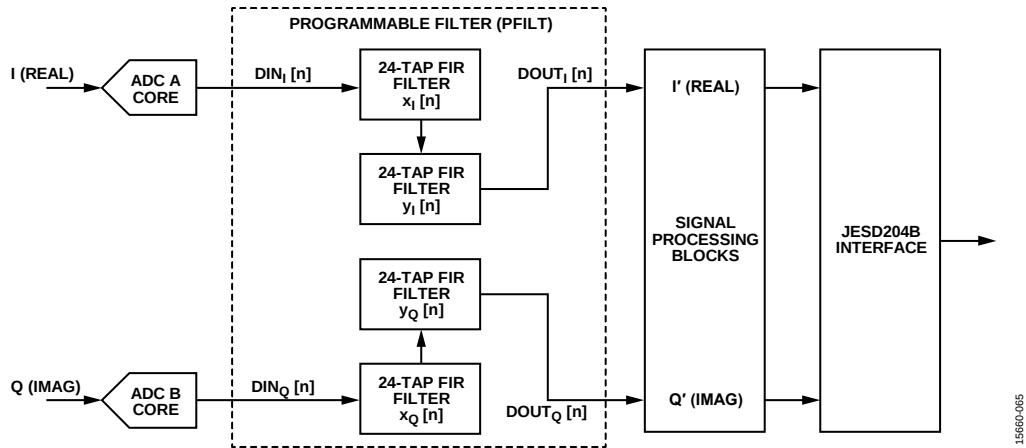


図 94. 24 タップ実数フィルタ 2 個の直列接続構成

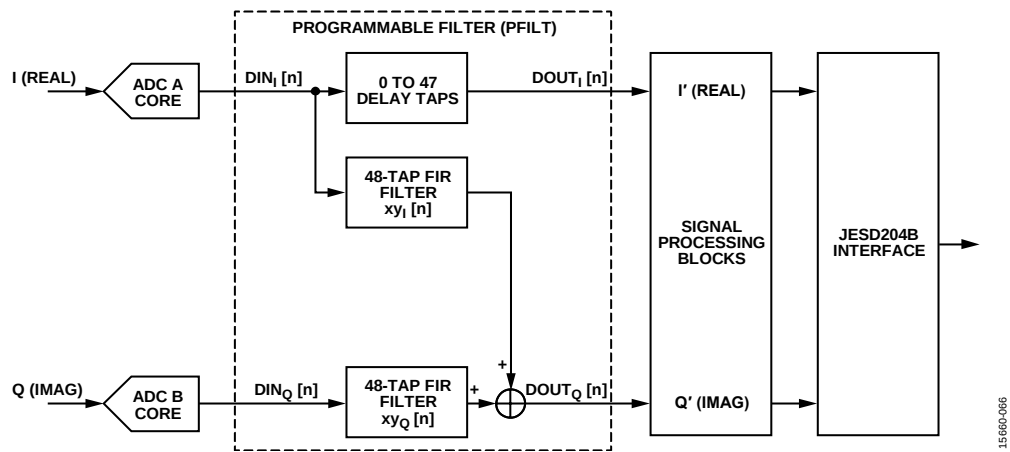


図 95. 48 タップ半複素フィルタ構成

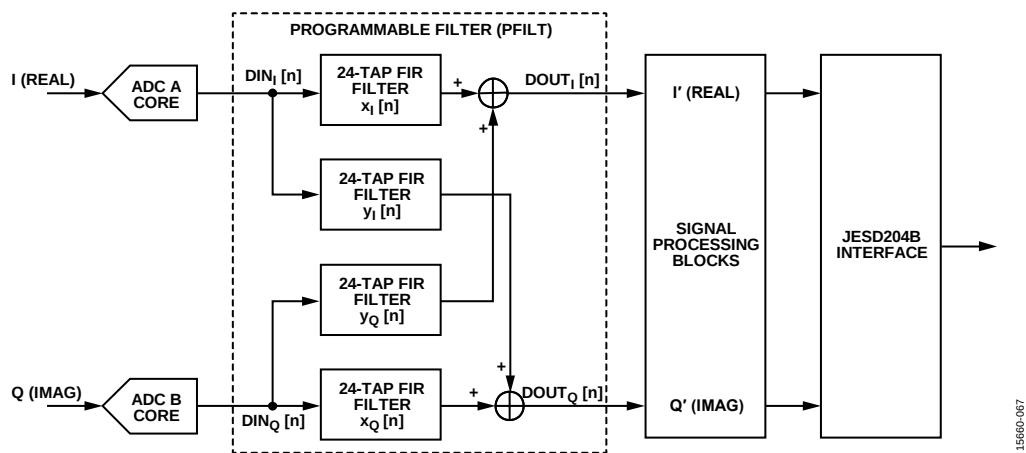


図 96. 24 タップ全複素フィルタ構成

プログラミング方法

プログラマブル FIR フィルタをセットアップするには、以下の手順に従ってください。

- デバイスへのサンプル・クロックをイネーブルします。
- モード・レジスタを以下のように設定します。
 - デバイス・インデックスをチャンネル A (I パス) に設定します (レジスタ 0x0008 = 0x01)。
 - レジスタ 0x0DF8 とレジスタ 0x0DF9 に I パス・モード (I モード) とゲインを設定します (表 13 と表 14 を参照)。
 - デバイス・インデックスをチャンネル B (Q パス) に設定します (レジスタ 0x0008 = 0x02)。
 - レジスタ 0x0DF8 とレジスタ 0x0DF9 で Q パス・モード (Q モード) とゲインを設定します。
- プログラマブル・フィルタを起動させるために、少なくとも 5 μ s 待機します。
- 以下の要領で内部シャドウ・レジスタに I パス係数をプログラムします。
 - デバイス・インデックスをチャンネル A (I パス) に設定します (レジスタ 0x0008 = 0x01)。
 - レジスタ 0x0E00 ~ 0x0E2F に XI 係数をプログラムします (表 15 と表 16 を参照)。
 - レジスタ 0x0F00 ~ 0x0F2F に YI 係数をプログラムします (表 15 と表 16 を参照)。
 - レジスタ 0x0F30 にタップ遅延をプログラムします (この手順はオプションです)。
- 以下の要領で内部シャドウ・レジスタに Q パス係数をプログラムします。
 - デバイス・インデックスをチャンネル B (Q パス) に設定します (レジスタ 0x0008 = 0x02)。
 - レジスタ 0x0DF8 とレジスタ 0x0DF9 に Q パス・モードとゲインを設定します (表 13 と表 14 を参照)。
 - レジスタ 0x0E00 ~ 0x0E2F に XQ 係数をプログラムします (表 15 と表 16 を参照)。
 - レジスタ 0x0F00 ~ 0x0F2F に YQ 係数をプログラムします (表 15 と表 16 を参照)。
 - レジスタ 0x0F30 にタップ遅延をプログラムします (この手順はオプションです)。
- 以下のどちらかの方法を使ってチップ転送ビットを設定します (チップ転送ビットを設定すると、プログラムされたシャドウ係数がフィルタに適用されます)。
 - チップ転送ビットを設定することによって (レジスタ 0x000F = 0x01)、レジスタ・マップを経由する。
 - 以下の要領で GPIO ピンを経由する。
 - レジスタ 0x0040 ~ 0x0042 に、GPIO ピンの 1 つをチップ転送ビットとして設定する。
 - GPIO ピンをトグルしてチップ転送を開始する (立上がりエッジがトリガされる)。
- レジスタ 0x0DF8 の I または Q パス・モード・レジスタが変化する場合、すべての係数をプログラムし直す必要があります。

表 13. レジスタ 0x0DF8 の定義

Bits	Description
[7:3]	予備
[2:0]	フィルタ・モデル (I モードまたは Q モード) 000: フィルタをバイパス 001: 24 タップ実数フィルタ (X のみ) 010: 48 タップ実数フィルタ (X と Y の両方) 100: 直列接続した 24 タップ実数フィルタ 2 個のセット (X から Y へ直列接続) 101: 4 個の 24 タップ実数フィルタを使用する A/B チャンネル用の 全複素フィルタ (反対側チャンネルも 101 に設定する必要があります) 110: 2 個の 48 タップ実数フィルタ + 48 タップ遅延ラインを使用する半複素フィルタ (X と Y の両方) (反対側チャンネルも 010 に設定する必要があります) 111: 96 タップ実数フィルタ (XI, YI, XQ, および YQ のすべて) (反対側チャンネルを 000 に設定する必要があります)

表 14. レジスタ 0x0DF9 の定義

Bits	Description
7	予備
[6:4]	Y フィルタのゲイン 110: -12 dB の損失 111: -6 dB の損失 000: 0 dB のゲイン 001: 6 dB のゲイン 010: 12 dB のゲイン
3	予備
[2:0]	X フィルタのゲイン 110: -12 dB の損失 111: -6 dB の損失 000: 0 dB のゲイン 001: 6 dB のゲイン 010: 12 dB のゲイン

レジスタ 0x0E00 ~ 0x0F30 の係数を表 15 と表 16 に示します。係数はすべて Q1.15 フォーマット (符号ビット + 15 個の小数部ビット) です。

表 15. I 係数の表（デバイス選択 = 0x1）¹

Addr.	Single 24-Tap Filter (I Mode [2:0] = 0x1)	Single 48-Tap Filter (I Mode [2:0] = 0x2)	Two Cascaded 24-Tap Filters (I Mode [2:0] = 0x4)	Full Complex 24-Tap Filters (I Mode [2:0] = 0x5 and Q Mode [2:0] = 0x5)	Half Complex 48-Tap Filters (I Mode [2:0] = 0x6 and Q Mode [2:0] = 0x2) ²	I Path 96-Tap Filter (I Mode[2:0] = 0x7 and Q Mode [2:0] = 0x0) ³	Q Path 96-Tap Filter (I Mode [2:0] = 0x0 and Q Mode [2:0] = 0x7) ³
0x0E00	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XI C0 [7:0]	XQ C48 [7:0]
0x0E01	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XI C0 [15:8]	XQ C48 [15:8]
0x0E02	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XI C1 [7:0]	XQ C49 [7:0]
0x0E03	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XI C1 [15:8]	XQ C49 [15:8]
...	...	...	...	...	...	...	...
0x0E2E	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XI C23 [7:0]	XQ C71 [7:0]
0x0E2F	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XI C23 [15:0]	XQ C71 [15:0]
0x0F00	Unused	YI C24 [7:0]	YI C0 [7:0]	YI C0 [7:0]	YI C24 [7:0]	YI C24 [7:0]	YQ C72 [7:0]
0x0F01	Unused	YI C24 [15:8]	YI C0 [15:8]	YI C0 [15:8]	YI C24 [15:8]	YI C24 [15:8]	YQ C72 [15:8]
0x0F02	Unused	YI C25 [7:0]	YI C1 [7:0]	YI C1 [7:0]	YI C25 [7:0]	YI C25 [7:0]	YQ C73 [7:0]
0x0F03	Unused	YI C25 [15:8]	YI C1 [15:8]	YI C1 [15:8]	YI C25 [15:8]	YI C25 [15:8]	YQ C73 [15:8]
...	...	...	...	...	...	...	...
0x0F2E	Unused	YI C47 [7:0]	YI C23 [7:0]	YI C23 [7:0]	YI C47 [7:0]	YI C47 [7:0]	YQ C95 [7:0]
0x0F2F	Unused	YI C47 [15:0]	YI C23 [15:0]	YI C23 [15:0]	YI C47 [15:0]	YI C47 [15:0]	YQ C95 [15:0]
0x0F30	Unused	Unused	Unused	Unused	I path tapped delay 0: 0 tapped delay (matches C0 in the filter) 1: 1 tapped delays ... 47: 47 tapped delays	Unused	Unused

¹ 「XI Cn」は「Iパス X 係数 n」を意味し、「YI Cn」は「Iパス Y 係数 n」を意味します。² 48 タップ半複素フィルタ・モードで I パスを使用する場合は、Q パスがシングル 48 タップ・フィルタ・モードになっている必要があります。³ 96 タップ・フィルタ・モードで I パスを使用する場合は、Q パスがバイパス・モードになっている必要があります。

表 16. Q 係数の表（デバイス選択 = 0x2）¹

Addr.	Single 24-Tap Filter (Q Mode [2:0] = 0x1)	Single 48-Tap Filter (Q Mode [2:0] = 0x2)	Two Cascaded 24-Tap Filters (Q Mode [2:0] = 0x4)	Full Complex 24-Tap Filters (Q Mode [2:0] = 0x5 and I Mode [2:0] = 0x5)	Half Complex 48-Tap Filters (Q Mode [2:0] = 0x6 and I Mode [2:0] = 0x2) ²	I Path 96-Tap Filter (Q Mode [2:0] = 0x0 and I Mode [2:0] = 0x7) ³	Q Path 96-Tap Filter (Q Mode [2:0] = 0x7 and I Mode [2:0] = 0x0) ³
0x0E00	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XQ C0 [7:0]	XI C48 [7:0]	XQ C0 [7:0]
0x0E01	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XQ C0 [15:8]	XI C48 [15:8]	XQ C0 [15:8]
0x0E02	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XQ C1 [7:0]	XI C49 [7:0]	XQ C1 [7:0]
0x0E03	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XQ C1 [15:8]	XI C49 [15:8]	XQ C1 [15:8]
...	...	...	...	...	...	...	...
0x0E2E	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XQ C23 [7:0]	XI C71 [7:0]	XQ C23 [7:0]
0x0E2F	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XQ C23 [15:0]	XI C71 [15:0]	XQ C23 [15:0]
0x0F00	Unused	YQ C24 [7:0]	YQ C0 [7:0]	YQ C0 [7:0]	YQ C24 [7:0]	YI C72 [7:0]	YQ C24 [7:0]
0x0F01	Unused	YQ C24 [15:8]	YQ C0 [15:8]	YQ C0 [15:8]	YQ C24 [15:8]	YI C72 [15:8]	YQ C24 [15:8]
0x0F02	Unused	YQ C25 [7:0]	YQ C1 [7:0]	YQ C1 [7:0]	YQ C25 [7:0]	YI C73 [7:0]	YQ C25 [7:0]
0x0F03	Unused	YQ C25 [15:8]	YQ C1 [15:8]	YQ C1 [15:8]	YQ C25 [15:8]	YI C73 [15:8]	YQ C25 [15:8]
...	...	...	...	...	...	...	...
0x0F2E	Unused	YQ C47 [7:0]	YQ C23 [7:0]	YQ C23 [7:0]	YQ C47 [7:0]	YI C95 [7:0]	YQ C47 [7:0]
0x0F2F	Unused	YQ C47 [15:0]	YQ C23 [15:0]	YQ C23 [15:0]	YQ C47 [15:0]	YI C95 [15:0]	YQ C47 [15:0]
0x0F30	Unused	Unused	Unused	Unused	Q path tapped delay 0: 0 tapped delay (matches C0 in the filter) 1: 1 tapped delays ... 47: 47 tapped delays	Unused	Unused

¹ 「XQ Cn」は「Qパス X 係数 n」を意味し、「YQ Cn」は「Qパス Y 係数 n」を意味します。² 48 タップ半複素フィルタ・モードで I パスを使用する場合は、Q パスがシングル 48 タップ・フィルタ・モードになっている必要があります。³ 96 タップ・フィルタ・モードで I パスを使用する場合は、Q パスがバイパス・モードになっている必要があります。

デジタル・ダウンコンバータ（DDC）

AD9695 には、フィルタリングを行って出力データ・レートを下げる 4 個のデジタル・ダウンコンバータ（DDC 0 ～ DDC 3）があります。このデジタル処理セクションには、1 つの NCO、複数のデシメーティング FIR フィルタ、1 つのゲイン段、そして複素数から実数への変換段が 1 つ含まれています。これらの処理ブロックはそれぞれ複数の制御ラインを備えており、個別にイネーブルまたはディスエーブルして、必要な処理機能を提供することができます。デジタル・ダウンコンバータは、実数データまたは複素データを出力するように構成可能です。

DDC は 16 ビット・ストリームを出力します。この動作をイネーブルするには、アナログ・コアの出力が 14 ビットであっても、コンバータのビット数 N をデフォルト値の 16 に設定します。フル帯域幅動作では、テール・ビットをイネーブルしない限り、ADC 出力は最後に 2 個のゼロが付いた 14 ビット・ワードです。

DDC 入力の I/Q 選択

AD9695 には 2 つの ADC チャンネルと 4 つの DDC チャンネルがあります。各 DDC チャンネルには 2 つの入力ポートがあり、これらを組み合わせ、I/Q クロスバー・マルチプレクサを通じて実数入力と複素数入力の両方に対応することができます。実数信号の場合は、両方の DDC 入力に同じ ADC チャンネルを選択する必要があります（つまり、DDC 入力ポート I = ADC チャンネル A、DDC 入力ポート Q = ADC チャンネル A）。複素信号の場合は、各 DDC 入力に異なる ADC チャンネルを選択する必要があります（つまり、DDC 入力ポート I = ADC チャンネル A、DDC 入力ポート Q = ADC チャンネル B）。

各 DDC への入力は、DDC 入力選択レジスタ（レジスタ 0x0311、レジスタ 0x0331、レジスタ 0x0351、およびレジスタ 0x0371）で制御します。DDC の構成方法については表 47 を参照してください。

DDC 出力の I/Q 選択

各 DDC チャンネルには 2 つの出力ポートがあり、これらを組み合わせ、実数出力と複素数出力の両方に対応することができます。実数出力信号には、DDC 出力ポート I だけを使用します（DDC 出力ポート Q は無効です）。複素 I/Q 出力信号には、DDC 出力ポート I と DDC 出力ポート Q の両方を使用します。

各 DDC チャンネルへの I/Q 出力は、DDC 制御レジスタ（レジスタ 0x0310、0x0330、0x0350、および 0x0370）の DDC 複素数-実数イネーブル・ビット（ビット 3）によって制御します。

チップ・モード・レジスタのチップ Q 無視ビット（レジスタ 0x0200 のビット 5）は、すべての DDC チャンネルのチップ出力マルチプレクシングを制御します。すべての DDC チャンネルが実数出力を使用している場合に、すべての DDC Q 出力ポートを無視するには、このビットをハイに設定します。いずれかの DDC チャンネルが複素 I/Q 出力を使用するように設定されている場合、DDC 出力ポート I と DDC 出力ポート Q の両方を使用するには、このビットをクリアする必要があります。詳細については図 130 を参照してください。

DDC の概要

ADC がキャプチャするフル・デジタル・スペクトラムの一部を抽出するために、4 つの DDC ブロックが使われています。これらは、広帯域入力信号を必要とする IF サンプリングまたはオーバーサンプリングのベースバンド無線に使用することを意図したものです。

各 DDC ブロックには以下の信号処理段が含まれています。

- 周波数変換段（オプション）
- フィルタリング段
- ゲイン段（オプション）
- 複素数から実数への変換段（オプション）

周波数変換段（オプション）

この段は、位相コヒーレント NCO 1 個と、実数入力信号と複素入力信号両方の周波数変換に使用できる複数の直交ミキサーで構成されています。位相コヒーレント NCO は無制限の周波数ホップを可能にしますが、これらの周波数ホップは、すべて 1 つの同期イベントにリファレンス・バックされます。また、高速スイッチング・アプリケーション用に、16 個のシャドウ・レジスタも含まれています。この段は、使用可能なデジタル・スペクトラムの一部をベースバンドまでシフト・ダウンします。

フィルタリング段

ベースバンドまでシフト・ダウンした後、この段は、レート変換用の複数のローパス有限インパルス応答（FIR）フィルタを使って、周波数スペクトラムをデシメートします。このデシメーション・プロセスは出力データ・レートを下げ、さらにそれによって出力インターフェース・レートを下げます。

ゲイン段（オプション）

範囲をベースバンドまで下げて実数入力信号をミキシングすると、それに伴い損失が生じるため、この段ではさらに 0 dB または 6 dB のゲインを加えてこれを補償します。

複素数から実数への変換段（オプション）

実数出力が必要な場合、この段は $f_s/4$ ミキシング動作を実行し、信号の複素成分を除去するフィルタを使用して、複素数出力を実数に変換し直します。

図 97 に、AD9695 内に実装された DDC の詳細ブロック図を示します。

図 98 は、実数入力信号とハーフバンド・フィルタ 4 個（HB4 + HB3 + HB2 + HB1）を使用するものとして、4 つある DDC チャンネルのうちの 1 つの使用例を示したものです。この図には、複素数出力（デシメーション・レート 16）と実数出力（デシメーション・レート 8）の両方が示されています。

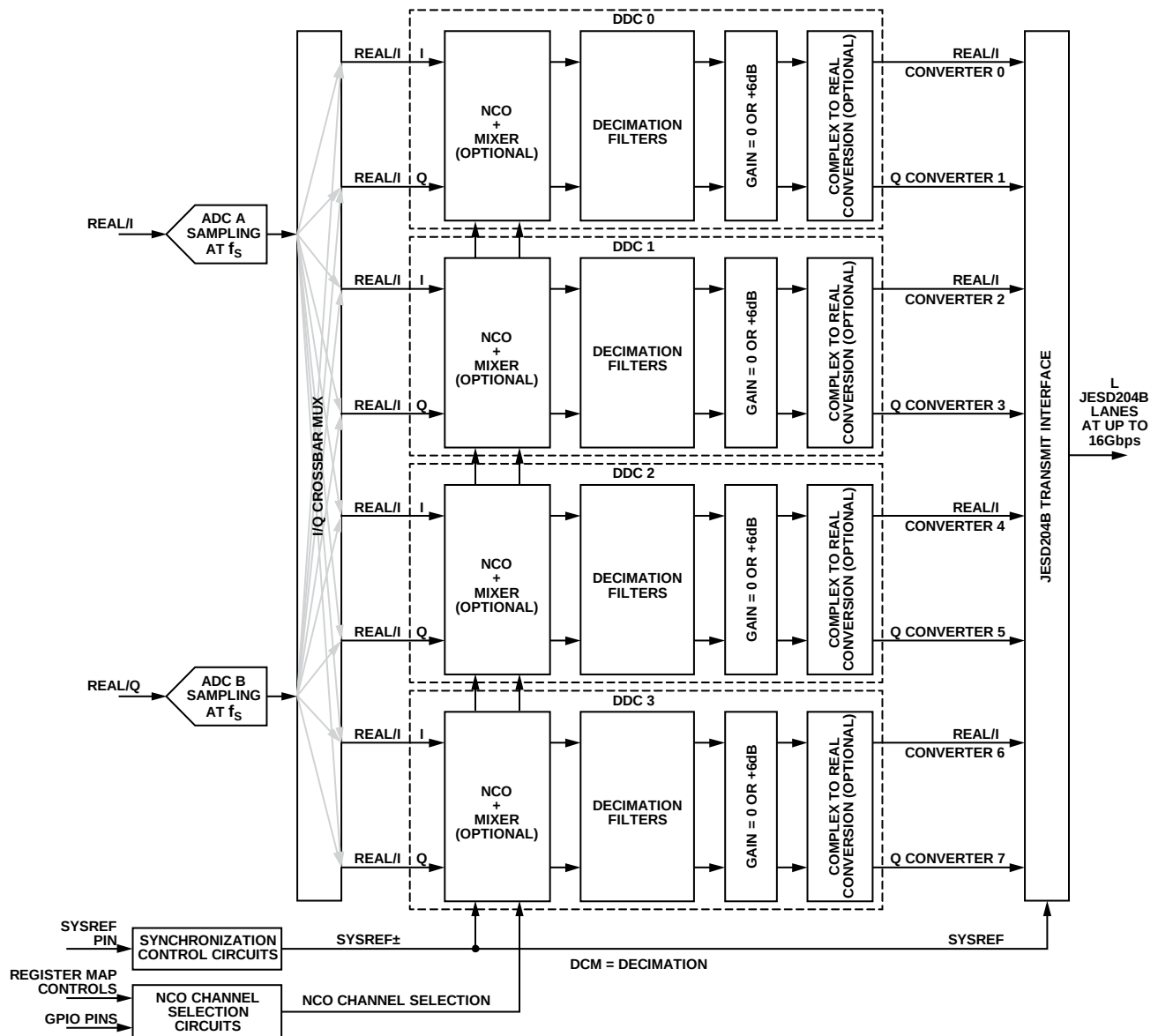


図 97. DDC の詳細ブロック図

15660-068

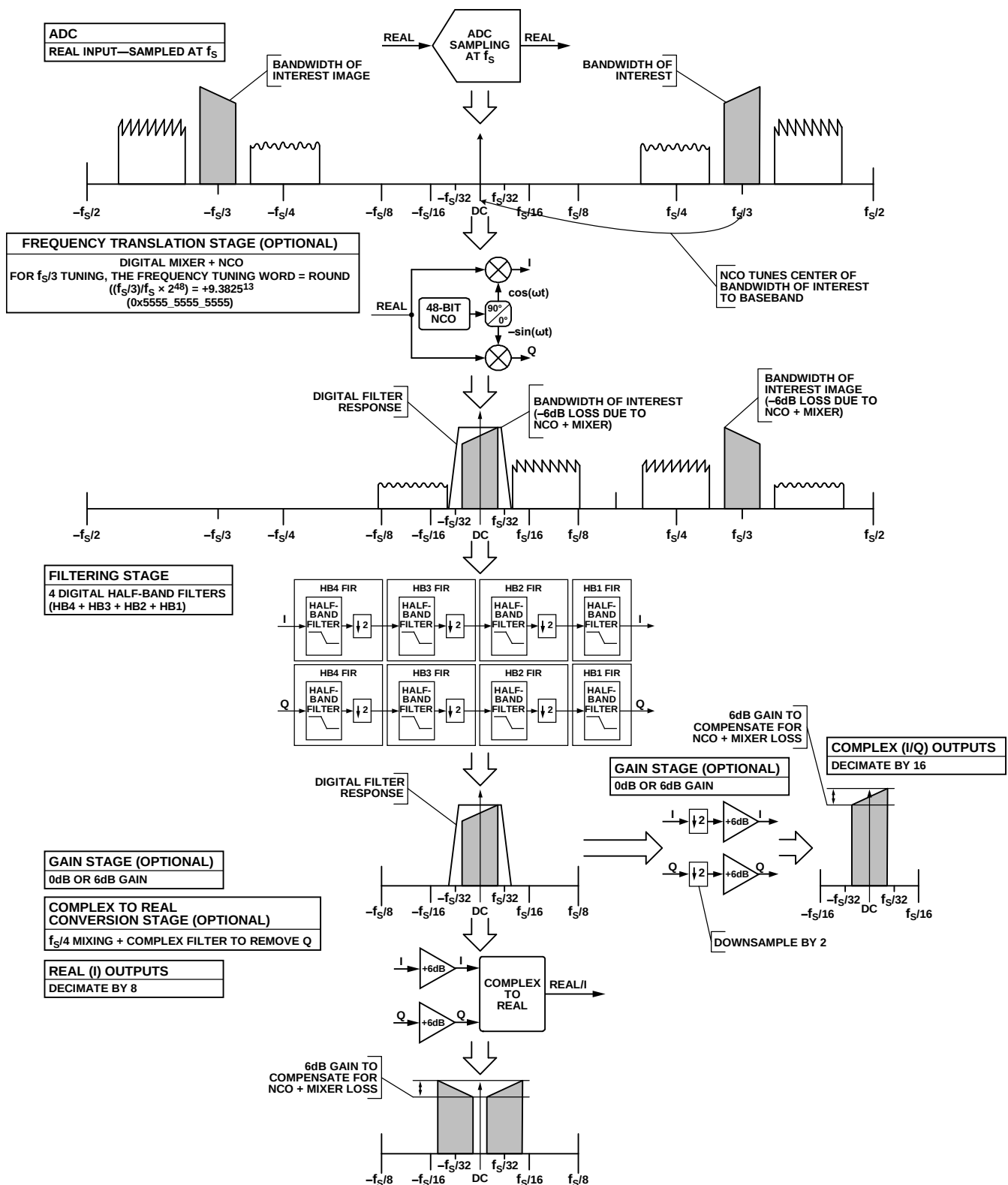


図 98. DDC の動作理論例（実数入力）

DDC の周波数変換

DDC における周波数変換の概要

周波数変換は、デジタル直交ミキサーを備えた 48 ビット複素 NCO を使用することによって行われます。この段では、IF からの実数または複素数の入力信号を、ベースバンド複素デジタル出力に変換します（搬送波周波数 = 0 Hz）。

各 DDC の周波数変換段は個別に制御可能で、DDC 制御レジスタ（レジスタ 0x0310、0x0330、0x0350、0x0370）のビット [5:4] を使用することによって、4 つの異なる IF モードをサポートします。これらの IF モードは次のとおりです。

- 可変 IF モード
- 0 Hz IF またはゼロ IF (ZIF) モード
- $f_s/4$ Hz IF モード
- テスト・モード

可変 IF モード

NCO とミキサーがイネーブルされます。NCO 出力周波数は、IF 周波数のデジタル調整に使用できます。

0 Hz IF (ZIF) モード

ミキサーはバイパスされて、NCO はディスエーブルされます。

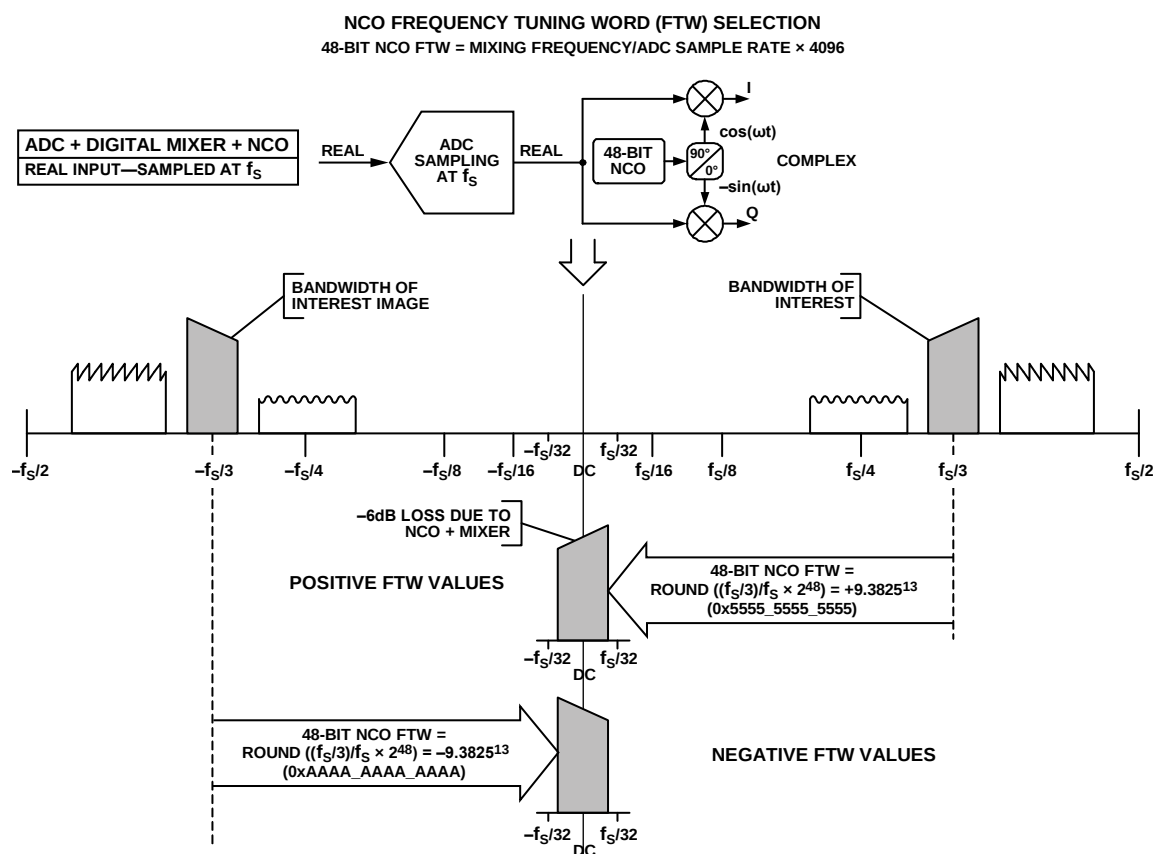
$f_s/4$ Hz IF モード

省電力のために、 $f_s/4$ モードによる特別なダウンミキシング時にミキサーと NCO がイネーブルされます。

テスト・モード

入力サンプルが 0.999 から正のフル・スケールまでに強制されます。NCO はイネーブルされます。テスト・モードでは、NCO でデシメーション・フィルタを直接駆動することができます。

図 99 と図 100 に、実数入力と複素入力の両方について周波数変換段の例を示します。



15660-070

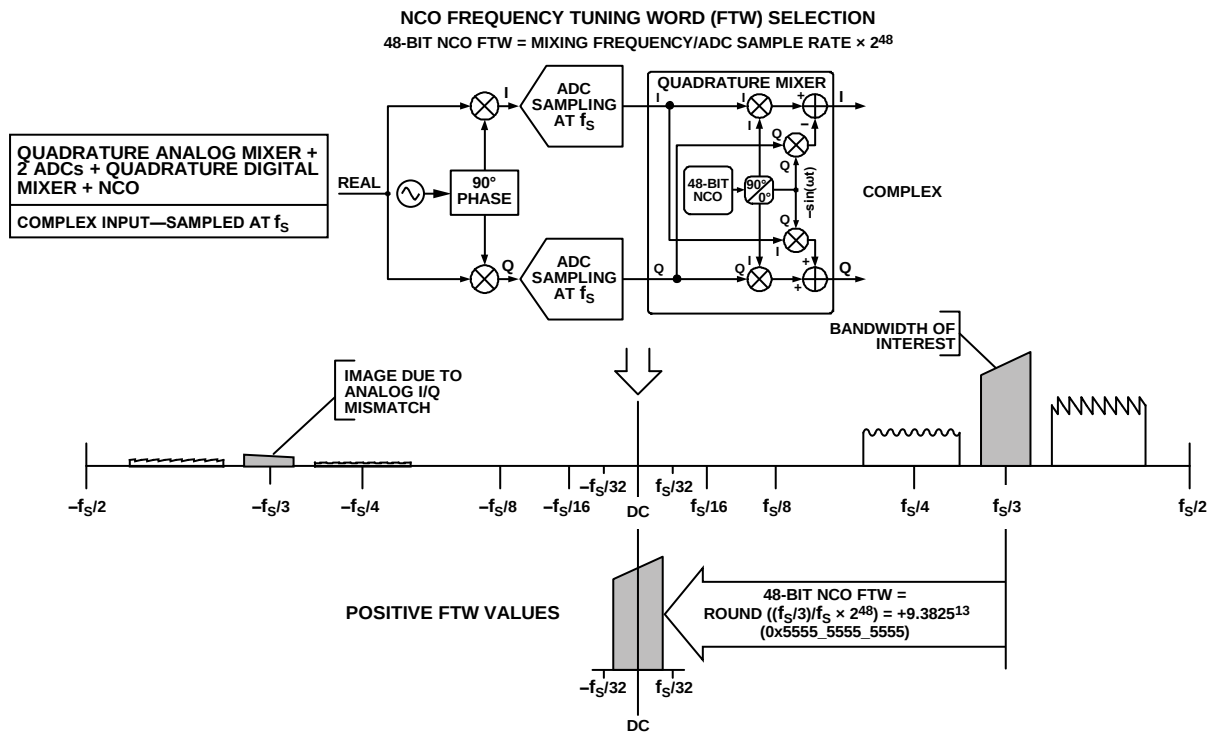


図 100. DDC NCO の周波数チューニング・ワード選択 — 複素入力

15660-071

DDC NCO の概要

各 DDC には NCO が 1 つ内蔵されています。各 NCO は、複素指数周波数 ($e^{j\omega t}$) を作成することによって周波数変換プロセスをイネーブルします。この周波数を入力スペクトラムとミキシングすれば、必要とする周波数帯を DC に変換でき、さらに後段のローパス・フィルタ・ブロックでそれを除去し、エイリアシングを防ぐことができます。

可変 IF モードでは、NCO はさらに 2 つの異なるモードをサポートします。

DDC NCO プログラマブル・モジュラス・モード

このモードは、単一の搬送波周波数において正確な有理 (M/N) 周波数合成が必要なアプリケーションに対して、48 ビットを超える周波数チューニング精度を実現します。このモードで NCO をセットアップするには、以下を提供します。

- 48 ビット周波数チューニング・ワード (FTW)
- 48 ビット・モジュラス A ワード (MAW)
- 48 ビット・モジュラス B ワード (MBW)
- 48 ビット位相オフセット・ワード (POW)

DDC NCO コヒーレント・モード

このモードでは無制限の周波数ホップが可能で、この場合は時間 0 における単一の同期イベントが位相の基準になります。このモードは、異なる周波数帯間での切替え時、位相コヒーレンスを維持する必要がある場合に有効です。このモードでは、NCO をリセットすることなく、任意のチューニング周波数に切り替えることができます。必要な FTW は 1 つだけですが、NCO には、高速スイッチング・アプリケーション用に 16 個のシャドウ・レジスタが含まれています。シャドウ・レジスタの選択は、CMOS GPIO ピンによって制御するか、SPI のレジスタ・マップを使用して制御します。このモードで NCO をセットアップするには、以下を提供します。

- 最大 16 個の 48 ビット FTW。
- 最大 16 個の 48 ビット POW。
- コヒーレント・モードでは、48 ビット MAW をゼロに設定する必要があります。

1 個の NCO と、設計の他の部分への接続を示すブロック図を、図 101 に示します。コヒーレント位相アキュムレータ・ブロックには、無制限の周波数ホップを可能にするロジックが含まれています。

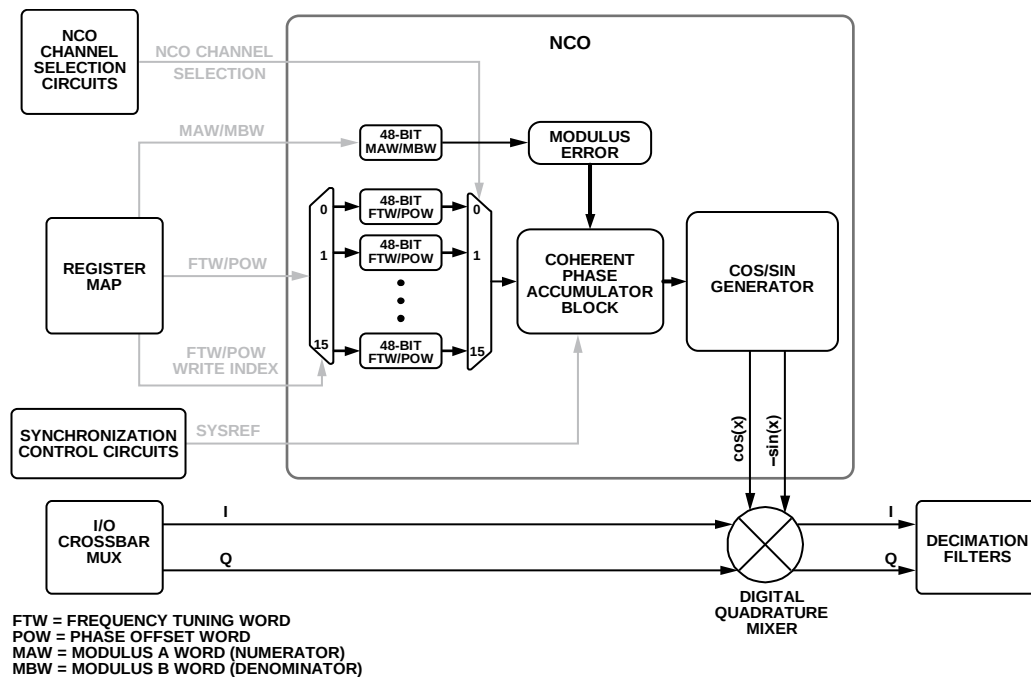


図 101. NCO + ミキサのブロック図

15660-072

NCO FTW/POW/MAW/MAB の説明

NCO の周波数値は以下の設定によって決まります。

- FTW に入力された 48 ビットの 2 の補数
- MAW に入力された 48 ビットの符号なし数値
- MBW に入力された 48 ビットの符号なし数値

$-f_s/2$ から $+f_s/2$ までの周波数 ($f_s/2$ を含まない) は、以下の値を使って表されます。

- FTW = 0x8000_0000_0000 と MAW = 0x0000_0000_0000 は、周波数 $-f_s/2$ を表します。
- FTW = 0x0000_0000_0000 と MAW = 0x0000_0000_0000 は、DC を表します (周波数 0 Hz)。
- FTW = 0x7FFF_FFFF_FFFF と MAW = 0x0000_0000_0000 は、周波数 $+f_s/2$ を表します。

NCO FTW/POW/MAW/MAB プログラマブル・モジュラス・モード

プログラマブル・モジュラス・モードにするには、MAW をゼロ以外の値 (0x0000_0000_0000 でない値) に設定する必要があります。このモードが必要になるのは、48 ビットを超える周波数精度が必要とされる場合に限られます。48 ビットを超える精度を必要とする有理周波数合成条件の一例は、サンプル・レート f_s の 1/3 の搬送波周波数です。必要とされる周波数精度が 48 ビット以下の場合は、コヒーレント・モードを使用してください (NCO FTW/POW/MAW/MAB コヒーレント・モードのセクションを参照)。

プログラマブル・モジュラス・モードでは、FTW、MAW、MBW が以下の 4 つの式を満たす必要があります (プログラマブル・モジュラス機能の詳細については、アプリケーション・ノート AN-953 にある DDS アーキテクチャに関する説明を参照)。

$$\frac{\text{mod}(f_c, f_s)}{f_s} = \frac{M}{N} = \frac{FTW + \frac{MAW}{2^{48}}}{2^{48}} \quad (1)$$

$$FTW = \text{floor}\left(2^{48} \frac{\text{mod}(f_c, f_s)}{f_s}\right) \quad (2)$$

$$MAW = \text{mod}(2^{48} \times M, N) \quad (3)$$

$$MBW = N \quad (4)$$

ここで、

f_c は必要な搬送波周波数、

f_s は ADC のサンプリング周波数、

M は周波数比を示す有理数の分子を表す整数、

N は周波数比を示す有理数の分母を表す整数、

FTW は NCO FTW を表す 48 ビットの 2 の補数値、

MAW は NCO MAW を表す 48 ビットの符号なし数値 (2^{47} 未満でなければならない) 、

MBW は NCO MBW を表す 48 ビットの符号なし数値、

$\text{mod}(x)$ は剰余関数 (例: $\text{mod}(110,100) = 10$ 、負の数の場合は $\text{mod}(-32,10) = -2$) 、

$\text{floor}(x)$ は x 以下で最も大きい整数として定義されます (例: $\text{floor}(3.6) = 3$) 。

式 1 から式 4 までは、デジタル領域における信号のエイリアシング (アナログ信号をデジタル化する際に生じるエイリアシング) に適用されます。 M と N は互いに素な整数で、MAW と MBW も互いに素な整数です。MAW をゼロに設定すると、プログラマブル・モジュラス・ロジックは自動的にディスエーブルされます。

例えば、ADC のサンプリング周波数 (f_s) が 625 MSPS で、搬送波周波数 (f_c) が 208.6 MHz の場合は次のようになります。

$$\frac{\text{mod}(417.8, 1300)}{1300} = \frac{M}{N} = \frac{2089}{6250}$$

$$FTW = \text{floor}\left(2^{48} \frac{\text{mod}(2417.8, 1300)}{1300}\right)$$

$$= 0x5590_C0AD_03D9$$

$$MAW = \text{mod}(2^{48} \times 2089, 6250) = 0x0000_0000_1117$$

$$MBW = 0x0000_0000_186A$$

実際の搬送波周波数は、次の式に基づいて計算できます。

$$f_{C_ACTUAL} = \frac{FTW + \frac{MAW}{MBW} \times f_s}{2^{48}}$$

前出の例における実際の搬送波周波数 (f_{C_ACTUAL}) は、次式で得られます。

$$f_{C_ACTUAL} = \frac{0x5590_C0AD_03D9 + \frac{0x0000_0000_1117}{0x0000_0000_186A}}{2^{48}} \times 1300 \text{ MHz}$$

$$= 417.8 \text{ MHz}$$

48 ビット POW は、複数のチップ間、またはあるチップ内の個々の DDC チャンネル間における既知の位相関係を作成するために、各 NCO で使用できます。

プログラマブル・モジュラス・モードでは、確定的位相結果を NCO 内に維持したままで、いつでも FTW レジスタと POW レジスタを更新することができます。ただし、NCO が正しく動作するように MAW レジスタや MBW レジスタを更新するには、以下の手順を実行する必要があります。

- すべての DDC について MAW レジスタと MBW レジスタに書き込みを行います。
- SPI を通じてアクセスできる DDC ソフト・リセット・ビットを使うことによって、または SYSREF $\pm$ ピンをアサートすることによって、NCO を同期します (メモリ・マップのセクションを参照) 。

NCO FTW/POW/MAW/MAB コヒーレント・モード

コヒーレント・モードにするには、NCO MAW をゼロ (0x0000_0000_0000) に設定する必要があります。このモードでは、次の式によって NCO FTW を計算できます。

$$FTW = \text{round}\left(2^{48} \frac{\text{mod}(f_c, f_s)}{f_s}\right) \quad (5)$$

ここで、
 FTW は NCO FTW を表す 48 ビットの 2 の補数値、
 f_s は ADC のサンプリング周波数、
 f_c は必要な搬送波周波数、
 mod() は剰余関数 (例: mod(110,100) = 10、負の数の場合は mod(-32,10) = -2) 、
 round() は丸め関数 (例: round(3.6) = 4、負の数の場合は round(-3.4) = -3) 。

式 5 は、デジタル領域における信号のエイリアシング (アナログ信号をデジタル化する際に生じるエイリアシング) に適用されます。コヒーレント・モードを使用するには、MAW をゼロに設定する必要があります。MAW がゼロのときは、プログラマブル・モジュラス・ロジックが自動的にディスエーブルされます。

例えば、ADC のサンプリング周波数 (f_s) が 1300 MSPS で、搬送波周波数 (f_c) が 417.3333 MHz の場合は次のようになります。

$$NCO_FTW = \text{round} \left(2^{48} \frac{\text{mod}(417.3333 \times 1300)}{1300} \right) = 0x5578_49CE_E73F$$

実際の搬送波周波数は、次の式に基づいて計算できます。

$$f_{C_ACTUAL} = \frac{FTW \times f_s}{2^{48}}$$

前出の例における実際の搬送波周波数 (f_{C_ACTUAL}) は、次式で得られます。

$$f_{C_ACTUAL} = \frac{0x5578_49CE_E73F \times 1300}{2^{48}} = 417.33 \text{ MHz}$$

48 ビット POW は、複数のチップ間、またはあるチップ内の個々の DDC チャンネル間における既知の位相関係を作成するために、各 NCO で使用できます。

コヒーレント・モードでは、確定的位相結果を NCO 内に維持したまま、いつでも FTW レジスタと POW レジスタを更新することができます。

NCO チャンネルの選択

コヒーレント・モードに設定した場合、NCO に必要な FTW は 1 つだけです。このモードでは、NCO をリセットすることなく、FTW に直接書き込みを行うことによって、任意のチューニング周波数に切り替えることができます。ただし NCO には、すべての FTW が既知の高速スイッチング・アプリケーション用に、あるいは次の FTW のセットをキューに入れることが可能な高速スイッチング・アプリケーション用に、16 個のシャドウ・レジスタが組み込まれています (図 106 を参照)。以降では、これらのシャドウ・レジスタを「NCO チャンネル」と呼びます。

図 102 に、NCO チャンネル選択ブロックの簡略ブロック図を示します。

一度にアクティブにできる NCO チャンネルは 1 つだけで、NCO チャンネル選択は、CMOS GPIO ピンによって制御するか、レジスタ・マップを通じて制御します。

以下のセクションに示すように、それぞれの NCO チャンネル・セレクトは 3 つの異なるモードをサポートしています。

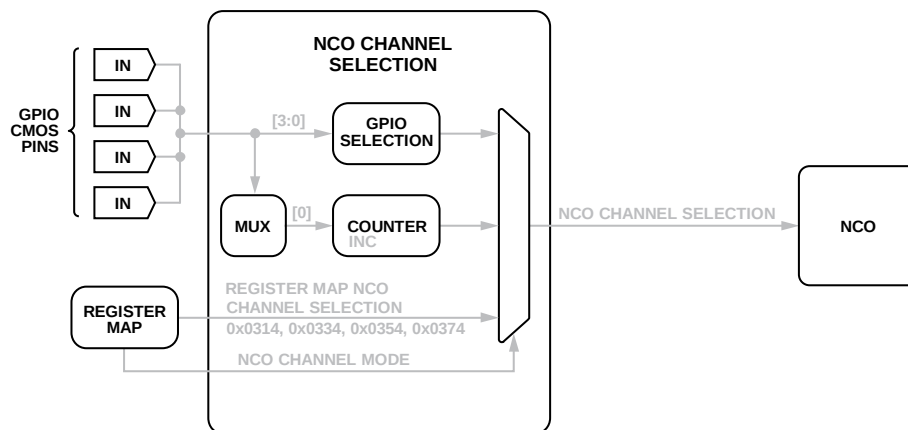


図 102. NCO チャンネル選択ブロック

15660-073

GPIO レベル制御モード

GPIO ピンで選択する NCO チャンネルを特定します。

NCO チャンネルの選択に GPIO レベル制御を使用するには、以下の手順に従う必要があります。

- 1 本または複数の GPIO ピンを、NCO チャンネル選択入力として設定します。NCO チャンネル選択用として設定されなかった GPIO ピンは、内部でローに接続されます。
 - a. GPIO_A0 を使用するには、レジスタ 0x0040 のビット [2:0] に 0x6 を、レジスタ 0x0041 のビット [3:0] に 0x0 を書き込みます。
 - b. GPIO_B0 を使用するには、レジスタ 0x0040 のビット [5:3] に 0x6 を、レジスタ 0x0041 のビット [7:4] に 0x0 を書き込みます。
2. NCO 制御レジスタ（レジスタ 0x0314、0x0334、0x0354、0x0374）のビット [7:4] を、必要な GPIO ピン配置に応じて 0x1 から 0x6 までの値に設定することによって、NCO チャンネル・セレクトを GPIO レベル制御モードに設定します。
3. GPIO ピンを通じて、必要な NCO チャンネルを選択します。

GPIO エッジ制御モード

1 本の GPIO ピンのローからハイへの遷移により、選択する NCO チャンネルを特定します。内部チャンネル選択カウンタは、SYSREF± または DDC ソフト・リセットによってリセットされます。

NCO チャンネルの選択に GPIO エッジ制御を使用するには、以下の手順に従う必要があります。

- 1 本または複数の GPIO ピンを、NCO チャンネル選択入力として設定します。
 - a. GPIO_A0 を使用するには、レジスタ 0x0040 のビット [2:0] に 0x6 を、レジスタ 0x0041 のビット [3:0] に 0x0 を書き込みます。
 - b. GPIO_B0 を使用するには、レジスタ 0x0040 のビット [5:3] に 0x6 を、レジスタ 0x0041 のビット [7:4] に 0x0 を書き込みます。
2. NCO 制御レジスタ（レジスタ 0x0314、0x0334、0x0354、0x0374）のビット [7:4] を、必要な GPIO ピンに応じて 0x8 から 0xB までの値に設定することによって、NCO チャンネル・セレクトを GPIO エッジ制御モードに設定します。
3. NCO 制御レジスタ（レジスタ 0x0314、0x0334、0x0354、および 0x0374）のビット [3:0] を設定することによって、NCO チャンネル選択のためのラップ・ポイントを設定します。値を 4 にすると、チャンネル 4 でチャンネル選択がラップされます（例えば 0、1、2、3、4、0、1、2、3、4）。
4. 選択した GPIO ピンがローからハイに遷移すると、NCO チャンネル選択がインクリメントされます。

レジスタ・マップ・モード

NCO チャンネルの選択は、レジスタ・マップを通じて直接制御されます。

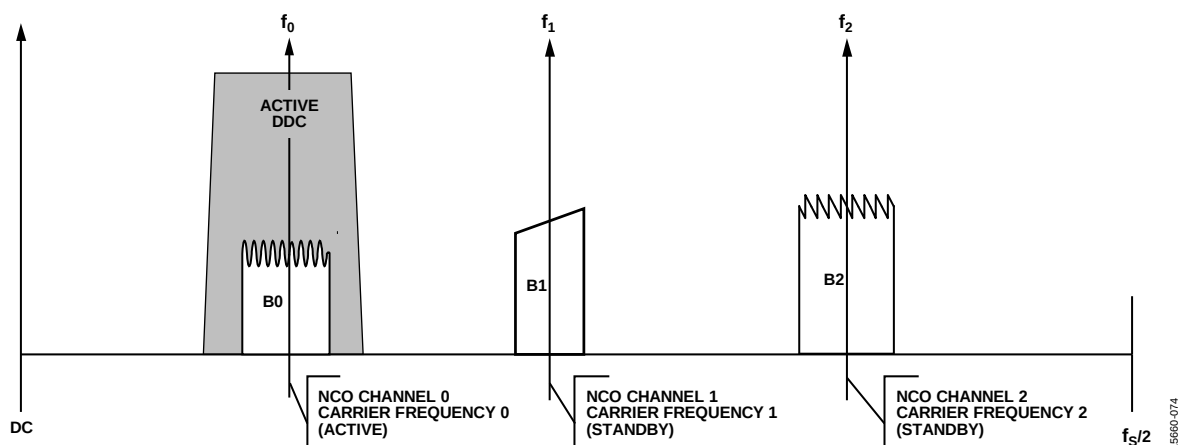


図 103. 3 つの NCO チャンネルを使用する NCO コヒーレント・モード (B0 を選択)

図 103 に、NCO チャンネルを使用するコヒーレント・モードの使用例を示します。この例では、NCO チャンネル 0 が能動的に帯域幅 0 (B0) をダウンコンバートする一方で、NCO チャンネル 1 とチャンネル 2 がスタンバイ・モードになり、それぞれが帯域幅 1 と帯域幅 2 (B1 と B2) に合わせてチューニングされず。

位相コヒーレント NCO のスイッチング機能を使用すると、すべて位相コヒーレントな周波数ホップを無制限に行うことができます。NCO の初期位相は、 $\text{SYSREF}_{\pm}$ 同期から時間 t_0 が経過した時点で確立されます。NCO FTW のスイッチングを行っても、位相には影響しません。この機能では 1 つの FTW のみが必要です。ただし、次のホップの待ち行列を作るために 16 のチャンネルすべてを使用することが必要な場合もあります。

スタートアップ時の $\text{SYSREF}_{\pm}$ 同期後は、基本的に複数チップのすべての NCO が同期されます。

マルチチャンネル NCO 機能のセットアップ

マルチチャンネル NCO をセットアップする最初のステップは、FTW をプログラムすることです。AD9695 のメモリ・マップには、各 DDC の FTW インデックス・レジスタがあります。このインデックスは、どの NCO チャンネルがレジスタ・マップから FTW を受け取るかを決定します。FTW をプログラムする方法を、順を追って以下に説明します。

1. FTW インデックス・レジスタに、必要な DDC チャンネルを書き込みます。
2. FTW に必要な値を書き込みます。この値は、ステップ 1 に述べた NCO チャンネル・インデックスに適用されます。
3. 他の NCO チャンネルについても、ステップ 1 とステップ 2 を繰り返します。

FTW の設定後は、アクティブな NCO チャンネルを選ぶ必要があります。この選択は、SPI レジスタまたは外部の GPIO ピンを通じて行うことができます。SPI を使ってアクティブ NCO チャンネルを選択する方法を、以下で順を追って説明します。

1. NCO チャンネル選択モード (レジスタ 0x0314、0x0334、0x0354、0x0374 のビット [7:4]) を 0x0 に設定して、SPI 選択を有効にします。
2. アクティブな NCO チャンネルを選択します (レジスタ 0x0314、0x0334、0x0354、0x0374 のビット [3:0]) 。

GPIO CMOS ピンを使ってアクティブ NCO チャンネルを選択する方法を、以下で順を追って説明します。

1. NCO チャンネル選択モード (レジスタ 0x0314、0x0334、0x0354、0x0374 のビット [7:4]) をゼロ以外の値に設定して、GPIO ピン選択を有効にします。
2. レジスタ 0x0040、0x0041、0x0042 に書き込みを行うことによって、GPIO ピンを NCO チャンネル選択入力として設定します。
3. NCO のスイッチングを行うには、GPIO CMOS ピンを外部で制御します。

NCO の同期

各 NCO には、個別の位相アキュムレータ・ワード (PAW) が含まれています。各 PAW の初期リセット値はゼロに設定され、クロック・サイクルごとにインクリメントされます。NCO の瞬時位相は、PAW、FTW、MAW、MBW、POW を使って計算されます。このアーキテクチャによって、確定位相結果を NCO の PAW 内に維持したまま、いつでも FTW レジスタと POW レジスタを更新することができます。

チップ内の複数の PAW を同期させる方法は 2 つあります。

- SPI を使用する方法: DDC 同期制御レジスタ内の DDC ソフト・リセット・ビット (レジスタ 0x0300 のビット 4) を使い、チップ内のすべての PAW をリセットします。このリセットは、DDC ソフト・リセット・ビットをハイに設定し、続いてこのビットをローに設定して行います。この方法を使用できるのは、同じチップ内の DDC チャンネルを同期する場合に限ります。
- $\text{SYSREF}_{\pm}$ ピンを使用する方法: SYSREF 制御レジスタ (レジスタ 0x0120 とレジスタ 0x0121) で $\text{SYSREF}_{\pm}$ ピンをイネーブルし、DDC 同期制御レジスタ (レジスタ 0x0300) のビット [1:0]) で DDC 同期をイネーブルすると、それ以降に何らかの $\text{SYSREF}_{\pm}$ イベントが発生した時点で、チップ内のすべての PAW がリセットされます。この方法は、同じチップ内の DDC チャンネルを同期する場合や、異なるチップ内の DDC チャンネルを同期する場合に使用できます。

NCO マルチチップ同期

一部のアプリケーションでは、システムの複数デバイス内にあるすべての NCO とローカル・マルチフレーム・クロック (LMFC) を同期することが求められます。システム内で複数の NCO チューニング周波数を必要とするアプリケーションでは、単一の SYSREF パルスを、すべてのデバイスで同時に生成しなければならない場合があります。多くのシステムでは、以下のような要因で、シングルショットの SYSREF $\pm$ パルスをすべてのデバイスで生成あるいは受信することが困難です。

- 多くの場合、SYSREF $\pm$ パルスをイネーブルまたはディスエーブルすることは、非同期イベントです。
- すべてのクロック生成チップがこの機能に対応しているわけではありません。

このため AD9695 は、以下のことを可能にする同期トリガリング・メカニズムを内蔵しています。

- システムのスタートアップ時に、すべての NCO と LMFC をマルチチップ同期する。
- 通常動作時に新しいチューニング周波数を適用した後で、すべての NCO をマルチチップ同期する。

同期トリガリング・メカニズムは、図 104 に示すようにマスター／スレーブ管理を使用します。

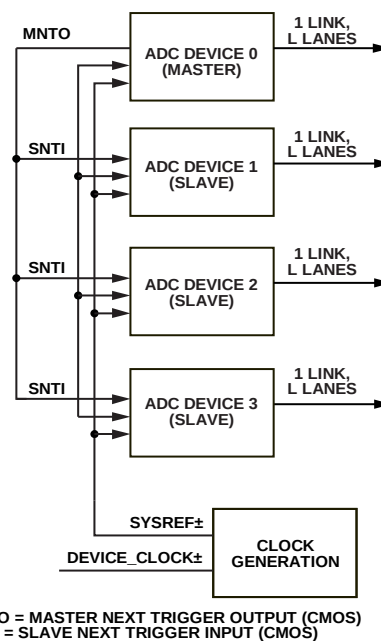


図 104. マスター／スレーブ同期トリガリングを使用するシステム

各デバイスには、次回同期トリガ・イネーブル（Next Synchronization Trigger Enable: NSTE）信号があります。この信号は、次の SYSREF $\pm$ 信号で同期イベントを発生させるかどうかを制御します。スレーブ ADC デバイスは、その NSTE を外部のスレーブ次回トリガ入力（Slave Next Trigger Input: SNTI）ピンからソースする必要があります。マスター・デバイスは、外部のマスター次回トリガ出力（MNTO）ピン（デフォルト）か、外部 SNTI ピンのどちらかを使用できます。

この動作のための FD/GPIO ピンの構成については、表 47（レジスタ 0x0041 とレジスタ 0x0042）を参照してください。

スタートアップ時の NCO マルチチップ同期

スタートアップ時にトリガリングと SYSREF $\pm$ を使用する NCO マルチチップ同期のタイミング図と、必要なイベント・シーケンスを図 105 に示します。このスタートアップ・シーケンスを使用すると、システム内のすべての NCO と LMFC が一度に同期されます。

通常動作時の NCO マルチチップ同期

NCO マルチチップ同期のセクションを参照してください。

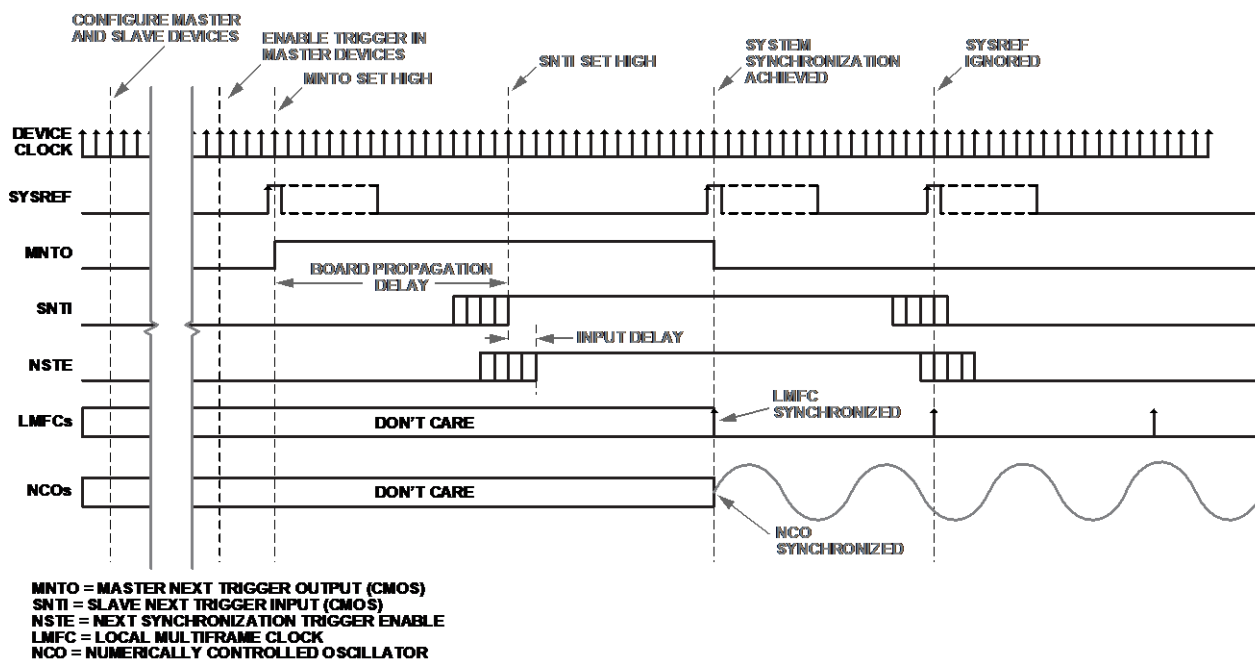


図 105. スタートアップ時の NCO マルチチップ同期（トリガリングと SYSREF を使用）

DDC ミキサーの説明

バイパスされていない場合（レジスタ 0x0200 ≠ 0x00）、デジタル直交ミキサーはアナログ直交ミキサーと同様に動作します。このミキサーは、NCO 周波数をローカル発振器として使用し、入力信号（実数または複素数）のダウンコンバージョンを行います。実数入力信号の場合は、実数ミキサー動作（2 個の乗算器を使用）が実行されます。複素入力信号の場合は、複素ミキサー動作（4 個の乗算器と 2 個の加算器を使用）が実行されます。実数入力または複素入力の選択は、DDC 制御レジスタ（レジスタ 0x0310、0x0330、0x0350、0x0370）のビット 7 を使用し、DDC ブロックごとに個別に制御できます。

DDC NCO および ミキサーの損失と SFDR

実数入力信号をベースバンドにミキシングする場合、負のイメージのフィルタリングによって信号に -6 dB の損失が生じます。さらに、NCO によっても -0.05 dB の損失が生じます。つまり、ベースバンドにミキシングされた実数入力信号の合計損失は -6.05 dB になります。このため、DDC ゲイン段で 6 dB のゲインをイネーブルすることによってユーザがこの損失を補償し、出力ビットのフル・スケール内で信号のダイナミック・レンジの中心位置を修正することが推奨されます（DDC ゲイン段のセクションを参照）。

複素入力信号をベースバンドにミキシングする場合（I および Q DDC 入力がある別の ADC から来る場合）、複素ミキサーを通過後に各 I/Q サンプルが到達できる最大値は、 $1.414 \times \text{フル・スケール}$

です。I/Q サンプルのオーバーレンジを避け、データ・ビット幅を実数ミキシングと揃えるために、複素信号のミキサーには -3.06 dB の損失が生じます。さらに、NCO によっても -0.05 dB の損失が生じます。ベースバンドまでミキシングされた複素入力信号の合計損失は -3.11 dB です。

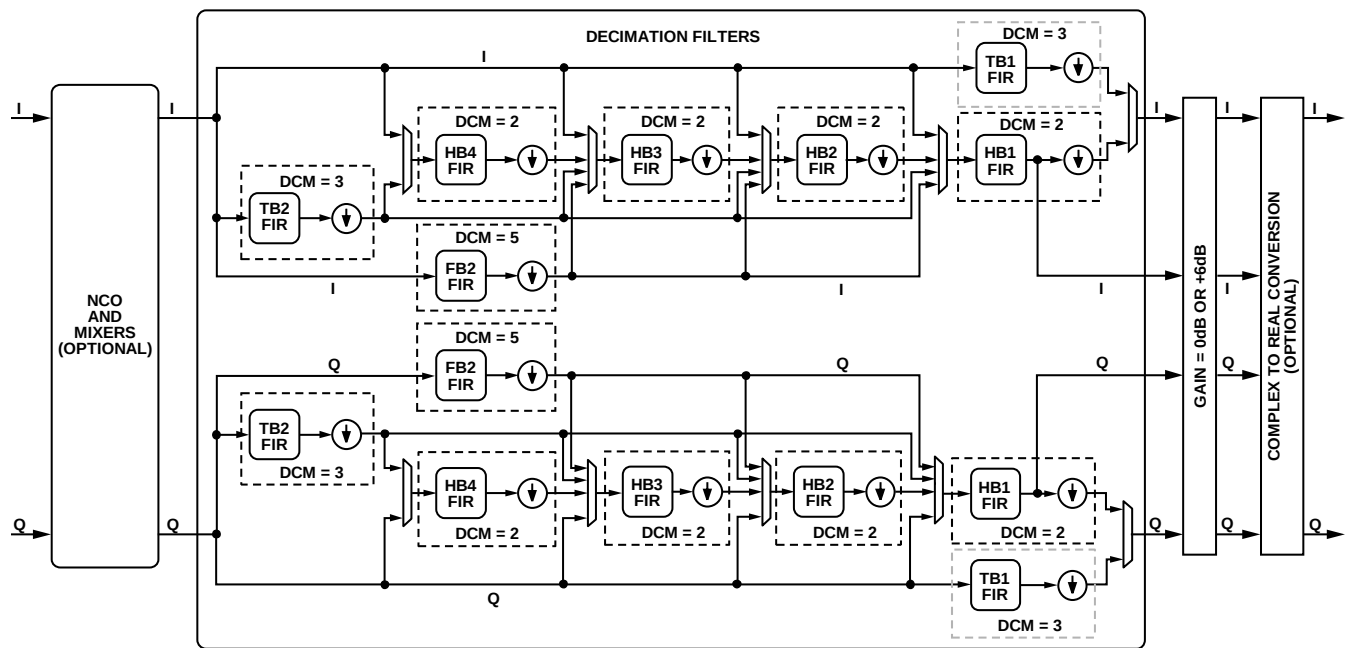
最も厳しい条件下での NCO からのスプリアス信号は、すべての出力周波数で 102 dBc SFDR より大きくなります。

DDC デシメーション・フィルタ

周波数変換段の後には、出力データ・レートを下げるために使用される複数のデシメーション・フィルタ段があります。対象となる搬送波を DC までチューン・ダウンした後は（搬送波周波数 = 0 Hz）、これらのフィルタがサンプル・レートを効率的に下げる一方で、対象帯域幅付近の不要な隣接搬送波から十分にエイリアスを除去することができます。

図 106 に、デシメーション・フィルタ段の簡略ブロック図を示します。表 17 は、異なる FIR フィルタ・ブロックのフィルタ特性を示したものです。

また、異なるフィルタを組み込むことによって選択できる、さまざまなフィルタ構成を表 18 ～ 表 20 に示します。いずれの場合も、DDC フィルタリング段は、使用可能な出力帯域幅の 80 %、 ± 0.005 dB 未満のパスバンド・リップル、および 100 dB を超えるストップ・バンド・エイリアス除去を実現します。



FIR = FINITE IMPULSE RESPONSE FILTER
DCM = DECIMATION

NOTES

1. TB1 IS ONLY SUPPORTED IN DDC0 AND DDC1

図 106. DDC デシメーション・フィルタのブロック図

表 17. DDC デシメーション・フィルタの特性

Filter Name	Filter Type	Decimation Ratio	Pass Band (rad/sec)	Stop Band (rad/sec)	Pass-Band Ripple (dB)	Stop-Band Attenuation (dB)
HB4	FIR low-pass	2	$0.1 \times \pi/2$	$1.9 \times \pi/2$	$<\pm 0.001$	>100
HB3	FIR low-pass	2	$0.2 \times \pi/2$	$1.8 \times \pi/2$	$<\pm 0.001$	>100
HB2	FIR low-pass	2	$0.4 \times \pi/2$	$1.6 \times \pi/2$	$<\pm 0.001$	>100
HB1	FIR low-pass	2	$0.8 \times \pi/2$	$1.2 \times \pi/2$	$<\pm 0.001$	>100
TB2	FIR low-pass	3	$0.4 \times \pi/3$	$1.6 \times \pi/3$	$<\pm 0.002$	>100
TB1 ¹	FIR low-pass	3	$0.8 \times \pi/3$	$1.2 \times \pi/3$	$<\pm 0.005$	>100
FB2	FIR low-pass	5	$0.4 \times \pi/5$	$1.6 \times \pi/5$	$<\pm 0.001$	>100

¹ TB1 は DDC0 と DDC1 においてのみ対応しています。

表 18. DDC フィルタの構成¹

ADC Sample Rate	DDC Filter Configuration	Real (I) Output		Complex (I/Q) Outputs		Alias Protected Bandwidth	Ideal SNR Improvement (dB) ²
		Decimation Ratio	Sample Rate	Decimation Ratio	Sample Rate		
f_s	HB1	1	f_s	2	$f_s/2$ (I) + $f_s/2$ (Q)	$f_s/2 \times 80\%$	1
f_s	TB1 ³	N/A	N/A	3	$f_s/3$ (I) + $f_s/3$ (Q)	$f_s/3 \times 80\%$	2.7
f_s	HB2 + HB1	2	$f_s/2$	4	$f_s/4$ (I) + $f_s/4$ (Q)	$f_s/4 \times 80\%$	4
f_s	TB2 + HB1	3	$f_s/3$	6	$f_s/6$ (I) + $f_s/6$ (Q)	$f_s/6 \times 80\%$	5.7
f_s	HB3 + HB2 + HB1	4	$f_s/4$	8	$f_s/8$ (I) + $f_s/8$ (Q)	$f_s/8 \times 80\%$	7
f_s	FB2 + HB1	5	$f_s/5$	10	$f_s/10$ (I) + $f_s/10$ (Q)	$f_s/10 \times 80\%$	8
f_s	TB2 + HB2 + HB1	6	$f_s/6$	12	$f_s/12$ (I) + $f_s/12$ (Q)	$f_s/12 \times 80\%$	8.8
f_s	FB2 + TB1 ³	N/A	N/A	15	$f_s/15$ (I) + $f_s/15$ (Q)	$f_s/15 \times 80\%$	9.7
f_s	HB4 + HB3 + HB2 + HB1	8	$f_s/8$	16	$f_s/16$ (I) + $f_s/16$ (Q)	$f_s/16 \times 80\%$	10
f_s	FB2 + HB2 + HB1	10	$f_s/10$	20	$f_s/20$ (I) + $f_s/20$ (Q)	$f_s/20 \times 80\%$	11
f_s	TB2 + HB3 + HB2 + HB1	12	$f_s/12$	24	$f_s/24$ (I) + $f_s/24$ (Q)	$f_s/24 \times 80\%$	11.8
f_s	HB2 + FB2 + TB1 ³	N/A	N/A	30	$f_s/30$ (I) + $f_s/30$ (Q)	$f_s/30 \times 80\%$	12.7
f_s	FB2 + HB3 + HB2 + HB1	20	$f_s/20$	40	$f_s/40$ (I) + $f_s/40$ (Q)	$f_s/40 \times 80\%$	14
f_s	TB2 + HB4 + HB3 + HB2 + HB1	24	$f_s/24$	48	$f_s/48$ (I) + $f_s/48$ (Q)	$f_s/48 \times 80\%$	14.8

¹ N/A は該当しないことを意味します。² オーバーサンプリングによる理論的 S/N 比の改善 + フィルタリング $> 10\log$ (帯域幅/ $f_s/2$)。³ TB1 は DDC0 と DDC1 においてのみ対応しています。表 19. DDC フィルタの構成 ($f_s = 1300$ MSPS) ¹

ADC Sample Rate (MSPS)	DDC Filter Configuration	Real (I) Output		Complex (I/Q) Outputs		Alias-Protected Bandwidth (MHz)
		Decimation Ratio	Sample Rate (MSPS)	Decimation Ratio	Sample Rate (MSPS)	
1300	HB1	1	1300	2	650 (I) + 650 (Q)	520
1300	TB1 ²	N/A	N/A	3	433.33 (I) + 433.33 (Q)	346.67
1300	HB2 + HB1	2	650	4	325 (I) + 325 (Q)	260
1300	TB2 + HB1	3	433.33	6	216.67 (I) + 216.67 (Q)	173.33
1300	HB3 + HB2 + HB1	4	325	8	162.5 (I) + 162.5 (Q)	130
1300	FB2 + HB1	5	260	10	130 (I) + 130 (Q)	104
1300	TB2 + HB2 + HB1	6	216.67	12	108.33 (I) + 108.33 (Q)	86.67
1300	FB2 + TB1 ²	N/A	N/A	15	86.67 (I) + 86.67 (Q)	69.33
1300	HB4 + HB3 + HB2 + HB1	8	162.5	16	81.25 (I) + 81.25 (Q)	65
1300	FB2 + HB2 + HB1	10	130	20	65 (I) + 65 (Q)	52
1300	TB2 + HB3 + HB2 + HB1	12	108.33	24	54.16 (I) + 54.16 (Q)	43.33
1300	HB2 + FB2 + TB1 ²	N/A	N/A	30	43.44 (I) + 43.44 (Q)	34.67
1300	FB2 + HB3 + HB2 + HB1	20	65	40	32.5 (I) + 32.5 (Q)	26
1300	TB2 + HB4 + HB3 + HB2 + HB1	24	54.16	48	27.08 (I) + 27.08 (Q)	21.67

¹ N/A は該当しないことを意味します。² TB1 は DDC0 と DDC1 においてのみ対応しています。

表 20. DDC フィルタの構成 ($f_s = 625$ MSPS) ¹

ADC Sample Rate (MSPS)	DDC Filter Configuration	Real (I) Output		Complex (I/Q) Outputs		Alias-Protected Bandwidth (MHz)
		Decimation Ratio	Sample Rate (MSPS)	Decimation Ratio	Sample Rate (MSPS)	
625	HB1	1	625	2	312.5 (I) + 312.5 (Q)	250
625	TB1 ²	N/A	N/A	3	208.33 (I) + 208.33 (Q)	166.67
625	HB2 + HB1	2	312.5	4	156.25 (I) + 156.25 (Q)	125
625	TB2 + HB1	3	208.33	6	104.17 (I) + 104.17 (Q)	83.33
625	HB3 + HB2 + HB1	4	156.25	8	78.125 (I) + 78.125 (Q)	62.5
625	FB2 + HB1	5	125	10	62.5 (I) + 62.5 (Q)	50
625	TB2 + HB2 + HB1	6	104.17	12	52.08 (I) + 52.08 (Q)	41.67
625	FB2 + TB1 ²	N/A	N/A	15	41.67 (I) + 41.67 (Q)	33.33
625	HB4 + HB3 + HB2 + HB1	8	78.125	16	39.06 (I) + 39.06 (Q)	31.25
625	FB2 + HB2 + HB1	10	62.5	20	31.25 (I) + 31.25 (Q)	25
625	TB2 + HB3 + HB2 + HB1	12	52.08	24	26.04 (I) + 26.04 (Q)	20.83
625	HB2 + FB2 + TB1 ²	N/A	N/A	30	20.83 (I) + 20.83 (Q)	16.67
625	FB2 + HB3 + HB2 + HB1	20	31.25	40	15.625 (I) + 15.625 (Q)	12.5
625	TB2 + HB4 + HB3 + HB2 + HB1	24	26.04	48	13.02 (I) + 13.02 (Q)	10.42

¹ N/A は該当しないことを意味します。

² TB1 は DDC0 と DDC1 においてのみ対応しています。

HB4 フィルタの説明

最初のフィルタはデシメーション・レート 2、ハーフバンドのローパス FIR フィルタ (HB4) で、これは、低消費電力を実現できるように最適化された 11 タップ、対称、固定係数のフィルタ実装を使用しています。HB4 フィルタは、複素出力 (デシメーション・レート 16) または実数出力 (デシメーション・レート 8) が有効になっている場合だけ使われ、それ以外ではバイパスされます。HB4 フィルタの係数と応答を表 21 と図 107 に示します。

表 21. HB4 フィルタの係数

HB4 Coefficient Number	Normalized Coefficient	Decimal Coefficient (15-Bit)
C1, C11	+0.006042	+99
C2, C10	0	0
C3, C9	-0.049377	-809
C4, C8	0	0
C5, C7	+0.293335	+4806
C6	+0.5	+8192

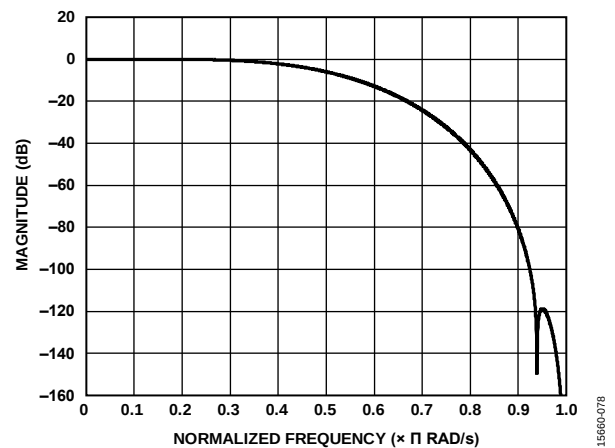


図 107. HB4 フィルタの応答

HB3 フィルタの説明

2 番目のフィルタはデシメーション・レート 2、ハーフバンドのローパス FIR フィルタ (HB3) で、これは、低消費電力を実現できるように最適化された 11 タップ、対称、固定係数のフィルタ実装を使用しています。HB3 フィルタは、複素出力 (デシメーション・レート 8 または 16) もしくは実数出力 (デシメーション・レート 4 または 8) が有効になっている場合だけ使われ、それ以外ではバイパスされます。HB3 フィルタの係数と応答を表 22 と図 108 に示します。

表 22. HB3 フィルタの係数

HB3 Coefficient Number	Normalized Coefficient	Decimal Coefficient (17-Bit)
C1, C11	+0.006638	+435
C2, C10	0	0
C3, C9	-0.051056	-3346
C4, C8	0	0
C5, C7	+0.294418	+19,295
C6	+0.500000	+32,768

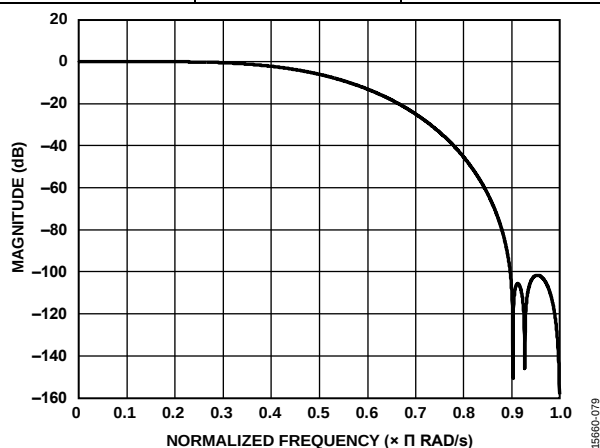


図 108. HB3 フィルタの応答

HB2 フィルタの説明

3 番目のフィルタはデシメーション・レート 2、ハーフバンドのローパス FIR フィルタ (HB2) で、これは、低消費電力を実現できるように最適化された 19 タップ、対称、固定係数のフィルタ実装を使用しています。

HB2 フィルタは、複素出力または実数出力 (デシメーション・レート 4、8、または 16) が有効になっている場合だけ使われ、それ以外ではバイパスされます。

HB2 フィルタの係数と応答を表 23 と図 109 に示します。

表 23. HB2 フィルタの係数

HB2 Coefficient Number	Normalized Coefficient	Decimal Coefficient (18-Bit)
C1, C19	+0.000671	+88
C2, C18	0	0
C3, C17	-0.005325	-698
C4, C16	0	0
C5, C15	+0.022743	+2981
C6, C14	0	0
C7, C13	-0.074181	-9723
C8, C12	0	0
C9, C11	+0.306091	+40120
C10	+0.5	+65536

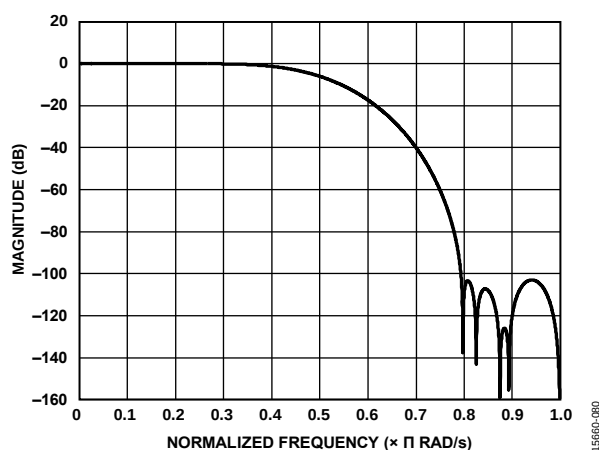


図 109. HB2 フィルタの応答

HB1 フィルタの説明

4 番目で最後のフィルタはデシメーション・レート 2、ハーフバンドのローパス FIR フィルタ (HB1) で、これは、低消費電力を実現できるように最適化された 63 タップ、対称、固定係数のフィルタ実装を使用しています。HB1 フィルタは常にイネーブルされており、バイパスすることはできません。

HB1 フィルタの係数と応答を表 24 と図 110 に示します。

表 24. HB1 フィルタの係数

HB1 Coefficient Number	Normalized Coefficient	Decimal Coefficient (20-Bit)
C1, C63	-0.000019	-10
C2, C62	0	0
C3, C61	+0.000072	+38
C4, C60	0	0
C5, C59	-0.000195	-102
C6, C58	0	0
C7, C57	+0.000443	+232
C8, C56	0	0
C9, C55	-0.000891	-467
C10, C54	0	0
C11, C53	+0.001644	+862
C12, C52	0	0
C13, C51	-0.002840	-1489
C14, C50	0	0
C15, C49	+0.004654	+2440
C16, C48	0	0
C17, C47	-0.007311	-3833
C18, C46	0	0
C19, C45	+0.011122	+5831
C20, C44	0	0
C21, C43	-0.016554	-8679
C22, C42	0	0
C23, C41	0.024420	12803
C24, C40	0	0
C25, C39	-0.036404	-19086
C26, C38	0	0
C27, C37	+0.056866	+29814
C28, C36	0	0
C29, C35	-0.101892	-53421
C30, C34	0	0
C31, C33	+0.316883	+166138
C32	+0.5	+262144

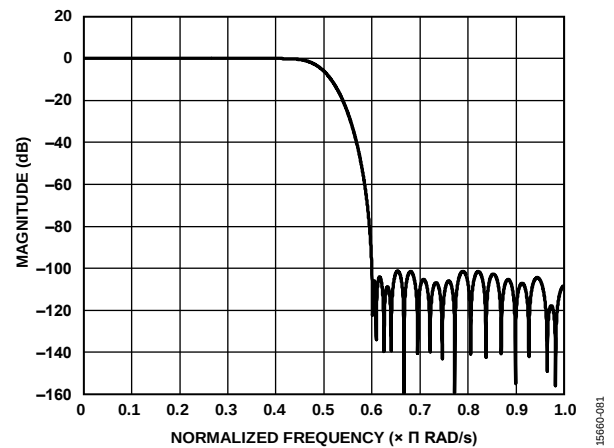


図 110. HB1 フィルタの応答

TB2 フィルタの説明

TB2 は、低消費電力を実現できるように最適化された 26 タップ、対称、固定係数のフィルタ実装を使用しています。TB2 フィルタは、デシメーション・レシオを 6、12、または 24 とする必要がある場合のみ使用します。TB2 フィルタの係数と応答を表 25 と図 111 に示します。

表 25. TB2 フィルタの係数

TB2 Coefficient Number	Normalized Coefficient	Decimal Coefficient (19-Bit)
C1, C26	-0.000191	-50
C2, C25	-0.000793	+208
C3, C24	-0.001137	-298
C4, C23	+0.000916	+240
C5, C22	+0.006290	+1649
C6, C21	+0.009823	+2575
C7, C20	+0.000916	+240
C8, C19	-0.023483	-6156
C9, C18	-0.043152	-11312
C10, C17	-0.019318	-5064
C11, C16	+0.071327	+18698
C12, C15	+0.201172	+52736
C13, C14	+0.297756	+78055

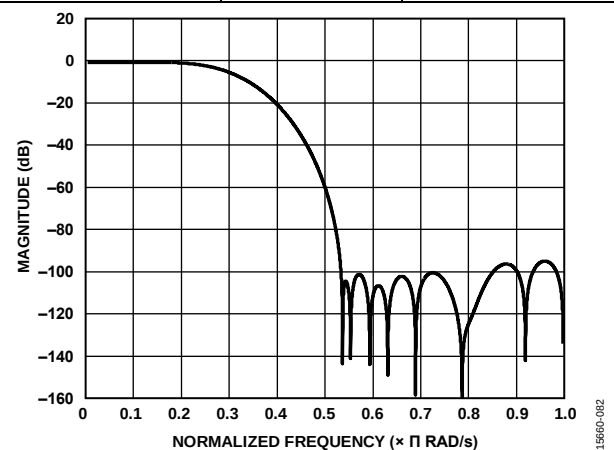


図 111. TB2 フィルタの応答

TB1 フィルタの説明

TB1 はデシメーション・レート 3 のローパス FIR フィルタで、76 タップ、対称、固定係数のフィルタ実装を使用しています。TB1 フィルタの係数を表 26 に、TB1 フィルタの応答を図 112 に示します。TB1 は DDC0 と DDC1 においてのみ対応しています。

表 26. TB1 フィルタの係数

TB1 Coefficient Number	Normalized Coefficient	Decimal Coefficient (22-Bit)
1, 76	-0.000023	-96
2, 75	-0.000053	-224
3, 74	-0.000037	-156
4, 73	+0.000090	+379
5, 72	+0.000291	+1220
6, 71	+0.000366	+1534
7, 70	+0.000095	+398
8, 69	-0.000463	-1940
9, 68	-0.000822	-3448
10, 67	-0.000412	-1729
11, 66	+0.000739	+3100
12, 65	+0.001665	+6984
13, 64	+0.001132	+4748
14, 63	-0.000981	-4114
15, 62	-0.002961	-12418
16, 61	-0.002438	-10226
17, 60	+0.001087	+4560
18, 59	+0.004833	+20272
19, 58	+0.004614	+19352
20, 57	-0.000871	-3652
21, 56	-0.007410	-31080
22, 55	-0.008039	-33718
23, 54	+0.000053	+222
24, 53	+0.010874	+45608
25, 52	+0.013313	+55840
26, 51	+0.001817	+7620
27, 50	-0.015579	-65344
28, 49	-0.021590	-90556
29, 48	-0.005603	-23502
30, 47	+0.022451	+94167
31, 46	+0.035774	+150046
32, 45	+0.013541	+56796
33, 44	-0.034655	-145352
34, 43	-0.066549	-279128
35, 42	-0.035213	-147694
36, 41	+0.071220	+298720
37, 40	+0.210777	+884064
38, 39	+0.309200	+1296880

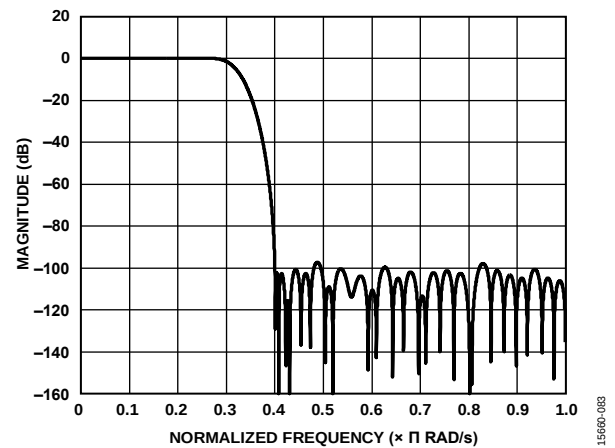


図 112. TB1 フィルタの応答

FB2 フィルタの説明

FB2 はデシメーション・レート 5 のローパス FIR フィルタで、48 タップ、対称、固定係数のフィルタ実装を使用しています。FB2 フィルタの係数を表 27 に、FB2 フィルタの応答を図 113 に示します。

表 27.FB2 フィルタの係数

FB2 Coefficient Number	Normalized Coefficient	Decimal Coefficient (21-Bit)
1, 48	+0.000007	7
2, 47	-0.000004	-4
3, 46	-0.000069	-72
4, 45	-0.000244	-256
5, 44	-0.000544	-570
6, 43	-0.000870	-912
7, 42	-0.000962	-1009
8, 41	-0.000448	-470
9, 40	+0.000977	+1024
10, 39	+0.003237	+3394
11, 38	+0.005614	+5887
12, 37	+0.006714	+7040
13, 36	+0.004871	+5108
14, 35	-0.001011	-1060
15, 34	-0.010456	-10964
16, 33	-0.020729	-21736
17, 32	-0.026978	-28288
18, 31	-0.023453	-24592
19, 30	-0.005608	-5880
20, 29	+0.027681	+29026
21, 28	+0.072720	+76252
22, 27	+0.121223	+127112
23, 26	+0.162346	+170232
24, 25	+0.185959	+194992

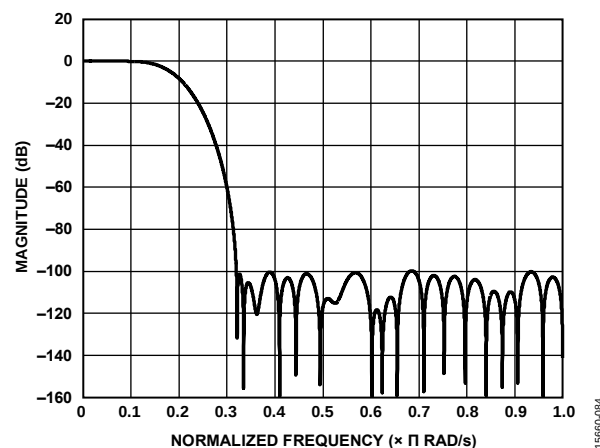


図 113. FB2 フィルタの応答

DDC ゲイン段

各 DDC は、個別に制御されるゲイン段を内蔵しています。ゲインは、0 dB または 6 dB のどちらかを選択できます。実数入力信号をベースバンドにミキシングする場合は、6 dB のゲインをイネーブルして、出力ビットのフル・スケール内で信号のダイナミック・レンジの中心位置を修正することが推奨されます。

複素入力信号をベースバンドにミキシングする場合は、すでにミキサーが出力ビットのフル・スケール内で信号のダイナミック・レンジの中心位置を修正しているので、新たにゲインを補償する必要はありません。ただし、信号強度が低い場合は、オプションで 6 dB のゲイン補償が可能です。複素数から実数への変換段を使用する場合、HB1 FIR フィルタの 1/2 ダウンサンプル部分はバイパスされます。TB1 フィルタに 6 dB のゲイン段はありません。

DDC の複素数から実数への変換

各 DDC は複素数から実数への変換ブロックを内蔵しており、これらのブロックは個別に制御されます。複素数から実数への変換段は、フィルタリング段の最終フィルタ (HB1 FIR) と $f_s/4$ 複素ミキサーを再使用して信号をアップコンバートします。信号の

アップコンバート後は複素ミキサーの Q 部分が不要になるので、この部分は除外されます。TB1 フィルタは、複素数から実数への変換をサポートしていません。

図 114 に、複素数から実数への変換段の簡略ブロック図を示します。

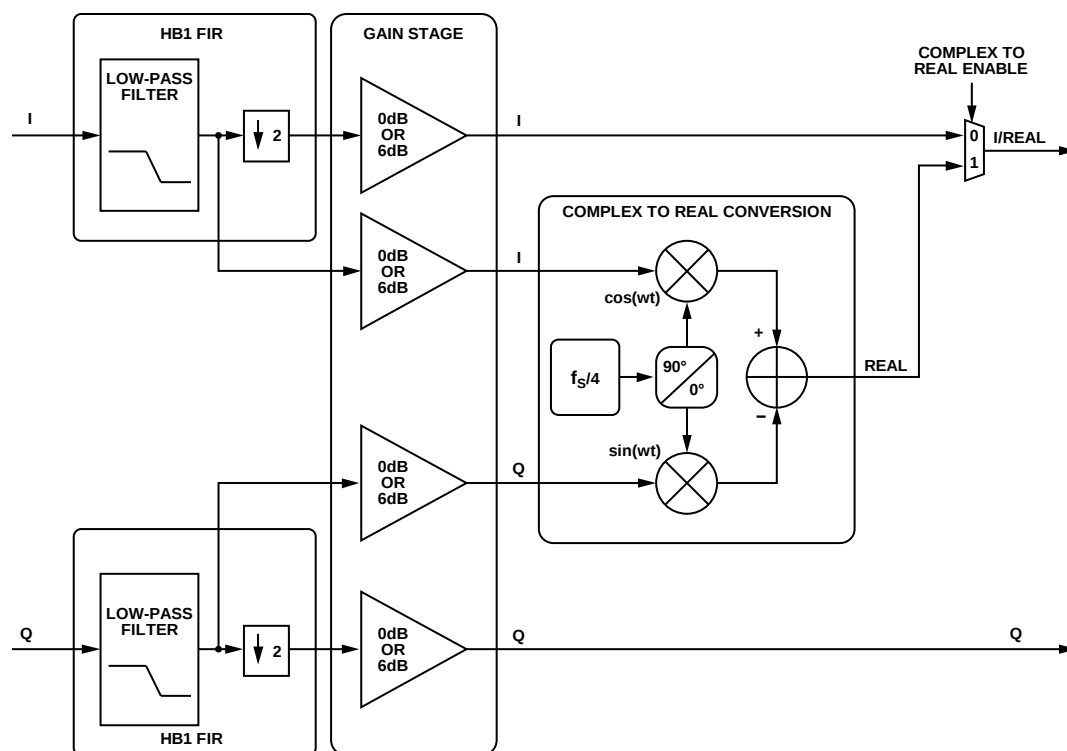


図 114. 複素数から実数への変換ブロック

15660-095

DDC ミックスド・デシメーション設定

AD9695 は、デシメーション・レートの異なる複数の DDC もサポートしています。このシナリオでは、チップのデシメーション・レシオを、すべての DDC チャンネルの中で最も低いデシメーション・レシオに設定する必要があります。チップのデシメーション・レシオのサンプル・レートと一致させるために、より高いデシメーション・レシオを持つ DDC のサンプルが繰り返されます。2 の整数倍のミックスド・デシメーション・レシオだけがサポートされています。例えば、デシメーション・レシオ 1、2、4、8、16 はまとめてミキシング可能です。同様に、デシメーション・レシオ 3、6、12、24、48、あるいはデシメーション・レシオ 5、10、20、40 も、まとめてミキシング可能です。5、10、20、40 も、まとめてミキシング可能です。

表 28 に、チップのデシメーション・レシオと DDC のデシメーション・レシオが異なる場合の DDC サンプル・マッピングを示します。

例えば、チップのデシメーション・レシオが 4 に設定されていて、DDC0 が HB2 + HB1 フィルタ（複素出力のデシメーション・レシオは 4）を、DDC1 が HB4 + HB3 + HB2 + HB1 フィルタ（実数出力のデシメーション・レシオは 8）を使用するように設定されている場合、DDC1 は、その出力データを DDC0 出力 1 回につき 2 回繰り返します。最終的な出力サンプルを表 29 に示します。

表 28. チップのデシメーション・レシオ（DCM）が DDC の DCM と一致しない場合のサンプル・マッピング

Sample Index	DDC DCM = Chip DCM	DDC DCM = 2 × Chip DCM	DDC DCM = 4 × Chip DCM	DDC DCM = 8 × Chip DCM
0	N	N	N	N
1	N + 1	N	N	N
2	N + 2	N + 1	N	N
3	N + 3	N + 1	N	N
4	N + 4	N + 2	N + 1	N
5	N + 5	N + 2	N + 1	N
6	N + 6	N + 3	N + 1	N
7	N + 7	N + 3	N + 1	N
8	N + 8	N + 4	N + 2	N + 1
9	N + 9	N + 4	N + 2	N + 1
10	N + 10	N + 5	N + 2	N + 1
11	N + 11	N + 5	N + 2	N + 1
12	N + 12	N + 6	N + 3	N + 1
13	N + 13	N + 6	N + 3	N + 1
14	N + 14	N + 7	N + 3	N + 1
15	N + 15	N + 7	N + 3	N + 1
16	N + 16	N + 8	N + 4	N + 2
17	N + 17	N + 8	N + 4	N + 2
18	N + 18	N + 9	N + 4	N + 2
19	N + 19	N + 9	N + 4	N + 2
20	N + 20	N + 10	N + 5	N + 2
21	N + 21	N + 10	N + 5	N + 2
22	N + 22	N + 11	N + 5	N + 2
23	N + 23	N + 11	N + 5	N + 2
24	N + 24	N + 12	N + 6	N + 3
25	N + 25	N + 12	N + 6	N + 3
26	N + 26	N + 13	N + 6	N + 3
27	N + 27	N + 13	N + 6	N + 3
28	N + 28	N + 14	N + 7	N + 3
29	N + 29	N + 14	N + 7	N + 3
30	N + 30	N + 15	N + 7	N + 3
31	N + 31	N + 15	N + 7	N + 3

表 29. チップ DCM = 4、DDC0 DCM = 4（複素数）、DDC1 DCM = 8（実数）¹

DDC Input Samples	DDC0		DDC1	
	Output Port I	Output Port Q	Output Port I	Output Port Q
N	I0[N]	Q0[N]	I1[N]	Not applicable
N + 1	I0[N]	Q0[N]	I1[N]	Not applicable
N + 2	I0[N]	Q0[N]	I1[N]	Not applicable
N + 3	I0[N]	Q0[N]	I1[N]	Not applicable
N + 4	I0[N + 1]	Q0[N + 1]	I1[N]	Not applicable
N + 5	I0[N + 1]	Q0[N + 1]	I1[N]	Not applicable
N + 6	I0[N + 1]	Q0[N + 1]	I1[N]	Not applicable
N + 7	I0[N + 1]	Q0[N + 1]	I1[N]	Not applicable
N + 8	I0[N + 2]	Q0[N + 2]	I1[N + 1]	Not applicable
N + 9	I0[N + 2]	Q0[N + 2]	I1[N + 1]	Not applicable
N + 10	I0[N + 2]	Q0[N + 2]	I1[N + 1]	Not applicable
N + 11	I0[N + 2]	Q0[N + 2]	I1[N + 1]	Not applicable
N + 12	I0[N + 3]	Q0[N + 3]	I1[N + 1]	Not applicable
N + 13	I0[N + 3]	Q0[N + 3]	I1[N + 1]	Not applicable
N + 14	I0[N + 3]	Q0[N + 3]	I1[N + 1]	Not applicable
N + 15	I0[N + 3]	Q0[N + 3]	I1[N + 1]	Not applicable

¹ DCM はデシメーションを意味します。

DDC 構成例

表 30 に、複数の DDC 構成例におけるレジスタ設定を示します。表に記載の帯域幅は、通過帯域リップルが -0.005 dB 未満、ストップ・バンド・エイリアス除去が 100 dB を上回るものです。

表 30. DDC 構成例 (ADC チャンネル・ペアあたり)

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC ¹	No. of Virtual Converters Required	Register Settings
One DDC	2	Complex	Complex	$40\% \times f_s$	2	0x0200 = 0x01 (one DDC; I/Q selected) 0x0201 = 0x01 (chip decimate by 2) 0x0310 = 0x83 (complex mixer; 0 dB gain; variable IF; complex outputs; HB1 filter) 0x0311 = 0x04 (DDC I Input = ADC Channel A; DDC Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0
Two DDCs	4	Complex	Complex	$20\% \times f_s$	4	0x0200 = 0x02 (two DDCs; I/Q selected) 0x0201 = 0x02 (chip decimate by 4) 0x0310, 0x0330 = 0x80 (complex mixer; 0 dB gain; variable IF; complex outputs; HB2+HB1 filters) 0x0311, 0x0331 = 0x04 (DDC I input = ADC Channel A; DDC Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1
Two DDCs	4	Complex	Real	$10\% \times f_s$	2	0x0200 = 0x22 (two DDCs; I only selected) 0x0201 = 0x02 (chip decimate by 4) 0x0310, 0x0330 = 0x89 (complex mixer; 0 dB gain; variable IF; real output; HB3 + HB2 + HB1 filters) 0x0311, 0x0331 = 0x04 (DDC I Input = ADC Channel A; DDC Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1
Two DDCs	4	Real	Real	$10\% \times f_s$	2	0x0200 = 0x22 (two DDCs; I only selected) 0x0201 = 0x02 (chip decimate by 4) 0x0310, 0x0330 = 0x49 (real mixer; 6 dB gain; variable IF; real output; HB3 + HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x05 (DDC1 I input = ADC Channel B; DDC1 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC ¹	No. of Virtual Converters Required	Register Settings
Two DDCs	4	Real	Complex	$20\% \times f_s$	4	0x0200 = 0x02 (two DDCs; I/Q selected) 0x0201 = 0x02 (chip decimate by 4) 0x0310, 0x0330 = 0x40 (real mixer; 6 dB gain; variable IF; complex output; HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x05 (DDC1 I input = ADC Channel B; DDC1 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1
Two DDCs	8	Real	Real	$5\% \times f_s$	2	0x0200 = 0x22 (two DDCs; I only selected) 0x0201 = 0x03 (chip decimate by 8) 0x0310, 0x0330 = 0x4A (real mixer; 6 dB gain; variable IF; real output; HB4 + HB3 + HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x05 (DDC1 I input = ADC Channel B; DDC1 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1
Four DDCs	8	Real	Complex	$10\% \times f_s$	8	0x0200 = 0x03 (four DDCs; I/Q selected) 0x0201 = 0x03 (chip decimate by 8) 0x0310, 0x0330, 0x0350, 0x0370 = 0x41 (real mixer; 6 dB gain; variable IF; complex output; HB3 + HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x00 (DDC1 I input = ADC Channel A; DDC1 Q input = ADC Channel A) 0x0351 = 0x05 (DDC2 I input = ADC Channel B; DDC2 Q input = ADC Channel B) 0x0371 = 0x05 (DDC3 I input = ADC Channel B; DDC3 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1 0x0356, 0x0357, 0x0358, 0x0359, 0x035A, 0x035B, 0x035D, 0x035E, 0x035F, 0x0360, 0x0361, 0x0362 = FTW and POW set as required by application for DDC2 0x0376, 0x0377, 0x0378, 0x0379, 0x037A, 0x037B, 0x037D, 0x037E, 0x037F, 0x0380, 0x0381, 0x0382 = FTW and POW set as required by application for DDC3

Chip Application Layer	Chip Decimation Ratio	DDC Input Type	DDC Output Type	Bandwidth Per DDC ¹	No. of Virtual Converters Required	Register Settings
Four DDCs	8	Real	Real	$5\% \times f_s$	4	0x0200 = 0x23 (four DDCs; I only selected) 0x0201 = 0x03 (chip decimate by 8) 0x0310, 0x0330, 0x0350, 0x0370 = 0x4A (real mixer; 6 dB gain; variable IF; real output; HB4 + HB3 + HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x00 (DDC1 I input = ADC Channel A; DDC1 Q input = ADC Channel A) 0x0351 = 0x05 (DDC2 I input = ADC Channel B; DDC2 Q input = ADC Channel B) 0x0371 = 0x05 (DDC3 I input = ADC Channel B; DDC3 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1 0x0356, 0x0357, 0x0358, 0x0359, 0x035A, 0x035B, 0x035D, 0x035E, 0x035F, 0x0360, 0x0361, 0x0362 = FTW and POW set as required by application for DDC2 0x0376, 0x0377, 0x0378, 0x0379, 0x037A, 0x037B, 0x037D, 0x037E, 0x037F, 0x0380, 0x0381, 0x0382 = FTW and POW set as required by application for DDC3
Four DDCs	16	Real	Complex	$5\% \times f_s$	8	0x0200 = 0x03 (four DDCs; I/Q selected) 0x0201 = 0x04 (chip decimate by 16) 0x0310, 0x0330, 0x0350, 0x0370 = 0x42 (real mixer; 6 dB gain; variable IF; complex output; HB4 + HB3 + HB2 + HB1 filters) 0x0311 = 0x00 (DDC0 I input = ADC Channel A; DDC0 Q input = ADC Channel A) 0x0331 = 0x00 (DDC1 I input = ADC Channel A; DDC1 Q input = ADC Channel A) 0x0351 = 0x05 (DDC2 I input = ADC Channel B; DDC2 Q input = ADC Channel B) 0x0371 = 0x05 (DDC3 I input = ADC Channel B; DDC3 Q input = ADC Channel B) 0x0316, 0x0317, 0x0318, 0x0319, 0x031A, 0x031B, 0x031D, 0x031E, 0x031F, 0x0320, 0x0321, 0x0322 = FTW and POW set as required by application for DDC0 0x0336, 0x0337, 0x0338, 0x0339, 0x033A, 0x033B, 0x033D, 0x033E, 0x033F, 0x0340, 0x0341, 0x0342 = FTW and POW set as required by application for DDC1 0x0356, 0x0357, 0x0358, 0x0359, 0x035A, 0x035B, 0x035D, 0x035E, 0x035F, 0x0360, 0x0361, 0x0362 = FTW and POW set as required by application for DDC2 0x0376, 0x0377, 0x0378, 0x0379, 0x037A, 0x037B, 0x037D, 0x037E, 0x037F, 0x0380, 0x0381, 0x0382 = FTW and POW set as required by application for DDC3

¹ f_s は ADC のサンプル・レートです。

信号モニタ

信号モニタ・ブロックは、ADC でデジタル化される信号に関する追加情報を提供します。信号モニタは、デジタル化された信号のピーク振幅を計算します。この情報は、実際の信号が複数存在する中で、AGC ループを駆動して ADC の範囲の最適化に使用することができます。

信号モニタ・ブロックの結果は、内部の値を SPI ポートからリードバックするか、信号モニタ情報を JESD204B インターフェースに特別な制御ビットとして組み込むことによって得ることができます。測定時間は、グローバルな 24 ビットのプログラム周期によって制御されます。図 115 に信号モニタ・ブロックの簡略ブロック図を示します。

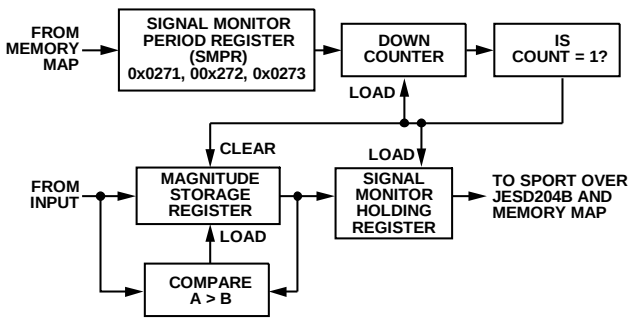


図 115. 信号モニタ・ブロック

ピーク・ディテクタは、観測時間内の最大信号をキャプチャします。このディテクタは信号の振幅だけを観測します。ピーク・ディテクタの分解能は 13 ビットです。観測時間は 24 ビットで、これはコンバータの出力サンプルに相当します。ピーク振幅は、次式を使って求めることができます。

$$\text{ピーク振幅 (dBFS)} = 20 \log (\text{ピーク・ディテクタの値} 2^{13})$$

入力ポート信号の振幅はプログラム可能な時間幅でモニタされ、これは信号モニタ時間レジスタ (SMPT) によって決定されます。ピーク・ディテクタ機能は、信号モニタ制御レジスタのレジスタ 0x0270 のビット 1 をセットすることでイネーブルされます。24 ビット SMPT は、このモードをアクティブにする前にプログラムする必要があります。

ピーク検出モードをイネーブルした後は、SMPT 内の値がモニタ時間タイマーにロードされます。このタイマーは、デシメートされたクロック・レートでデクリメントされます。入力信号の大きさは内部の値保存レジスタ (ユーザはアクセス不可) 内の値と比較されて、どちらか大きい方が最新のピーク・レベルとして更新されます。この値保存レジスタの初期値は、最新の ADC 入力信号の大きさに設定されます。この比較は、モニタ時間タイマーのカウント数が 1 になるまで続きます。

モニタ時間タイマーのカウント数が 1 になると、13 ビットのピーク・レベル値が信号モニタ保持レジスタに転送されます。このレベル値は、メモリ・マップを通じて読み出したり、JESD204B インターフェース上の SPORT を通じて出力したりすることができます。モニタ時間タイマーは SMPT 内の値で再ロードされ、カウントダウンが再開されます。さらに、最初の入力サンプルの大きさが値保存レジスタ内で更新されて、先に説明したように比較および更新の手順が続けられます。

SPORT Over JESD204B

信号モニタ・データは、シリアル化して JESD204B インターフェース経由で制御ビットとして送ることもできます。統計データを再現するには、サンプルから、これらの制御ビットのシリアル化を解除する必要があります。信号制御モニタ機能は、レジスタ 0x0279 のビット [1:0] とレジスタ 0x027A のビット 1 をセットすることによってイネーブルします。JESD204B サンプル内の信号モニタ制御ビットの位置について、図 116 に構成例を 2 つ示します。JESD204B サンプルには最大 3 つの制御ビットを挿入できますが、信号モニタに必要な制御ビットは 1 つだけです。制御ビットは MSB から LSB の方向へ挿入します。制御ビットを 1 つだけ挿入する (CS = 1) 場合は、最上位制御ビットだけを使

用します (図 116 の構成例 1 と構成例 2 を参照)。SPORT over JESD204B オプションを選択するには、レジスタ 0x0559、0x055A、および 0x058F をプログラムします。これらのビットの設定に関する詳細は、表 47 を参照してください。

ピーク・ディテクタ値をカプセル化する 25 ビット・フレーム・データを図 117 に示します。このフレーム・データは、5 個の 5 ビット・サブフレームを使って MSB を先頭に送信されます。各サブフレームには開始ビットが含まれており、レシーバーはこのビットを使って、シリアル化が解除されたデータを検証できます。図 118 に、モニタ時間タイマーを 80 サンプルに設定した場合の SPORT over JESD204B 信号モニタ・データを示します。

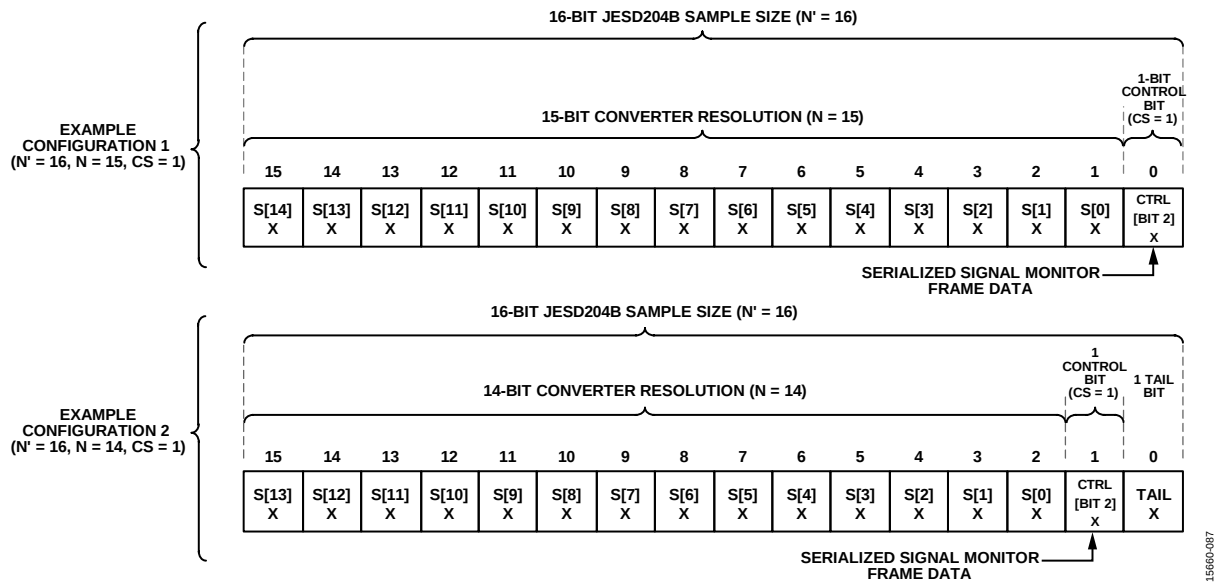


図 116. 信号モニタ制御ビットの位置

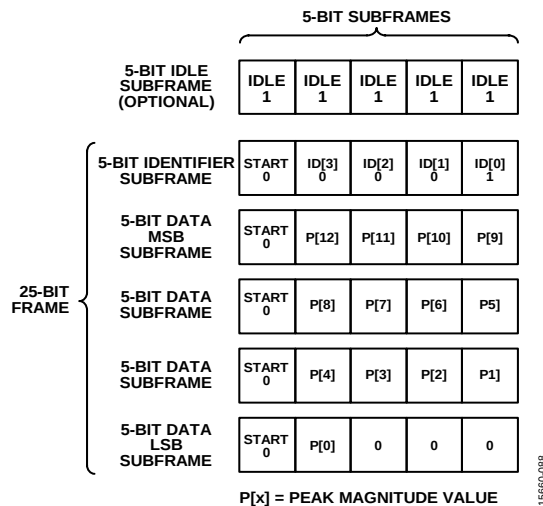


図 117. SPORT over JESD204B 信号モニタ・フレーム・データ

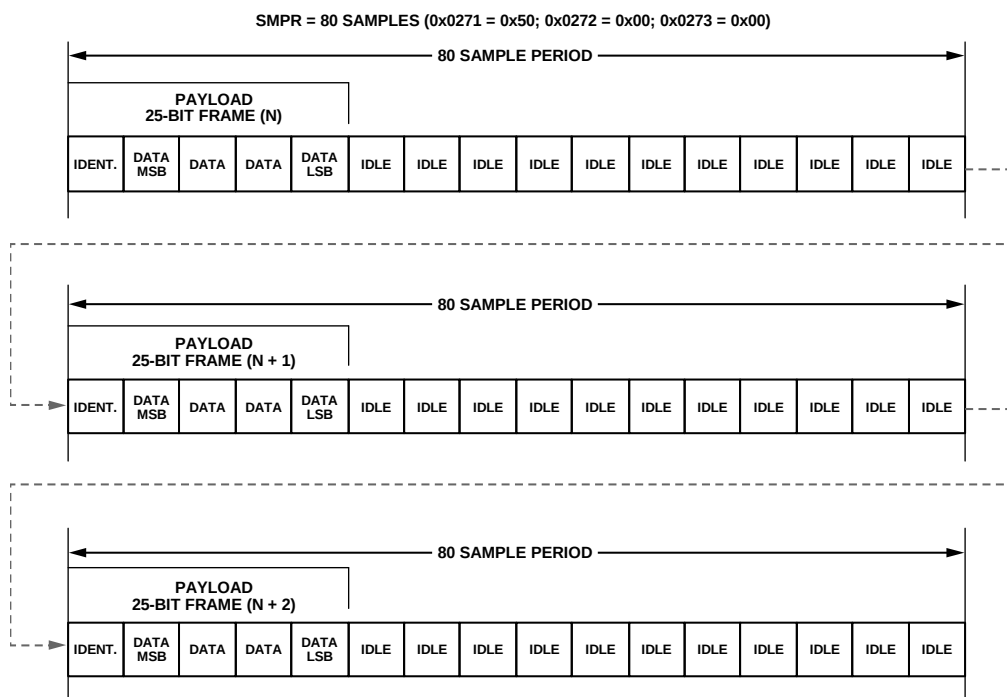


図 118. SPORT over JESD204B 信号モニタ例

15560-089

デジタル出力

JESD204B インターフェースの概要

AD9695 のデジタル出力は、データ・コンバータ用のシリアル・インターフェース規格として JEDEC が制定した JESD204B に合わせて設計されています。JESD204B は、シリアル・インターフェースを経由し、最大 16 Gbps のレーン・レートで AD9695 をデジタル処理デバイスへリンクするためのプロトコルです。LVDS における JESD204B インターフェースの利点には、データ・インターフェース・ルーティングのために必要なボード面積を減らせることや、コンバータやロジック・デバイスのパッケージを小型化できることなどがあります。

JESD204B の概要

JESD204B データ送信ブロックでは、ADC からのパラレル・データがフレーム化され、8 ビット/10 ビット・エンコーディングとオプションのスクランプリング機能を使用してシリアル出力データが形成されます。レーン同期は、最初のリンク確立時に、特別な制御文字を使用することでサポートされています。データ・ストリームには、その後も同期を維持するために、追加的な制御文字が組み込まれます。シリアル・リンクを完了させるには、JESD204B レシーバーが必要です。JESD204B インターフェースのその他の詳細については、JESD204B 規格を参照してください。

AD9695 の JESD204B データ送信ブロックは、リンクを介して最大 2 個の物理的 ADC、または最大 8 個の仮想コンバータ (DDC がイネーブルされている場合) をマッピングします。リンクは、1、2、または 4 本の JESD204B レーンを使用するように構成できます。JESD204B 仕様ではいくつかのパラメータを使ってリンクを定義しますが、これらのパラメータは、JESD204B トランスミッタ (AD9695 の出力) と JESD204B レシーバー (ロジック・デバイスの入力) の間で一致している必要があります。

JESD204B リンクは、以下のパラメータに従って記述されます。

- L はコンバータ・デバイスあたりのレーン数 (レーン数/リンク) で、AD9695 では 1、2、または 4 です。
- M はコンバータ・デバイスあたりのコンバータ数 (仮想コンバータ数/リンク) で、AD9695 では 1、2、4、または 8 です。
- F はフレームあたりのオクテット数で、AD9695 では 1、2、4、8、または 16 です。
- N' はサンプルあたりのビット数で (JESD204B のワード・サイズ)、AD9695 では 8 または 16 です。
- N はコンバータの分解能で、AD9695 では 7 ~ 16 です。
- CS はサンプルあたりの制御ビット数で、AD9695 では 0、1、2、または 3 です。

- K はマルチフレームあたりのフレーム数で、AD9695 では 4、8、12、16、20、24、28、または 32 です。
- S は、1 つのコンバータのフレーム・サイクルにつき送信されるサンプルの数で、AD9695 では L、M、F、および N' に基づいて自動的に設定されます。
- HD は高密度モードで、AD9695 のモードは L、M、F、および N' に基づいて自動的に設定されます。
- CF は 1 つのコンバータ・デバイスのフレーム・クロック・サイクルあたりの制御ワード数で、AD9695 では 0 です。

図 119 に、AD9695 における JESD204B リンクの簡略ブロック図を示します。デフォルトでは、AD9695 はコンバータ 2 個とレーン 4 本を使用するように構成されます。コンバータ A のデータは SERDOUT0± や SERDOUT1± に出力され、コンバータ B のデータは SERDOUT2± や SERDOUT3± に出力されます。AD9695 では他の構成も可能で、両方のコンバータの出力を 1 本のレーンにまとめたり、A および B デジタル出力バスのマッピングを変更したりすることができます。これらのモードはカスタマイズ可能で、SPI を使用して設定できます。詳細についてはメモリ・マップのセクションを参照してください。

AD9695 のデフォルトでは、各コンバータからの 14 ビット・コンバータ・ワードが 2 つのオクテット (8 ビットのデータ) に分割されます。ビット 13 (MSB) からビット 6 までは最初のオクテットを構成します。2 つめのオクテットはビット 5 からビット 0 (LSB) ままで、2 つのテール・ビットで構成されます。テール・ビットは、ゼロまたは疑似乱数シーケンスとして構成できます。テール・ビットは、オーバーレンジ、SYSREF±、または高速検出出力を示す制御ビットに置き換えることもできます。

得られた 2 つのオクテットは、スクランプリング可能です。スクランプリングはオプションですが、似たようなデジタル・データ・パターンを送信する場合は、スペクトル・ピークを避けることを推奨します。スクランブラは、式 $1 + x^{14} + x^{15}$ で定義される、自己同期機能を備えた多項式ベースのアルゴリズムを使用します。レシーバーのデスクランブラは、スクランブラ多項式の自己同期バージョンです。

次に、8 ビット/10 ビット・エンコーダによって、この 2 つのオクテットがエンコードされます。8 ビット/10 ビット・エンコーダは、8 ビットのデータ (1 つのオクテット) を使い、それらのデータを 10 ビット・シンボルにエンコードします。ADC から 14 ビットのデータを取得してテール・ビットを追加し、2 つのオクテットをスクランプリングして、それらのオクテットを 2 つの 10 ビット・シンボルにエンコードする過程を図 119 に示します。図 120 にデフォルトのデータ・フォーマットを示します。

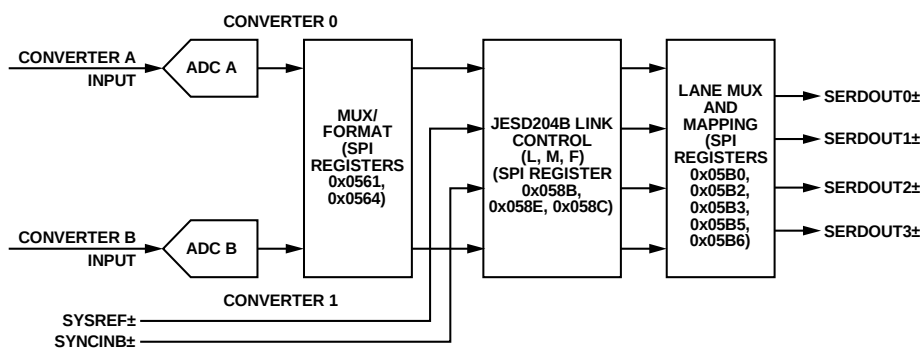


図 119. フル帯域幅モード (レジスタ 0x200 = 0x00) を示す送信リンクの簡略ブロック図

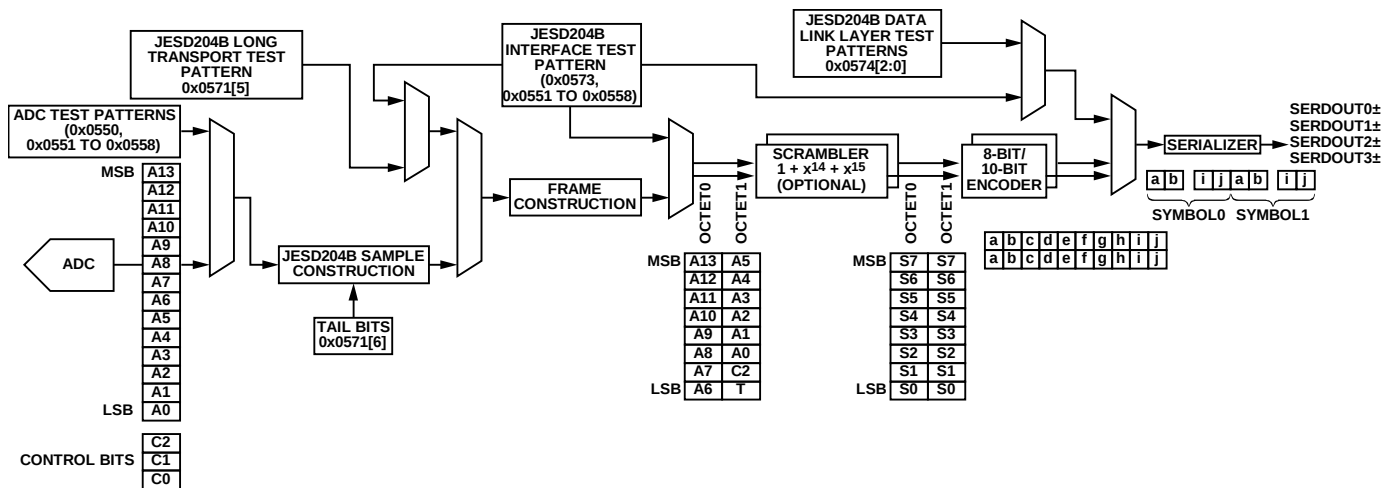


図 120. データ・フレーミングを示す ADC 出力データバス

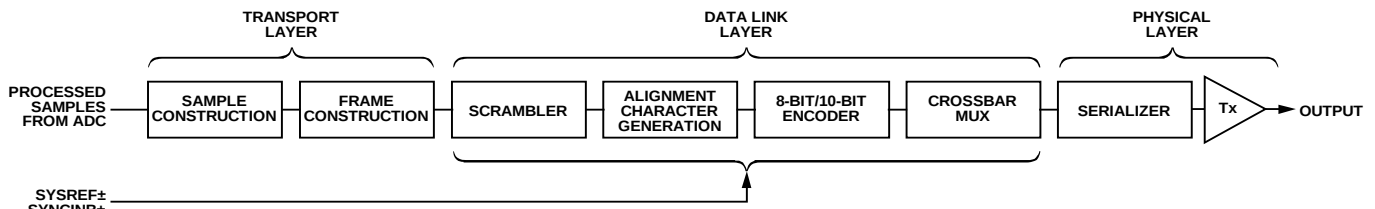


図 121. データ・フロー

機能の概要

図 121 のブロック図は、サンプル入力から JESD204B ハードウェアを通過して、物理出力へ至るデータの流れを示したものです。処理は、通信システムの抽象化層を記述するために広く使われている開放型システム間相互接続 (OSI) モデルに定める複数の層に分けることができます。これらの層は、トランスポート層、データ・リンク層、および物理層 (シリアルライザと出力ドライバ) です。

トランスポート層

トランスポート層は、8 ビット・オクテットにマップされる JESD204B フレームへのデータ (サンプルとオプションの制御ビットから構成される) のパッキングを扱います。サンプルのフレームへのパッキングは、レーン数 (L)、コンバータ数 (M)、1 フレームのレーンあたりのオクテット数 (F)、1 フレームのコンバータあたりのサンプル数 (S)、ニブル・グループのビット数 (JESD204 のワード・サイズ N' で表されることもあります) からなる、JESD204B の構成パラメータによって決まります。

サンプルは、コンバータ 0、コンバータ 1 の順に、コンバータ $M-1$ までマッピングされます。 $S > 1$ の場合、そのコンバータの各サンプルをマッピングしてから、次のコンバータのサンプルがマッピングされます。各サンプルは、コンバータ制御ビットを各サンプルの LSB にアペンドすることで作成されるワードにマッピングされます (イネーブルされている場合)。次に、このワードは必要に応じてテール・ビットを付加され、 N' パラメータで決まる適切なサイズのニブル・グループ (NG) を形成します。ニブル・グループ (JESD204B ワード) 内のテール・ビット数は、次の式を使って求められます。

$$T = N' - N - CS$$

データ・リンク層

データ・リンク層は、リンクを介してデータを渡すという低レベル機能を受け持ちます。この機能には、データをスクランブルすること、初期レーン・アライメント・シーケンス (ILAS) の間にフレームとマルチフレーム同期モニタリングのために制御文字を挿入すること、8 ビットのオクテットを 10 ビットのシンボルにエンコードすること、などがあります。データ・リンク層は、ILAS の送信も行います。このシーケンスには、トランスポート層の設定を確認するためにレシーバーが使用する、リンク構成データが含まれています。

物理層

物理層は、シリアル・クロック・レートでクロックされる高速回路で構成されます。この層内では、パラレル・データが、1、2、または 4 レーンの高速差動シリアル・データに変換されます。

JESD204B リンクの確立

AD9695 の JESD204B トランスミッタ (Tx) インターフェースは、JEDEC 規格 JESD204B に定義されているサブクラス 0 またはサブクラス 1 で動作します (2011 年 7 月の仕様)。リンク確立プロセスは、以下のステップに分けて行われます。すなわち、コード・グループ同期、初期レーン・アライメント・シーケンス、およびユーザ・データとエラーの修正です。

コード・グループ同期 (CGS)

CGS は、JESD204B レシーバーがデータ・ストリーム内の 10 ビット・シンボルの境界を確認するプロセスです。CGS フェーズでは、JESD204B 送信ブロックが /K/ 文字 (/K28.5/ シンボル) を送信します。レシーバーは、クロック & データ再生 (CDR) の手法を使って、入力データ・ストリーム内にある /K/ 文字の位置を特定する必要があります。

レシーバーは、AD9695 の SYNCINB $\pm$ ピンをローにアサートすることによって、同期リクエストを送信します。続いて JESD204B Tx が /K/ 文字の送信を開始します。レシーバーは、同期後に少なくとも 4 個の /K/ シンボルが連続して正しく受信されるのを待ち、受信後に SYNCINB $\pm$ をデアサートします。さらに、AD9695 は次のローカル・マルチフレーム・クロック (LMFC) の境界に ILAS を送信します。

コード・グループ同期フェーズの詳細については、2011 年 7 月付け JEDEC 規格 JESD204B の 5.3.3.1 項を参照してください。

SYNCINB $\pm$ ピンの動作は、SPI で制御することもできます。SYNCINB $\pm$ 信号は、デフォルトでは差動 DC カップリング LVDS モード信号ですが、シングルエンドで駆動することも可能です。SYNCINB $\pm$ ピンの動作設定の詳細については、レジスタ 0x572 を参照してください。

SYNCINB $\pm$ ピンは、レジスタ 0x572 のビット 4 をセットすることによって、CMOS (シングルエンド) モードで動作するように構成することもできます。SYNCINB $\pm$ を CMOS モードで使用するには、CMOS SYNCINB 信号をピン 21 (SYNCINB+) に接続し、ピン 20 (SYNCINB-) は未接続のままにします。

初期レーン・アライメント・シーケンス (ILAS)

ILAS フェーズは CGS フェーズの後に続くフェーズで、SYNCINB $\pm$ のデアサート後、次の LMFC 境界で開始されます。ILAS は 4 つのマルチフレームで構成され、/R/ 文字が開始位置を、/A/ 文字が終了位置を示します。ILAS は、/R/ 文字の後に 1 マルチフレームあたり 0 ~ 255 のランプ・データを送ることによって始まります。2 つ目のマルチフレームでは、3 番目の文字から始まるリンク構成データが送られます。2 番目の文字は /Q/ で、これは、その後にリンク構成データが続くことを示します。すべての未定義データ・スロットには、ランプ・データが埋め込まれます。ILAS シーケンスがスクランブリングされることはありません。

ILAS シーケンスの構成を図 122 に示します。4 つのマルチフレームには以下の特徴があります。

- マルチフレーム 1 は /R/ 文字 (/K28.0/) で始まり、/A/ 文字 (/K28.3/) で終わります。
- マルチフレーム 2 は /R/ 文字で始まり、その後に /Q/ 文字 (/K28.4/) と 14 個の構成オクテットからなるリンク構成パラメータが続く (表 31 参照)、/A/ 文字で終わります。パラメータ値の多くは「値-1」で表記されます。
- マルチフレーム 3 は /R/ 文字 (/K28.0/) で始まり、/A/ 文字 (/K28.3/) で終わります。

- マルチフレーム 4 は /R/ 文字 (/K28.0/) で始まり、/A/ 文字 (/K28.3/) で終わります。

ユーザ・データとエラー検出

最初のレーン・アライメント・シーケンスの完了後、ユーザ・データ (ADC サンプル) が送られます。ユーザ・データの送信の間、文字置換と呼ばれるメカニズムがフレーム・クロックとマルチフレーム・クロック・アライメントをモニタします。このメカニズムによって、データが一定の条件を満たした場合に、フレームまたはマルチフレームの最後のオクテットが /F/ または /A/ アライメント文字で置き換えられます。これらの条件は、スクランブリングされたデータとされていないデータで異なります。スクランブリング動作はデフォルトでイネーブルされていますが、SPI を使ってディスエーブルすることができます。

スクランブリングされたデータでは、フレームの最後にある 0xFC 文字がすべて /F/ に置き換えられ、マルチフレームの最後にある 0x7C 文字はすべて /A/ に置き換えられます。JESD204B レシーバー (Rx) は受信したデータ・ストリーム内にある /F/ 文字と /A/ 文字をチェックして、それらが所定の位置にあることを確認します。予期しない /F/ または /A/ 文字が見つかった場合、レシーバーは、ダイナミック・リアライメントを使用するか 4 フレーム以上に対して SYNCINB $\pm$ 信号をアサートして再同期を開始することにより、これに対処します。スクランブリングされていないデータでは、連続する 2 つのフレームの最終オクテットが同じ場合、それが 1 フレームの最後である場合は 2 番目のオクテットが /F/ シンボルに置き換えられ、マルチフレームの最後である場合は /A/ シンボルに置き換えられます。

アライメント文字の挿入は SPI を使用して修正できます。フレーム・アライメント文字挿入 (FACI) は、デフォルトでイネーブルされています。リンク制御の詳細は、メモリ・マップのセクションに記載されています (レジスタ 0x571)。

8 ビット/10 ビット・エンコーダ

8 ビット/10 ビット・エンコーダは、8 ビット・オクテットを 10 ビット・シンボルに変換し、必要に応じてストリームに制御文字を挿入します。JESD204B で使われる制御文字を表 31 に示します。8 ビット/10 ビット・エンコーディングは、複数のシンボルに同じ数の 1 と 0 を使うことによって、信号を直流平衡信号にします。

8 ビット/10 ビット・インターフェースには、SPI 経由の制御を可能にするオプションがあります。これらのオプションにはバイパスと反転があります。これらは、デジタル・フロント・エンド (DFE) を検証するためのトラブルシューティング・ツールです。8 ビット/10 ビット・エンコーダを構成する方法については、メモリ・マップのセクションにあるレジスタ 0x572 のビット [2:1] を参照してください。

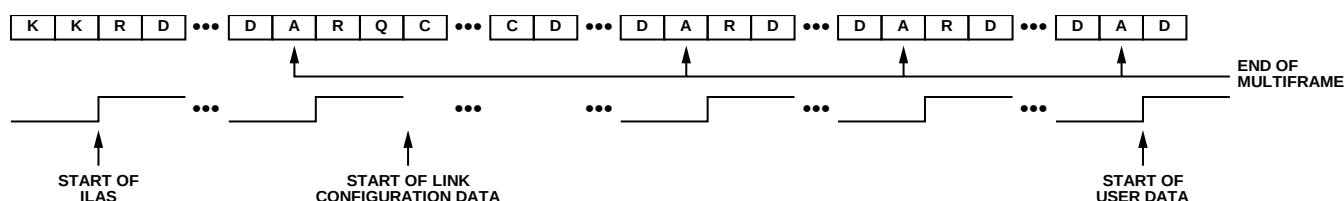


図 122. 初期レーン・アライメント・シーケンス

表 31.JESD204B で使用する AD9695 の制御文字

Abbreviation	Control Symbol	8-Bit Value	10-Bit Value, RD ¹ = -1	10-Bit Value, RD ¹ = +1	Description
/R/	/K28.0/	000 11100	001111 0100	110000 1011	Start of multiframe
/A/	/K28.3/	011 11100	001111 0011	110000 1100	Lane alignment
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	Start of link configuration data
/K/	/K28.5/	101 11100	001111 1010	110000 0101	Group synchronization
/E/	/K28.7/	111 11100	001111 1000	110000 0111	Frame alignment

¹ RD はランニング・ディスパリティ (Running Disparity) を意味します。

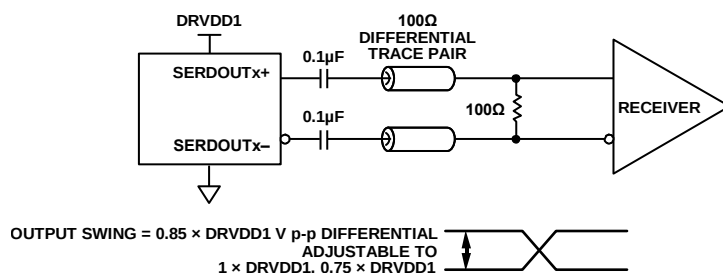


図 123. AC カップリング・デジタル出力の終端例

物理層（ドライバ）出力

デジタル出力、タイミング、制御

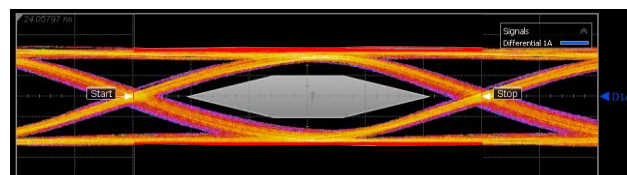
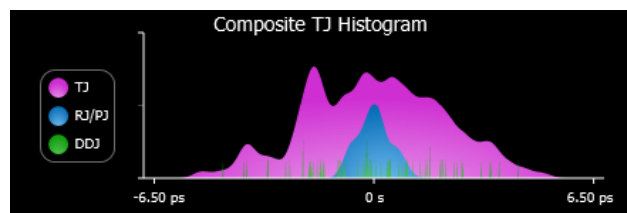
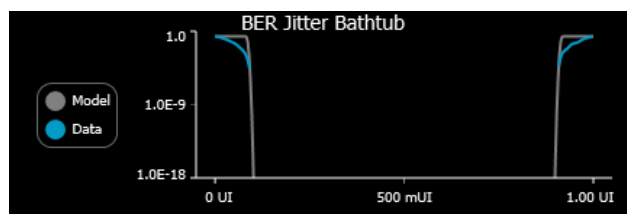
AD9695 の物理層は、JEDEC 規格 JESD204B (2011 年 7 月) に定義されたドライバで構成されています。差動デジタル出力は、デフォルトで起動されます。ドライバは、動的な $100\ \Omega$ 内部終端を使用して不要な反射を減らしています。

レーザの各入力に $100\ \Omega$ の差動終端抵抗を配置することにより、公称値で $0.85 \times \text{DRVDD1 Vp-p}$ の振幅が実現されます (図 123)。振幅は SPI レジスタを通じて調整可能です。レーザへの接続時には、AC カップリングの使用を推奨します。詳細についてはメモリ・マップのセクションを参照してください (表 47 のレジスタ 0x05C0 ~ レジスタ 0x05C3)。

AD9695 のデジタル出力はカスタム ASIC や FPGA (フィールド・プログラマブル・ゲート・アレイ) のレーザにインターフェース接続が可能で、ノイズの多い環境でも優れたスイッチング性能を提供します。レーザ入力にできるだけ近い位置に単一の差動 $100\ \Omega$ 終端抵抗を配置した、1 対 1 のポイント・ツー・ポイント・ネットワーク・トポロジーを推奨します。

相手側のレーザに終端がなかったり、差動パターンのルーティングが適切でなかったりした場合は、タイミング誤差が生じることがあります。このようなタイミング誤差を避けるために、パターン長を 6 インチ未満とし、差動出力パターン同士をできるだけ近づけて、同じ長さとするを推奨します。

16 Gbps で動作する 1 本の AD9695 レーンのデジタル出力データ・アイ、ジッタ・ヒストグラム、およびバスタブ曲線の例を、図 124 ~ 図 126 に示します。出力データのフォーマットは、2 の補数がデフォルトです。出力データ・フォーマットを変更する方法については、メモリ・マップのセクションを参照してください (レジスタ 0x0561)。

図 124. デジタル出力のデータ・アイ
(外部 $100\ \Omega$ 終端、16 Gbps 時)図 125. デジタル出力のジッタ・ヒストグラム
(外部 $100\ \Omega$ 終端、16 Gbps 時)図 126. デジタル出力のバスタブ曲線
(外部 $100\ \Omega$ 終端、16 Gbps 時)

ディエンファシス

ディエンファシスは、相互接続挿入損失が JESD204B の仕様を満たさないような条件下で、レシーバーのアイ・ダイアグラム・マスクに関する要求を満たすことを可能にします。ディエンファシス機能は、挿入損失が大きいためにレシーバーがクロックを回復できない場合にのみ使用してください。通常の条件下では、省電力のためにディエンファシスをイネーブルして高過ぎる値に設定すると、レシーバーのアイ・ダイアグラムを正しく表示できなくなることがあります。ディエンファシスは電磁干渉 (EMI) を増大させることがあるので、設定時には注意してください。詳細については、メモリ・マップのセクションを参照してください (表 47 のレジスタ 0x05C4 からレジスタ 0x05CA)。

フェーズ・ロック・ループ (PLL)

PLL は、JESD204B のレーン・レートで動作するシリアルライザ・クロックを生成します。PLL ロックのステータスは、PLL ロック・ステータス・ビット (レジスタ 0x056F のビット 7) でチェックできます。この読取り専用ビットは、特定のセットアップに対して PLL がロックされた場合、それをユーザに通知します。レジスタ 0x056F には、ロック喪失 (LOL) が検出されたことを知らせる LOL スティッキー・ビット (ビット 3) もあります。このスティッキー・ビットは、JESD204B リンクのリスタートを実行することによってリセットできます (レジスタ 0x0571 のビット 0 = 0x1、その後レジスタ 0x0571 のビット 0 = 0x0)。リンク電源を入れ直した後のリンクの再初期化については、表 33 を参照してください。

JESD204B レーン・レートの制御 (レジスタ 0x056E のビット [7:4]) は、レーン・レートに合わせて設定する必要があります。AD9695 がレジスタ 0x056E を使用してサポートするレーン・レートを表 32 に示します。

表 32. AD9695 がレジスタ 0x056E を使用してサポートするレーン・レート

Value	Lane Rate
0x00	Lane rate = 6.75 Gbps to 13.5
0x10	Lane rate = 3.375 Gbps to 6.75 Gbps (default)
0x30	Lane rate = 13.5 Gbps to 16 Gbps
0x50	Lane rate = 1.6875 Gbps to 3.375 Gbps

AD9695 のデジタル・インターフェースのセットアップ

スタートアップ時に AD9695 を正しく動作させるには、リンクを初期化するためにいくつかの SPI 書込みを行う必要があります。さらに、これらのレジスタには ADC をリセットするたびに書込みを行う必要もあります。以下のいずれかのリセットを行うと、デジタル・インターフェースの初期化ルーチンが実行されます。

- 起動時と同様のハード・リセット。
- PDWN ピンを使用する起動。
- レジスタ 0x0002 のビット [1:0] 経由で SPI を使用する起動。
- レジスタ 0x0000 を 0x81 に設定することによる SPI ソフト・リセット。
- レジスタ 0x0001 を 0x02 に設定することによるデータパス・ソフト・リセット。
- レジスタ 0x0571 のビット 0 を 0x1 に設定してから 0x0 に設定することによる JESD204B のリンク電源再投入。

初期化 SPI 書込みを表 33 に示します。

表 33. AD9695 の JESD204B 初期化

Register	Value	Comment
0x1228	0x4F	Reset JESD204B start-up circuit
0x1228	0x0F	JESD204B start-up circuit in normal operation
0x1222	0x00	JESD204B PLL force normal operation
0x1222	0x04	Reset JESD204B PLL calibration
0x1222	0x00	JESD204B PLL normal operation
0x1262	0x08	Clear loss of lock bit
0x1262	0x00	Loss of lock bit normal operation

AD9695 は JESD204B リンクを備えています。シリアル出力 (SERDOUT0± ~ SERDOUT3±) は、1 つの JESD204B リンクの一部と見なされます。リンク・セットアップを決定する基本パラメータは以下のとおりです。

- リンクあたりのレーン数 (L)
- リンクあたりのコンバータ数 (M)
- フレームあたりのオクテット数 (F)

オンチップ・デジタル処理に内部 DDC を使用する場合、M は仮想コンバータの数を表します。仮想コンバータのマッピング・セットアップを表 11 に示します。

AD9695 のデフォルトでは、各コンバータからの 14 ビット・コンバータ・ワードが 2 つのオクテット (8 ビットのデータ) に分割されます。ビット 13 (MSB) からビット 6 までは最初のオクテットを構成します。2 つめのオクテットはビット 5 からビット 0 (LSB) までと、2 つのテール・ビットで構成されます。テール・ビットは、ゼロまたは疑似乱数シーケンスとして構成できます。テール・ビットは、オーバーレンジ、SYSREF±、または高速検出力を示す制御ビットに置き換えることもできます。制御ビットは MSB から挿入され、CS = 1 をイネーブルすると制御ビット 2 がアクティブに、CS = 2 をイネーブルすると制御ビット 2 と 1 がアクティブに、CS = 3 をイネーブルすると制御ビット 2、1、0 がアクティブになります。

AD9695 で許容される最大レーン・レートは 16 Gbps です。レーン・レートは、次の式を使って JESD204B のパラメータに関連付けられます。

$$\text{レーン・レート} = \frac{M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}}{L}$$

$$\text{ここで、} f_{OUT} = \frac{f_{ADC_CLOCK}}{\text{DecimationRatio}}$$

デシメーション・レシオ (DCM) は、レジスタ 0x0201 でプログラムされるパラメータです。

出力の構成は次の手順で行います。

1. リンクを停止します。
2. JESD204B リンク構成オプションを選択します。
3. 詳細オプションを設定します。
4. 出力レーン・マッピングを設定します (オプション)。
5. 追加ドライバ構成オプションを設定します (オプション)。
6. リンクを起動します。
7. 表 33 に示すコマンドを実行することによって、JESD204B リンクを初期化します。

レジスタ 0x056E は、計算したレーン・レートに従ってプログラムする必要があります。詳細については、フェーズ・ロック・ループ (PLL) のセクションを参照してください。

表 34 と表 35 に、所定の仮想コンバータ数に対し、 $N' = 16$ 、 $N' = 12$ 、および $N' = 8$ についてサポートされている JESD204B 出力構成を示します。所定の構成におけるシリアル・レーン・レートが 1.6875 Gbps ~ 16 Gbps のサポート範囲内に収まるように注意してください。

表 34. $N' = 16$ のときの JESD204B 出力構成¹

Number of Virtual Converters Supported (Same as M)	JESD204B Serial Lane Rate ²	Supported Decimation Rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.6875 Gbps to 3.375 Gbps	Lane Rate = 3.375 Gbps to 6.75 Gbps	Lane Rate = 6.75 Gbps to 13.5 Gbps	Lane Rate = 13.5 Gbps to 16 Gbps									
						L	M	F	S	HD	N	N'	CS	K
1	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	1	1	2	1	0	8 to 16	16	0 to 3	See Note 4
	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	1	1	4	2	0	8 to 16	16	0 to 3	See Note 4
	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	2	1	1	1	1	8 to 16	16	0 to 3	See Note 4
	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	2	1	2	2	0	8 to 16	16	0 to 3	See Note 4
	5 × f _{OUT}	1	N/A	N/A	N/A	4	1	1	2	1	8 to 16	16	0 to 3	See Note 4
	5 × f _{OUT}	1	N/A	N/A	N/A	4	1	2	4	0	8 to 16	16	0 to 3	See Note 4
2	40 × f _{OUT}	4, 8, 10, 12	2, 4, 5, 6	1, 2, 3	1	1	2	4	1	0	8 to 16	16	0 to 3	See Note 4
	40 × f _{OUT}	4, 8, 10, 12	2, 4, 5, 6	1, 2, 3	1	1	2	8	2	0	8 to 16	16	0 to 3	See Note 4
	20 × f _{OUT}	4, 5, 6	1, 2, 3	1	N/A	2	2	2	1	0	8 to 16	16	0 to 3	See Note 4
	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	2	2	4	2	0	8 to 16	16	0 to 3	See Note 4
	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	4	2	1	1	1	8 to 16	16	0 to 3	See Note 4
	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	4	2	2	2	0	8 to 16	16	0 to 3	See Note 4
4	80 × f _{OUT}	8, 16, 20, 24	4, 8, 10, 12	2, 4, 6	2	1	4	8	1	0	8 to 16	16	0 to 3	See Note 4
	40 × f _{OUT}	4, 8, 10, 12	2, 4, 5, 6	1, 2, 3	1	2	4	4	1	0	8 to 16	16	0 to 3	See Note 4
	40 × f _{OUT}	4, 8, 10, 12	2, 4, 5, 6	1, 2, 3	1	2	4	8	2	0	8 to 16	16	0 to 3	See Note 4
	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	4	4	2	1	0	8 to 16	16	0 to 3	See Note 4
	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	4	4	4	2	0	8 to 16	16	0 to 3	See Note 4
8	160 × f _{OUT}	16, 40, 48	8, 16, 20, 24	4, 8, 12	4	1	8	16	1	0	8 to 16	16	0 to 3	See Note 4
	80 × f _{OUT}	8, 16, 20, 24	4, 8, 10, 12	2, 4, 6	2	2	8	8	1	0	8 to 16	16	0 to 3	See Note 4
	40 × f _{OUT}	4, 8, 10, 12	2, 4, 6	2	N/A	4	8	4	1	0	8 to 16	16	0 to 3	See Note 4
	40 × f _{OUT}	4, 8, 10, 12	2, 4, 6	2	N/A	4	8	8	2	0	8 to 16	16	0 to 3	See Note 4

¹ 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

² JESD204B のトランスポート層に関する説明を以下に示します。L はコンバータ・デバイスあたりのレーン数 (レーン数/リンク)、M はコンバータ・デバイスあたりの仮想コンバータ数 (仮想コンバータ数/リンク)、F はフレームあたりのオクテット数、S は 1 個の仮想コンバータのフレーム・サイクルあたりの送信サンプル数、HD は高密度モード、N は仮想コンバータの分解能 (ビット数)、N' はサンプルあたりの合計ビット数 (JESD204B のワード・サイズ)、CS は変換サンプルあたりの制御ビット数、K はマルチフレームあたりのフレーム数です。

³ f_{ADC_CLK} は ADC のサンプル・レート、DCM はチップのデシメーション・レシオ、 f_{OUT} は出力サンプル・レート = f_{ADC_CLK}/DCM 、SLR は JESD204B のシリアル・レーン・レートです。内部クロック分周器の条件に基づき、以下の式を満たす必要があります。1.6875 Gbps $\leq$ SLR $\leq$ 16 Gbps、SLR/40 $\leq$ f_{ADC_CLK} 、(20 $\times$ DCM $\times$ f_{OUT}/SLR , DCM) の最小公倍数 $\leq$ 64。13,500 Mbps $<$ SLR $\leq$ 16,000 Mbps の場合、レジスタ 0x056E を 0x30 に設定する必要があります。6750 Mbps $\leq$ SLR $\leq$ 13,500 Mbps の場合、レジスタ 0x056E を 0x00 に設定する必要があります。3375 Mbps $\leq$ SLR $<$ 6750 Mbps の場合、レジスタ 0x056E を 0x10 に設定する必要があります。1687.5 Mbps $\leq$ SLR $<$ 3375 Mbps の場合、レジスタ 0x056E を 0x50 に設定する必要があります。

⁴ 4 で整除できる有効な K $\times$ F の値だけがサポートされています。F = 1 の場合は K = 20、24、28、32。F = 2 の場合は K = 12、16、20、24、28、32。F = 4 の場合は K = 8、12、16、20、24、28、32。F = 8 の場合は K = 4、8、12、16、20、24、28、32。F = 16 の場合は K = 4、8、12、16、20、24、28、32 です。

表 35. JESD204B 出力構成 (N' = 12)¹

No. of Virtual Converters Supported (Same Value as M)	Serial Lane Rate ²	Supported Decimation Rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.6875 Gbps to 3.375 Gbps	Lane Rate = 3.375 Gbps to 6.75 Gbps	Lane Rate = 6.75 Gbps to 13.5 Gbps	Lane Rate = 13.5 Gbps to 16 Gbps	L	M	F	S	HD	N	N'	L	K
1	15 × f _{OUT}	3	N/A	N/A	N/A	1	1	3	2	0	8 to 12	12	0 to 3	See Note 4
	7.5 × f _{OUT}	N/A	N/A	N/A	N/A	2	1	3	4	1	8 to 12	12	0 to 3	See Note 4
	7.5 × f _{OUT}	N/A	N/A	N/A	N/A	2	1	6	8	0	8 to 12	12	0 to 3	See Note 4
	5 × f _{OUT}	1	N/A	N/A	N/A	3	1	1	2	1	8 to 12	12	0 to 3	See Note 4
2	30 × f _{OUT}	3, 6	3	N/A	N/A	1	2	3	1	0	8 to 12	12	0 to 3	See Note 4
	15 × f _{OUT}	3	N/A	N/A	N/A	2	2	3	2	0	8 to 12	12	0 to 3	See Note 4
	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	3	2	1	1	1	8 to 12	12	0 to 3	See Note 4
	7.5 × f _{OUT}	N/A	N/A	N/A	N/A	4	2	3	4	0	8 to 12	12	0 to 3	See Note 4
4	60 × f _{OUT}	6, 12	3, 6	3	N/A	1	4	6	1	0	8 to 12	12	0 to 3	See Note 4
	30 × f _{OUT}	3, 6	3	N/A	N/A	2	4	3	1	0	8 to 12	12	0 to 3	See Note 4
	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	3	4	2	1	1	8 to 12	12	0 to 3	See Note 4
	15 × f _{OUT}	3	N/A	N/A	N/A	4	4	3	2	0	8 to 12	12	0 to 3	See Note 4
8	60 × f _{OUT}	6, 12	6	N/A	N/A	2	8	6	1	0	8 to 12	12	0 to 3	See Note 4
	30 × f _{OUT}	6	N/A	N/A	N/A	4	8	3	1	0	8 to 12	12	0 to 3	See Note 4

¹ 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

² f_{ADC_CLK} は ADC のサンプル・レート、DCM はチップのデシメーション・レシオ、 f_{OUT} は出力サンプル・レート = f_{ADC_CLK}/DCM 、SLR は JESD204B のシリアル・レーン・レートです。内部クロック分周器の条件に基づき、以下の式を満たす必要があります。1.6875 Gbps ≤ SLR ≤ 16 Gbps、SLR/40 ≤ f_{ADC_CLK} 、(20 × DCM × f_{OUT}/SLR , DCM) の最小公倍数 ≤ 64。13,500 Mbps < SLR ≤ 16,000 Mbps の場合、レジスタ 0x056E を 0x30 に設定する必要があります。6750 Mbps ≤ SLR ≤ 13,500 Mbps の場合、レジスタ 0x056E を 0x00 に設定する必要があります。3375 Mbps ≤ SLR < 6750 Mbps の場合、レジスタ 0x056E を 0x10 に設定する必要があります。1687.5 Mbps ≤ SLR < 3375 Mbps の場合、レジスタ 0x056E を 0x50 に設定する必要があります。

³ JESD204B のトランスポート層に関する説明を以下に示します。L はコンバータ・デバイスあたりのレーン数 (レーン数/リンク)、M はコンバータ・デバイスあたりの仮想コンバータ数 (仮想コンバータ数/リンク)、F はフレームあたりのオクテット数、S は 1 個の仮想コンバータのフレーム・サイクルあたりの送信サンプル数、HD は高密度モード、N は仮想コンバータの分解能 (ビット数)、N' はサンプルあたりの合計ビット数 (JESD204B のワード・サイズ)、CS は変換サンプルあたりの制御ビット数、K はマルチフレームあたりのフレーム数です。

⁴ 4 で整除できる有効な K × F の値だけがサポートされています。F = 1 の場合は K = 20、24、28、32。F = 2 の場合は K = 12、16、20、24、28、32。F = 4 の場合は K = 8、12、16、20、24、28、32。F = 8 の場合は K = 4、8、12、16、20、24、28、32。F = 16 の場合は K = 4、8、12、16、20、24、28、32 です。

表 36. N' = 8 のときの JESD204B 出力構成¹

No. of Virtual Converters Supported (Same Value as M)	Serial Lane Rate ²	Supported decimation rates				JESD204B Transport Layer Settings ³								
		Lane Rate = 1.6875 Gbps to 3.375 Gbps	Lane Rate = 3.375 Gbps to 6.75 Gbps	Lane Rate = 6.75 Gbps to 13.5 Gbps	Lane Rate = 13.5 Gbps to 16 Gbps	L	M	F	S	HD	N	N'	CS	K
1	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	1	1	1	1	0	7 to 8	8	0 to 1	See Note 4
1	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	1	1	2	2	0	7 to 8	8	0 to 1	See Note 4
1	5 × f _{OUT}	1	N/A	N/A	N/A	2	1	1	2	0	7 to 8	8	0 to 1	See Note 4
1	5 × f _{OUT}	1	N/A	N/A	N/A	2	1	2	4	0	7 to 8	8	0 to 1	See Note 4
1	5 × f _{OUT}	1	N/A	N/A	N/A	2	1	4	8	0	7 to 8	8	0 to 1	See Note 4
1	2.5 × f _{OUT}	N/A	N/A	N/A	N/A	4	1	1	4	0	7 to 8	8	0 to 1	See Note 4
1	2.5 × f _{OUT}	N/A	N/A	N/A	N/A	4	1	2	8	0	7 to 8	8	0 to 1	See Note 4
2	20 × f _{OUT}	2, 4, 5, 6	1, 2, 3	1	N/A	1	2	2	1	0	7 to 8	8	0 to 1	See Note 4
2	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	2	2	1	1	0	7 to 8	8	0 to 1	See Note 4
2	10 × f _{OUT}	1, 2, 3	1	N/A	N/A	2	2	2	2	0	7 to 8	8	0 to 1	See Note 4
2	5 × f _{OUT}	1	N/A	N/A	N/A	4	2	1	2	0	7 to 8	8	0 to 1	See Note 4
2	5 × f _{OUT}	1	N/A	N/A	N/A	4	2	2	4	0	7 to 8	8	0 to 1	See Note 4
2	5 × f _{OUT}	1	N/A	N/A	N/A	4	2	4	8	0	7 to 8	8	0 to 1	See Note 4

¹ 内部クロック条件のために、特定のリンク・パラメータについては特定のデシメーション・レートだけがサポートされています。

² f_{ADC_CLK} は ADC のサンプル・レート、DCM はチップのデシメーション・レシオ、 f_{OUT} は出力サンプル・レート $= f_{ADC_CLK}/DCM$ 、SLR は JESD204B のシリアル・レーン・レートです。内部クロック分周器の条件に基づき、以下の式を満たす必要があります。 $1.6875 \text{ Gbps} \leq \text{SLR} \leq 16 \text{ Gbps}$ 、 $\text{SLR}/40 \leq f_{ADC_CLK}$ 、 $(20 \times \text{DCM} \times f_{OUT}/\text{SLR}, \text{DCM})$ の最小公倍数 ≤ 64 。 $13,500 \text{ Mbps} < \text{SLR} \leq 16,000 \text{ Mbps}$ の場合、レジスタ 0x056E を 0x30 に設定する必要があります。 $6750 \text{ Mbps} \leq \text{SLR} \leq 13,500 \text{ Mbps}$ の場合、レジスタ 0x056E を 0x00 に設定する必要があります。 $3375 \text{ Mbps} \leq \text{SLR} < 6750 \text{ Mbps}$ の場合、レジスタ 0x056E を 0x10 に設定する必要があります。 $1687.5 \text{ Mbps} \leq \text{SLR} < 3375 \text{ Mbps}$ の場合、レジスタ 0x056E を 0x50 に設定する必要があります。

³ JESD204B のトランスポート層に関する説明を以下に示します。L はコンバータ・デバイスあたりのレーン数（レーン数/リンク）、M はコンバータ・デバイスあたりの仮想コンバータ数（仮想コンバータ数/リンク）、F はフレームあたりのオクテット数、S は 1 個の仮想コンバータのフレーム・サイクルあたりの送信サンプル数、HD は高密度モード、N は仮想コンバータの分解能（ビット数）、N' はサンプルあたりの合計ビット数（JESD204B のワード・サイズ）、CS は変換サンプルあたりの制御ビット数、K はマルチフレームあたりのフレーム数です。

⁴ 4 で整除できる有効な $K \times F$ の値だけがサポートされています。F = 1 の場合は K = 20、24、28、32。F = 2 の場合は K = 12、16、20、24、28、32。F = 4 の場合は K = 8、12、16、20、24、28、32。F = 8 の場合は K = 4、8、12、16、20、24、28、32。F = 16 の場合は K = 4、8、12、16、20、24、28、32 です。

セットアップ例 1 – フル帯域幅モード

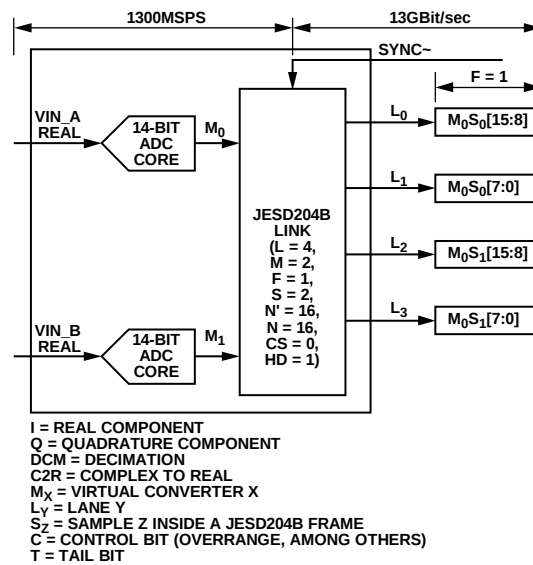


図 127. フル帯域幅モード

AD9695 は、以下の構成で図 127 に示すようにセットアップします。

- 1300 MSPS の 2 個の 14 ビット・コンバータ。
- フル帯域幅アプリケーション層モード。
- デシメーション・フィルタをバイパス。

JESD204B 出力の構成は次のとおりです。

- 2 個の仮想コンバータが必要（表 34 を参照）
- 出力サンプル・レート (f_{OUT}) = $1300/1 = 1300$ MSPS。

JESD204B をサポートする出力構成は以下のとおりです（表 34 を参照）。

- N' = 16 ビット。
- N = 14 ビット。
- L = 4、M = 2、F = 1。
- CS = 0。
- K = 32。
- 出力シリアル・レーン・レート
 - レーンあたり 13 Gbps (L = 4)
- PLL 制御レジスタ
 - レジスタ 0x056E を 0x00 に設定 (L = 4)。

セットアップ例 2 – DDC オプション付きの ADC (2 個の ADC と 2 個の DDC)

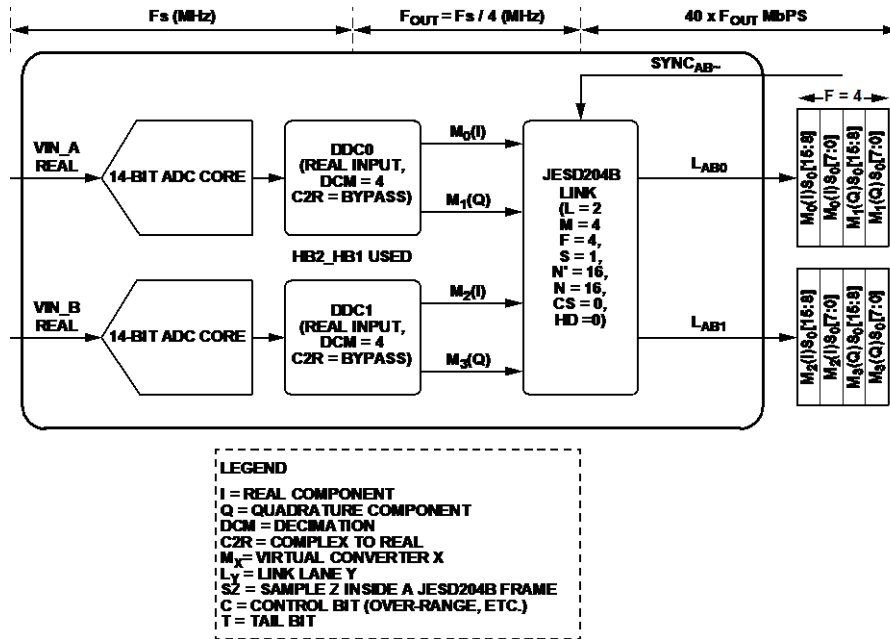


図 128. 2 ADC + 2 DDC モード (L = 4、M = 4、F = 2、S = 1)

この例は、AD9695 のデジタル構成とレーン構成の柔軟性を示すものです。サンプル・レートは 1300 MSPS ですが、受信デバイスの入出力速度性能に応じて、出力はすべて 2 本、4 本、または 8 本のレーンの組み合わせにまとめられます。

AD9695 は、以下の構成で図 128 に示すようにセットアップされます。

- 1300 MSPS の 2 個の 14 ビット・コンバータ。
- 複素出力 (I/Q) の 2 つの DDC アプリケーション層モード。
- チップ・デシメーション・レシオ = 4。
- DDC デシメーション・レシオ = 4 (メモリ・マップのセクションを参照)。

JESD204B 出力の構成は次のとおりです。

- 4 個の仮想コンバータが必要 (表 34 を参照)。
- 出力サンプル・レート (f_{OUT}) = 1300 MSPS/4 = 325 MSPS。

JESD204B をサポートする出力構成は以下のとおりです (表 34 を参照)。

- $N' = 16$ ビット。
- $N = 14$ ビット。
- $L = 2$ 、 $M = 4$ 、 $F = 4$ 、または $L = 4$ 、 $M = 4$ 、 $F = 4$ 。
- $CS = 0$ 。
- $K = 32$ 。
- 出力シリアル・レーン・レート = 6.5 Gbps/レーン ($L = 4$)、13 Gbps/レーン ($L = 2$)。

$L = 2$ の場合は、PLL 制御レジスタ (レジスタ 0x056E) を 0x00 に設定。 $L = 4$ の場合は、PLL 制御レジスタ (レジスタ 0x056E) を 0x10 に設定。

確定的遅延

JESD204B リンクの両端には、各システムに分散したさまざまなクロック領域が含まれています。1つのクロック領域から別のクロック領域へデータが渡されると、JESD204B リンクに不明な遅延が生じる可能性があります。これらの遅延は、電源を入れ直すたびに、あるいはリンクをリセットするたびに異なる、不規則な遅延が生じる要因となります。JESD204B 仕様のセクション 6 は、サブクラス 1 およびサブクラス 2 として定義されているメカニズムに伴う確定的遅延の問題を扱っています。

AD9695 は、JESD204B サブクラス 0 とサブクラス 1 の動作に対応しています。レジスタ 0x0590 のビット 5 は AD9695 のサブクラス・モードを設定します。デフォルトはサブクラス 1 動作モードです（レジスタ 0x0590 のビット 5 = 1）。確定的遅延がシステムの条件でない場合は、サブクラス 0 動作が推奨されます。SYSREF $\pm$ 信号は必要ありません。サブクラス 0 モードであっても、複数の AD9695 デバイスを互いに同期させる必要のあるアプリケーションでは、SYSREF $\pm$ 信号が必要になります。このトピックについては、タイムスタンプ・モードのセクションを参照してください。

サブクラス 0 動作

サブクラス 0 モードでの動作（レジスタ 0x0590 のビット 5 = 0）にマルチチップ同期に関する条件がない場合は、SYSREF $\pm$ 入力を未接続のままにすることができます。このモードでは、JESD204B のトランスミッタとレシーバーの JESD204B クロック同士の関係が一定しませんが、レシーバーがリンク内のレーンを取得してアラインする能力に影響を与えることはありません。

サブクラス 1 動作

トランスポート層のセクションに示すように、JESD204B プロトコルは、データ・サンプルをオクテット、フレーム、およびマルチフレームに構成します。LMFC は、これらのマルチフレームの開始と同期します。サブクラス 1 動作では、1 リンク内の各デバイスまたは複数リンク内の各デバイスに関し、SYSREF $\pm$ 信号を使用して LMFC を同期させます（AD9695 内では、SYSREF $\pm$ は内部サンプル・デバインドも同期させます）。この同期を図 129 に示します。JESD204B レシーバーは、マルチフレームの境界と

バッファリングを使用して、レーン間（または複数デバイス間）の遅延が一定になるようにする他、電源のオン／オフやリンク・リセットなどの場合も遅延値が変わらないようにします。

確定的遅延に関する条件

JESD204B サブクラス 1 システムで確定的遅延を実現するにあたっては、いくつかの重要な要素が必要になります。

- システム内での SYSREF $\pm$ 信号の分配スキューは、そのシステムに求められる不確実性の度合いより小さくしなければなりません。
- SYSREF $\pm$ のセットアップおよびホールド時間に関する条件を、システム内の各デバイスが満たす必要があります。
- すべてのレーン、リンク、デバイスにおける合計遅延変動は、1 LMFC 周期以下でなければなりません（図 129 を参照）。これには可変遅延と、システム内のレーンごと、リンクごと、およびデバイスごとの固定遅延の差が含まれます。

確定的遅延レジスタの設定

ロジック・デバイス内の JESD204B レシーバー・バッファは、LMFC 境界から始まるデータをバッファします。システム内の合計リンク遅延が LMFC 周期の整数倍に近い場合は、電源を入れ直すたびに、レシーバー・バッファでのデータ到着時間が LMFC 境界にまたがる可能性があります。この場合に遅延を確定的なものとするには、トランスミッタまたはレシーバーで LMFC の位相を調整する必要があります。通常、レシーバーの LMFC は、受信バッファに対応するために調整されます。AD9695 では、LMFC オフセット・ビット（レジスタ 0x578 のビット [4:0]）を使用して、この調整を行うことができます。これらのビットは、F パラメータ（フレームあたりの 1 レーンのオクテット数）に応じ、フレーム・クロック単位で LMFC を遅らせます。F = 1 の場合は 4 の倍数の設定値（0、4、8、…）ごとに、クロックが 1 フレームずつシフトします。F = 2 の場合は 2 の倍数の設定値（0、2、4、…）ごとに、クロックが 1 フレームずつシフトします。F をその他の値にすると、いずれの場合もクロックは 1 フレームずつシフトします。

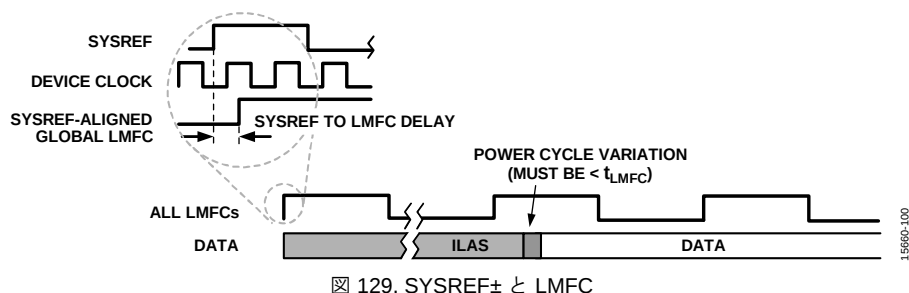


図 129. SYSREF $\pm$ と LMFC

図 130 は、リンク遅延が LMFC 境界に近い場合、AD9695 のローカル LMFC を遅らせてレシーバーへのデータ到着時間を遅延できることを示しています。図 131 に、レシーバーの LMFC を遅らせて、受信バッファのタイミングを合わせる方法を示します。詳しい調整方法については、該当する JESD204B レシーバーのユーザ・ガイドを参照してください。システムの合計遅延が LMFC 周期の整数倍に近くない場合や、クロック・ソースの LMFC 位相が適切に調整されている場合は、やはり電源を入れ直すたびに遅延が変化する可能性があります。この場合、SYSREF $\pm$ 信号のセットアップおよびホールド時間の条件を満たさなくなっていないか、チェックしてください。チェックするには、SYSREF $\pm$ セットアップおよびホールドのモニタ・レジスタ（レジスタ 0x0128）を読み出します。この機能については、SYSREF $\pm$ セットアップ/ホールド・ウィンドウのモニタのセクションで説明します。

レジスタ 0x0128 の読出し結果がタイミングに関する問題の存在を示している場合は、AD9695 内でできる調整がいくつかあります。SYSREF $\pm$ 遷移選択ビット（レジスタ 0x0120 のビット 4）を使用して、アライメントに使われる SYSREF $\pm$ レベルを変更することができます。また、クロック・エッジ選択ビット（レジスタ 0x0120 のビット 3）を使って、SYSREF $\pm$ の取得に使用するクロックのエッジを変更することも可能です。これらのオプションについては、ともに SYSREF $\pm$ 制御機能のセクションで説明します。これらのいずれの方法でも許容可能なセットアップおよびホールド時間を実現できない場合は、SYSREF $\pm$ またはデバイス・クロック（CLK $\pm$ ）の位相、もしくはその両方の位相を調整する必要があります。

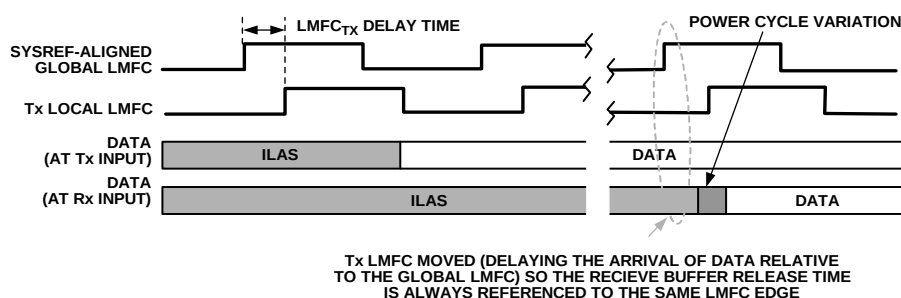


図 130. AD9695 内の JESD204B Tx LMFC の調整

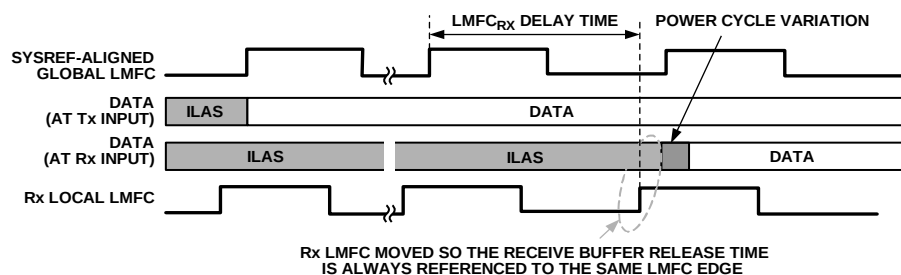


図 131. ロジック・デバイス内の JESD204B Rx LMFC の調整

マルチチップ同期

図 133 のフローチャートは、AD9695 のマルチチップ同期のための内部メカニズムを示しています。チップ同期モード・ビット（レジスタ 0x1FF のビット 0）による決定に従って、マルチチップ同期を可能にする方法は 2 つあります。これらの方法は、それぞれ異なる形で SYSREF± 信号を使用します。

ノーマル・モード

チップ同期モード・ビットのデフォルト設定は 0 で、AD9695 はこれにより通常のチップ同期を行うように設定されています。JESD204B 規格は、1 つのリンク内での遅延を確定的なものとするために、SYSREF± の使用を規定しています。複数のコンバータとロジック・デバイスを持つシステムに同じ考え方を適用すると、マルチチップ同期も可能になります。図 133 ではこれをノーマル・モードとしています。フローチャートに示したプロセスに従えば、AD9695 の構成設定を正しく行うことができます。JESD204B レシーバーが適切に構成されていることを確認するには、ロジック・デバイスのユーザ知的財産権（IP）ガイドを参照してください。

タイムスタンプ・モード

AD9695 の全帯域幅におけるすべての動作モードで、SYSREF± 入力はタイムスタンプ・サンプルとしても使用できます。これは、複数チャンネルと複数デバイスの同期を実現するもう 1 つの方法です。この方法は、複数のデバイスを 1 つまたは複数のロジック・デバイスに同期させるときに、特に効果的です。ロジック・デバイスはデータ・ストリームをバッファし、タイムスタンプされたサンプルを識別して、それらをアラインします。チップ同期モード・ビット（レジスタ 0x1FF のビット 0）を 1 にセットすると、複数チャンネルや複数デバイスの同期にタイムスタンプ法が使われます。タイムスタンプ・モードでは、クロックはリセットされません。代わりに、一致するサンプルの

JESD204B 制御ビットを使って、そのサンプルがタイムスタンプされます。タイムスタンプ・モードでの動作には、以下の設定を追加で行う必要があります。

- 連続または N ショット SYSREF をイネーブルします（レジスタ 0x0120 のビット [2:1] = 1 または 2）。
- 少なくとも 1 個の制御ビットをイネーブルします（CS > 0、レジスタ 0x058F のビット [7:6] = 1、2、または 3）。
- 制御ビット中の 1 個の機能を SYSREF に設定します。
 - レジスタ 0x0559 のビット [2:0] = 5（制御ビット 0 を使用する場合）。
 - レジスタ 0x0559 のビット [6:4] = 5（制御ビット 1 を使用する場合）。
 - レジスタ 0x055A のビット [2:0] = 5（制御ビット 2 を使用する場合）。

制御ビットを MSB ファーストでイネーブルします。すなわち、1 つの制御ビットのみを使用する場合（CS = 1）、制御ビット 2 をイネーブルする必要があります。2 つの制御ビットを使用する場合は、制御ビット [2:1] をイネーブルする必要があります。図 132 に、SYSREF± に一致する入力サンプルをタイムスタンプして、最終的に ADC から出力する方法を示します。この例では 2 個の制御ビットがあります。制御ビット 1 は、どのサンプルが SYSREF の立上がりエッジと一致していたかを示すビットです。各チャンネルのパイプライン遅延は同じです。必要な場合は、SYSREF タイムスタンプ遅延レジスタ（レジスタ 0x0123）を使って、サンプルをタイムスタンプするタイミングを調整することができます。

デシメーションを使用する AD9695 の動作モードでは、タイムスタンプはサポートされていません。

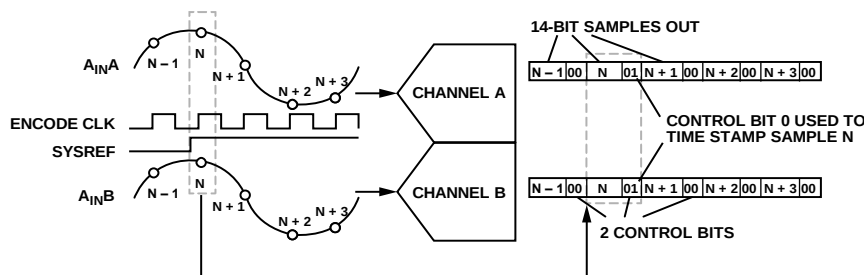


図 132. AD9695 のタイムスタンプ—CS = 2（レジスタ 0x058F のビット [7:6] = 2）、制御ビット 1 は SYSREF±（レジスタ 0x0559 のビット [6:4] = 5）

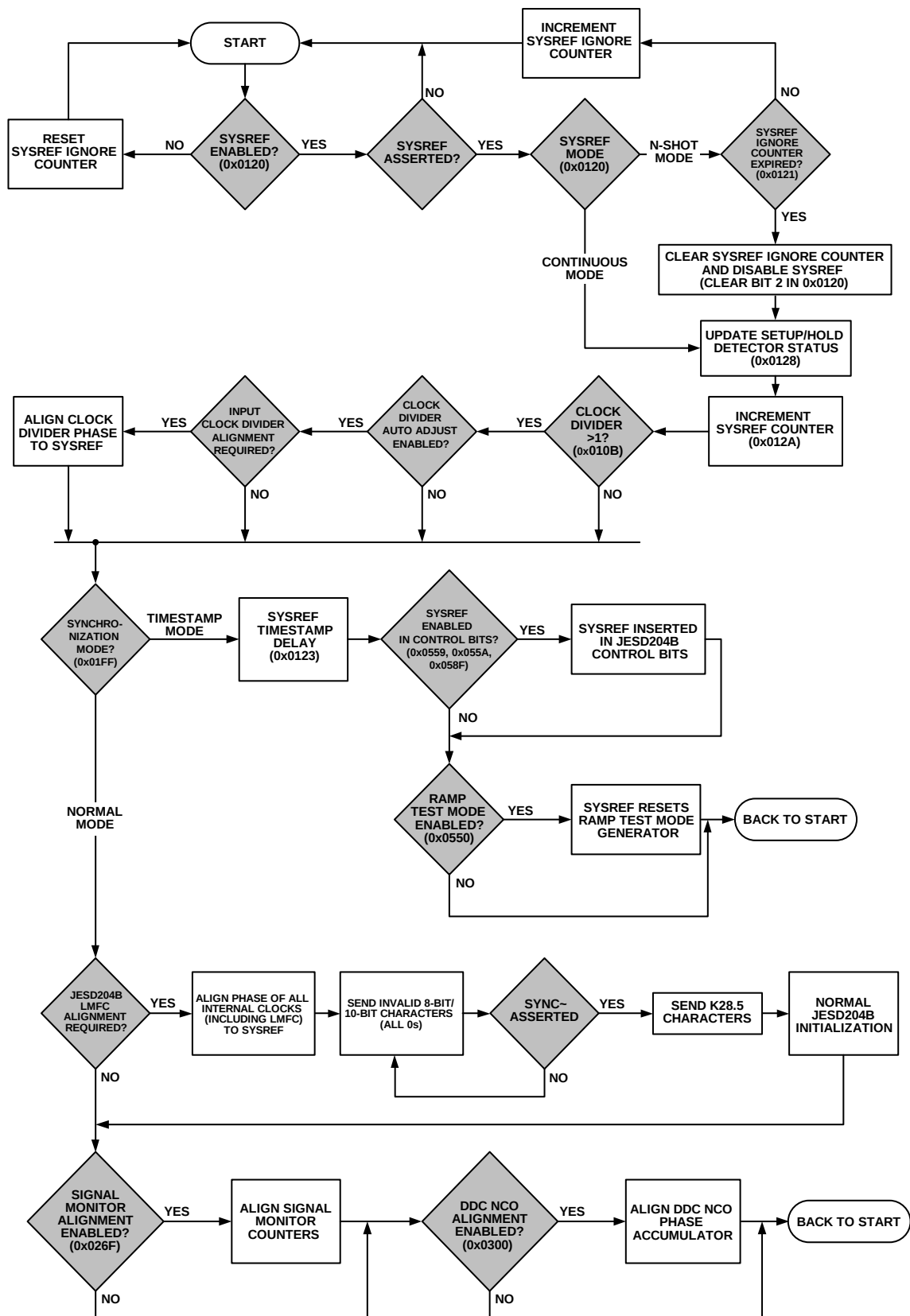


図 133. SYSREF± 取得シナリオとマルチチップ同期

15660-104

SYSREF± 入力

SYSREF± 入力信号は、確定的遅延およびマルチチップ同期を実現するための高精度システム・リファレンスとして使用します。AD9695 には、シングルショット入力信号または周期的入力信号を使用できます。SYSREF± モード選択ビット（レジスタ 0x0120 のビット [2:1]）は入力信号タイプを選択し、SYSREF± ステート・マシンが設定されている場合は、その動作も制御します。シングルショット・モード（または N ショット・モード）の場合（レジスタ 0x0120 のビット [2:1] = 2）、該当する SYSREF± 遷移が検出されると、SYSREF± モード選択ビットは自動的にクリアされます。パルス幅は、少なくとも 2 CLK± 周期分の幅がなければなりません。クロック分周器（レジスタ 0x010B のビット [2:0]）が 1 分周以外の値に設定されている場合は、この最小パルス幅条件に分周比を乗じます（例えば、8 分周に設定されている場合、最小パルス幅は 16 CLK± サイクル）。連続 SYSREF± 信号を使用する場合は（レジスタ 0x0120 のビット [2:1] = 1）、SYSREF± 信号の周期を LMFC の整数倍とする必要があります。次の式を用いて LMFC を求めます。

$$LMFC = \text{ADC クロック} / (S \times K)$$

ここで、
S はコンバータあたりのサンプル数を表す JESD204B パラメータ、
K はマルチフレームあたりのフレーム数を表す JESD204B パラメータです。

ノーマル同期モード（レジスタ 0x01FF のビット [1:0] = 0）の場合、入力クロック分周器、DDC、信号モニタ・ブロック、および JESD204B リンクは、すべて SYSREF± 入力を使って同期されます。SYSREF± 入力は、システム内の複数の AD9695 デバイスを同期するメカニズムを提供するために、ADC サンプルへのタイムスタンプとしても使用できます。最高レベルのタイミング精度を実現するには、SYSREF± が、CLK± 入力を基準とするセットアップおよびホールド条件を満たしていなければなりません。AD9695 は、これらの条件を満たす機能をいくつか備えています（SYSREF± 制御機能のセクションを参照）。

SYSREF± 制御機能

SYSREF± は、入力クロック（CLK±）とともにソース同期タイミング・インターフェースの一部として使われ、入力クロック基準で 117 ps と -96 ps というセットアップおよびホールド・タイミング条件を満たすことを求められます（図 134 を参照）。AD9695 にはこれらの条件を満たすための機能がいくつか備わっています。第 1 に、SYSREF± サンプル・イベントは、同期されたローからハイへの遷移、またはハイからローへの遷移として定義できます。第 2 に、AD9695 では、入力クロックの立上がりエッジまたは立下がりエッジのどちらかを使って SYSREF± 信号をサンプリングすることができます。考え得る 4 通りのすべての組み合わせを、図 134、図 135、図 136、および図 137 に示します。

SYSREF± に関連して使用できる第 3 の機能は、プログラム可能な数（最大 16）の SYSREF± イベントを無視できることです。SYSREF± 無視機能は、SYSREF± モード・レジスタ（レジスタ 0x0120 のビット [2:1]）を 2'b10（N ショット・モードと表記されます）に設定することでイネーブルされます。AD9695 は N

回の SYSREF± イベントを無視できます。これは起動後安定するまでに時間を要する周期的な SYSREF± 信号を処理する際に便利です。システム内のクロックが安定するまで SYSREF± を無視することで、低精度の SYSREF± トリガを避けることができます。図 138 に、3 回の SYSREF± イベントを無視する場合の SYSREF± 無視機能の例を示します。

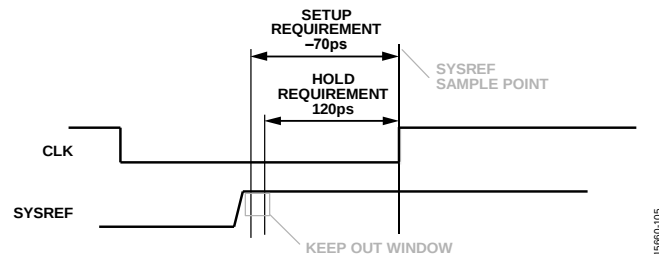


図 134. SYSREF± のセットアップおよびホールド時間条件 — 立上がりエッジ・クロックを使用するローからハイへの SYSREF± 遷移（デフォルト）

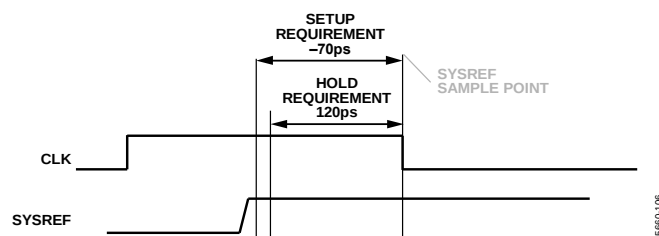


図 135. 立下がりエッジ・クロック取得を使用するローからハイへの SYSREF± 遷移（レジスタ 0x0120 のビット 4 = 1b0、レジスタ 0x0120 のビット 3 = 1b1）

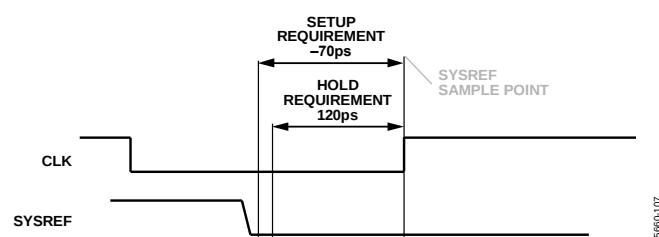


図 136. 立上がりエッジ・クロック取得を使用するハイからローへの SYSREF± 遷移（レジスタ 0x0120 のビット 4 = 1b1、レジスタ 0x0120 のビット 3 = 1b0）

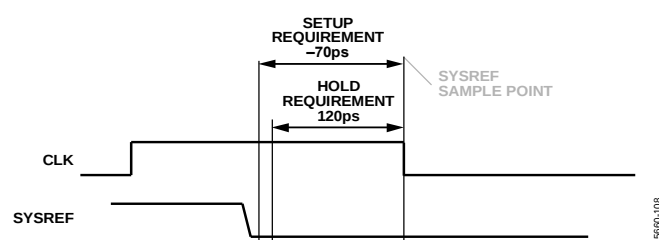


図 137. 立下がりエッジ・クロック取得を使用するハイからローへの SYSREF± 遷移（レジスタ 0x0120 のビット 4 = 1b1、レジスタ 0x0120 のビット 3 = 1b1）

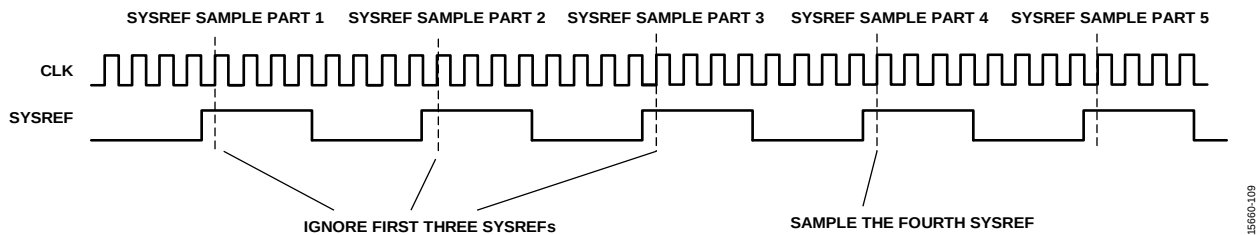


図 138. SYSREF $\pm$ 無視の例、SYSREF $\pm$ 無視カウント・ビット
(レジスタ 0x0121 のビット [3:0]) = 3

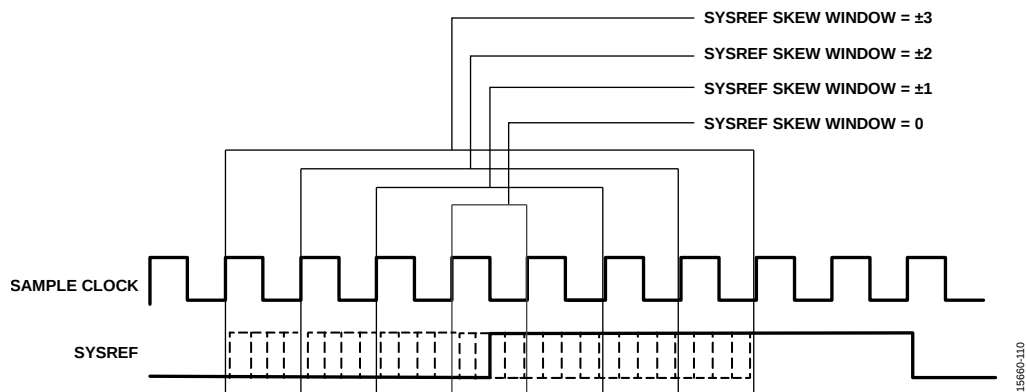


図 139. SYSREF $\pm$ スキュー・ウィンドウ

連続 SYSREF $\pm$ モードの場合 (レジスタ 0x0120 のビット [2:1] = 1)、AD9695 は、SYSREF $\pm$ 立上がりエッジの配置を内部 LMFC と比較してモニタします。LMFC にアラインされたクロック・エッジと異なるクロック・エッジで SYSREF $\pm$ のエッジが取得された場合、AD9695 はリンクの再同期を開始します。AD9695 の入力クロック・レートは最大 4 GHz にできるので、AD9695 には、正確なサイクルでの取得が望めないような周期的 SYSREF $\pm$ 信号への対応を可能にする、もう 1 つの SYSREF $\pm$ 関連機能が備わっています。このようなシナリオのために、AD9695 にはプログラム可能な SYSREF $\pm$ スキュー・ウィンドウがあり、SYSREF $\pm$ がスキュー・ウィンドウ外になった場合を除いて、内部分周器の動作を妨げないようにすることができます。SYSREF $\pm$ スキュー・ウィンドウの分解能は、サンプル・クロック・サイクルで設定されます。SYSREF $\pm$ の負のスキュー・ウィンドウも正のスキュー・ウィンドウも 1 の場合、合計スキュー・ウィンドウは ± 1 サンプル・クロック・サイクルです。これは、LMFC にアラインされたクロックの ± 1 サンプル・クロック・サイクル以内で SYSREF $\pm$ が取得される限り、リンクは正常に動作を続けることを意味します。SYSREF $\pm$ と LMFC の間にミスマライメントを生じさせ得るジッタが SYSREF $\pm$ にあっても、システムは再同期なしで動作を続けることができますが、その場合でも、デバイスはジッタ以外の原因で生じる大きなエラーをモニタすることができます。AD9695 の場合、正と負のスキュー・ウィンドウは、SYSREF $\pm$ ウィンドウ負ビット (レジスタ 0x0122 のビット [3:2]) と SYSREF $\pm$ ウィンドウ正ビット (レジスタ 0x0122 のビット [1:0]) によって制御されます。図 139 に、内部分周器の位相 0 を基準としたスキュー・ウィンドウ設定の位置に関する情報を示します。負のスキューは内部分周器が位相 0 に達する前に発生するものとして定義され、正のスキューは内部分周器が位相 0 に達した後に発生するものとして定義されます。

ー・ウィンドウは ± 1 サンプル・クロック・サイクルです。これは、LMFC にアラインされたクロックの ± 1 サンプル・クロック・サイクル以内で SYSREF $\pm$ が取得される限り、リンクは正常に動作を続けることを意味します。SYSREF $\pm$ と LMFC の間にミスマライメントを生じさせ得るジッタが SYSREF $\pm$ にあっても、システムは再同期なしで動作を続けることができますが、その場合でも、デバイスはジッタ以外の原因で生じる大きなエラーをモニタすることができます。AD9695 の場合、正と負のスキュー・ウィンドウは、SYSREF $\pm$ ウィンドウ負ビット (レジスタ 0x0122 のビット [3:2]) と SYSREF $\pm$ ウィンドウ正ビット (レジスタ 0x0122 のビット [1:0]) によって制御されます。図 139 に、内部分周器の位相 0 を基準としたスキュー・ウィンドウ設定の位置に関する情報を示します。負のスキューは内部分周器が位相 0 に達する前に発生するものとして定義され、正のスキューは内部分周器が位相 0 に達した後に発生するものとして定義されます。

SYSREF± セットアップ／ホールド・ウィンドウのモニタ

有効な SYSREF± 信号を取得できるようにするために、AD9695 には、SYSREF± セットアップ／ホールド・ウィンドウ・モニタが備わっています。この機能は、メモリ・マップを通じてインターフェース上でのセットアップ／ホールドのマージン量をリードバックすることによって、システム設計者が CLK± 信号を基準に SYSREF± 信号の位置を決定することを可能にします。図

140 と図 141 に、SYSREF± の異なる位相に対するセットアップおよびホールドのステータス値を示します。セットアップ・ディテクタは CLK± エッジ前の SYSREF± 信号のステータスを返し、ホールド・ディテクタは CLK± エッジ後の SYSREF± 信号のステータスを返します。レジスタ 0x0128 は SYSREF± のステータスを保存し、ADC が SYSREF± 信号を取得しているかどうかをユーザに示します。

表 37 に、レジスタ 0x0128 の内容の説明とその意味を示します。

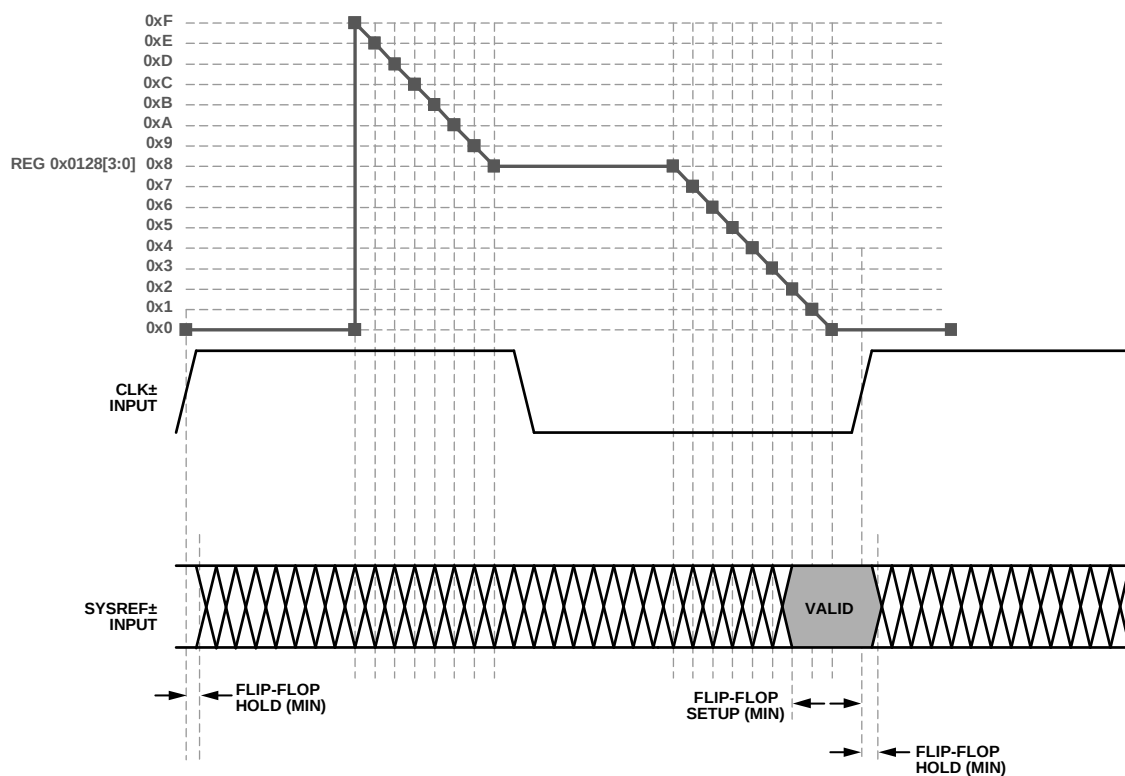


図 140. SYSREF± セットアップ・ディテクタ

15660-111

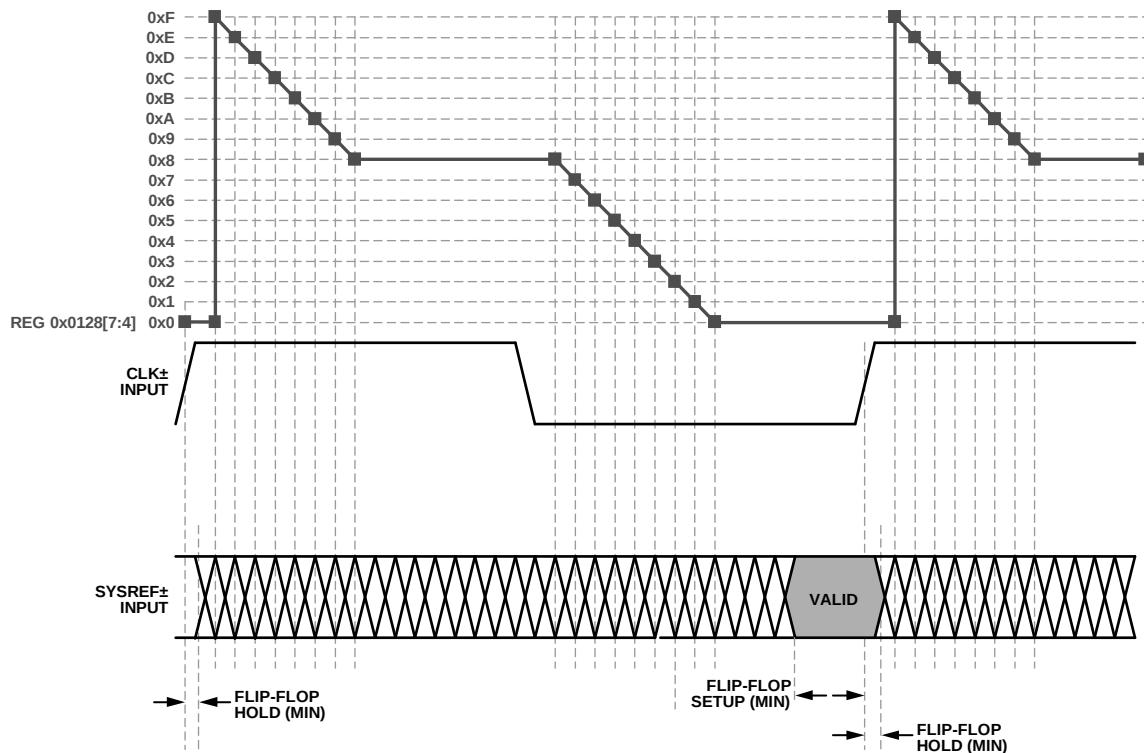


図 141. SYSREF± ホールド・ディテクタ

15660-112

表 37. SYSREF± セットアップ／ホールド・モニタ、レジスタ 0x0128

Register 0x0128, Bits[7:4] Hold Status	Register 0x0128, Bits[3:0] Setup Status	Description
0x0	0x0 to 0x7	セットアップ・エラーの可能性。この数値が小さいほど、セットアップ・マージンも小さくなります。
0x0 to 0x8	0x8	セットアップ・エラーもホールド・エラーもなし（最良ホールド・マージン）。
0x8	0x9 to 0xF	セットアップ・エラーもホールド・エラーもなし（最良セットアップおよびホールド・マージン）。
0x8	0x0	セットアップ・エラーもホールド・エラーもなし（最良セットアップ・マージン）。
0x9 to 0xF	0x0	ホールド・エラーの可能性。この数値が大きいほど、ホールド・マージンは小さくなります。
0x0	0x0	セットアップ・エラーまたはホールド・エラーの可能性。

遅延

エンド to エンドの合計遅延

AD9695 内の遅延は、チップのアプリケーション・モードと JESD204B 構成に依存します。これらのパラメータの定められた組み合わせを使えば、いずれでも遅延は確定的になりますが、この確定的遅延の値は、遅延計算例のセクションの説明に従って計算する必要があります。

表 38 に、AD9695 がサポートする各種チップ・アプリケーション・モードについて、ADC と DSP を通じた合計遅延を示します。表 39 は、M/L 比に基づき、各アプリケーション・モードでの JESD204B ブロックによる遅延を示したものです。どちらの表も遅延は代表値で示されており、単位はエンコード・クロックです。JESD204B ブロックによる遅延は、出力データのタイプ（実数または複素数）には依存しません。したがって、表 39 にデータ・タイプは含まれていません。

合計遅延を決定するには、表 38 から該当する ADC + DSP 遅延を選択して、それを表 39 内の該当する JESD204B 遅延に加算します。以下に計算例を示します。

遅延計算例

構成例 1 は次のとおりです。

- ADC アプリケーション・モード = 全帯域幅
- 実数出力
- $L = 4$ 、 $M = 2$ 、 $F = 1$ 、 $S = 1$ (JESD204B モード)
- $M/L = 0.5$
- 遅延 = $31 + 25 = 56$ エンコード・クロック

構成例 2 は次のとおりです。

- ADC アプリケーション・モード = DCM4
- 複素出力
- $L = 2$ 、 $M = 2$ 、 $F = 2$ 、 $S = 1$ (JESD204B モード)
- $M/L = 1$
- 遅延 = $162 + 50 = 212$ エンコード・クロック

LMFC 基準遅延

FPGA ベンダーによっては、確定的遅延を適切に調整するために、LMFC 基準遅延の確認が必要になる場合があります。このような場合は、LMFC へのアナログ入力および LMFC からのデータ出力の遅延値として、それぞれ表 38 と表 39 の遅延値を使用します。

表 38. ADC + DSP ブロックでの遅延（サンプル・クロック数）¹

Chip Application Mode	Enabled Filters	ADC + DSP Latency
Full Bandwidth	Not applicable	31
DCM1 (Real)	HB1	90
DCM2 (Complex)	HB1	90
DCM3 (Complex)	TB1	102
DCM2 (Real)	HB2 + HB1	162
DCM4 (Complex)	HB2 + HB1	162
DCM3 (Real)	TB2 + HB1	212
DCM6 (Complex)	TB2 + HB1	212
DCM4 (Real)	HB3 + HB2 + HB1	292
DCM8 (Complex)	HB3 + HB2 + HB1	292
DCM5 (Real)	FB2 + HB1	380
DCM10 (Complex)	FB2 + HB1	380
DCM6 (Real)	TB2 + HB2 + HB1	424
DCM12 (Complex)	TB2 + HB2 + HB1	424
DCM15 (Real)	FB2 + TB1	500
DCM8 (Real)	HB4 + HB3 + HB2 + HB1	552
DCM16 (Complex)	HB4 + HB3 + HB2 + HB1	552
DCM10 (Real)	FB2 + HB2 + HB1	694
DCM20 (Complex)	FB2 + HB2 + HB1	694
DCM12 (Real)	TB2 + HB3 + HB2 + HB1	814
DCM24 (Complex)	TB2 + HB3 + HB2 + HB1	814
DCM30 (Complex)	HB2 + FB2 + TB1	836
DCM20 (Real)	FB2 + HB3 + HB2 + HB1	1420
DCM40 (Complex)	FB2 + HB3 + HB2 + HB1	1420
DCM24 (Real)	TB2 + HB4 + HB3 + HB2 + HB1	1594
DCM48 (Complex)	TB2 + HB4 + HB3 + HB2 + HB1	1594

¹ DCMx はデシメーション・レシオを示します。表 39. JESD204B ブロックでの遅延（サンプル・クロック数）¹

Chip Application Mode	M/L Ratio ²						
	0.125	0.25	0.5	1	2	4	8
Full Bandwidth	82	44	25	14	7	9	3
DCM1	82	44	25	14	7	N/A	N/A
DCM2	160	84	46	27	14	7	N/A
DCM3	237	124	67	39	21	11	N/A
DCM4	315	164	88	50	27	14	9
DCM5	N/A	203 ³	109 ³	62 ³	43 ³	N/A	N/A
DCM6	N/A	243	130	73	39	21	14
DCM8	N/A	323	172	96	50	27	18
DCM10	N/A	N/A	213	119	62	33	22
DCM12	N/A	N/A	255	142	73	39	27
DCM15	N/A	N/A	318 ⁴	176 ⁴	90 ⁴	47 ⁴	33 ⁴
DCM16	N/A	N/A	339 ⁴	188 ⁴	96 ⁴	50 ⁴	35 ⁴
DCM20	N/A	N/A	N/A	233	119	62	43
DCM24	N/A	N/A	N/A	279	142	73	51
DCM30	N/A	N/A	N/A	348 ⁴	176 ⁴	90 ⁴	62 ⁴
DCM40	N/A	N/A	N/A	N/A	233 ⁴	119 ⁴	82 ⁴
DCM48	N/A	N/A	N/A	N/A	279 ⁴	142 ⁴	97 ⁴

¹ N/A は該当なしを意味し、リストされた M/L 比ではそのアプリケーション・モードがサポートされていないことを示します。² M/L 比は、その構成におけるコンバータ数をレーン数で除した値です。³ リストされた M/L 比におけるアプリケーション・モードは、実数出力モードでのみサポートされています。⁴ リストされた M/L 比におけるアプリケーション・モードは、複素出力モードでのみサポートされています。

テスト・モード

ADC テスト・モード

AD9695 は、システム・レベルの実装を補助するさまざまなテスト・オプションを備えています。AD9695 には、レジスタ 0x0550 で設定できる ADC テスト・モードがあります。これらのテスト・モードを表 40 に示します。出力テスト・モードをイネーブ爾すると、ADC のアナログ部分がデジタル・バックエンド・ブロックから遮断されて、出力フォーマット・ブロックを通じてテスト・パターンが実行されます。これらのテスト・パターンには、出力のフォーマットが必要なものが必要なものと必要ないものがあります。疑似乱数 (PN) シーケンス・テストの PN ジェネレータは、レジスタ 0x0550 のビット 4 またはビット 5 を設定することによってリセットできます。これらのテストは、アナログ信号の有無にかかわらず実行できますが (アナログ信号が存在する場合は無視されます)、エンコーダ・クロックが必要です。

アプリケーションの動作モードが DDC モードを選択するように設定されている場合、各 DDC をイネーブ爾するには、テスト・モードをイネーブ爾する必要があります。どの DDC をテストするかに応じて、テスト・パターンは、レジスタ 0x0327、レジスタ 0x0347、およびレジスタ 0x0367 のビット 2 とビット 0 を使ってイネーブ爾することができます。(I) データはチャンネル A 用に選択されたテスト・パターンを使用し、(Q) データはチャンネル B 用に選択されたテスト・パターンを使用します。DDC3 に限り、(I) データはチャンネル A からのテスト・パターンを使用し、(Q) データはテスト・パターンを出力しません。(I) データに使用されるこのチャンネル A のテスト・パターンは、レジスタ 0x0387 のビット 0 で選択します。詳細については、アプリケーション・ノート AN-877 SPI を使った高速 ADC へのインターフェースを参照してください。

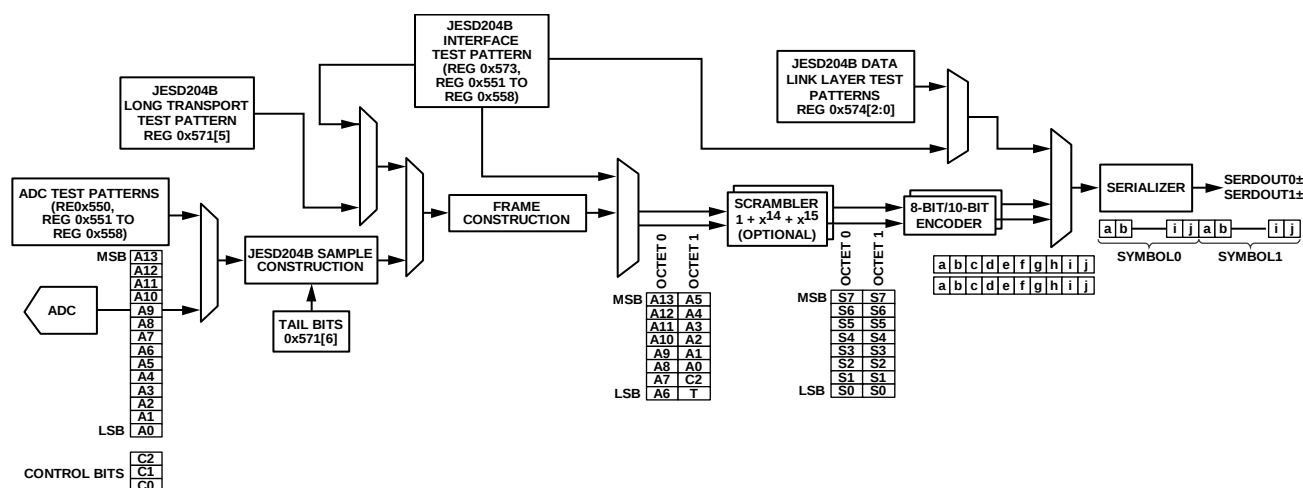


図 142. データ・フレーミングを示す ADC 出力データバス

表 40. ADC テスト・モード¹

Output Test Mode Bit Sequence	Pattern Name	Expression	Default/Seed Value	Sample (N, N + 1, N + 2, ...)
0000	Off (default)	N/A	N/A	N/A
0001	Midscale short	0000 0000 0000	N/A	N/A
0010	Positive full-scale short	01 1111 1111 1111	N/A	N/A
0011	Negative full-scale short	10 0000 0000 0000	N/A	N/A
0100	Checkerboard	10 1010 1010 1010	N/A	0x1555, 0x2AAA, 0x1555, 0x2AAA, 0x1555
0101	PN sequence long	$x^{23} + x^{18} + 1$	0x3AFF	0x3FD7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6
0110	PN sequence short	$x^9 + x^5 + 1$	0x0092	0x125B, 0x3C9A, 0x2660, 0x0C65, 0x0697
0111	One-/zero-word toggle	11 1111 1111 1111	N/A	0x0000, 0x3FFF, 0x0000, 0x3FFF, 0x0000
1000	User input	Register 0x0551 to Register 0x0558	N/A	User Pattern 1[15:2], User Pattern 2[15:2], User Pattern 3[15:2], User Pattern 4[15:2], User Pattern 1[15:2] ... for repeat mode. User Pattern 1[15:2], User Pattern 2[15:2], User Pattern 3[15:2], User Pattern 4[15:2], 0x0000 ... for single mode.
1111	Ramp output	$(x) \% 2^{14}$	N/A	$(x) \% 2^{14}, (x + 1) \% 2^{14}, (x + 2) \% 2^{14}, (x + 3) \% 2^{14}$

¹ N/A は該当しないことを意味します。

JESD204B ブロック・テスト・モード

ADC バイブライン・テスト・モードに加えて、AD9695 は JESD204B ブロック内にも柔軟なテスト・モードを備えています。これらのテスト・モードは、レジスタ 0x0573 とレジスタ 0x0574 にリストされています。出力データパス上のさまざまなポイントで、これらのテスト・パターンを挿入できます。これらのテスト挿入ポイントを図 142 に示します。また、JESD204B ブロックで利用できるさまざまなテスト・モードを表 41 に示します。AD9695 では、テスト・モード（レジスタ 0x0573 ≠ 0x00）からノーマル・モード（レジスタ 0x0573 = 0x00）への遷移に SPI のソフト・リセットが必要です。リセットするには、レジスタ 0x0000 に 0x81 を書き込みます（自動クリア）。

トランスポート層サンプル・テスト・モード

トランスポート層サンプルは、JEDEC JESD204B 仕様の 5.1.6.3 項に従って AD9695 内に実装されています。これらのサンプルのデ

ストは、レジスタ 0x0571 のビット 5 に示されています。テスト・パターンは、ADC からの未加工サンプルと等価です。

インターフェース・テスト・モード

インターフェース・テスト・モードは、レジスタ 0x0573 のビット [3:0] に記述されています。これらのテスト・モードの説明は、表 42 にも示されています。インターフェース・テストは、データ上のさまざまなポイントで挿入できます。テスト挿入ポイントの詳細については、図 142 を参照してください。レジスタ 0x0573 のビット [5:4] は、これらのテストをどこで挿入するかを示します。

表 43 と表 44 に、JESD サンプル入力、物理層 10 ビット入力、およびスクランブラ 8 ビット入力で挿入する場合のテスト・モードの例を示します。表の UPx は、ユーザ・レジスタ・マップのユーザ・パターン制御ビットを表します。

表 41. JESD204B インターフェース・テスト・モード

Output Test Mode Bit Sequence	Pattern Name	Expression	Default
0000	Off (default)	Not applicable	Not applicable
0001	Alternating checker board	0x5555, 0xAAAA, 0x5555, ...	Not applicable
0010	1/0 word toggle	0x0000, 0xFFFF, 0x0000, ...	Not applicable
0011	31-bit PN sequence	$x^{31} + x^{28} + 1$	0x0003AFF
0100	23-bit PN sequence	$x^{23} + x^{18} + 1$	0x003AFF
0101	15-bit PN sequence	$x^{15} + x^{14} + 1$	0x03AF
0110	9-bit PN sequence	$x^9 + x^5 + 1$	0x092
0111	7-bit PN sequence	$x^7 + x^6 + 1$	0x07
1000	Ramp output	$(x) \% 2^{16}$	Ramp size depends on test injection point
1110	Continuous/repeat user test	Register 0x0551 to Register 0x0558	User Pattern 1 to User Pattern 4, then repeat
1111	Single user test	Register 0x0551 to Register 0x0558	User Pattern 1 to User Pattern 4, then zeros

表 42. JESD204B サンプル入力: M = 2, S = 2, N' = 16 (レジスタ 0x0573 のビット [5:4] = 'b00)

Frame Number	Converter Number	Sample Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0	0	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	0	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	1	0x5555	0x0000	$(x) \% 2^{16}$	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	$(x + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	$(x + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	0	0xAAAA	0xFFFF	$(x + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	1	0xAAAA	0xFFFF	$(x + 1) \% 2^{16}$	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
2	0	0	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	0	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	1	0x5555	0x0000	$(x + 2) \% 2^{16}$	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	0	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	1	0xAAAA	0xFFFF	$(x + 3) \% 2^{16}$	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	0	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	1	0x5555	0x0000	$(x + 4) \% 2^{16}$	0x5FD1	0x9B26	UP1[15:0]	0x0000

表 43. 物理層 10 ビット入力（レジスタ 0x0573 のビット [5:4] = 'b01'）

10-Bit Symbol Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x155	0x000	$(x) \% 2^{10}$	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	$(x + 1) \% 2^{10}$	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	$(x + 2) \% 2^{10}$	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	$(x + 3) \% 2^{10}$	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	$(x + 4) \% 2^{10}$	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	$(x + 5) \% 2^{10}$	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	$(x + 6) \% 2^{10}$	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	$(x + 7) \% 2^{10}$	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	$(x + 8) \% 2^{10}$	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	$(x + 9) \% 2^{10}$	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	$(x + 10) \% 2^{10}$	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	$(x + 11) \% 2^{10}$	0x3DD	0x008	UP4[15:6]	0x000

表 44. スクランプラ 8 ビット入力（レジスタ 0x0573 のビット [5:4] = 'b10'）

8-Bit Octet Number	Alternating Checkerboard	1/0 Word Toggle	Ramp	PN9	PN23	User Repeat	User Single
0	0x55	0x00	$(x) \% 2^8$	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	$(x + 1) \% 2^8$	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	$(x + 2) \% 2^8$	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	$(x + 3) \% 2^8$	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	$(x + 4) \% 2^8$	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	$(x + 5) \% 2^8$	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	$(x + 6) \% 2^8$	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	$(x + 7) \% 2^8$	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	$(x + 8) \% 2^8$	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	$(x + 9) \% 2^8$	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	$(x + 10) \% 2^8$	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	$(x + 11) \% 2^8$	0xAC	0xFF	UP4[15:9]	0x00

データ・リンク層テスト・モード

データ・リンク層テスト・モードは、JEDEC JESD204B 仕様の 5.3.3.8.2 項に従って AD9695 内に実装されています。これらのテストは、レジスタ 0x0574 のビット [2:0] で実行されます。こ

のポイントで挿入されるテスト・パターンは、データ・リンク層の機能確認に有効です。データ・リンク層テスト・モードをイネーブルする場合は、レジスタ 0x0572 に 0xC0 を書き込んで SYNCINB± をディスエーブルしてください。

シリアル・ポート・インターフェース（SPI）

AD9695 の SPI を使用すると、ADC 内部にある構造化されたレジスタ空間を使用して、特定の機能や動作に合わせてコンバータを構成することができます。SPI は、アプリケーションに応じて、追加的な柔軟性とカスタマイズ能力をユーザに提供します。アドレスにはシリアル・ポートを介してアクセスし、書き込みや読み出しを行うことができます。メモリはバイト単位で構成され、さらにいくつかのフィールドに分割することができます。これらのフィールドについては、メモリ・マップのセクションに記述されています。動作の詳細については、Serial Control Interface Standard (Rev. 1.0) を参照してください。

SPI を使用する構成設定

AD9695 ADC の SPI を定義するピンは、SCLK ピン、SDIO ピン、CSB ピンの 3 つです（表 45 を参照）。SCLK（シリアル・クロック）ピンは、ADC との間でやりとりするデータの読み出しと書き込みを同期するために使用します。SDIO（シリアル・データ入出力）ピンは 2 つの機能を兼ね備えたピンで、内部 ADC メモリ・マップ・レジスタからのデータの送信と読み出しに使用します。CSB（チップ・セレクト）ピンはアクティブ・ローの制御信号で、読み出しサイクルと書き込みサイクルをイネーブルまたはディスエーブルします。

表 45. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	シリアル・クロック。シリアル・インターフェース、読み出し、および書き込みの同期に使用するシリアル・シフト・クロック入力。
SDIO	シリアル・データ入出力。2 つの機能を兼ね備えたピンで、一般に、送信される命令とタイミング・フレーム内の相対的位置に応じて、入力または出力として機能します。
CSB	チップ・セレクト・バー。読み出しおよび書き込みサイクルをゲーティングするアクティブ・ローの制御信号。

CSB の立下がりエッジと SCLK の立上がりエッジの関係によって、フレーミングの開始を決定します。シリアル・タイミングの例とその定義は、図 4 と表 6 に示されています。

CSB ピンに関するその他のモードも使用可能です。CSB ピンはローに保持したままにすることが可能で、その間デバイスはイネーブル状態に維持されます。これをストリーミングと言います。CSB は複数のバイト間でハイを保持して、外部タイミングを追加することができます。CSB をハイに接続すると、SPI 機能が高インピーダンス・モードに置かれます。このモードは SPI の 2 つ目の機能をオンにします。

すべてのデータは、8 ビット・ワードで構成されます。シリアル・データの個々のバイトの最初のビットは、読み出しコマンドと書き込みコマンドのどちらが送られたのかを示し、これによって SDIO ピンは入力から出力へ方向を変えることができます。

ワード長に加えて、命令フェーズはシリアル・フレームが読み出し動作か書き込み動作かを決定して、チップのプログラムとオンチップ・メモリの内容読み出しの両方にシリアル・ポートを使用できるようにします。命令がリードバック動作の場合は、リードバックを実行すると、SDIO ピンが、シリアル・フレーム内の適当な位置で入力から出力へ方向を変えます。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信できます。MSB ファーストは電源投入時のデフォルトですが、SPI ポート構成レジスタを介して変更できます。この機能および他の機能の詳細については、Serial Control Interface Standard (Rev. 1.0) を参照してください。

ハードウェア・インターフェース

表 45 に示すピンは、ユーザ・プログラミング・デバイスと AD9695 のシリアル・ポート間の物理的インターフェースを構成します。SCLK ピンと CSB ピンは、SPI インターフェース使用時の入力として機能します。SDIO ピンは双方向で、書き込み時には入力として、読み出し時には出力として機能します。

SPI インターフェースは十分な柔軟性を備えており、FPGA またはマイクロコントローラによって制御することができます。アプリケーション・ノート AN-812 Microcontroller-Based Serial Port Interface (SPI) Boot Circuit には、SPI の構成方法の 1 つが詳しく示されています。

コンバータのすべての動的性能が必要な区間では、SPI ポートをアクティブにしないでください。一般に、SCLK 信号、CSB 信号、SDIO 信号は ADC クロックに同期していないため、これらの信号からのノイズによってコンバータの性能が低下することがあります。内蔵 SPI バスを他のデバイスに使用する場合は、このバスと AD9695 の間にバッファを設けて、重要なサンプリング期間にコンバータ入力でこれらの信号が変化するのを防止する必要があります。

SPI からアクセスできる機能

表 46 に、SPI を介してアクセスできる一般的な機能の概要を示します。これらの機能については、Serial Control Interface Standard (Rev. 1.0) に詳細が示されています。AD9695 デバイスの具体的機能については、メモリ・マップのセクションに記載されています。

表 46. SPI を使ってアクセスできる機能

Feature Name	Description
Mode	パワーダウン・モードまたはスタンバイ・モードに設定できます。
Clock	SPI を介してクロック分周器にアクセスできます。
DDC	さまざまなアプリケーション用にデシメーション・フィルタをセットアップできます。
Test Input/Output	出力ビットが既知のデータとなるようにテスト・モードを設定できます。
Output Mode	出力をセットアップできます。
SERDES Output Setup	振幅やエンファシスなどの SERDES 設定を変更できます。

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読み出し

メモリ・マップ・レジスタ・テーブル内の各行には、8 個のビット・ロケーションがあります。メモリ・マップは以下のセクションに分かれています。

- アナログ・デバイス SPI レジスタ（レジスタ 0x0000 ～ 0x000F）
- クロック／SYSREF／チップ・パワーダウン・ピン制御レジスタ（レジスタ 0x003F ～ 0x0201）
- 高速検出および信号モニタ制御レジスタ（レジスタ 0x0245 ～ 0x027A）
- DDC 機能レジスタ（レジスタ 0x0300 ～ 0x03CD）
- デジタル出力およびテスト・モード・レジスタ（レジスタ 0x0550 ～ 0x05CB）
- プログラマブル・フィルタ制御および係数レジスタ（レジスタ 0x0DF8 ～ 0x0F7F）
- VREF／アナログ入力制御レジスタ（レジスタ 0x18A6 ～ 0x1A4D）

表 47（メモリ・マップ・レジスタのセクションを参照）に、表示された各 16 進数アドレスに対するデフォルトの 16 進数値を示します。ビット 7（MSB）を先頭にした列からが、所定のデフォルト 16 進数値です。例えば、アドレス 0x0561（出力サンプル・モード・レジスタ）の 16 進デフォルト値は 0x01 で、これは、ビット 0 が 1 で残りのビットが 0 であることを意味します。この設定はデフォルトの出力フォーマット値で、これは 2 の補数です。この機能およびその他の機能の詳細については、表 47 を参照してください。

未使用ロケーションと予約済みロケーション

表 47 に含まれていないすべてのアドレス・ロケーションとビット・ロケーションは、現時点ではこのデバイスでサポートされていません。有効アドレス・ロケーションの未使用ビットには、0 以外のデフォルト値が設定されている場合を除いて 0 を書き込んでください。これらのロケーションへの書き込みが必要になるのは、あるアドレス・ロケーションの一部が割り当てられていない場合に限られます（例えばアドレス 0x0561）。アドレス・ロケーション全体が未使用の場合（例えばアドレス 0x0013）、そのアドレス・ロケーションには書き込みを行わないでください。

デフォルト値

AD9695 のリセット後は、重要レジスタがデフォルト値でロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル（表 47）に示されています。

ロジック・レベル

ロジック・レベルに関する用語を以下に説明します。

- 「ビットをセットする」というのは、「ビットをロジック 1 に設定する」、または「そのビットにロジック 1 を書き込む」ということと同義です。
- 「ビットをクリアする」というのは、「ビットをロジック 0 に設定する」、または「そのビットにロジック 0 を書き込む」ということと同義です。
- X はドント・ケア・ビットを表します。

チャンネル固有レジスタ

入力バッファ制御レジスタ（レジスタ 0x1A4C）などの一部のチャンネル・セットアップ機能は、チャンネルごとに異なる値にプログラムできます。これらの場合、チャンネル・アドレス・ロケーションは、内部で各チャンネルにコピーされます。これらのレジスタとビットはローカルとして表 47 に指定されています。これらのローカル・レジスタとローカル・ビットには、レジスタ 0x0008 にチャンネル A ビットまたはチャンネル B ビットのいずれか該当する方をセットすることによってアクセスできます。両方のビットがセットされた場合、その後の書き込みは両方のチャンネルのレジスタに対して行われます。1 回の読み出しサイクル内では、チャンネル A またはチャンネル B のどちらか一方だけをセットしてください。1 回の SPI 読み出しサイクルで両方のビットをセットした場合、デバイスはチャンネル A の値を返します。表 47 でグローバルとして指定されているレジスタとビットは、デバイス全体、およびチャンネルごとに独立した設定を行うことができないチャンネル機能に影響します。レジスタ 0x0005 内の設定がレジスタおよびビットに及ぼす影響は、グローバルではありません。

SPI ソフト・リセット

レジスタ 0x0000 を 0x81 にプログラムしてソフト・リセットを行った後、AD9695 は回復に 5 ms を必要とします。アプリケーション・セットアップのために AD9695 をプログラムする場合は、ソフト・リセットのアサート後からデバイス・セットアップ開始前までの間に、ファームウェア内に適切な遅延をプログラムするようにしてください。

メモリ・マップ・レジスタ

表 47 に含まれていないアドレス・ロケーションは、現時点ではこのデバイスでサポートされていません。表にないロケーションへの書き込みは行わないでください。

表 47. メモリ・マップ・レジスタ

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
Analog Devices SPI Registers							
0x0000	SPI Configuration A	7	Soft reset mirror (self clearing)	0 1	ソフト・リセット実行後は、他のレジスタに書き込むまで 5 ms 待つ必要があります。これによって、ブート・ローダーの動作が完了するのに十分な時間を得ることができます。 何もしません。 SPI とレジスタをリセットします（自動クリア）。	0x0	R/WC
		6	LSB first mirror	1 0	すべての SPI 動作に対し、最下位ビットが最初にシフトされます。 すべての SPI 動作に対し、最上位ビットが最初にシフトされます。	0x0	R/W
		5	Address ascension mirror	0 1	マルチバイト SPI 動作が行われると、アドレスが自動的にデクリメントされます。 マルチバイト SPI 動作が行われると、アドレスが自動的にインクリメントされます。	0x0	R/W
		[4:3]	Reserved		予備。	0x0	R
		2	Address ascension	0 1	マルチバイト SPI 動作が行われると、アドレスが自動的にデクリメントされます。 マルチバイト SPI 動作が行われると、アドレスが自動的にインクリメントされます。	0x0	R/W
		1	LSB first	1 0	すべての SPI 動作に対し、最下位ビットが最初にシフトされます。 すべての SPI 動作に対し、最上位ビットが最初にシフトされます。	0x0	R/W
		0	Soft reset (self clearing)	0 1	ソフト・リセット実行後は、他のレジスタに書き込むまで 5 ms 待つ必要があります。これによって、ブート・ローダーの動作が完了するのに十分な時間を得ることができます。 何もしません。 SPI とレジスタをリセットします（自動クリア）。	0x0	R/WC
0x0001	SPI Configuration B	[7:2]	Reserved		予備。	0x0	R
		1	Datapath soft reset (self clearing)	0 1	通常動作。 データパスのソフト・リセット（自動クリア）。	0x0	R/WC
		0	Reserved		予備。	0x0	R
0x0002	Chip configuration (local)	[7:2]	Reserved		予備。	0x0	R
		[1:0]	Channel power mode	00 10 11	チャンネル消費電力モード。 ノーマル・モード（パワーアップ）。 スタンバイ・モード。デジタル・データバス・クロックをディスエーブル、JESD204B インターフェースーフエースをイネーブル。 パワーダウン・モード。デジタル・データバス・クロックをディスエーブル、デジタル・データバスをリセット状態に保持、JESD204B インターフェースをディスエーブル。	0x0	R/W
0x0003	Chip type	[7:0]	Chip type	0x3	チップ・タイプ。 高速 ADC。	0x3	R
0x0004	Chip ID LSB	[7:0]	Chip ID LSB [7:0]	0xDE	チップ ID。 AD9695。		R
0x0005	Chip ID MSB	[7:0]	Chip ID MSB [15:8]		チップ ID。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0006	Chip grade	[7:4]	Chip speed grade	0x00 0x01	チップの速度グレード。 625 MSPS。 1300 MSPS。	0x0	R
		[3:0]	Reserved		予備。	DNC	R
0x0008	Device index	[7:2]	Reserved		予備。	0x0	R
		1	Channel B	0 1	ADC コア B は次の SPI コマンドを受信しません。 ADC コア B は次の SPI コマンドを受信します。	0x1	R/W
		0	Channel A	0 1	ADC コア A は次の SPI コマンドを受信しません。 ADC コア A は次の SPI コマンドを受信します。	0x1	R/W
0x000A	Scratch pad	[7:0]	Scratch pad		チップ・スクラッチ・パッド・レジスタ。 このレジスタは、ソフトウェア・デバッグ用の一貫したメモリ・ロケーションを提供します。	0x0	R/W
0x000B	SPI revision	[7:0]	SPI revision	0x01 00000001	SPI リビジョン・レジスタ。 Revision 1.0。 Revision 1.0。	0x1	R
0x000C	Vendor ID LSB	[7:0]			ベンダー ID [7:0] 。	0x56	R
0x000D	Vendor ID MSB	[7:0]			ベンダー ID [15:8] 。	0x04	R
0x000F	Transfer	[7:1]	Reserved		予備。	0x0	R
		0	Chip transfer	 0 1	チップ転送ビット（自動クリア）。このビットは、DDC の位相更新モード・ビット（レジスタ 0x0300 のビット 7）が 1 の場合には、DDC の位相インクリメント・レジスタと位相オフセット・レジスタを更新するために使用します。この設定によって、DDC のミキサー周波数を同期して更新することが可能になります。このビットは、プログラマブル・フィルタ（PFILT）の係数更新にも使われます。 何もしません。このビットは転送が完了した後にクリアされるだけです。 マスター・レジスタからスレーブ・レジスタへのデータ転送を同期するために使われる、自動クリア・ビット。	0x0	R/W
Clock/SYSREF/Chip Power-Down Pin Control Registers							
0x003F	Chip power-down pin (local)	7	Local chip power-down pin disable	0 1	この機能は、レジスタ 0x0040 のビット [7:6] によって決定されます。 パワーダウン・ピン（PDWN/STBY）をイネーブルします（デフォルト）。 パワーダウン・ピン（PDWN/STBY）をディスエーブル／無視します。	0x0	R/W
		[6:0]	Reserved		予備。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0040	Chip Pin Control 1	[7:6]	Global chip power-down pin functionality	00	外部パワーダウン・ピン機能。外部パワーダウン・ピン（PDWN/STBY）は、チャンネル消費電力モード制御ビット（レジスタ 0x0002 のビット [1:0]）より高い優先度を有しています。PDWN/STBY ピンは、レジスタ 0x0040 のビット [7:6] = 00 または 01 の場合にのみ使われます。	0x0	R/W
				01	パワーダウン・ピン（デフォルト）。外部パワーダウン・ピン（PDWN/STBY）をアサートすると、チップはフル・パワーダウン・モードになります。		
				10	スタンバイ・ピン。外部パワーダウン・ピン（PDWN/STBY）をアサートすると、チップはスタンバイ・モードになります。		
				11	ピンをディセーブルします。パワーダウン・ピン（PDWN/STBY）は無視されます。		
		[5:3]	Chip FD_B/GPIO_B0 pin functionality	000	高速検出 B/GPIO B0 ピン機能。	0x7	R/W
				001	高速検出 B 出力。		
				110	JESD204B LMFC 出力。		
				111	レジスタ 0x0041 のビット [7:4] によって決定されるピン機能。		
0x0041	Chip Pin Control 2	[2:0]	Chip FD_A/GPIO_A0 pin functionality	000	高速検出 A/GPIO A0 ピン機能。	0x7	R/W
				001	高速検出 A 出力。		
				110	JESD204B LMFC 出力。		
				111	レジスタ 0x0041 のビット [3:0] によって決定されるピン機能。		
		[7:4]	Chip FD_B/GPIO_B0 pin secondary functionality	0000	高速検出 B/GPIO B0 ピンの 2 次機能。レジスタ 0x0040 のビット [5:3] = 110 の場合にのみ使用。	0x0	R/W
				0001	チップ GPIO B0 入力（NCO チャンネル選択）。		
				1000	チップ転送入力。		
				1001	マスターの次のトリガ出力（MNT0）。スレーブの次のトリガ入力（SNTI）。		
		[3:0]	Chip FD_A/GPIO_A0 pin secondary functionality	0000	高速検出 A/GPIO B0 ピンの 2 次機能。レジスタ 0x0040 のビット [2:0] = 110 の場合にのみ使用。	0x0	R/W
				0001	チップ GPIO A0 入力（NCO チャンネル選択）。		
				1000	チップ転送入力。		
				1001	マスターの次のトリガ出力（MNT0）。スレーブの次のトリガ入力（SNTI）。		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0042	Chip Pin Control 3	[7:4]	Chip GPIO_B1 pin functionality	0000 1000 1001 1111	GPIO_B1 ピンの機能。 チップ GPIO B1 入力（NCO チャンネル選択）。 マスターの次のトリガ出力（MNTO）。 スレーブの次のトリガ入力（SNTI）。 ディスエーブル（ウィーク・プルダウンの入力として設定されます）。	0x0	R/W
		[3:0]	Chip GPIO_A1 pin functionality	0000 1000 1001 1111	GPIO_A1 ピンの機能。 チップ GPIO A1 入力（NCO チャンネル選択）。 マスターの次のトリガ出力（MNTO）。 スレーブの次のトリガ入力（SNTI）。 ディスエーブル（ウィーク・プルダウンの入力として設定されます）。	0x0	R/W
0x0108	Clock divider control	[7:3]	Reserved		予備。	0x0	R
0x0109	Clock divider phase (local)	[2:0]	Input clock divider (CLK± pins)	00 01 11	1 分周。 2 分周。 4 分周。	0x0	R/W
		[7:4]	Reserved		予備。	0x0	R
		[3:0]	Clock divider phase offset	0000 0001 0010 ... 1110 1111	0 入力クロック・サイクルの遅延。 1/2 入力クロック・サイクルの遅延（反転クロック）。 1 入力クロック・サイクルの遅延。 ... 7 入力クロック・サイクルの遅延。 7 1/2 入力クロック・サイクルの遅延。	0x0	R/W
0x010A	Clock divider and SYSREF control	7	Clock divider autophase adjust enable	0 1	クロック分周器の自動位相調整をイネーブル。イネーブルすると、SYSREF 発生時にレジスタ 0x0129 のビット [3:0] に分周器の位相が記録されます。実際の分周器位相オフセット = レジスタ 0x0129 のビット [3:0] + レジスタ 0x0109 のビット [3:0]。 クロック分周器の位相は SYSREF± によって変化しません（ディスエーブル）。 クロック分周器の位相が SYSREF± によって自動的に調整されます（イネーブル）。	0x0	R/W
		[6:4]	Reserved		予備。	0x0	R
		[3:2]	Clock divider negative skew window	0 1 10 11	クロック分周器の負のスキュー・ウィンドウ（1/2 入力デバイス・クロックで測定）。取得した SYSREF± 遷移を無視する場合の入力デバイス・クロック前の 1/2 クロック・サイクル数。レジスタ 0x010A のビット 7 = 1 の場合にのみ使用。レジスタ 0x010A のビット [3:2] + レジスタ 0x010A のビット [1:0] < レジスタ 0x0108 のビット [2:0]。これにより、入力クロック・ドライバに影響することなく、SYSREF± のサンプリングの不確定さをある程度許容できるようになります。また、この制御フィールドを変更する場合は、SYSREF± をディスエーブルする（レジスタ 0x0120 のビット [2:1] = 0x0）必要があります。 負のスキューなし。SYSREF± を正確に取得する必要があります。 1/2 デバイス・クロックの負のスキュー。 1 デバイス・クロックの負のスキュー。 1 1/2 デバイス・クロックの負のスキュー。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[1:0]	Clock divider positive skew window	0 1 10 11	クロック分周器の正のスキュー・ウィンドウ（1/2 入力デバイス・クロック数で測定）。取得した SYSREF$\pm$ 遷移を無視する場合の入力デバイス・クロック後のクロック・サイクル数。レジスタ 0x010A のビット 7 = 1 の場合にのみ使用。レジスタ 0x010A のビット [3:2] + レジスタ 0x010A のビット [1:0] < レジスタ 0x0108 のビット [2:0]。これにより、入力クロック・ドライバに影響することなく、SYSREF$\pm$ のサンプリングの不確定さがある程度許容できるようになります。また、この制御フィールドを変更する場合は、SYSREF$\pm$ をディスエーブルする（レジスタ 0x0120 のビット [2:1] = 0x0）必要があります。 0 正のスキューなし。SYSREF$\pm$ を正確に取得する必要があります。 1 1/2 デバイス・クロックの正のスキュー。 10 1 デバイス・クロックの正のスキュー。 11 1 1/2 デバイス・クロックの正のスキュー。	0x0	R/W
0x010B	Clock divider SYSREF status	[7:4]	Reserved		予備	0x0	R
		[3:0]	Clock divider SYSREF$\pm$ offset		クロック分周器の位相ステータス（1/2 クロック・サイクル数で測定）。位相オフセットに加えられる取得済み SYSREF$\pm$ 信号の内部クロック分周器の位相。レジスタ 0x010A のビット 7 = 1 の場合にのみ使用。レジスタ 0x010A のビット 7 = 1、レジスタ 0x010A のビット [3:2] = 0、およびレジスタ 0x010A のビット [1:0] = 0 の場合、クロック分周器の SYSREF$\pm$ オフセット = レジスタ 0x0129 のビット [3:0]。	0x0	R
0x0110	Clock delay control	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Clock delay mode select	000 010 011 100 110	クロック遅延モードの選択。レジスタ 0x0111 および 0x0112 とともに使用。 000 クロック遅延なし。 010 微小遅延。遅延ステップ 0 ~ 16 のみが有効。 011 微小遅延（最小ジッタ）。遅延ステップ 0 ~ 16 のみが有効。 100 微小遅延。192 遅延ステップすべてが有効。 110 微小遅延イネーブル（192 遅延ステップすべてが有効）。超微小遅延イネーブル（128 遅延ステップすべてが有効）。	0x0	R/W
0x0111	Clock super fine delay (local)	[7:0]	Clock super fine delay adjust		クロックの超微小遅延調整。これは、超微小サンプル・クロック遅延を 0.25 ps ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x0110 のビット [2:0] = 010 または 110 の場合にのみ使われます。 0x00 = 0 遅延ステップ。 ... 0x08 = 8 遅延ステップ。 ... 0x80 = 128 遅延ステップ。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0112	Clock fine delay (local)	[7:0]	Set clock fine delay		クロックの微小遅延調整。これは、微小サンプル・クロック・スキューを 1.725 ps ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x0110 のビット [2:0] = 0x2、0x3、0x4、または 0x6 の場合にのみ使われます。 0x00 = 0 遅延ステップ。 ... 0x08 = 8 遅延ステップ。 ... 0xC0 = 192 遅延ステップ。 最小 = 0。 最大 = 192。 インクリメント = 1。 単位 = 遅延ステップ。	0xC0	R/W
0x0113	Digital clock super fine delay	[7:0]	Digital clock super fine delay adjust		デジタル・クロックの超微小遅延調整。これは、超微小サンプル・クロック遅延を 0.25 ps ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x0110 のビット [2:0] = 010 または 110 の場合にのみ使われます。 0x00 = 0 遅延ステップ。 ... 0x08 = 8 遅延ステップ。 ... 0x80 = 128 遅延ステップ。	0x0	R/W
0x0114	Digital clock fine delay	[7:0]	Set digital clock fine delay		デジタル・クロックの微小遅延調整。これは、微小サンプル・クロック・スキューを 1.725 ps ステップで調整するための符号なし制御です。これらのビットは、レジスタ 0x0110 のビット [2:0] = 0x2、0x3、0x4、または 0x6 の場合にのみ使われます。 0x00 = 0 遅延ステップ。 ... 0x08 = 8 遅延ステップ。 ... 0xC0 = 192 遅延ステップ。 最小 = 0。 最大 = 192。 インクリメント = 1。 単位 = 遅延ステップ。	0xC0	R/W
0x011A	Clock detection control	[7:5]	Reserved		予備。	0x0	R/W
		[4:3]	Clock detection threshold	01 11	クロック検出閾値。 閾値 1 (サンプル・レートが 300 MSPS 以上の場合) 閾値 2 (サンプル・レートが 300 MSPS 未満の場合)	0x1	R/W
		[2:0]	Reserved		予備。	0x6	R/W
0x011B	Clock status	[7:1]	Reserved		予備。	0x0	R
		0	Input clock detect	0 1	クロック検出ステータス。 入力クロック未検出。 入力クロック検出/ロック。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x011C	Clock Duty Cycle Stabilizer 1 (DCS1) control (local)	[7:2]	Reserved		予備。	0x0	R/W
		1	DCS1 enable	0 1	クロック DCS1 イネーブル。 DCS1 バイパス。 DCS1 イネーブル。	0x1	R/W
		0	DCS1 power-up	0 1	クロック DCS1 パワーアップ。 DCS1 パワーダウン。 DCS1 パワーアップ。	0x1	R/W
0x011E	Clock Duty Cycle Stabilizer 2 (DCS2) control	[7:2]	Reserved		予備。	0x0	R/W
		1	DCS2 enable	0 1	クロック DCS2 イネーブル。 DCS2 バイパス。 DCS2 イネーブル。	0x1	R/W
		0	DCS2 power-up	0 1	クロック DCS2 パワーアップ。 DCS2 パワーダウン。 DCS2 パワーアップ。	0x1	R/W
0x0120	SYSREF± Control 1	7	Reserved		予備。	0x0	R
		6	SYSREF± flag reset	0 1	通常フラグ動作。 SYSREF フラグをリセットに保持します（セットアップ／ホールド・エラー・フラグをクリア）。	0x0	R/W
		5	Reserved		予備。	0x0	R
		4	SYSREF± transition select	0 1	SYSREF は、選択した CLK± のエッジを使い、ローからハイへの遷移時に有効になります。この設定を変更するときは、SYSREF± モード選択をディスエーブルに設定する必要があります。 SYSREF は、選択した CLK± のエッジを使い、ハイからローへの遷移時に有効になります。この設定を変更するときは、SYSREF± モード選択をディスエーブルに設定する必要があります。	0x0	R/W
		3	CLK± edge select	0 1	CLK± 入力の上上がりエッジで取得。 CLK± 入力の立下がりエッジで取得。	0x0	R/W
		[2:1]	SYSREF± mode select	0 1 10	ディスエーブル。 連続。 N ショット。	0x0	R/W
		0	Reserved		予備。	0x0	R
0x0121	SYSREF± Control 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	SYSREF± N-shot ignore counter select	0000 0001 0010 0011 ... 1110 1111	次の SYSREF 遷移のみ（無視しない）。 最初の SYSREF± 遷移を無視。 最初の 2 回の SYSREF± 遷移を無視。 最初の 3 回の SYSREF± 遷移を無視。 ... 最初の 14 回の SYSREF± 遷移を無視。 最初の 15 回の SYSREF± 遷移を無視。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0122	SYSREF± Control 3	[7:4]	Reserved		予備。	0x0	R
		[3:2]	SYSREF± window negative		負のスキュー・ウィンドウ（サンプル・クロック数で測定）。取得した SYSREF± 遷移を無視する場合の入力サンプル・クロック前のクロック・サイクル数。	0x0	R/W
				00	負のスキューなし。SYSREF± は正確に取得する必要があります。		
				01	1 サンプル・クロックの負のスキュー。		
				10	2 サンプル・クロックの負のスキュー。		
				11	3 サンプル・クロックの負のスキュー。		
		[1:0]	SYSREF± window negative		正のスキュー・ウィンドウ（サンプル・クロック数で測定）。取得した SYSREF± 遷移を無視する場合のサンプル・クロック前のクロック・サイクル数。	0x0	R/W
				00	正のスキューなし。SYSREF± を正確に取得する必要があります。		
				01	1 サンプル・クロックの正のスキュー。		
				10	2 サンプル・クロックの正のスキュー。		
0x0123	SYSREF Control 4	7	Reserved		予備。	0x0	R
		[6:0]	SYSREF± timestamp delay		SYSREF± タイムスタンプ遅延（コンバータのサイクル・クロック・サイクル数）。	0x40	R/W
					0: 0 サンプル・クロック・サイクルの遅延。		
					1: 1 サンプル・クロック・サイクルの遅延。		
0x0128	SYSREF Status 1	[7:4]	SYSREF± hold status		SYSREF± ホールド・ステータス。	0x0	R
					SYSREF± セットアップ・ステータス。		
0x0129	SYSREF Status 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Clock divider phase when SYSREF± is captured		SYSREF 分周器の位相。これらのビットは SYSREF± 取得時の分周器の位相を表します。	0x0	R
					0000 = 同位相。		
					0001 = SYSREF± がクロックから ½ サイクル遅延。		
					0010 = SYSREF± がクロックから 1 サイクル遅延。		
0x012A	SYSREF Status 3	[7:0]	SYSREF± counter, Bits[7:0] increments when a SYSREF± is captured		SYSREF± カウント。SYSREF± イベントが取得されるとインクリメントされる実行カウンタ。レジスタ 0x0120 のビット 6 でリセット。255 でラップ・アラウンド。これらのビットは、レジスタ 0x0120 のビット [2:1] がディスエーブルに設定されているときにのみ読み出します。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x01FF	Chip sync mode	[7:1]	Reserved		予備。	0x0	R
		0	Synchronization mode	0x0 <			

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
Fast Detect and Signal Monitor Control Registers							
0x0245	Fast detect control (local)	[7:4]	Reserved		予備。	0x0	R
		3	Force FD A/FD B pins	0 1	高速検出ピンの通常動作。 高速検出ピンの値を強制（このレジスタのビット2を参照）。	0x0	R/W
		2	Force value of FD_A/FD_B pins		出力が強制されると、このチャンネルの高速検出力ピンがこの値に設定されます。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	Enable fast detect output	0 1	高速検出をディセーブル。 高速検出をイネーブル。	0x0	R/W
0x0247	Fast detect upper LSB (local)	[7:0]	Fast detect upper threshold		高速検出上限閾値の LSB。微小 ADC 信号の大きさと比較されるプログラム可能な 13 ビット上限閾値の 8 LSB。	0x0	R/W
0x0248	Fast detect upper MSB (local)	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Fast detect upper threshold		高速検出上限閾値の MSB。微小 ADC 信号の大きさと比較されるプログラム可能な 13 ビット上限閾値の 8 MSB。	0x0	R/W
0x0249	Fast detect low LSB (local)	[7:0]	Fast detect lower threshold		高速検出下限閾値の LSB。微小 ADC 信号の大きさと比較されるプログラム可能な 13 ビット下限閾値の 8 LSB。	0x0	R/W
0x024A	Fast detect low MSB (local)	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Fast detect lower threshold		高速検出下限閾値の MSB。微小 ADC 信号の大きさと比較されるプログラム可能な 13 ビット下限閾値の 8 MSB。	0x0	R/W
0x024B	Fast detect dwell LSB (local)	[7:0]	Fast detect dwell time		高速検出ドウェル時間カウンタ・ターゲットの LSB。これは、ADC データが下限閾値未満の状態がどれだけ続いたら FD_x ピンを 0 にリセットするかを決定する、16 ビット・カウンタのロード値です。	0x0	R/W
0x024C	FAST detect dwell MSB (local)	[7:0]	Fast detect dwell time		高速検出ドウェル時間カウンタ・ターゲットの MSB。これは、ADC データが下限閾値未満の状態がどれだけ続いたら FD_x ピンを 0 にリセットするかを決定する、16 ビット・カウンタのロード値です。	0x0	R/W
0x026F	Signal monitor sync control	[7:2]	Reserved		予備。	0x0	R
		1	Signal monitor next synchronization mode	0 1	信号モニタの次の同期モード。 連続モード。 次の同期モード。SYSREF± ピンの次の有効エッジだけが信号モニタ・ブロックと同期します。SYSREF± ピンのその後のエッジは無視されます。次の SYSREF が検出されたら、レジスタ 0x026F のビット 0 はクリアされます。この機能を連続モードで正しく動作させるには、SYSREF± ピンが信号モニタ時間の整数倍になっていなければなりません。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		0	Signal monitor synchronization mode	0 1	信号モニタ同期イネーブル。 同期ディスエーブル。 レジスタ 0x026F のビット 1=1 の場合、信号モニタ・ブロックの同期には SYSREF $\pm$ ピンの次の有効エッジだけが使われます。SYSREF $\pm$ ピンのその後のエッジは無視されます。次の SYSREF $\pm$ 信号が受信されると、このビットはクリアされます。信号モニタ・ブロックを同期するには、SYSREF $\pm$ 入力ピンをイネーブルする必要があります。	0x0	R/W
0x0270	Signal monitor control (local)	[7:2]	Reserved		予備。	0x0	R
		1	Peak detector	0 1	ピーク・ディテクタをディスエーブル。 ピーク・ディテクタをイネーブル。	0x0	R/W
		0	Reserved		予備。	0x0	R
0x0271	Signal Monitor Period 0 (local)	[7:0]	Signal monitor period [7:0]		この 24 ビット値によって、信号モニタ機能の動作時間に相当する出力クロック・サイクル数が設定されます。偶数値だけがサポートされています。	0x80	R/W
0x0272	Signal Monitor Period 1 (local)	[7:0]	Signal monitor period [15:8]			0x0	R/W
0x0273	Signal Monitor Period 2 (local)	[7:0]	Signal monitor period [23:16]			0x0	R/W
0x0274	Signal monitor status control (local)	[7:5]	Reserved		予備。	0x0	R
		4	Result update	1	信号モニタ・ステータス・レジスタ（レジスタ 0x0275 ～ 0x0278）を更新します。自動クリア。	0x0	R/WC
		3	Reserved		予備。	0x0	R
		[2:0]	Result selection	001	ステータス・リードバック信号を対象とするピーク・ディテクタです。	0x1	R/W
0x0275	Signal Monitor Status 0 (local)	[7:0]	Signal monitor result [7:0]		信号ステータス・モニタの結果。この 20 ビット値は、信号モニタ・ブロックによって計算されたステータス値を格納します。	0x0	R
0x0276	Signal Monitor Status 1 (local)	[7:0]	Signal monitor result [15:8]		信号ステータス・モニタの結果。	0x0	R
0x0277	Signal Monitor Status 2 (local)	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Signal monitor result [19:16]		信号ステータス・モニタの結果。	0x0	R
0x0278	Signal monitor status frame counter (local)	[7:0]	Period count result		信号モニタ・フレーム・カウンタのステータス・ビット。時間カウンタのカウントが終了すると、必ずフレーム・カウンタがインクリメントされます。	0x0	R
0x0279	Signal monitor serial framer control (local)	[7:2]	Reserved		予備。	0x0	R
		[1:0]	Signal monitor SPORT over JESD204B enable	00 11	ディスエーブル。 イネーブル。	0x0	R/W
0x027A	SPORT over JESD204B input selection (local)	[7:6]	Reserved		予備。	0x0	R
		1	SPORT over JESD204B input selection	0 1	信号モニタ・シリアル・フレームの入力選択。各個別ビットが 1 のときは、対応する信号統計情報がそのフレーム内に送信されます。 ディスエーブル。 シリアル・フレームに挿入されたピーク・ディテクタのデータ。	0x1	R/W
		0	Reserved		予備。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
DDC Function Registers (See the エラー! 参照元が見つかりません。 Section)							
0x0300	DDC sync control	7	DDC FTW/POW/MAW/MBW update mode	0 1	DDC の FTW/POW/MAW/MBW の更新モードを選択します。 即時／連続更新。FTW/POW/MAW/MBW 値が直ちに更新されます。 チップ転送ビット（レジスタ 0x000F のビット 0）がセットされた時点で FTW/POW/MAW/MBW 値が同期更新されます。	0x0	R/W
		[6:5]	Reserved		予備。	0x0	R
		4	DDC NCO soft reset	0 1	このビットは、DDC ブロック内のすべての NCO を同期するのに使用できます。 通常動作。 DDC をリセット状態に保持。	0x0	R/W
		[3:2]	Reserved		予備。	0x0	R
		1	DDC next sync	0 1	連続モード。この機能を連続モードで正しく動作させるには、SYSREF $\pm$ の周波数が NCO 周波数の整数倍になっている必要があります。 DDC ブロック内の DDC の同期には、SYSREF $\pm$ ピンの次の有効エッジだけが使われます。SYSREF $\pm$ ピンのその後のエッジは無視されます。次の SYSREF が検出されると、DDC 同期イネーブル・ビット（レジスタ 0x0300 のビット 0）がクリアされます。	0x0	R/W
		0	DDC synchronization mode	0 1	DDC を同期するには、SYSREF $\pm$ 入力ピンをイネーブルする必要があります。 同期ディスエーブル。 DDC の次の同期ビット（レジスタ 0x0300 のビット 1）= 1 の場合、DDC ブロック内の NCO の同期には SYSREF $\pm$ ピンの次の有効エッジだけが使われます。SYSREF $\pm$ ピンのその後のエッジは無視されます。次の SYSREF $\pm$ 信号が受信されると、このビットはクリアされます。	0x0	R/W
0x0310	DDC 0 control	7	DDC 0 mixer select	0 1	実数ミキサー（I 入力と Q 入力は、同じ実数チャンネルから入力する必要があります）。 複素数ミキサー（I と Q は、個別の実数および虚数直交 ADC 受信チャンネルから入力する必要があります。アナログ復調器）。	0x0	R/W
		6	DDC 0 gain select	0 1	ゲインを使用して、入力信号をベースバンドまでミキシングすることに伴う 6 dB の損失を補償し、その負の成分を除去することができます。 0 dB のゲイン。 6 dB のゲイン（2 倍）。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[5:4]	DDC 0 intermediate frequency (IF) mode	00 01 10 11	可変 IF モード。 0 Hz IF モード。 $f_s/4$ Hz IF モード。 テスト・モード。	0x0	R/W
		3	DDC 0 complex to real enable	0 1	複素 (I と Q) 出力に有効なデータが含まれています。 実数 (I) 出力のみ。複素数から実数への変換をイネーブル。実数への変換には追加の $f_s/4$ ミキシングを使用します。		
		[2:0]	DDC 0 decimation rate select	000 001 010 011 100 101 110 111	デシメーション・フィルタの選択。 HB1 + HB2 フィルタの選択: デシメーション・レート 2 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 4 (複素数から実数への変換をディスエーブル)。 HB1 + HB2 + HB3 フィルタの選択: デシメーション・レート 4 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 8 (複素数から実数への変換をディスエーブル)。 HB1 + HB2 + HB3 + HB4 フィルタの選択: デシメーション・レート 8 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 16 (複素数から実数への変換をディスエーブル)。 HB1 フィルタの選択: デシメーション・レート 1 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 2 (複素数から実数への変換をディスエーブル)。 HB1 + TB2 フィルタの選択: デシメーション・レート 3 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 6 (複素数から実数への変換をディスエーブル)。 HB1 + HB2 + TB2 フィルタの選択: デシメーション・レート 6 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 12 (複素数から実数への変換をディスエーブル)。 HB1 + HB2 + HB3 + TB2 フィルタの選択: デシメーション・レート 12 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 24 (複素数から実数への変換をディスエーブル)。 デシメーションはレジスタ 0x0311 のビット [7:4] によって決定されます。	0x0	R/W
0x0311	DDC 0 input select	[7:4]	DDC 0 decimation rate select	0 10 11 100	レジスタ 0x0310 のビット [2:0] = 3'b111 のときのみ有効。 TB2 + HB4 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 48 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 24 (複素数から実数への変換をイネーブル)。 FB2 + HB1 フィルタの選択: デシメーション・レート 10 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 5 (複素数から実数への変換をイネーブル)。 FB2 + HB2 + HB1 フィルタの選択: デシメーション・レート 20 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 10 (複素数から実数への変換をイネーブル)。 FB2 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 40 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 20 (複素数から実数への変換をイネーブル)。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				111	TB1 フィルタの選択: デシメーション・レート 3 (デシメーション・レート 1.5 はサポートされていません)。		
				1000	FB2 + TB1 フィルタの選択: デシメーション・レート 15 (デシメーション・レート 7.5 はサポートされていません)。		
				1001	HB2 + FB2 + TB1 フィルタの選択: デシメーション・レート 30 (デシメーション・レート 15 はサポートされていません)。		
		3	Reserved		予備。		
		2	DDC 0 Q input select	0 1	チャンネル A。 チャンネル B。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	DDC 0 I input select	0 1	チャンネル A。 チャンネル B。	0x0	R/W
0x0314	DDC 0 NCO control	[7:4]	DDC 0 NCO channel select mode	0 1 1000 1010	エッジ制御のため、内部カウンタはレジスタ 0x0314 のビット [3:0] の値に達するとラップします。 レジスタ 0x0314、ビット [3:0] を使用。 2b0、GPIO B0、GPIO A0。 GPIO A0 ピンの立上がりエッジで内部カウンタをインクリメント。 GPIO B0 ピンの立上がりエッジで内部カウンタをインクリメント。	0x0	R/W
		[3:0]	DDC 0 NCO register map channel select	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	NCO チャンネル選択レジスタのマップ制御。 NCO チャンネル 0 を選択。 NCO チャンネル 1 を選択。 NCO チャンネル 2 を選択。 NCO チャンネル 3 を選択。 NCO チャンネル 4 を選択。 NCO チャンネル 5 を選択。 NCO チャンネル 6 を選択。 NCO チャンネル 7 を選択。 NCO チャンネル 8 を選択。 NCO チャンネル 9 を選択。 NCO チャンネル 10 を選択。 NCO チャンネル 11 を選択。 NCO チャンネル 12 を選択。 NCO チャンネル 13 を選択。 NCO チャンネル 14 を選択。 NCO チャンネル 15 を選択。	0x0	R/W
0x0315	DDC 0 phase control	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DDC 0 phase update index	0000 0001 0010 0011	位相とオフセットが更新された NCO チャンネルをインデックスします。更新方法は DDC 位相更新モードに基づいて決定され、連続更新以外はチップ転送が必要になります。 NCO チャンネル 0 を更新。 NCO チャンネル 1 を更新。 NCO チャンネル 2 を更新。 NCO チャンネル 3 を更新。	0x0	R/W
0x0316	DDC 0 Phase Increment 0	[7:0]	DDC 0 phase increment [7:0]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(\text{DDC_PHASE_INC} \times f_s)/2^{48}$ 。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0317	DDC 0 Phase Increment 1	[7:0]	DDC 0 phase increment [15:8]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0318	DDC 0 Phase Increment 2	[7:0]	DDC 0 phase increment [23:16]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0319	DDC 0 Phase Increment 3	[7:0]	DDC 0 phase increment [31:24]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x031A	DDC 0 Phase Increment 4	[7:0]	DDC 0 phase increment [39:32]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x031B	DDC 0 Phase Increment 5	[7:0]	DDC 0 phase increment [47:40]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x031D	DDC 0 Phase Offset 0	[7:0]	DDC 0 phase offset [7:0]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x031E	DDC 0 Phase Offset 1	[7:0]	DDC 0 phase offset [15:8]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x031F	DDC 0 Phase Offset 2	[7:0]	DDC 0 phase offset [23:16]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0320	DDC 0 Phase Offset 3	[7:0]	DDC 0 phase offset [31:24]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0321	DDC 0 Phase Offset 4	[7:0]	DDC 0 phase offset [39:32]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0322	DDC 0 Phase Offset 5	[7:0]	DDC 0 phase offset [47:40]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0327	DDC 0 test enable	[7:3]	Reserved		予備。	0x0	R
		2	DDC 0 Q output test mode enable	0 1	Q サンプルは常にテスト・モード B ブロックを使用します。テスト・モードは、チャンネル依存レジスタ (0x0550 のビット [3:0]) を使って選択されます。 テスト・モードをディスエーブル。 テスト・モードをイネーブル。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	DDC 0 I output test mode enable	0 1	I サンプルは常にテスト・モード A ブロックを使用します。テスト・モードは、チャンネル依存レジスタ (0x0550 のビット [3:0]) を使って選択されます。 テスト・モードをディスエーブル。 テスト・モードをイネーブル。	0x0	R/W
0x0330	DDC 1 control	7	DDC 1 mixer select	0 1	実数ミキサー (I 入力と Q 入力は、同じ実数チャンネルから入力する必要があります)。 複素数ミキサー (I と Q は、個別の実数および虚数直交 ADC 受信チャンネルから入力する必要があります。アナログ復調器)。	0x0	R/W
		6	DDC 1 gain select	0 1	ゲインを使用して、入力信号をベースバンドまでミキシングすることに伴う 6 dB の損失を補償し、その負の成分を除去することができます。 0 dB のゲイン。 6 dB のゲイン (2 倍)。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[5:4]	DDC 1 intermediate frequency (IF) mode	00	可変 IF モード。	0x0	R/W
		3	DDC 1 Complex to real enable	01	0 Hz IF モード。		
				10	$f_s/4$ Hz IF モード。		
				11	テスト・モード。		
				0	複素 (I と Q) 出力に有効なデータが含まれています。		
				1	実数 (I) 出力のみ。複素数から実数への変換をイネーブル。実数への変換には追加の $f_s/4$ ミキシングを使用します。		
		[2:0]	DDC 1 decimation rate select	000	デシメーション・フィルタの選択。 HB1 + HB2 フィルタの選択: デシメーション・レート 2 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 4 (複素数から実数への変換をディスエーブル)。	0x0	R/W
				001	HB1 + HB2 + HB3 フィルタの選択: デシメーション・レート 4 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 8 (複素数から実数への変換をディスエーブル)。		
				010	HB1 + HB2 + HB3 + HB4 フィルタの選択: デシメーション・レート 8 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 16 (複素数から実数への変換をディスエーブル)。		
				011	HB1 フィルタの選択: デシメーション・レート 1 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 2 (複素数から実数への変換をディスエーブル)。		
				100	HB1 + TB2 フィルタの選択: デシメーション・レート 3 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 6 (複素数から実数への変換をディスエーブル)。		
				101	HB1 + HB2 + TB2 フィルタの選択: デシメーション・レート 6 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 12 (複素数から実数への変換をディスエーブル)。		
				110	HB1 + HB2 + HB3 + TB2 フィルタの選択: デシメーション・レート 12 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 24 (複素数から実数への変換をディスエーブル)。		
				111	デシメーションはレジスタ 0x0331 のビット [7:4] によって決定されます。		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0331	DDC 1 input select	[7:4]	DDC 1 decimation rate select		レジスタ 0x0310 のビット [2:0] = 3'b111 のときのみ有効。	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 48 (複素数から実数への変換をディセーブル)、またはデシメーション・レート 24 (複素数から実数への変換をイネーブル)。		
				10	FB2 + HB1 フィルタの選択: デシメーション・レート 10 (複素数から実数への変換をディセーブル)、またはデシメーション・レート 5 (複素数から実数への変換をイネーブル)。		
				11	FB2 + HB2 + HB1 フィルタの選択: デシメーション・レート 20 (複素数から実数への変換をディセーブル)、またはデシメーション・レート 10 (複素数から実数への変換をイネーブル)。		
				100	FB2 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 40 (複素数から実数への変換をディセーブル)、またはデシメーション・レート 20 (複素数から実数への変換をイネーブル)。		
				111	TB1 フィルタの選択: デシメーション・レート 3 (デシメーション・レート 1.5 はサポートされていません)。		
				1000	FB2 + TB1 フィルタの選択: デシメーション・レート 15 (デシメーション・レート 7.5 はサポートされていません)。		
				1001	HB2 + FB2 + TB1 フィルタの選択: デシメーション・レート 30 (デシメーション・レート 15 はサポートされていません)。		
0x0331	DDC 1 input select	[7:4]	DDC 1 decimation rate select	3	Reserved	0x0	R
				2	DDC 1 Q input select	0x1	R/W
				1	Reserved	0x0	R
				0	DDC 1 I input select	0x1	R/W
				1	DDC 1 I input select	0x1	R/W
0x0334	DDC 1 NCO control	[7:4]	DDC 1 NCO channel select mode		エッジ制御のため、内部カウンタはレジスタ 0x0334 のビット [3:0] の値に達するとラップします。	0x0	R/W
				0	レジスタ 0x0314、ビット [3:0] を使用。		
				1	2'b0、GPIO B0、GPIO A0。		
				1000	GPIO A0 ピンの立上がりエッジで内部カウンタをインクリメント。		
				1010	GPIO B0 ピンの立上がりエッジで内部カウンタをインクリメント。		
		[3:0]	DDC 1 NCO register map channel select		NCO チャンネル選択レジスタのマッピング制御。	0x0	R/W
				0	NCO チャンネル 0 を選択。		
				1	NCO チャンネル 1 を選択。		
				10	NCO チャンネル 2 を選択。		
				11	NCO チャンネル 3 を選択。		
				100	NCO チャンネル 4 を選択。		
				101	NCO チャンネル 5 を選択。		
				110	NCO チャンネル 6 を選択。		
				111	NCO チャンネル 7 を選択。		
				1000	NCO チャンネル 8 を選択。		
				1001	NCO チャンネル 9 を選択。		
				1010	NCO チャンネル 10 を選択。		
				1011	NCO チャンネル 11 を選択。		
				1100	NCO チャンネル 12 を選択。		
				1101	NCO チャンネル 13 を選択。		
				1110	NCO チャンネル 14 を選択。		
				1111	NCO チャンネル 15 を選択。		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0335	DDC 1 phase control	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DDC 1 phase update index	0000 0001 0010 0011	位相とオフセットが更新された NCO チャンネルをインデックスします。更新方法は DDC 位相更新モードに基づいて決定され、連続更新以外はチップ転送が必要になります。 NCO チャンネル 0 を更新。 NCO チャンネル 1 を更新。 NCO チャンネル 2 を更新。 NCO チャンネル 3 を更新。	0x0	R/W
0x0336	DDC 1 Phase Increment 0	[7:0]	DDC 1 phase increment [7:0]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0337	DDC 1 Phase Increment 1	[7:0]	DDC 1 phase increment [15:8]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0338	DDC 1 Phase Increment 2	[7:0]	DDC 1 phase increment [23:16]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0339	DDC 1 Phase Increment 3	[7:0]	DDC 1 phase increment [31:24]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x033A	DDC 1 Phase Increment 4	[7:0]	DDC 1 phase increment [39:32]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x033B	DDC 1 Phase Increment 5	[7:0]	DDC 1 phase increment [47:40]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x033D	DDC 1 Phase Offset 0	[7:0]	DDC 1 phase offset [7:0]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x033E	DDC 1 Phase Offset 1	[7:0]	DDC 1 phase offset [15:8]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x033F	DDC 1 Phase Offset 2	[7:0]	DDC 1 phase offset [23:16]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0340	DDC 1 Phase Offset 3	[7:0]	DDC 1 phase offset [31:24]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0341	DDC 1 Phase Offset 4	[7:0]	DDC 1 phase offset [39:32]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0342	DDC 1 Phase Offset 5	[7:0]	DDC 1 phase offset [47:40]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0347	DDC 1 test enable	[7:3]	Reserved		予備。	0x0	R
		2	DDC 1 Q output test mode enable	0 1	Q サンプルは常にテスト・モード B ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディセーブル。 テスト・モードをイネーブル。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	DDC 1 I output test mode enable	0 1	I サンプルは常にテスト・モード A ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディセーブル。 テスト・モードをイネーブル。	0x0	R/W
0x0350	DDC 2 control	7	DDC 2 mixer select	0 1	実数ミキサー（I 入力と Q 入力は、同じ実数チャンネルから入力する必要があります）。 複素数ミキサー（I と Q は、個別の実数および虚数直交 ADC 受信チャンネルから入力する必要があります。アナログ復調器）。	0x0	R/W
		6	DDC 2 gain select	0 1	ゲインを使用して、入力信号をベースバンドまでミキシングすることに伴う 6 dB の損失を補償し、その負の成分を除去することができます。 0 dB のゲイン。 6 dB のゲイン（2 倍）。	0x0	R/W
		[5:4]	DDC 2 intermediate frequency (IF) mode	00 01 10 11	可変 IF モード。 0 Hz IF モード。 f _s /4 Hz IF モード。 テスト・モード。		R/W
		3	DDC 2 complex to real enable	0 1	複素（I と Q）出力に有効なデータが含まれています。 実数（I）出力のみ。複素数から実数への変換をイネーブル。実数への変換には追加の f _s /4 ミキシングを使用します。	0x0	R/W
		[2:0]	DDC 2 decimation rate select	000 001 010 011 100	デシメーション・フィルタの選択。 HB1 + HB2 フィルタの選択: デシメーション・レート 2（複素数から実数への変換をイネーブル）、またはデシメーション・レート 4（複素数から実数への変換をディセーブル）。 HB1 + HB2 + HB3 フィルタの選択: デシメーション・レート 4（複素数から実数への変換をイネーブル）、またはデシメーション・レート 8（複素数から実数への変換をディセーブル）。 HB1 + HB2 + HB3 + HB4 フィルタの選択: デシメーション・レート 8（複素数から実数への変換をイネーブル）、またはデシメーション・レート 16（複素数から実数への変換をディセーブル）。 HB1 フィルタの選択: デシメーション・レート 1（複素数から実数への変換をイネーブル）、またはデシメーション・レート 2（複素数から実数への変換をディセーブル）。 HB1 + TB2 フィルタの選択: デシメーション・レート 3（複素数から実数への変換をイネーブル）、またはデシメーション・レート 6（複素数から実数への変換をディセーブル）。		R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				101	HB1 + HB2 + TB2 フィルタの選択: デシメーション・レート 6 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 12 (複素数から実数への変換をディスエーブル)。		
				110	HB1 + HB2 + HB3 + TB2 フィルタの選択: デシメーション・レート 12 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 24 (複素数から実数への変換をディスエーブル)。		
				111	デシメーションはレジスタ 0x0351 のビット [7:4] によって決定されます。		
0x0351	DDC 2 input select	[7:4]	DDC 2 decimation rate select		レジスタ 0x0310 のビット [2:0] = 3'b111 のときのみ有効。	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 48 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 24 (複素数から実数への変換をイネーブル)。		
				10	FB2 + HB1 フィルタの選択: デシメーション・レート 10 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 5 (複素数から実数への変換をイネーブル)。		
				11	FB2 + HB2 + HB1 フィルタの選択: デシメーション・レート 20 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 10 (複素数から実数への変換をイネーブル)。		
				100	FB2 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 40 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 20 (複素数から実数への変換をイネーブル)。		
				3	Reserved	0x0	R
				2	DDC 2 Q input select	0x0	R/W
				1	Reserved	0x0	R
				0	DDC 2 I input select	0x0	R/W
				1			
0x0354	DDC 2 NCO control	[7:4]	DDC 2 NCO channel select mode		エッジ制御のため、内部カウンタはレジスタ 0x0354 のビット [3:0] の値に達するとラップします。	0x0	R/W
				0	レジスタ 0x0314、ビット [3:0] を使用。		
				1	2'b0、GPIO B0、GPIO A0。		
				1000	GPIO A0 ピンの立上がりエッジで内部カウンタをインクリメント。		
				1010	GPIO B0 ピンの立上がりエッジで内部カウンタをインクリメント。		
		[3:0]	DDC 2 NCO register map channel select		NCO チャンネル選択レジスタのマッピング制御。	0x0	R/W
				0	NCO チャンネル 0 を選択。		
				1	NCO チャンネル 1 を選択。		
				10	NCO チャンネル 2 を選択。		
				11	NCO チャンネル 3 を選択。		
				100	NCO チャンネル 4 を選択。		
				101	NCO チャンネル 5 を選択。		
				110	NCO チャンネル 6 を選択。		
				111	NCO チャンネル 7 を選択。		
				1000	NCO チャンネル 8 を選択。		
				1001	NCO チャンネル 9 を選択。		
				1010	NCO チャンネル 10 を選択。		
				1011	NCO チャンネル 11 を選択。		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				1100 1101 1110 1111	NCO チャンネル 12 を選択。 NCO チャンネル 13 を選択。 NCO チャンネル 14 を選択。 NCO チャンネル 15 を選択。		
0x0355	DDC 2 phase control	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DDC 2 phase update index	0000 0001 0010 0011	位相とオフセットが更新された NCO チャンネルをインデックスします。更新方法は DDC 位相更新モードに基づいて決定され、連続更新以外はチップ転送が必要になります。 NCO チャンネル 0 を更新。 NCO チャンネル 1 を更新。 NCO チャンネル 2 を更新。 NCO チャンネル 3 を更新。	0x0	R/W
0x0356	DDC 2 Phase Increment 0	[7:0]	DDC 2 phase increment [7:0]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0357	DDC 2 Phase Increment 1	[7:0]	DDC 2 phase increment [15:8]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0358	DDC 2 Phase Increment 2	[7:0]	DDC 2 phase increment [23:16]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0359	DDC 2 Phase Increment 3	[7:0]	DDC 2 phase increment [31:24]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x035A	DDC 2 Phase Increment 4	[7:0]	DDC 2 phase increment [39:32]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x035B	DDC 2 Phase Increment 5	[7:0]	DDC 2 phase increment [47:40]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x035D	DDC 2 Phase Offset 0	[7:0]	DDC 2 phase offset [7:0]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x035E	DDC 2 Phase Offset 1	[7:0]	DDC 2 phase offset [15:8]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x035F	DDC 2 Phase Offset 2	[7:0]	DDC 2 phase offset [23:16]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0360	DDC 2 Phase Offset 3	[7:0]	DDC 2 phase offset [31:24]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0361	DDC 2 Phase Offset 4	[7:0]	DDC 2 phase offset [39:32]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0362	DDC 2 Phase Offset 5	[7:0]	DDC 2 phase offset [47:40]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0367	DDC 2 test enable	[7:3]	Reserved		予備。	0x0	R
		2	DDC 2 Q output test mode enable	0 1	Q サンプルは常にテスト・モード B ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディスエーブル。 テスト・モードをイネーブル。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	DDC 2 I output test mode enable	0 1	I サンプルは常にテスト・モード A ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディスエーブル。 テスト・モードをイネーブル。	0x0	R/W
0x0370	DDC 3 control	7	DDC 3 mixer select	0 1	実数ミキサー（I 入力と Q 入力は、同じ実数チャンネルから入力する必要があります）。 複素数ミキサー（I と Q は、個別の実数および虚数直交 ADC 受信チャンネルから入力する必要があります。アナログ復調器）。	0x0	R/W
		6	DDC 3 gain select	0 1	ゲインを使用して、入力信号をベースバンドまでミキシングすることに伴う 6 dB の損失を補償し、その負の成分を除去することができます。 0 dB のゲイン。 6 dB のゲイン（2 倍）。	0x0	R/W
		[5:4]	DDC 3 intermediate frequency (IF) mode	00 01 10 11	可変 IF モード。 0 Hz IF モード。 f _s /4 Hz IF モード。 テスト・モード。		R/W
		3	DDC 3 complex to real enable	0 1	複素（I と Q）出力に有効なデータが含まれています。 実数（I）出力のみ。実数への変換には追加の f _s /4 ミキシングを使用します。	0x0	R/W
		[2:0]	DDC 3 decimation rate select	000 001 010 011 100	デシメーション・フィルタの選択。 HB1 + HB2 フィルタの選択: デシメーション・レート 2（複素数から実数への変換をイネーブル）、またはデシメーション・レート 4（複素数から実数への変換をディスエーブル）。 HB1 + HB2 + HB3 フィルタの選択: デシメーション・レート 4（複素数から実数への変換をイネーブル）、またはデシメーション・レート 8（複素数から実数への変換をディスエーブル）。 HB1 + HB2 + HB3 + HB4 フィルタの選択: デシメーション・レート 8（複素数から実数への変換をイネーブル）、またはデシメーション・レート 16（複素数から実数への変換をディスエーブル）。 HB1 フィルタの選択: デシメーション・レート 1（複素数から実数への変換をイネーブル）、またはデシメーション・レート 2（複素数から実数への変換をディスエーブル）。 HB1 + TB2 フィルタの選択: デシメーション・レート 3（複素数から実数への変換をイネーブル）、またはデシメーション・レート 6（複素数から実数への変換をディスエーブル）。		R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				101	HB1 + HB2 + TB2 フィルタの選択: デシメーション・レート 6 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 12 (複素数から実数への変換をディスエーブル)。		
				110	HB1 + HB2 + HB3 + TB2 フィルタの選択: デシメーション・レート 12 (複素数から実数への変換をイネーブル)、またはデシメーション・レート 24 (複素数から実数への変換をディスエーブル)。		
				111	デシメーションはレジスタ 0x0371 のビット [7:4] によって決定されます。		
0x0371	DDC 3 input select	[7:4]	DDC 3 decimation rate select		レジスタ 0x0310 のビット [2:0] = 3'b111 のときのみ有効。	0x0	R/W
				0	TB2 + HB4 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 48 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 24 (複素数から実数への変換をイネーブル)。		
				10	FB2 + HB1 フィルタの選択: デシメーション・レート 10 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 5 (複素数から実数への変換をイネーブル)。		
				11	FB2 + HB2 + HB1 フィルタの選択: デシメーション・レート 20 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 10 (複素数から実数への変換をイネーブル)。		
				100	FB2 + HB3 + HB2 + HB1 フィルタの選択: デシメーション・レート 40 (複素数から実数への変換をディスエーブル)、またはデシメーション・レート 20 (複素数から実数への変換をイネーブル)。		
				3	Reserved	0x0	R
				2	DDC 3 Q input select	0x1	R/W
				1	Reserved	0x0	R
0x0374	DDC 3 NCO control	[7:4]	DDC 3 NCO channel select mode		エッジ制御のため、内部カウンタはレジスタ 0x0374 のビット [3:0] の値に達するとラップします。	0x0	R/W
				0	レジスタ 0x0314、ビット [3:0] を使用。		
				1	2'b0、GPIO B0、GPIO A0。		
				1000	GPIO A0 ピンの立上がりエッジで内部カウンタをインクリメント。		
				1010	GPIO B0 ピンの立上がりエッジで内部カウンタをインクリメント。		
					NCO チャンネル選択レジスタのマッピング制御。		
				0	NCO チャンネル 0 を選択。		
				1	NCO チャンネル 1 を選択。		
		[3:0]	DDC 3 NCO register map channel select	10	NCO チャンネル 2 を選択。	0x0	R/W
				11	NCO チャンネル 3 を選択。		
				100	NCO チャンネル 4 を選択。		
				101	NCO チャンネル 5 を選択。		
				110	NCO チャンネル 6 を選択。		
				111	NCO チャンネル 7 を選択。		
				1000	NCO チャンネル 8 を選択。		
				1001	NCO チャンネル 9 を選択。		
				1010	NCO チャンネル 10 を選択。		
				1011	NCO チャンネル 11 を選択。		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				1100 1101 1110 1111	NCO チャンネル 12 を選択。 NCO チャンネル 13 を選択。 NCO チャンネル 14 を選択。 NCO チャンネル 15 を選択。		
0x0375	DDC 3 phase control	[7:4]	Reserved		予備。	0x0	R
		[3:0]	DDC 3 phase update index	0000 0001 0010 0011	位相とオフセットが更新された NCO チャンネルをインデックスします。更新方法は DDC 位相更新モードに基づいて決定され、連続更新以外はチップ転送が必要になります。 NCO チャンネル 0 を更新。 NCO チャンネル 1 を更新。 NCO チャンネル 2 を更新。 NCO チャンネル 3 を更新。	0x0	R/W
0x0376	DDC 3 Phase Increment 0	[7:0]	DDC 3 phase increment [7:0]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0377	DDC 3 Phase Increment 1	[7:0]	DDC 3 phase increment [15:8]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0378	DDC 3 Phase Increment 2	[7:0]	DDC 3 phase increment [23:16]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x0379	DDC 3 Phase Increment 3	[7:0]	DDC 3 phase increment [31:24]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x037A	DDC 3 Phase Increment 4	[7:0]	DDC 3 phase increment [39:32]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x037B	DDC 3 Phase Increment 5	[7:0]	DDC 3 phase increment [47:40]		FTW。NCO の 2 の補数の位相インクリメント値。複素ミキシング周波数 = $(DDC_PHASE_INC \times f_s)/2^{48}$ 。	0x0	R/W
0x037D	DDC 3 Phase Offset 0	[7:0]	DDC 3 phase offset [7:0]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x037E	DDC 3 Phase Offset 1	[7:0]	DDC 3 phase offset [15:8]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x037F	DDC 3 Phase Offset 2	[7:0]	DDC 3 phase offset [23:16]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0380	DDC 3 Phase Offset 3	[7:0]	DDC 3 phase offset [31:24]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0381	DDC 3 Phase Offset 4	[7:0]	DDC 3 phase offset [39:32]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W
0x0382	DDC 3 Phase Offset 5	[7:0]	DDC 3 phase offset [47:40]		NCO (POW) の 2 の補数の位相オフセット値。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0387	DDC 3 test enable	[7:3]	Reserved		予備。	0x0	R
		2	DDC 3 Q output test mode enable	0 1	Q サンプルは常にテスト・モード B ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディセーブル。 テスト・モードをイネーブル。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	DDC 3 I output test mode enable	0 1	I サンプルは常にテスト・モード A ブロックを使用します。テスト・モードは、チャンネル依存ビット（レジスタ 0x0550 のビット [3:0]）を使って選択されます。 テスト・モードをディセーブル。 テスト・モードをイネーブル。	0x0	R/W
0x0390	DDC 0 Phase Increment Fractional A0	[7:0]	DDC 0 Phase Increment Fractional A [7:0]		モジュラス位相アキュムレータ（MAW）の分子補正項。	0x0	R/W
0x0391	DDC 0 Phase Increment Fractional A1	[7:0]	DDC 0 Phase Increment Fractional A [15:8]		MAW の分子補正項。	0x0	R/W
0x0392	DDC 0 Phase Increment Fractional A2	[7:0]	DDC 0 Phase Increment Fractional A [23:16]		MAW の分子補正項。	0x0	R/W
0x0393	DDC 0 Phase Increment Fractional A3	[7:0]	DDC 0 Phase Increment Fractional A [31:24]		MAW の分子補正項。	0x0	R/W
0x0394	DDC 0 Phase Increment Fractional A4	[7:0]	DDC 0 Phase Increment Fractional A [39:32]		MAW の分子補正項。	0x0	R/W
0x0395	DDC 0 Phase Increment Fractional A5	[7:0]	DDC 0 Phase Increment Fractional A [47:40]		MAW の分子補正項。	0x0	R/W
0x0398	DDC 0 Phase Increment Fractional B0	[7:0]	DDC 0 Phase Increment Fractional B [7:0]		モジュラス位相アキュムレータ（MBW）の分母補正項。	0x0	R/W
0x0399	DDC 0 Phase Increment Fractional B1	[7:0]	DDC 0 Phase Increment Fractional B [15:8]		MBW の分母補正項。	0x0	R/W
0x039A	DDC 0 Phase Increment Fractional B2	[7:0]	DDC 0 Phase Increment Fractional B [23:16]		MBW の分母補正項。	0x0	R/W
0x039B	DDC 0 Phase Increment Fractional B3	[7:0]	DDC 0 Phase Increment Fractional B [31:24]		MBW の分母補正項。	0x0	R/W
0x039C	DDC 0 Phase Increment Fractional B4	[7:0]	DDC 0 Phase Increment Fractional B [39:32]		MBW の分母補正項。	0x0	R/W
0x039D	DDC 0 Phase Increment Fractional B5	[7:0]	DDC 0 Phase Increment Fractional B [47:40]		MBW の分母補正項。	0x0	R/W
0x03A0	DDC 1 Phase Increment Fractional A0	[7:0]	DDC 1 Phase Increment Fractional A [7:0]		モジュラス位相アキュムレータ（MAW）の分子補正項。	0x0	R/W
0x5C00x03A1	DDC 1 Phase Increment Fractional A1	[7:0]	DDC 1 Phase Increment Fractional A [15:8]		MAW の分子補正項。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x03A2	DDC 1 Phase Increment Fractional A2	[7:0]	DDC 1 Phase Increment Fractional A [23:16]		MAW の分子補正項。	0x0	R/W
0x03A3	DDC 1 Phase Increment Fractional A3	[7:0]	DDC 1 Phase Increment Fractional A [31:24]		MAW の分子補正項。	0x0	R/W
0x03A4	DDC 1 Phase Increment Fractional A4	[7:0]	DDC 1 Phase Increment Fractional A [39:32]		MAW の分子補正項。	0x0	R/W
0x03A5	DDC 1 Phase Increment Fractional A5	[7:0]	DDC 1 Phase Increment Fractional A [47:40]		MAW の分子補正項。	0x0	R/W
0x03A8	DDC 1 Phase Increment Fractional B0	[7:0]	DDC 1 Phase Increment Fractional B [7:0]		MBW の分母補正項。	0x0	R/W
0x03A9	DDC 1 Phase Increment Fractional B1	[7:0]	DDC 1 Phase Increment Fractional B [15:8]		MBW の分母補正項。	0x0	R/W
0x03AA	DDC 1 Phase Increment Fractional B2	[7:0]	DDC 1 Phase Increment Fractional B [23:16]		MBW の分母補正項。	0x0	R/W
0x03AB	DDC 1 Phase Increment Fractional B3	[7:0]	DDC 1 Phase Increment Fractional B [31:24]		MBW の分母補正項。	0x0	R/W
0x03AC	DDC 1 Phase Increment Fractional B4	[7:0]	DDC 1 Phase Increment Fractional B [39:32]		MBW の分母補正項。	0x0	R/W
0x03AD	DDC 1 Phase Increment Fractional B5	[7:0]	DDC 1 Phase Increment Fractional B [47:40]		MBW の分母補正項。	0x0	R/W
0x03B0	DDC 2 Phase Increment Fractional A0	[7:0]	DDC 2 Phase Increment Fractional A [7:0]		MAW の分子補正項。	0x0	R/W
0x03B1	DDC 2 Phase Increment Fractional A1	[7:0]	DDC 2 Phase Increment Fractional A [15:8]		MAW の分子補正項。	0x0	R/W
0x03B2	DDC 2 Phase Increment Fractional A2	[7:0]	DDC 2 Phase Increment Fractional A [23:16]		MAW の分子補正項。	0x0	R/W
0x03B3	DDC 2 Phase Increment Fractional A3	[7:0]	DDC 2 Phase Increment Fractional A [31:24]		MAW の分子補正項。	0x0	R/W
0x03B4	DDC 2 Phase Increment Fractional A4	[7:0]	DDC 2 Phase Increment Fractional A [39:32]		MAW の分子補正項。	0x0	R/W
0x03B5	DDC 2 Phase Increment Fractional A5	[7:0]	DDC 2 Phase Increment Fractional A [47:40]		MAW の分子補正項。	0x0	R/W
0x03B8	DDC 2 Phase Increment Fractional B0	[7:0]	DDC 2 Phase Increment Fractional B [7:0]		MBW の分母補正項。	0x0	R/W
0x03B9	DDC 2 Phase Increment Fractional B1	[7:0]	DDC 2 Phase Increment Fractional B [15:8]		MBW の分母補正項。	0x0	R/W
0x03BA	DDC 2 Phase Increment Fractional B2	[7:0]	DDC 2 Phase Increment Fractional B [23:16]		MBW の分母補正項。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x03BB	DDC 2 Phase Increment Fractional B3	[7:0]	DDC 2 Phase Increment Fractional B [31:24]		MBW の分母補正項。	0x0	R/W
0x03BC	DDC 2 Phase Increment Fractional B4	[7:0]	DDC 2 Phase Increment Fractional B [39:32]		MBW の分母補正項。	0x0	R/W
0x03BD	DDC 2 Phase Increment Fractional B5	[7:0]	DDC 2 Phase Increment Fractional B [47:40]		MBW の分母補正項。	0x0	R/W
0x03C0	DDC 3 Phase Increment Fractional A0	[7:0]	DDC 3 Phase Increment Fractional A [7:0]		MAW の分子補正項。	0x0	R/W
0x03C1	DDC 3 Phase Increment Fractional A1	[7:0]	DDC 3 Phase Increment Fractional A [15:8]		MAW の分子補正項。	0x0	R/W
0x03C2	DDC 3 Phase Increment Fractional A2	[7:0]	DDC 3 Phase Increment Fractional A [23:16]		MAW の分子補正項。	0x0	R/W
0x03C3	DDC 3 Phase Increment Fractional A3	[7:0]	DDC 3 Phase Increment Fractional A [31:24]		MAW の分子補正項。	0x0	R/W
0x03C4	DDC 3 Phase Increment Fractional A4	[7:0]	DDC 3 Phase Increment Fractional A [39:32]		MAW の分子補正項。	0x0	R/W
0x03C5	DDC 3 Phase Increment Fractional A5	[7:0]	DDC 3 Phase Increment Fractional A [47:40]		MAW の分子補正項。	0x0	R/W
0x03C8	DDC 3 Phase Increment Fractional B0	[7:0]	DDC 3 Phase Increment Fractional B [7:0]		MBW の分母補正項。	0x0	R/W
0x03C9	DDC 3 Phase Increment Fractional B1	[7:0]	DDC 3 Phase Increment Fractional B [15:8]		MBW の分母補正項。	0x0	R/W
0x03CA	DDC 3 Phase Increment Fractional B2	[7:0]	DDC 3 Phase Increment Fractional B [23:16]		MBW の分母補正項。	0x0	R/W
0x03CB	DDC 3 Phase Increment Fractional B3	[7:0]	DDC 3 Phase Increment Fractional B [31:24]		MBW の分母補正項。	0x0	R/W
0x03CC	DDC 3 Phase Increment Fractional B4	[7:0]	DDC 3 Phase Increment Fractional B [39:32]		MBW の分母補正項。	0x0	R/W
0x03CD	DDC 3 Phase Increment Fractional B5	[7:0]	DDC 3 Phase Increment Fractional B [47:40]		MBW の分母補正項。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
Digital Outputs and Test Mode Registers							
0x0550	ADC test mode control (local)	7	User pattern selection	0 1	テスト・モードのユーザ・パターン選択。これらのビットは TMODE_GEN_SEL がユーザ入力モード (TMODE_GEN_SEL = 1000) の場合にのみ使用できます。これ以外の場合は無視されます。ユーザ・パターン 1 は、USR_PAT_1_MSB レジスタと USR_PAT_1_LSB レジスタに格納されます。ユーザ・パターン 2 は、USR_PAT_2_MSB レジスタと USR_PAT_2_LSB レジスタに格納されます。 連続／繰り返しパターン。各ユーザ・パターン (ユーザ・パターン 1 ～ 4) が 1 クロック・サイクルずつ出力上に現れるようにして、それを繰り返します (ユーザ・パターン 1、ユーザ・パターン 2、ユーザ・パターン 3、ユーザ・パターン 4、ユーザ・パターン 1、ユーザ・パターン 2、ユーザ・パターン 3、ユーザ・パターン 4 というように出力します)。 シングル・パターン。各ユーザ・パターン (ユーザ・パターン 1 ～ 4) が 1 クロック・サイクルずつ出力上に現れるようにし、その後はすべてゼロを出力します (ユーザ・パターン 1 ～ 4 を出力し、その後はすべてゼロを出力します)。	0x0	R/W
		6	Reserved		予備。	0x0	R
		5	Reset psuedorandom long generator	0 1	テスト・モード用ロング疑似乱数テスト・ジェネレータのリセット。 ロング疑似乱数をイネーブル。 ロング疑似乱数をリセット状態に保持。	0x0	R/W
		4	Reset psuedorandom short generator	0 1	テスト・モード用ショート疑似乱数テスト・ジェネレータのリセット。 ショート疑似乱数をイネーブル。 ショート疑似乱数をリセット状態に保持。	0x0	R/W
		[3:0]	Test mode selection	0000 0001 0010 0011 0100 0101 0110 0111 1000	テスト・モードの生成選択。 オフ (通常動作)。 ミッドスケール・ショート。 正のフル・スケール。 負のフル・スケール。 オルタネーティング・チェッカーボード。 疑似乱数シーケンス (ロング)。 疑似乱数シーケンス (ショート)。 1/0 ワード・トグル。 ユーザ・パターン・テスト・モード (TMODE_USR_PAT_SEL レジスタおよびユーザ・パターン 1 ～ 4 のレジスタとともに使用)。 1111: ランプ出力。	0x0	R/W
0x0551	User Pattern 1 LSB	[7:0]	User Pattern 1 [7:0]		ユーザ・テスト・パターン 1 LSB。	0x0	R/W
0x0552	User Pattern 1 MSB	[7:0]	User Pattern 1 [15:8]		ユーザ・テスト・パターン 1 MSB。	0x0	R/W
0x0553	User Pattern 2 LSB	[7:0]	User Pattern 2 [7:0]		ユーザ・テスト・パターン 2 LSB。	0x0	R/W
0x0554	User Pattern 2 MSB	[7:0]	User Pattern 2 [15:8]		ユーザ・テスト・パターン 2 MSB。	0x0	R/W
0x0555	User Pattern 3 LSB	[7:0]	User Pattern 3 [7:0]		ユーザ・テスト・パターン 3 LSB。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0556	User Pattern 3 MSB	[7:0]	User Pattern 3 [15:8]		ユーザ・テスト・パターン 3 MSB ₀	0x0	R/W
0x0557	User Pattern 4 LSB	[7:0]	User Pattern 4 [7:0]		ユーザ・テスト・パターン 4 LSB ₀	0x0	R/W
0x0558	User Pattern 4 MSB	[7:0]	User Pattern 4 [15:8]		ユーザ・テスト・パターン 4 MSB ₀	0x0	R/W
0x0559	Output Mode Control 1	[7:4]	Converter control Bit 1 selection	0000 0001 0010 0011 0101	ロー (1'b0) に接続。 オーバーレンジ・ビット。 信号モニタ・ビット。 高速検出 (FD) ビット。 SYSREF _± 。	0x0	R/W
		[3:0]	Converter control Bit 0 selection	0000 0001 0010 0011 0101	ロー (1'b0) に接続。 オーバーレンジ・ビット。 信号モニタ・ビット。 高速検出 (FD) ビット。 SYSREF _± 。	0x0	R/W
0x055A	Output Mode Control 2	[7:4]	Reserved		予備。	0x0	R
		[3:0]	Converter control Bit 2 selection	0000 0001 0010 0011 0101	ロー (1'b0) に接続。 オーバーレンジ・ビット。 信号モニタ・ビット。 高速検出 (FD) ビット。 SYSREF _± 。	0x1	R/W
0x0561	Output sample mode	[7:3]	Reserved		予備。	0x0	R/W
		2	Sample invert	0 1	ADC サンプル・データを反転しません。 ADC サンプル・データを反転します。	0x0	R/W
		[1:0]	Data format select	00 01	オフセット・バイナリ。 2 の補数 (デフォルト)。	0x1	R/W
0x0562	Output overrange clear	[7:0]	Data format overrange clear	0 1	オーバーレンジ・クリア・ビット (仮想コンバータ 1 個ごとに 1 ビット)。 オーバーレンジ・ビットをイネーブル。 オーバーレンジ・ビットをクリア。オーバーレンジ・クリア・ビットに 1 を書き込むと、対応するオーバーレンジ・スティッキー・ビットがクリアされます。	0x0	R/W
0x0563	Output overrange status	[7:0]	Data format overrange	0 1	オーバーレンジ・スティッキー・ビットのステータス (仮想コンバータ 1 個ごとに 1 ビット)。 オーバーレンジは発生していません。 オーバーレンジが発生しました。オーバーレンジ・クリア・ビットに 1 を書き込むと、対応するオーバーレンジ・スティッキー・ビットがクリアされます。	0x0	R
0x0564	Output channel select	[7:1]	Reserved		予備。	0x0	R
		0	Converter channel swap control	0 1	通常のチャンネル・オーダー。 チャンネル・スワップをイネーブル。チャンネル・スワップ・ビット (レジスタ 0x0564 のビット 0) をイネーブルすると、レジスタ 0x0200 で選択したアプリケーション・モードに応じて、A/B コンバータまたは I/Q コンバータをスワップします。	0x0	R/W
0x056E	PLL control	[7:4]	JESD204B lane rate control	0011 0000 0001 0101	レーン・レート = 13.5 Gbps ~ 16 Gbps。 レーン・レート = 6.75 Gbps ~ 13.5 Gbps。 レーン・レート = 3.375 Gbps ~ 6.75 Gbps。 レーン・レート = 1.6875 Gbps ~ 3.375 Gbps。	0x3	R/W
		[3:0]	Reserved		予備。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x056F	PLL status	7	PLL lock status	0	未ロック。	0x0	R
				1	ロック。		
		[6:4]	Reserved		予備。	0x0	R
		3	PLL loss of lock	1	ロック喪失スティッキー・ビット。 ある時点でロック喪失が発生したことを示します。レジスタ 0x0571 のビット 0 をセットすると解除されます。		
0x0571	JESD204B Link Control 1	7	Standby mode	0	スタンバイ・モードは、すべてのコンバータ・サンプルを強制的にゼロにします。	0x0	R/W
				1	スタンバイ・モードは、強制的にコード・グループ同期を行います (K28.5 文字)。		
		6	Tail bit (t) PN	0	ディスエーブル。	0x0	R/W
				1	イネーブル。		
		5	Long transport layer test	0	JESD204B テスト・サンプルをディスエーブル。	0x0	R/W
				1	JESD204B テスト・サンプルをイネーブル。 すべてのリンク・レーン上で、長いトランスポート層テスト・サンプル・シーケンス (JESD204B 5.1.6.3 項の仕様による) が送られます。		
		4	Lane synchronization	0	FACI による /K28.7/ の使用をディスエーブルします。	0x1	R/W
				1	FACI による /K28.3/ と /K28.7/ の使用をイネーブルします。		
		[3:2]	ILAS sequence mode	00	初期レーン・アライメント・シーケンスをディスエーブル (JESD204B 5.3.3.5 項)。	0x1	R/W
				01	初期レーン・アライメント・シーケンスをイネーブル (JESD204B 5.3.3.5 項)。		
				11	初期レーン・アライメント・シーケンスが常にテスト・モード (JESD204B データ・リンク層テスト・モード) となり、すべてのレーンにレーン・アライメント・シーケンス (JESD204B 5.3.3.8.2 項の仕様による) が繰り返し送られます。		
0x0572	JESD204B Link Control 2	1	FACI	0	フレーム・アライメント文字の挿入をイネーブル (JESD204B の 5.3.3.4 項)。	0x0	R/W
				1	フレーム・アライメント文字の挿入をディスエーブル (デバッグ専用、JESD204B の 5.3.3.4 項)。		
		0	Link control	0	JESD204B シリアル転送リンクをイネーブル。コード・グループ同期用の /K28.5/ 文字の転送は、SYNCINB $\pm$ ピンによって制御されます。	0x0	R/W
				1	JESD204B シリアル転送リンクをパワーダウン (リセットされクロック・ゲーティングされた状態に保持)。		
		[7:6]	SYNCINB $\pm$ pin control	00	ノーマル・モード。	0x0	R/W
				10	SYNCINB $\pm$ を無視 (CGS を強制)。		
				11	SYNCINB $\pm$ を無視 (ILAS/ユーザ・データを強制)。		
		5	SYNCINB $\pm$ pin invert	0	SYNCINB $\pm$ ピンを反転しない。	0x0	R/W
				1	SYNCINB $\pm$ ピンを反転。		
		4	SYNCINB $\pm$ pin type	0	LVDS 差動ペア SYNC 入力。	0x0	R/W
				1	CMOS シングルエンド SYNC 入力。		
		3	Reserved		予備。	0x0	R
		2	8-bit/10-bit bypass	0	8 ビット/10 ビットをイネーブル。	0x0	R/W
				1	8 ビット/10 ビットをバイパス (最上位 2 ビットが 0)。		
		1	8-bit/10-bit bit invert	0	ノーマル。	0x0	R/W
				1	a、b、c、d、e、f、g、h、i、j シンボルを反転。		
		0	Reserved		予備。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x0573	JESD204B Link Control 3	[7:6]	Checksum mode	00	チェックサムは、リンク構成テーブル内のすべての 8 ビット・レジスタの合計。	0x0	R/W
				01	チェックサムは、個々のリンク構成フィールドの合計 (LSB をアライン)。		
				10	チェックサムをディセーブル (ゼロに設定)。テスト専用。		
				11	使用しません。		
		[5:4]	Test injection point	0	N サンプル入力。	0x0	R/W
				1	8 ビット/10 ビット出力の 10 ビット・データ (PHY テスト用)。		
				10	スクランブラ入力の 8 ビット・データ入力。		
		[3:0]	JESD204B test mode patterns	0	通常動作 (テスト・モードをディセーブル)。	0x0	R/W
				1	オルタネーティング・チェッカーボード。		
				10	1/0 ワード・トグル。		
				11	31 ビット PN シーケンス ($x^{31} + x^{28} + 1$)。		
				100	23 ビット PN シーケンス ($x^{23} + x^{18} + 1$)。		
				101	15 ビット PN シーケンス ($x^{15} + x^{14} + 1$)。		
				110	9 ビット PN シーケンス ($x^9 + x^5 + 1$)。		
				111	7 ビット PN シーケンス ($x^7 + x^6 + 1$)。		
				1000	ランプ出力。		
				1110	連続/反復ユーザ・リセット。		
				1111	シングル・ユーザ・リセット。		
0x0574	JESD204B Link Control 4	[7:4]	ILAS delay	0	SYNCINB _± のアサート解除後の最初の LMFC で ILAS を転送。	0x0	R/W
				1	SYNCINB _± のアサート解除後の 2 番目の LMFC で ILAS を転送。		
				10	SYNCINB _± のアサート解除後の 3 番目の LMFC で ILAS を転送。		
				11	SYNCINB _± のアサート解除後の 4 番目の LMFC で ILAS を転送。		
				100	SYNCINB _± のアサート解除後の 5 番目の LMFC で ILAS を転送。		
				101	SYNCINB _± のアサート解除後の 6 番目の LMFC で ILAS を転送。		
				110	SYNCINB _± のアサート解除後の 7 番目の LMFC で ILAS を転送。		
				111	SYNCINB _± のアサート解除後の 8 番目の LMFC で ILAS を転送。		
				1000	SYNCINB _± のアサート解除後の 9 番目の LMFC で ILAS を転送。		
				1001	SYNCINB _± のアサート解除後の 10 番目の LMFC で ILAS を転送。		
				1010	SYNCINB _± のアサート解除後の 11 番目の LMFC で ILAS を転送。		
				1011	SYNCINB _± のアサート解除後の 12 番目の LMFC で ILAS を転送。		
				1100	SYNCINB _± のアサート解除後の 13 番目の LMFC で ILAS を転送。		
				1101	SYNCINB _± のアサート解除後の 14 番目の LMFC で ILAS を転送。		
				1110	SYNCINB _± のアサート解除後の 15 番目の LMFC で ILAS を転送。		
				1111	SYNCINB _± のアサート解除後の 16 番目の LMFC で ILAS を転送。		
		3	Reserved		予備。	0x0	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[2:0]	Link layer test mode	000	通常動作（リンク層テスト・モードをディスエーブル）。	0x0	R/W
				001	/D21.5/ 文字の連続シーケンス。		
				010	予備。		
				011	予備。		
				100	修正 RPAT テスト・シーケンス。		
				101	JSPAT テスト・シーケンス。		
				110	JTSPAT テスト・シーケンス。		
				111	予備。		
0x0578	JESD204B LMFC offset	[7:5]	Reserved		予備。	0x0	R
		[4:0]	LMFC phase offset value		ローカル・マルチフレーム・クロック（LMFC）の位相オフセット値。SYSREF [±] がアサートされると、LMFC 位相カウンタ値にリセットします。確定的遅延アプリケーションで使います。	0x0	R/W
0x0580	JESD204B device identification (DID) configuration	[7:0]	JESD204B Tx DID value		JESD204B シリアル DID 番号。	0x0	R/W
0x0581	JESD204B bank identification (BID) configuration	[7:4]	Reserved		予備。	0x0	R
		[3:0]	JESD204B Tx BID value		JESD204B シリアル BID 番号（DID のエクステンション）。	0x0	R/W
0x0583	JESD204B Lane Identification 0 (LID0) configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 0 LID value		レーン 0 の JESD204B シリアル LID 番号。	0x0	R/W
0x0584	JESD204B LID1 configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 1 LID value		レーン 1 の JESD204B シリアル LID 番号。	0x1	R/W
0x0585	JESD204B LID2 configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 2 LID value		レーン 2 の JESD204B シリアル LID 番号。	0x2	R/W
0x0586	JESD204B LID3 configuration	[7:5]	Reserved		予備。	0x0	R
		[4:0]	Lane 3 LID value		レーン 3 の JESD204B シリアル LID 番号。	0x3	R/W
0x058B	JESD204B scrambling and number of lanes (L) configuration	7	JESD204B scrambling (SCR)	0	JESD204B スクランプラをディスエーブル（SCR = 0）。	0x1	R/W
				1	JESD204B スクランプラをイネーブル（SCR = 1）。		
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	JESD204B lanes (L)	0x0	リンクあたり 1 レーン（L = 1）。	0x3	R/W
				0x1	リンクあたり 2 レーン（L = 2）。		
				0x3	リンクあたり 4 レーン（L = 4）。		
0x058C	JESD204B link number of octets per frames (F)	[7:0]	JESD204B F configuration	0 1 10 11 101 111 1111	JESD204B のフレームあたりオクテット数（F = JESD204B_F_CONFIG + 1） F = 1。 F = 2。 F = 3。 F = 4。 F = 6。 F = 8。 F = 16。	0x0	R/W
0x058D	JESD204B link number of frames per multiframe (K)	[7:5]	Reserved		予備。	0x0	R
		[4:0]	JESD204B K configuration		JESD204B のマルチフレームあたりフレーム数（K = JESD204B_K_CONFIG + 1）。F × K が 4 で割れる値のみ使用できます。	0x1F	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x058E	JESD204B link number of converters (M)	[7:0]	JESD204B M configuration	0	JESD204B のリンク／デバイスあたりのコンバータ数 (M = JESD204B_M_CFG)。	0x1	R/W
				1	1 個の仮想コンバータに接続されたリンク (M = 1)。		
				11	2 個の仮想コンバータに接続されたリンク (M = 2)。		
				111	4 個の仮想コンバータに接続されたリンク (M = 4)。		
				1111	8 個の仮想コンバータに接続されたリンク (M = 8)。		
0x058F	JESD204B number Of control bits (CS) and ADC resolution (N)	[7:6]	Number of control bits (CS) per sample	0	制御ビットなし (CS = 0)。	0x0	R/W
				1	1 制御ビット (CS = 1)、制御ビット 2 のみ。		
				10	2 制御ビット (CS = 2)、制御ビット 2 と制御ビット 1 のみ。		
				11	3 制御ビット (CS = 3)、全制御ビット (2、1、0)。		
		5	Reserved		予備。	0x0	R
		[4:0]	ADC converter resolution (N)	00110	N = 7 ビット分解能。	0xF	R/W
				00111	N = 8 ビット分解能。		
				01000	N = 9 ビット分解能。		
				01001	N = 10 ビット分解能。		
				01010	N = 11 ビット分解能。		
				01011	N = 12 ビット分解能。		
0x0590	JESD204B SCV NP configuration	[7:5]	Subclass support	000	サブクラス 0。	0x1	R/W
				001	サブクラス 1。		
		[4:0]	ADC number of bits per sample (N')	00111 01111	N' = 8 N' = 16	0xF	R/W
0x0591	JESD204B JV S configuration	[7:5]	Reserved		予備。	0x1	R
		[4:0]	Samples per converter frame cycle (S)		コンバータ・フレーム・サイクルあたりのサンプル数 (S = レジスタ 0x0591 のビット [4:0] + 1)。	0x0	R
0x0592	JESD204B HD CF configuration	7	HD value	0 1	高密度フォーマットをディセーブル。 高密度フォーマットをイネーブル。	0x0	R
		[6:5]	Reserved		予備。	0x0	R
		[4:0]	Control words per frame clock cycle per link (CF)		1 個のリンク内のフレーム・クロック・サイクルあたりの制御ワード数 (CF = レジスタ 0x0592 のビット [4:0])。	0x0	R
0x05A0	JESD204B Checksum 0 configuration	[7:0]	Checksum 0 value for SERDOUT0±		レーン 0 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 0 のすべてのリンク構成パラメータ) mod 256。	0xC3	R
0x05A1	JESD204B Checksum 1 configuration	[7:0]	Checksum 1 value for SERDOUT1±		レーン 1 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 1 のすべてのリンク構成パラメータ) mod 256。	0xC4	R
0x05A2	JESD204B Checksum 2 configuration	[7:0]	Checksum 2 value for SERDOUT2±		レーン 2 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 2 のすべてのリンク構成パラメータ) mod 256。	0xC5	R
0x05A3	JESD204B Checksum 3 configuration	[7:0]	Checksum 3 value for SERDOUT3±		レーン 3 のシリアル・チェックサム値。レーンごとに自動計算されます。Sum (レーン 3 のすべてのリンク構成パラメータ) mod 256。	0xC6	R

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x05B0	JESD204B lane power-down	7	Reserved		予備。	0x0	R
		6	JESD204B Lane 3 power-down		物理レーン 3 を強制的にパワーダウン。	0x0	R/W
		5	Reserved		予備。	0x0	R
		4	JESD204B Lane 2 power-down		物理レーン 2 を強制的にパワーダウン。	0x0	R/W
		3	Reserved		予備。	0x0	R
		2	JESD204B Lane 1 power-down		物理レーン 1 を強制的にパワーダウン。	0x0	R/W
		1	Reserved		予備。	0x0	R
		0	JESD204B Lane 0 power-down		物理レーン 0 を強制的にパワーダウン。	0x0	R/W
0x05B2	JESD204B Lane Assignment 1	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT0± lane assignment	0 1 10 11	物理レーン 0 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。	0x0	R/W
0x05B3	JESD204B Lane Assignment 2	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT1± lane assignment	0 1 10 11	物理レーン 1 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。	0x1	R/W
0x05B5	JESD204B Lane Assignment 3	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT2± lane assignment	0 1 10 11	物理レーン 2 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。	0x2	R/W
0x05B6	JESD204B Lane Assignment 4	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT3± lane assignment	0 1 10 11	物理レーン 3 の割り当て。 論理レーン 0。 論理レーン 1。 論理レーン 2。 論理レーン 3。	0x3	R/W
0x05BF	SERDOUTx± data invert	7	Reserved		予備。	0x0	R/W
		6	Invert SERDOUT3± data	0 1	SERDOUT3± データの反転。 ノーマル。 反転。	0x0	R/W
		5	Reserved		予備。	0x0	R/W
		4	Invert SERDOUT2± data	0 1	SERDOUT2± データの反転。 ノーマル。 反転。	0x0	R/W
		3	Reserved		予備。	0x0	R/W
		2	Invert SERDOUT1± data	0 1	SERDOUT1± データの反転。 ノーマル。 反転。	0x0	R/W
		1	Reserved		予備。	0x0	R/W
		0	Invert SERDOUT0± data	0 1	SERDOUT0± データの反転。 ノーマル。 反転。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x05C0	JESD204B Swing Adjust 1	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT0± voltage swing adjust	0 1 2	SERDOUT0± の出力振幅レベル。 1.0 × DRVDD1。 0.850 × DRVDD1。 0.750 × DRVDD1。	0x1	R/W
0x05C1	JESD204B Swing Adjust 2	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT1± voltage swing adjust	0 1 2	SERDOUT1± の出力振幅レベル。 1.0 × DRVDD1。 0.850 × DRVDD1。 0.750 × DRVDD1。	0x1	R/W
0x05C2	JESD204B Swing Adjust 3	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT2± voltage swing adjust	0 1 2	SERDOUT2± の出力振幅レベル。 1.0 × DRVDD1。 0.850 × DRVDD1。 0.750 × DRVDD1。	0x1	R/W
0x05C3	JESD204B Swing Adjust 4	[7:3]	Reserved		予備。	0x0	R
		[2:0]	SERDOUT3± voltage swing adjust	0 1 2	SERDOUT3± の出力振幅レベル。 1.0 × DRVDD1。 0.850 × DRVDD1。 0.750 × DRVDD1。	0x1	R/W
0x05C4	SERDOUT0± pre-emphasis select	7	Post tap enable	0 1	ポスト・タップ・イネーブル。 ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Set post tap level for SERDOUT0±	000 001 010 011 100	ポスト・タップ・レベルを設定します。 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	R/W
		[3:0]	Reserved		予備。	0x0	R/W
0x05C6	SERDOUT1± pre-emphasis select	7	Post tap enable	0 1	ポスト・タップ・イネーブル。 ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Set post tap level for SERDOUT1	000 001 010 011 100	ポスト・タップ・レベルを設定します。 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	R/W
		[3:0]	Reserved		予備。	0x0	R/W
0x05C8	SERDOUT2± pre-emphasis select	7	Post tap enable	0 1	ポスト・タップ・イネーブル。 ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Set post tap level for SERDOUT2	000 001 010 011 100	ポスト・タップ・レベルを設定します。 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	R/W
		[3:0]	Reserved		予備。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x05CA	SERDOUT3± pre-emphasis select	7	Post tap enable	0 1	ポスト・タップ・イネーブル。 ディスエーブル。 イネーブル。	0x0	R/W
		[6:4]	Set post tap level for SERDOUT3±	000 001 010 011 100	ポスト・タップ・レベルを設定します。 0 dB。 3 dB。 6 dB。 9 dB。 12 dB。	0x0	R/W
		[3:0]	Reserved		予備。	0x0	R/W
0x1222	JESD204B PLL calibration	[7:0]		0x00 0x04	表 33 を参照してください。 JESD204B: PLL 通常動作。 JESD204B PLL 補正をリセット。	0x00	R/W
0x1228	JESD204B PLL start-up control	[7:0]		0x00 0x4F	表 33 を参照してください。 JESD204B スタートアップ回路の通常動作。 JESD204B スタートアップ回路をリセット。	0x0F	R/W
0x1262	JESD204B PLL LOL bit control	[7:0]		0x00 0x80	表 33 を参照してください。 ロック喪失ビットの通常動作。 ロック喪失ビットをクリア。	0x00	R/W
Programmable Filter Control and Coefficients Registers							
0x0DF8	Programmable filter control	[7:3]	Reserved		予備。	0x0	R
		[2:0]	Programmable filter mode		プログラマブル・フィルタ（PFILT）モード。	0x0	R/W
				000 001	ディスエーブル（フィルタをバイパス）。 シングル・フィルタ（フィルタ X のみ）。 DOUT_I[n] = DIN_I[n] × X_I[n]。 DOUT_Q[n] = DIN_Q[n] × X_Q[n]。		
				010 100 101	シングル・フィルタ（フィルタ X とフィルタ Y 同時） DOUT_I[n] = DIN_I[n] × XY_I[n]。 DOUT_Q[n] = DIN_Q[n] × XY_Q[n]。 カスケード接続フィルタ（フィルタ X からフィルタ Y）。 DOUT_I[n] = DIN_I[n] × X_I[n] × Y_I[n]。 DOUT_Q[n] = DIN_Q[n] × X_Q[n] × Y_Q[n]。 複素フィルタ。 DOUT_I[n] = DIN_I[n] × X_I[n] + DIN_Q[n] × Y_Q[n]。 DOUT_Q[n] = DIN_Q[n] × X_Q[n] + DIN_I[n] × Y_I[n]。		
0x0DF9	PFILT gain	7	Reserved		予備。	0x0	R
		[6:4]	PFILT Y gain		プログラマブル・フィルタ（PFILT）Y のゲイン。 100 = 予約済み 101 = 予約済み 110 = −12 dB の損失。 111 = −6 dB の損失。 000: 0 dB のゲイン。 001: +6 dB のゲイン。 010: +12 dB のゲイン。 011: 予備。	0x0	R/W
				3	Reserved		

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[2:0]	PFILT X gain		プログラマブル・フィルタ (PFILT) X のゲイン。 100 = 予備。 101 = 予備。 110 = -12 dB の損失。 111 = -6 dB の損失。 000: 0 dB のゲイン。 001: +6 dB のゲイン。 010: +12 dB のゲイン。 011: 予備。	0x0	R/W
0x0E00 to 0x0E7F	Programmable Filter X Coefficient x	[7:0]	Programmable Filter X Coefficient 0 to Programmable Filter X Coefficient 127		詳細については、プログラマブル FIR (有限インパルス応答) フィルタのセクションに示す I 係数の表 (表 15) と Q 係数の表 (表 16) を参照。係数は、チップ転送ビット (レジスタ 0x000F のビット 0) がセットされた後にのみ適用されます。	0x0	R/W
0x0F00 to 0x0F7F	Programmable Filter Y Coefficient x	[7:0]	Programmable Filter Y Coefficient 0 to Programmable Filter Y Coefficient 127		詳細については、プログラマブル FIR (有限インパルス応答) フィルタのセクションに示す I 係数の表 (表 15) と Q 係数の表 (表 16) を参照。係数は、チップ転送ビット (レジスタ 0x000F のビット 0) がセットされた後にのみ適用されます。	0x0	R/W
VREF/Analog Input Control Registers							
0x0701	DC Offset Calibration Control 1 (local)	[7]	DC Offset Calibration Enable 1	0 1	ディセーブル (レジスタ 0x073B のビット 7 = 1 の場合は 0 にする必要があります)。 イネーブル (レジスタ 0x073B のビット 7 = 0 の場合は 1 にする必要があります)。	0x0	R/W
		[6:0]	Reserved	110	予備。	0x6	R
0x073B	DC Offset Calibration Control 2 (local)	[7]	DC Offset Calibration Enable 2	0 1	イネーブル (レジスタ 0x0701 のビット 7 = 1 の場合は 0 にする必要があります)。 ディセーブル (レジスタ 0x0701 のビット 7 = 0 の場合は 1 にする必要があります)。	0x1	R/W
		[6:0]	Reserved	111111	予備。	0x3F	R
0x18A6	VREF control	[7:1]	Reserved		予備。	0x0	R
		0	VREF control	0 1	内部リファレンス。 外部リファレンス。	0x0	R/W
0x18E3	External VCM buffer control	7	Reserved		予備。	0x0	R
		6	External VCM buffer	0 1	ディセーブル。 イネーブル。	0x0	R/W
		[5:0]	External VCM buffer [5:0]		入力コモンモードのセクションを参照。	0x0	R/W
0x18E6	Temperature diode export	[7:0]	Temperature diode location select	0x00 0x01 0x02 0x03 0x40 0x41 0x42 0x43	温度ダイオードのセクションを参照。 中央ダイオード。VREF ピン = 高 Z。 中 央 ダ イ オ ー ド 。 VREF ピン = 1×ダイオード電圧出力。 中 央 ダ イ オ ー ド 。 VREF ピン = 20×ダイオード電圧出力。 中央ダイオード。VREF ピン = GND。 チャネル A ダイオード。 VREF ピン = 高 Z。 チャネル A ダイオード。 VREF ピン = 1×ダイオード電圧出力。 チャネル A ダイオード。 VREF ピン = 20×ダイオード電圧出力。 チャネル A ダイオード。 VREF ピン = GND。	0x0	R/W

Address	Name	Bits	Bit Name	Settings	Description	Reset	Access
				0x50 0x51 0x52 0x53	チャンネル B ダイオード。VREF ピン = 高 Z。 チャンネル B ダイオード。 VREF ピン = 1×ダイオード電圧出力。 チャンネル B ダイオード。 VREF ピン = 20×ダイオード電圧出力。 チャンネル B ダイオード。 VREF ピン = GND。		
0x1908	Analog input control (local)	[7:3]	Reserved		予備。	0x0	R
		2	Enable dc coupling	0 1	アナログ入力を AC カップリングに最適化。 アナログ入力を DC カップリングに最適化。	0x0	R/W
		[1:0]	Reserved		予備。	0x0	R
0x1910	Input full-scale control (local)	[7:4]	Reserved		予備。	0x0	R
		[3:0]	TRM VREF 1.8 V		フルスケール電圧設定。	0xD	R/W
				0 1010 1011 1100 1101 1110 1111	2.04 Vp-p 差動。 1.36 Vp-p 差動。 1.47 Vp-p 差動。 1.59 Vp-p 差動。 1.70 Vp-p 差動。 1.81 Vp-p 差動。 1.93 Vp-p 差動。		
0x1A4C	Buffer Control 1 (local)	[7:6]	Reserved		予備。	0x0	R
		[5:0]	Buffer Control P		入力バッファ主電流 (P)。	0x1E	R/W
				00110 01000 01010 01100 01110 10000 10010 10100	バッファ電流を 120 μ A に設定。 バッファ電流を 160 μ A に設定。 バッファ電流を 200 μ A に設定。 バッファ電流を 240 μ A に設定。 バッファ電流を 280 μ A に設定。 バッファ電流を 320 μ A に設定。 バッファ電流を 360 μ A に設定。 バッファ電流を 400 μ A に設定。		
0x1A4D	Buffer Control 2 (local)	[7:6]	Reserved		予備。	0x0	R
		[5:0]	Buffer Control N		入力バッファ主電流 (N)。	0x1E	R/W
				00110 01000 01010 01100 01110 10000 10010 10100	バッファ電流を 120 μ A に設定。 バッファ電流を 160 μ A に設定。 バッファ電流を 200 μ A に設定。 バッファ電流を 240 μ A に設定。 バッファ電流を 280 μ A に設定。 バッファ電流を 320 μ A に設定。 バッファ電流を 360 μ A に設定。 バッファ電流を 400 μ A に設定。		
0x1B03	Buffer Control 3 (local)	[7:0]	Buffer Control 3		バッファ・コントロール 3。	0x00	R/W
				0x00 0x02	設定値 1。 設定値 2。		
0x1B08	Buffer Control 4 (local)	[7:0]	Buffer Control 4		バッファ・コントロール 4。	0x01	R/W
				0x01 0xC1	設定値 1。 設定値 2。		
0x1B10	Buffer Control 5 (local)	[7:0]	Buffer Control 5		バッファ・コントロール 5。	0x00	R/W
				0x00 0x1C	設定値 1。 設定値 2。		

アプリケーション情報

電源の推奨事項

AD9695 に電力を供給するために必要な電源を表 48 に示します。

表 48. AD9695 の代表的電源

Domain	Voltage (V)	Tolerance (%)
AVDD1	0.95	±2.5
AVDD1_SR	0.95	±2.5
DVDD	0.95	±2.5
DRVDD1	0.95	±2.5
AVDD2	1.8	±5
DRVDD2	1.8	±5
SPIVDD	1.8	±5
AVDD3	2.5	±2.5

高い電力効率と低ノイズ性能が求められるアプリケーションでは、[ADP5054](#) クラウド・スイッチング・レギュレータを使って、6.0 V または 12 V の範囲の入力レールを中間レール（1.3 V、2.4 V、および 3.0 V）に変換することを推奨します。これらの中間レールは、超低ノイズ、低ドロップアウト（LDO）のレギュレータ（[ADP1763](#)、[ADP7159](#)、および [ADP151](#)）により、後段で安定化されます。AD9695 の推奨電源構成を図 143 に示します。

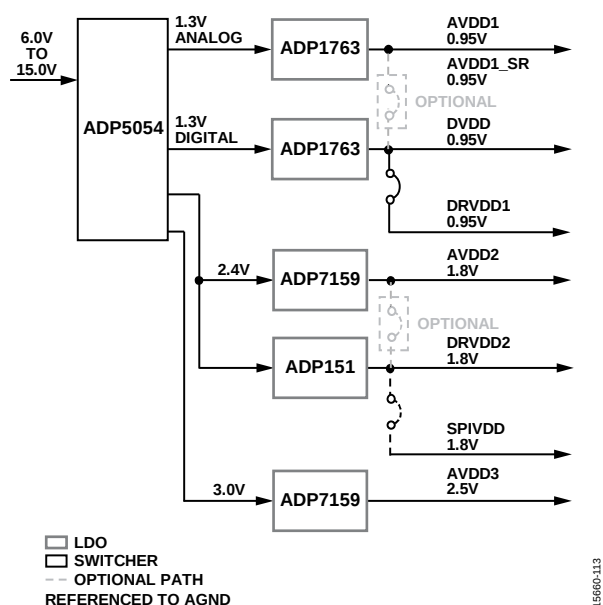


図 143. AD9695 用の高効率低ノイズ電源ソリューション

これらの電源領域のすべてを常に分割する必要はありません。図 143 に示す推奨ソリューションは、最小ノイズで最大効率の AD9695 用電源供給システムを提供するものです。使用できる 0.975 V 電源が 1 つだけの場合は、最初に AVDD1 を配線してそこから分岐させ、フェライト・ビーズまたはフィルタ・チョークで絶縁して、AVDD1_SR、DVDD、DRVDD1 の前方に、この順番でデカップリング・コンデンサを接続します。図 144 に簡略回路図を示します。他に、LDO をすべてバイパスして、DC/DC コンバータから AD9695 を直接駆動する方法もあります。ただし、この方法には、ADC の電源領域に入り込む電源ノイズが大きくなるというリスクが伴います。ノイズを最小限に抑えるには、DC/DC コンバータのレイアウトのガイドラインに従ってください。

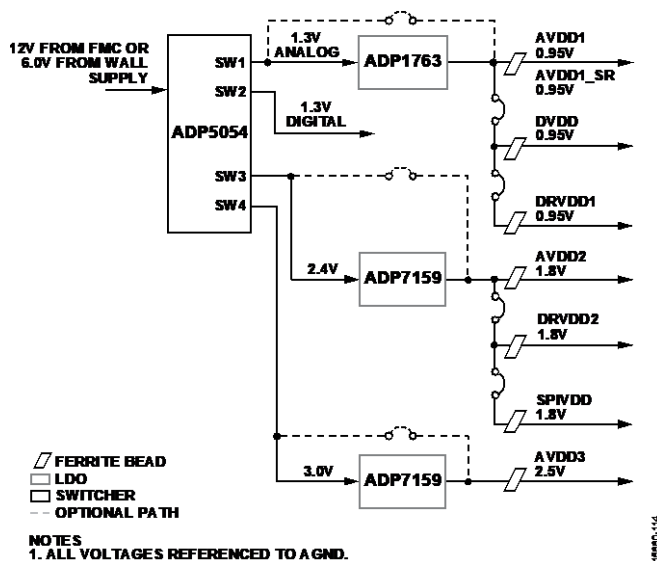


図 144. AD9695 用の簡略化した電源ソリューション

いくつかの異なるデカップリング・コンデンサを組み込むことで、低周波数域と高周波数域の両方をカバーすることができます。これらのコンデンサは、PCB への接続点とデバイスにできるだけ近い位置に配置して、トレース長を最小限に抑える必要があります。

レイアウトのガイドライン

ADC 評価用ボードは、適切なレイアウト方法に従うためのガイドとして使用することができます。評価用ボードのレイアウトは、以下を実現できるようにセットアップされています。

- アナログ入力同士（チャンネル A からチャンネル B、およびチャンネル B からチャンネル A）のカップリングを最小限に抑える。
- アナログ入力へのクロック・カップリングを最小限に抑える。
- クロス・カップリングを減らしながら、さまざまな電源領域に十分な電力とグラウンド・プレーンを確保する。
- ADC に十分な熱対策を施す。

AD9695 評価用ボードのレイアウト全体を図 145 に示します。

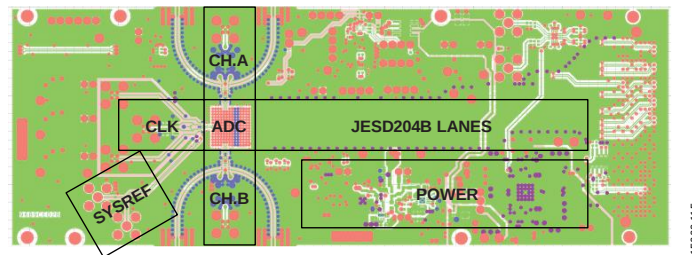
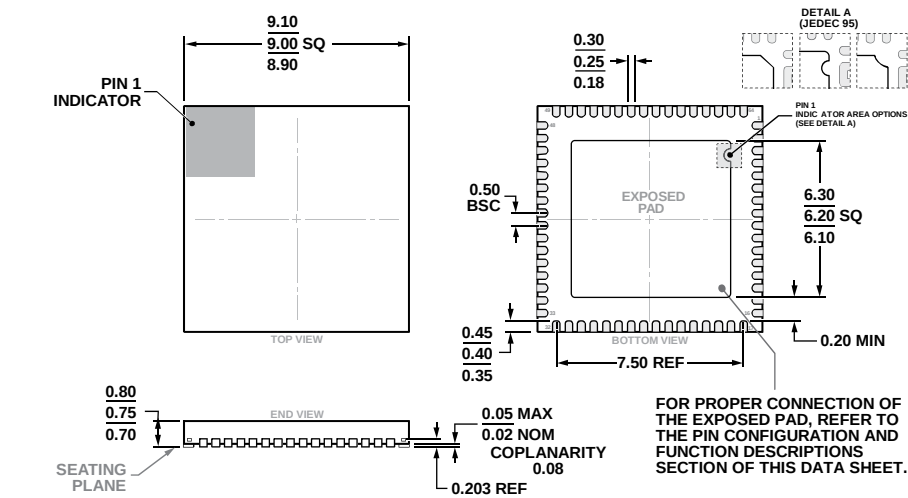


図 145. AD9695 の推奨 PCB レイアウト

AVDD1_SR（ピン 57）と AGND_SR（ピン 56 とピン 60）

AVDD1_SR（ピン 57）と AGND_SR（ピン 56 とピン 60）を使用して、AD9695 の SYSREF $\pm$ 回路に個別の電源ノードを提供することができます。サブクラス 1 で使用する場合、AD9695 は周期的なワンショット信号またはギャップ信号に対応することができます。この電源から AVDD1 電源ノードへのカップリングを最小限に抑えるには、適切な電源バイパスが必要です。

外形寸法



オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9695BCPZ-625	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-17
AD9695BCPZRL7-625	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-17
AD9695-625EBZ		Evaluation Board	
AD9695BCPZ-1300	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-17
AD9695BCPZRL7-1300	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP]	CP-64-17
AD9695-1300EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。