

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2020 年 9 月 29 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2020 年 9 月 29 日

製品名：AD9912

対象となるデータシートのリビジョン(Rev)：Rev.F

訂正箇所：

18 ページ、左の段

【誤】

・・・アキュムレータは5秒毎にインクリメントされ・・・

【正】

・・・アキュムレータは5クロック毎にインクリメントされ・・・



1GSPS ダイレクト・デジタル・ シンセサイザ 14 ビット DAC 内蔵

データシート

AD9912

特長

1GSPS の内部クロック速度
(最大 400MHz をダイレクトに出力)
1GSPS の 14 ビット DAC 内蔵
48 ビットの周波数同調ワード (4μHz 分解能)
差動 HSTL コンパレータ
柔軟なシステム・クロック入力: 水晶振動子または
外部リファレンス・クロックに対応
低ノイズの PLL REFCLK 通倍器を内蔵
2つの SpurKiller チャンネル
最大 750MHz の周波数用の低ジッタ・クロック・ダブラ
シングルエンド CMOS コンパレータ (周波数 < 150MHz)
CMOS 出力用のプログラマブル出力分周器
シリアル I/O 制御
優れた動的性能
ソフトウェア制御によるパワーダウン
2通りの 64 ピン LFCSP パッケージを採用
250MHz での残留位相ノイズ
10Hz オフセット: -113dBc/Hz
1kHz オフセット: -133dBc/Hz
100kHz オフセット: -153dBc/Hz
40MHz オフセット: -161dBc/Hz

アプリケーション

局部発振器 (LO) の周波数アジャイル合成
低ジッタ、微調整クロック生成
試験装置および計測装置
ワイヤレス基地局およびコントローラ
安全な通信
高速周波数ホッピング

概要

AD9912 は、14 ビット D/A コンバータ (DAC) を内蔵したダイレクト・デジタル・シンセサイザ (DDS) です。このデバイスでは 48 ビット周波数同調ワード (FTW) を使って、4μHz のステップ・サイズで周波数を合成できます。絶対周波数精度は、DAC システム・クロックを調整することで実現できます。

AD9912 は、25MHz のシステム・クロック入力に対応したシステム・クロック・フェーズ・ロック・ループ (PLL) も内蔵しています。

AD9912 は、-40°C ~ +85°C の工業用温度範囲で動作します。

基本的なブロック図

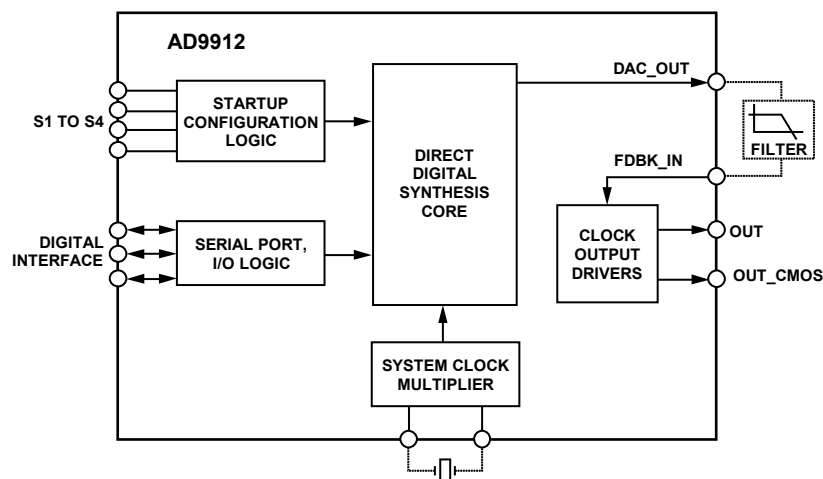


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. F

©2007-2010 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪 営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	パワーアップ時のデフォルトの出力周波数.....	25
アプリケーション.....	1	電源のパーティショニング.....	26
概要	1	3.3V 電源.....	26
基本的なブロック図	1	1.8V 電源.....	26
改訂履歴	3	シリアル制御ポート	27
仕様	4	シリアル制御ポート・ピンの説明	27
DC 仕様.....	4	シリアル制御ポートの動作.....	27
AC 仕様.....	6	命令ワード (16 ビット)	28
絶対最大定格.....	8	MSB ファースト/LSB ファーストの転送.....	28
熱抵抗	8	I/O レジスタ・マップ	31
ESD に関する注意.....	8	I/O レジスタの説明	33
ピン配置およびピン機能の説明.....	9	シリアル・ポート設定 (レジスタ 0x0000 およびレジスタ 0x0005)	33
代表的な性能特性.....	11	パワーダウンおよびリセット (レジスタ 0x0010~0x0013)	33
推奨される入出力の終端処理.....	16	システム・クロック (レジスタ 0x0020~0x0022)	34
動作原理	17	CMOS 出力分周器 (S 分周器) (レジスタ 0x0100~0x0106)	35
概要.....	17	周波数同調ワード (レジスタ 0x01A0~0x01AD)	35
ダイレクト・デジタル・シンセサイザ (DDS)	17	ダブラおよび出力ドライバ (レジスタ 0x0200~0x0201) ...	37
D/A コンバータ (DAC) 出力	18	キャリブレーション (ユーザ設定可能なトリム) (レジスタ 0x0400~0x0410)	37
再構成フィルタ.....	18	高調波スプリアス低減 (レジスタ 0x0500~0x0509)	37
FDBK_IN 入力.....	19	外形寸法.....	39
SYSCLK 入力.....	20	オーダー・ガイド.....	39
出力クロック・ドライバ、2×周波数通倍器	22		
高調波スプリアスの低減	22		
熱性能	24		
パワーアップ.....	25		
パワーオン・リセット	25		

改訂履歴

6/10—Rev. E to Rev. F

Changed Default Value of Register 0x003 to 0x19 (Table 12).....31

5/10—Rev. D to Rev. E

Deleted 64-Lead LFCSP (CP-64-1)..... Universal

Changes to SYSCLK PLL Enabled/ Maximum Input Rate of System

Clock PFD, Table 26

Updated Outline Dimensions.....39

Changes to Ordering Guide39

11/09—Rev. C to Rev. D

Added 64-Lead LFCSP (CP-64-7)..... Universal

Changes to Serial Port Timing Specifications and

Propagation Delay Parameters.....6

Added Exposed Paddle Notation to Figure 28

Changes to Power Supply Partitioning Section25

Change to Serial Control Port Section26

Changes to Figure 52.....28

Added Exposed Paddle Notation to Outline Dimensions38

Changes to Ordering Guide39

7/09—Rev. B to Rev. C

Changes to Logic Outputs Parameter, Table 1 3

Changes to AVDD (Pin 25, Pin 26, Pin 29, and Pin 30)..... 25

6/09—Rev. A to Rev. B

Changes to Figure 40 and Direct Digital Synthesizer Section..... 17

Changes to Figure 48 22

Changes to Table 11..... 30

Changes to Table 22 and Table 23..... 34

1/08—Rev. 0 to Rev. A

Changes to Table 1 3

Changes to Table 2 5

Changes to Table 4 8

Changes to Typical Performance Characteristics..... 10

Changes to Functional Description Section..... 19

Changes to Single-Ended CMOS Output Section..... 21

Changes to Harmonic Spur Reduction Section..... 21

Changes to Power Supply Partitioning Section 25

10/07—Revision 0: Initial Version

仕様

DC 仕様

特に指定のない限り、AVDD = 1.8V $\pm$ 5%、AVDD3 = 3.3V $\pm$ 5%、DVDD = 1.8V $\pm$ 5%、DVDD_I/O = 3.3V $\pm$ 5%、AVSS = 0V、DVSS = 0V。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
SUPPLY VOLTAGE					
DVDD_I/O (Pin 1)	3.135	3.30	3.465	V	ピン 37 は通常 3.3V ですが、1.8V にも設定できます
DVDD (Pin 3, Pin 5, Pin 7)	1.71	1.80	1.89	V	
AVDD3 (Pin 14, Pin 46, Pin 47, Pin 49)	3.135	3.30	3.465	V	
AVDD3 (Pin 37)	1.71	3.30	3.465	V	
AVDD (Pin 11, Pin 19, Pin 23 to Pin 26, Pin 29, Pin 30, Pin 36, Pin 42, Pin 44, Pin 45, Pin 53)	1.71	1.80	1.89	V	
SUPPLY CURRENT					
I _{AVDD3} (Pin 37)		8	9.6	mA	総消費電力の仕様も参照 3.3V、50MHz の CMOS 出力ドライバ、5pF の負荷
I _{AVDD3} (Pin 46, Pin 47, Pin 49)		26	31	mA	DAC 出力電流ソース、f _s = 1GSPS
I _{AVDD} (Pin 11, Pin 19, Pin 23 to Pin 26, Pin 29, Pin 30, Pin 36, Pin 42, Pin 44, Pin 45)		113	136	mA	集合アナログ電源（システム・クロック PLL、HSTL 出力ドライバ、S 分周器はイネーブル）
I _{AVDD} (Pin 53)		40	48	mA	DAC 電源
I _{DVDD} (Pin 3, Pin 5, Pin 7)		205	246	mA	デジタル・コア（SpurKiller オフ）
I _{DVDD_I/O} (Pin 1, Pin 140F ¹)		2	3	mA	デジタル I/O（動的に変動）
LOGIC INPUTS (Except Pin 32)					
Input High Voltage (V _{IH})	2.0		DVDD_I/O	V	ピン 9、ピン 10、ピン 54、ピン 55、ピン 58 ~ ピン 61、ピン 63、ピン 64
Input Low Voltage (V _{IL})	DVSS		0.8	V	
Input Current (I _{INH} , I _{INL})		±60	±200	μA	V _{IN} = 0V および V _{IN} = DVDD_I/O
Maximum Input Capacitance (C _{IN})		3		pF	
CLKMODESEL (Pin 32) LOGIC INPUT					
Input High Voltage (V _{IH})	1.4		AVDD	V	ピン 32 のみ
Input Low Voltage (V _{IL})	AVSS		0.4	V	
Input Current (I _{INH} , I _{INL})		-18	-50	μA	V _{IN} = 0V および V _{IN} = AVDD
Maximum Input Capacitance (C _{IN})		3		pF	
LOGIC OUTPUTS					
Output High Voltage (V _{OH})	2.7		DVDD_I/O	V	ピン 62 および次の双方向ピン：ピン 9、ピン 10、ピン 54、ピン 55、ピン 63 I _{OH} = 1mA I _{OL} = 1mA
Output Low Voltage (V _{OL})	DVSS		0.4	V	
FDBK_IN INPUT					
Input Capacitance		3		pF	ピン 40、ピン 41 差動 ピンごとに 112.5mV の振幅に相当。AC 結合が必要。
Input Resistance	18	22	26	kΩ	
Differential Input Voltage Swing	225			mV p-p	

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
SYSTEM CLOCK INPUT					システム・クロック入力には必ず AC 結合する必要があります (シングルエンド、差動共)
SYSCLK PLL Bypassed					
Input Capacitance		1.5		pF	シングルエンド、各ピン
Input Resistance	2.4	2.6	2.9	k Ω	差動
Internally Generated DC Bias Voltage ²	0.93	1.17	1.38	V	
Differential Input Voltage Swing	632			mV p-p	ピンごとに 316mV の振幅に相当
SYSCLK PLL Enabled					
Input Capacitance		3		pF	シングルエンド、各ピン
Input Resistance	2.4	2.6	2.9	k Ω	差動
Internally Generated DC Bias Voltage ²	0.93	1.17	1.38	V	
Differential Input Voltage Swing	632			mV p-p	ピンごとに 316mV の振幅に相当
Crystal Resonator with SYSCLK PLL Enabled					
Motional Resistance		9	100	Ω	25MHz、3.2mm × 2.5mm、AT カット
CLOCK OUTPUT DRIVERS					
HSTL Output Driver					
Differential Output Voltage Swing	1080	1280	1480	mV	静的出力ドライバ、出力振幅と周波数の関係については図 27 を参照
Common-Mode Output Voltage ²	0.7	0.88	1.06	V	
CMOS Output Driver					静的出力ドライバ、出力振幅と周波数の関係については図 28 および図 29 を参照
Output Voltage High (V_{OH})	2.7			V	$I_{OH} = 1\text{mA}$ 、ピン 37 = 3.3V
Output Voltage Low (V_{OL})			0.4	V	$I_{OL} = 1\text{mA}$ 、ピン 37 = 3.3V
Output Voltage High (V_{OH})	1.4			V	$I_{OH} = 1\text{mA}$ 、ピン 37 = 1.8V
Output Voltage Low (V_{OL})			0.4	V	$I_{OL} = 1\text{mA}$ 、ピン 37 = 1.8V
TOTAL POWER DISSIPATION					
DDS Only		637	765	mW	電源投入時のデフォルト、ただし、SYSCLK PLL はバイパスし CMOS ドライバはオフ、SYSCLK = 1GHz、HSTL ドライバ・オフ、スプリアス除去オフ、 $f_{OUT} = 200\text{MHz}$
DDS with Spur Reduction On		686	823	mW	「DDS only」の場合と同じ、ただし、スプリアス除去チャンネルは両方ともオン
DDS with HSTL Driver Enabled		657	788	mW	「DDS only」の場合と同じ、ただし、HSTL ドライバはイネーブル
DDS with CMOS Driver Enabled		729	875	mW	「DDS only」の場合と同じ、ただし、CMOS ドライバおよび S 分周器はイネーブルで 3.3V、CMOS の $f_{OUT} = 50\text{MHz}$ (S 分周器 = 4)
DDS with HSTL and CMOS Drivers Enabled		747	897	mW	「DDS only」の場合と同じ、ただし、HSTL ドライバと CMOS ドライバは共にイネーブル、S 分周器はイネーブルで 4 に設定、CMOS の $f_{OUT} = 50\text{MHz}$
DDS with SYSCLK PLL Enabled		648	777	mW	「DDS only」の場合と同じ、ただし、SYCLK 入力 25MHz、PLL 逡倍器 = 40
Power-Down Mode		13	16	mW	パワーダウンおよびイネーブル・レジスタまたは PWRDOWN ピンのいずれかを使用

¹ ピン 14 は AVDD3 グループに属しますが、ピン 1 に接続することを推奨します。

² AVSS = 0V。

AC 仕様

特に指定のない限り、 $f_s = 1\text{GHz}$ 、DAC $R_{SET} = 10\text{k}\Omega$ 電源ピンは **DC 仕様** のセクションで指定された範囲。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
FDBK_IN INPUT					ピン 40、ピン 41
Input Frequency Range	10		400	MHz	
Minimum Differential Input Level	225			mV p-p	50Ω に -12dBm の入力、AC 結合が必要
	40			V/μs	
SYSTEM CLOCK INPUT					ピン 27、ピン 28
SYSCLK PLL Bypassed					
Input Frequency Range	250		1000	MHz	最大 f_{OUT} は $0.4 \times f_{SYSCLK}$
Duty Cycle	45		55	%	
Minimum Differential Input Level	632			mV p-p	ピンごとに 316mV の振幅に相当
SYSCLK PLL Enabled					
VCO Frequency Range, Low Band	700		810	MHz	範囲内の場合、低 VCO バンドのみを使用
VCO Frequency Range, Auto Band	810		900	MHz	範囲内の場合、VCO 自動バンド選択を使用
VCO Frequency Range, High Band	900		1000	MHz	範囲内の場合、高 VCO バンドのみを使用
Maximum Input Rate of System Clock PFD			200	MHz	
Without SYSCLK PLL Doubler					
Input Frequency Range	11		200	MHz	
Multiplication Range	4		66		2 の倍数、最大 PFD レートとシステム・クロック周波数は一致していることが必要
Minimum Differential Input Level	632			mV p-p	ピンごとに 316mV の振幅に相当
With SYSCLK PLL Doubler					
Input Frequency Range	6		100	MHz	
Multiplication Range	8		132		8 の倍数
Input Duty Cycle		50		%	50% のデューティ・サイクルから逸脱した場合、スプリアス性能に悪い影響が及ぶ可能性があります
Minimum Differential Input Level	632			mV p-p	ピンごとに 316mV の振幅に相当
Crystal Resonator with SYSCLK PLL Enabled					
Crystal Resonator Frequency Range	10		50	MHz	AT カット、基本モード共振器
Maximum Crystal Motional Resistance			100	Ω	推奨値については SYSCLK 入力 のセクションを参照してください
CLOCK DRIVERS					
HSTL Output Driver					
Frequency Range	20		725	MHz	最大トグル・レートについては図 27 を参照してください
Duty Cycle	48		52	%	
Rise Time/Fall Time (20% to 80%)		115	165	ps	OUT/OUTB の両端を 100Ω 終端、2pF の負荷
Jitter (12 kHz to 20 MHz)		1.5		ps	$f_{OUT} = 155.52\text{MHz}$ 、50MHz のシステム・クロック入力 (試験条件については図 12～図 14 を参照)
HSTL Output Driver with 2× Multiplier					
Frequency Range	400		725	MHz	
Duty Cycle	45		55	%	
Rise Time/Fall Time (20% to 80%)		115	165	ps	OUT/OUTB の両端を 100Ω 終端、2pF の負荷
Subharmonic Spur Level		-35		dBc	補正なし
Jitter (12 kHz to 20 MHz)		1.6		ps	$f_{OUT} = 622.08\text{MHz}$ 、50MHz のシステム・クロック入力 (試験条件については図 15 を参照)
CMOS Output Driver (AVDD3/Pin 37) @ 3.3 V					
Frequency Range	0.008		150	MHz	最大トグル・レートについては図 29 を参照、FDBK_IN の最小周波数が 10MHz のため、S 分周器は低周波数で使用する必要があります
Duty Cycle	45	55	65	%	20pF 負荷、最大 150MHz
Rise Time/Fall Time (20% to 80%)		3	4.6	ns	20pF 負荷

パラメータ	Min	Typ	Max	単位	テスト条件／コメント
CMOS Output Driver (AVDD3/Pin 37) @ 1.8 V					
Frequency Range	0.008		40	MHz	最大トグル・レートについては図 28 を参照してください
Duty Cycle	45	55	65	%	20pF 負荷、最大 40MHz
Rise Time/Fall Time (20% to 80%)		5	6.8	ns	20pF 負荷
DAC OUTPUT CHARACTERISTICS					
DCO Frequency Range (1 st Nyquist Zone)	0		450	MHz	DAC の下限は 0Hz です。ただし、CMOS 出力または HSTL 出力を使用する場合は、FDBK_IN の最小スルー・レートによって下限が決まります
Output Resistance		50		Ω	シングルエンド（各ピンは内部で AVSS に終端）
Output Capacitance		5		pF	
Full-Scale Output Current		20	31.7	mA	範囲は DAC の R _{SET} 抵抗に依存します
Gain Error	-10		+10	% FS	
Output Offset			0.6	μA	
Voltage Compliance Range	AVSS - 0.50	+0.5	AVSS + 0.50	V	出力はセンター・タップを接地したトランスに接続
Wideband SFDR					代表的な性能特性のセクションを参照してください
20.1 MHz Output		-79		dBc	0MHz~500MHz
98.6 MHz Output		-67		dBc	0MHz~500MHz
201.1 MHz Output		-61		dBc	0MHz~500MHz
398.7 MHz Output		-59		dBc	0MHz~500MHz
Narrow-Band SFDR					代表的な性能特性のセクションを参照してください
20.1 MHz Output		-95		dBc	±250kHz
98.6 MHz Output		-96		dBc	±250kHz
201.1 MHz Output		-91		dBc	±250kHz
398.7 MHz Output		-86		dBc	±250kHz
DIGITAL TIMING SPECIFICATIONS					
Time Required to Enter Power-Down		15		μs	
Time Required to Leave Power-Down		18		μs	
Reset Assert to High-Z Time for S1 to S4 Configuration Pins		60		ns	RESET の立上がりエッジから S1、S2、S3、S4 の各設定ピンが高インピーダンスになるまでの時間
SERIAL PORT TIMING SPECIFICATIONS					
SCLK Clock Rate (1/t _{CLK})		25	50	MHz	書き込み関連の全シリアル・ポート・パラメータについては図 56 を参照、リードバックの最大 SCLK レートは t _{bv} によって決まります
SCLK Pulse Width High, t _{HIGH}	8			ns	
SCLK Pulse Width Low, t _{LOW}	8			ns	
SDO/SDIO to SCLK Setup Time, t _{DS}	1.93			ns	
SDO/SDIO to SCLK Hold Time, t _{DH}	1.9			ns	
SCLK Falling Edge to Valid Data on SDIO/SDO, t _{bv}			11	ns	図 54 を参照
CSB to SCLK Setup Time, t _s	1.34			ns	
CSB to SCLK Hold Time, t _h	-0.4			ns	
CSB Minimum Pulse Width High, t _{PWH}	3			ns	
IO_UPDATE Pin Setup Time (from SCLK Rising Edge of the Final Bit)	t _{CLK}			sec	t _{CLK} = SCLK の周期 (Hz)
IO_UPDATE Pin Hold Time	t _{CLK}			sec	t _{CLK} = SCLK の周期 (Hz)
PROPAGATION DELAY					
FDBK_IN to HSTL Output Driver		2.8		ns	
FDBK_IN to HSTL Output Driver with 2× Frequency Multiplier Enabled		7.3		ns	
FDBK_IN to CMOS Output Driver		8.0		ns	S 分周器をバイパス
FDBK_IN Through S-Divider to CMOS Output Driver		8.6		ns	
Frequency Tuning Word Update: IO_UPDATE Pin Rising Edge to DAC Output		60/f _s		ns	f _s = システム・クロック周期 (GHz)

絶対最大定格

表 3.

Parameter	Rating
Analog Supply Voltage (AVDD)	2 V
Digital Supply Voltage (DVDD)	2 V
Digital I/O Supply Voltage (DVDD_I/O)	3.6 V
DAC Supply Voltage (AVDD3 Pins)	3.6 V
Maximum Digital Input Voltage	−0.5 V to DVDD_I/O + 0.5 V
Storage Temperature	−65°C to +150°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 4. 熱抵抗

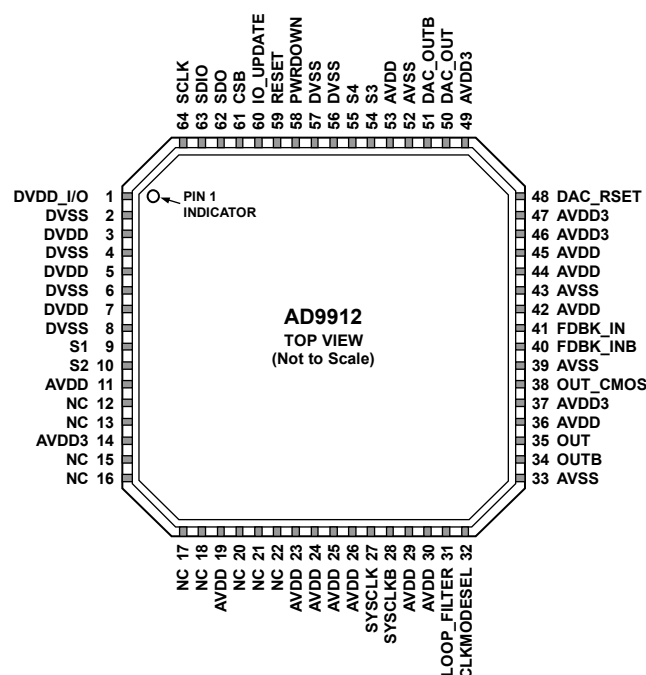
Package Type	θ_{JA}	θ_{JB}	θ_{JC}	Unit
64-Lead LFCSP	25.2	13.9	1.7	°C/W typical

仕様規定された熱性能を実現するには、パッケージ底面にある露出パッドをグラウンドにハンダ付けする必要があります。詳細については、[代表的な性能特性](#)のセクションを参照してください。

ESD に関する注意

	ESD（静電放電）の影響を受けやすいデバイスです。
	電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. NC = NO CONNECT.

2. THE EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

06763-002

図 2. ピン配置

表 5. ピン機能の説明

ピン番号	入出力	ピン・タイプ	記号	説明
1	I	Power	DVDD_I/O	I/O デジタル電源。
2, 4, 6, 8	I	Power	DVSS	デジタル・グラウンド。グラウンドに接続します。
3, 5, 7	I	Power	DVDD	デジタル電源。
9, 10, 54, 55	I/O	3.3 V CMOS	S1, S2, S3, S4	スタートアップ設定ピン。これらのピン設定はプログラムで制御します。プルアップ/プルダウン抵抗は内蔵していません。
11, 19, 23 to 26, 29, 30, 36, 42, 44, 45, 53	I	Power	AVDD	アナログ電源。公称 1.8V の電源に接続します。
12, 13, 15, 16, 17, 18, 20, 21, 22			NC	接続なし。これらの未使用のピンは未接続のままにしておくことができます。
14, 46, 47, 49	I	Power	AVDD3	アナログ電源。公称 3.3V の電源に接続します。
27	I	Differential input	SYSCLK	システム・クロック入力。これらの入力は内部的に DC バイアスされます。水晶振動子を使用するとき以外は必ず AC 結合を使用してください。シングルエンド 1.8V CMOS も使用できますが、入力デューティ・サイクルが 50% ではないとスプリアスが発生することがあります。水晶振動子を使うときは、CLKMODESEL ピンを AVSS に接続し、水晶振動子をこのピンとピン 28 に直接接続します。
28	I	Differential input	SYSCLKB	相補システム・クロック。ピン 27 に出力される入力への相補信号。ピン 27 の信号がシングルエンドの場合は、このピンとグラウンド間に 0.01μF コンデンサを使用します。
31	O		LOOP_FILTER	システム・クロック通倍器ループ・フィルタ。システム・クロックの駆動に周波数通倍器を使用する場合は、外部ループ・フィルタを構成して、このピンに外部フィルタを取り付ける必要があります。システム・クロック PLL をバイパスするときは、このピンを 1kΩ の抵抗でグラウンドにプルダウンします。システム・クロック PLL ループ・フィルタの回路図は、図 46 を参照してください。

ピン番号	入出力	ピン・タイプ	記号	説明
32	I	1.8 V CMOS	CLKMODESEL	クロック・モードの選択。水晶振動子をシステム・クロック入力（ピン 27 とピン 28）に接続するときは、GND に設定します。発振器または外部のクロック源を使用するときは、1.8V にプルアップします。このピンは、システム・クロック PLL をバイパスするときに未接続のままにしておくことができます。（このピンの使用方法の詳細については、 SYSCLK 入力 のセクションを参照してください。）
33, 39, 43, 52	O	GND	AVSS	アナログ・グラウンド。グラウンドに接続します。
34	O	1.8 V HSTL	OUTB	相補 HSTL 出力。詳細は、 仕様のセクションと一次 1.8V 差動 HSTL ドライバ のセクションを参照してください。
35	O	1.8 V HSTL	OUT	HSTL 出力。詳細は、 仕様のセクションと一次 1.8V 差動 HSTL ドライバ のセクションを参照してください。
37	I	Power	AVDD3	CMOS 出力ドライバ用アナログ電源。このピンは通常 3.3V ですが、1.8V にすることもできます。CMOS ドライバを使用していない場合でも、このピンを駆動する必要があります。電源のパーティショニングについては、 電源のパーティショニング のセクションを参照してください。
38	O	3.3 V CMOS	OUT_CMOS	CMOS 出力。 仕様のセクションと出力クロック・ドライバ、2×周波数通倍器 のセクションを参照してください。ピン 37 を 1.8V に設定している場合、このピンは 1.8V CMOS となります。
40	I	Differential input	FDBK_INB	相補フィードバック入力。HSTL 出力と CMOS 出力を使用するとき、このピンはフィルタ処理される DAC_OUTB 出力に接続します。通常、この内部バイアス入力は AC カップリングされます。この構成では、400mV 以上のシングルエンド振幅を持つあらゆる差動信号を使用できます。
41	I	Differential input	FDBK_IN	フィードバック入力。標準動作モードでは、このピンはフィルタ処理した DAC_OUT 出力に接続します。
48	O	Current set resistor	DAC_RSET	DAC 出力電流設定抵抗。このピンと GND の間に抵抗（通常 10k Ω ）を接続します。 D/A コンバータ（DAC）出力 のセクションを参照してください。
50	O	Differential output	DAC_OUT	DAC 出力。この信号はフィルタ処理された後に FDBK_IN 経由でチップに帰還されます。このピンは 50 Ω のプルダウン抵抗を内蔵しています。
51	O	Differential output	DAC_OUTB	相補 DAC 出力。この信号はフィルタ処理された後に FDBK_INB 経由でチップに帰還されます。このピンは 50 Ω のプルダウン抵抗を内蔵しています。
56, 57		Power	DVSS	デジタル・グラウンド。グラウンドに接続します。
58	I	3.3 V CMOS	PWRDOWN	パワーダウン。このアクティブ・ハイのピンがアサートされると、デバイスは非アクティブになってフル・パワーダウン状態になります。このピンは 50k Ω のプルダウン抵抗を内蔵しています。
59	I	3.3 V CMOS	RESET	チップ・リセット。このアクティブ・ハイ・ピンがアサートされると、チップはリセットされます。パワーアップ時には、電源がスレッシュホールドに達して安定すると、10 μ s のリセット・パルスが内部的に生成されます。未使用のときは、このピンを 10k Ω の抵抗でグラウンド電位に接続します。
60	I	3.3 V CMOS	IO_UPDATE	I/O 更新。このピンがロジック 0 から 1 に遷移すると、I/O ポート・レジスタのデータが制御レジスタに転送されます（ 書込み のセクションを参照）。このピンは 50k Ω のプルダウン抵抗を内蔵しています。
61	I	3.3 V CMOS	CSB	チップ・セレクト。アクティブ・ロー。デバイスをプログラムするときは、このピンをローに保つ必要があります。複数の AD9912 を使用するシステムでは、このピンを使用することで、それぞれの AD9912 を個別にプログラムすることができます。このピンには 100k Ω のプルアップ抵抗が内蔵されています。
62	O	3.3 V CMOS	SDO	シリアル・データ出力。デバイスが 3 線モードになっているときは、このピンを介してデータが読み出されます。このピンには、内部プルアップ／プルダウン抵抗が接続されていません。
63	I/O	3.3 V CMOS	SDIO	シリアル・データ入力／出力。デバイスが 3 線モードになっているときは、このピンを介してデータが書き込まれます。2 線モードの場合、データの読出しと書込みが共にこのピンで行われます。このピンには、内部プルアップ／プルダウン抵抗が接続されていません。
64	I	3.3 V CMOS	SCLK	シリアル・プログラミング・クロック。シリアル・プログラミング用のデータ・クロック。このピンは 50k Ω のプルダウン抵抗を内蔵しています。
Exposed Die Pad	O	GND	EPAD	アナログ・グラウンド。パッケージ底面の露出ダイ・パッドはデバイスのアナログ・グラウンドとして機能します。最適動作のためには、この露出パッドをグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、公称電源電圧の AVDD、AVDD3、および DVDD、DAC $R_{SET} = 10k\Omega$ 。これらのプロットの生成に使用される 1GHz のリファレンス位相ノイズについては、[図 26](#) を参照してください。

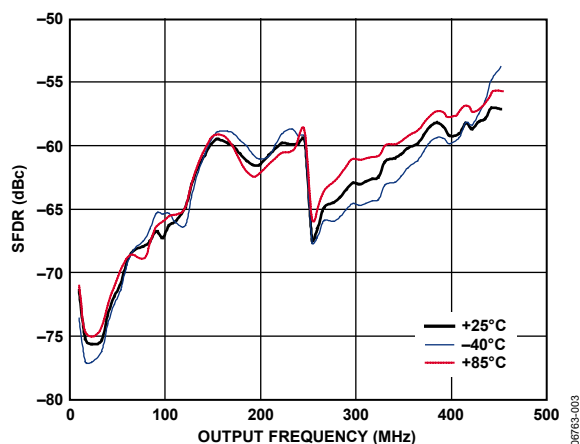


図 3. ワイドバンド SFDR の出力周波数特性、 -40°C 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$ 、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

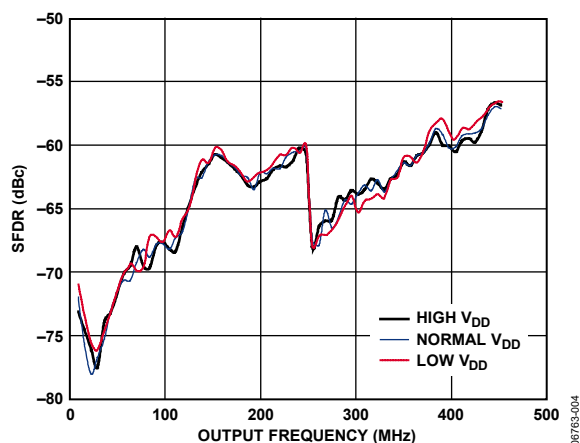


図 4. ワイドバンド SFDR の周波数特性、DAC 電源電圧、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

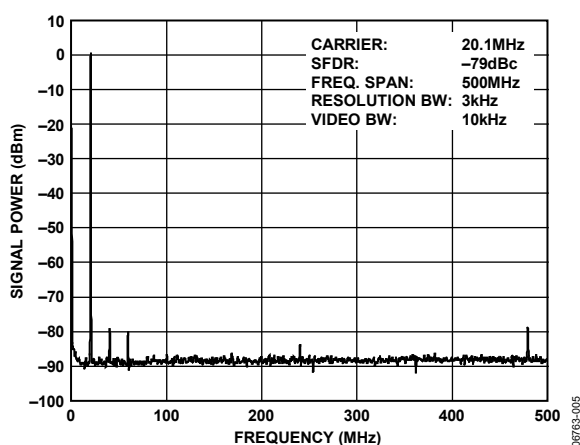


図 5. ワイドバンド SFDR、20.1MHz、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

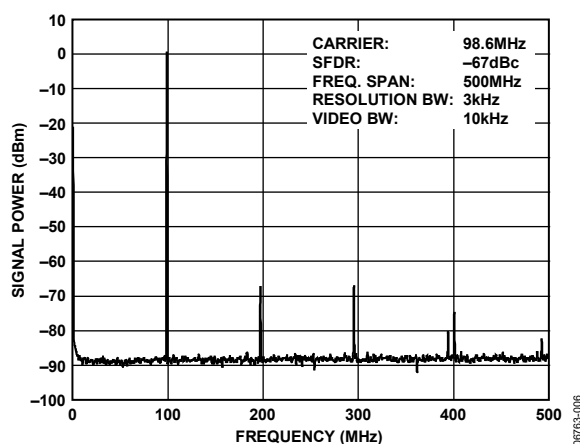


図 6. ワイドバンド SFDR、98.6MHz、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

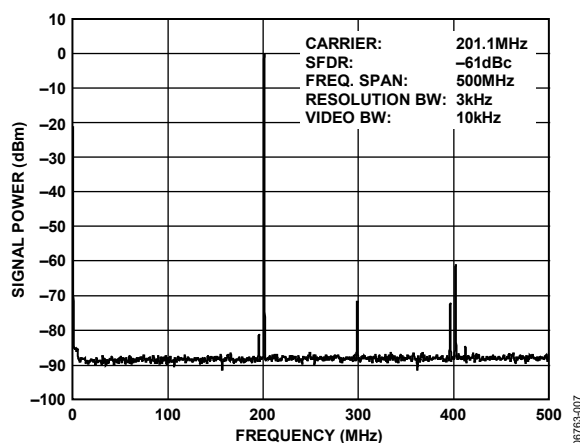


図 7. ワイドバンド SFDR、201.1MHz、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

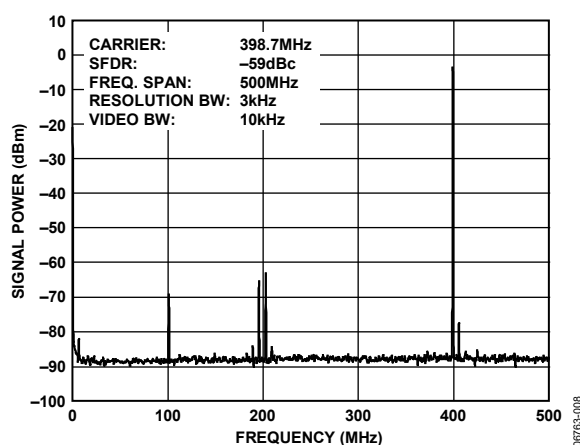


図 8. ワイドバンド SFDR、398.7MHz、SYSCLK = 1GHz (SYSCLK PLL をバイパス)

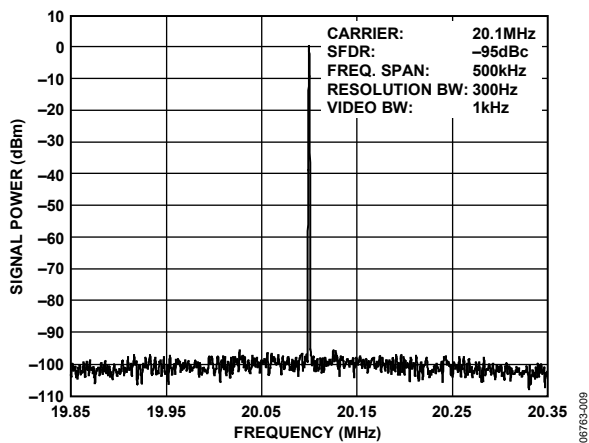


図 9. ナローバンド SFDR、20.1MHz、SYSCLK = 1GHz
(SYSCLK PLL をバイパス)

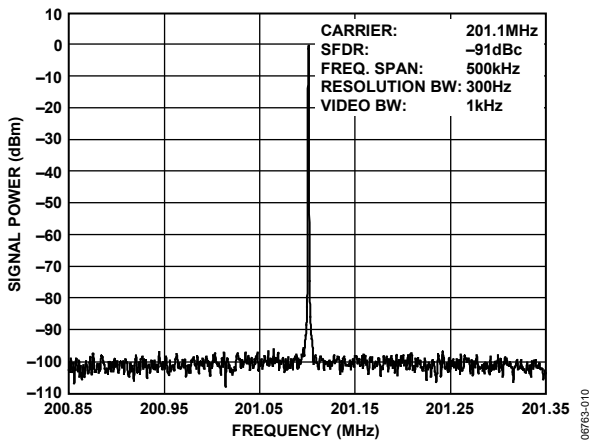


図 10. ナローバンド SFDR、201.1MHz、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)

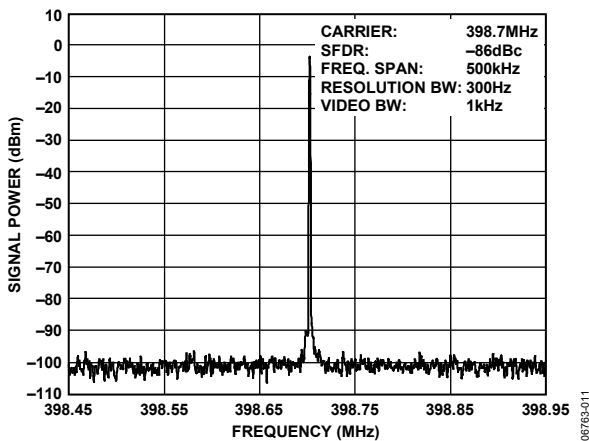


図 11. ナローバンド SFDR、398.7MHz、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)

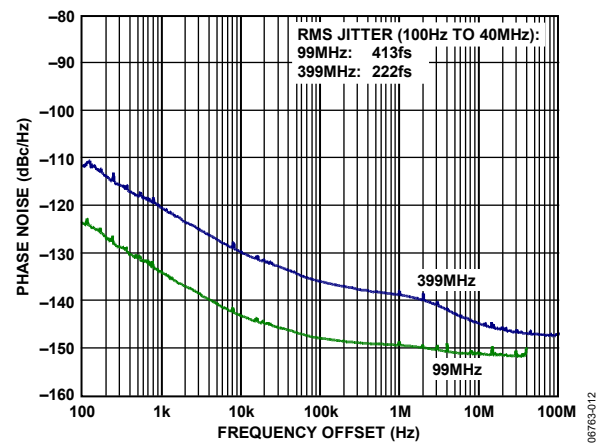


図 12. 絶対位相ノイズ、HSTL ドライバ使用、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)

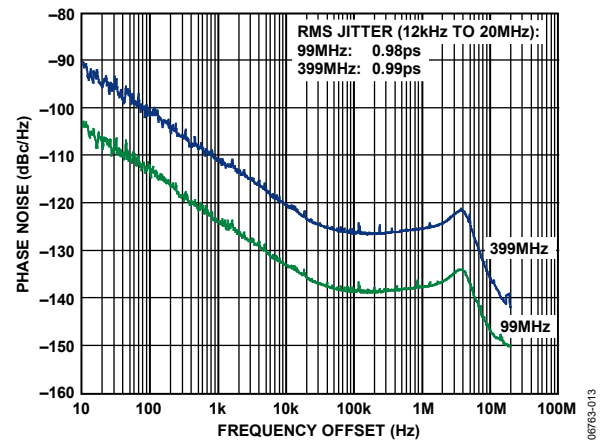


図 13. 絶対位相ノイズ、HSTL ドライバ使用、
SYSCLK = 1GHz (83.33 MHz の Rohde & Schwarz SMA100
信号発生器で SYSCLK 信号発生器を駆動)

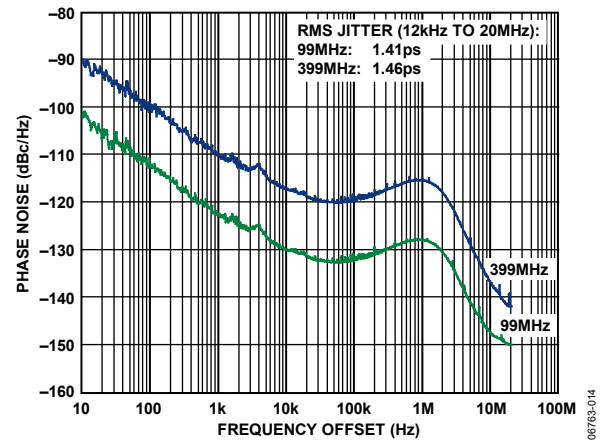


図 14. 絶対位相ノイズ、HSTL ドライバ使用、SYSCLK = 1 GHz
(25MHz の Rohde & Schwarz SMA100 信号発生器で
SYSCLK PLL を駆動)

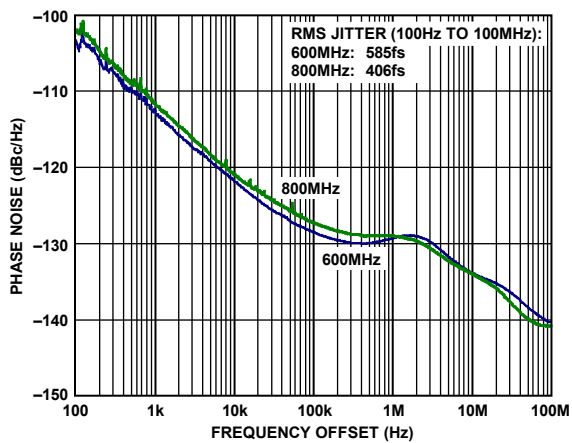


図 15. 絶対位相ノイズ、HSTL ドライバ使用、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)、
HSTL 出力ダンプをイネーブ

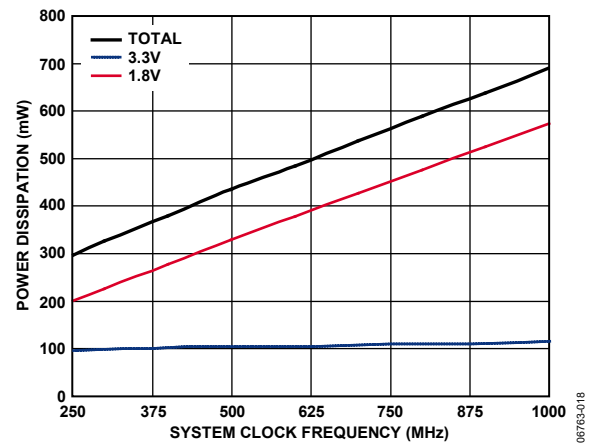


図 18. システム・クロック周波数対消費電力
(SYSCLK PLL をバイパス)、 $f_{OUT} = f_{SYSCLK}/5$ 、
HSTL ドライバ・オン、CMOS ドライバ・オン、SpurKiller オフ

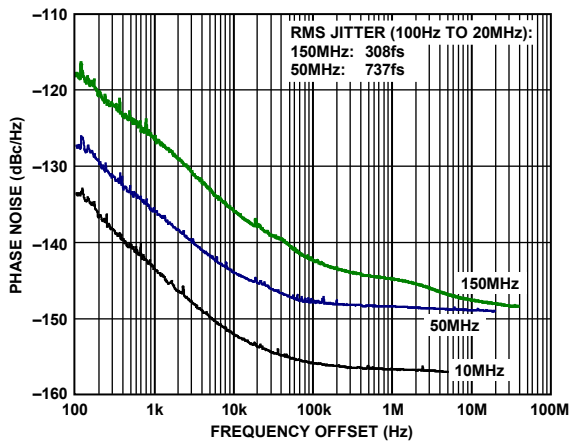


図 16. 絶対位相ノイズ、CMOS ドライバ (3.3V) 使用、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)
10MHz プロットは 200MSPS で DDS を実行

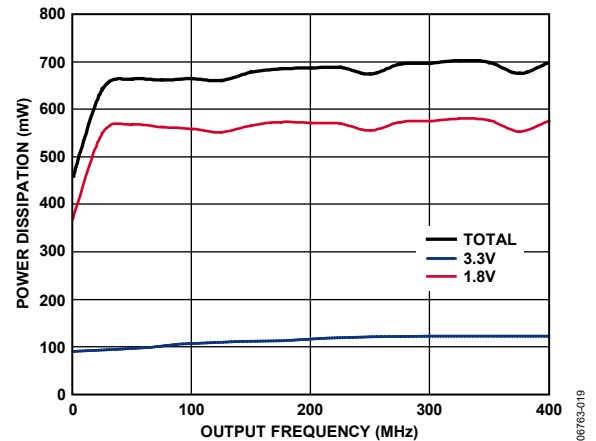


図 19. 出力周波数 対 消費電力
SYSCLK = 1GHz (SYSCLK PLL をバイパス)、
HSTL ドライバ・オン、CMOS ドライバ・オン、SpurKiller オフ

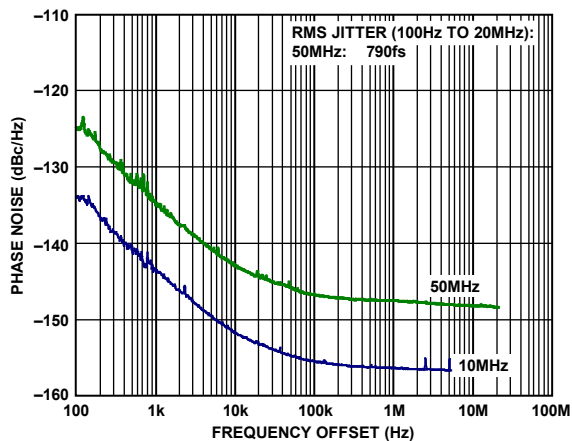


図 17. 絶対位相ノイズ、CMOS ドライバ (1.8V) 使用、
SYSCLK = 1GHz Wenzel 発振器 (SYSCLK PLL をバイパス)

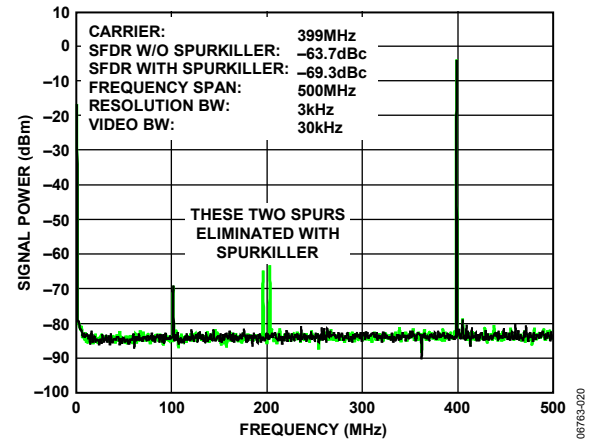


図 20. SpurKiller 使用時と未使用時の SFDR の比較、
SYSCLK = 1GHz、 $f_{OUT} = 400\text{MHz}$

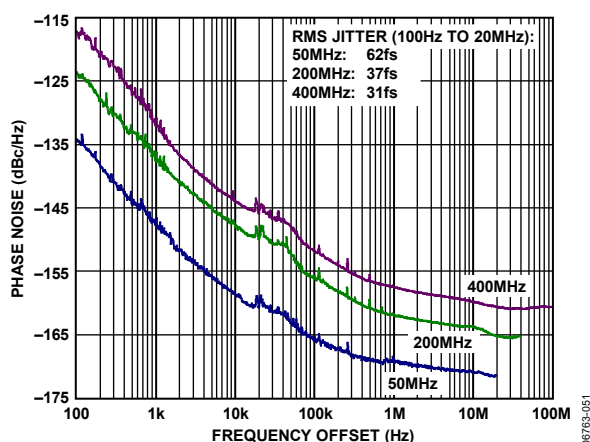


図 21. フィルタ未処理の DAC 出力の絶対位相ノイズ、 $f_{OUT} = 50\text{MHz}/200\text{MHz}/400\text{MHz}$ 、1GHz Wenzel 発振器で SYSCLOCK を駆動 (SYSCLOCK PLL をバイパス)

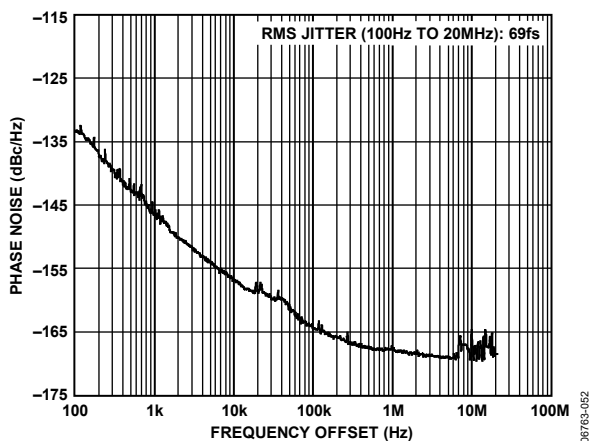


図 22. フィルタ未処理の DAC 出力の絶対位相ノイズ、 $f_{OUT} = 63\text{MHz}$ 、1GHz Wenzel 発振器で SYSCLOCK を駆動 (SYSCLOCK PLL をバイパス)

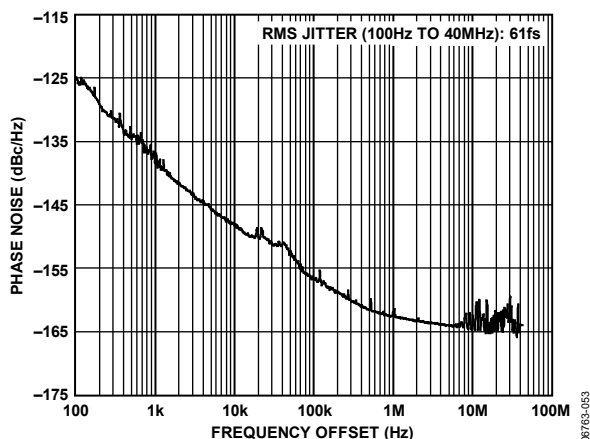


図 23. フィルタ未処理の DAC 出力の絶対位相ノイズ、 $f_{OUT} = 171\text{MHz}$ 、1GHz Wenzel 発振器で SYSCLOCK を駆動 (SYSCLOCK PLL をバイパス)

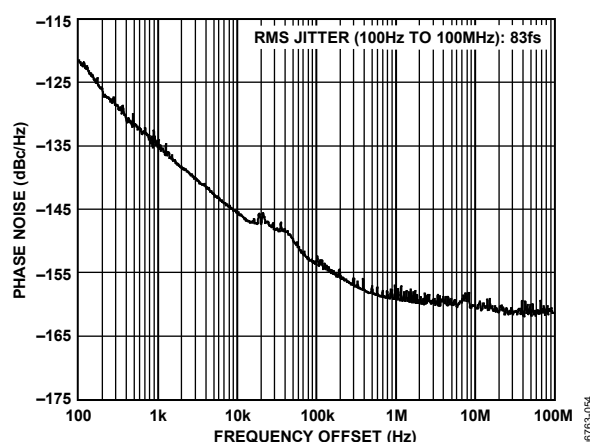


図 24. フィルタ未処理の DAC 出力の絶対位相ノイズ、 $f_{OUT} = 258.3\text{MHz}$ 、1GHz Wenzel 発振器で SYSCLOCK を駆動 (SYSCLOCK PLL をバイパス)

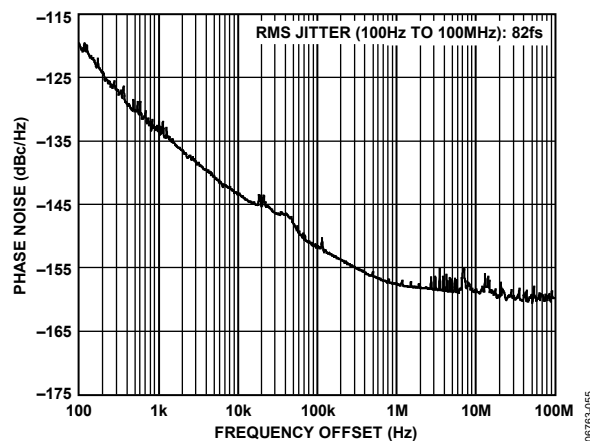


図 25. フィルタ未処理の DAC 出力の絶対位相ノイズ、 $f_{OUT} = 311.6\text{MHz}$ 、1GHz Wenzel 発振器で SYSCLOCK を駆動 (SYSCLOCK PLL をバイパス)

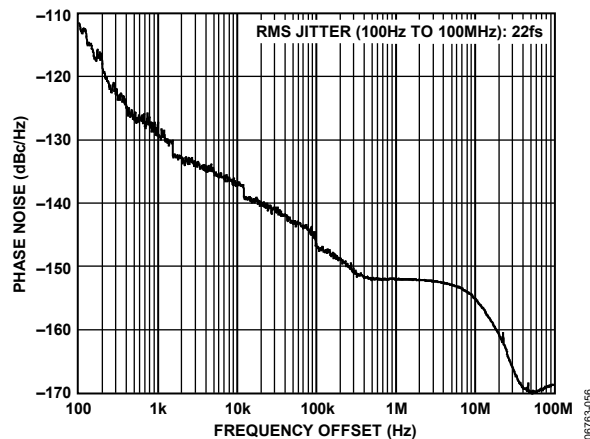


図 26. 1GHz リファレンスの絶対位相ノイズ、性能プロットに使用、Wenzel 製の使用部品：100MHz 発振器、LNBA-13-24 アンプ、LNOM 100-5 通倍器、LNDD 500-14 ダイオード・ダブル

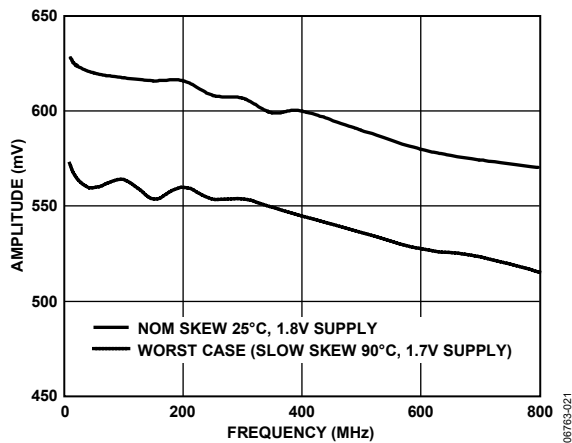


図 27. トグル・レート対 HSTL 出力ドライバ・シングルエンド・ピーク to ピーク 振幅 (差動ペアの抵抗 100Ω)

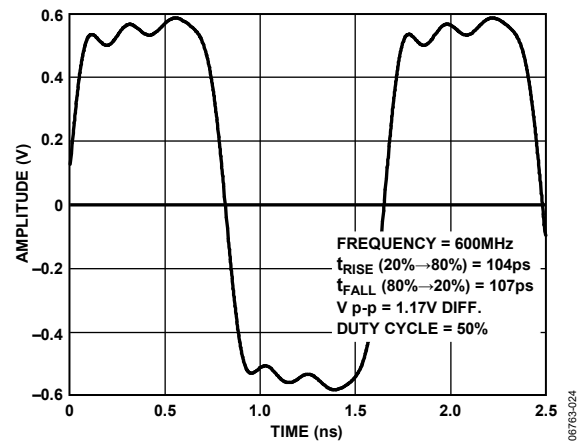


図 30. 代表的な HSTL 出力波形、定格状態、DC 結合、100Ω 負荷の差動プローブ

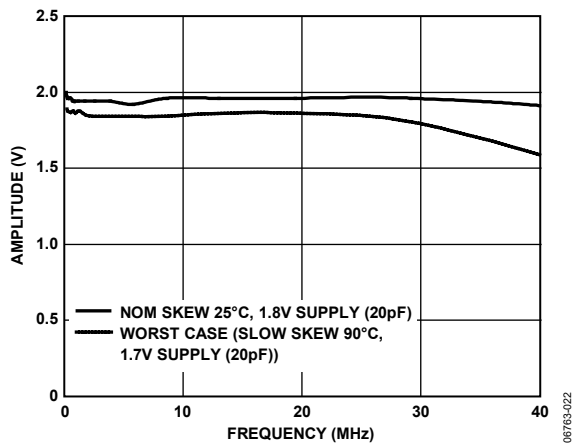


図 28. トグル・レート対 CMOS 出力ドライバ・ピーク to ピーク 振幅 (AVDD3 = 1.8V)、20pF の負荷を使用

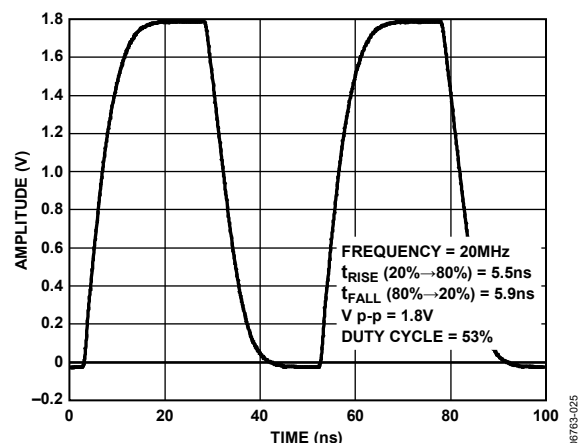


図 31. 代表的な CMOS 出力ドライバ波形 (@1.8V)、定格状態、概算容量 = 5pF

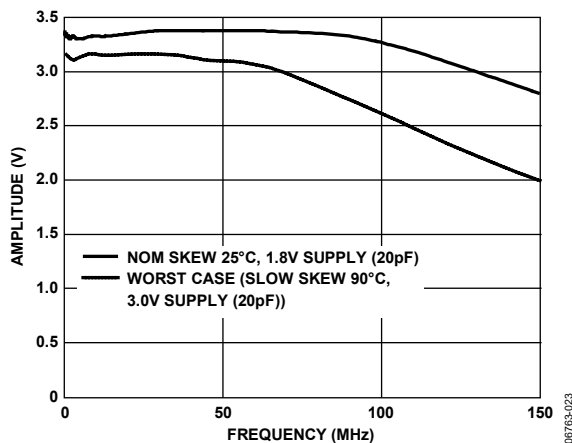


図 29. トグル・レート対 CMOS 出力ドライバ・ピーク to ピーク 振幅 (AVDD3 = 3.3 V)、20pF の負荷を使用

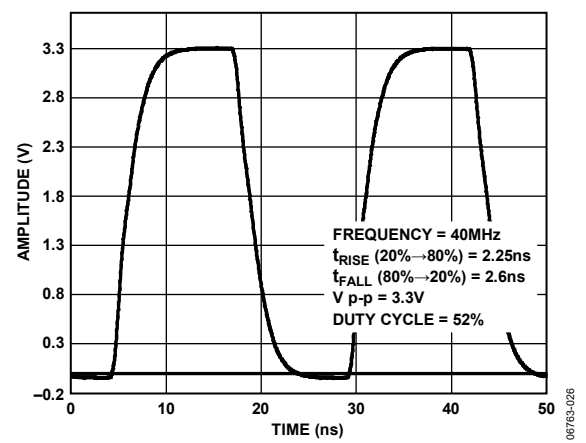


図 32. CMOS 出力ドライバ波形 (@3.3V)、定格状態、概算容量 = 5pF

推奨される入出力の終端処理

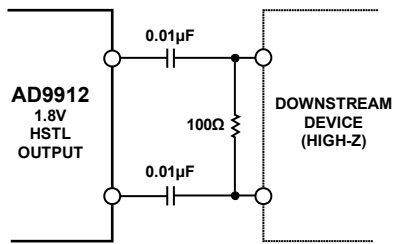


図 33. AC カップリングされた HSTL 出力ドライバ

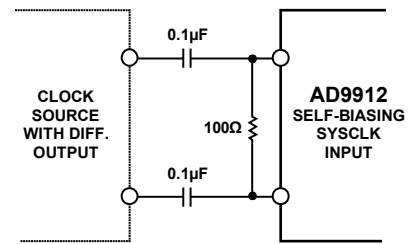


図 36. SYSCLK 差動入力（非 Xtal）

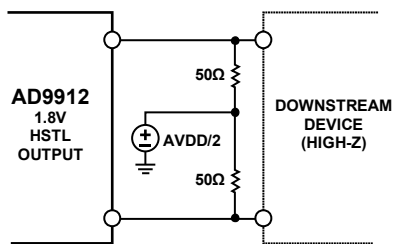


図 34. DC カップリングされた HSTL 出力ドライバ

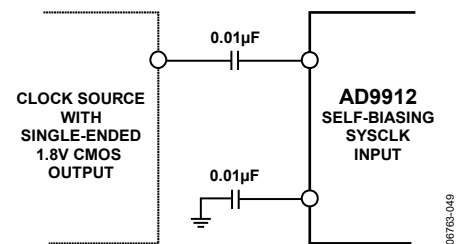


図 37. SYSCLK シングルエンド入力（非 Xtal）

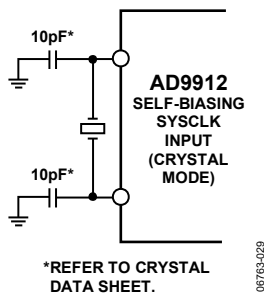


図 35. SYSCLK 入力（Xtal）

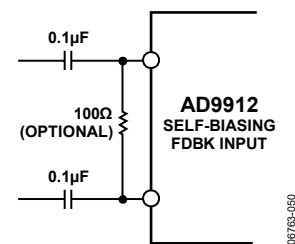


図 38. FDBK_IN 入力

動作原理

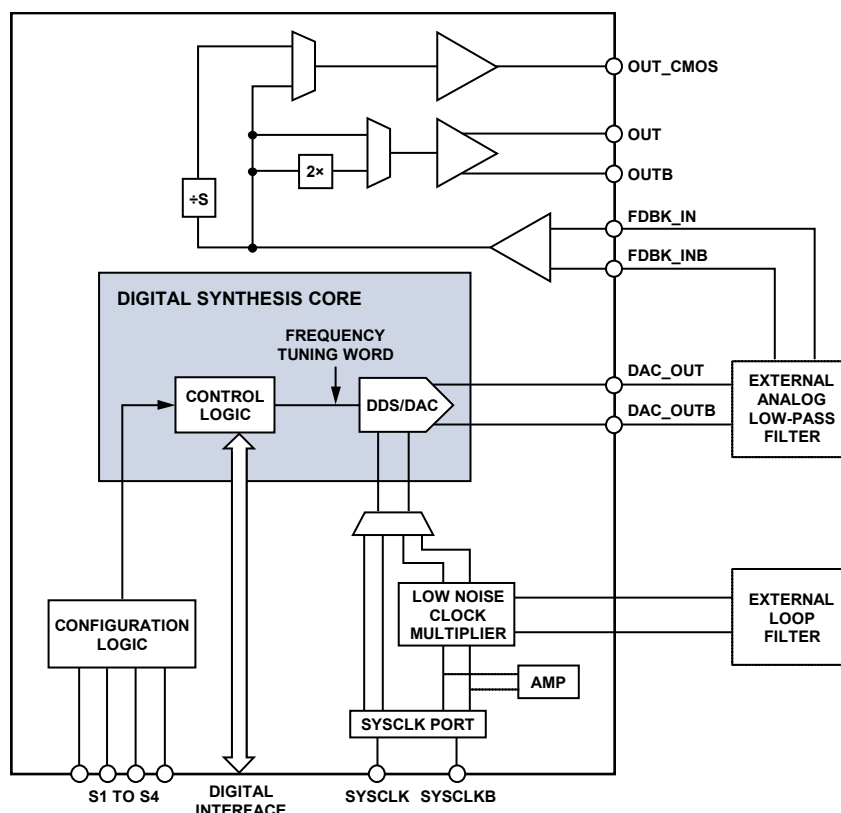


図 39. 詳細ブロック図

概要

AD9912 は高性能、低ノイズの 14 ビット DDS クロック・シンセサイザであり、アジャイルな微調整矩形波／サイン波出力信号を必要とするアプリケーションに対応したコンパレータを内蔵しています。デジタル制御発振器 (DCO) は、システム・クロックで動作する出力 DAC 内蔵のダイレクト・デジタル・シンセサイザ (DDS) を使って実装します。

バイパス可能な PLL ベースの周波数通倍器を備えており、安価な低周波のシステム・クロック源を使用できます。最適なジッタ性能を得るには、システム・クロック PLL をバイパスし、低ノイズの高周波システム・クロックを直接供給する必要があります。サンプリング理論では DDS 出力周波数の上限値を f_s の 50% に設定しますが (f_s は DAC サンプル・レート)、一般には上限値を f_s の 40% に設定して必要なオフチップ再構成フィルタを選択できるようにすることを推奨します。

再構成フィルタの出力信号は、AD9912 に帰還させ、出力回路で処理することができます。出力回路には、HSTL 出力と CMOS

出力バッファがあります。また、DDS のナイキスト・レベル以上の周波数が必要なアプリケーション用の周波数ダブラも備えています。

AD9912 は事前にプログラムした周波数プロファイルを用意しているため、ユーザはデバイスをプログラムせずに周波数を生成できます。以下の各項で個々の機能ブロックについて説明します。

ダイレクト・デジタル・シンセサイザ (DDS)

DDS によって生成されるサイン波の周波数は、デジタル値 (つまり数値) である周波数同調ワード (FTW) によって決定されます。アナログ・サイン波の発生器とは異なり、DDS はデジタル・ビルディング・ブロックを使用し、サンプル・システムとして動作します。したがって、DDS の基本的タイミング信号源としての役割を果たすサンプリング・クロック (f_s) が必要です。アキュムレータは、周波数同調ワード (FTW) によって設定可能なステップ・サイズを持つ、モジュロ 2^{48} カウンタとして動作します。DDS のブロック図を図 40 に示します。

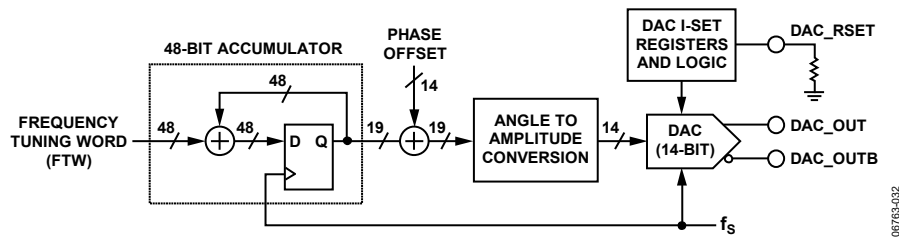


図 40. DDS のブロック図

DDS の入力である 48 ビット FTW はアキュムレータにシード値を提供します。 f_s の各サイクルにおいて、アキュムレータは、出力されるその時点までの合計値に FTW の値を加えます。例えば、 $FTW = 5$ の場合、アキュムレータは f_s の各サイクルの 5 秒単位でカウント数をインクリメントします。時間が経過してアキュムレータがその容量の上限値に達すると（この場合は 2^{48} ）、アキュムレータはその時点でロールオーバーしますが、余剰分は持ち越されます。アキュムレータがロールオーバーする平均レートにより、出力サイン波の周波数が決まります。次式でアキュムレータの平均ロールオーバー・レートを定義し、DDS の出力周波数 (f_{DDS}) を求めることができます。

$$f_{DDS} = \left(\frac{FTW}{2^{48}} \right) f_s$$

この式を FTW について変形すると、次式が得られます。

$$FTW = \text{round} \left[2^{48} \left(\frac{f_{DDS}}{f_s} \right) \right]$$

例えば $f_s = 1\text{GHz}$ 、 $f_{DDS} = 19.44\text{MHz}$ だとすると、 $FTW = 5,471,873,547,255$ (0x04FA05143BF7) となります。

サイン波の相対位相は数値でも制御できます。これを行う場合は、DDS の位相オフセット機能 (14 ビット値 (Δphase)) を使用します (I/O レジスタ・マップのセクションを参照)。得られる位相オフセット $\Delta\Phi$ (ラジアン) は次式で得られます。

$$\Delta\Phi = 2\pi \left(\frac{\Delta\text{phase}}{2^{14}} \right)$$

D/A コンバータ (DAC) 出力

DDS のデジタル・コアの出力は時系列の数値であり、サイン波形を表します。この数値は D/A コンバータ (DAC) でアナログ信号に変換されます。

DAC は、バランスの取れた電流源により駆動される 2 つのピンに信号を出力します (図 41 の DAC 出力図を参照)。ピーク出力電流は、2 つのファクタにより決まります。1 つは DAC_RSET ピンで設定したリファレンス電流 (I_{DAC_REF})、もう 1 つは I/O レジスタ・マップにプログラムしたスケール係数です。

I_{DAC_REF} の値は、 DAC_RSET ピンとグラウンドの間に抵抗 (R_{DAC_REF}) を接続することで設定されます。 DAC_RSET ピンは、1.2V (公称値) の仮想電圧リファレンスに内部的に接続されます。したがって、リファレンス電流は次式で計算できます。

$$I_{DAC_REF} = \frac{1.2}{R_{DAC_REF}}$$

I_{DAC_REF} の推奨値は $120\mu\text{A}$ です。したがって R_{DAC_REF} の推奨値は $10\text{k}\Omega$ となります。

スケール係数は、I/O レジスタ・マップの DAC フルスケール電流レジスタに設定される 10 ビットのバイナリ値 (FSC) からなります。フルスケールの DAC 出力電流 (I_{DAC_FS}) は、次式で与えられます。

$$I_{DAC_FS} = I_{DAC_REF} \left(72 + \frac{192FSC}{1024} \right)$$

R_{DAC_REF} の推奨値を使って、フルスケール DAC 出力電流を 10 ビットの粒度 (約 $8.6\text{mA} \sim 31.7\text{mA}$ の範囲) で設定できます。デフォルト値は 20mA です。

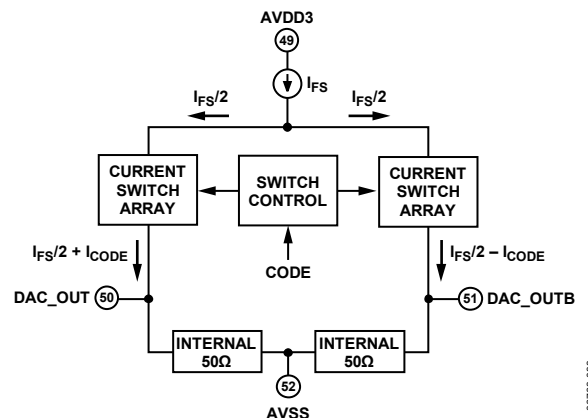


図 41. DAC 出力

再構成フィルタ

AD9912 で生成される出力クロックの信号源は、DDS と DAC を組み合わせた回路です。DAC の出力信号は、 f_s でサンプリングされるサイン波として現れます。サイン波の周波数は、DDS の入力の周波数同調ワード (FTW) により求められます。DAC 出力は、一般に外付けの再構成フィルタを通しサンプリング・プロセスで生じるノイズやフィルタの帯域幅を超えるスプリアスを除去します。必要に応じて信号をチップに戻して矩形波に変換し、それを出力クロック・ドライバまたは $2 \times$ DLL 通倍器に入力します。

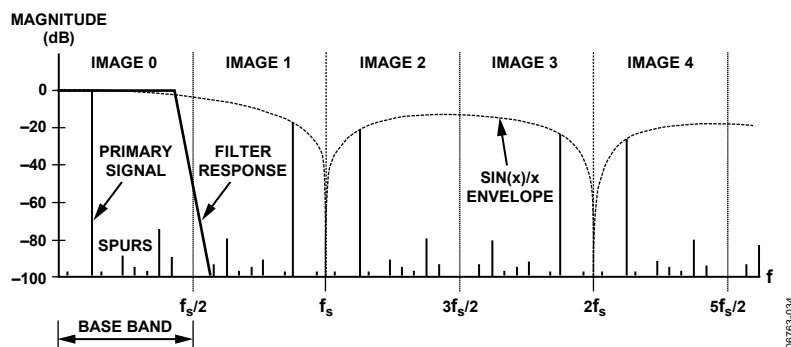


図 42. 再構成フィルタ応答対 DAC スペクトル

サンプル・システムは DAC から構成されているため、アナログ波形が DAC 入力のデジタル・サンプルを正確に表すよう、DAC の出力をフィルタ処理する必要があります。フィルタで未処理の DAC 出力は（一般的に）必要なベースバンド信号を含んでおり、その周波数範囲は $DC \sim f_s/2$ （ナイキスト周波数）です。また、理論的に周波数の上限がないベースバンド信号のイメージも含んでいます。奇数次のイメージ（図 42）は、ベースバンド信号のミラー・イメージです。DAC 出力スペクトルはすべて、DAC 出力信号のサンプル&ホールド特性に起因する $\sin(x)/x$ 応答に影響されます。

DAC 出力の基本周波数を使用するアプリケーションの場合、再構成フィルタの応答はベースバンド信号（イメージ 0）を保持しますが、他のイメージは完全に除去されます。しかし、実際に使用されるフィルタは出力周波数プラス 20% に対応した比較的フラットな通過帯域を提供し、できるだけ急峻にロールオフして、残りのイメージの除去（完全にではないが）を続行します。一般に、不要なスプリアスが必要な信号のどれだけ近くにあるかで、3 次、5 次、7 次のいずれかの楕円ローパス・フィルタを使用します。

アプリケーションによってはナイキスト周波数より上のイメージで動作し、これらのアプリケーションではローパス・フィルタではなくバンドパス・フィルタを使用します。

再構成フィルタの設計は、信号の性能全体に大きな影響を与えます。したがって、フィルタの設計および実装の技術は、最適なジッタ性能を得るために重要な役割を果たします。

FDBK_IN 入力

FDBK_IN ピンは、AD9912 の出力ドライバおよびコンパレータの入力として機能します。通常、DDS で生成された信号は外付けの再構成フィルタによって帯域制限された後に、このピンに輸入されます。

図 43 に FDBK_IN 入力ピンの回路図を示します。この図は入力回路のバイアスに使用する内部素子を含んでいます。FDBK_IN 入力ピンは、約 1V の DC レベルに内部的にバイアスされます。外部接続によってこの DC バイアスが乱されると性能が大幅に低下する場合がありますので注意してください。

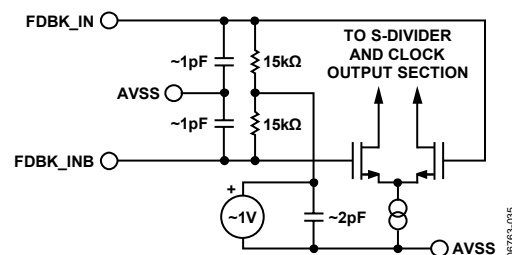


図 43. 差動 FDBK_IN 入力

SYSCLK 入力

機能の説明

外付けのタイム・ベースを AD9912 の SYSCLK ピンに接続して、内部高周波システム・クロック (f_s) を生成します。

SYSCLK 入力は、以下の 3 モードのいずれかで動作します。

- SYSCLK PLL バイパス
- 外部で生成された入力信号で SYSCLK PLL をイネーブル
- 水晶振動子-SYSCLK PLL イネーブル

システム・クロック発生器の機能図を図 44 に示します。

SYSCLK PLL 通倍器パスは、I/O レジスタ・マップの PD SYSCLK PLL ビット (レジスタ 0x0010、ビット 4) のロジック 0 (デフォルト) でイネーブルとなります。SYSCLK PLL 通倍器は、1.8V CMOS CLKMODESEL ピンに与えるロジック・レベルに応じて 2 つの方法のいずれかにより SYSCLK 入力ピンから駆動できます。CLKMODESEL = 0 のときは、水晶振動子を SYSCLK ピン間に直接接続します。CLKMODESEL = 1 のときは、発振用アンプがディスエーブルとなり、外付けの周波数源 (発振器または信号発生器など) を SYSCLK 入力ピンに直接接続できます。CLKMODESEL = 1 の場合、システム・クロック PLL はディスエーブルになりません。

AD9912 の SYSCLK ピンのメインテナンス・アンプは、100 Ω の最大等価直列抵抗を備えた 25MHz、3.2mm $\times$ 2.5mm AT カット基本モード水晶振動子向けの素子です。下記の水晶振動子は、これらの条件を満たしています (アルファベット順に記載、本書改訂日時点)。

- AVX/京セラ CX3225SB
- ECS ECX-32
- エプソントヨコム TSX-3225
- Fox FX3225BS
- NDK NX3225SA

データシートによれば、これらの水晶振動子は前述の条件を満たしていますが、アナログ・デバイセスは AD9912 でそれらの動作を保証するものではありません。また、特定のサプライヤの水晶振動子を推奨するものでもありません。

SYSCLK PLL 通倍器パスがディスエーブルのときは、AD9912 を高周波信号源 (250MHz~1GHz) で駆動する必要があります。SYSCLK 入力ピンに印加された信号は、内部バッファを通じて DAC サンプル・クロック (f_s) となります。

システム・クロック PLL をバイパスするときは、1k Ω の抵抗を使って LOOP_FILTER ピン (ピン 31) をアナログ・グラウンドにプルダウンする必要があるので注意してください。

SYSCLK PLL ダブラ

SYSCLK PLL 通倍器パスでは、オプションの SYSCLK PLL ダブラを提供します。このブロックは SYSCLK PLL 通倍器の前段に置かれ、周波数ダブラとして機能し、SYSCLK 入力信号の各エッジでパルスを生成します。SYSCLK PLL 通倍器は、再生成されるこの信号の立下がりエッジにロックされます。

SYSCLK PLL 通倍器の入力の周波数を倍増することは、位相ノイズ性能全体の改善につながります。しかし、大きな欠点は、完全に対称的な SYSCLK 入力信号の場合でも、ダブラの出力が一定のデューティ・サイクルを備えた矩形のパルスにならないという点です。そのため、SYSCLK 入力信号と同じ周波数のサブ高調波が発生し、その振幅はかなり大きくなる可能性があります。ダブラを使用するときは、SYSCLK PLL 通倍器のループ帯域幅でサブ高調波を適度に抑制する必要があります。

ダブラの利点は、サブ高調波の振幅、SYSCLK PLL 通倍器のループ帯域幅、それに当該アプリケーションの位相ノイズ条件に依存します。多くのアプリケーションでは、AD9912 クロック出力は他の PLL の入力に供給され、サブ高調波はダウンストリーム PLL の比較的狭い帯域幅によって抑制される場合がよくあります。

一般に、SYSCLK PLL ダブラのメリットが生きるのは、25MHz を超える SYSCLK 入力周波数の場合です。

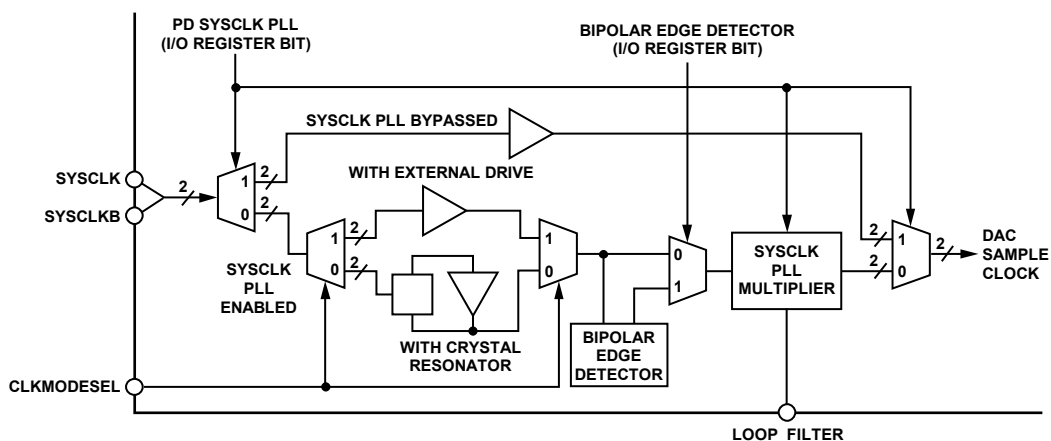


図 44. システム・クロック発生器のブロック図

SYSCLK PLL 通倍器

SYSCLK PLL 通倍器パスを使用するときは、SYSCLK ピンに入力される周波数を制限して、SYSCLK PLL 位相検出器の最大入力周波数を超えないようにします。SYSCLK 発生器のブロック図を図 45 に示します。

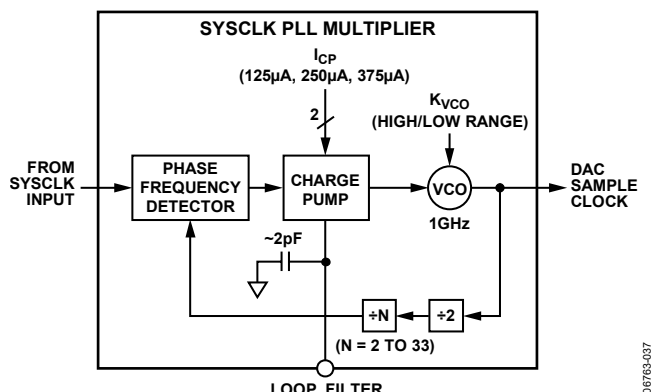


図 45. SYSCLK PLL のブロック図

SYSCLK PLL 通倍器は、コア部に 1GHz VCO を備えています。位相／周波数検出器（PFD）とチャージ・ポンプは、通常の PLL 方式で制御信号を VCO に与えます。PFD は、入力信号の立下がりエッジの遷移で動作します。これは、ループがリファレンス信号の負のエッジにロックされることを意味します。チャージ・ポンプのゲインは、I/O レジスタ・マップで制御し 125µA ～375µA の範囲（125µA ステップ）の 3 つの定電流源からいずれか 1 つを選択できます。VCO の中心周波数も I/O レジスタ・マップを使って調整でき、高／低ゲインの選択を行うことができます。VCO から PFD への帰還パスは、1/2 の分周プリスケラと後段の設定可能な 1/N 分周ブロック（ $2 \leq N \leq 33$ ）から構成されます。これによって、分周範囲は整数 4～66 の範囲の偶数値に制限されます。N の値は 0～31 の範囲で 5 ビット・ワード（I/O レジスタ・マップ）で設定しますが、内部ロジックにより入力値に 2 のバイアスが自動的に加えられ範囲の上限は 33 となります。これらの値を選択するときは、SYSCLK PLL 位相検出器または SYSCLK PLL ダブラの最大入力周波数を超えないようにします。この値については、AC 仕様のセクションを参照してください。

外付けのループ・フィルタ（SYSCLK PLL）

図 46 に示すように、SYSCLK PLL 通倍器ループ帯域幅は、3 つの外付け部品によって調整できます。VCO の公称ゲインは 800MHz/V です。部品の推奨値（表 6 参照）により、チャージ・ポンプ電流 250µA で、ループ帯域幅を約 1.6MHz に設定します。デフォルトの場合は $N = 40$ であり、SYSCLK 入力周波数が 25MHz で、1GHz の内部 DAC サンプル周波数（ f_s ）が生成されます。

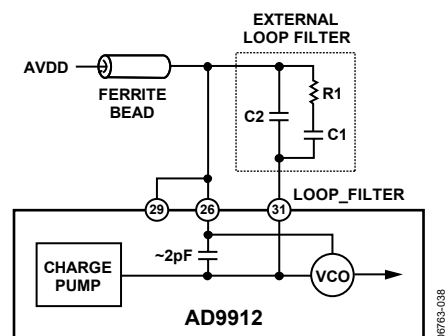


図 46. SYSCLK PLL の外部ループ・フィルタ

表 6. 1.5MHz SYSCLK PLL ループ帯域幅（公称値）の推奨ループ・フィルタ値

Multiplier	R1	Series C1	Shunt C2
<8	390 Ω	1 nF	82 pF
10	470 Ω	820 pF	56 pF
20	1 kΩ	390 pF	27 pF
40 (default)	2.2 kΩ	180 pF	10 pF
60	2.7 kΩ	120 pF	5 pF

SYSCLK 差動入力の詳細

図 47 は、SYSCLK 入力ピンの回路図を示します。この図では、入力回路のバイアスに使用する内部素子の詳細を示しています。これらの素子は、SYSCLK 入力ピンのスタティク・レベルに直接影響を及ぼします。この情報を基に、特定のアプリケーション用デバイスとの最適なインターフェースを実現できます。

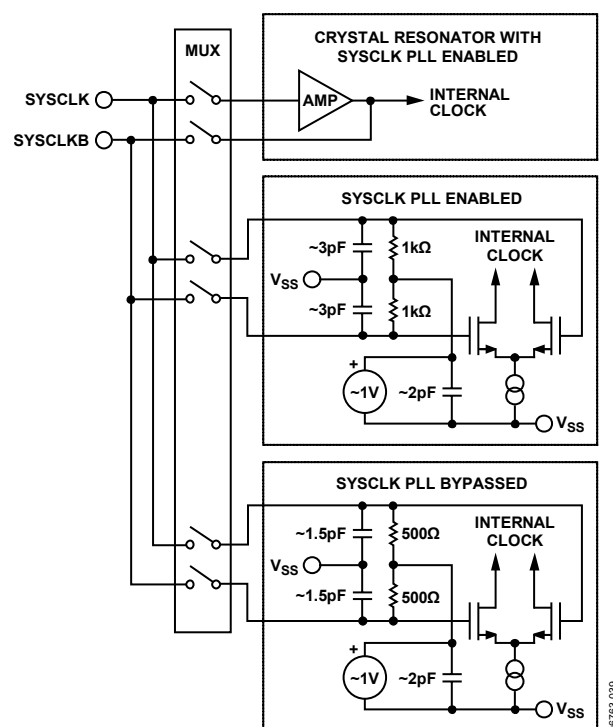


図 47. 差動 SYSCLK 入力

SYSCLOCK PLL バイパスおよび SYSCLOCK PLL イネーブル入力は、内部的に約 1V の DC レベルにバイアスされています。外部との接続によってこの DC バイアスが損なわれると性能が大幅に低下するので、そのようなことがないように注意してください。一般に、水晶振動子を使用するとき以外は、SYSCLOCK 入力を AC 結合することを推奨します。

出力クロック・ドライバ、2×周波数逡倍器

AD9912 には 2 つの出力ドライバがあります。一次ドライバは差動 1.8V HSTL 出力に対応します。二次ドライバは、ピン 37 を 1.8V と 3.3V のいずれで駆動するかにより、1.8V または 3.3V の CMOS レベルに対応します。

一次差動ドライバは、公称出力電圧（差動で 100Ω 負荷）を提供します。ドライバのソース・インピーダンスは出力クロック周期の大部分で約 100Ω となり、レベル間の遷移中は最大約 500Ω となります。ドライバは、622.08MHz の OC-12 ネットワーク・レート以上の出力周波数に対応できます。

I/O レジスタ・マップの制御ビットで出力クロックをパワーダウンすることもできます。

一次 1.8V 差動 HSTL ドライバ

DDS は、システム・クロック・レートでサンプリングされるサイン波のクロック信号を生成します。この DDS 出力信号はチップ外に送信され、アナログ・フィルタを通してチップに戻されます。そして、バッファ処理が行われ、必要であれば周波数逡倍が行われます。可能であれば、最適なジッタ性能を実現するために、周波数ダブラをバイパスすることを推奨します。

1.8V HSTL 出力は AC 結合し、100Ω で終端します。ドライバの設計には、50MHz～750MHz の周波数の低ジッタ注入が含まれます。正確な周波数の上下限については、[AC 仕様](#)のセクションを参照してください。

周波数 2 逡倍器

AD9912 は、内蔵の 2×遅延ロック・ループ（DLL）逡倍器、一次クロック・ドライバの入力で（I/O レジスタ・マップを使って）設定できます。高調波利得により、DDS のみでは得られない範囲の出力クロック周波数が利用可能となります。これらの設定はレジスタ 0x0010 とレジスタ 0x0200 に格納されます。

DLL 入力には、フィルタ処理された DDS 出力信号が内蔵のクロック受信回路で方形波状に変形された後に入力されます。DLL には 200MHz～400MHz の範囲の周波数クロックを入力できます。

シングルエンド CMOS 出力

高速差動出力クロック・ドライバの他に、AD9912 は最大 150MHz の周波数に対応した独立のシングルエンド出力、CMOS クロック・ドライバも提供します。CMOS クロック・ドライバの信号パスは、CMOS 出力分周器を含めるか、またはバイパスします。

CMOS 出力分周器をバイパスすると、HSTL ドライバと CMOS ドライバは、FDBK_IN ピンに入力される信号と同じ周波数になります。この設定で CMOS 出力を使用するときは、DDS 出力を 30MHz～150MHz の範囲の周波数にする必要があります。低い出力周波数（<30MHz）の場合、DAC の低スルー・レートによってノイズ・フロアが高くなります。これは、DDS を 100MHz より大きな周波数で動作させ、CMOS 分周器を使用することで解決できます。出力周波数が 50MHz の場合、最良の設定はユーザのアプリケーションに依存します。200MHz で DDS を動作させ、値 4 の CMOS 分周器を使用すると、ノイズ・フロアは小さくなりますが、近接位相ノイズが大きくなります。

150MHz を上回る周波数では、HSTL 出力を使用する必要があります。

CMOS 出力分周器（S 分周器）

CMOS 出力分周器は、追加の 1/2 分周にカスケード接続された 16 ビット分周回路です。したがって、この分周器は 1～65,535（指数 1）または 2～131,070（指数 2）の範囲で整数分周を行うことができます。分周器を帰還信号の立上がりエッジ（デフォルト）または立下がりエッジのいずれで動作するかは、I/O レジスタ・マップで設定します。

CMOS 出力分周器は、DDS のナイキスト値をはるかに上回る周波数で処理できる整数分周器です。FDBK_IN が 400MHz より大きいときは、S 分周器/2 ビット（レジスタ 0x0106、ビット 0）を設定する必要があります。

実際の出力分周値は、出力分周レジスタに保存されている数値から 1 を引いた値になります。したがって、1 の出力分周を得るには、出力分周レジスタにゼロを書き込みます。

高調波スプリアスの低減

DDS によって生成される最も重要なスプリアス信号は、DDS の目標の出力周波数と高調波関係にあります。これらの高調波スプリアスの発生源は一般に DAC に由来します。スプリアス・レベルの範囲は -60dBc です。この比は、DAC のフルスケール出力より約 10 ビット低いレベルを表しています（10 ビット下のレベルは 2^{-10} または 1/1024）。

こういったスプリアスは、元の信号と、位相を 180°反転したスプリアスの複製信号とを組み合わせることで低減できます。この考えは、AD9912 で高調波スプリアスを低減するための技術の基礎になります。DAC は 14 ビットの分解能を備えているため、DAC フルスケール・レンジの下位 4 ビットのみを使って -60dBc のスプリアスを合成することができます。すなわち、4LSB で DAC のフルスケール・レベルより約 60dB 低い出力レベル（-60dBc のスプリアスに相当）を作成できます。したがって、問題のスプリアスと同じような振幅を持つサイン波をデジタル的に DAC に入力することで（この場合には相殺干渉を発生させるために位相シフトを行う）、DAC 出力スペクトル内の高調波スプリアスまたは折り返しイメージ信号をデジタル的に低減することができます。

最悪時のスプリアスは高調波から発生する傾向がありますが、DAC はサンプル・システムの一部であるため、基本周波数とは高調波関係のない出力スペクトルにスプリアスが現れる可能性があります。例えば、DAC が 1GHz でサンプリングされて、170MHz のサイン波出力が生成されると、通常、5 次高調波は 850MHz となります。しかし、サンプリング処理が原因となり、このスプリアスは基本周波数とはわずか 20MHz しか離れていない 150MHz の波形として現れます。したがって、DAC スプリアスを低減する場合は、調波数を減らせるように DAC サンプル・レートに基づいて DAC 出力スペクトルにおける高調波スプリアスの実際の位置を知ることが重要です。

図 48 は、高調波スプリアスを低減するための回路を示します。これは、基本的にはオリジナルの DDS と並列動作する 2 つの追加 DDS で構成されます。このため、9 ビットの位相オフセット制御 ($\pm\pi$) と 8 ビットの振幅制御により、2 次から 15 次の 2 つの異なる高調波スプリアスを低減することができます。

キャンセル信号のダイナミック・レンジは、各チャンネルに関連するゲイン・ビットで更に増大されます。このビットを設定すると、データが 1 ビットシフトされてキャンセル信号の振幅が 2 倍となります。ただし、このシフト動作によってキャンセル信号の振幅の粒度が低下します。キャンセル・スプリアスのフルスケール振幅は、ゲイン・ビットがロジック 0 のとき約 -60dBc、ロジック 1 のとき約 -54dBc となります。

スプリアス低減の調整手順は次のとおりです。

1. 低減すべき問題の高調波とその振幅を特定します。レジスタ 0x0500/レジスタ 0x0505 のビット 0~ビット 3 に調波数を入力します。
2. レジスタ 0x0013 のビット 7 を設定して基本周波数をオフにし、レジスタ 0x0500/レジスタ 0x0505 のビット 7 を設定して SpurKiller チャンネルをイネーブルにします。
3. SpurKiller チャンネルの振幅を調整して、その振幅と問題のスプリアスの振幅が一致するようにします。
4. レジスタ 0x0013 のビット 7 をクリアして、基本周波数をオンにします。
5. SpurKiller チャンネルの位相を調整して、信号間の干渉が最大限になるようにします。

SpurKiller の設定は DAC 出力の負荷に左右されます。また、SpurKiller チャンネルをオフにした場合は DDS のリセットが必要となります。DDS はレジスタ 0x0012 のビット 0 を設定するだけでリセットできるため、デバイスをリセットする必要はありません。

この方法による性能の改善は、使用条件によって大きく異なります。そのため、SpurKiller 性能を保証できる有用な仕様を定義することはできません。現在のデータでは、プロセス、温度、および電圧で一般的な設定を使用する出力周波数に対して、6dB~8dB の改善が可能ながわかっています。ただし、周波数によっては、一般的な設定によって性能がはるかに改善する場合もあります。各デバイスの SpurKiller の設定を手動で調整すれば、スプリアス性能を 30dB 以上改善することができます。

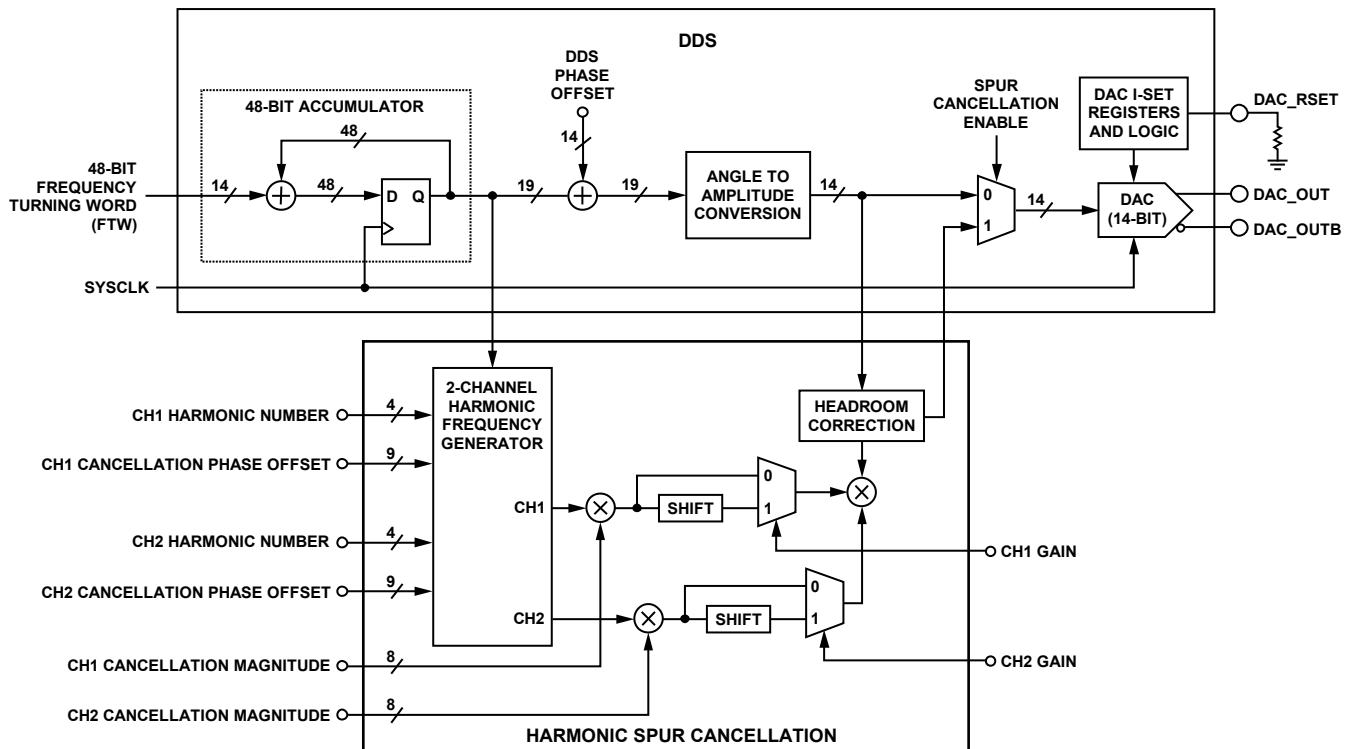


図 48. スプリアス低減回路図

06763-040

熱性能

表 7. 熱パラメータ

Symbol	Thermal Characteristic Using a JEDEC51-7 Plus JEDEC51-5 2S2P Test Board	Value	Unit
θ_{JA}	Junction-to-ambient thermal resistance, 0.0 m/sec air flow per JEDEC JESD51-2 (still air)	25.2	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 1.0 m/sec air flow per JEDEC JESD51-6 (moving air)	22.0	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 2.0 m/sec air flow per JEDEC JESD51-6 (moving air)	19.8	°C/W
θ_{JB}	Junction-to-board thermal resistance, 1.0 m/sec air flow per JEDEC JESD51-8 (moving air)	13.9	°C/W
θ_{JC}	Junction-to-case thermal resistance (die-to-heat sink) per MIL-Std 883, Method 1012.1	1.7	°C/W
Ψ_{JT}	Junction-to-top-of-package characterization parameter, 0 m/sec air flow per JEDEC JESD51-2 (still air)	0.1	°C/W

AD9912 はケース温度 (T_{CASE}) に対して仕様規定されています。確実に T_{CASE} を超えないようにするために、強制空冷を行うことができます。

アプリケーションの PCB のジャンクション温度を求めるには、次式を使用します。

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

ここで、

T_J はジャンクション温度 (°C)。

T_{CASE} はパッケージ上面の中央でユーザが測定したケース温度 (°C)。

Ψ_{JT} は表 7 の値。

PD は消費電力 (仕様) のセクションの総消費電力を参照)。

θ_{JA} の値はパッケージの比較と PCB の設計考察のために提供しています。次式により、 θ_{JA} を T_J の 1 次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度 (°C)。

θ_{JC} の値は、外付けヒート・シンクが必要な場合のパッケージの比較と PCB の設計考察のために提供しています。

θ_{JB} の値は、パッケージの比較と PCB の設計検討のために提供しています。

表 7 の値はどちらの 64 ピン・パッケージ・オプションにも適用されます。

パワーアップ

パワーオン・リセット

最初のパワーアップで、AD9912 は 75ns RESET パルスを内部的に生成します。次の 2 つの条件が満たされたときに、パルスが開始されます。

- 3.3V 電源が $2.35\text{V} \pm 0.1\text{V}$ より大きい。
- 1.8V 電源が $1.4\text{V} \pm 0.05\text{V}$ より大きい。

RESET がハイレベルになってから 1ns 以内に、S1～S4 設定ピンが高インピーダンスになり、RESET がオフになるまでその状態を維持します。このため、RESET 期間にストラッピングと設定が可能になります。

このリセット・シーケンスにより、外部電源シーケンスは重要ではなくなります。

パワーアップ時のデフォルトの出力周波数

4 本のステータス・ピン (S1～S4) は、I/O レジスタがまだプログラムされていない場合でも、パワーアップ時に DDS の出力周波数の定義に使用されます。パワーアップの際には、内部ロジックによって約 10ns のリセット・パルスが開始されます。この短い期間、S1～S4 は入力ピンとして機能し、外部から駆動できます。入力されるロジック・レベルはすべて、内部で開始されたパルスの立下がりエッジで 4 ビット・レジスタに転送されます。RESET ピンをマニュアルでアサートした場合も、同じ動作が発生します。

デフォルトの DDS スタートアップのために S1～S4 をセットアップするには、抵抗（プルアップまたはプルダウン）を各ピンに接続して必要なビット・パターンを生成し、16 の状態が得られるようにします。これらは、内部 $8 \times 16\text{ROM}$ のアドレス指定と SYSCLK モードの選択に使用します（表 8 参照）。ROM には 8 個の 16 ビット DDS 周波数同調ワード (FTW) が記憶されますが、S1～S3 ピンの状態でそのうちの 1 つを選択します。選択された FTW は、I/O レジスタ・マップの FTW0 レジスタに転送されます。この場合、I/O レジスタの更新は不要です。そのため、I/O レジスタがプログラムされていない場合でも、DDS は選択された周波数を生成できます。S4 ピンでは、内部システム・クロックを内部 SYSCLK PLL 通倍器で生成するかどうかを選択します（詳細は、SYSCLK 入力のセクションを参照）。

表 8 の DDS 出力周波数は、内部 DAC サンプルング周波数 (f_s) が 1GHz と仮定した場合の値です。これらの周波数は f_s と 1:1 で比例するため、他のスタートアップ周波数は SYSCLK 周波数を変えることで得られます。

スタートアップ時は、ステータス・ピンで Xtal/PLL モードが選択されている場合、内部周波数通倍器のデフォルトは 40 倍です。

表 8. 1GHz システム・クロックのデフォルトのパワーアップ周波数オプション

Status Pin				SYSCLK Input Mode	Output Frequency (MHz)
S4	S3	S2	S1		
0	0	0	0	Xtal/PLL	0
0	0	0	1	Xtal/PLL	38.87939
0	0	1	0	Xtal/PLL	51.83411
0	0	1	1	Xtal/PLL	61.43188
0	1	0	0	Xtal/PLL	77.75879
0	1	0	1	Xtal/PLL	92.14783
0	1	1	0	Xtal/PLL	122.87903
0	1	1	1	Xtal/PLL	155.51758
1	0	0	0	Direct	0
1	0	0	1	Direct	38.87939
1	0	1	0	Direct	51.83411
1	0	1	1	Direct	61.43188
1	1	0	0	Direct	77.75879
1	1	0	1	Direct	92.14783
1	1	1	0	Direct	122.87903
1	1	1	1	Direct	155.51758

電源のパーティショニング

AD9912は複数の電源を備えており、その消費電力はその構成によって異なります。このセクションでは、グループ化することのできる電源と、各ブロックの消費電力が周波数と共にどのように変化するかについて説明します。

ここに示す数値は、比較のために挙げたものです。正確な数値については**仕様**のセクションを参照してください。各グループで、1 μ F のバイパス・コンデンサを 10 μ F のコンデンサと並列接続して使用します。

ここでは、代表的なアプリケーションに対する推奨事項を示しています。これらのアプリケーションについては、3.3V デジタル、3.3V アナログ、1.8V デジタル、1.8V アナログという 4 つの電源グループがあります。

最高級の性能が要求されるアプリケーションでは、追加の電源絶縁が必要になる場合があります。

重要：すべての電源ピンは、そのブロックが使用されているかどうかにかかわらず電力を受け入れる必要があります。

3.3V 電源

DVDD_I/O (ピン 1)、AVDD3 (ピン 14)

これらのピンの一方はアナログで、もう一方はデジタルですが、この 2 つの 3.3V 電源は 1 つにまとめることができます。ピン 1 の消費電力は、シリアル・ポートの動作に応じて大きく変わります。

AVDD3 (ピン 37)

これは CMOS ドライバ電源です。1.8V または 3.3V で、消費電力は OUT_CMOS (ピン 38) の出力周波数および負荷と関連しています。

CMOS ドライバを 3.3V で使用する場合は、この電源をフェライト・ビーズで他の 3.3V 電源から絶縁して出力周波数のスプリアスの発生を防ぎます。HSTL ドライバを使用しない場合は、AVDD3 (ピン 37) を AVDD3 (ピン 46、ピン 47、ピン 49) に接続できます (フェライト・ビーズが必要)。HSTL ドライバを使用する場合は、フェライト・ビーズを使って AVDD3 (ピン 37) をピン 1 とピン 14 に接続します。

CMOS ドライバを 1.8V で使用する場合は、AVDD3 (ピン 37) を AVDD (ピン 36) に接続できます。

CMOS ドライバを使用しない場合は、AVDD3 (ピン 37) を 1.8VAVDD (ピン 36) に直接接続し、レジスタ 0x0010 を使って CMOS ドライバをパワーダウンできます。

AVDD3 (ピン 46、ピン 47、ピン 49)

これらは、消費電流が約 25mA (typ) の 3.3V DAC 電源です。他の 3.3V 電源からこれらの電源を絶縁するには、少なくともフェライト・ビーズを使用する必要があります。この場合は、個別のレギュレータを使用するのが理想的です。

1.8V 電源

DVDD (ピン 3、ピン 5、ピン 7)

これらのピンをグループ化して、1.8VAVDD 電源から絶縁します。ほとんどのアプリケーションでは、フェライト・ビーズを使用して十分な絶縁が得られますが、最高性能が求められるアプリケーションでは個別のレギュレータが必要となる場合があります。このグループの消費電流は、700MHz システム・クロックの場合は約 160mA ですが、1GHz システム・クロックの場合は約 205mA に増大します。また、 f_{OUT} が 50MHz から 400MHz に増加するとわずかに増大 (約 5%) します。

AVDD (ピン 11、ピン 19、ピン 23、ピン 24、ピン 36、ピン 42、ピン 44、ピン 45)

これらのピンをグループ化して、他の 1.8V 電源から絶縁できます。個別のレギュレータの使用を推奨します。絶縁には、最低でもフェライト・ビーズを使用してください。

AVDD (ピン 53)

1.8V 電源の消費電流は約 40mA です。電源は 1.8V AVDD グループのレギュレータと同じものから供給できます。ピン 53 は、フェライト・ビーズを使って 1.8V AVDD グループの他のピンから絶縁します。ただし、最高性能が求められるアプリケーションの場合は、個別のレギュレータを推奨します。

AVDD (ピン 25、ピン 26、ピン 29、ピン 30)

これらのシステム・クロック PLL 電源ピンはグループ化して、他の 1.8VAVDD 電源から絶縁する必要があります。

少なくとも、ピン 25 とピン 30 を相互接続し、フェライト・ビーズを使ってこれらを AVDD 1.8V 集合電源から絶縁することを推奨します。同様に、ピン 26 とピン 29 を相互接続し、フェライト・ビーズを使ってこれらを同じ 1.8V 集合電源から絶縁することもできます。システム・クロック PLL のループ・フィルタは、ピン 26 とピン 29 に直接接続します (図 46 参照)。

最高性能が求められるアプリケーションでは、これらの 4 本のピンを専用の LDO で電力供給することが必要な場合があります。

システム・クロック PLL をバイパスする場合は、1k Ω の抵抗を使ってループ・フィルタ・ピン (ピン 31) をアナログ・グラウンドにプルダウンします。ピン 25、ピン 26、ピン 29、ピン 30 はこの大きな 1.8V AVDD 電源グループに含める必要があります。このモードでは、これらのピンの絶縁は重要ではありません。また、これらのピンはほとんど電力を消費しません。

シリアル制御ポート

AD9912 のシリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準の様々なマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。単一または複数バイト転送、および **MSB** ファーストまたは **LSB** ファースト転送フォーマットをサポートしています。このシリアル制御ポートは、1 本の双方向 I/O ピン (**SDIO** のみ) または 2 本の単方向 I/O ピン (**SDIO** および **SDO**) ピンに対応した構成となります。

すべてのシリアル・ポートの動作（周波数同調ワードの更新など）には、**DAC** システム・クロックが存在することが必要です。

シリアル制御ポート・ピンの説明

SCLK（シリアル・クロック）ピンはシリアル・シフト・クロックです。このピンは入力ピンです。**SCLK** によって、シリアル制御ポートの読み出しと書き込みが同期されます。書き込みデータ・ビットはこのクロックの立上がりエッジでレジスタに取り込まれ、立下がりエッジで読み出しデータ・ビットがレジスタに取り込まれます。このピンはプルダウン抵抗を内蔵しています。

SDIO（シリアル・データ入出力）は 2 つの機能を持つピンで、入力専用または入出力として機能します。AD9912 では、デフォルトで I/O は双方向ピンに設定されています。しかし、**SDO** アクティブ・ビット（レジスタ 0x0000、ビット 0 = 1）に 1 を書き込むことで、**SDIO** を単方向 I/O ピンとして使用できます。この場合、**SDIO** が入力用、**SDO** が出力用となります。

SDO（シリアル・データ出力）は、データ・リードバック用の独立した出力ピンとして単方向 I/O モード（レジスタ 0x0000、ビット 0 = 1）でのみ使用されます。双方向 I/O モード（**SDIO** を入出力として使用）は、デフォルトでアクティブになっています（**SDO** アクティブ・ビット：レジスタ 0x0000、ビット 0 = 0）。

CSB（チップ・セレクト・バー）はアクティブ・ローの制御信号で、読み出しサイクルと書き込みサイクルをゲートします。**CSB** がハイレベルのとき、**SDO** と **SDIO** は高インピーダンス状態になります。このピンは、100kΩ の抵抗により内部的に 3.3V にプルアップされます。これは開放のままにしてはなりません。通信サイクルでの **CSB** の使用については、[シリアル制御ポートの動作](#)のセクションを参照してください。

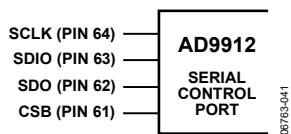


図 49. シリアル制御ポート

シリアル制御ポートの動作

CSB による通信サイクルのフレーミング

通信サイクル（書き込みまたは読み出し動作）は、**CSB** ラインでゲーティングされます。通信サイクルを開始するときは、**CSB** をローレベルにします。

CSB のハイレベルの維持は、3 バイト以下のデータ（および命令データ）の転送モードでサポートされています（**[W1:W0]** は 00、01、または 10 に設定、表 9 参照）。これらのモードでは、**CSB** が任意のバイト境界でピンのアサートを一時に戻して（ハイに戻して）、システム・コントローラが次のバイトを処

理するための時間を確保することができます。**CSB** はバイト境界でのみハイレベルになることができ、また転送内の命令またはデータのいずれの区間でもハイレベルになることができます。この区間にシリアル制御ポートのステート・マシンが待機ステートに入り、すべてのデータが送信されるまでそのステートを維持します。システム・コントローラが全データを送信する前に転送の中止を決定した場合は、残りの転送を完了させるか、**SCLK** の少なくとも 1 サイクルにわたって **CSB** をローレベルに戻すことにより（ただし 8 サイクル未満）、ステート・マシンをリセットする必要があります。非バイト境界で **CSB** をハイレベルにすると、シリアル転送が停止し、バッファがクリアされます。

ストリーミング・モード（**[W1:W0]** = 11）では、任意の数のデータ・バイトを 1 つの連続ストリームで転送できます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます（**MSB** ファースト/**LSB** ファーストの転送のセクションを参照）。最終バイトの転送終了時、**CSB** をハイレベルにして、ストリーム・モードを終了する必要があります。

通信サイクル-命令+データ

AD9912 での通信サイクルには 2 つのパートがあります。まず、**SCLK** の最初の 16 個の立上がりエッジで 16 ビットの命令ワードが AD9912 に書き込まれます。この命令ワードで、データ転送に関する情報が AD9912 シリアル制御ポートに送信されます。このデータ転送が通信サイクルの 2 番目のパートに相当します。命令ワードは、次のデータ転送の読み出し/書き込み、データ転送のバイト数、それにデータ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。

書き込み

命令ワードに書き込み動作（**I15** = 0）が指定されている場合、2 番目のパートは AD9912 のシリアル制御ポート・バッファに対するデータ転送になります。転送長（1、2、または 3 バイト、またはストリーミング・モード）は、命令バイト内の 2 ビット（**[W1:W0]**）で示されます。**[W1:W0]** で指定する転送長には 2 バイト命令は含まれません。8 ビットの各シーケンスの後で **CSB** をハイレベルにして、バスを停止できます（サイクルが終了する最終バイトの後を除く）。バス停止時に **CSB** がローレベルになると、シリアル転送が再開されます。非バイト境界で停止すると、シリアル制御ポートがリセットされます。

AD9912 には、バッファ、ライブ、読み出し専用という 3 タイプのレジスタがあります。バッファ・レジスタ（ミラー・レジスタともいう）は、チップ上の一時バッファから新しい値を実際のレジスタに転送するために I/O 更新が必要であり、レジスタ・マップのタイプ（Type）列に M というマークが記入されています。I/O 更新は、**IO_UPDATE** ピンのトグルまたはレジスタ更新ビット（レジスタ 0x0005、ビット 0）に 1 を書き込むことによって行われます。更新コマンドを発行する前に任意のバイト数のデータを変更できるため、最終更新以降に発生したレジスタ変更をすべて同時に行うことが可能です。ライブ・レジスタの場合は I/O 更新が不要であり、書き込み終了後すぐに更新が行われます。書き込みコマンドを無視する読み出し専用レジスタは、レジスタ・マップのタイプ列に RO と記入されます。この列の AC という表記はこのレジスタが自動クリアであることを示します。

読出し

命令ワードが読出し動作の場合 (I15 = 1)、次の $N \times 8\text{SCLK}$ サイクルの間に、データが命令ワードで指定されたアドレスからクロックに合わせて出力されます ($N = 1, 2, 3$ 、または、[W1:W0] で指定)。この場合、4は読出し動作ごとに4ワード以上が転送されるストリーム・モードに使用されます。データ・リードバックは、SCLK の立下がりエッジで有効となります。

AD9912 シリアル制御ポートのデフォルト・モードは双方向モードであり、リードバック・データはSDIOピンに出力されます。SDO アクティブ・ビット (レジスタ 0x0000、ビット 0=1) に書き込むと、AD9912 を単方向モードに設定できます。単方向モードでは、要求されたデータが SDO ピンに出力されます。

デフォルトでは、読み出し要求により、AD9912 で現在使用されているレジスタ値が読み出されます。ただし、レジスタ 0x0004、ビット 0 = 1 に設定すると、バッファ・レジスタの値が読み出されます。バッファ・レジスタは、次の I/O 更新中に有効となります。

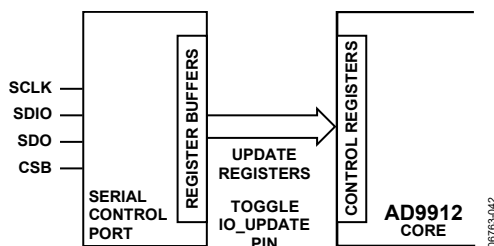


図 50. シリアル制御ポートのレジスタ・バッファと AD9912 の制御レジスタとの関係

AD9912 はレジスタ 0x0000 ~ 0x0509 を使用します。AD9912 のシリアル制御ポートでは、8 ビットと 16 ビットの命令を使用できますが、8 ビット命令モードでは 5 つのアドレス・ビット (A4 ~ A0) にしかアクセスできないため、0x00 ~ 0x31 のアドレス空間しか使用できません。AD9912 は、パワーアップ時にはデフォルトで 16 ビット命令モードが選択され、8 ビット命令モードは使用できません。

命令ワード (16 ビット)

命令ワードの MSB は $\overline{R/\overline{W}}$ であり、読出し命令／書込み命令のどちらであるかを示します。次の 2 ビットは [W1:W0] で、転送バイト長を表します。最後の 13 ビットは、読出し／書込み動作の開始アドレス ([A12:A0]) を示しています。

書込みの場合、命令ワードの後にデータ・バイト数を示す [W1:W0] ビットが続きます (表 9 参照)。

ビット [A12:A0] は、通信サイクルのデータ転送期間に書込みまたは読出しを行うレジスタ・マップ内のアドレスを選択します。AD9912 は 13 ビットアドレス空間をすべて使用します。マルチバイト転送の場合はこのアドレスが開始バイトアドレスです。

表 9. バイト転送数

W1	W0	Bytes to Transfer (Excluding the 2-Byte Instruction)
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

MSB ファースト／LSB ファーストの転送

AD9912 の命令ワードとバイト・データは MSB ファーストまたは LSB ファーストで転送できます。AD9912 のデフォルトは MSB ファーストです。LSB ファースト・モードをイネーブルにするには、シリアル設定レジスタの LSB ファースト・ビットに 1 を書き込み、I/O 更新を行います。LSB ファースト・ビットがセットされると、直ちにすべてのシリアル制御ポート動作が LSB ファーストに変更されます。

MSB ファースト・モードがアクティブのときは、命令バイトとデータ・バイトを MSB から LSB への方で書き込む必要があります。MSB ファースト形式での複数バイト・データの転送は、最上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始します。その後続くデータ・バイトは、上位アドレスから下位アドレスへの順番とする必要があります。MSB ファースト・モードでは、シリアル制御ポートの内部アドレス・ジェネレータが、複数バイト転送サイクルの各データ・バイトに合わせてデクリメントします。

LSB ファースト = 1 (LSB ファースト) の場合は、命令バイトとデータ・バイトは LSB から MSB への方で書き込む必要があります。LSB ファースト形式での複数バイト・データの転送は、最下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始して、その後複数データ・バイトを続けます。シリアル制御ポートの内部アドレス・ジェネレータは、複数バイト転送サイクルの各バイトに合わせてインクリメントします。

AD9912 のシリアル制御ポート・レジスタのアドレスは、MSB ファースト・モードがアクティブの場合 (デフォルト)、複数バイト I/O 動作に対して書き込んだレジスタ・アドレスから 0x0000 に向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル制御ポート・レジスタのアドレスは、複数バイト I/O 動作に対して書き込んだレジスタ・アドレスから 0x1FFF に向かってインクリメントされます。

未使用のアドレスはマルチバイト I/O 動作時にスキップされないため、ユーザは予備レジスタにデフォルト値を書き込み、マップされていないレジスタにはゼロのみを書き込む必要があります。3 つ以上の連続した予約済み (またはマッピングされていない) レジスタにデフォルト値を書き込むよりも、新しい書込みコマンドを送信したほうが効率的です。

表 10. シリアル制御ポート、16 ビット命令ワード、MSB ファースト

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

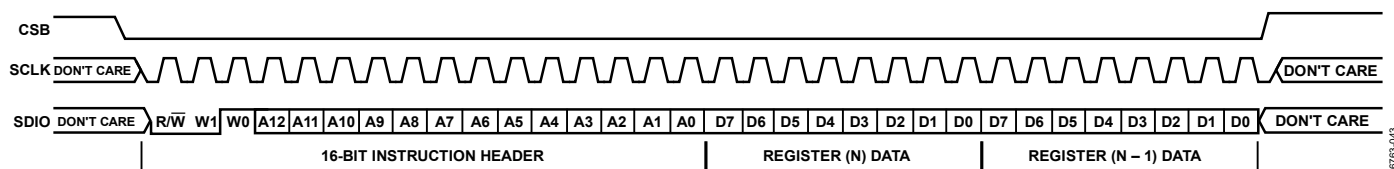


図 51. シリアル制御ポートの書き込み-MSB ファースト、16 ビット命令、2 バイト・データ



図 52. シリアル制御ポートの読み出し-MSB ファースト、16 ビット命令、4 バイト・データ

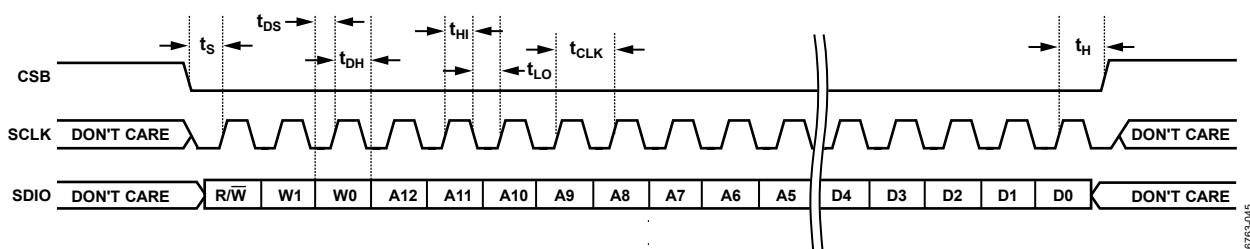


図 53. シリアル制御ポートの書き込み-MSB ファースト、16 ビット命令、タイミング測定

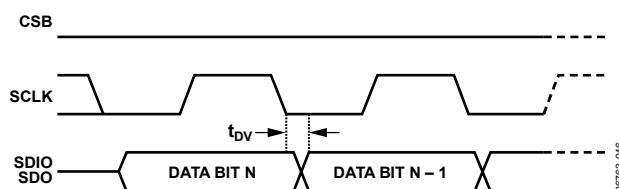


図 54. シリアル制御ポート・レジスタ読み出しのタイミング図

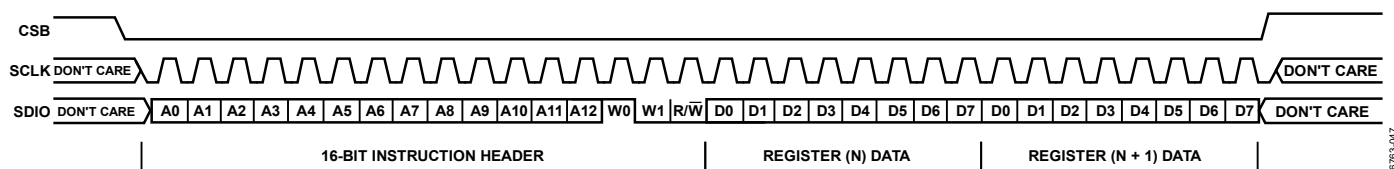


図 55. シリアル制御ポートの書き込み-LSB ファースト、16 ビット命令、2 バイト・データ

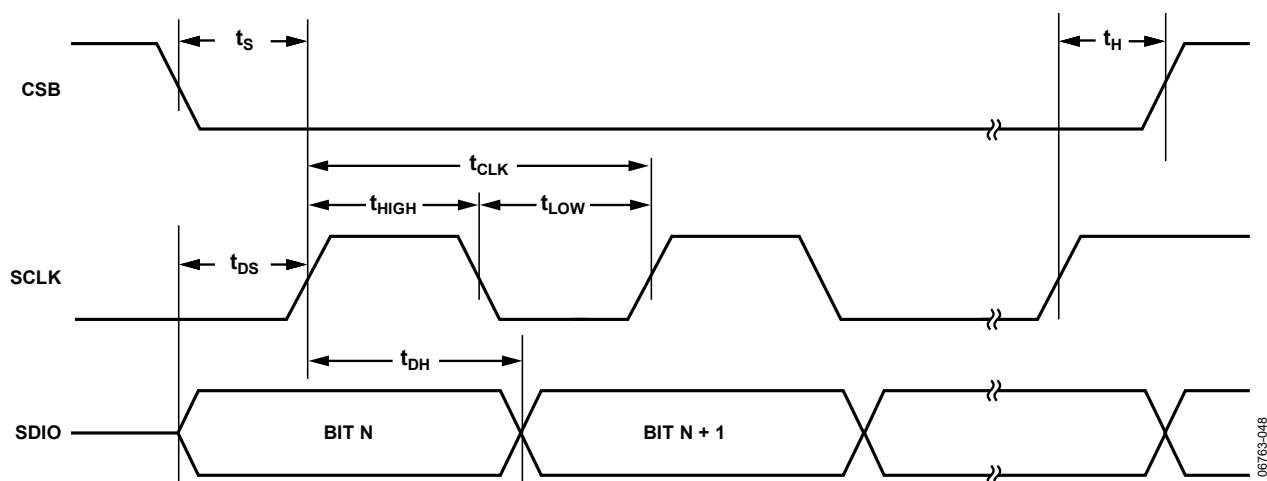


図 56. シリアル制御ポートのタイミング-書き込み

表 11. シリアル制御ポートのタイミング図に用いたパラメータの定義

パラメータ	説明
t_{CLK}	SCLK の周期
t_{DV}	読出しデータ有効時間 (SCLK の立下がりエッジから SDIO/SDO の有効データまでの時間)
t_{DS}	データと SCLK 立上がりエッジ間のセットアップ・タイム
t_{DH}	データと SCLK 立上がりエッジ間のホールド・タイム
t_s	CSB と SCLK 間のセットアップ・タイム
t_H	CSB と SCLK 間のホールド・タイム
t_{HI}	SCLK をロジック・ハイ・ステートに保持する必要がある最小時間
t_{LO}	SCLK をロジック・ロー・ステートに保持する必要がある最小時間

I/O レジスタ・マップ

表 12 で空欄になっているアドレスやビット位置はいずれも使用されていません。

表 12.

Addr (Hex)	Type ¹	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default (Hex)
Serial port configuration and part identification											
0x0000		Serial config.	SDO active	LSB first (buffered)	Soft reset	Long instruction	Long instruction	Soft reset	LSB first (buffered)	SDO active	0x18
0x0001		Reserved									0x00
0x0002	RO	Part ID	Part ID								0x02
0x0003	RO										0x19
0x0004		Serial options								Read buffer register	0x00
0x0005	AC									Register update	0x00
Power-down and reset											
0x0010		Power-down and enable	PD HSTL driver	Enable CMOS driver	Enable output doubler	PD SYSCLK PLL			Full PD	Digital PD	0xC0 or 0xD0
0x0011		Reserved									0x00
0x0012	M, AC	Reset								DDS reset	0x00
0x0013	M		PD fund DDS				S-div/2 reset		S-divider reset		0x00
System clock											
0x0020		N-divider				N-divider, Bits[4:0]					0x12
0x0021		Reserved									0x00
0x0022		PLL parameters	VCO auto range				2× reference	VCO range	Charge pump current, Bits[1:0]		0x04
CMOS output divider (S-divider)											
0x0100		Reserved									0x30
0x0101 to 0x0103		Reserved									0x00
0x0104 and 0x0105		S-divider	S-divider, Bits[15:0] LSB: Register 0x0104								0x00
0x0106			Falling edge triggered							S-divider/2	0x01
Frequency tuning word											
0x01A0 to 0x01A5		Reserved									0x00
0x01A6	M	FTW0 (frequency tuning word)	FTW0, Bits[47:0] LSB: Register 0x01A6								0x00
0x01A7	M										0x00
0x01A8	M										0x00
0x01A9	M										0x00
0x01AA	M										Start-up cond.
0x01AB	M										Start-up cond.
0x01AC	M	Phase	DDS phase word, Bits[7:0]								0x00
0x01AD	M				DDS phase word, Bits[13:8]						0x00
Doubler and output drivers											
0x0200		HSTL driver				OPOL (polarity)			HSTL output doubler, Bits[1:0]		0x05
0x0201		CMOS driver								CMOS mux	0x00

Addr (Hex)	Type ¹	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default (Hex)
Calibration (user-accessible trim)											
0x0400 to 0x040A		Reserved									0x00
0x040B		DAC full-scale current	DAC full-scale current, Bits[7:0]								0xFF
0x040C									DAC full-scale current, Bits[9:8]		0x01
0x040D		Reserved									0x00
0x040E		Reserved									0x10
0x040F and 0x0410		Reserved									0x00
Harmonic spur reduction											
0x0500	M	Spur A	HSR-A enable	Amplitude gain × 2			Spur A harmonic, Bits[3:0]				0x00
0x0501	M		Spur A magnitude, Bits[7:0]								0x00
0x0503	M		Spur A phase, Bits[7:0]								0x00
0x0504	M									Spur A phase, Bit 8	0x00
0x0505	M	Spur B	HSR-B enable	Amplitude gain × 2			Spur B harmonic, Bits[3:0]				0x00
0x0506	M		Spur B magnitude, Bits[7:0]								0x00
0x0508	M		Spur B phase, Bits[7:0]								0x00
0x0509	M									Spur B phase, Bit 8	0x00

¹ レジスタのタイプ：M = ミラー（バッファ）。このタイプのレジスタは、新しい値を有効にするために I/O 更新が必要となります。RO = 読出し専用、AC = オートクリア。

I/O レジスタの説明

シリアル・ポート設定（レジスタ 0x0000 およびレジスタ 0x0005）

レジスタ 0x0000-シリアル・ポート設定

表 13.

ビット	ビット名	説明
[7:4]		これらのビットは、ビット [3:0] のミラー・イメージです。
3	Long instruction	読出し専用、AD9912 は長い命令のみをサポートします。
2	Soft reset	レジスタ・マップのリセット（レジスタ 0x0000 以外）。このビットをセットすると、ソフト・リセットが強制的に実行されます。このビットをクリアしても、S1～S4 はスリーステートにも読出し状態にもなりません。AD9912 は、最後のハード・リセット時に存在した S1～S4 の値を取ります。このビットはセルフ・クリーンされません。他のレジスタはすべてソフト・リセットの後にデフォルト値に戻ります。
1	LSB first	シリアル・ポートのビット順の設定 1 = LSB ファースト。
0	SDO active	0 = MSB ファースト。MSB ファーストを有効にするには、I/O 更新を実行する必要があります。 SDO ピンのイネーブル。 1 = SDO ピンのイネーブル（4 線式シリアル・ポート・モード） 0 = 3 線式モード。

レジスタ 0x0001-予備

レジスタ 0x0002 と 0x0003-デバイス ID（読出し専用）

レジスタ 0x0004-シリアル・オプション

表 14.

ビット	ビット名	説明
0	Read buffer register	バッファ・レジスタの場合、シリアル・ポート・リードバックは、バッファではなく実際の（アクティブ）レジスタから読み出します。 1 = 次の I/O 更新中に有効になるバッファ値を読み出します。 0 = 現在有効な値を読み出します。

レジスタ 0x0005-シリアル・オプション（セルフクリア）

表 15.

ビット	ビット名	説明
0	Register update	レジスタ更新ピン機能へのソフトウェア・アクセス。このビットを 1 にすると、I/O 更新が実行されます。

パワーダウンおよびリセット（レジスタ 0x0010～0x0013）

レジスタ 0x0010-パワーダウンおよびイネーブル

スタートアップ・ピンでパワーアップ・デフォルトを定義します。

表 16.

ビット	ビット名	説明
7	PD HSTL driver	HSTL 出力ドライバをパワーダウンします。 1 = HSTL ドライバのパワーダウン
6	Enable CMOS driver	CMOS 出力ドライバをパワーアップします。 1 = CMOS ドライバ・オン
5	Enable output doubler	出力クロック発生器のダブラをパワーアップします。出力ダブラはレジスタ 0x0200 でイネーブルになっている必要があります。
4	PD SYSCLK PLL	システム・クロック通倍器をパワーダウンします。 1 = システム・クロック通倍器のパワーダウン パワーアップまたはリセット時に S4 ピンがハイレベルに接続されると、このビットはセットされます。レジスタ 0x0010 のデフォルト値は C0 ではなく D0 です。
1	Full PD	このビットを設定すると、PD ピンがアクティブになり、すべてのブロック（シリアル・ポート以外）がパワーダウン・モードになります。SYSCLK はオフになります。
0	Digital PD	ほとんどのデジタル部からクロックを削除し、シリアル・ポートを使用可能な状態にします。Full PD ビットとは対照的に、このビットを設定しても入力はデバイアスされず、クイック・ウェイクアップが可能です。

レジスタ 0x0011–予備

レジスタ 0x0012–リセット（オートクリア）

レジスタ 0x0000 のソフト・リセット・ビット（非セルフクリア）を使って、チップ全体をリセットできます。

表 17.

ビット	ビット名	説明
0	DDS reset	デジタル合成ブロックのリセット。このブロックのリセットはほとんど必要ありません。

レジスタ 0x0013–リセット（続き）（非オートクリア）

表 18.

ビット	ビット名	説明
7	PD fund DDS	このビットを設定すると DDS 基本出力（スプリアスではなく）がパワーダウンされます。これは、SpurKiller 回路の調整時に使用します。
3	S-div/2 reset	S プリスケーラの非同期リセット。
1	S-divider reset	整数分周器の（S 分周器プリスケーラ出力に対する）同期リセット。

システム・クロック（レジスタ 0x0020～0x0022）

レジスタ 0x0020–N 分周器

表 19.

ビット	ビット名	説明
[4:0]	N-divider	これらのビットで、システム・クロック PLL の帰還分周器を設定します。このブロックの前に固定の 1/2 分周とこの値に加える 2 のオフセットがあります。したがって、このレジスタを 00000 に設定すると、4 の帰還分周器比に変換されます。図 45 参照。

レジスタ 0x0021–予備

レジスタ 0x0022–PLL パラメータ

表 20.

ビット	ビット名	説明
7	VCO auto range	自動の VCO レンジ選択。このビットをイネーブルにすれば、このレジスタのビット 2 を自動的に設定できます。
[6:4]	Reserved	予備。
3	2× reference	SYSCLK PLL の前の周波数ダブラをイネーブルにして、SYSCLK PLL によって生じるジッタを低減できます。図 44 参照。
2	VCO range	低レンジまたは高レンジの VCO を選択します。 0 = 低レンジ（700MHz～810MHz） 1 = 高レンジ（900MHz～1000MHz）。810MHz～900MHz 間のシステム・クロック設定の場合は、VCO auto range（ビット 7）を使って適正な VCO レンジを自動的に設定します。
[1:0]	Charge pump current	チャージ・ポンプ電流。 00 = 250μA 01 = 375μA 10 = オフ 11 = 125μA

CMOS 出力分周器（S 分周器）（レジスタ 0x0100～0x0106）

レジスタ 0x0100～0x0103-予備

レジスタ 0x0104-S 分周器

表 21.

ビット	ビット名	説明
[7:0]	S-divider	CMOS 出力分周器。分周比 = $1 - 65,536$ 。必要な S 分周設定値が 65,536 より大きい場合、FDBK_IN の入力信号が 400MHz より大きい場合は、レジスタ 0x0106 のビット 0 をセットする必要があります。実際の S 分周器の値はこのレジスタの値プラス 1 です。したがって、値 1 の S 分周器の場合は、レジスタ 0x0104 とレジスタ 0x0105 の両方の値を 0x00 にする必要があります。レジスタ 0x0104 は最下位バイトです。

レジスタ 0x0105-S 分周器（続き）

表 22.

ビット	ビット名	説明
[15:8]	S-divider	CMOS 出力分周器。分周比 = $1 - 65,536$ 。必要な S 分周設定値が 65,536 より大きい場合、FDBK_IN の入力信号が 400MHz より大きい場合は、レジスタ 0x0106 のビット 0 をセットする必要があります。実際の S 分周器の値はこのレジスタの値プラス 1 です。したがって、値 1 の S 分周器の場合は、レジスタ 0x0104 とレジスタ 0x0105 の両方の値を 0x00 にする必要があります。レジスタ 0x0104 は最下位バイトです。

レジスタ 0x0106-S 分周器（続き）

表 23.

ビット	ビット名	説明
7	Falling edge triggered	このビットを設定すると、S 分周器の前のリファレンス・クロックが反転されます。
[6:1]	Reserved	予備。
0	S-divider/2	このビットを設定すると、追加の 1/2 プリスケアラがイネーブルとなります。 CMOS 出力分周器（S 分周器） のセクションを参照してください。S 分周設定値が 65,536 より大きい場合、FDBK_IN の入力信号が 400MHz より大きい場合は、このビットを設定します。

周波数同調ワード（レジスタ 0x01A0～0x01AD）

レジスタ 0x01A0～0x01A5-予備

レジスタ 0x01A6-FTW0（周波数同調ワード）

表 24.

ビット	ビット名	説明
[7:0]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01A7-FTW0（周波数同調ワード）（続き）

表 25.

ビット	ビット名	説明
[15:8]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01A8-FTW0（周波数同調ワード）（続き）

表 26.

ビット	ビット名	説明
[23:16]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01A9–FTW0（周波数同調ワード）（続き）

表 27.

ビット	ビット名	説明
[31:24]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01AA–FTW0（周波数同調ワード）（続き）

表 28.

ビット	ビット名	説明
[39:32]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01AB–FTW0（周波数同調ワード）（続き）

表 29.

ビット	ビット名	説明
[47:40]	FTW0	このレジスタは、DDS の FTW（周波数同調ワード）を保持します。FTW により、AD9912 の DAC システム・クロックに対する出力周波数の比が決まります。レジスタ 0x01A6 は FTW の最下位バイトです。パワーアップ・デフォルトは、スタートアップ・ピン S1～S4 で定義されます。FTW を更新すると瞬時周波数ジャンプが発生しますが、位相不連続は生じません。

レジスタ 0x01AC–位相

表 30.

ビット	ビット名	説明
[7:0]	DDS phase word	DDS 出力の位相を変更できます。 ダイレクト・デジタル・シンセサイザ（DDS） のセクションを参照。レジスタ 0x01AC は位相オフセット・ワード（POW）の最下位バイトです。位相が 45°以上変化すると瞬時的な位相不連続が発生する可能性があります。

レジスタ 0x01AD–位相（続き）

表 31.

ビット	ビット名	説明
[13:8]	DDS phase word	DDS 出力の位相を変更できます。 ダイレクト・デジタル・シンセサイザ（DDS） のセクションを参照。レジスタ 0x01AC は位相オフセット・ワード（POW）の最下位バイトです。位相が 45°以上変化すると瞬時的な位相不連続が発生する可能性があります。

ダブラおよび出力ドライバ（レジスタ 0x0200～0x0201）

レジスタ 0x0200-HSTL ドライバ

表 32.

ビット	ビット名	説明
4	OPOL	出力極性。このビットを設定すると、HSTL ドライバの出力極性が反転されます。
[3:2]	Reserved	予備。
[1:0]	HSTL output doubler	HSTL 出力ダブラ 01：ダブラをディスエーブル。 10：ダブラをイネーブル。ダブラを使用するときは、レジスタ 0x0010 のビット 5 も 1 に設定します。

レジスタ 0x0201-CMOS ドライバ

表 33.

ビット	ビット名	説明
0	CMOS mux	このビットで、CMOS ドライバ出力を S 分周器で分周するか選択できます。 0 = CMOS ドライバに送信される S 分周器入力 1 = CMOS ドライバに送信される S 分周器出力。図 39 参照。

キャリブレーション（ユーザ設定可能なトリム）（レジスタ 0x0400～0x0410）

レジスタ 0x0400～0x040A-予備

レジスタ 0x040B-DAC フルスケール電流

表 34.

ビット	ビット名	説明
[7:0]	DAC full-scale current	DAC フルスケール電流、ビット [7:0]。D/A コンバータ（DAC）出力のセクションを参照してください。

レジスタ 0x040C-DAC フルスケール電流（続き）

表 35.

ビット	ビット名	説明
[9:8]	DAC full-scale current	DAC フルスケール電流、ビット [9:8]。レジスタ 0x040B を参照。

レジスタ 0x040D～0x0410-予備

高調波スプリアス低減（レジスタ 0x0500～0x0509）

高調波スプリアス低減のセクションを参照してください。

レジスタ 0x0500-スプリアス A

表 36.

ビット	ビット名	説明
7	HSR-A enable	高調波スプリアス低減 A イネーブル。
6	Amplitude gain × 2	このビットをセットするとキャンセル回路のゲインが 2 倍になりますが、最小ステップ・サイズも 2 倍になります。
[5:4]	Reserved	予備。
[3:0]	Spur A harmonic	スプリアス A 高調波 1～15。低減する高調波を選択できます。

レジスタ 0x0501-スプリアス A（続き）

表 37.

ビット	ビット名	説明
[7:0]	Spur A magnitude	スプリアス A の振幅のリニア乗算

レジスタ 0x0503–スプリアス A（続き）

表 38.

ビット	ビット名	説明
[7:0]	Spur A phase	スプリアス B 位相のリニア・オフセット

レジスタ 0x0504–スプリアス A（続き）

表 39.

ビット	ビット名	説明
[8]	Spur A phase	スプリアス A 位相のリニア・オフセット

レジスタ 0x0505–スプリアス B

表 40.

ビット	ビット名	説明
7	HSR-B enable	高調波スプリアス低減 B イネーブル
6	Amplitude gain $\times 2$	このビットをセットするとキャンセル回路のゲインが 2 倍になりますが、最小ステップ・サイズも 2 倍になります。
[5:4]	Reserved	予備。
[3:0]	Spur B harmonic	スプリアス B 高調波 1～15。低減する高調波を選択できます。

レジスタ 0x0506–スプリアス B（続き）

表 41.

ビット	ビット名	説明
[7:0]	Spur B magnitude	スプリアス B の振幅のリニア乗算

レジスタ 0x0508–スプリアス B（続き）

表 42.

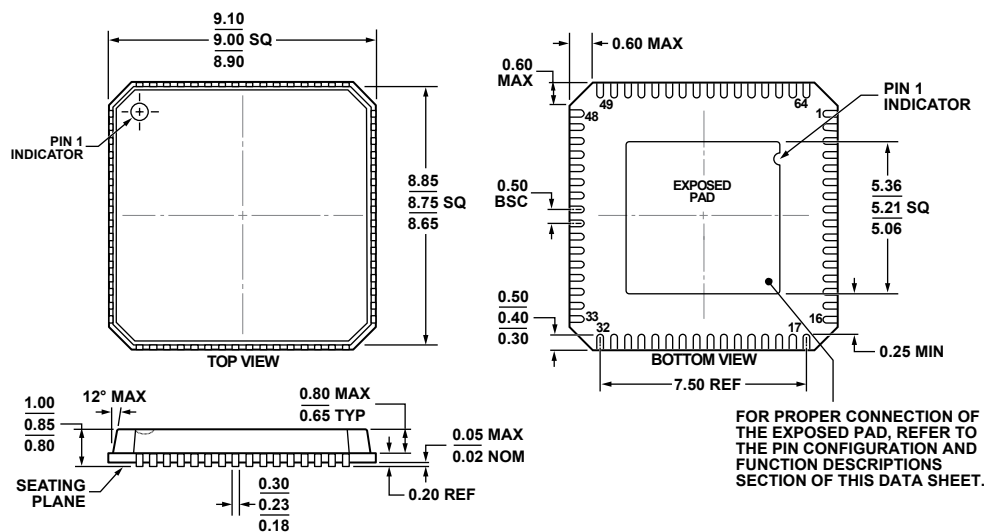
ビット	ビット名	説明
[7:0]	Spur B phase	スプリアス B 位相のリニア・オフセット

レジスタ 0x0509–スプリアス B（続き）

表 43.

ビット	ビット名	説明
8	Spur B phase	スプリアス B 位相のリニア・オフセット

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

図 57. 64 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-7)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9912ABCPZ	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-7
AD9912ABCPZ-REEL7	−40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-7
AD9912A/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品

メモ