



50V、1MHz、165 μ A の堅牢な Over-The-Top 高精度オペアンプ

データシート

ADA4098-1

特長

極めて広い共通モード入力範囲: $-V_S - 0.1V \sim -V_S + 70V$
広い電源電圧範囲: $+3V \sim +50V$ ($\sim \pm 25V$ で PSRR を確保)

低電源電流: 165 μ A (代表値)

低入力オフセット電圧: $\pm 30\mu V$ (最大値)

低入力オフセット電圧ドリフト: $\pm 0.5\mu V/^\circ C$ (最大値)
(B グレード)

低入力電圧ノイズ

1/f ノイズ・コーナ: 6Hz (代表値)

0.1Hz \sim 10Hz で 400nV p-p (代表値)

100Hz で 17nV/ \sqrt{Hz} (代表値)

高速

GBIP: $f_{TEST} = 2.5kHz$ で 1.05MHz (代表値)

スルー・レート: $\Delta V_{OUT} = 25V$ で 0.85V/ μs (代表値)

低電源電流のシャットダウン: 20 μ A (最大値)

低入力オフセット電流: $\pm 700pA$ (最大値)

大信号電圧ゲイン: $\Delta V_{OUT} = 4V$ で 126dB (最小値)

CMRR: $V_{CM} = -0.1V \sim +70V$ で 123dB (最小値)

PSRR: $V_{SY} = +3V \sim \pm 25V$ で 123dB (最小値)

入力オーバードライブ耐性 (位相反転なし)

$\pm 4kV$ HBM および $\pm 1.25kV$ FICDM

広い動作温度範囲: $-55^\circ C \sim +150^\circ C$ (H グレード)

6ピン TSOT パッケージ

アプリケーション

工業用センサーのコンディショニング

電源電流の検出

バッテリーおよび電源のモニタリング

過酷な環境でのフロント・エンド・アンプ

4mA \sim 20mA のトランスミッタ

概要

ADA4098-1 は堅牢で高精度のレール to レール入出力オペアンプで、 $-V_S$ から $+V_S$ 以上の入力で動作します。このデータシートでは、この特長を Over-The-Top™ と呼んでいます。このデバイスのオフセット電圧は 30 μV 未満、入力バイアス電流 (I_B) は 700pA 未満で、3V \sim 50V の範囲の単電源または分離電源で動作できます。ADA4098-1 には 165 μA の電源電流が流れ込みます。

ADA4098-1 の Over-The-Top 入力段は、過酷な環境に対して堅牢な入力保護機能を備えています。入力は、損傷や DC 精度の低下なしに最大 80V の差動電圧に耐えられます。動作共通モード入力範囲はレール to レール以上に ($+V_S$ 電源に関係なく、最大で $-V_S$ より 70V 高い電圧まで) 広がっています。

ADA4098-1 はユニティ・ゲインで安定動作し、最大 20mA を必要とする負荷を駆動できます。また、このデバイスは、200pF 程度の容量性負荷も駆動できます。このアンプは低消費電力のシャットダウンが可能です。

ADA4098-1 は、標準的な 6ピン薄型スモール・アウトライン・トランジスタ (TSOT) パッケージを採用しています。

代表的なアプリケーション回路

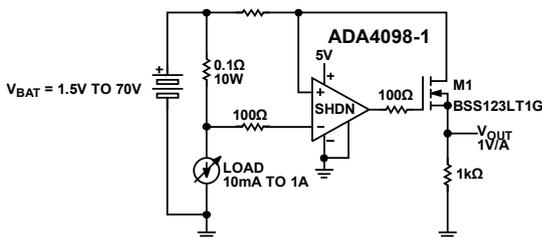


図 1. 1V/A Over-The-Top 電流検出アプリケーション
(V_{BAT} はバッテリー電圧です。)

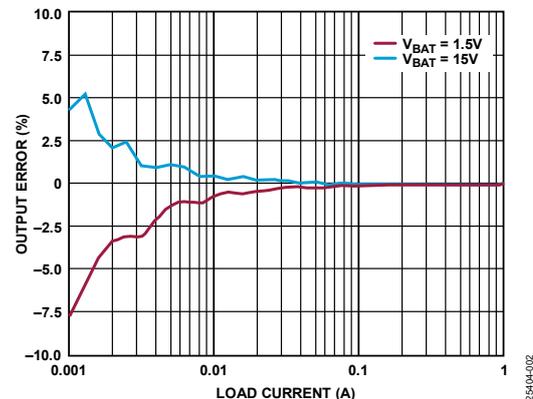


図 2. 出力誤差と負荷電流の関係

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2012 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	出力	20
アプリケーション	1	シャットダウン・ピン (SHDN)	20
概要	1	アプリケーション情報	21
代表的なアプリケーション回路	1	大きな抵抗によるゲインの操作	21
改訂履歴	2	様々なゲインに対する推奨値	21
仕様	3	ノイズ	22
5V 電源	3	歪み	22
±15V 電源	5	消費電力とサーマル・シャットダウン	23
絶対最大定格	8	回路レイアウト時の考慮事項	23
最大消費電力	8	電源のバイパス	23
熱抵抗	8	グラウンド接続	24
静電放電 (ESD) 定格	8	通電時の ESD 保護	24
ESD に関する注意	8	関連製品	24
ピン配置およびピン機能の説明	9	代表的なアプリケーション	25
代表的な性能特性	10	外形寸法	27
動作原理	18	オーダー・ガイド	27
入力保護	19		
Over-The-Top 動作の考慮事項	19		

改訂履歴

4/2021—Revision 0: Initial Version

仕様

5V 電源

特に指定のない限り、コモンモード電圧 (V_{CM}) = 2.5V、SHDN ピンはオープン、負荷抵抗 (R_L) = 499k Ω は電源電圧の midpoint に接続、 T_A = 25°C。

表 1.

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
DC PERFORMANCE								
Input Offset Voltage (V_{OS}) ¹	0.25V < V_{CM} < 3.5V		±15	±30		±15	±30	μV
	最低温度 (T_{MIN}) < T_A < 最高温度 (T_{MAX})			±90			±100	μV
	0.25V < V_{CM} < 70V		±20	±40		±20	±40	μV
	T_{MIN} < T_A < T_{MAX}			±100			±110	μV
Input Offset Voltage Drift ²	-0.1V < V_{CM} < +70V		±20	±40		±20	±40	μV
	T_{MIN} < T_A < T_{MAX}			±200			±250	μV
	T_{MIN} < T_A < T_{MAX}		±0.1	±0.5		±0.1	±0.8	μV/°C
	T_{MIN} < T_A < T_{MAX}			±0.5			±0.8	μV/°C
Input Bias Current (I_B)	T_{MIN} < T_A < T_{MAX}		±0.35	±0.7		±0.35	±0.7	nA
	T_{MIN} < T_A < T_{MAX}			±10			±25	nA
	V_{CM} = 70V、Over-The-Top	3.5	8	12	3.5	8	12	μA
	T_{MIN} < T_A < T_{MAX}	1.75		14.8	1.5		15	μA
Input Offset Current (I_{OS})	0V < V_{CM} < 70V、 V_{SY} = 0V		0.001	1		0.001	1	μA
	T_{MIN} < T_A < T_{MAX}			10			10	μA
	T_{MIN} < T_A < T_{MAX}			±350		±350	±700	pA
	T_{MIN} < T_A < T_{MAX}			±700			±700	pA
Common-Mode Rejection Ratio (CMRR)	V_{CM} = 70V、Over-The-Top ³		±0.05	±0.065		±0.05	±0.065	μA
	T_{MIN} < T_A < T_{MAX}			±0.09			±0.1	μA
	V_{CM} = -0.1V to +70V	123	140		123	140		dB
	T_{MIN} < T_A < T_{MAX}	110			109			dB
Common-Mode Input Range	V_{CM} = 0.25V ~ 3.5V	116	134		116	134		dB
	T_{MIN} < T_A < T_{MAX}	110			110			dB
	CMRR テストによって確保	-0.1		+70	-0.1		+70	V
	T_{MIN} < T_A < T_{MAX}							
Large Signal Voltage Gain (A_{OL})	デルタ出力電圧 (ΔV_{OUT}) = 4V	126	150		126	150		dB
	T_{MIN} < T_A < T_{MAX}	120			120			dB
	ΔV_{OUT} = 4V、 R_L = 10k Ω	112	122		112	122		dB
	T_{MIN} < T_A < T_{MAX}	106			106			dB
NOISE PERFORMANCE								
Input Voltage Noise	周波数 (f) = 0.1Hz ~ 10Hz		400			400		nV p-p
	1/f ノイズ・コーナ		6			6		Hz
	f = 100Hz		17			17		nV/√Hz
	Over-The-Top	f = 100Hz、 V_{CM} > 5V		20			20	nV/√Hz
Input Current Noise	f = 100Hz		0.15			0.15		pA/√Hz
	Over-The-Top	f = 100Hz、 V_{CM} > 5V		1.8			1.8	pA/√Hz
DYNAMIC PERFORMANCE								
Slew Rate	ΔV_{OUT} = 2V	0.15	0.4		0.15	0.4		V/μs
	T_{MIN} < T_A < T_{MAX}	0.1			0.1			V/μs
Gain Bandwidth Product (GBP)	テスト周波数 (f_{TEST}) = 2.5kHz	0.9	1.05		0.9	1.05		MHz
	T_{MIN} < T_A < T_{MAX}	0.9			0.9			MHz

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
Phase Margin			55			55		Degrees
1% Settling Time	$\Delta V_{OUT} = \pm 2V$		14			14		μs
0.1% Settling Time	$\Delta V_{OUT} = \pm 2V$		18			18		μs
Total Harmonic Distortion Plus Noise (THD + N)	$f = 10kHz, V_{OUT} = 1V$ p-p, $R_L = 10k\Omega$, 帯域幅 = 80kHz		0.01			0.01		%
INPUT CHARACTERISTICS								
Input Resistance	差動モード		1			1		$M\Omega$
	コモンモード		>1			>1		$G\Omega$
Over-The-Top	差動モード、 $V_{CM} > 5V$		7			7		$k\Omega$
	コモンモード、 $V_{CM} > 5V$		>250			>250		$M\Omega$
Input Capacitance	差動モード		1			1		pF
	コモンモード		3			3		pF
SHDN PIN								
Input Logic Low	アンプ・アクティブ、SHDN ピン電圧 (V_{SHDN}) $< -V_S + 0.5V$, $T_{MIN} < T_A < T_{MAX}$			$-V_S + 0.5$		$-V_S + 0.5$		V
Input Logic High	アンプ・シャットダウン、 $V_{SHDN} > -V_S + 1.5V$, $T_{MIN} < T_A < T_{MAX}$	$-V_S + 1.5$			$-V_S + 1.5$			V
Response Time	アンプのアクティブからシャット ダウンまで		2.5			2.5		μs
	アンプのシャットダウンから アクティブまで		30			30		μs
Pull-Down Current	$V_{SHDN} = -V_S + 0.5V$, $T_{MIN} < T_A < T_{MAX}$		0.6	3		0.6	3	μA
	$V_{SHDN} = -V_S + 1.5V$, $T_{MIN} < T_A < T_{MAX}$		0.3	2.5		0.3	2.5	μA
OUTPUT CHARACTERISTICS								
Output Voltage Swing Low	オーバードライブ電圧 (V_{OD}^4) = 30mV、無負荷		20	45		20	45	mV
	$T_{MIN} < T_A < T_{MAX}$			50			55	mV
	$V_{OD} = 30mV$ 、 シンク電流 (I_{SINK}) = 10mA		260	360		260	360	mV
Output Voltage Swing High	$T_{MIN} < T_A < T_{MAX}$			435			450	mV
	$V_{OD} = 30mV$ 、無負荷		2.5	15		2.5	15	mV
	$T_{MIN} < T_A < T_{MAX}$			25			30	mV
Short-Circuit Current	$V_{OD} = 30mV$ 、ソース電流 (I_{SOURCE}) = 10mA		900	1100		900	1100	mV
	$T_{MIN} < T_A < T_{MAX}$			1500			1650	mV
	I_{SOURCE}	24	40		24	40		mA
Output Pin Leakage During Shutdown	$T_{MIN} < T_A < T_{MAX}$	15			12			mA
	I_{SINK}	35	50		35	50		mA
	$T_{MIN} < T_A < T_{MAX}$	25			20			mA
Output Pin Leakage During Shutdown	$V_{SHDN} = -V_S + 1.5V$		± 0.01	± 100		± 0.01	± 100	nA
	$T_{MIN} < T_A < T_{MAX}$			± 10			± 10	μA

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
POWER SUPPLY								
Maximum Operating Voltage ⁵				50			50	V
Voltage Range (V _{SY})	電源電圧変動除去比 (PSRR) によって確保	3		50	3		50	V
Supply Current	アンプ・アクティブ		165	175		165	175	μA
	T _{MIN} < T _A < T _{MAX}			242			250	μA
	アンプ・シャットダウン、 V _{SHDN} = -V _S + 1.5V		12	20		12	20	μA
	T _{MIN} < T _A < T _{MAX}			22.5			22.5	μA
PSRR	V _{SY} = +3V ~ ±25V	123	145		123	145		dB
	T _{MIN} < T _A < T _{MAX}	120			120			dB
THERMAL SHUTDOWN⁶								
Temperature	T _J		175			175		°C
Hysteresis			20			20		°C
Operating Temperature	T _A	-40		+125	-55		+150	°C

¹ 高速出荷テスト時に発生する熱電電圧によって、このパラメータの測定精度は制限されます。表 1 に示す制限はテスト能力によって決まるもので、必ずしも実際のデバイス性能を表すものではありません。

² オフセット電圧ドリフトは、実験室での特性評価によって確保されたもので、出荷テストの対象外です。

³ テストの精度は、高速出荷テスト装置の繰り返し精度によって制限されます。ベンチ測定では、Over-The-Top 構成での入力オフセット電流は、通常、+25°C で 50nA 未満、-55°C < T_A < +150°C の温度範囲では 100nA 未満に制御されています。

⁴ V_{OD} は、V_{OUT} がハイの場合に +30mV、V_{OUT} がローの場合に -30mV です。

⁵ 最大動作電圧は、オンチップ・コンデンサの酸化膜の経時的絶縁破壊 (TDDDB) によって制限されます。このアンプは、仕様規定された絶対最大定格までの一時的なトランジェント・オーバーシュートには耐えられますが、DC 電源電圧は、最大動作電圧以下に制限する必要があります。

⁶ サーマル・シャットダウンは実験室でのみ特性評価したもので、出荷テストの対象外です。

±15V 電源

特に指定のない限り、V_{CM} = 0V、SHDN ピンはオープン、R_L = 499kΩ はグラウンドに接続、T_A = 25°C。

表 2.

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
DC PERFORMANCE								
V _{OS} ¹			±15	±35		±15	±35	μV
	T _{MIN} < T _A < T _{MAX}			±90			±100	μV
	V _{SY} = ±25V		±15	±35		±15	±35	μV
Input Offset Voltage Drift ²	T _{MIN} < T _A < T _{MAX}			±90			±100	μV
	T _{MIN} < T _A < T _{MAX}		±0.1	±0.5		±0.1	±0.8	μV/°C
I _B			±0.35	±0.7		±0.35	±0.7	nA
	T _{MIN} < T _A < T _{MAX}			±10			±25	nA
	V _{SY} = ±25V		±0.35	±0.7		±0.35	±0.7	nA
I _{OS}	T _{MIN} < T _A < T _{MAX}			±10			±25	nA
			±0.35	±0.7		±0.35	±0.7	nA
	T _{MIN} < T _A < T _{MAX}			±5			±15	nA
	V _{SY} = ±25V		±0.35	±0.7		±0.35	±0.7	nA
	T _{MIN} < T _A < T _{MAX}			±5			±15	nA

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
CMRR	$V_{CM} = -14.75V$ to $+13.5V$	118	135		118	135		dB
	$T_{MIN} < T_A < T_{MAX}$	116			116			dB
	$V_{CM} = -15.1V$ to $+13.5V$	117	135		117	135		dB
	$T_{MIN} < T_A < T_{MAX}$	102			101			dB
	$V_{CM} = -15.1V$ to $+55V$	123	140		123	140		dB
	$T_{MIN} < T_A < T_{MAX}$	110			109			dB
Common-Mode Input Range	CMRR テストによって確保	-15.1		+55	-15.1		+55	V
A_{OL}	$\Delta V_{OUT} = 25V$	134	150		134	150		dB
	$T_{MIN} < T_A < T_{MAX}$	126			123			dB
	$\Delta V_{OUT} = 25V$ 、 $R_L = 10k\Omega$	117	120		117	120		dB
	$T_{MIN} < T_A < T_{MAX}$	108			106			dB
NOISE PERFORMANCE								
Input Voltage Noise	$f = 0.1Hz \sim 10Hz$		400			400		nV p-p
	1/f ノイズ・コーナ		6			6		Hz
	$f = 100Hz$		17			17		nV/ \sqrt{Hz}
Over-The-Top	$f = 100Hz$ 、 $V_{CM} > +V_S$		20			20		nV/ \sqrt{Hz}
Input Current Noise	$f = 100Hz$		0.15			0.15		pA/ \sqrt{Hz}
	Over-The-Top	$f = 100Hz$ 、 $V_{CM} > +V_S$		1.8			1.8	pA/ \sqrt{Hz}
DYNAMIC PERFORMANCE								
Slew Rate	$\Delta V_{OUT} = 25V$	0.35	0.85		0.35	0.85		V/ μs
	$T_{MIN} < T_A < T_{MAX}$	0.2			0.2			V/ μs
GBP	$f_{TEST} = 2.5kHz$	0.95	1.05		0.95	1.05		MHz
	$T_{MIN} < T_A < T_{MAX}$	0.95			0.95			MHz
Phase Margin			57			57		Degrees
1% Settling Time	$\Delta V_{OUT} = \pm 2V$		14			14		μs
0.1% Settling Time	$\Delta V_{OUT} = \pm 2V$		18			18		μs
THD + N	$f = 10kHz$ 、 $V_{OUT} = 1V$ p-p、 $R_L = 10k\Omega$ 、帯域幅 = 80kHz		0.01			0.01		%
INPUT CHARACTERISTICS								
Input Resistance	差動モード		1			1		M Ω
	コモンモード		>1			>1		G Ω
Input Capacitance	差動モード		1			1		pF
	コモンモード		3			3		pF
SHDN PIN								
Input Logic Low	アンプ・アクティブ、 $V_{SHDN} < -V_S + 0.5V$			$-V_S + 0.5$			$-V_S + 0.5$	V
Input Logic High	アンプ・シャットダウン $V_{SHDN} > -V_S + 1.5V$	$-V_S + 1.5$			$-V_S + 1.5$			V
Response Time	アンプのアクティブからシャットダウンまで		2.5			2.5		μs
	アンプのシャットダウンからアクティブまで		30			30		μs
Pull-Down Current	$V_{SHDN} = -V_S + 0.5V$ 、 $T_{MIN} < T_A < T_{MAX}$		0.6	3		0.6	3	μA
	$V_{SHDN} = -V_S + 1.5V$ 、 $T_{MIN} < T_A < T_{MAX}$		0.3	2.5		0.3	2.5	μA

パラメータ	テスト条件/コメント	B グレード			H グレード			単位
		Min	Typ	Max	Min	Typ	Max	
OUTPUT CHARACTERISTICS								
Output Voltage Swing Low	$V_{OD}^3 = 30\text{mV}$ 、無負荷 $T_{MIN} < T_A < T_{MAX}$		20	45		20	45	mV
	$V_{OD} = 30\text{mV}$ 、 $I_{SINK} = 10\text{mA}$ $T_{MIN} < T_A < T_{MAX}$		260	360		260	360	mV
Output Voltage Swing High	$V_{OD} = 30\text{mV}$ 、無負荷 $T_{MIN} < T_A < T_{MAX}$		2.5	15		2.5	15	mV
	$V_{OD} = 30\text{mV}$ 、 $I_{SOURCE} = 10\text{mA}$ $T_{MIN} < T_A < T_{MAX}$		900	1100		900	1100	mV
Short-Circuit Current	$T_{MIN} < T_A < T_{MAX}$ I_{SOURCE}	24	34		24	34		mA
	$T_{MIN} < T_A < T_{MAX}$ I_{SINK}	15	50		12	50		mA
	$T_{MIN} < T_A < T_{MAX}$	20		1500	20		1650	mA
POWER SUPPLY								
Maximum Operating Voltage ⁴				50			50	V
Voltage Range	PSRR によって確保	3		50	3		50	V
Supply Current	アンプ・アクティブ $T_{MIN} < T_A < T_{MAX}$		185	205		185	205	μA
	$V_{SY} = \pm 25\text{V}$ $T_{MIN} < T_A < T_{MAX}$		195	215		195	215	μA
	アンプ・シャットダウン、 $V_{SHDN} = -V_S + 1.5\text{V}$ $T_{MIN} < T_A < T_{MAX}$		17	24		17	24	μA
PSRR	$V_{SY} = 3\text{V} \sim 50\text{V}$ $T_{MIN} < T_A < T_{MAX}$	123	145	27	123	145	27	dB
		120			120			dB
THERMAL SHUTDOWN ⁵								
Temperature	T_J		175			175		$^{\circ}\text{C}$
Hysteresis			20			20		$^{\circ}\text{C}$
Operating Temperature	T_A	-40		+125	-55		+150	$^{\circ}\text{C}$

¹ 高速出荷テスト時に発生する熱電圧によって、このパラメータの測定精度は制限されます。表 2 に示す制限はテスト能力によって決まるもので、必ずしも実際のデバイス性能を表すものではありません。

² オフセット電圧ドリフトは、実験室での特性評価によって確保されたもので、出荷テストの対象外です。

³ V_{OD} は、 V_{OUT} がハイの場合に +30mV、 V_{OUT} がローの場合に -30mV です。

⁴ 最大動作電圧は、オンチップ・コンデンサの酸化膜の TDDB によって制限されます。このアンプは、仕様規定された絶対最大定格までの一時的なトランジェント・オーバーシュートには耐えられますが、DC 電源電圧は、最大動作電圧以下に制限する必要があります。

⁵ サーマル・シャットダウンは実験室でのみ特性評価したもので、出荷テストの対象外です。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage ¹	
Transient	60 V
Continuous	50 V
Power Dissipation (P _D)	See Figure 3
Differential Input Voltage	±80 V
±IN Pin Voltage	
Continuous	-10 V to +80 V
Survival	-20 V to +80 V
±IN Pin Current	15 mA
SHDN Pin Voltage	-0.3 V to +60 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-55°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
T _J	175°C

¹ 最大電源電圧は、オンチップ・コンデンサの酸化膜の TDDB によって制限されます。このアンプは、仕様規定された瞬間的な最大定格までの一時的なトランジェント・オーバーシュートに耐えられます。連続動作電源電圧は、50V 以下に制限する必要があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

125°C を超える T_J によって経年劣化が加速されます。ADA4098-1 は、T_A = 150°C で 1000 時間以上にわたり、±25V 電源での動作が実証されています。

最大消費電力

デバイスの最大安全 P_D は、関連する T_C またはダイの T_J の上昇により制限されます。T_C = 約 150°C のガラス転移温度で、プラスチック・パッケージの性質が変わります。この温度制限値を一時的にでも超えた場合、パッケージがダイに加える応力が変化し、ADA4098-1 のパラメータ性能が恒久的に変化することがあります。長時間にわたり T_J = 175°C を超えると、シリコン・デバイスが変化し、デバイスの故障の原因となることがあります。

パッケージの P_D は、静止消費電力と出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は V_{SY} × I_{SY} で表されます。ここで、I_{SY} は静止電流です。

負荷駆動による P_D はアプリケーションによって異なります。負荷駆動による P_D は、デバイス両端の関連する電圧降下を負荷電流に掛けることで算出されます。この計算における電圧と電流には実効値を用いる必要があります。

空気流があると放熱が増加し、θ_{JA} が効率的に低下します。ピアを通る金属パターン、グランド・プレーン、電源プレーンと、パッケージ・ピンとの間で直接接触する金属面が増えると、θ_{JA} が小さくなります。

図 3 は、JEDEC 規格の 4 層基板に実装されたシングルおよびデュアルの 6 ピン TSOT パッケージについて、最大 P_D と T_A の関係を示しています。ここで、-V_S ピンは、プリント回路基板 (PCB) のプレーンと熱的に接触しているパッドに接続されています。θ_{JA} は近似値です。

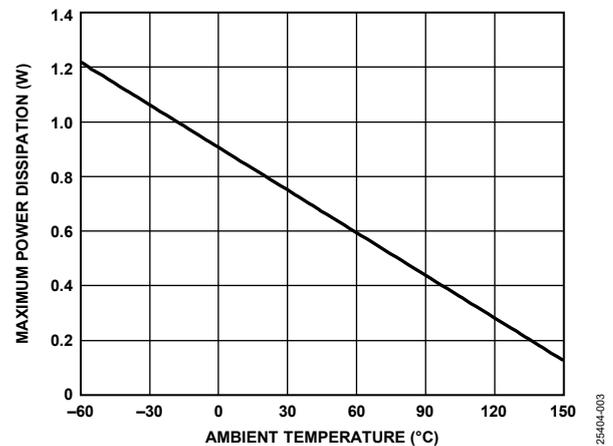


図 3. 最大消費電力と周辺温度の関係

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、ジャンクションから周辺への熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JA}	Unit
UJ-6	192	°C/W

静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた環境で取り扱う場合にのみ適用できます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘導帯電デバイス・モデル (FICDM)。

ADA4098-1 の ESD 定格

表 5. ADA4098-1、6 ピン TSOT

ESD Model	Withstand Threshold	Class
HBM	±4 kV	3A
FICDM	±1.25 kV	3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

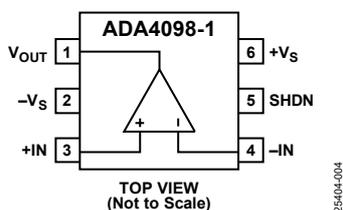


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	概要
1	V_{OUT}	アンプ出力。
2	$-V_S$	負電源。単電源アプリケーションでは、 $-V_S$ ピンは通常、低インピーダンスのグラウンド・プレーンにハンダ付けします。分離電源アプリケーションでは、 $0.1\mu\text{F}$ 以上のコンデンサを $-V_S$ ピンのできるだけ近くに実装し、 $-V_S$ ピンを低インピーダンスのグラウンド・プレーンにバイパスします。
3	+IN	アンプの非反転入力。
4	-IN	アンプの反転入力。
5	SHDN	オペアンプ・シャットダウン。シャットダウンの閾値は、負電源より約 1V 高い電圧です。SHDN ピンが未接続の場合、または $-V_S$ に配線されている場合、アンプはアクティブになります。SHDN ピンがハイ ($V_{SHDN} > -V_S + 1.5\text{V}$) にアサートされると、アンプはシャットダウン状態になり、アンプの出力は高インピーダンス状態になります。SHDN ピンを未接続のままにする場合は、-IN ピンからの信号が SHDN ピンと容量性結合するのを防止するため、SHDN ピンと $-V_S$ ピンの間に 1nF の小型コンデンサを接続することを推奨します。
6	$+V_S$	正電源。 $0.1\mu\text{F}$ 以上のコンデンサを $+V_S$ ピンのできるだけ近くに実装し、 $+V_S$ ピンを低インピーダンスのグラウンド・プレーンにバイパスします。

代表的な性能特性

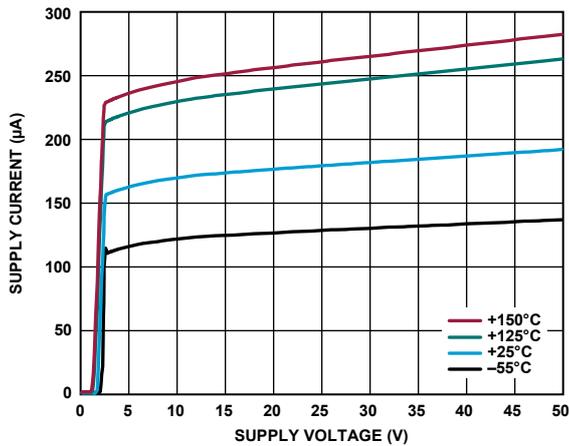


図 5. 電源電流と電源電圧の関係

25404-005

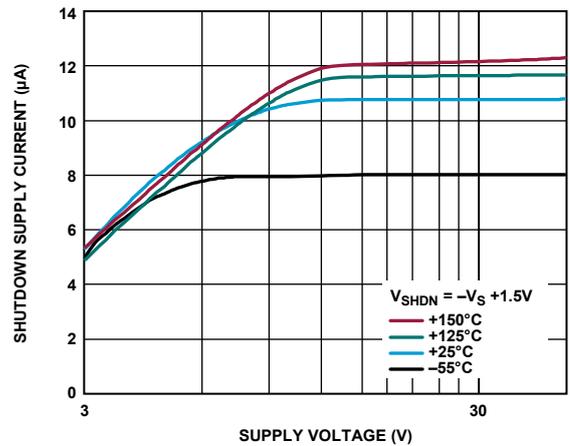


図 8. シャットダウン電源電流と電源電圧の関係

25404-008

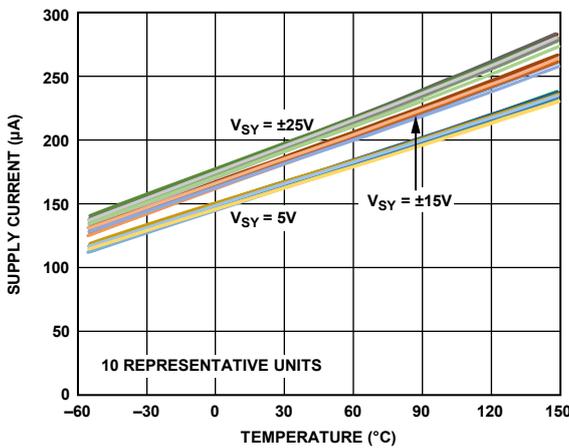


図 6. 様々な電源電圧での電源電流の温度特性

25404-006

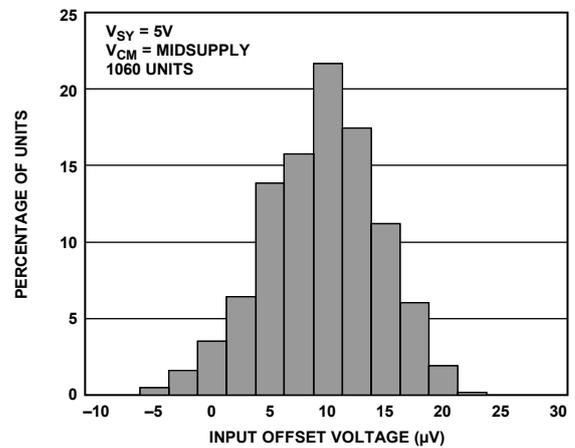


図 9. 入力オフセット電圧の代表的な分布、 $V_{SY} = 5V$

25404-009

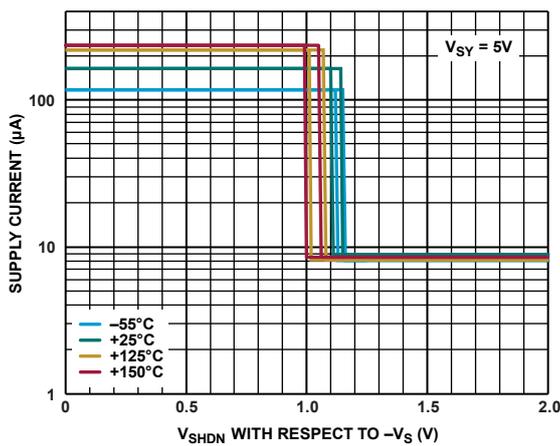


図 7. 電源電流と $-V_S$ を基準にした V_{SHDN} との関係

25404-007

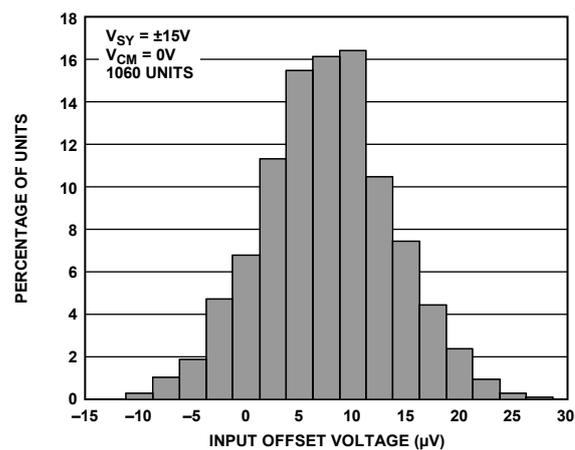


図 10. 入力オフセット電圧の代表的な分布、 $V_{SY} = \pm 15V$

25404-010

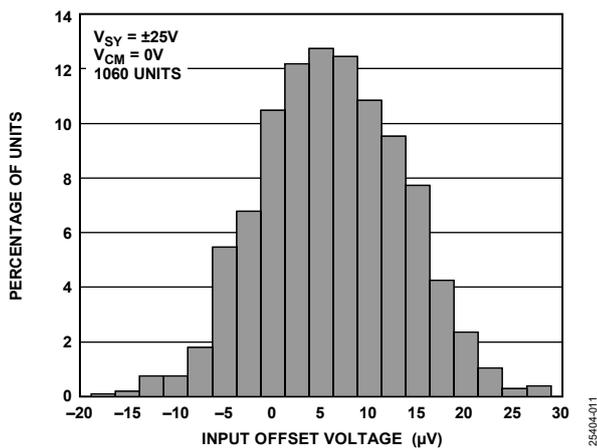


図 11. 入力オフセット電圧の代表的な分布、 $V_{SY} = \pm 25V$

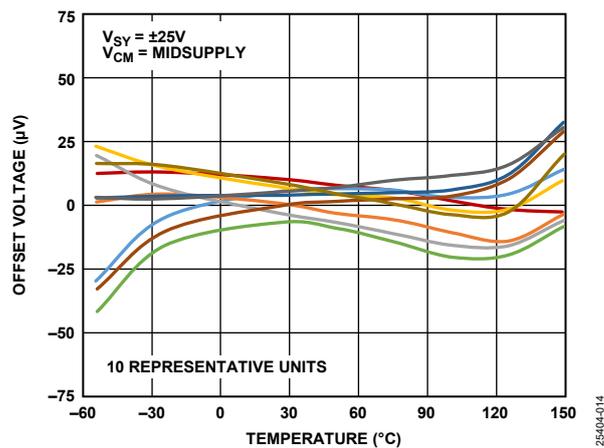


図 14. 電源電圧の midpoint でのオフセット電圧の温度特性、 $V_{SY} = \pm 25V$

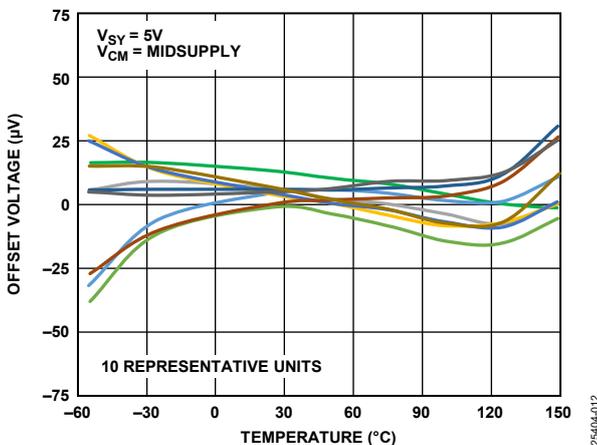


図 12. 電源電圧の midpoint でのオフセット電圧の温度特性、 $V_{SY} = 5V$

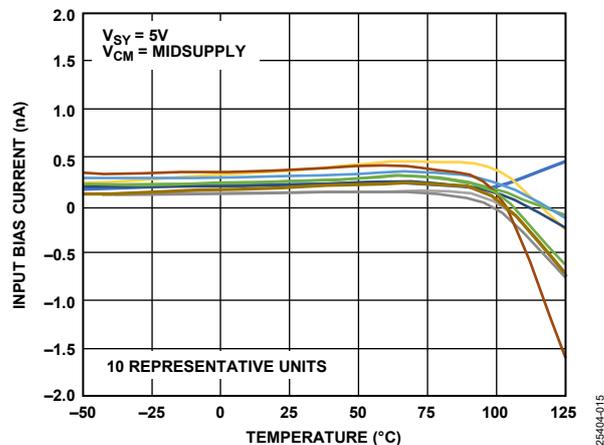


図 15. 電源電圧の midpoint での入力バイアス電流の温度特性、 $V_{SY} = 5V$

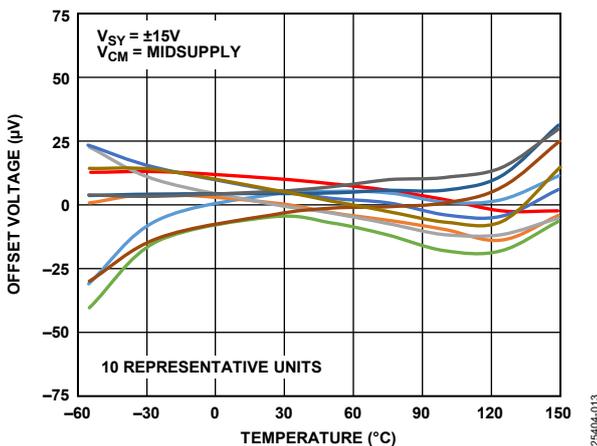


図 13. 電源電圧の midpoint でのオフセット電圧の温度特性、 $V_{SY} = \pm 15V$

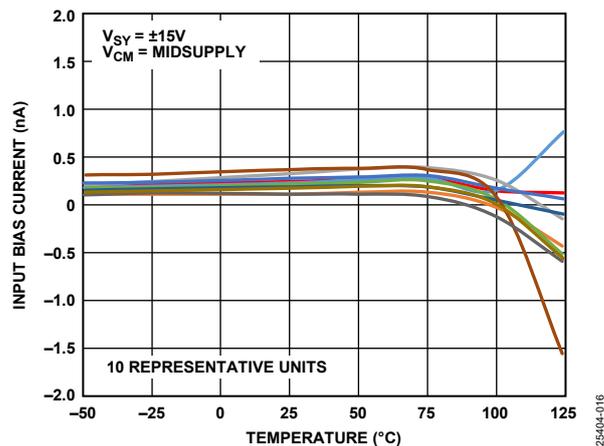


図 16. 電源電圧の midpoint での入力バイアス電流の温度特性、 $V_{SY} = \pm 15V$

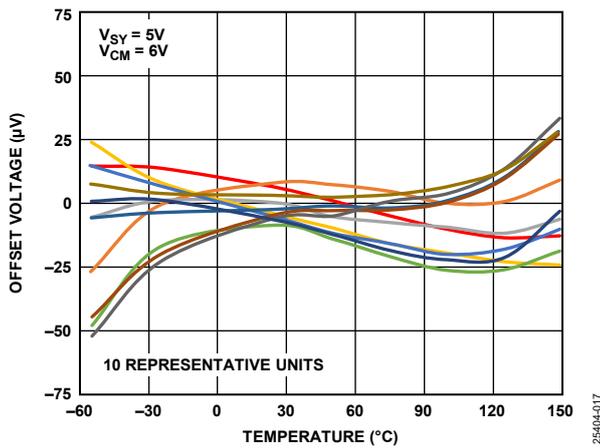


図 17. オフセット電圧の温度特性、 $V_{CM} = 6V$ 、Over-The-Top

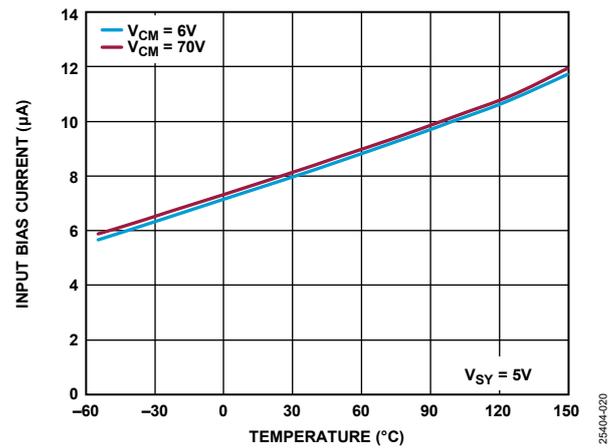


図 20. 入力バイアス電流の温度特性、 $V_{SY} = 5V$ 、Over-The-Top

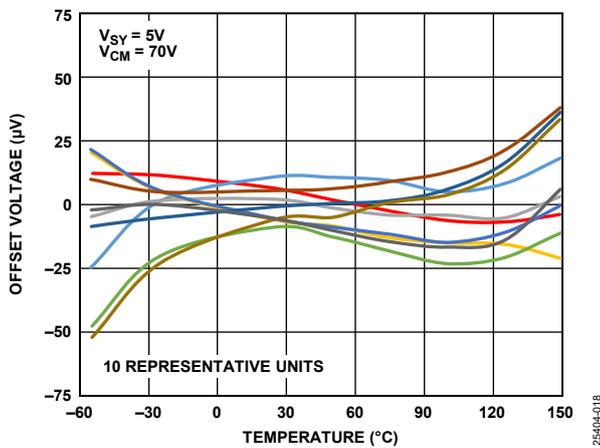


図 18. オフセット電圧の温度特性、 $V_{CM} = 70V$

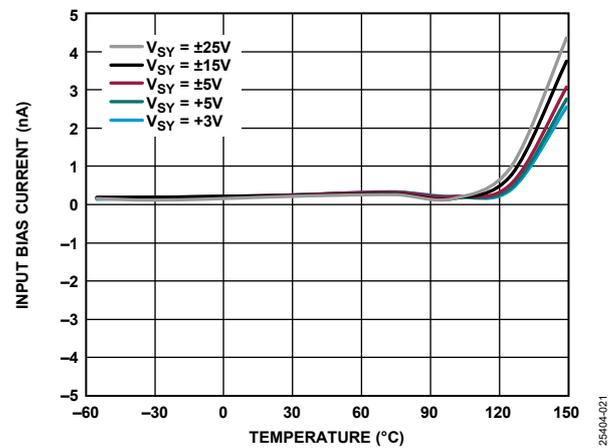


図 21. 様々な電源電圧における電源電圧の中心での入力バイアス電流の温度特性

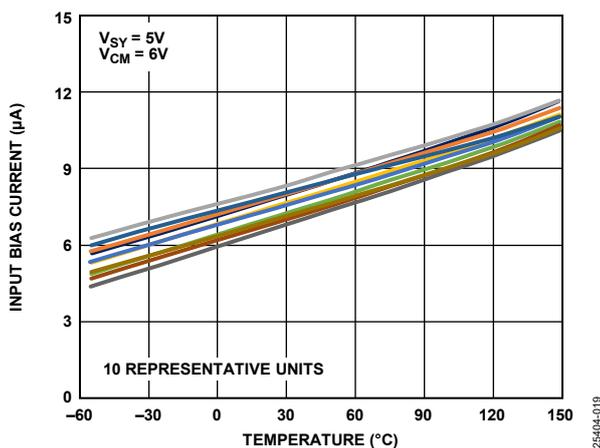


図 19. Over-The-Top での入力バイアス電流の温度特性、 $V_{SY} = 6V$

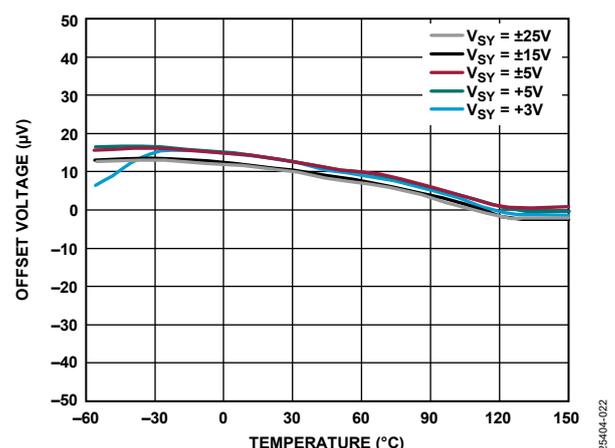


図 22. 様々な電源電圧でのオフセット電圧の温度特性

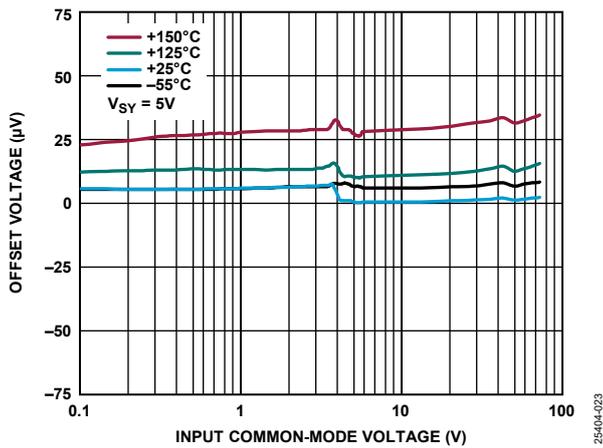


図 23. 入力コモンモード電圧範囲におけるオフセット電圧と入力コモンモード電圧の関係

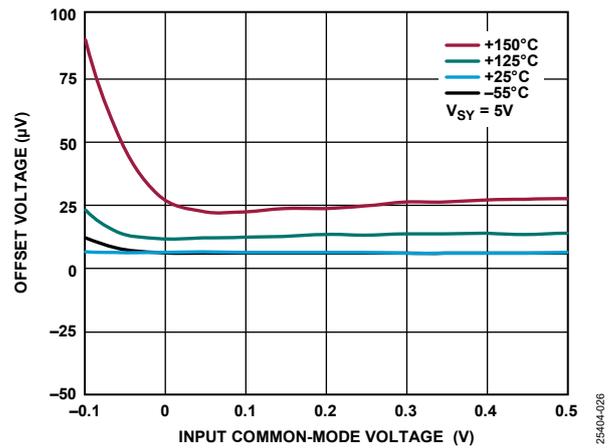


図 26. グラウンド・センシング・アプリケーション用のオフセット電圧と入力コモンモード電圧の関係

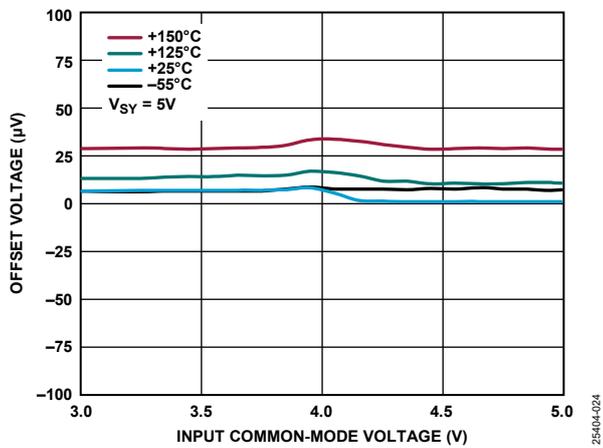


図 24. 通常動作から Over-The-Top 動作までのオフセット電圧と入力コモンモード電圧の関係

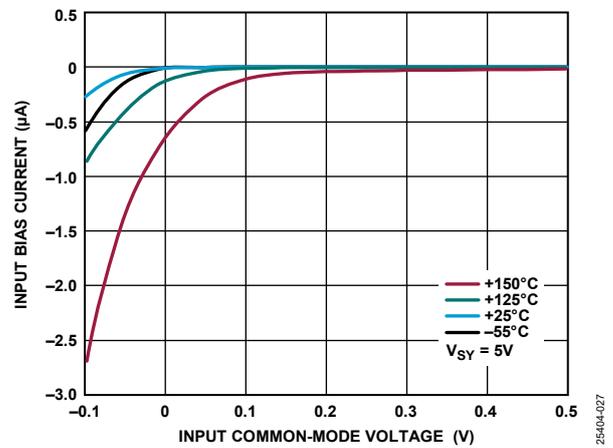


図 27. グラウンド・センシング・アプリケーション用の入力バイアス電流と入力コモンモード電圧の関係

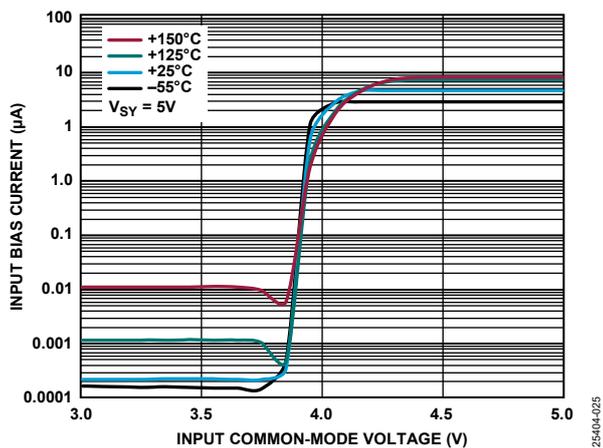


図 25. 通常動作から Over-The-Top 動作までの入力バイアス電流と入力コモンモード電圧の関係

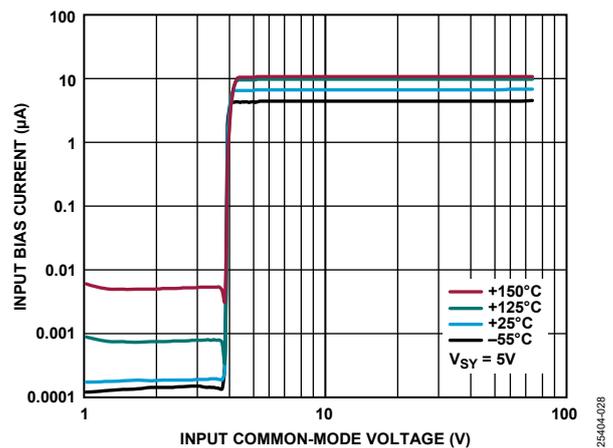


図 28. 入力バイアス電流と入力コモンモード電圧の関係

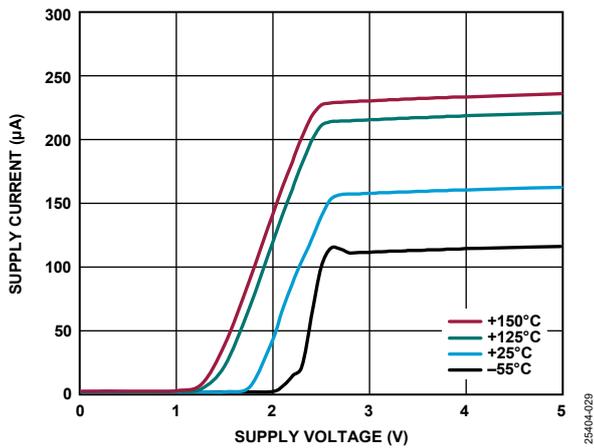


図 29. 電源電流と最小電源電圧の関係

25404-029

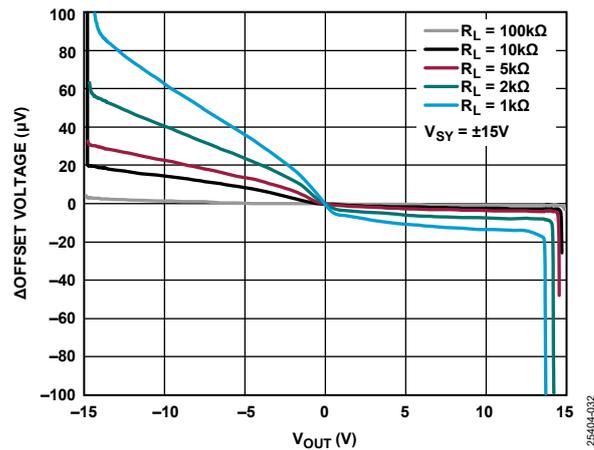


図 32. Δオフセット電圧と出力電圧 (V_{OUT}) の関係

25404-032

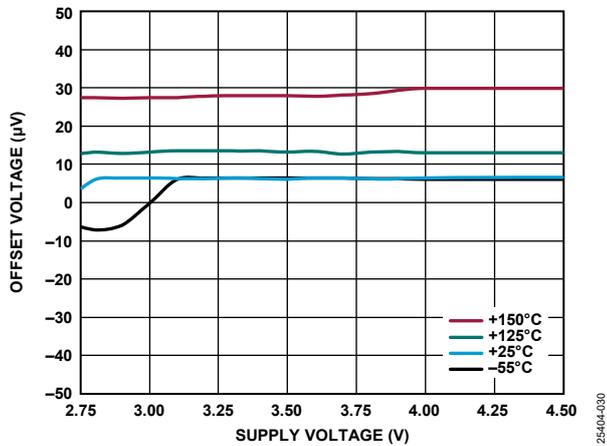


図 30. オフセット電圧と最小電源電圧の関係

25404-030

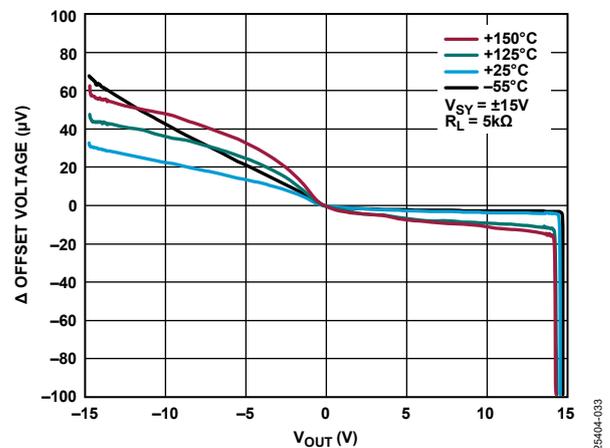


図 33. Δオフセット電圧と V_{OUT} の関係 (5kΩ 負荷)

25404-033

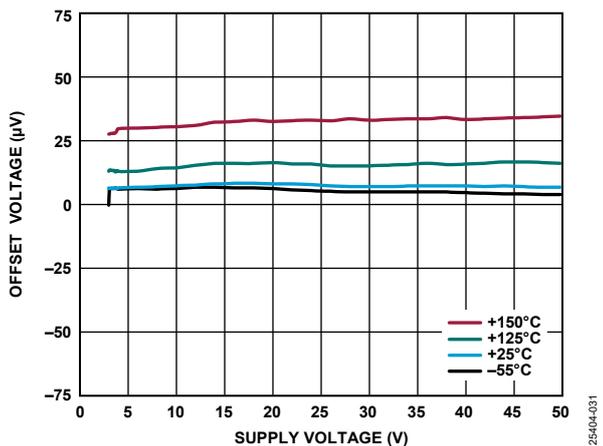


図 31. オフセット電圧と電源電圧の関係

25404-031

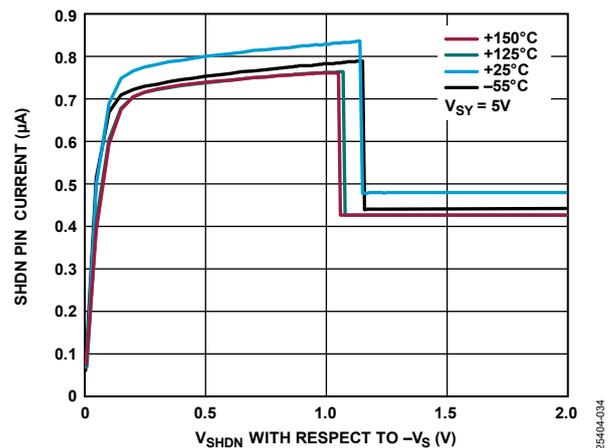


図 34. 様々な温度での SHDN ピン電流と $-V_S$ を基準にした V_{SHDN} との関係

25404-034

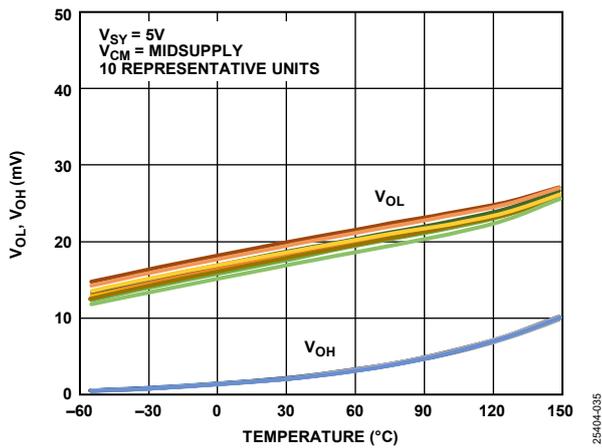


図 35. 出力電圧ロー (V_{OL}) および出力電圧ハイ (V_{OH}) の温度特性

25404-035

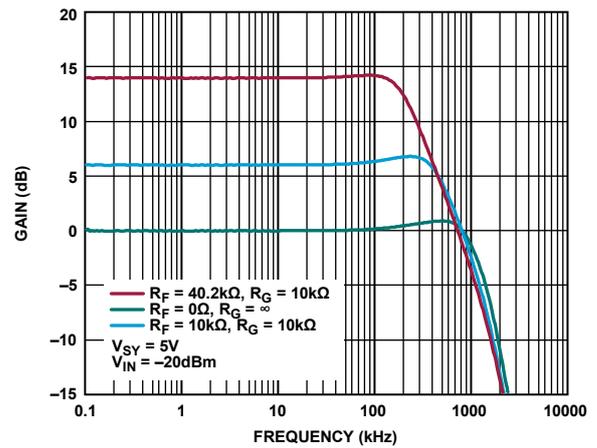


図 38. 非反転小信号周波数応答 (R_F は帰還抵抗、 R_G はゲイン設定抵抗、および V_{IN} は入力電圧。)

25404-038

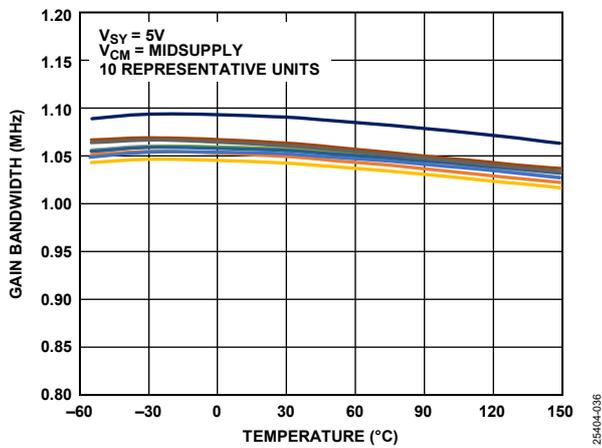


図 36. ゲイン帯域幅の温度特性

25404-036

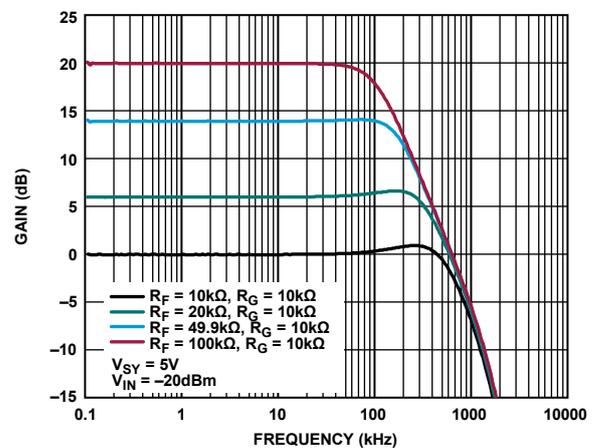


図 39. 反転小信号周波数応答

25404-039

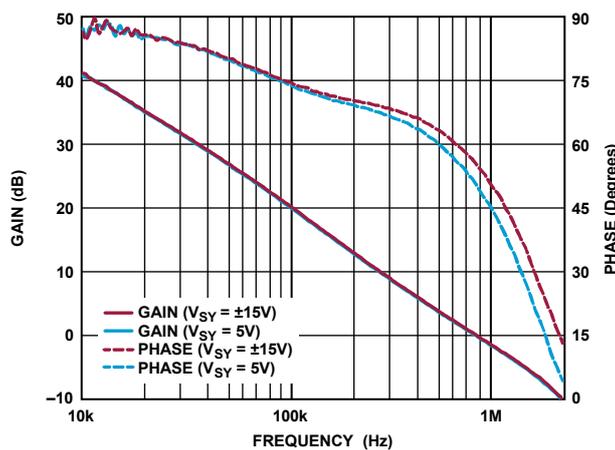


図 37. ループ・ゲインおよび位相の周波数特性

25404-037

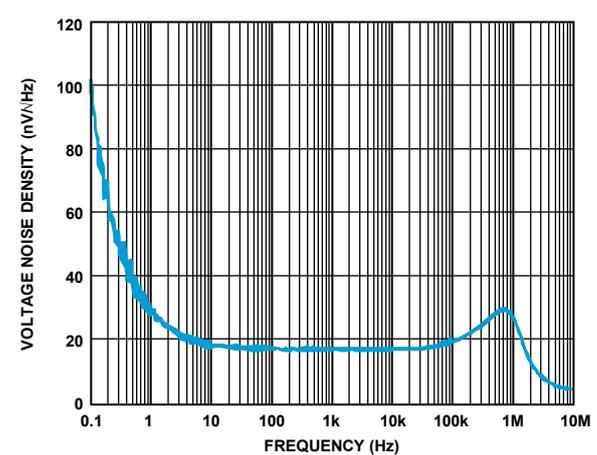


図 40. ユニティ・ゲイン構成での電圧ノイズ密度の周波数特性

25404-040

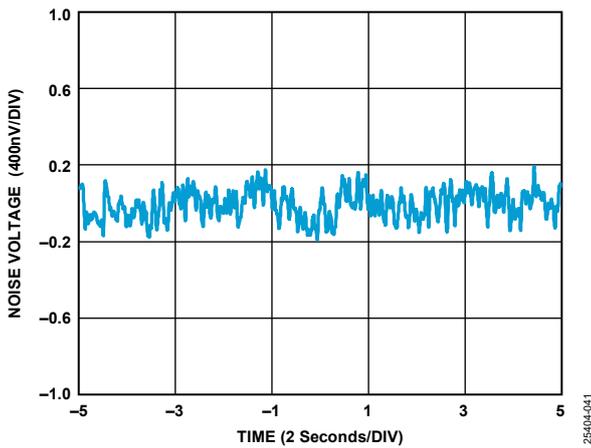


図 41. 0.1Hz~10Hz でのノイズ

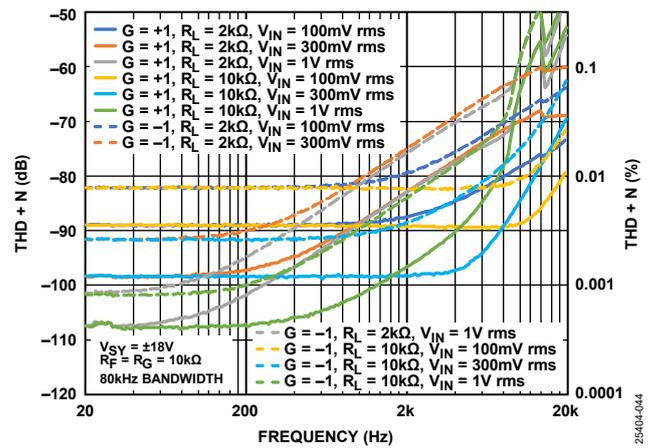


図 44. 様々な負荷での THD + N の周波数特性

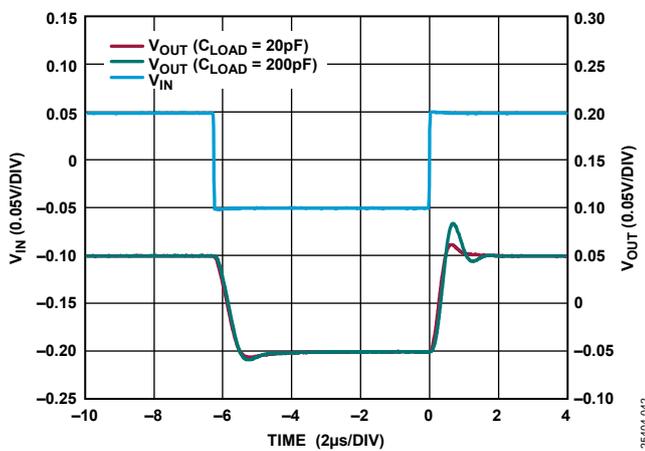


図 42. ユニティ・ゲイン小信号ステップ応答 (C_{LOAD}は負荷コンデンサ。)

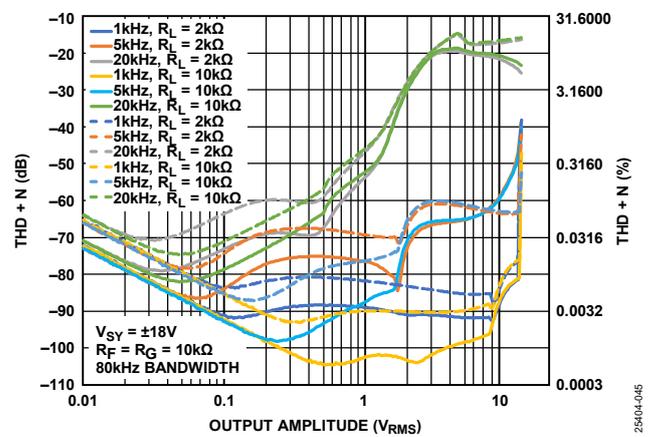


図 45. THD + N と出力振幅の関係

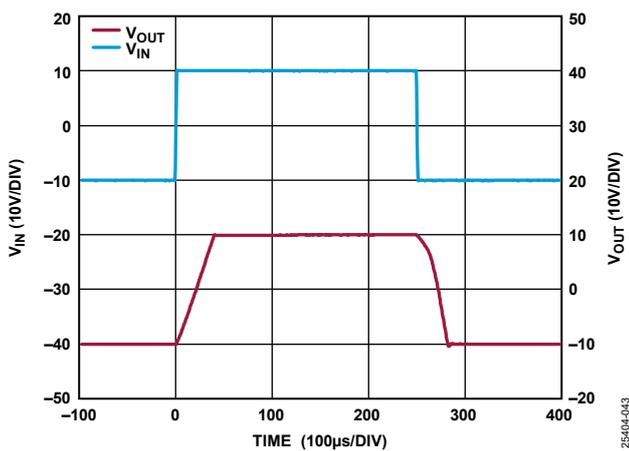


図 43. ユニティ・ゲイン大信号ステップ応答

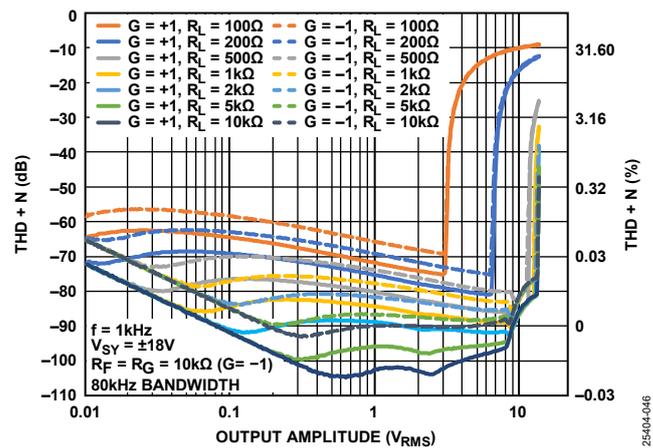


図 46. THD + N と出力振幅および負荷との関係

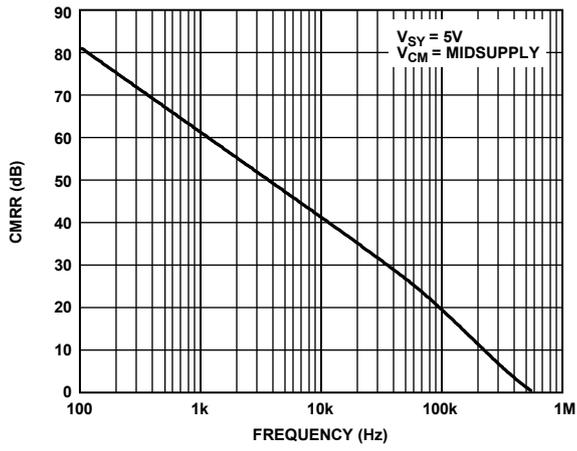


図 47. CMRR の周波数特性

25404-047

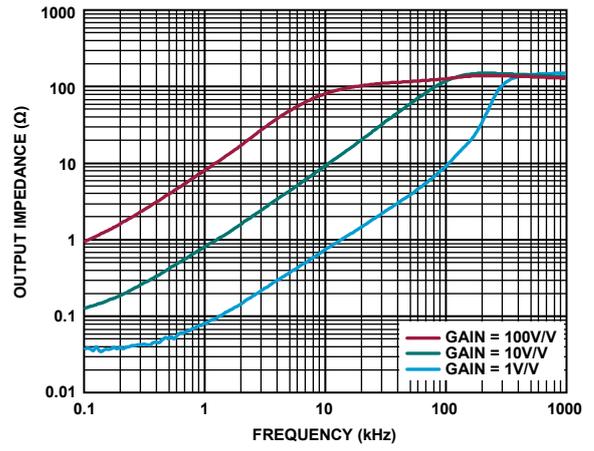


図 49. 出力インピーダンスの周波数特性

25404-049

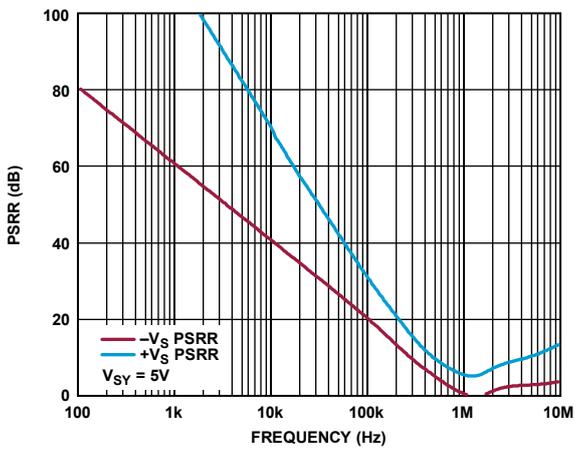


図 48. PSRR の周波数特性

25404-048

動作原理

ADA4098-1は堅牢な電圧帰還アンプで、ユニティ・ゲインの安定性と、低オフセット、低オフセット・ドリフト、 $17\text{nV}/\sqrt{\text{Hz}}$ の入力電圧ノイズという特長を組み合わせています。このデバイスの簡略化した回路図を図52に示します。ADA4098-1には、入力段が2つあります。1つは、コモン・エミッタ差動入力段で、入力が $-V_S$ と $+V_S - 1.25\text{V}$ の間にバイアスされた場合に動作する、Q1およびQ2のPNPトランジスタで構成されています。もう1つは、コモン・ベース入力段で、コモンモード入力が $+V_S - 1.25\text{V}$ 以上にバイアスされた場合に動作する、Q3~Q6のPNPトランジスタで構成されています。これらの入力段によって、図50から、2つの異なる動作領域が存在することが分かります。

コモンモード入力電圧が $+V_S$ 電源より約 1.25V 低い場合は、Q1とQ2がアクティブになり（図50を参照）、すなわち、コモン・エミッタPNPの入力段がアクティブになり、入力バイアス電流は 700pA 未満（代表値）になります。コモンモード入力が $+V_S - 1.25\text{V}$ を超えると、トランジスタQ9がオンになり、バイアス電流の流れがコモン・エミッタ差動入力ペアからM3とM4で構成されるミラーに切り替わります。M4からの電流は、コモン・ベース差動入力ペア（Q3~Q6）をバイアスします。Over-The-Top入力ペアは、コモン・ベース構成で動作し、入力バイアス電流は約 $8\mu\text{A}$ に増加します。両入力段のオフセット電圧は、厳密に調整されており、表1および表2に仕様規定されています。

入力コモンモードが Over-The-Top 領域に移移すると、入力CMRRは図51に示すように、それ以外の入力コモンモード範囲と比べてわずかに低下します。

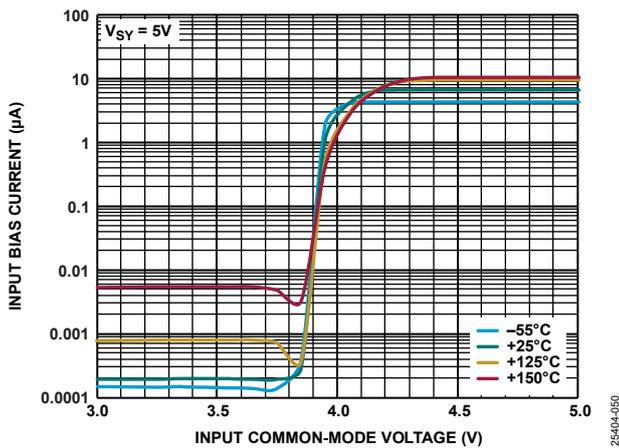


図 50. 様々な温度での入力バイアス電流と入力コモンモード電圧の関係、 $V_{SY} = 5\text{V}$

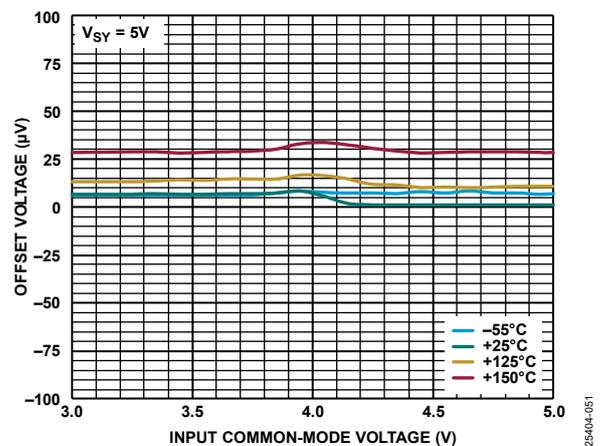


図 51. 様々な温度でのオフセット電圧と入力コモンモード電圧の関係、 $V_{SY} = 5\text{V}$

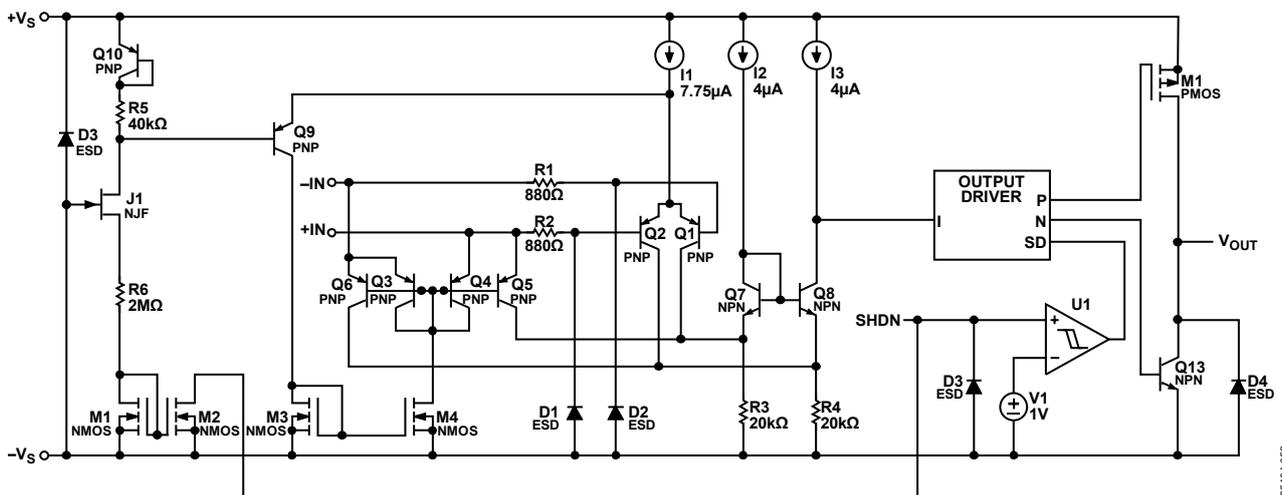


図 52. ADA4098-1の簡略化した回路図

入力保護

2つの入力、それぞれ880Ωの内蔵抵抗（図52を参照）によって、 $-V_S - 20V$ までの一時的な電圧変動に対して保護されます（図53を参照）。これらの抵抗は、トランジスタ Q1 および Q2 のベースにそれぞれ接続されている直列ダイオード D1 および D2 内を流れる電流を制限します。外付け抵抗を直列に付加すると、保護範囲を $-V_S - 20V$ よりも拡大できますが、代償として安定性が低下し、熱ノイズが増加します。ADA4098-1 の入力段には、位相反転保護機能が組み込まれており、 $-V_S$ 未満の入力に対して出力の位相反転が防止されます。ADA4098-1 オペアンプは、入力間にクランピング・ダイオードを搭載していませんが、損傷、パラメータ変化の誘発、または大量の入力電流の流入なしに、最大80Vまで差動オーバードライブが可能です。図54は、入力の完全性を損なうことなく ADA4098-1 に適用できる入力障害タイプをまとめたものです。

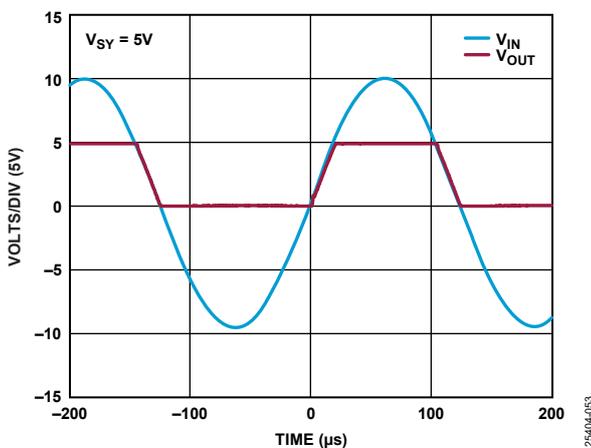


図 53. ユニティ・ゲイン・バッファとしての ADA4098-1（非反転入力が電源電圧を超えて駆動されている）（ $V_{SY} = 5V$ ）

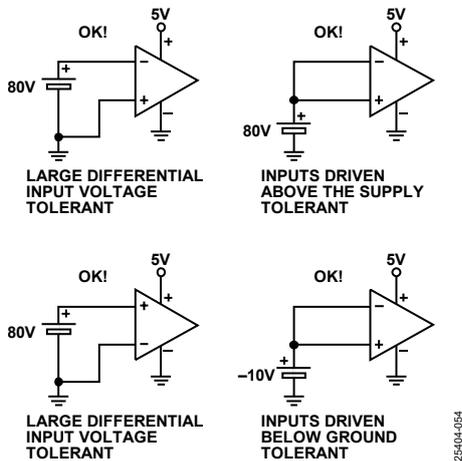


図 54. ADA4098-1 の耐障害条件

Over-The-Top 動作の考慮事項

ADA4098-1 の入力コモンモードが $+V_S$ の電源電圧の近くまたはそれ以上にバイアスされた場合、アンプは Over-The-Top 構成で動作します。アンプの動作を制御する差動入力ペアは、コモン・ベース・ペア Q3~Q6 です（図52を参照）。

入力段がコモン・エミッタからコモン・ベースに遷移すると、入力バイアス電流は通常動作時の $\pm 700pA$ 未満から、Over-The-Top 動作時の約 $8\mu A$ に変化します。Over-The-Top での入力バイアス電流間のマッチングは良好に取れており、関連するオフセットは $50nA$ 未満（代表値）です。反転入力と非反転入力に接続されるインピーダンスのマッチングを良好に取り、入力バイアス電流によって電圧オフセットが発生しないようにしてください。

差動入力インピーダンス R_{IN} （図55を参照）の値は、通常動作時の $1M\Omega$ より大きい値から、Over-The-Top 動作時の約 $7k\Omega$ に減少します（表1および表2を参照）。

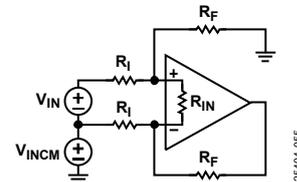


図 55. 通常動作と Over-The-Top 動作用に構成されたディファレンス・アンプ（ R_1 はゲイン設定抵抗）

この抵抗 R_{IN} は、コモン・ベース入力段の構成に起因して、Over-The-Top 動作時に加算ノード間に発生します。

R_{IN} の値は、次式で表されるように、オペアンプの入力に流れる仕様規定された I_B から求めることができます。

$$R_{IN} = 2kT / (qI_B)$$

ここで、

k はボルツマン定数、

T は動作温度、

q は電子の電荷、

I_B は Over-The-Top 動作時の動作入力バイアス電流です。

入力は、絶対温度に比例してバイアスされます。したがって、 R_{IN} は温度に対して相対的に一定です。この抵抗はアンプの加算ノード間に発生しますが、アンプの帰還動作により差動電圧で $0V$ に強制されるため、比較的無害だと考えられます。ただし、構成によっては、この入力抵抗により、ノイズ・ゲインの増加、アンプのループ・ゲインとクロズドループ帯域幅の全体的な低下、および出力ノイズの増加が見られる場合があります。この構成の際立った利点は、クロズドループ・アンプの安定性が向上することです。

通常モード ($-V_S < V_{CM} < +V_S - 1.25V$) では、 R_{IN} はゲイン設定抵抗 (R_F および R_1) の値と比較して一般的に大きくなるため、 R_{IN} は無視できます。

この場合、ノイズ・ゲインは次式で定義されます。

$$\text{ノイズ・ゲイン} = 1 + R_F/R_I$$

入力共通モードが $+V_S$ の電源電圧の近くまたはそれ以上にバイアスされ、アンプがOver-The-Top動作に遷移した場合は、 R_{IN} の値を考慮に入れてください。

アンプのノイズ・ゲインは次式に示すように増加します。

$$\text{Noise Gain}_{OTT} = \left(\left(1 + \frac{R_F}{R_I \parallel R_{IN} + R_I \parallel R_F} \right) \times \left(1 + \frac{R_I \parallel R_F}{R_{IN}} \right) \right)$$

ここで、 Noise Gain_{OTT} はOver-The-Topのノイズ・ゲインです。

DCのクローズドループ・ゲインは、ほとんど影響を受けません (R_F/R_I)。ただし、アンプのループ・ゲインは次式で表されるように減少します。

$$1 + \frac{R_F}{R_I} \text{ から } \frac{A_{OL}}{\text{Noise Gain}_{OTT}}$$

同様に、アンプのクローズドループ帯域幅 (BW_{CLOSED_LOOP}) は、通常動作からOver-The-Top動作への遷移に伴って変化します。

通常動作では、

$$BW_{CLOSED_LOOP} \approx \frac{GBP}{1 + \frac{R_F}{R_I}}$$

Over-The-Top動作では、

$$BW_{CLOSED_LOOP} \approx \frac{GBP}{\text{Noise Gain}_{OTT}}$$

デバイスが通常動作からOver-The-Top動作に遷移した場合、出力電圧ノイズ密度 (e_{no}) は影響を受けます。抵抗ノイズは、次の2つの式に示すように、両方の動作モードで無視されています。

通常動作では、抵抗ノイズを無視して、

$$e_{no} \cong e_n \left(1 + \frac{R_F}{R_I} \right)$$

ここで、 e_n は入力換算電圧ノイズ密度です。

Over-The-Top動作では、抵抗ノイズを無視して、

$$e_{no} \cong e_n \times \text{Noise Gain}_{OTT}$$

出力

ADA4098-1の出力は、無負荷時に、どちらの電源電圧からも45mV以内でレールtoレールのスイングができます。出力は24mAをソース、35mAをシンクできます。アンプは、200pF以上の C_{LOAD} を駆動できるように内部で補償されています。出力とより大きな容量性負荷との間に50Ωの抵抗を直列に付加すると、アンプの容量性駆動能力を拡大できます。

ADA4098-1がシャットダウンされた場合、 V_{OUT} ピンはどちらの電源にも接続されている2個のステアリング・ダイオードによって高インピーダンスになります。この状態では、出力リークは5nA未満（代表値）です。

シャットダウン・ピン (SHDN)

ADA4098-1には専用のSHDNピンがあり、このピンがハイにアサートされると、アンプは超低消費電力のシャットダウン状態になります。ロジック・ハイは、 $-V_S$ ピンを基準にしてSHDNピンに1.5V以上の電圧が加えられた場合と定義されます。シャットダウン時に、アンプに流れ込む電源電流は12μA未満となり（図7を参照）、 V_{OUT} ピンは高インピーダンス状態になります。

SHDNピンは、 $+V_S$ 電源よりも高い電圧、すなわち絶対最大電圧 ($-V_S$ を基準にして60V) までで駆動でき、流れ込む電流はわずか (1.5μA 未満) です。アンプをアクティブな通常動作にするためには、SHDNピンはフロート状態にすることも、外部電源のロジック・ロー ($-V_S$ から0.5V以内) によって駆動することもできます。SHDNピンをフロート状態にすると、内部電流源 (約600nA) によってSHDNピンが $-V_S$ に引き寄せられ、アンプはデフォルトのアクティブな増幅状態になります。 $-IN$ ピンとSHDNピンが非常に近接しているため、 $-IN$ ピン上の高速なエッジが、隣接する高インピーダンスのSHDNピンにAC結合し、デバイスが誤ってシャットダウンすることがあります。こうした状況が懸念される場合は、SHDNピンと $-V_S$ ピンの間に1nFのコンデンサを付加してください。

もう1つの方法として、 $+V_S$ の供給を止めることで、アンプを効果的に低消費電力状態にすることもできます。この低消費電力状態では、 $\pm IN$ ピンのどちらかが $-V_S \sim -V_S + 70V$ の範囲にバイアスされた場合、入力のリーク電流は1nA未満（代表値）になります。 $\pm IN$ ピンが $-V_S$ 未満の場合、これらのピンは、880Ωの抵抗と直列の $-V_S$ 電源に接続されたダイオードのようになります。この状態では、電流を20mA未満に制限してください。

シャットダウン状態で外部電源を用いて、 $\pm V_S$ のどちらかの電源電圧を超えて出力を駆動すると、電流が無制限に流れてデバイスに損傷を与えることがあります。

アプリケーション情報

大きな抵抗によるゲインの操作

ADA4098-1 の入力容量は約 4pF です。

R_F と R_G を反転入力で並列に組み合わせると、この入力容量 (C_{IN}) が結合されて極が形成され、これにより帯域幅の減少、周波数応答のピーキング、または発振が起こる可能性があります (図 57 を参照)。こうした結果を緩和するため、 $C_F > C_{IN}(R_G/R_F)$ の値の帰還コンデンサを R_F に並列に実装し、加算ノード・インピーダンスを $20k\Omega$ ($R_F \parallel R_G > 20k\Omega$) より大きくします。このコンデンサを実装することによって、入力の極が打ち消されて動的性能が最適化されます (図 56 を参照)。

ノイズ・ゲインがユニティ ($R_G \rightarrow \infty$) で、帰還抵抗が $20k\Omega$ を超えるアプリケーションでは、 $C_F \geq C_{IN}$ にしてください。PCB レイアウトを最適化し、レイアウトに関連する加算ノード容量を最小限に抑えてください。

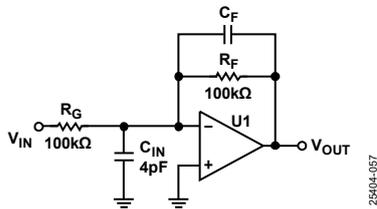


図 56. 反転ゲイン回路図

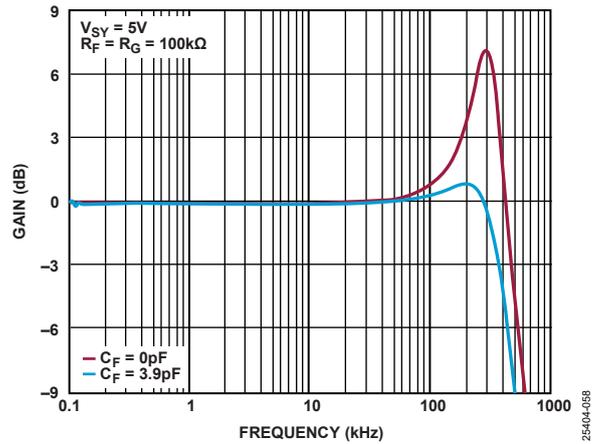


図 57. 反転ゲインが 1 の小信号周波数応答、
 $R_F = R_G = 100k\Omega$

様々なゲインに対する推奨値

表 7 は、様々な推奨ゲインおよび関連するノイズ性能を決定するための参考資料です。反転入力に現れる合計インピーダンスは、ゲインが 1 より大きな場合に $20k\Omega$ 未満に保たれるため、理想的な小信号帯域幅が維持されます。

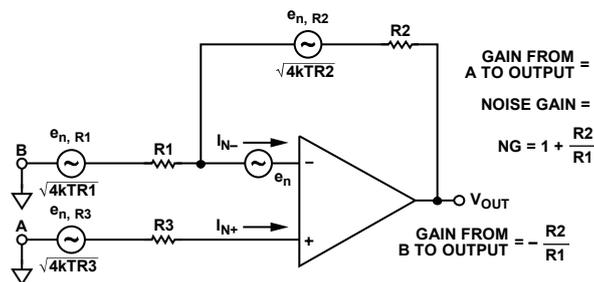
表 7. ゲインおよび関連する推奨抵抗値 ($T_A = 25^\circ C$)

Gain	R_G (k Ω)	R_F (k Ω)	C_F (pF)	Approximate -3 dB Frequency (MHz)	Total System Noise (nV/ \sqrt{Hz} at 1 kHz), Referred to Input
+1	Not applicable	0	Not applicable	1.5	16.5
+2	4.99	4.99	0	0.67	16.9
+2	100	100	3.9	0.56	32.4
+5	4.99	20	0	0.26	18.1
+10	4.99	45.3	0	0.13	17.7
-1	100	100	3.9	0.38	64.8
-1	4.99	4.99	0	0.72	16.9
-2	4.99	10	0	0.45	26.2
-5	4.99	24.9	0	0.22	21.6

ノイズ

アンプ回路のノイズ性能を分析するには、ノイズ源を特定し、各ノイズ源がアンプの全体的なノイズ性能に大きく影響しているかどうかを判定します。ノイズ計算を簡略化するため、実際の電圧ではなく、ノイズ・スペクトル密度 (NSD) を使用し、計算式から帯域幅を除外します。NSD は一般に nV/√Hz 単位で表され、1Hz の帯域幅内のノイズに相当します。

図 58 に示すノイズ・モデルには、3 個の抵抗 (R1~R3) のジョンソン・ノイズ、オペアンプの電圧ノイズ、およびアンプの各入力の電流ノイズ (I_{N±}) という 6 個の個別のノイズ源があります。各ノイズ源は、出力でのノイズに特有の影響を与えます。ノイズは一般的に、入力換算 (RTI) で規定されますが、多くの場合、出力換算 (RTO) ノイズを計算し、それをノイズ・ゲインで割って RTI ノイズを求める方が簡単です。



$$RTI\ Noise = \sqrt{e_n^2 + 4kTR3 + 4kTR1 \left(\frac{R2}{R1 + R2}\right)^2 + I_{N+}^2 R3^2 + I_{N-}^2 \left(\frac{R1 \times R2}{R1 + R2}\right)^2 + 4kTR2 \left(\frac{R1}{R1 + R2}\right)^2}$$

RTO NOISE = NG × RTI NOISE

図 58. オペアンプのノイズ分析モデル

I_{N+} = I_{N-} = I_N と仮定すると、RTI ノイズの計算式は、次のように簡略化できます。

$$RTI\ Noise = \sqrt{e_n^2 + e_{n,R}^2 + (I_N R_{EQ})^2}$$

$$e_{n,R} = \sqrt{4kTR_{EQ}}$$

$$R_{EQ} = R3 + R1 || R2$$

ここで、
 e_n はオペアンプの電圧ノイズ、
 e_{n,R} は周囲の抵抗 R1~R3 からの熱ノイズの影響、
 R_{EQ} は等価入力抵抗、
 T は絶対温度 (ケルビン) です。

50Ω の抵抗は、25°C で 1nV/√Hz のジョンソン・ノイズを発生させます。

最適な性能を得るための帰還ネットワーク内の抵抗の下限は、許容できる静止電力および歪みの量で決まります。上限は抵抗と電流ノイズ密度で決まります。ADA4098-1 の e_n は 17 nV/√Hz です。

抵抗と電流ノイズによる影響がこの値の半分より下である場合は、オペアンプから発生する e_n が支配的となり、デバイスにおける最適なノイズ性能が得られます。

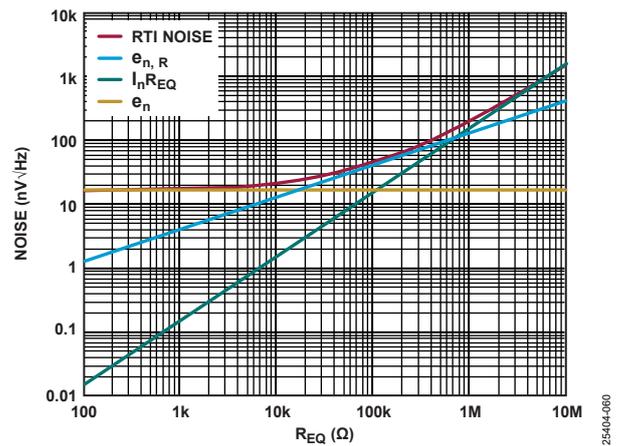


図 59. ノイズの影響と等価入力抵抗の関係

ADA4098-1 の場合、帰還ネットワークの抵抗の下限値は、約 4.5kΩ です。図 58 に示すアンプ構成では、R_{EQ} を 4.5kΩ 未満とすることで、安定したノイズ性能が得られます。ノイズ性能が重要でない場合は、e_n は所定の T_A で一定であることが多く、e_{n,R} は抵抗値の平方根に比例して増加します。また、I_N × 抵抗 R_{EQ} は直線的に増加しますが、e_{n,R} の値に近づいて初めて合計ノイズに影響を及ぼします。R_{EQ} が約 700kΩ 未満の場合、e_{n,R} は I_N × R_{EQ} より大きくなります。R_{EQ} の安全な値は約 350kΩ です。これにより、I_N が、入力で観測される合計ノイズに大きな影響を与えることはありません。

このセクションで説明した抵抗値の範囲におけるノイズの影響を図 59 に示します。

歪み

オペアンプの歪みには 2 つの主要な要因があります。1 つは出力がソースからシンクに遷移する際の出力クロスオーバー歪み、もう 1 つは非線形同相ノイズ除去による歪みです。オペアンプが反転構成で動作している場合は、同相ノイズによる歪みはありません。オペアンプが通常の入力共通モード範囲 (-V_S ~ +V_S - 1.25V) の非反転構成で動作している場合、歪みは許容できます。入力が通常動作から Over-The-Top 動作、またはその逆へ遷移する場合は、入力回路の変化により、直線性が著しく低下します。

R_L が減少すると、歪みは増加します。これは、ループ・ゲインが実質的に減少したり、負荷を駆動するために必要なアンプ内部の信号振幅が増大したりするためです。反転構成で入力共通モードを電源電圧の midpoint にバイアスし、ADA4098-1 をクラス A 動作させると、歪みを最小にできます。

消費電力とサーマル・シャットダウン

ADA4098-1は、最大±25Vの電源で高負荷を駆動できます。このため、集積回路のT_Jは175°Cを超えないようにしてください。ADA4098-1は6ピンTSOTパッケージ(θ_{JA} = 192°C/W)に収容されています。

ジャンクション温度が125°Cを超えると、経年劣化が加速します。ジャンクション温度が175°Cを超えると、ADA4098-1の信頼性が低下する可能性があります。ジャンクション温度が175°Cを超える場合、ADA4098-1には、サーマル・シャットダウンという形の最終的な安全対策があります。この対策により、出力段をシャットオフさせ、また、内部のデバイス電流を減少させることができます。このサーマル・シャットダウン機能がトリガされると、ジャンクション温度が20°C低下するまで、出力は高インピーダンス状態にディスエーブルされ続けます。高負荷と高い周辺温度にさらされ続けると、高負荷がなくなるまで、ダイでの消費電力に応じて、ADA4098-1でサーマル・シャットダウンの入り切りが繰り返される可能性があります(図60を参照)。

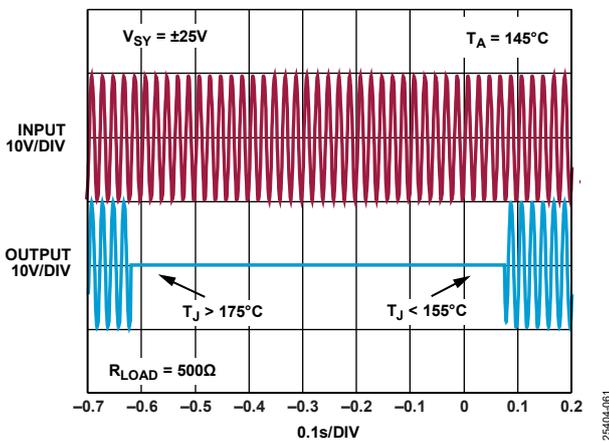


図 60. ADA4098-1におけるサーマル・シャットダウンの入り切りの繰り返し

最大ジャンクション温度付近で動作させることは、推奨しません。

通常、T_Jは、次式に示すように、T_Aとデバイスの消費電力(P_D × θ_{JA})から推定できます。

$$T_J = T_A + P_D \times \theta_{JA}$$

ICの消費電力は、電源電圧、出力電圧、および負荷抵抗の関数として変化します。所定の電源電圧の場合、このICでの最も厳しい消費電力(P_{D(MAX)})は、電源電流が最大で、出力電圧がどちらかの電源電圧の半分のときに発生します。

$$P_{D(MAX)} = V_s I_{s(MAX)} + \frac{\left(\frac{V_{SY}}{2}\right)^2}{R_L}$$

所定の電源電圧と所定のジャンクション温度上昇(ΔT_J)の場合に、ADA4098-1が駆動できる最小負荷抵抗を推定するためのガイドとして、図61を使用してください。例えば、ΔT_Jを50°Cに制限するには、±15Vの電源(合計で+30Vの電源)で駆動する負荷は900Ω以上でなければなりません。θ_{JA}は192°C/Wと仮定しています。

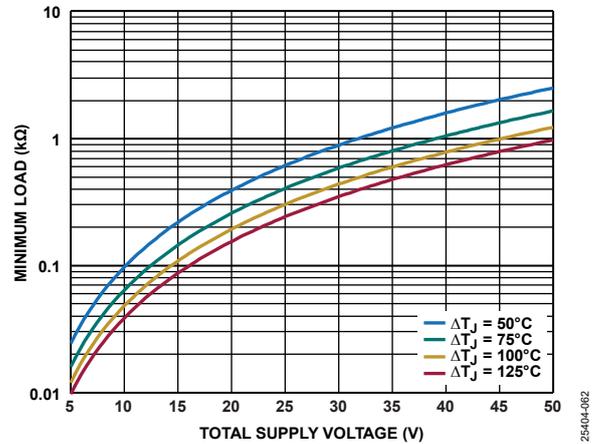


図 61. 所定のΔT_JおよびV_{SY}に対する最小負荷抵抗

回路レイアウト時の考慮事項

ADA4098-1のボードをレイアウトする際には、細心の注意を払うことで最適な性能が得られます。電源のバイパス、寄生容量、部品選択などのすべてがアンプの性能全体に影響を与えます。

電源のバイパス

単電源の場合、-V_S電源ピンを低インピーダンスのグランド・プレーンに直接ハンダ付けします。等価直列抵抗(ESR)の小さな0.1μF(代表値)の積層セラミック・コンデンサ(MLCC)を±V_S電源ピンのできるだけ近くに実装して、+V_Sピンを低インピーダンスのグランド・プレーンにバイパスします。高負荷を駆動する場合は、10μFの電源コンデンサを追加します。分離電源を使用する場合、これらの条件は-V_S電源ピンに適用できません。

ADA4098-1には、SHDNピンに約0.6μAの電流源が内蔵されており、このピンを-V_Sにプル・ダウンすると、アンプがデフォルトの増幅動作状態になります。SHDN状態にする必要がない場合は、SHDNピンと-V_Sピンを配線によって接続してください。SHDNピンがフロート状態の場合、または大きなソース・インピーダンス(100Ωを超える)の電源で駆動されている場合は、-V_S電源ピンを小型の1nFのコンデンサでバイパスし、浮遊信号がSHDNピンに結合するのを防いでください。これによって、シャットダウンがトリガされるのを未然に防ぐことができます。

グラウンド接続

電源リターンとグラウンド・リターンの抵抗とインダクタンスを低減できる場所にグラウンド・プレーンと電源プレーンを使用します。バイパス・コンデンサを±V_S 電源ピンのできるだけ近くに実装し、他端をグラウンド・プレーンに接続します。軽負荷の駆動時（負荷電流が100μA未満）は、0.1μF以上のバイパス・コンデンサを使用し、より高い負荷を駆動する場合はより大容量のコンデンサを使用することを推奨します。出力から負荷への配線、およびグラウンド・プレーンへのリターンでは、インダクタンスを最小に保つため、ループ面積を最小限に抑える必要があります。

通電時の ESD 保護

未通電時と通電時では、ESD ストライクに対する IC の応答は異なり、それは、IEC-61000-4-2 規格に従います（絶対最大定格のセクションを参照）。HBM 条件下で良好に動作するデバイスでも、国際電気標準会議（IEC）条件下では動作性能が低下する場合があります。ADA4098-1 は、IEC の条件で ESD ストライクを徹底的に酷使し、ESD ストライクを受けてもデバイスを保護するフロント・エンド回路保護機構を構築しています。図 62 と図 63 は、ADA4098-1 の保護を±8kV の ESD ストライクにまで拡張する、2 種類の保護機構を示しています。

部品を選択する場合は次の点を考慮してください。

- 部品の大きさを 0805 以上にして弧絡の可能性を低減。
- パルス耐性のある厚膜抵抗。
- 最小定格 100V の COG MLCC。
- 双方向の電圧トランジエント圧縮（TVS）ダイオード。

図 62 に示す回路では、R1 は 220Ω（パナソニック ERJ-P6 シリズ、0805）で、C1 は 100pF（Yageo、100V COG/NPO、0805）です。

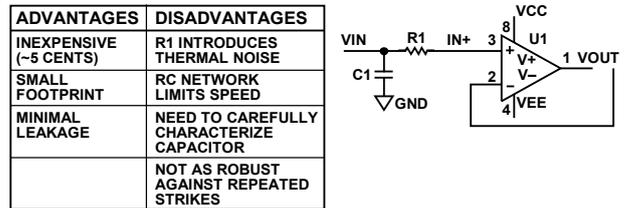


図 62. ESD 保護回路（RC ネットワーク）

図 63 に示す回路では、R1 は 220Ω（パナソニック ERJ-P6 シリズ、0805）で、D1 は Bourns CDSOD323-T36SC です。ESD バリスタは D1 とみなすことができます。

ESD のシステム・レベルの考慮事項の詳細については、アナログ・デバイセズの Web サイトにある技術記事「アナログ・フロント・エンドを保護する方法、電子の悪さを食い止める」を参照してください。

関連製品

表 8 に、特定のアプリケーションに対して検討可能ないくつかの代替高精度アンプの概要を示します。

ADVANTAGES	DISADVANTAGES
INEXPENSIVE (20 TO 30 CENTS)	R1 INTRODUCES NOISE
SMALL FOOTPRINT	D1 HAS LEAKAGE CURRENT
VERY ROBUST	D1 HAS CAPACITANCE (5pF TO 300pF)

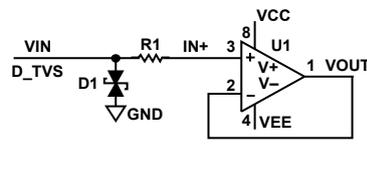


図 63. ESD 保護回路（R-TVS ネットワーク）

表 8. ADA4098-1 関連製品

Model	V _{OS} (μV)	I _B (nA)	GBP (kHz)	e _n (nV/√Hz)	I _{SY} (μA)	Common-Mode Input Range (V)
ADA4098-1	30	0.7	1000	17	165	-V _S to -V _S + 70
ADA4099-1	30	10	8000	7	1500	-V _S to -V _S + 70
ADA4077-1	35	1	3900	7	500	-V _S to +V _S
LT6015	50	5	3200	18	335	-V _S to -V _S + 76
LT6014	60	0.4	1600	9.5	165	-V _S to +V _S
LT1494	375	1	2.7	185	1.5	-V _S to -V _S + 36
LT1490A	500	8	180	50	55	-V _S to -V _S + 44

代表的なアプリケーション

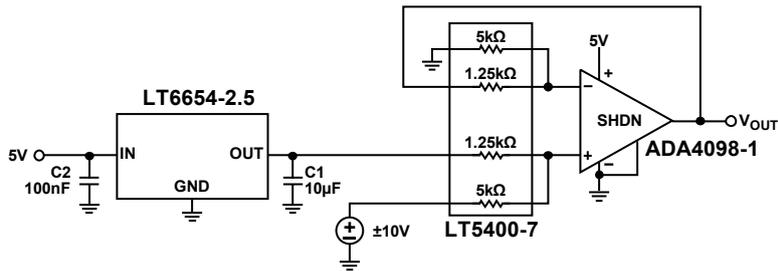


図 64. $\pm 10V$ を $0V \sim +5V$ に変換するファンネル・アンプ、LT5400-7 抵抗ネットワークによる高 CMRR と $\pm 80V$ の入力保護

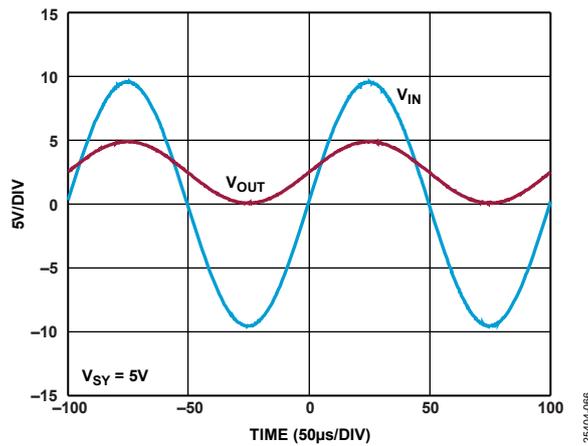


図 65. $\pm 10V$ を $0V \sim +5V$ に変換するファンネル・アンプ、入出力電圧

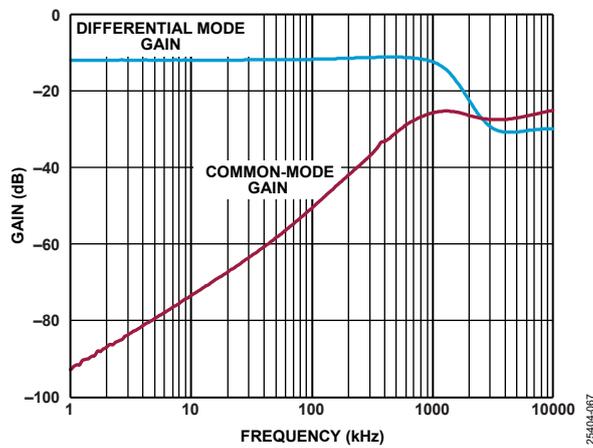


図 66. $\pm 10V$ を $0V \sim +5V$ に変換するファンネル・アンプ、システム・ゲイン

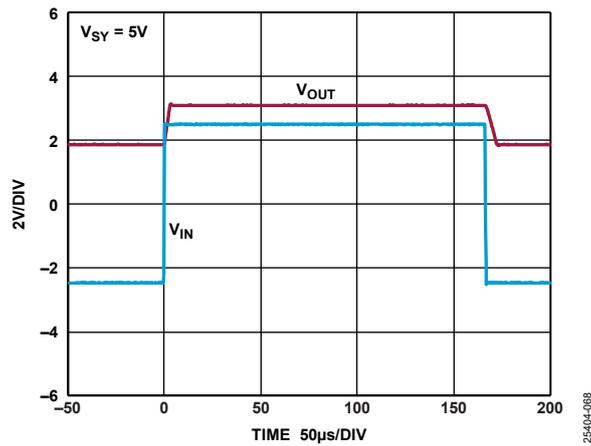


図 67. $\pm 10V$ を $0V \sim +5V$ に変換するファンネル・アンプ、大信号パルス応答

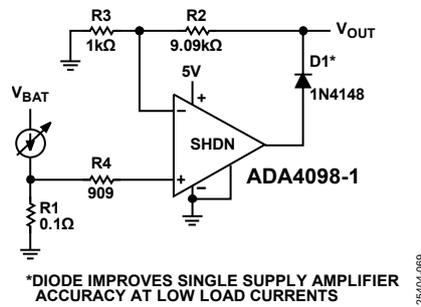


図 68. 1V/A ローサイド電流検出

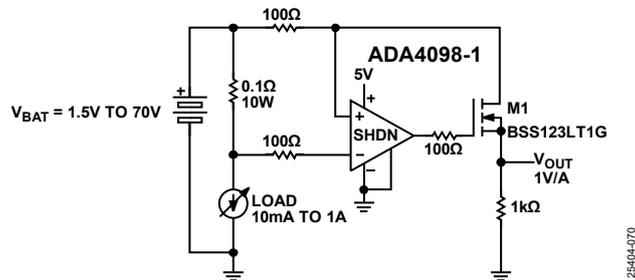


図 69. 1V/A ハイサイド電流検出

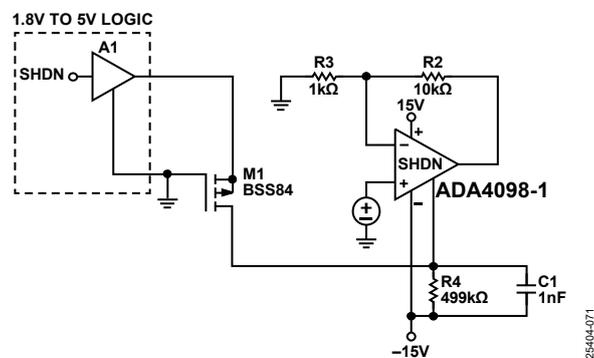


図 70. 分離電源アプリケーションにおける SHDN ピンのマイクロプロセッサ制御

外形寸法

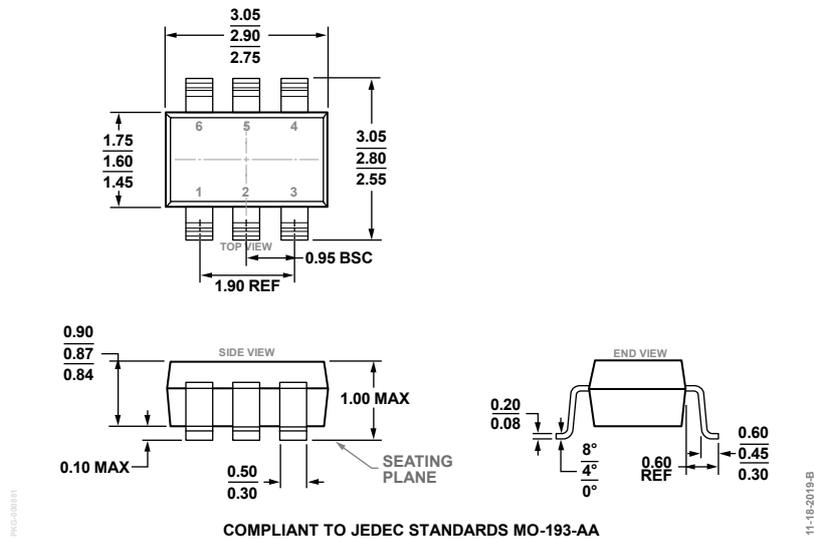


図 71.6 ピン、薄型スモール・アウトライン・トランジスタ・パッケージ [TSOT] (UJ-6)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Marking Code
ADA4098-1BUJZ-R5	-40°C to +125°C	6-Lead TSOT	UJ-6	Y7M
ADA4098-1BUJZ-RL7	-40°C to +125°C	6-Lead TSOT	UJ-6	Y7M
ADA4098-1HUJZ-RL7	-55°C to +150°C	6-Lead TSOT	UJ-6	Y7N
EVAL-ADA4098-1HUJZ		Evaluation Board		

¹ Z = RoHS 準拠製品