

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022 年 4 月 4 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2022 年 4 月 4 日

製品名：ADA4099-1

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：1 ページ、 右の段、下から 13 行目

【誤】

「 $\cdot \cdot 70V > -V_S \cdot \cdot$ 」

【正】

「 $\cdot \cdot -V_S + 70V \cdot \cdot$ 」

50V、8MHz、1.5mA／チャンネルの 堅牢な Over-The-Top 高精度オペアンプ

特長

- ▶ 極めて広いコモンモード電圧範囲： $-V_S - 0.1V \sim -V_S + 70V$
- ▶ 広い電源電圧範囲：(V_{SY})： $+3.15V \sim +50V$ (PSRR を確保して $\pm 25V$)
- ▶ 低電源電流：1.5mA／チャンネル (代表値)
- ▶ 低入力オフセット電圧： $\pm 40\mu V$ (最大値)
- ▶ 低入力オフセット電圧ドリフト： $\pm 0.4\mu V/^\circ C$ (最大値)
- ▶ 低い電圧ノイズ：
 - ▶ 1/f ノイズ・コーナ：6Hz (代表値)
 - ▶ 0.1Hz～10Hz で 150nV p-p (代表値)
 - ▶ 100Hz で 7nV/ $\sqrt{Hz}$ (代表値) (e_n)
- ▶ 高速
 - ▶ GBP：8MHz (代表値)
 - ▶ スルー・レート： $\Delta V_{OUT} = 25V$ で 5.5V/ μs (代表値)
- ▶ 低消費電力のシャットダウン：20 μA (最大値)
- ▶ 低入力バイアス電流： $\pm 10nA$ (最大値)
- ▶ 大きい信号電圧ゲイン：120dB (最小値)
- ▶ CMRR：118dB (最小値)
- ▶ PSRR：123dB (最小値)
- ▶ 入力オーバードライブ耐性 (位相反転なし)
- ▶ $\pm 2kV$ HBM および $\pm 1.25kV$ FICDM
- ▶ 広い動作温度範囲： $-55^\circ C \sim +150^\circ C$ (H グレード)

アプリケーション

- ▶ 工業用センサーのコンディショニング
- ▶ 電源電流の検出
- ▶ バッテリおよび電源のモニタリング
- ▶ 過酷な環境でのフロント・エンド・アンプ
- ▶ 4mA～20mA のトランスミッタ

代表的なアプリケーション回路

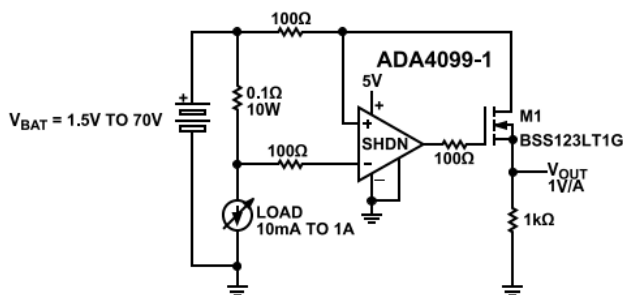


図 1. 1V/A Over-The-Top 電流検出アプリケーション
(ADA4099-1 6 ピン TSOT)

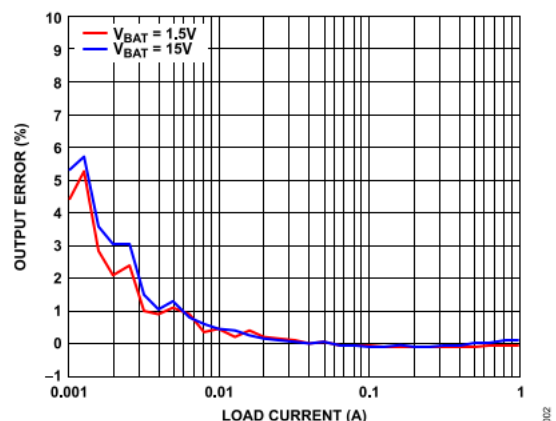


図 2. 出力誤差と負荷電流の関係

目次

特長	1	出力.....	22
アプリケーション	1	シャットダウン・ピン.....	22
概要	1	アプリケーション情報.....	24
代表的なアプリケーション回路.....	1	大きな抵抗によるゲインの操作.....	24
仕様	3	様々なゲインに対する推奨値.....	24
5V 電源.....	3	ノイズ.....	25
±15V 電源.....	5	歪み.....	25
絶対最大定格.....	8	消費電力とサーマル・シャットダウン.....	26
最大消費電力.....	8	回路レイアウト時の考慮事項.....	26
熱抵抗	8	電源のバイパス	26
静電放電 (ESD) 定格.....	8	グラウンド接続.....	26
ESD に関する注意.....	9	通電時の ESD 保護	27
ピン配置およびピン機能の説明.....	10	関連製品.....	27
代表的な性能特性.....	12	代表的なアプリケーション	28
動作原理	20	外形寸法.....	30
入力保護	21	オーダー・ガイド	34
Over-The-Top 動作の考慮事項.....	21	評価用ボード	34

改訂履歴

1/2022—Rev. 0 to Rev. A

Added ADA4099-2.....	1
Change to Data Sheet Title.....	1
Changes to Features Section.....	1
Changes to General Description Section.....	1
Changes to 5 V Supply Section and Table 1.....	3
Changes to ±15 V Supply Section and Table 2.....	5
Changes to Table 3.....	8
Changes to Table 4.....	8
Change to Table 6 Title.....	10
Added Figure 5, Figure 6, Table 7, and Table 8; Renumbered Sequentially.....	10
Added Figure 50.....	19
Changes to Shutdown Pins Section and Title.....	22
Changes to Power Supply Bypassing.....	26
Changes to Table 10.....	27
Added Figure 76, Figure 77, and Figure 78.....	30
Changes to Ordering Guide.....	34

1/2021—Revision 0: Initial Version

仕様

5V 電源

特に指定のない限り、コモンモード電圧 (V_{CM}) = 2.5V、SHDN ピン (ADA4099-1) および SHDNx ピン (ADA4099-2 10 ピン LFCSP) はオープン、負荷抵抗 (R_L) = 499k Ω は中間電源に接続、周囲温度 (T_A) = 25°C。

表 1.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit	
		Min	Typ	Max	Min	Typ	Max		
DC PERFORMANCE									
Input Offset Voltage (V _{OS}) ¹	0.25 V < V _{CM} < 3.25 V		±10	±40		±10	±40	μV	
	Minimum temperature (T _{MIN}) < T _A < maximum temperature (T _{MAX})			±90			±90	μV	
	0.25 V < V _{CM} < 70 V		±25	±65		±25	±65	μV	
	T _{MIN} < T _A < T _{MAX}			±125			±140	μV	
	−0.1 V < V _{CM} < +70 V		±25	±70		±25	±70	μV	
	T _{MIN} < T _A < T _{MAX}			±125			±200	μV	
Input Offset Voltage Drift ²	T _{MIN} < T _A < T _{MAX}		±0.1	±0.4		±0.1	±0.8	μV/°C	
Input Bias Current (I _B)			±4	±10		±4	±10	nA	
	T _{MIN} < T _A < T _{MAX}			±15			±30	nA	
	V _{CM} = 70 V, Over-The-Top	70	82.5	98	70	82.5	98	μA	
	T _{MIN} < T _A < T _{MAX}	40		125	40		125	μA	
	0 V < V _{CM} < 70 V, V _{SY} = 0 V		0.001	10		0.001	10	μA	
	T _{MIN} < T _A < T _{MAX}			25			25	μA	
Input Offset Current (I _{OS})			±2	±4		±2	±4	nA	
	T _{MIN} < T _A < T _{MAX}			±10			±20	nA	
	V _{CM} = 70 V, Over-The-Top3		±0.5	±2		±0.5	±2	μA	
	T _{MIN} < T _A < T _{MAX}			±5			±5	μA	
	Common-Mode Rejection Ratio (CMRR)	V _{CM} = −0.1 V to +70 V	118	136		118	136		dB
		T _{MIN} < T _A < T _{MAX}	110			108			dB
V _{CM} = 0.25 V to 3.25 V		114	132		114	132		dB	
T _{MIN} < T _A < T _{MAX}		108			108			dB	
Common-Mode Input Range	Guaranteed by CMRR tests	−V _S −0.1		−V _S + 70	−V _S −0.1		−V _S + 70	V	
Large Signal Voltage Gain (A _{OL})	ΔV _{OUT} = 4 V	126	140		126	140		dB	
	T _{MIN} < T _A < T _{MAX}	116			110			dB	
	ΔV _{OUT} = 4 V, R _L = 10 kΩ	120	130		120	130		dB	
	T _{MIN} < T _A < T _{MAX}	110			102			dB	
NOISE PERFORMANCE									
Input Voltage Noise	Frequency (f) = 0.1 Hz to 10 Hz		150			150		nV p-p	
	1/f noise corner		6			6		Hz	
	f = 100 Hz		7			7		nV/√Hz	
Over-The-Top	f = 100 Hz, V _{CM} > 5 V		8			8		nV/√Hz	
Input Current Noise	f = 100 Hz		0.5			0.5		pA/√Hz	
	Over-The-Top		5			5		pA/√Hz	
DYNAMIC PERFORMANCE									
Slew Rate	ΔV _{OUT} = 2 V	2.7	4		2.7	4		V/μs	
	T _{MIN} < T _A < T _{MAX}	1.75			1.75			V/μs	
Gain Bandwidth Product (GBP)	Test frequency (f _{TEST}) = 25 kHz	7.5	8		7.5	8		MHz	
	T _{MIN} < T _A < T _{MAX}	6.75			6.5			MHz	
Phase Margin			47			47		Degrees	
1% Settling Time	ΔV _{OUT} = ±2 V		1.15			1.15		μs	

仕様

表 1.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
0.1% Settling Time	$\Delta V_{OUT} = \pm 2 \text{ V}$		1.5			1.5		μs
Total Harmonic Distortion Plus Noise (THD + N)	$f = 10 \text{ kHz}$, $V_{OUT} = 2 \text{ V p-p}$, $R_L = 10 \text{ k}\Omega$, bandwidth = 80 kHz		0.001			0.001		%
Channel Separation	$f = 1 \text{ kHz}$, $R_L = 2 \text{ k}\Omega$		115			115		dB
INPUT CHARACTERISTICS								
Input Resistance	Differential mode		100			100		$\text{k}\Omega$
	Common mode		>1			>1		$\text{G}\Omega$
Over-The-Top	Differential mode, $V_{CM} > 5 \text{ V}$		600			600		Ω
	Common mode, $V_{CM} > 5 \text{ V}$		>100			>100		$\text{M}\Omega$
Input Capacitance	Differential mode		9			9		pF
	Common mode		3			3		pF
SHDN AND SHDNx PINS								
Input Logic Low	Amplifier active, SHDN and SHDNx voltage (V_{SHDN}) $< -V_S + 0.5 \text{ V}$, $T_{MIN} < T_A < T_{MAX}$			$-V_S + 0.5$			$-V_S + 0.5$	V
Input Logic High	Amplifier shutdown, $V_{SHDN} > -V_S + 1.5 \text{ V}$, $T_{MIN} < T_A < T_{MAX}$	$-V_S + 1.5$			$-V_S + 1.5$			V
Response Time	Amplifier active to shutdown		2.5			2.5		μs
	Amplifier shutdown to active		10			10		μs
Pull-Down Current	$V_{SHDN} = -V_S + 0.5 \text{ V}$, $T_{MIN} < T_A < T_{MAX}$		0.6	3		0.6	3	μA
	$V_{SHDN} = -V_S + 1.5 \text{ V}$, $T_{MIN} < T_A < T_{MAX}$		0.3	2.5		0.3	2.5	μA
OUTPUT CHARACTERISTICS								
Output Voltage Swing Low	Overdrive voltage (V_{OD}^4) = 30 mV, no load		45	60		45	60	mV
	$T_{MIN} < T_A < T_{MAX}$			105			120	mV
	$V_{OD} = 30 \text{ mV}$, sink current, (I_{SINK}) = 10 mA		260	325		260	325	mV
Output Voltage Swing High	$T_{MIN} < T_A < T_{MAX}$			435			450	mV
	$V_{OD} = 30 \text{ mV}$, no load		45	55		45	55	mV
	$T_{MIN} < T_A < T_{MAX}$			110			140	mV
	$V_{OD} = 30 \text{ mV}$, source current, (I_{SOURCE}) = 10 mA		900	1100		900	1100	mV
Short-Circuit Current	$T_{MIN} < T_A < T_{MAX}$			1500			1650	mV
	I_{SOURCE}	20	30		20	30		mA
	$T_{MIN} < T_A < T_{MAX}$	15			15			mA
	I_{SINK}	40	50		40	50		mA
Output Pin Leakage During Shutdown	$T_{MIN} < T_A < T_{MAX}$	20			20			mA
	$V_{SHDN} = -V_S + 1.5 \text{ V}$		± 0.01	± 100		± 0.01	± 100	nA
	$T_{MIN} < T_A < T_{MAX}$			± 10			± 10	μA
POWER SUPPLY								
Maximum Operating Voltage ⁵				50			50	V
Voltage Range	Guaranteed by power supply rejection ratio (PSRR)	3.15		50	3.15		50	V
Supply Current/Channel	Amplifier active		1.5	1.6		1.5	1.6	mA
	$T_{MIN} < T_A < T_{MAX}$			2.2			2.35	mA
	Amplifier shutdown $V_{SHDN} = -V_S + 1.5 \text{ V}$		12	20		12	20	μA
	$T_{MIN} < T_A < T_{MAX}$			22.5			22.5	μA

仕様

表 1.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
PSRR	$V_{SY} = 3.15 \text{ V to } \pm 25 \text{ V}$ $T_{MIN} < T_A < T_{MAX}$	123	136		123	136		dB
		119			120			dB
THERMAL SHUTDOWN ⁶								
Temperature	Junction temperature (T_J)		175			175		°C
Hysteresis			20			20		°C
Operating Temperature	Ambient temperature (T_A)	-40		+125	-55		+150	°C

¹ 高速出荷テスト時に発生する熱電圧によって、このパラメータの測定精度は制限されます。表 1 に示す制限はテスト能力によって決まるもので、必ずしも実際のデバイス性能を表すものではありません。

² オフセット電圧ドリフトは、実験室での特性評価によって確保されたもので、出荷テストの対象外です。

³ テストの精度は、高速出荷テスト装置の繰り返し精度によって制限されます。ベンチ測定では、Over-The-Top 構成での入力オフセット電流は、通常、+25°C で 250nA 未満、-55°C < T_A < +150°C の温度範囲全体では 1000nA 未満に制御されています。

⁴ V_{OD} は、 V_{OUT} がハイの場合 +30mV、 V_{OUT} がローの場合 -30mV です。

⁵ 最大動作電圧は、オンチップ・コンデンサ酸化膜の酸化膜経時破壊 (TDDB) によって制限されます。このアンプは、仕様規定された絶対最大定格までの一時的なトランジェント・オーバーシュートには耐えられますが、DC 電源電圧は、最大動作電圧以下に制限する必要があります。

⁶ サーマル・シャットダウンは実験室でのみ特性評価したもので、出荷テストの対象外です。

±15V 電源

特に指定のない限り、 $V_{CM} = 0V$ 、SHDN ピン (ADA4099-1) および SHDNx ピン (ADA4099-2 10 ピン LFCSP) はオープン、 $R_L = 499k\Omega$ はグラウンドに接続、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
DC PERFORMANCE								
Input Offset Voltage (V_{OS}) ¹	$T_{MIN} < T_A < T_{MAX}$		±12	±40		±12	±40	μV
	$V_{SY} = \pm 25 \text{ V}$			±95			±90	μV
	$T_{MIN} < T_A < T_{MAX}$		±15	±40		±15	±40	μV
	$T_{MIN} < T_A < T_{MAX}$			±105			±90	μV
Input Offset Voltage Drift ²	$T_{MIN} < T_A < T_{MAX}$		±0.1	±0.4		±0.1	±0.9	μV/°C
Input Bias Current	$T_{MIN} < T_A < T_{MAX}$		±4	±10		±4	±10	nA
	$V_{SY} = \pm 25 \text{ V}$			±25			±60	nA
	$T_{MIN} < T_A < T_{MAX}$		±4	±10		±4	±10	nA
	$T_{MIN} < T_A < T_{MAX}$			±35			±100	nA
Input Offset Current	$T_{MIN} < T_A < T_{MAX}$		±2	±5		±2	±5	nA
	$V_{SY} = \pm 25 \text{ V}$			±15			±30	nA
	$T_{MIN} < T_A < T_{MAX}$		±4	±5		±4	±5	nA
	$T_{MIN} < T_A < T_{MAX}$			±20			±35	nA
CMRR	$V_{CM} = -14.75 \text{ V to } +13.25 \text{ V}$	118	130		118	130		dB
	$T_{MIN} < T_A < T_{MAX}$	112			114			dB
	$V_{CM} = -15.1 \text{ V to } +13.25 \text{ V}$	115	126		115	126		dB
	$T_{MIN} < T_A < T_{MAX}$	105			101			dB
	$V_{CM} = -15.1 \text{ V to } +55 \text{ V}$	117	126		117	126		dB
	$T_{MIN} < T_A < T_{MAX}$	110			107			dB
Common-Mode Input Range	Guaranteed by CMRR tests	-15.1		+55	-15.1		+55	V

仕様

表 2.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
A_{OL}	$\Delta V_{OUT} = 25\text{ V}$	134	154		134	154		dB
	$T_{MIN} < T_A < T_{MAX}$	120			116			dB
	$\Delta V_{OUT} = 25\text{ V}, R_L = 10\text{ k}\Omega$	120	134		120	134		dB
	$T_{MIN} < T_A < T_{MAX}$	114			110			dB
NOISE PERFORMANCE								
Input Voltage Noise	$f = 0.1\text{ Hz to }10\text{ Hz}$		150			150		nV p-p
	1/f noise corner		6			6		Hz
	$f = 100\text{ Hz}$		7			7		nV/ $\sqrt{\text{Hz}}$
Over-The-Top	$f = 100\text{ Hz}, V_{CM} > +V_S$		8			8		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ Hz}$		0.5			0.5		pA/ $\sqrt{\text{Hz}}$
Over-The-Top	$f = 100\text{ Hz}, V_{CM} > +V_S$		5			5		pA/ $\sqrt{\text{Hz}}$
DYNAMIC PERFORMANCE								
Slew Rate	$\Delta V_{OUT} = 25\text{ V}$	3.5	5.5		3.5	5.5		V/ μs
	$T_{MIN} < T_A < T_{MAX}$	2.0			2.0			V/ μs
GBP	$f_{TEST} = 25\text{ kHz}$	7.5	8		7.5	8		MHz
	$T_{MIN} < T_A < T_{MAX}$	6.75			6.5			MHz
Phase Margin			57			57		Degrees
1% Settling Time	$\Delta V_{OUT} = \pm 2\text{ V}$		1.15			1.15		μs
0.1% Settling Time	$\Delta V_{OUT} = \pm 2\text{ V}$		1.5			1.5		μs
THD + N	$f = 10\text{ kHz}, V_{OUT} = 5.6\text{ V p-p}, R_L = 10\text{ k}\Omega, \text{ bandwidth} = 80\text{ kHz}$		0.001			0.001		%
Channel Separation	$f = 1\text{ kHz}, R_L = 2\text{ k}\Omega$		115			115		dB
INPUT CHARACTERISTICS								
Input Resistance	Differential mode		100			100		k Ω
	Common mode		>1			>1		G Ω
Input Capacitance	Differential mode		9			9		pF
	Common mode		3			3		pF
SHDN AND SHDNx PINS								
Input Logic Low	Amplifier active, $V_{SHDN} < -V_S + 0.5\text{ V}$			$-V_S + 0.5$			$-V_S + 0.5$	V
Input Logic High	Amplifier shutdown, $V_{SHDN} > -V_S + 1.5\text{ V}$	$-V_S + 1.5$			$-V_S + 1.5$			V
Response Time	Amplifier active to shutdown		2.5			2.5		μs
	Amplifier shutdown to active		10			10		μs
Pull-Down Current	$V_{SHDN} = -V_S + 0.5\text{ V}, T_{MIN} < T_A < T_{MAX}$		0.6	3		0.6	3	μA
	$V_{SHDN} = -V_S + 1.5\text{ V}, T_{MIN} < T_A < T_{MAX}$		0.3	2.5		0.3	2.5	μA
OUTPUT CHARACTERISTICS								
Output Voltage Swing Low	$V_{OD}^3 = 30\text{ mV}, \text{ no load}$		45	60		45	60	mV
	$T_{MIN} < T_A < T_{MAX}$			115			125	mV
	$V_{OD} = 30\text{ mV}, I_{SINK} = 10\text{ mA}$		260	325		260	325	mV
	$T_{MIN} < T_A < T_{MAX}$			435			450	mV
Output Voltage Swing High	$V_{OD} = 30\text{ mV}, \text{ no load}$		45	55		45	55	mV
	$T_{MIN} < T_A < T_{MAX}$			140			165	mV
	$V_{OD} = 30\text{ mV}, I_{SOURCE} = 10\text{ mA}$		900	1100		900	1100	mV
	$T_{MIN} < T_A < T_{MAX}$			1500			1650	mV

仕様

表 2.

Parameter	Test Conditions/Comments	B Grade			H Grade			Unit
		Min	Typ	Max	Min	Typ	Max	
Short-Circuit Current	I_{SOURCE}	25	34		25	34		mA
	$T_{MIN} < T_A < T_{MAX}$	20			20			mA
	I_{SINK}	40	50		40	50		mA
	$T_{MIN} < T_A < T_{MAX}$	20			20			mA
POWER SUPPLY								
Maximum Operating Voltage ⁴				50			50	V
Voltage Range	Guaranteed by PSRR	3.15		50	3.15		50	V
Supply Current/Channel	Amplifier active		1.65	1.8		1.65	1.8	mA
	$T_{MIN} < T_A < T_{MAX}$			2.45			2.6	mA
	$V_{SY} = \pm 25\text{ V}$		1.75	2		1.75	2	mA
	$T_{MIN} < T_A < T_{MAX}$			2.7			2.85	mA
	Amplifier shutdown, $V_{SHDN} = -V_S + 1.5\text{ V}$		17	24		17	24	μA
	$T_{MIN} < T_A < T_{MAX}$			27			27	μA
PSRR	$V_{SY} = 3.15\text{ V to } 50\text{ V}$	123	136		123	136		dB
	$T_{MIN} < T_A < T_{MAX}$	119			120			dB
THERMAL SHUTDOWN ⁵								
Temperature	T_J		175			175		$^{\circ}\text{C}$
Hysteresis			20			20		$^{\circ}\text{C}$
Operating Temperature	T_A	-40		+125	-55		+150	$^{\circ}\text{C}$

¹ 高速出荷テスト時に発生する熱電圧によって、このパラメータの測定精度は制限されます。表 2 に示す制限はテスト能力によって決まるもので、必ずしも実際のデバイス性能を表すものではありません。

² オフセット電圧ドリフトは、実験室での特性評価によって確保されたもので、出荷テストの対象外です。

³ V_{OD} は、 V_{OUT} がハイの場合+30mV、 V_{OUT} がローの場合-30mV です。

⁴ 最大動作電圧は、オンチップ・コンデンサ酸化膜の TDDDB によって制限されます。このアンプは、仕様規定された絶対最大定格までの一時的なトランジェント・オーバーシュートには耐えられますが、DC 電源電圧は、最大動作電圧以下に制限する必要があります。

⁵ サーマル・シャットダウンは実験室でのみ特性評価したもので、出荷テストの対象外です。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage ¹	
Transient	60 V
Continuous	50 V
Power Dissipation (P _D)	See Figure 3
Differential Input Voltage	±80 V
±IN Pin Voltage	
Continuous	–5 V to +80 V
Survival	–10 V to +80 V
±IN Pin Current	20 mA
SHDN and SHDNx Voltage ²	–0.3 V to +60 V
Storage Temperature Range	–65°C to +150°C
Operating Temperature Range	–55°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature (T _J)	175°C

¹ 最大電源電圧は、オンチップ・コンデンサ酸化膜の TDDDB によって制限されます。アンプは、仕様規定された絶対最大定格までの一時的なトランジェント・オーバーシュートには耐えられますが、連続動作電源電圧は、50V 以下に制限する必要があります。

² SHDN は、ADA4099-1 のピン 5 です。SHDNx は、ADA4099-2 10 ピン LFCSP の SHDN1 (ピン 5) および SHDN2 (ピン 6) を指します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

125°C を超えるジャンクション温度 (T_J) によって経年劣化が加速されます。ADA4099-1 および ADA4099-2 は、T_A = 140°C で 1400 時間以上、±25V の電源での動作が実証されています。

最大消費電力

デバイスの最大安全消費電力 (P_D) は、関連するケース温度 (T_C) またはダイの T_J の上昇により制限されます。T_C = 約 150°C のガラス転移温度で、プラスチック・パッケージの性質が変わります。この温度制限値を一時的にでも超えた場合、パッケージからチップに加えられる応力が変化して、このパラメータに関する ADA4099-1 および ADA4099-2 の性能が恒久的にシフトしてしまうことがあります。長時間にわたり T_J = 175°C を超えると、シリコン・デバイスが変化し、故障の原因となる可能性があります。

パッケージの P_D は、静止消費電力と出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は次式で表されます。

$$V_{SY} \times I_{SY}$$

ここで、I_{SY} は静止電流です。

負荷駆動による P_D はアプリケーションによって異なります。負荷駆動による P_D は、デバイス両端の関連する電圧降下を負荷電流に掛けることで算出されます。この計算における電圧と電流には実効値を用いる必要があります。

空気流があると放熱が増加し、θ_{JA} が効率的に低下します。ビアを通る金属パターン、グラウンド・プレーン、電源プレーンなどに接続されたパッケージ・ピンに直接接触する金属面が増えると、θ_{JA} が小さくなります。

図 3 は、JEDEC 規格の 4 層基板に実装されたシングルおよびデュアルの 6 ピン TSOT パッケージについて、最大 P_D と T_A の関係を示しています。ここで、–V_S ピンは、プリント回路基板 (PCB) のプレーンと熱的に接触しているパッドに接続されています。θ_{JA} の値は概数です。

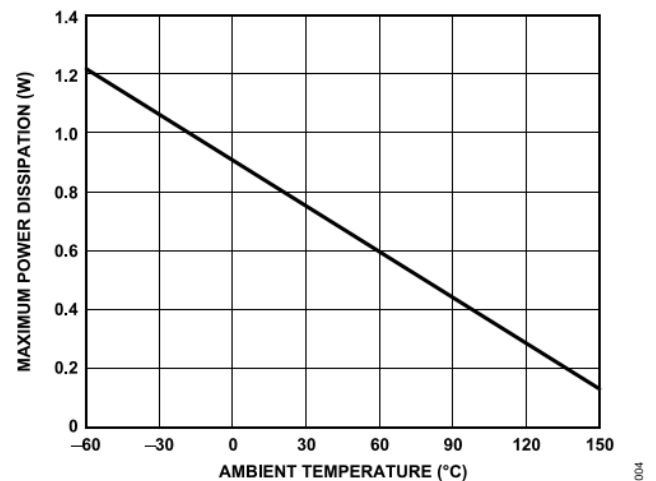


図 3. 最大消費電力と周辺温度の関係

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、ジャンクションから周辺への熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JA}	Unit
UJ-6	192	°C/W
R-8	120	°C/W
RM-8	163	°C/W
05-08-1699	43	°C/W

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

絶対最大定格

ADA4099-1/ADA4099-2 の ESD 定格

表 5. ADA4099-1 6 ピン TSOT、ADA4099-2 8 ピン SOIC_N、ADA4099-2 8 ピン MSOP、ADA4099-2 10 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	±2	2
FICDM	±1.25	3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

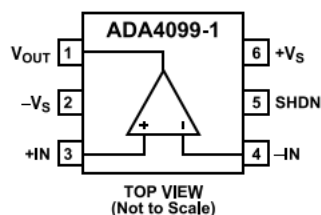


図 4. ADA4099-1 6 ピン TSOT のピン配置

表 6. ADA4099-1 6 ピン TSOT のピン機能の説明

ピン番号	記号	説明
1	V _{OUT}	アンプ出力。
2	-V _s	負側電源。単電源アプリケーションの場合、通常このピンは低インピーダンスのグラウンド・プレーンにハンダ付けされます。分離電源アプリケーションでは、0.1μF 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。
3	+IN	アンプの非反転入力。
4	-IN	アンプの反転入力。
5	SHDN	オペアンプ・シャットダウン。シャットダウンの閾値は負電源より約 1V 高い電圧です。このピンが未接続の場合、または -V _s に直接配線されている場合、アンプはアクティブです。このピンがハイ (V _{SHDN} > -V _s + 1.5V) にアサートされると、アンプはシャットダウン状態になり、アンプの出力は高インピーダンス状態になります。このピンを未接続にする場合、-IN から信号が SHDN ピンと容量性結合するのを防止するため、SHDN と -V _s の間に 1nF の小さいコンデンサを接続することを推奨します。
6	+V _s	正側電源。0.1μF 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。

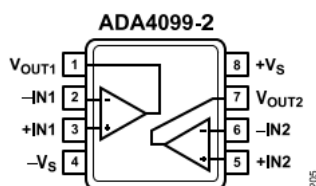


図 5. ADA4099-2 8 ピン SOIC_N および 8 ピン MSOP のピン配置

表 7. ADA4099-2 8 ピン SOIC_N および 8 ピン MSOP のピン機能の説明

ピン番号	記号	説明
1	V _{OUT1}	アンプ出力、チャンネル 1。
2	-IN1	アンプの反転入力、チャンネル 1。
3	+IN1	アンプの非反転入力、チャンネル 1。
4	-V _s	負側電源。単電源アプリケーションの場合、通常このピンは低インピーダンスのグラウンド・プレーンにハンダ付けされます。分離電源アプリケーションでは、0.1μF 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。
5	+IN2	アンプの反転入力、チャンネル 2。
6	-IN2	アンプの非反転入力、チャンネル 2。
7	V _{OUT2}	アンプ出力、チャンネル 2。
8	+V _s	正側電源。0.1μF 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。

ピン配置およびピン機能の説明

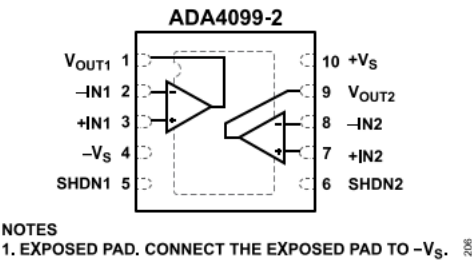


図 6. ADA4099-2 10 ピン LFCSP のピン配置

表 8. ADA4099-2 10 ピン LFCSP のピン機能の説明

ピン番号	記号	説明
1	V_{OUT1}	アンプ出力、チャンネル 1。
2	$-IN1$	アンプの反転入力、チャンネル 1。
3	$+IN1$	アンプの非反転入力、チャンネル 1。
4	$-V_S$	負側電源。単電源アプリケーションの場合、通常このピンは低インピーダンスのグラウンド・プレーンにハンダ付けされます。分離電源アプリケーションでは、 $0.1\mu F$ 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。
5	SHDN1	オペアンプ・シャットダウン、チャンネル 1。シャットダウンの閾値は負電源より約 1V 高い電圧です。このピンが未接続の場合、または $-V_S$ に直接配線されている場合、アンプはアクティブです。このピンがハイ ($V_{SHDN} > -V_S + 1.5V$) にアサートされると、アンプはシャットダウン状態になり、アンプの出力は高インピーダンス状態になります。このピンを未接続にする場合、 $-IN$ からの信号が SHDN1 ピンと容量性結合するのを防止するため、SHDN1 と $-V_S$ の間に $1nF$ の小さいコンデンサを接続することを推奨します。
6	SHDN2	オペアンプ・シャットダウン、チャンネル 2。シャットダウンの閾値は負電源より約 1V 高い電圧です。このピンが未接続の場合、または $-V_S$ に直接配線されている場合、アンプはアクティブです。このピンがハイ ($V_{SHDN} > -V_S + 1.5V$) にアサートされると、アンプはシャットダウン状態になり、アンプの出力は高インピーダンス状態になります。このピンを未接続にする場合、 $-IN$ からの信号が SHDN2 ピンと容量性結合するのを防止するため、SHDN2 と $-V_S$ の間に $1nF$ の小さいコンデンサを接続することを推奨します。
7	$+IN2$	アンプの反転入力、チャンネル 2。
8	$-IN2$	アンプの非反転入力、チャンネル 2。
9	V_{OUT2}	アンプ出力、チャンネル 2。
10	$+V_S$	正側電源。 $0.1\mu F$ 以上のコンデンサをこのピンのできるだけ近くに取り付けて、ピンを低インピーダンス・グラウンド・プレーンにバイパスします。
	EPAD	露出パッド。露出パッドを $-V_S$ に接続します。

代表的な性能特性

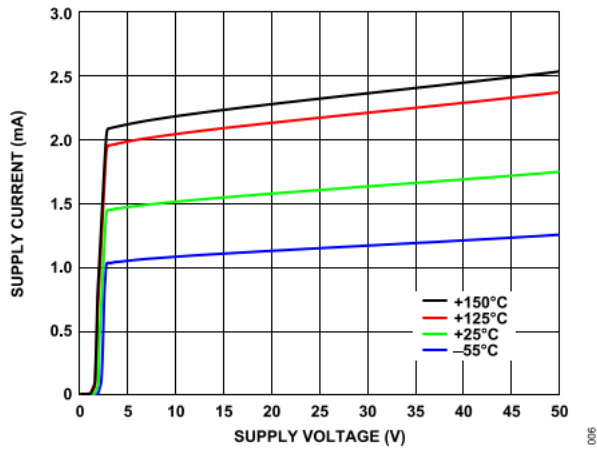


図 7. 電源電流と電源電圧の関係

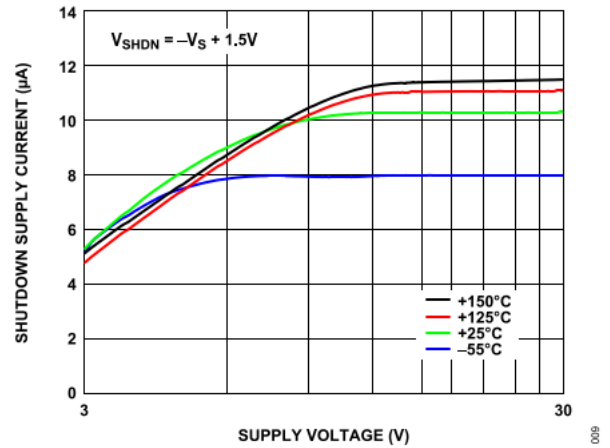


図 10. シャットダウン電源電流と電源電圧の関係

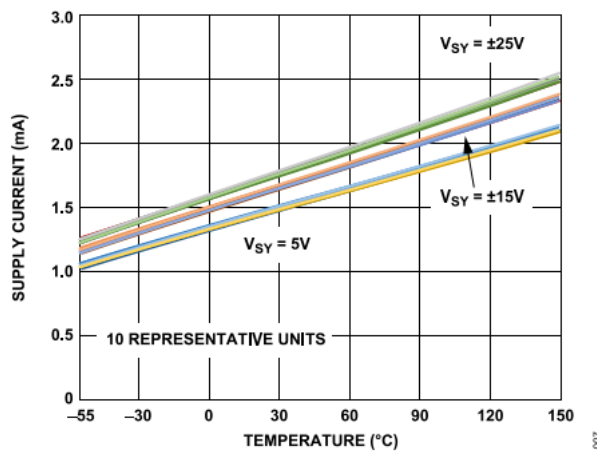


図 8. 様々な電源電圧での電源電流と温度の関係

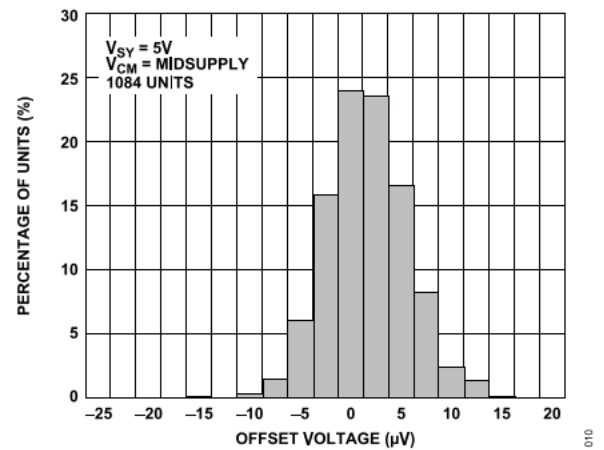


図 11. 入力オフセット電圧の代表的な分布、 $V_{SY} = 5V$

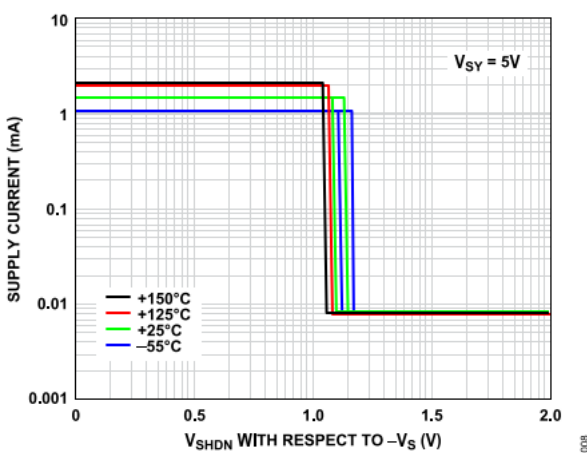


図 9. 電源電流と $-V_S$ を基準にした V_{SHDN} との関係

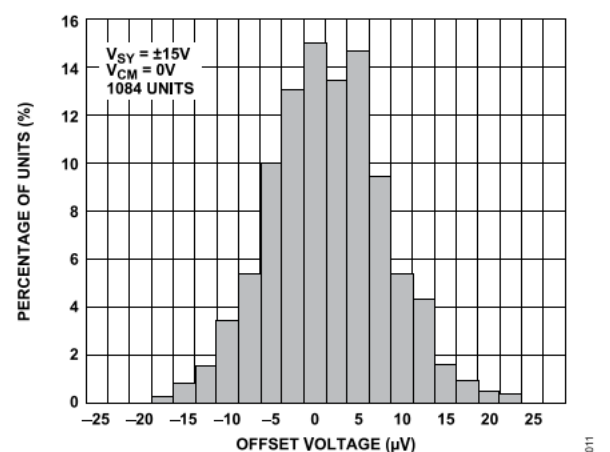


図 12. 入力オフセット電圧の代表的な分布、 $V_{SY} = \pm 15V$

代表的な性能特性

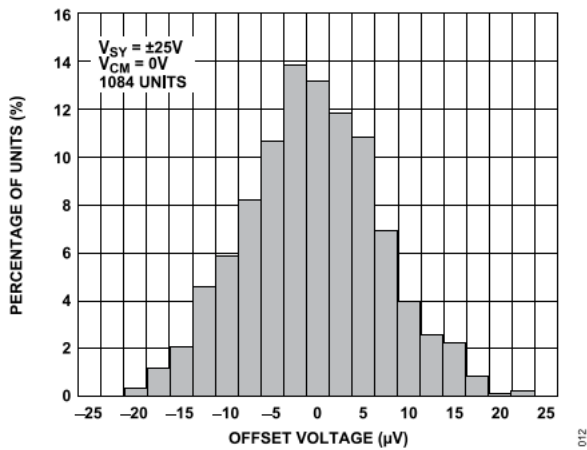


図 13. 入力オフセット電圧の代表的な分布、 $V_{SY} = \pm 25V$

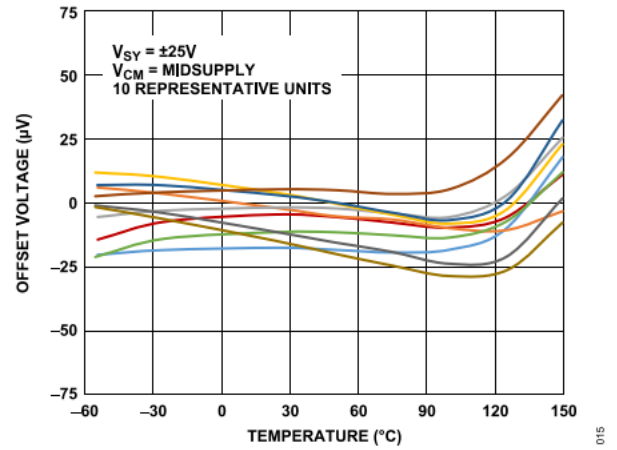


図 16. オフセット電圧と温度の関係、 $V_{SY} = \pm 25V$

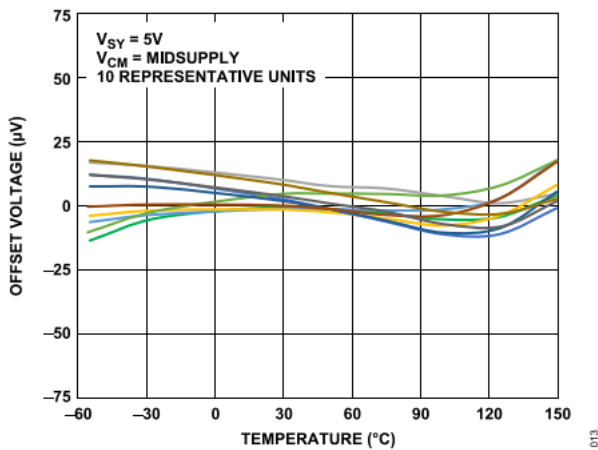


図 14. オフセット電圧と温度の関係、 $V_{SY} = 5V$

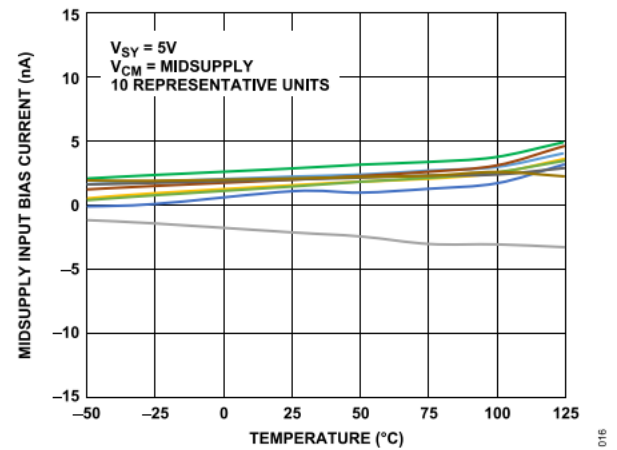


図 17. 中間電源入力バイアス電流と温度の関係、 $V_{SY} = 5V$

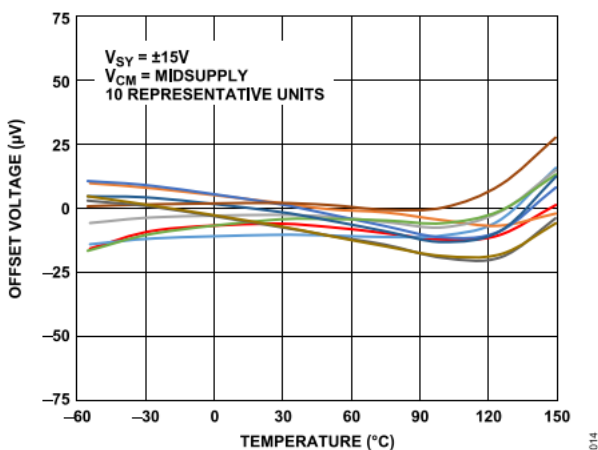


図 15. オフセット電圧と温度の関係、 $V_{SY} = \pm 15V$

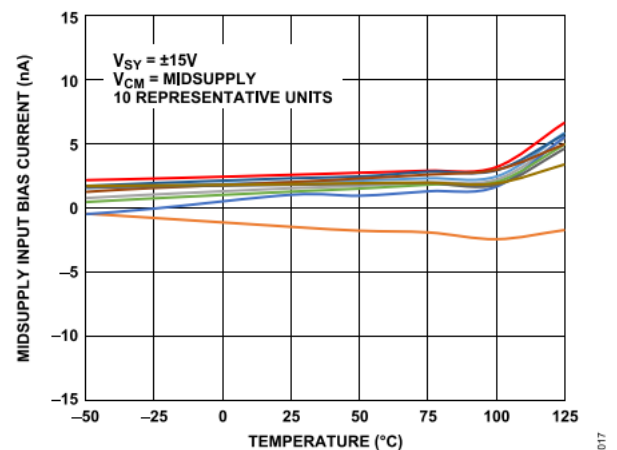


図 18. 中間電源入力バイアス電流と温度の関係、 $V_{SY} = \pm 15V$

代表的な性能特性

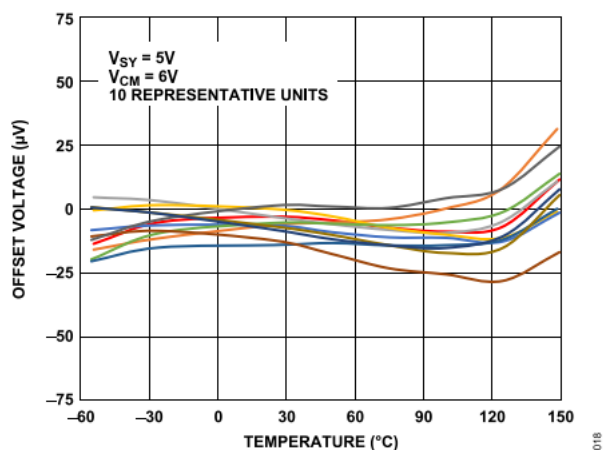


図 19. オフセット電圧と温度の関係、 $V_{CM} = 6V$ 、Over-The-Top

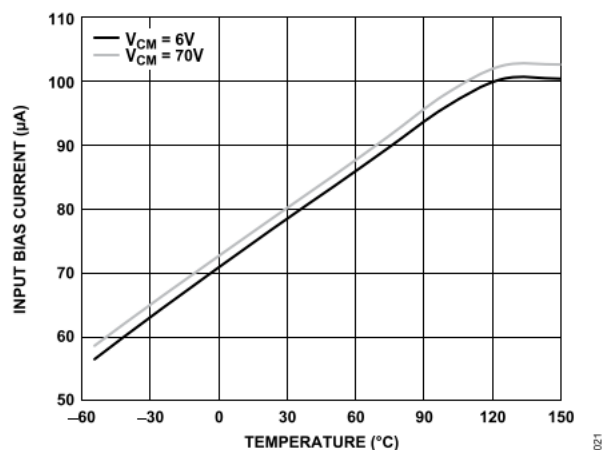


図 22. 入力バイアス電流と温度の関係、 $V_{SY} = 5V$ 、Over-The-Top

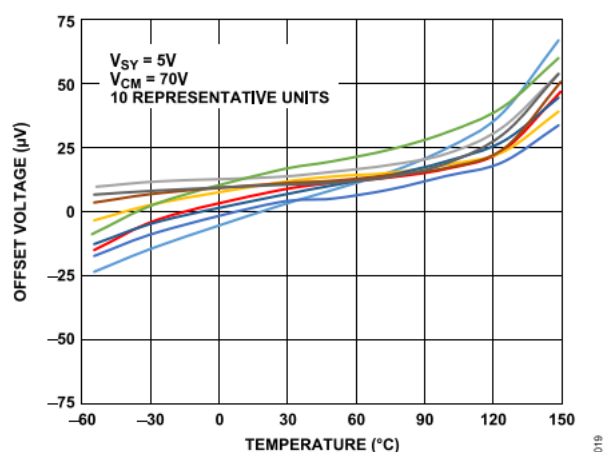


図 20. オフセット電圧と温度の関係、 $V_{CM} = 70V$

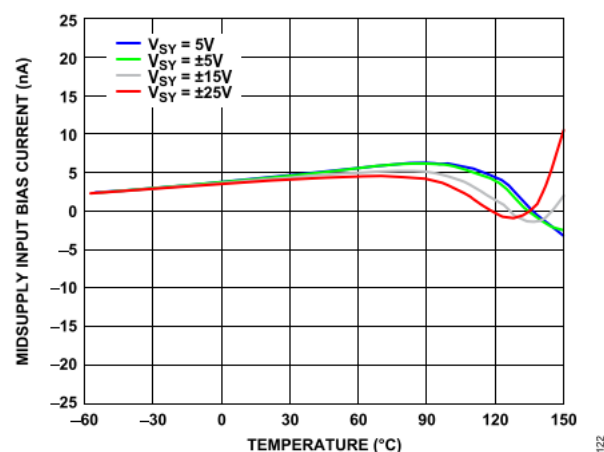


図 23. 様々な電源電圧における電源電圧の midpoint での入力バイアス電流と温度の関係

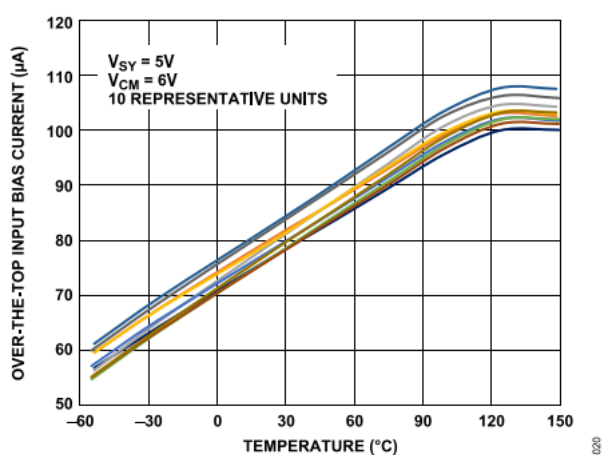


図 21. Over-The-Top 入力バイアス電流と温度の関係、 $V_{CM} = 6V$

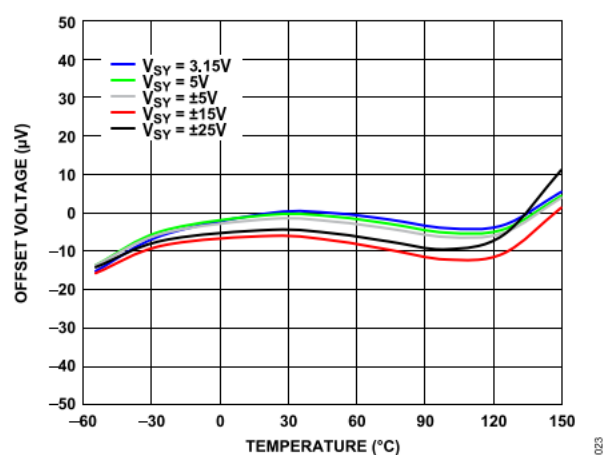


図 24. 様々な電源電圧でのオフセット電圧と温度の関係

代表的な性能特性

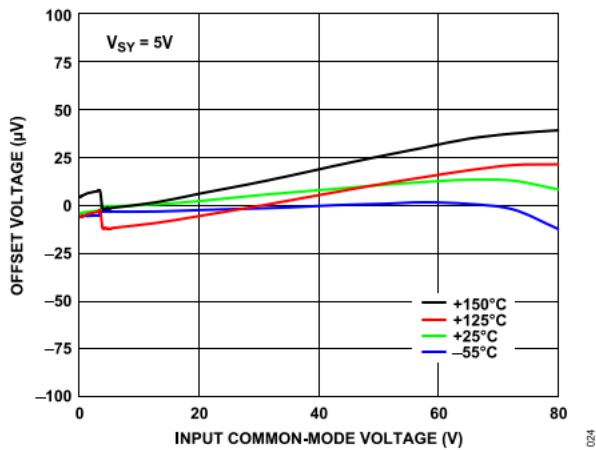


図 25. オフセット電圧と入力コモンモード電圧範囲の入力コモンモード電圧の関係

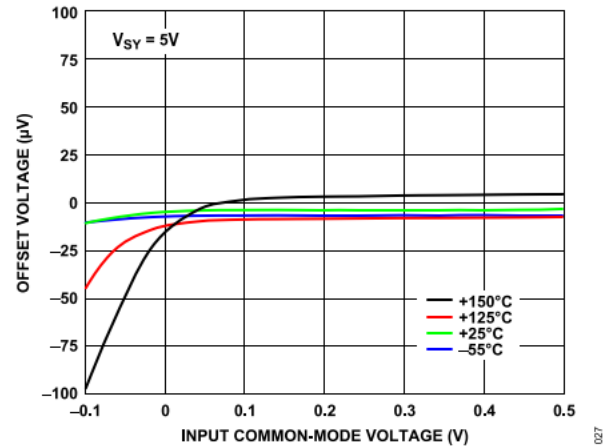


図 28. オフセット電圧とグラウンド検出アプリケーション用入力コモンモード電圧の関係

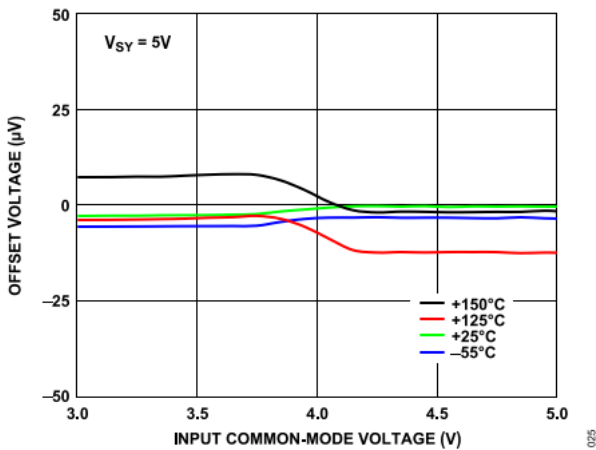


図 26. オフセット電圧と通常動作から Over-The-Top 動作の範囲の入力コモンモード電圧の関係

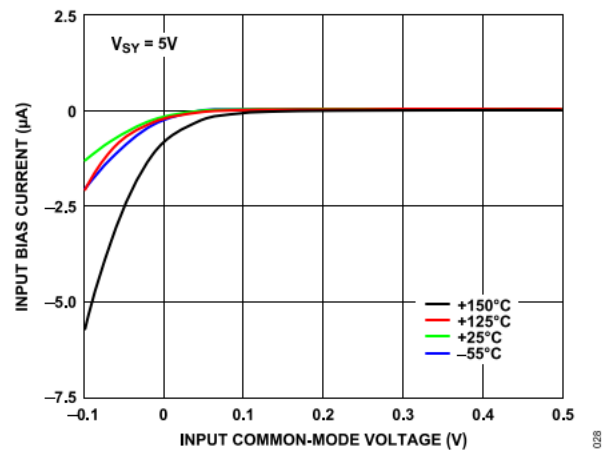


図 29. グラウンド・センシング・アプリケーション用の入力バイアス電流と入力コモンモード電圧の関係

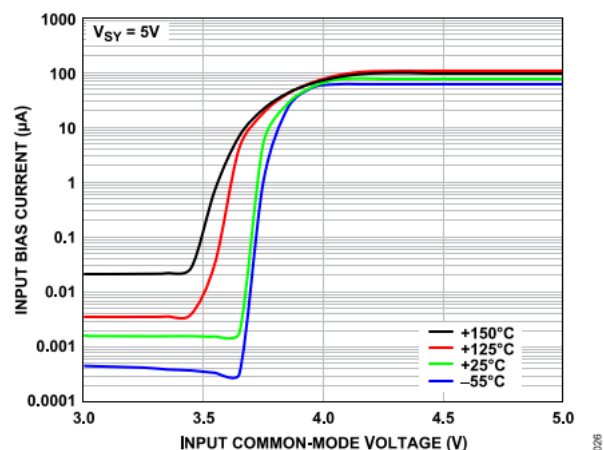


図 27. 入力バイアス電流と通常動作から Over-The-Top 動作の範囲の入力コモンモード電圧の関係

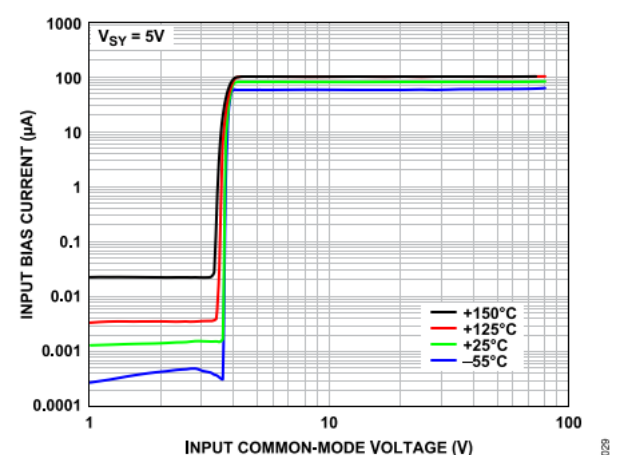


図 30. 入力バイアス電流と入力コモンモード電圧の関係

代表的な性能特性

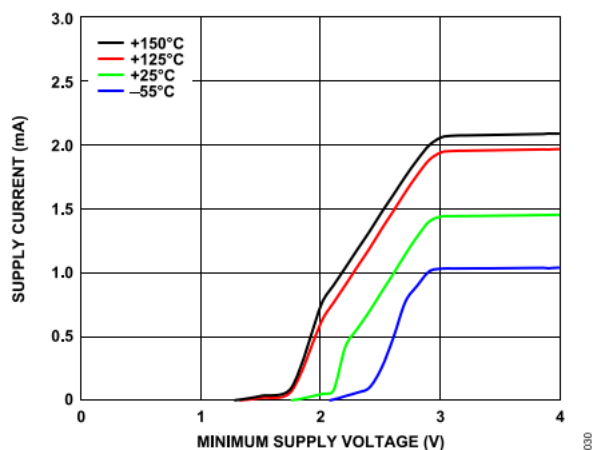


図 31. 電源電流と最小電源電圧の関係

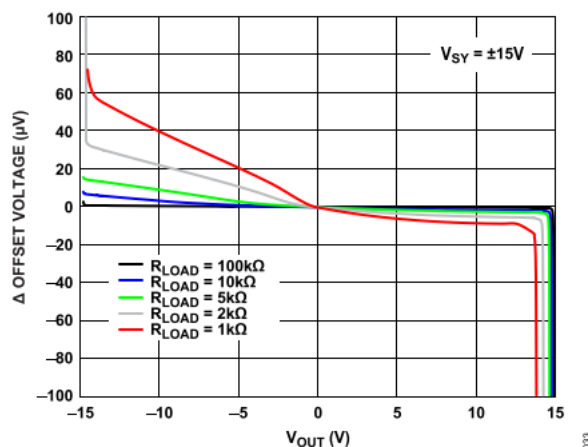


図 34. Δ オフセット電圧と出力電圧 (V_{OUT}) の関係

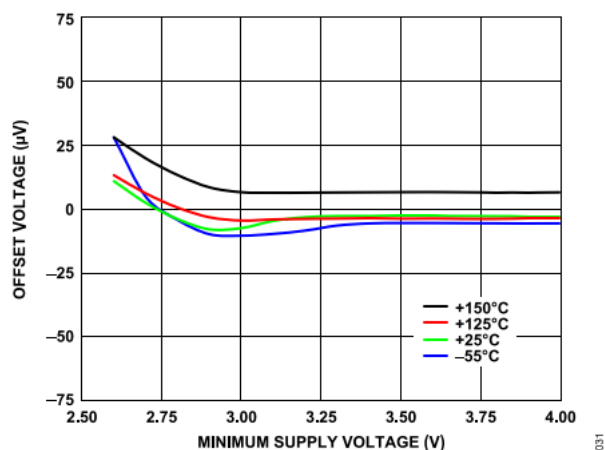


図 32. オフセット電圧と最小電源電圧の関係

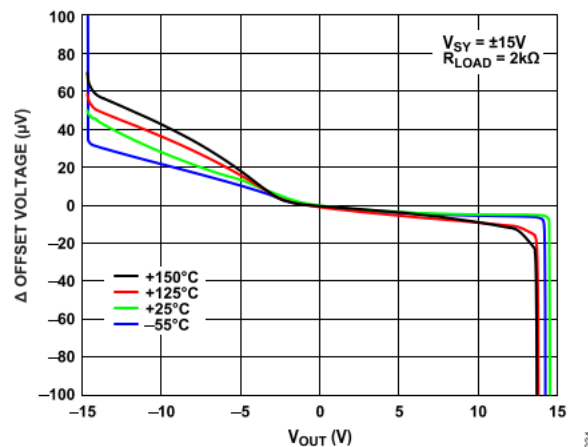


図 35. Δ オフセット電圧と V_{OUT} の関係 (2kΩ 負荷)

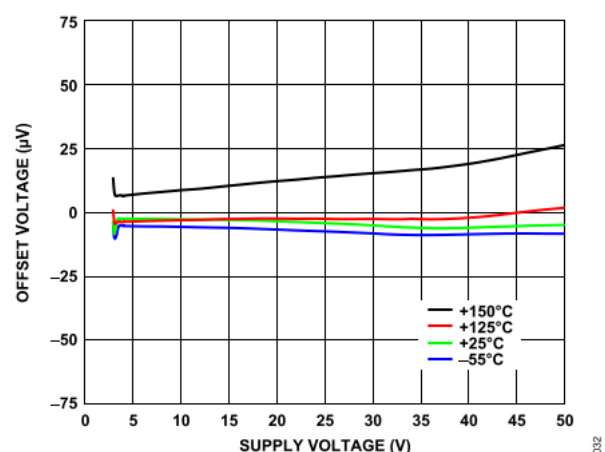


図 33. オフセット電圧と電源電圧の関係

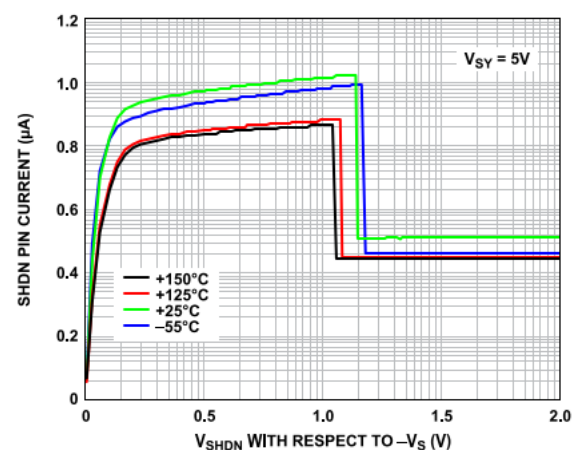


図 36. 異なる温度での SHDN ピン電流と $-V_S$ 基準 V_{SHDN} の関係

代表的な性能特性

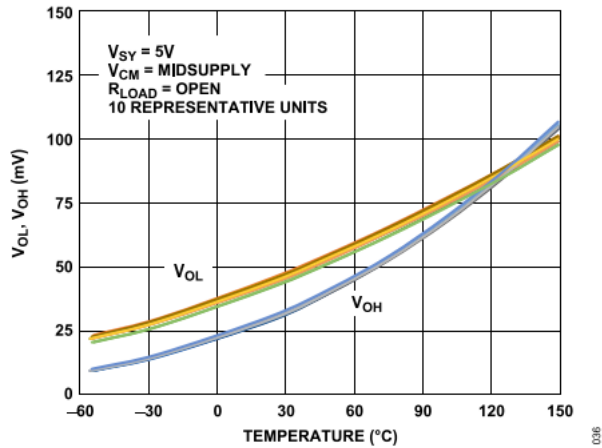


図 37. 出力電圧ロー (V_{OL}) および
出力電圧ハイ (V_{OH}) と温度の関係

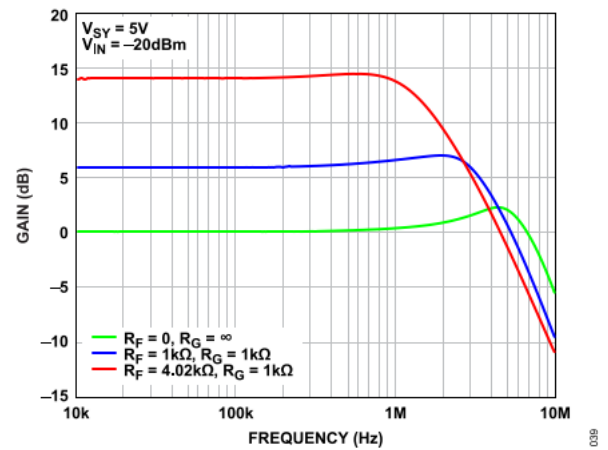


図 40. 非反転小信号周波数応答

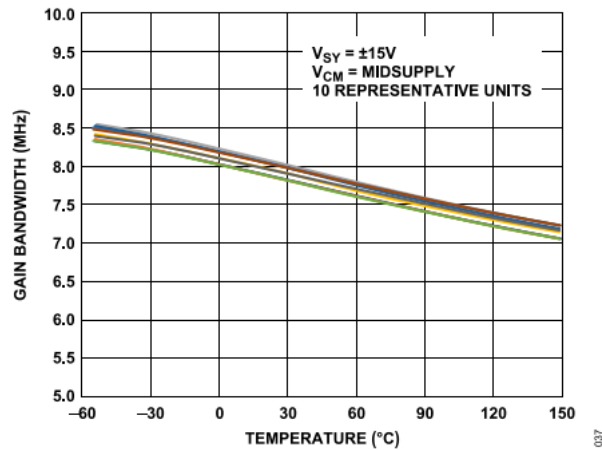


図 38. ゲイン帯域幅と温度の関係

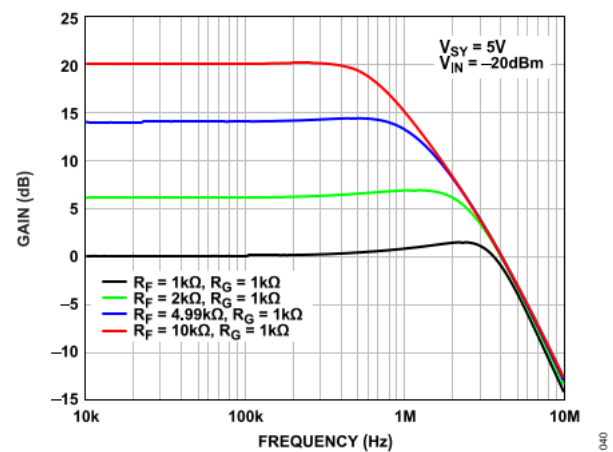


図 41. 反転小信号周波数応答

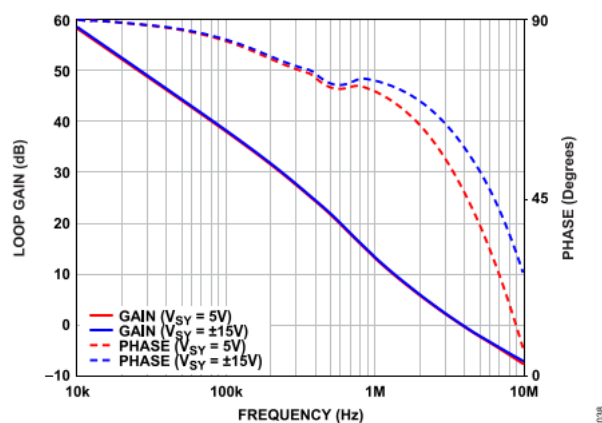


図 39. ループ・ゲインおよび位相と周波数の関係

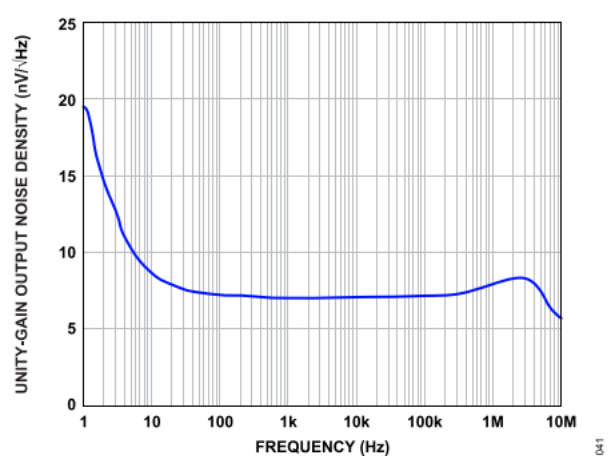


図 42. ユニティ・ゲイン出力ノイズ密度と周波数の関係

代表的な性能特性

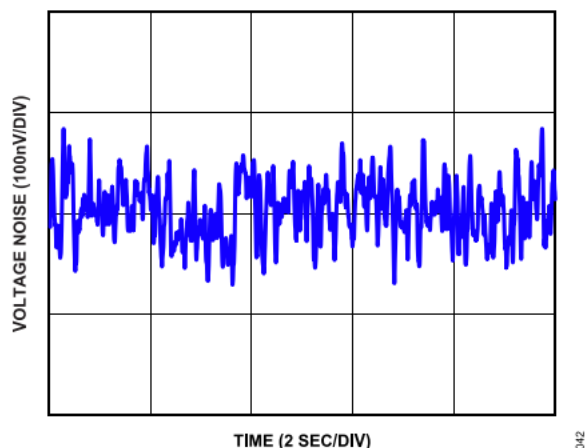


図 43. 0.1Hz~10Hz でのノイズ

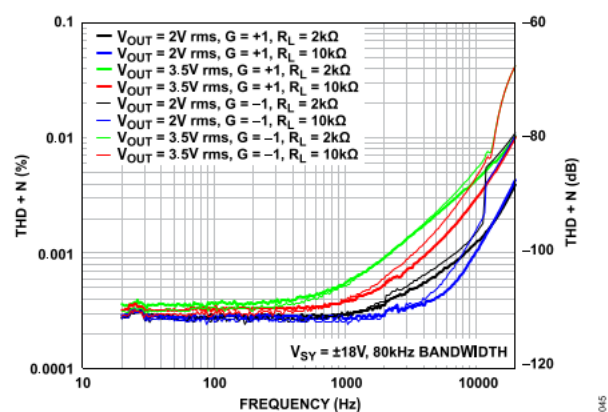


図 46. 様々な負荷での THD + N と周波数の関係

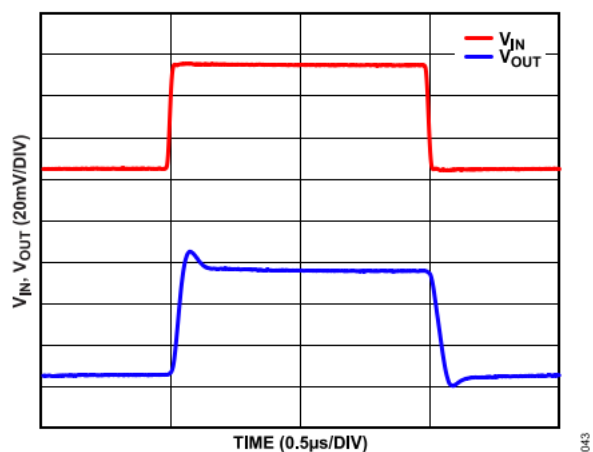


図 44. ユニティ・ゲイン小信号ステップ応答

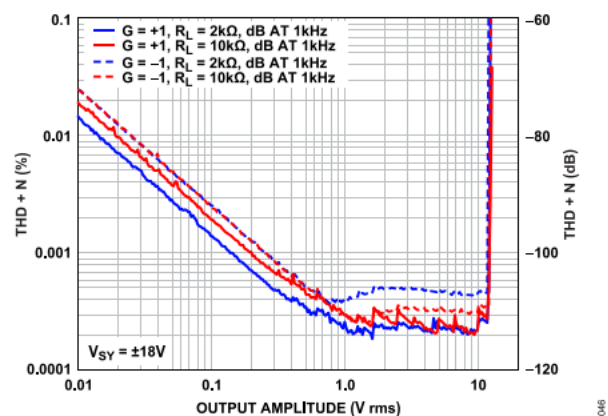


図 47. THD + N と出力振幅の関係

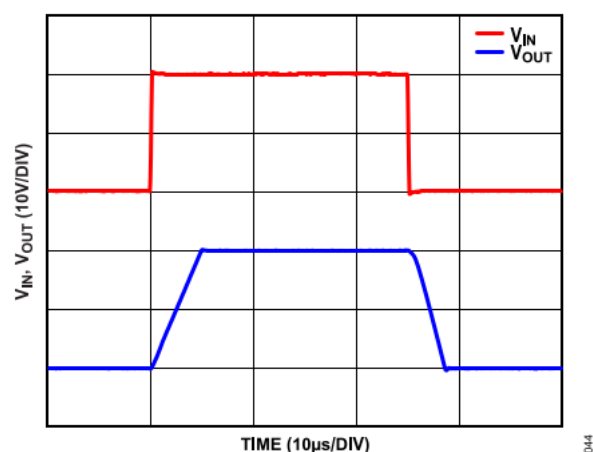


図 45. ユニティ・ゲイン大信号ステップ応答

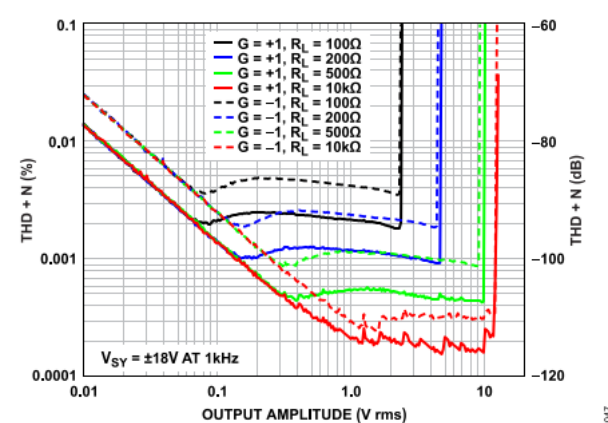


図 48. THD + N と出力振幅および負荷との関係

代表的な性能特性

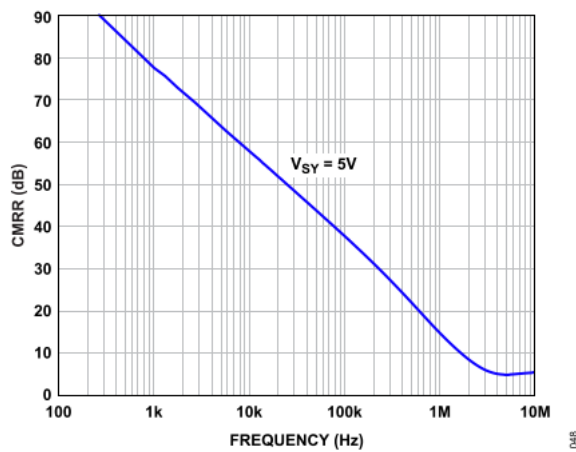


図 49. CMRR と周波数の関係

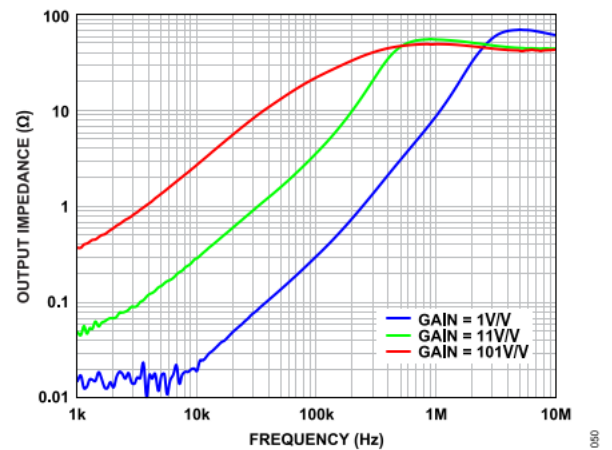


図 51. 出力インピーダンスと周波数の関係

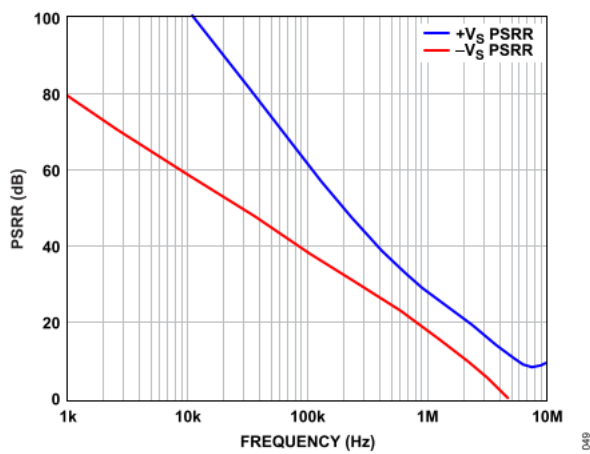


図 50. PSRR と周波数の関係

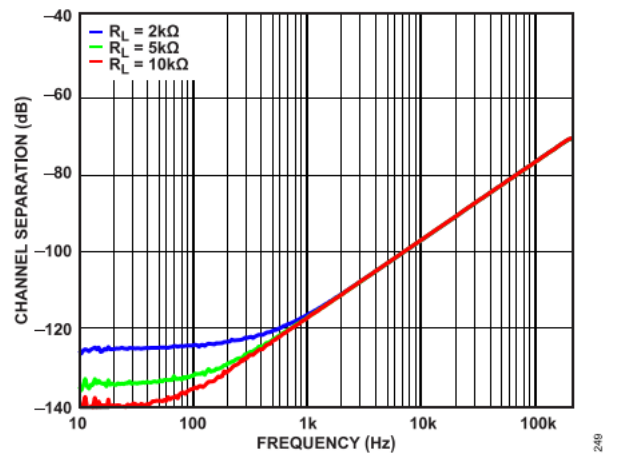


図 52. チャンネル・セパレーションと周波数の関係

動作原理

ADA4099-1 および ADA4099-2 は、ユニティ・ゲインの安定性に加え、低オフセット、低オフセット・ドリフト、 $7\text{nV}/\sqrt{\text{Hz}}$ の入力ノイズを備えた、堅牢なシングル/デュアル電圧帰還アンプです。このデバイスの簡略化した回路図を図 55 に示します。ADA4099-1 および ADA4099-2 には、入力段が 2 つあります。1 つは、コモン・エミッタ差動入力段で、入力が $-V_S$ と $+V_S - 1.5\text{V}$ の間にバイアスされた場合に動作する、Q1 および Q2 の PNP トランジスタで構成されています。もう 1 つは、コモン・ベース入力段で、コモンモード入力のバイアスが $+V_S - 1.5\text{V}$ を上回っている場合に動作する、Q3~Q6 の PNP トランジスタで構成されています。これらの入力段によって、図 53 に示すように、2 つの異なる動作領域が生じます。

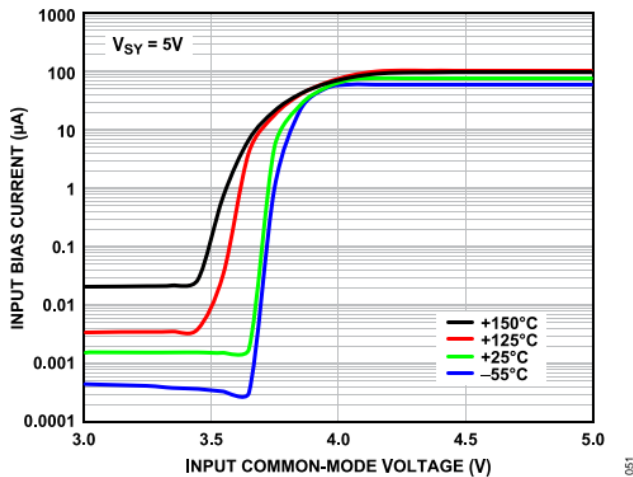


図 53. 異なる温度での入力バイアス電流と入力コモンモード電圧の関係、 $V_{SY} = 5\text{V}$

コモンモード入力電圧が $+V_S$ 電源よりおよそ 1.5V 低い場合には、Q1 と Q2 が作動して (図 53 を参照)、コモン・エミッタ PNP 入力段がアクティブとなります。入力バイアス電流は 4nA 未満 (代表値) です。コモンモード入力が $+V_S - 1.5\text{V}$ を超えると、Q9 トランジスタがオンになり、コモン・エミッタ差動入力ペアから M3 および M4 で構成されるミラーにバイアス電流を切り替えます。M4 からの電流はコモン・ベース差動入力ペア (Q3~Q6) をバイアスします。Over-The-Top 入力ペアは、コモン・ベース構成で動作し、入力バイアス電流は約 $82.5\mu\text{A}$ に増加します。両入力段のオフセット電圧は厳密に調整されており、その仕様規定値は表 1 および表 2 に示すとおりです。

入力コモンモードが Over-The-Top 領域に移行すると、入力 CMRR は図 54 に示すように、それ以外の入力コモンモード範囲と比べてわずかに低下します。

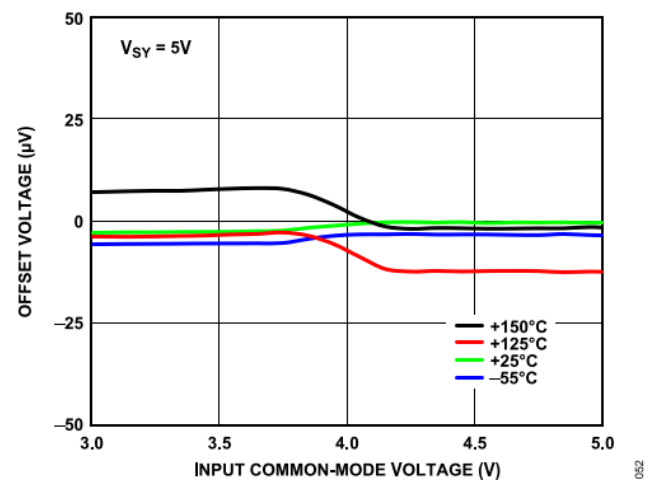


図 54. 異なる温度でのオフセット電圧と入力コモンモード電圧の関係、 $V_{SY} = 5\text{V}$

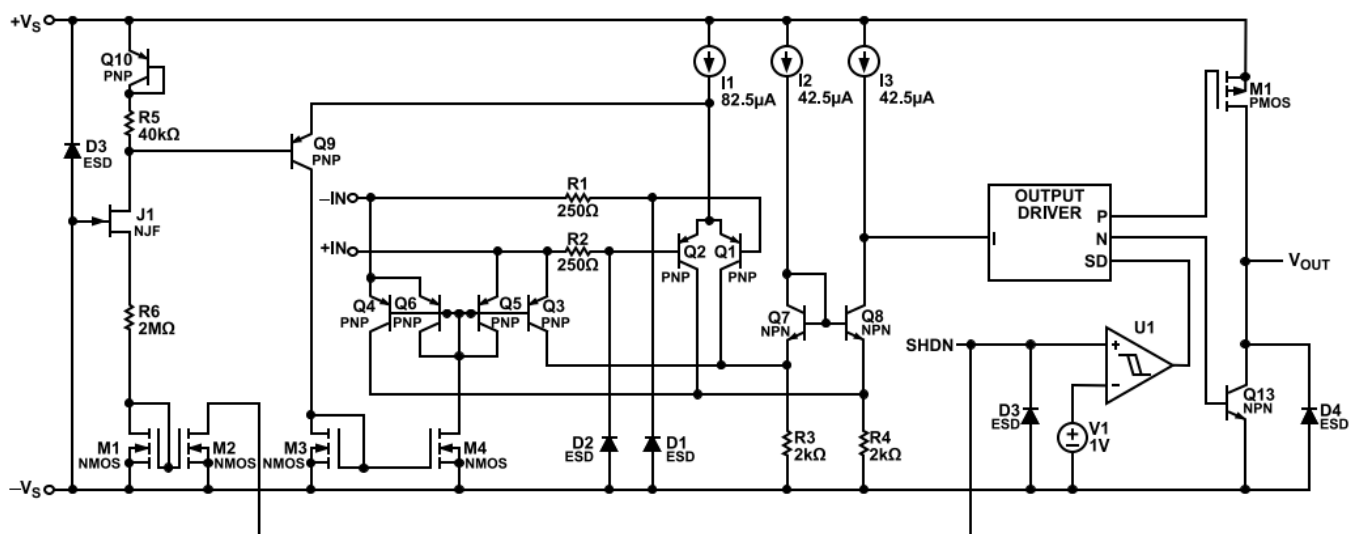


図 55. ADA4099-1 と ADA4099-2 の簡略化した回路図

動作原理

入力保護

入力は、 250Ω の内蔵抵抗 (図 55 を参照) によって、 $-V_S - 10V$ までの一時的な電圧変動に対し保護されています (図 56 を参照)。この抵抗は、これと直列に配置され、Q1 および Q2 トランジスタのベースにそれぞれ接続されている D1 および D2 ダイオードの電流を制限します。外付け抵抗を直列に追加することで保護範囲を $-V_S - 10V$ より拡張できますが、安定性が低下し熱ノイズが増加します。ADA4099-1 および ADA4099-2 の入力段には、位相反転保護機能が組み込まれており、 $-V_S$ 未満の入力に対し出力の位相が反転するのを防止します。ADA4099-1 オペアンプおよび ADA4099-2 オペアンプには、入力間のクランピング・ダイオードはありません。また、最大 $80V$ まで差動オーバードライブが可能で、その場合でもデバイスが損傷したり、パラメータが変動したり、相当量の入力電流が流れたりすることはありません。図 57 に、入力の完全性を損なうことなく ADA4099-1 および ADA4099-2 に適用できる入力障害タイプを示します。

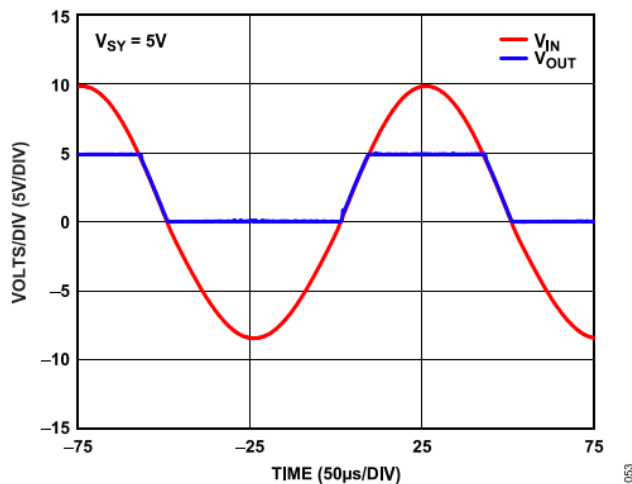


図 56. 非反転入力電源電圧を超えて駆動される場合のユニティ・ゲイン・バッファとしての ADA4099-1 および ADA4099-2 ($V_{SY} = 5V$)

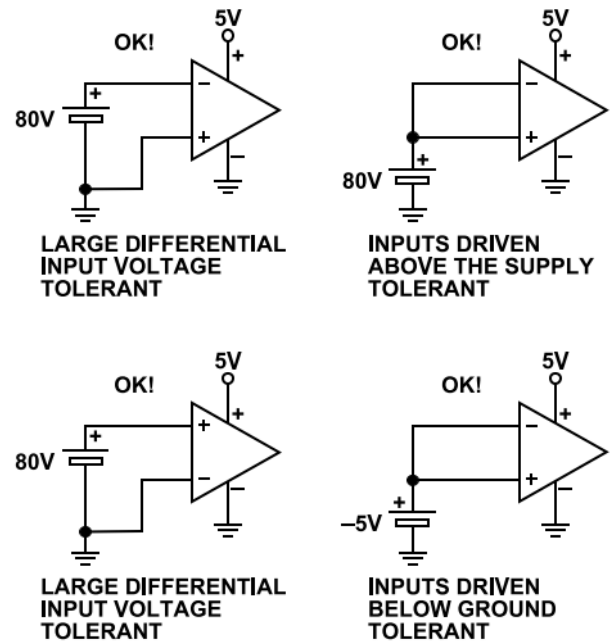


図 57. ADA4099-1 および ADA4099-2 の障害許容条件

Over-The-Top 動作の考慮事項

ADA4099-1 および ADA4099-2 の入力コモンモードが $+V_S$ の電源電圧近くまたはそれ以上にバイアスされた場合、アンプは Over-The-Top 構成で動作します。アンプの動作を制御する差動入力ペアは、コモン・ベース・ペア Q3~Q6 です (図 55 を参照)。

入力段がコモン・エミッタからコモン・ベースに切り替わると、入力バイアス電流は通常動作時の $\pm 4nA$ 未満から、Over-The-Top 動作時の約 $82.5\mu A$ に変化します。Over-The-Top 入力バイアス電流間は良好にマッチングされ、付随するオフセットは通常 $250nA$ 未満です。反転入力と非反転入力に接続されるインピーダンスのマッチングを確保し、入力バイアス電流によって電圧オフセットが発生しないようにしてください。

差動入力インピーダンス R_{IN} (図 58 を参照) の値は、通常動作時の $100k\Omega$ 以上から、Over-The-Top 動作時の約 600Ω に減少します (表 1 および表 2 を参照)。

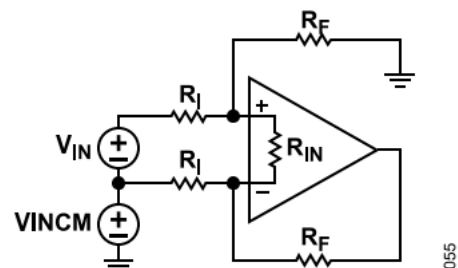


図 58. 通常動作と Over-The-Top 動作作用に構成されたディファレンス・アンプ

動作原理

この R_{IN} 抵抗は、コモン・ベース入力段の構成により、Over-The-Top 動作時の加算ノード間に生じます。

R_{IN} の値は、次式で表されるように、オペアンプの入力に流れる仕様規定された I_B から求めることができます。

$$R_{IN} = 2kT/(qI_B)$$

ここで、
 k はボルツマン定数、
 T は動作温度、
 q は電子の電荷、
 I_B は Over-The-Top 動作時の動作入力バイアス電流です。

入力は、絶対温度に比例してバイアスされます。そのため、 R_{IN} は温度に対して比較的安定です。この抵抗はアンプの加算ノードに発生しますが、アンプの帰還動作により 0V 差動となるため、悪影響はそれほど生じません。ただし、構成によっては、この入力抵抗により、ノイズ・ゲインの増加、全体的なアンプ・ループ・ゲインおよびクローズドループ帯域幅の低下、出力ノイズの増加が見られる場合があります。この構成の際立った利点は、クローズドループ・アンプの安定性が向上することです。

通常モード ($-V_S < V_{CM} < +V_S - 1.5V$) では、 R_{IN} はゲイン設定抵抗 (R_F および R_I) の値と比較して大きくなるのが通常であり、 R_{IN} は無視できます。

この場合、ノイズ・ゲインは次式で定義されます。

$$\text{ノイズ・ゲイン} = 1 + R/R$$

入力コモンモードが $+V_S$ の電源電圧の近くまたはそれ以上にバイアスされ、アンプが Over-The-Top 動作に移行した場合は、 R_{IN} の値を考慮に入れてください。

アンプのノイズ・ゲインは次式のように増加します。

$$\text{Noise Gain}_{OTT} = \left(\left(1 + \frac{R_F}{R_I || R_{IN} + R_I || R_F} \right) \times \left(1 + \frac{R_I || R_F}{R_{IN}} \right) \right)$$

ここで、Noise Gain_{OTT} は Over-The-Top のノイズ・ゲインです。

DC のクローズドループ・ゲインは、ほとんど影響を受けません (R_F/R_I)。ただし、アンプのループ・ゲインは次式で表されるように減少します。

$$\frac{A_{OL}}{1 + \frac{R_F}{R_I}} \text{ to } \frac{A_{OL}}{\text{Noise Gain}_{OTT}}$$

同様に、アンプのクローズドループ帯域幅 (BW_{CLOSED_LOOP}) は、通常動作から Over-The-Top 動作への移行に伴って変化します。

通常動作では、

$$BW_{CLOSED_LOOP} \approx \frac{GBP}{1 + \frac{R_F}{R_I}}$$

Over-The-Top 動作では、

$$BW_{CLOSED_LOOP} \approx \frac{GBP}{\text{Noise Gain}_{OTT}}$$

デバイスが通常動作から Over-The-Top 動作に移行した場合、出力電圧ノイズ密度 (e_{no}) が影響を受けます。次式において、抵抗のノイズは、どちらの動作モードでも無視されています。

通常動作では、抵抗ノイズを無視して、

$$e_{no} \cong e_n \left(1 + \frac{R_F}{R_I} \right)$$

ここで、 e_n は入力換算電圧ノイズ密度です。

Over-The-Top 動作では、抵抗ノイズを無視して、

$$e_{no} \cong e_n \times \text{Noise Gain}_{OTT}$$

出力

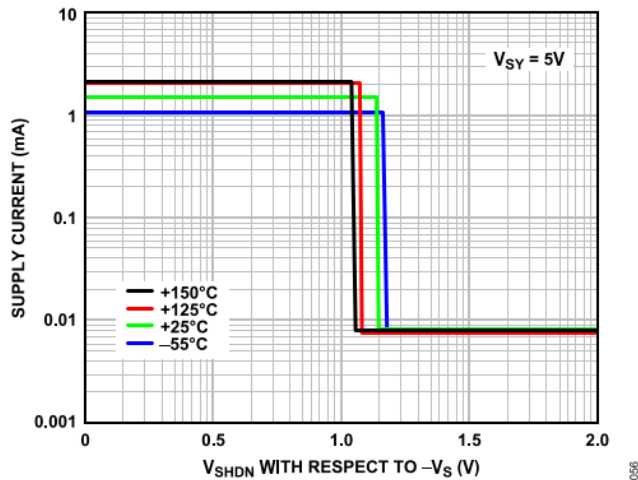
ADA4099-1 および ADA4099-2 の出力は、無負荷の場合、レール to レール振幅を両電源から 45mV 以内にすることができます。出力は約 30mA をソースまたはシンクできます。アンプは、最小 100pF の負荷容量 (C_L) を駆動するよう内部補償されています。出力とより大きな容量性負荷との間に 50Ω の抵抗を直列に追加すると、アンプの容量性駆動能力が拡大されます。

ADA4099-1 および ADA4099-2 がシャットダウンされた場合、 V_{OUT} ピンは両電源に接続された 2 つのステアリング・ダイオードにより高インピーダンスとなります。この状態では、出力リークは 5nA 未満 (代表値) です。

シャットダウン・ピン

ADA4099-1 および ADA4099-2 には専用のシャットダウン・ピン (ADA4099-1 用には SHDN、ADA4099-2 10 ピン LFCSP には SHDN1 および SHDN2) があり、ハイにアサートされるとアンプが非常に低い消費電力のシャットダウン状態になります。ロジック・ハイは、 $-V_S$ ピンを基準として SHDN ピンおよび SHDNx ピンに 1.5V 以上の電圧が加えられた場合と定義されます。シャットダウン時、アンプに流れる電源電流は 15μA 未満となり (図 59 を参照)、 V_{OUT} ピンは高インピーダンス状態になります。

動作原理

図 59. 電源電流と $-V_S$ を基準にした V_{SHDN} との関係

SHDN ピンまたは SHDNx ピンは、 $+V_S$ 電源電圧を超えて絶対最大電圧 ($-V_S$ 基準で 60V) まで駆動でき、消費電流はわずか (1.5 μ A 未満) です。通常のアクティブなアンプ動作の場合、SHDN ピンまたは SHDNx ピンは、フロート状態にするか外部電圧源によってロー ($-V_S$ から 0.5V 以内) に駆動することができます。SHDN ピンまたは SHDNx ピンがフロート状態のままの場合、内部電流源 (約 600nA) が SHDN ピンを $-V_S$ にします。これによって、アンプはデフォルトのアクティブな増幅動作状態になります。 $-IN$ ピン (ADA4099-1) または $-INx$ ピン (ADA4099-2 10 ピン LFCSP) と SHDN ピンまたは SHDNx ピンは非常に近接しているため、 $-IN$ ピンまたは $-INx$ ピンの高速エッジが、隣接する高インピーダンスの SHDN ピンまたは SHDNx ピンに AC 結合し、デバイスが誤ってシャットダウンすることがあります。こうした状況が懸念される場合は、SHDN ピンまたは SHDNx ピンと $-V_S$ ピンの間に 1nF のコンデンサを追加してください。

もう 1 つの方法として、 $+V_S$ の供給を止めることで、アンプを効果的に低消費電力状態にすることもできます。この低消費電力状態では、 $\pm IN$ ピンまたは $\pm INx$ ピンのバイアス電圧が $-V_S \sim -V_S + 70V$ の場合、入力のリーク電流は 1nA 未満 (代表値) です。 $\pm IN$ ピンまたは $\pm INx$ ピンが $-V_S$ 未満の場合、これらのピンは、250 Ω の抵抗と直列に $-V_S$ 電源に接続されたダイオードのようになります。この状態では、電流を 30mA 未満に制限してください。

シャットダウン状態で外部電源を用いて $\pm V_S$ の電源電圧のどちらかを超える出力を駆動すると、電流が無制限に流れデバイスに損傷を加える可能性があります。

アプリケーション情報

大きな抵抗によるゲインの操作

ADA4099-1 および ADA4099-2 の入力容量は約 12pF です。

帰還抵抗 (R_F) とゲイン設定抵抗 (R_G) を反転入力部で並列に組み合わせると、この入力容量 (C_{IN}) を結合して極が形成され、それにより帯域幅の減少、周波数応答のピーキング、または発振の生成が生じる可能性があります (図 61 を参照)。こうした結果を緩和するため、 $C_F > C_{IN}$ (R_G/R_F) の値の帰還コンデンサを、加算ノード・インピーダンスを $1k\Omega$ より大きくする ($R_F \parallel R_G > 1k\Omega$) ための R_F に並列に配置します。このコンデンサ配置により入力の極が打ち消され動的性能が最適化されます (図 60 を参照)。

ノイズ・ゲインがユニティ ($R_G \rightarrow \infty$) で帰還抵抗が $1k\Omega$ を超えるアプリケーションでは、 $C_F \geq C_{IN}$ です。レイアウトに関連する加算ノード容量が絶対最小値となるよう、PCB レイアウトを最適化してください。

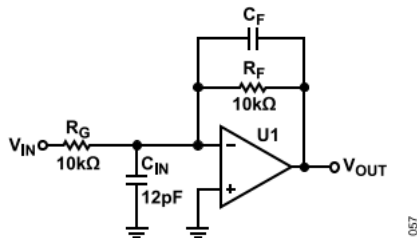


図 60. 反転ゲイン回路図

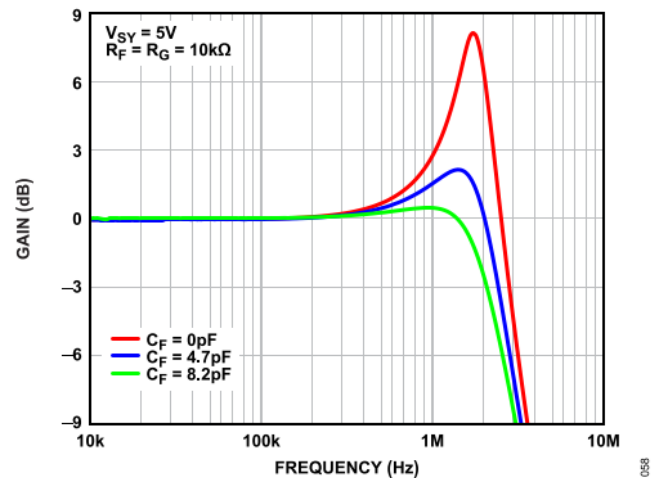


図 61. 反転ゲイン 1 の小信号周波数応答、 $R_F = R_G = 10k\Omega$

様々なゲインに対する推奨値

表 9 は、様々な推奨ゲインおよび関連するノイズ性能を決定するための参考資料です。反転入力に生じる合計インピーダンスは、1 より大きなゲインの場合 $1k\Omega$ 未満に設定され、最適な小信号帯域幅を維持しています。

表 9. ゲインと関連する推奨抵抗値 ($T_A = 25^\circ\text{C}$)

Gain	R_G (k Ω)	R_F (k Ω)	C_F (pF)	Approximate -3 dB Frequency (MHz)	Total System Noise (nV/ $\sqrt{\text{Hz}}$ at 1 kHz), Referred to Input
+1	Not applicable	0	Not applicable	8	6.8
+2	1	1	0	4	7.2
+2	10	10	8.2	2.7	11
+5	1	4.02	0	1.5	7.4
-1	10	10	8.2	2.1	22
-1	1	1	0	4.8	14.4
-2	1	2	0	2.9	11.3
-5	1	4.99	0	1.4	9.2
-10	1	10	0	0.75	8.7

アプリケーション情報

ノイズ

アンプ回路のノイズ性能を分析するには、ノイズ源を特定し、各ノイズ源がアンプの全体的なノイズ性能に大きく影響しているかどうかを判定します。ノイズ計算を簡略化するため、実際の電圧ではなくノイズ・スペクトル密度 (NSD) を使用し、計算式から帯域幅を除外します。NSD は一般に nV/Hz 単位で表され、1Hz の帯域幅内のノイズに相当します。

図 62 に示すノイズ・モデルには、3 個の抵抗 ($R_1 \sim R_3$) のジョンソン・ノイズ、オペアンプの電圧ノイズ、アンプの各入力電流ノイズ ($I_{N\pm}$) という 6 個の個別のノイズ源があります。各ノイズ源は、出力でのノイズに対し固有の影響があります。ノイズは一般的に、入力換算 (RTI) で規定されますが、多くの場合、出力換算 (RTO) ノイズを計算し、それをノイズ・ゲインで割って RTI ノイズを求める方が簡単です。

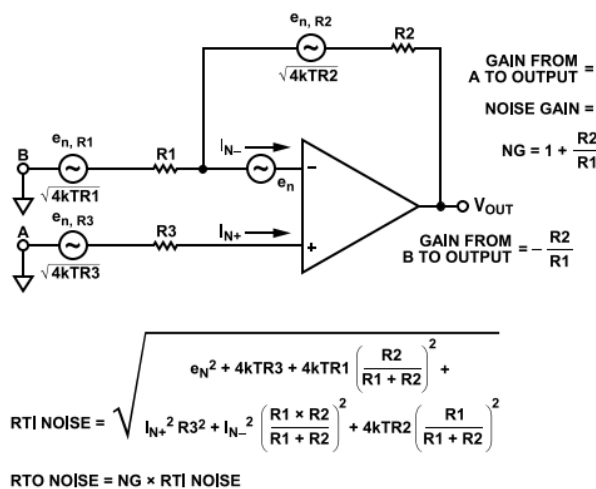


図 62. オペアンプのノイズ分析モデル

$I_{N+} = I_{N-} = I_N$ と仮定すると、RTI ノイズの計算式は、次のように簡略化できます。

$$RTI\ Noise = \sqrt{e_n^2 + e_{n,R}^2 + (I_N R_{EQ})^2}$$

$$e_{n,R} = \sqrt{4kTR_{EQ}}$$

$$R_{EQ} = R_3 + R_1 \parallel R_2$$

ここで、
 e_n はオペアンプの電圧ノイズ、
 $e_{n,R}$ は周囲の抵抗 $R_1 \sim R_3$ からの熱ノイズの影響、
 R_{EQ} は等価入力抵抗、
 T は絶対温度 (ケルビン) です。

50Ω の抵抗は 25°C で $1nV/\sqrt{Hz}$ のジョンソン・ノイズを発生します。

最適な性能を得るための帰還ネットワーク内の抵抗の下限は、許容できる静止電力および歪みの量で決まります。上限は抵抗

と電流のノイズ密度で決まります。ADA4099-1 および ADA4099-2 の e_n は 7nV/Hz です。

抵抗と電流ノイズによる影響がこの値の半分より下である場合は、オペアンプから発生する e_n が支配的となり、デバイスにおける最適なノイズ性能が得られます。

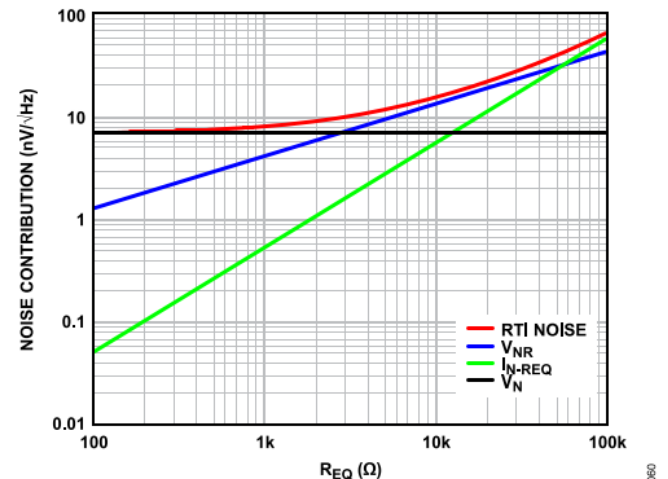


図 63. ノイズの影響と等価入力抵抗 (R_{EQ}) の関係

ADA4099-1 および ADA4099-2 の場合、帰還回路の抵抗の下限値は約 750Ω です。図 62 に示すアンプ構成では、 $R_{EQ} < 750\Omega$ とすることで安定したノイズ性能が得られます。ノイズ性能が重要とならないような場合は、 e_n は所定の T_A に対し一定であることが多く、 $e_{n,R}$ は抵抗値の平方根に比例して増加します。また、 $I_N \times R_{EQ}$ は抵抗値に比例して増加しますが、 $e_{n,R}$ の値に近づくまでは合計ノイズには影響しません。 R_{EQ} が約 60kΩ 未満の場合、 $e_{n,R}$ は $I_N \times R_{EQ}$ より大きくなります。 I_N が入力部の合計ノイズに大きく影響しないようにするためには、 R_{EQ} を約 30kΩ とするのが安全です。

図 63 に、このセクションで説明した抵抗値の範囲におけるノイズの影響を示します。

歪み

オペアンプの歪みには 2 つの主要な要因があります。1 つは出力がソースからシンクに移行する際の出力クロスオーバー歪み、もう 1 つは非線形の同相ノイズ除去による歪みです。オペアンプが反転構成で動作している場合は、同相ノイズによる歪みはありません。オペアンプが通常の入力コモンモード範囲 ($-V_S \sim +V_S - 1.5V$) の非反転構成で動作している場合、歪みは許容可能な範囲に収まります。入力が通常動作から Over-The-Top 動作、またはその逆へ移行する場合は、入力回路の変化により、直線性が著しく低下します。

R_L が減少すると、歪みは増加します。これは、ループ・ゲインが実質的に減少することと、負荷を駆動するために必要なアンプ内部の信号振幅が増大することが原因です。入力コモンモードを中間電源にバイアスし反転構成にして ADA4099-1 および ADA4099-2 をクラス A 動作させることで、歪みを最小にできます。

アプリケーション情報

消費電力とサーマル・シャットダウン

ADA4099-1 および ADA4099-2 は最大 $\pm 25\text{V}$ の電源を使用して大きな負荷を駆動できます。そのため、集積回路の T_J は 175°C を超えないようにしてください。

ジャンクション温度が 125°C を超えると経年劣化が加速します。ジャンクション温度が 175°C を超えると、ADA4099-1 および ADA4099-2 の信頼性が低下する可能性があります。ジャンクション温度が 175°C を超える場合、ADA4099-1 および ADA4099-2 には、出力段をシャットオフし内部デバイス電流を減少させる、サーマル・シャットダウンという形の最終的な安全対策があります。このサーマル・シャットダウン機能がトリガされると、ジャンクション温度が 20°C 低下するまで出力はディセーブルされて高インピーダンス状態になります。高負荷が永続的で周囲温度が高い場合、この高負荷がなくなるまで、ダイでの消費電力に応じて、ADA4099-1 や ADA4099-2 がサーマル・シャットダウン状態になったりサーマル・シャットダウン状態でなくなったりすることを繰り返す原因となることがあります（図 64 を参照）。

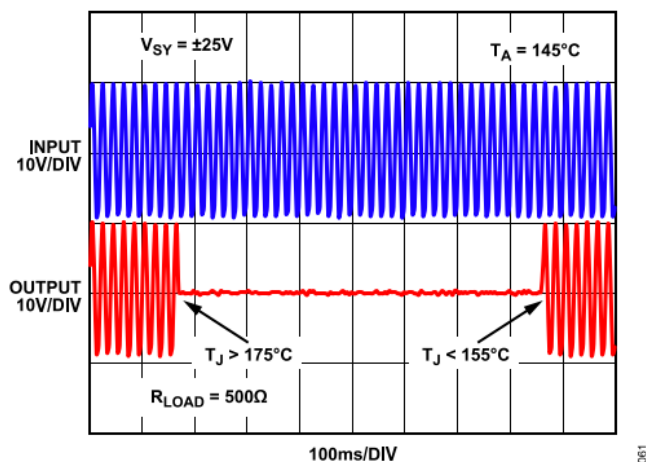


図 64. ADA4099-1 および ADA4099-2 におけるサーマル・シャットダウンのオン/オフの繰り返し

最大ジャンクション温度付近で動作させることは推奨しません。

通常、 T_J は、次式に示すように、 T_A とデバイスの消費電力 ($P_D \times \theta_{JA}$) から推定できます。

$$T_J = T_A + P_D \times \theta_{JA}$$

IC の消費電力は、電源電圧、出力電圧、負荷抵抗の関数として変化します。所定の電源電圧の場合、この IC での最も厳しい消費電力 ($P_{D(MAX)}$) は、電源電流が最大で、出力電圧がどちらかの電源電圧の半分のときに発生します。

$$P_{D(MAX)} = V_S I_{S(MAX)} + \frac{\left(\frac{V_{SY}}{2}\right)^2}{R_L}$$

設定された電源電圧に対し、ADA4099-1 および ADA4099-2 が所定の電源電圧と所定のジャンクション温度上昇 (ΔT_J) で駆動できる最小負荷抵抗を推定するためのガイドとして、図 65 を使用できます。例えば、 ΔT_J を 50°C に制限するには、 $\pm 15\text{V}$ の電源 ($+30\text{V}$ の合計電源電圧) で駆動できる負荷は $1.2\text{k}\Omega$ 以上であることが必要です。 θ_{JA} は 192°C/W と仮定しています。

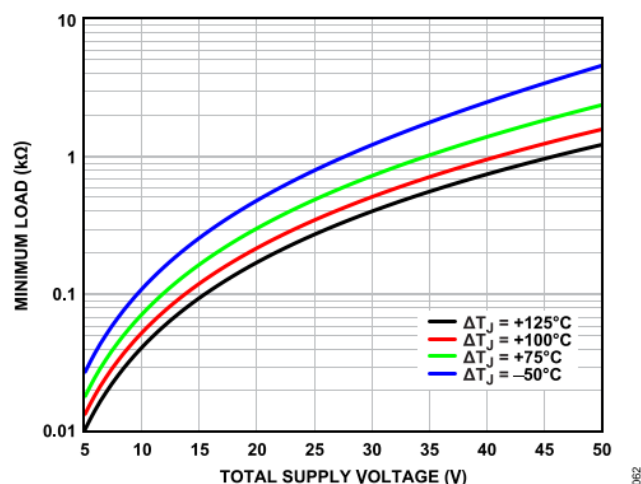


図 65. 所定の ΔT_J および V_{SY} に対する最小負荷抵抗

回路レイアウト時の考慮事項

ADA4099-1 および ADA4099-2 のボードをレイアウトする際には、細部に至るまで慎重に注意を払うことで最適性能が得られます。電源のバイパス、寄生容量、部品選択などのすべてがアンプの性能全体に影響を与えます。

電源のバイパス

単電源の場合、 $-V_S$ 電源ピンを低インピーダンスのグランド・プレーンに直接ハンダ付けします。等価直列抵抗 (ESR) の小さな $0.1\mu\text{F}$ (代表値) の積層セラミック・コンデンサ (MLCC) を $\pm V_S$ 電源ピンのできるだけ近くに実装して、 $+V_S$ ピンを低インピーダンスのグランド・プレーンにバイパスします。高負荷を駆動する場合は、 $10\mu\text{F}$ の電源コンデンサを追加します。分離電源を使用する場合は、これらの条件を $-V_S$ 電源ピンに適用できます。

ADA4099-1 および ADA4099-2 には、SHDN ピン (ADA4099-1) および SHDNx ピン (ADA4099-2 10 ピン LFCSP) に約 $0.6\mu\text{A}$ の内部電流源があり、これらのピンを $-V_S$ にプル・ダウンし、アンプをデフォルトの増幅動作状態にします。シャットダウン状態にする必要がない場合は、SHDN ピンまたは SHDNx ピンと $-V_S$ ピンを配線によって接続してください。SHDN ピンまたは SHDNx ピンがフロート状態のままになっている場合、または大きなソース・インピーダンス ($>100\Omega$) の電源で駆動されている場合は、 $-V_S$ 電源ピンを小さい 1nF のコンデンサでバイパスしてください。これにより、浮遊信号が SHDN ピンや SHDNx ピンにカップリングしてシャットダウンがトリガされるのを防止できます。

グラウンド接続

電源リターンとグラウンド・リターンの抵抗およびインダクタンスを低減できる場所にグランド・プレーンと電源プレーンを使用します。バイパス・コンデンサを $\pm V_S$ 電源ピンのできるだけ近くに配置し、他端をグランド・プレーンに接続します。軽負荷の駆動時 (負荷電流が $100\mu\text{A}$ 未満) は、 $0.1\mu\text{F}$ 以上のバイパス・コンデンサを使用し、より高い負荷を駆動する場合はよ

アプリケーション情報

り大容量のコンデンサを使用することを推奨します。出力から負荷への配線とグラウンド・プレーンへのリターンは、インダクタンスを最小に保つため、ループ面積が最小となるようにする必要があります。

通電時の ESD 保護

未通電時と通電時では、ESD ストライクに対する IC の応答は異なり、それは、IEC-61000-4-2 規格に従います（**絶対最大定格**のセクションを参照）。HBM 条件下で良好に動作するデバイスでも、国際電気標準会議（IEC）条件下では動作性能が低下する場合があります。ESD ストライクを受けた場合に ADA4099-1 や ADA4099-2 を保護するためのフロント・エンド回路保護機構は、デバイスを IEC 条件下の ESD ストライクで徹底的に酷使することで生み出されています。図 66 と図 67 は、ADA4099-1 や ADA4099-2 の保護を $\pm 8\text{kV}$ の ESD ストライクにまで拡張する、2 種類の機構を示しています。

部品を選択する場合は次の点を考慮してください。

- ▶ 部品の大きさを 0805 以上にして弧絡の可能性を低減。
- ▶ パルス耐性のある厚膜抵抗。
- ▶ 最小定格 100V の C0G MLCC。
- ▶ 双方向の電圧トランジェント圧縮（TVS）ダイオード。

図 66 に示す回路では、R1 は 220 Ω （パナソニック ERJ-P6 シリーズ、0805）で、C1 は 100pF（Yageo、100V C0G/NPO 0805）です。

ADVANTAGES	DISADVANTAGES
INEXPENSIVE (~5 CENTS)	R1 INTRODUCES THERMAL NOISE
SMALL FOOTPRINT	RC NETWORK LIMITS SPEED
MINIMAL LEAKAGE	NEED TO CAREFULLY CHARACTERIZE CAPACITOR
	NOT AS ROBUST AGAINST REPEATED STRIKES

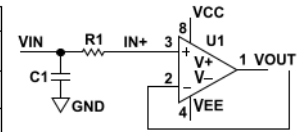


図 66. ESD 保護回路（RC ネットワーク）

図 67 に示す回路では、R1 は 220 Ω （パナソニック ERJ-P6 シリーズ、0805）で、D1 は Bourns CDSOD323-T36SC です。ESD パリスタは D1 とみなすことができます。

ESD のシステム・レベルの考慮事項に関する詳細については、アナログ・デバイセズの Web サイトにある技術記事「フロント・エンドを保護する方法、電子の悪さを食い止める」を参照してください。

関連製品

表 10 に、特定のアプリケーションに対して検討可能ないくつかの代替高精度アンプの概要を示します。

ADVANTAGES	DISADVANTAGES
INEXPENSIVE (20 TO 30 CENTS)	R1 INTRODUCES NOISE
SMALL FOOTPRINT	D1 HAS LEAKAGE CURRENT
VERY ROBUST	D1 HAS CAPACITANCE (5pF TO 300pF)

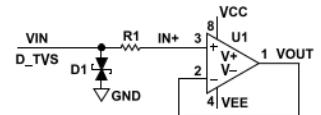


図 67. ESD 保護回路（R-TVS ネットワーク）

表 10. ADA4099-1 および ADA4099-2 の関連製品

Model	V_{OS} (μV)	I_B (nA)	GBP (kHz)	e_n (nV/ $\sqrt{\text{Hz}}$)	I_{SY} (μA)	Input Common-Mode Range (V)
ADA4099-1	25	10	8000	7	1500	$-V_S$ to $-V_S + 70$
ADA4099-2	25	10	8000	7	1500	$-V_S$ to $-V_S + 70$
ADA4077-1	35	1	3900	7	500	$-V_S$ to $+V_S$
LT6015	50	5	3200	18	335	$-V_S$ to $-V_S + 76$
LT6014	60	0.4	1600	9.5	165	$-V_S$ to $+V_S$
LT1494	375	1	2.7	185	1.5	$-V_S$ to $-V_S + 36$
LT1490A	500	8	180	50	55	$-V_S$ to $-V_S + 44$

アプリケーション情報

代表的なアプリケーション

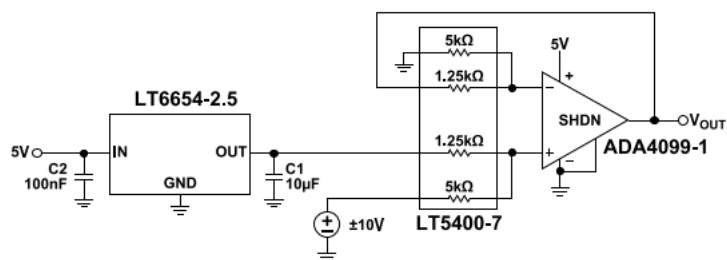


図 68. $\pm 10\text{V}$ を $0\text{V}\sim 5\text{V}$ に変換するファンネル・アンプ、LT5400-7 抵抗ネットワークによる高 CMRR と $\pm 80\text{V}$ の入力保護 (ADA4099-1 6 ピン TSOT)

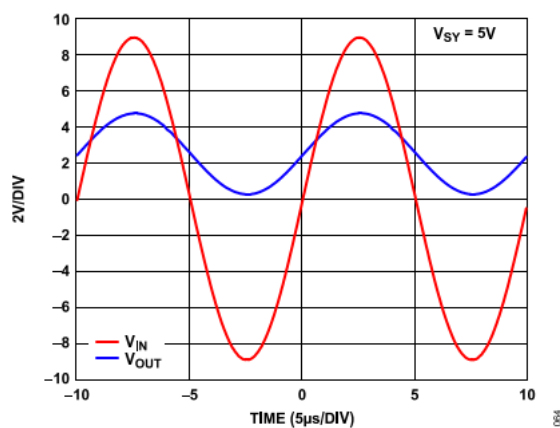


図 69. $\pm 10\text{V}$ を $0\text{V}\sim 5\text{V}$ に変換するファンネル・アンプ、入出力電圧

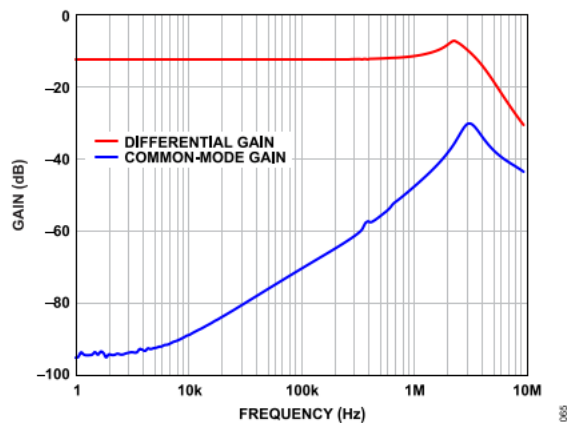


図 70. $\pm 10\text{V}$ を $0\text{V}\sim 5\text{V}$ に変換するファンネル・アンプ、システム・ゲイン

アプリケーション情報

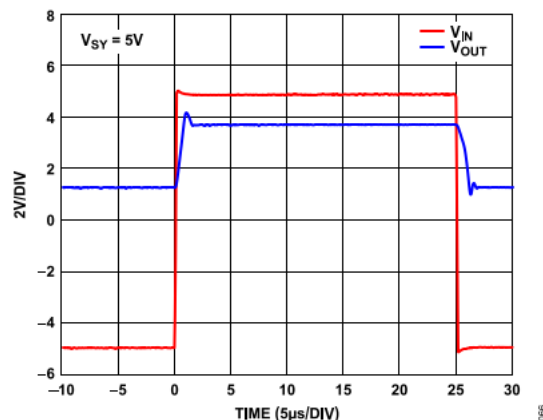


図 71. $\pm 10\text{V}$ を 0V ～ 5V に変換するファンネル・アンプ、大信号パルス応答

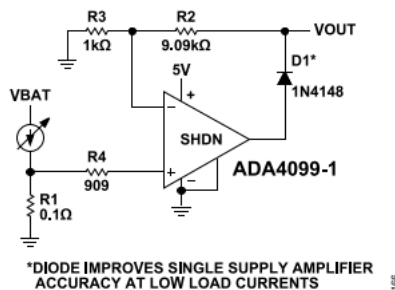


図 72. 1V/A ローサイド電流検出 (ADA4099-1 6 ピン TSOT)

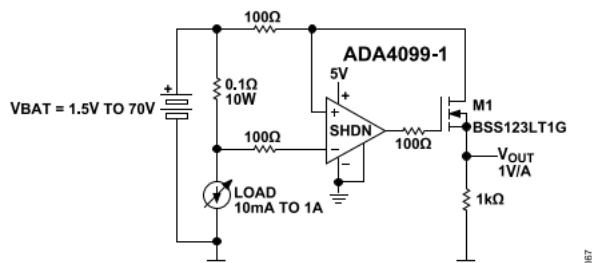


図 73. 1V/A ハイサイド電流検出 (ADA4099-1 6 ピン TSOT)

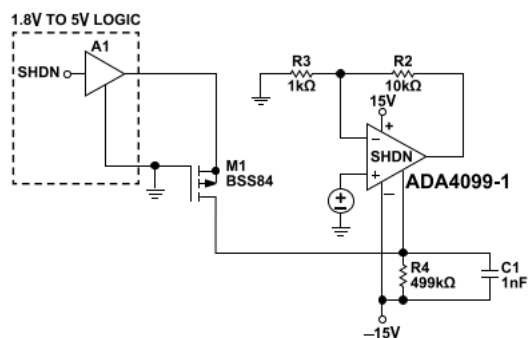
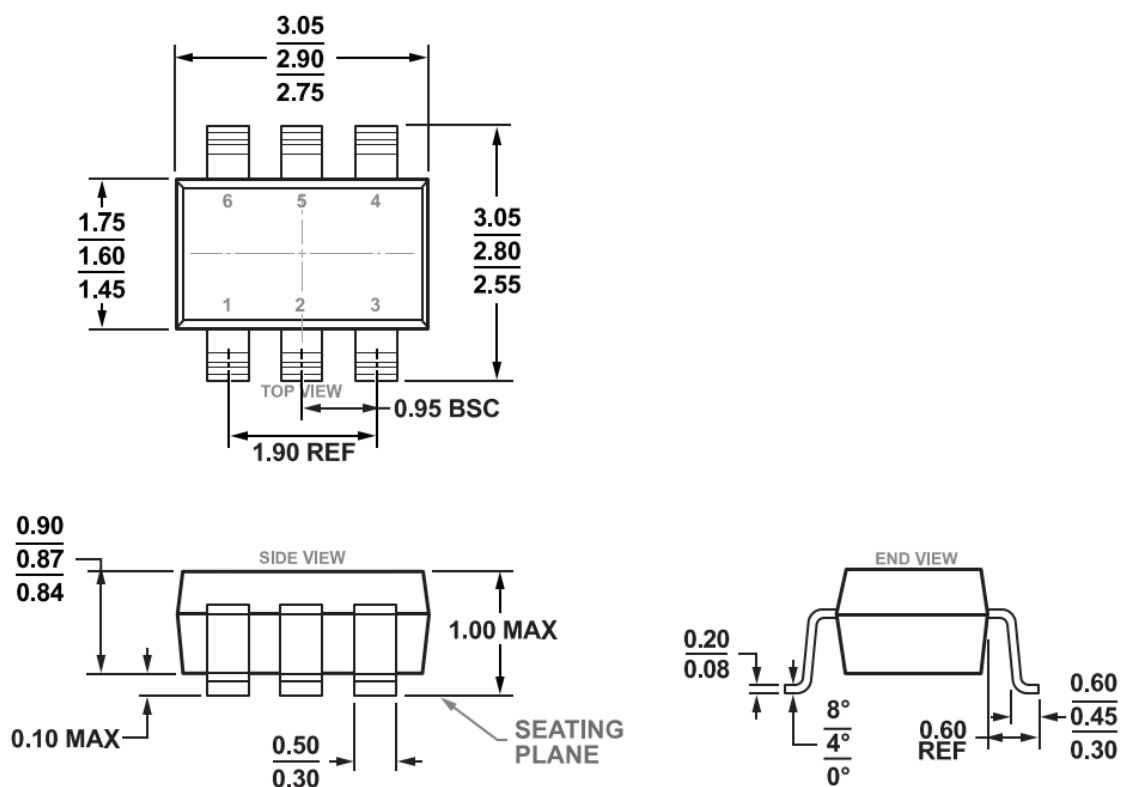


図 74. 分離電源アプリケーションにおける SHDN ピンのマイクロプロセッサ制御 (ADA4099-1 6 ピン TSOT)

外形寸法

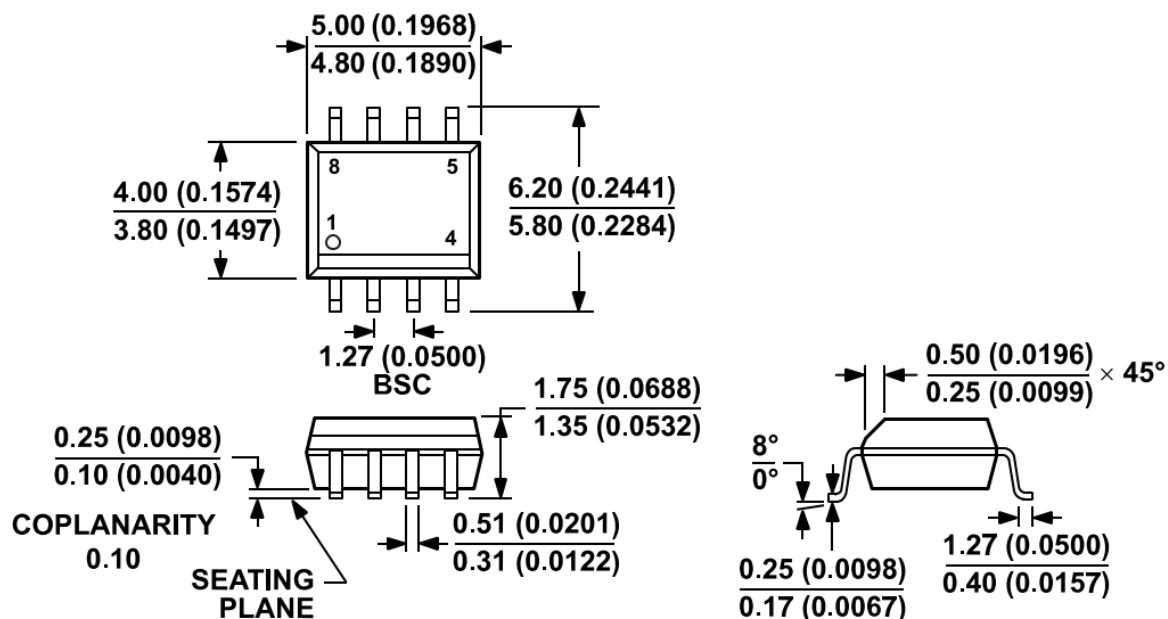


COMPLIANT TO JEDEC STANDARDS MO-193-AA

図 75.6 ピン・スモール・アウトライン・トランジスタ・パッケージ [TSOT]
(UJ-6)

寸法：mm

外形寸法

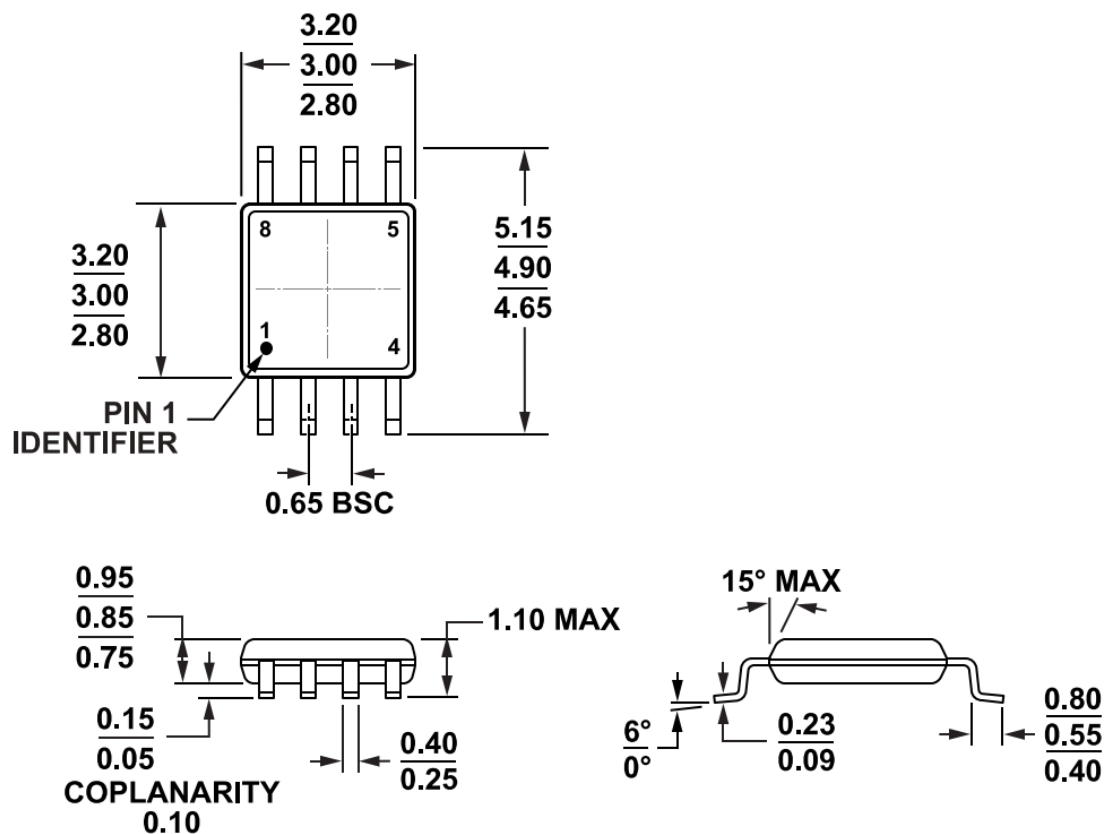


COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 76.8 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC_N]
ナロー・ボディ
(R-8)
寸法: mm

012407-A

外形寸法

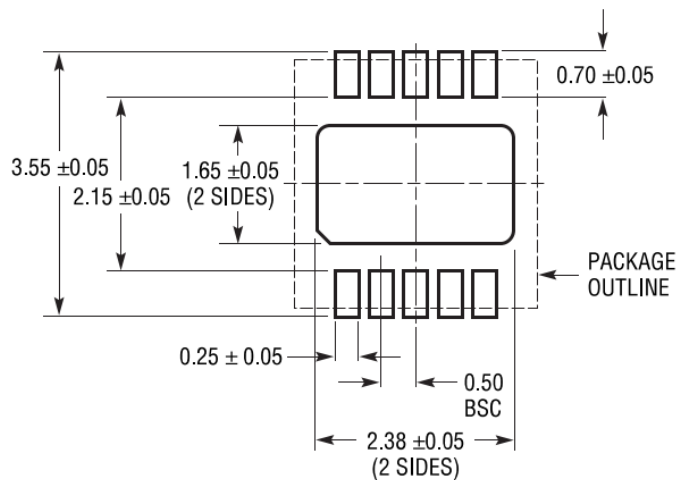


COMPLIANT TO JEDEC STANDARDS MO-187-AA

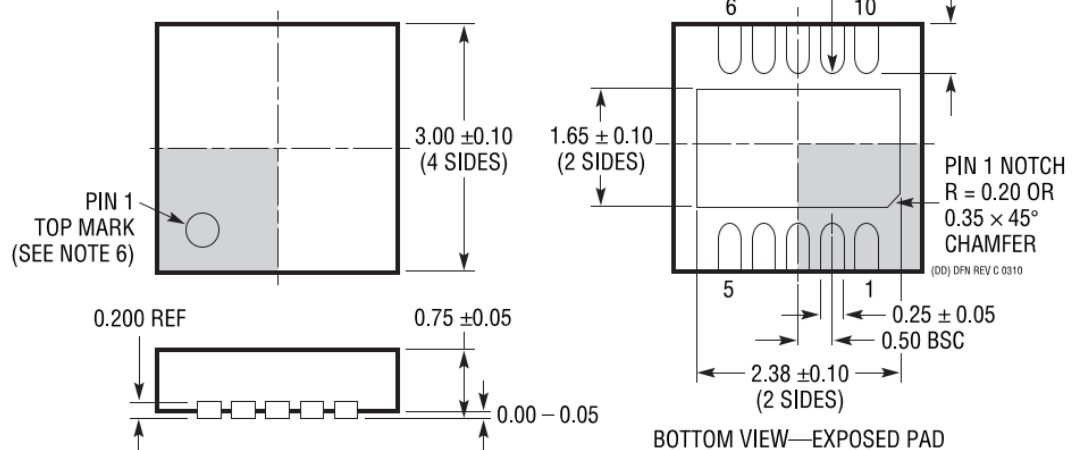
図 77.8 ピン・ミニ SOP (スモール・アウトライン・パッケージ) [MSOP]
(RM-8)
寸法: mm

10-07-2009-B

外形寸法



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



NOTE:

1. DRAWING TO BE MADE A JEDEC PACKAGE OUTLINE M0-229 VARIATION OF (WEED-2).
CHECK THE LTC WEBSITE DATA SHEET FOR CURRENT STATUS OF VARIATION ASSIGNMENT
2. DRAWING NOT TO SCALE
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE
MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
5. EXPOSED PAD SHALL BE SOLDER PLATED
6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE
TOP AND BOTTOM OF PACKAGE

図 78.10 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
3mm × 3mm ボディ、0.75mm パッケージ高
(05-08-1699)
法: mm

外形寸法

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Marking Code
ADA4099-1BUJZ-R5	−40°C to +125°C	6-Lead TSOT	UJ-6	Y7P
ADA4099-1BUJZ-RL7	−40°C to +125°C	6-Lead TSOT	UJ-6	Y7P
ADA4099-1HUJZ-RL7	−55°C to +150°C	6-Lead TSOT	UJ-6	Y7Q
ADA4099-2BCPZ	−40°C to +125°C	10-Lead LFCSP (3mm × 3mm w/ EP)	05-08-1699	A44
ADA4099-2BCPZ-RL7	−40°C to +125°C	10-Lead LFCSP (3mm × 3mm w/ EP)	05-08-1699	A44
ADA4099-2BRMZ	−40°C to +125°C	8-Lead MSOP	RM-8	A44
ADA4099-2BRMZ-RL7	−40°C to +125°C	8-Lead MSOP	RM-8	A44
ADA4099-2BRZ	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4099-2BRZ-RL7	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4099-2HCPZ	−55°C to +150°C	10-Lead LFCSP (3mm × 3mm w/ EP)	05-08-1699	A45
ADA4099-2HCPZ-RL7	−55°C to +150°C	10-Lead LFCSP (3mm × 3mm w/ EP)	05-08-1699	A45
ADA4099-2HRZ	−55°C to +150°C	8-Lead SOIC_N	R-8	
ADA4099-2HRZ-RL7	−55°C to +150°C	8-Lead SOIC_N	R-8	

¹ Z = RoHS 準拠製品

評価用ボード

Model ¹	Description
EVAL-ADA4099-1HUJZ	Evaluation Board, Single TSOT
EVAL-ADA4099-2BCPZ	Evaluation Board, Dual LFCSP

¹ Z = RoHS 準拠製品