

# 小型、デュアルチャンネル、 高精度のプログラマブル・ゲイン・ トランスインピーダンス・アンプ (PGTIA)

## 特長

- ▶ 小型、デュアルチャンネル、フル機能の PGTIA/AFE ソリューション
- ▶ 小型パッケージ：16 ピン LFCSP、3mm × 3mm
  - ▶ 内蔵スイッチ（チャンネルごとに外部ゲインが 2 つ）
- ▶ ピコアンペアからミリアンペアまでの広い入力電流ダイナミック・レンジ
- ▶ 優れた DC 精度
  - ▶ 低オフセット電圧：±100μV（最大値、25°C）
  - ▶ オフセット電圧の低ドリフト：±0.85μV/°C（最大値、-40°C~+125°C）
  - ▶ 低入力バイアス電流：±9pA（最大値、25°C）
  - ▶ スイッチの低オフ・リーク電流：±90pA（最大値、-40°C~+125°C）
- ▶ 新規アーキテクチャ導入でスイッチ抵抗によるゲイン誤差を排除
- ▶ 単電源動作：+2.7V~+5.5V  
（両電源動作：±1.85V~±2.75V）
- ▶ 広いゲイン帯域幅積（GB 積）：8.5MHz
- ▶ 広い動作温度範囲：-40°C~+125°C

## アプリケーション

- ▶ 電流から電圧へ的高精度変換
- ▶ プログラマブル・ゲイン TIA
- ▶ 光検出器のインターフェイスおよび増幅
- ▶ 光ネットワーク機器
- ▶ 光パワー測定
- ▶ 計測器（分光法、クロマトグラフィー）
- ▶ 高精度データ・アキュイジション・システム（DAQ）

## 代表的なアプリケーション図

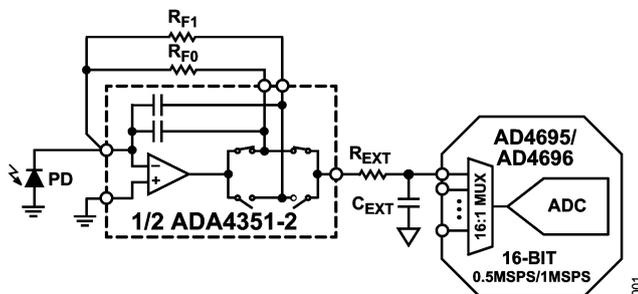


図 1. 小型光計測シグナル・チェーン

## 概要

ADA4351-2 は、小型、モノリシック、デュアルチャンネル、高精度のプログラマブル・ゲイン・トランスインピーダンス・アンプ (PGTIA) です。ADA4351-2 は、広いダイナミック・レンジにわたって小電流を高精度に測定するための画期的なソリューションです。ADA4351-2 の精度は、-40°C~+125°C の広い温度範囲にわたっており、最終機器のキャリブレーションが室温での 1 回で済むため、テスト時間およびコストを削減できます。ADA4351-2 は、チャンネルごとに 2 つの低オフ・リーク電流スイッチを内蔵しており、ユーザが選択可能な 2 つの外部抵抗を用いてゲインをプログラムできるため、柔軟性がありフル機能のコンパクトな PGTIA ソリューションが実現可能です。アナログ電源とデジタル電源が分離されているため、ADA4351-2 のアンプはバイポーラ電源で動作でき、内蔵ロジック・レベル・シフトにより、デジタル・インターフェイスはグラウンド基準のままです。更に、ADA4351-2 は、その堅牢な出力段と低ノイズにより、16 ビットの高精度 A/D コンバータ (AD4696 などの ADC) を直接駆動することができ、最も困難な高精度の電流測定アプリケーションに対応できるフル機能のアナログ・フロントエンド (AFE) を実現します。

ADA4351-2 は、3mm × 3mm の LFCSP で提供され、スタンドアロンのオペアンプとスイッチを用いたディスクリート構造と比較して、プリント回路基板 (PCB) 面積を最大 70%削減します。更に、LFCSP の裏面には露出パッド (EPAD) がいないため、ビアが不要になり、デバイスの下の PCB の全レイヤに配線可能になり、PCB 面積が更に縮小され、極めてコンパクトな PGTIA/AFE ソリューションを実現できます。

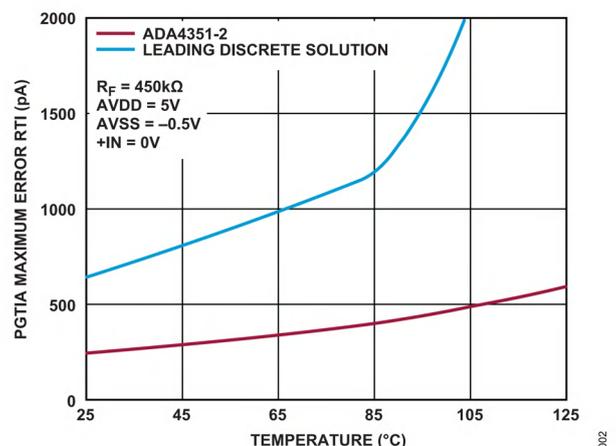


図 2. PGTIA の最大誤差 RTI と温度の関係  
(入力バイアス電流 ( $I_b$ )、オフセット電圧 ( $V_{os}$ )、  
スイッチのオフ・リーク電流 ( $I_{off}$ ) を含む)

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

## Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

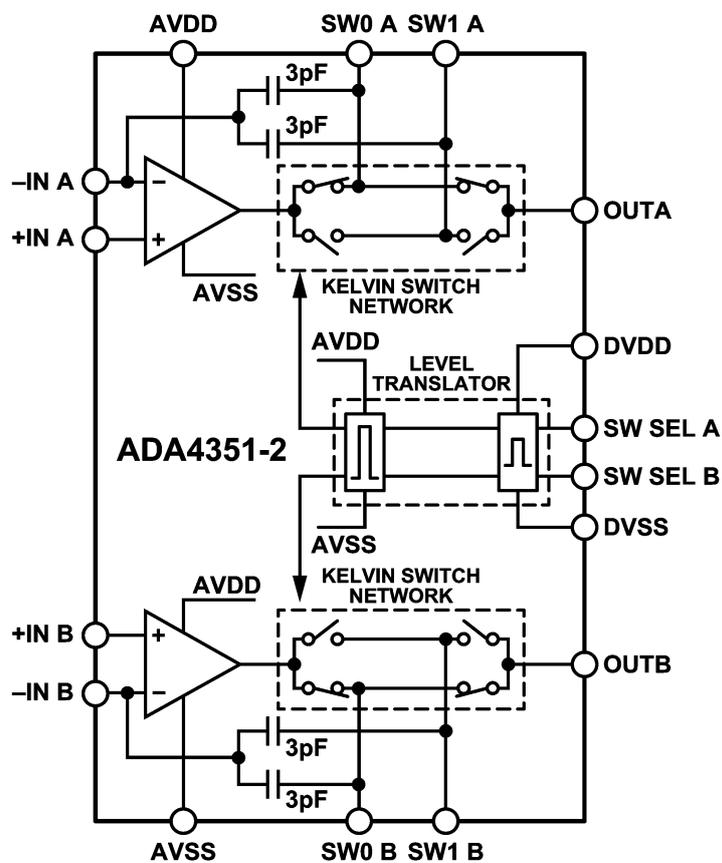
## 目次

特長.....	1	動作原理.....	23
アプリケーション.....	1	概要.....	23
代表的なアプリケーション図.....	1	PGTIA の誤差.....	23
概要.....	1	メイン・アンプ (CMOS) .....	26
機能ブロック図.....	3	アプリケーション情報.....	28
仕様.....	4	TIA 設計理論.....	28
5V 仕様.....	4	トランスインピーダンス・アンプに対するノイズの影響.....	30
3V 仕様.....	6	個別誤差の見積もり .....	32
絶対最大定格.....	8	ADC 駆動.....	32
熱抵抗.....	8	補償型周波数応答と非補償型周波数応答.....	33
最大消費電力.....	8	低入力バイアス電流の実現.....	34
出力電流のディレーティング曲線.....	8	PCB レイアウト.....	35
テスト・レベルの説明.....	8	外形寸法.....	36
静電放電 (ESD) 定格.....	9	オーダー・ガイド.....	36
ESD に関する注意.....	9	評価用ボード.....	36
ピン配置およびピン機能の説明.....	10		
真理値表 .....	10		
代表的な性能特性.....	11		

## 改訂履歴

10/2023—Revision 0: Initial Version

機能ブロック図



003

図 3. 機能ブロック図

## 仕様

## 5V仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $AVSS = 0\text{V}$ 、 $DVDD = 3\text{V}$ 、 $DVSS = 0\text{V}$ 、負荷抵抗 ( $R_L$ ) = オープン、 $+IN = 2.5\text{V}$ 。これらのデフォルトの  $AVDD$ 、 $AVSS$  および  $+IN$  条件は、 $+IN$  が  $0\text{V}$  にバイアスされた対称電源構成と同等です。

表 1. 5V仕様

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Test Level
<b>DC PERFORMANCE</b>						
Offset Voltage ( $V_{OS}$ ), Referred to Input (RTI)			$\pm 20$	$\pm 100$	$\mu\text{V}$	P
Offset Voltage Drift, RTI	$T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$		$\pm 0.15$	$\pm 0.8$	$\mu\text{V}/^\circ\text{C}$	$C_B$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		$\pm 0.16$	$\pm 0.85$	$\mu\text{V}/^\circ\text{C}$	$C_B$
Input Bias Current at $-IN$			$\pm 2$	$\pm 9$	$\text{pA}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 45$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 70$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 100$	$\text{pA}$	$C_T$
Input Bias Current at $+IN$			$\pm 2$	$\pm 9$	$\text{pA}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 70$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 110$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 150$	$\text{pA}$	$C_T$
Open-Loop Gain ( $A_{OL}$ )	$R_F = 10\text{ k}\Omega$ , $V_{OUT} = 0.5\text{ V}$ to $4.5\text{ V}^2$	95	158		$\text{dB}$	P
	$V_{OUT} = 0.1\text{ V}$ to $4.9\text{ V}$ , $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	108			$\text{dB}$	$C_T$
<b>INPUT CHARACTERISTICS</b>						
Common-Mode Input Impedance at $+IN$			3.75/1		$\text{T}\Omega/\text{pF}$	$C_B$
Common-Mode Input Impedance at $-IN$			3.75/3.5		$\text{T}\Omega/\text{pF}$	$C_B$
Differential Mode Input Capacitance			2		$\text{pF}$	$C_B$
Internal Feedback Capacitance			3		$\text{pF}$	$C_B$
Input Common-Mode Voltage Range ( $V_{CM}$ )	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	AVSS		AVDD - 1.5	V	$C_B$
Common-Mode Rejection Ratio (CMRR)	$V_{CM} = 0.1\text{ V}$ to $1.9\text{ V}$	74	87		$\text{dB}$	P
	$V_{CM} = 2.6\text{ V}$ to $3.5\text{ V}$	80	98		$\text{dB}$	P
	$V_{CM} = 0.1\text{ V}$ to $3.5\text{ V}$ , $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	78			$\text{dB}$	$C_T$
<b>OUTPUT CHARACTERISTICS</b>						
Saturated Output Voltage Swing to AVSS ( $V_{OUT} - AVSS$ )	$R_F = 10\text{ k}\Omega$			10	$\text{mV}$	P
Saturated Output Voltage Swing to AVDD (AVDD - $V_{OUT}$ )	$R_F = 10\text{ k}\Omega$			10	$\text{mV}$	P
Short-Circuit Output Current	Sinking/sourcing, $V_{OUT} = 2.5\text{ V}$		75/63		$\text{mA}$	$C_B$
Linear SW0, SW1 Current <sup>3</sup>	$V_{OUT} = 2.5\text{ V}$		$\pm 75$		$\text{mA}$	$C_B$
<b>DYNAMIC PERFORMANCE</b>						
Gain Bandwidth Product (GBP)			8.5		$\text{MHz}$	$C_B$
Slew Rate	10% to 90%		8		$\text{V}/\mu\text{s}$	$C_B$
Total Harmonic Distortion (THD)	$G = -1$ , $R_F = 15\text{ k}\Omega$ , $f = 1\text{ kHz}$ , $V_{OUT} = 1\text{ V}$ RMS		-126		$\text{dBc}$	$C_B$
<b>ANALOG POWER SUPPLIES (AVDD AND AVSS)</b>						
Operating Range $V_S = AVDD - AVSS$	Guaranteed by power supply rejection ratio (PSRR)	2.7		5.5	V	P
AVSS Range Below DVSS		-0.5		0	V	S
Quiescent Current Per Amplifier			3.3	3.5	$\text{mA}$	P
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			4.35	$\text{mA}$	$C_T$

## 仕様

表 1. 5V 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Test Level
PSRR	Supply voltage ( $V_S$ ) = 2.7 V to 5.5 V	81	92		dB	P
	$V_S = 2.7$ V to 5.5 V, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	76			dB	$C_T$
THRESHOLD VOLTAGES FOR SW SEL						
Input High Voltage ( $V_{IH}$ )		DVDD - 0.7			V	S
Input Low Voltage ( $V_{IL}$ )				DVSS + 0.5	V	S
SW SEL Pull-Down Resistance			865		k $\Omega$	$C_B$
DIGITAL POWER SUPPLIES (DVDD AND DVSS)						
Operating Range (DVDD - DVSS)		1.62		5.5	V	P
Quiescent Current	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			1	$\mu\text{A}$	P
				10	$\mu\text{A}$	$C_T$
ANALOG SWITCH CHARACTERISTICS						
Switch On Resistance ( $R_{ON}$ )	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		11	13	$\Omega$	P
				19	$\Omega$	$C_T$
Switch On-Resistance Drift	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		0.3		%/ $^\circ\text{C}$	$C_T$
SW0 and SW1 Switch Off Pin Capacitance			1.8		pF	$C_B$
Switch Off Leakage Current	SW0 and SW1 = 0.5 V		$\pm 1$	$\pm 6$	$\mu\text{A}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 22$	$\mu\text{A}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 50$	$\mu\text{A}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 90$	$\mu\text{A}$	$C_T$
	SW0 and SW1 = 0.1 V		$\pm 2$	$\pm 10$	$\mu\text{A}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 30$	$\mu\text{A}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 70$	$\mu\text{A}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 110$	$\mu\text{A}$	$C_T$
NOISE						
Input Voltage Noise Density ( $e_n$ )	$f = 100$ kHz		7.3		nV/ $\sqrt{\text{Hz}}$	$C_B$
Integrated Voltage Noise	$f = 0.1$ Hz to 10 Hz		4.5		$\mu\text{V p-p}$	$C_B$

<sup>1</sup> ADA4351-2 内の 2 つのアンプは交換可能なため、このデータシート全体で用語の定義を簡略化するために、 $R_{F1}$ 、 $R_{F0}$ 、SW0、SW1、SW SEL、+IN、-IN は、チャンネル A またはチャンネル B に関するものとなっています。 $V_{OUT}$  は OUTA または OUTB に関するもので、各チャンネル内で  $R_F$  は、 $R_{F1}$  または  $R_{F0}$  を表します。

<sup>2</sup> 高速生産テストにより、本仕様の精度は制限されています。

<sup>3</sup> 直線電流は、 $V_{OS}$  のシフトが 20 $\mu\text{V}$  未満の間に、これらのピンが伝導できる電流です。

仕様

3V仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $AVDD = 3\text{V}$ 、 $AVSS = 0\text{V}$ 、 $DVDD = 3\text{V}$ 、 $DVSS = 0\text{V}$ 、負荷抵抗 ( $R_L$ ) = オープン、 $+IN = 1.5\text{V}$ 。これらのデフォルトの  $AVDD$ 、 $AVSS$  および  $+IN$  条件は、 $+IN$  が  $0\text{V}$  にバイアスされた対称電源構成と同等です。

表 2. 3V仕様

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Test Level
<b>DC PERFORMANCE</b>						
Offset Voltage ( $V_{OS}$ ), Referred to Input (RTI)			$\pm 25$	$\pm 150$	$\mu\text{V}$	P
Offset Voltage Drift, RTI	$T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$		$\pm 0.11$	$\pm 0.85$	$\mu\text{V}/^\circ\text{C}$	$C_B$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$		$\pm 0.22$	$\pm 0.9$	$\mu\text{V}/^\circ\text{C}$	$C_B$
Input Bias Current at $-IN$			$\pm 1$	$\pm 2$	$\text{pA}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 20$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 30$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 30$	$\text{pA}$	$C_T$
Input Bias Current at $+IN$			$\pm 1$	$\pm 2$	$\text{pA}$	P
	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$			$\pm 35$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$			$\pm 60$	$\text{pA}$	$C_T$
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			$\pm 70$	$\text{pA}$	$C_T$
Open-Loop Gain ( $A_{OL}$ )	$R_F = 10\text{ k}\Omega$ , $V_{OUT} = 0.5\text{ V}$ to $2.5\text{ V}^2$	93	115		$\text{dB}$	P
	$V_{OUT} = 0.1\text{ V}$ to $2.9\text{ V}$ , $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	104			$\text{dB}$	$C_T$
<b>INPUT CHARACTERISTICS</b>						
Common-Mode Input Impedance at $+IN$			3.75/2.8		$\text{T}\Omega/\text{pF}$	$C_B$
Common-Mode Input Impedance at $-IN$			3.75/3.5		$\text{T}\Omega/\text{pF}$	$C_B$
Differential Mode Input Capacitance			2		$\text{pF}$	$C_B$
Internal Feedback Capacitance			3		$\text{pF}$	$C_B$
Input Common-Mode Voltage Range ( $V_{CM}$ )	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	$AVSS$		$AVDD - 1.5\text{V}$	$\text{V}$	$C_B$
Common-Mode Rejection Ratio (CMRR)	$V_{CM} = 0.1\text{ V}$ to $1.5\text{ V}$	73	87		$\text{dB}$	P
<b>OUTPUT CHARACTERISTICS</b>						
Saturated Output Voltage Swing to $AVSS$ ( $V_{OUT} - AVSS$ )	$R_F = 10\text{ k}\Omega$			10	$\text{mV}$	P
Saturated Output Voltage Swing to $AVDD$ ( $AVDD - V_{OUT}$ )	$R_F = 10\text{ k}\Omega$			10	$\text{mV}$	P
Short-Circuit Output Current	Sinking/sourcing, $V_{OUT} = 1.5\text{ V}$		27/23		$\text{mA}$	$C_B$
Linear SW0 and SW1 Current <sup>3</sup>			$\pm 30$		$\text{mA}$	$C_B$
<b>DYNAMIC PERFORMANCE</b>						
Gain Bandwidth Product (GBP)			8.5		$\text{MHz}$	$C_B$
Slew Rate	10% to 90%		8		$\text{V}/\mu\text{s}$	$C_B$
<b>ANALOG POWER SUPPLIES (AVDD AND AVSS)</b>						
Operating Range $V_S = AVDD - AVSS$	Guaranteed by power supply rejection ratio (PSRR)	2.7		5.5	$\text{V}$	P
AVSS Range Below $DVSS$		-2.5		0	$\text{V}$	S
Quiescent Current Per Amplifier			3.05	3.25	$\text{mA}$	P
	$T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$			4.1	$\text{mA}$	$C_T$
PSRR	Supply voltage ( $V_S$ ) = $2.7\text{ V}$ to $5.5\text{ V}$	81	92		$\text{dB}$	P
	$V_S = 2.7\text{ V}$ to $5.5\text{ V}$ , $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$	76			$\text{dB}$	$C_T$
<b>THRESHOLD VOLTAGES FOR SW SEL</b>						
Input High Voltage ( $V_{IH}$ )		$DVDD - 0.7$			$\text{V}$	S
Input Low Voltage ( $V_{IL}$ )				$DVSS + 0.5$	$\text{V}$	S
SW SEL Pull-Down Resistance			865		$\text{k}\Omega$	$C_B$

## 仕様

表 2. 3V 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit	Test Level
DIGITAL POWER SUPPLIES (DVDD AND DVSS)						
Operating Range (DVDD – DVSS)		1.62		5.5	V	P
Quiescent Current	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$			1	$\mu\text{A}$	P
				10	$\mu\text{A}$	$C_T$
ANALOG SWITCH CHARACTERISTICS						
Switch On Resistance ( $R_{ON}$ )	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$		21	25	$\Omega$	P
				33	$\Omega$	$C_T$
Switch On-Resistance Drift	$T_A = -40^\circ\text{C to } +125^\circ\text{C}$		0.25		$\%/^\circ\text{C}$	$C_T$
SW0 and SW1 Switch Off Pin Capacitance			1.8		pF	$C_B$
NOISE						
Input Voltage Noise Density ( $e_n$ )	f = 100 kHz		7.3		nV/ $\sqrt{\text{Hz}}$	$C_B$
Integrated Voltage Noise	f = 0.1 Hz to 10 Hz		4.5		$\mu\text{V p-p}$	$C_B$

<sup>1</sup> ADA4351-2 内の 2 つのアンプは交換可能なため、このデータシート全体で用語の定義を簡略化するために、 $R_{F1}$ 、 $R_{F0}$ 、SW0、SW1、SW SEL、+IN、-IN は、チャンネル A またはチャンネル B に関するものとなっています。V<sub>OUT</sub> は OUTA または OUTB に関するもので、各チャンネル内で  $R_F$  は、 $R_{F1}$  または  $R_{F0}$  を表します。

<sup>2</sup> 高速生産テストにより、本仕様の精度は制限されています。

<sup>3</sup> 直線電流は、V<sub>OS</sub> のシフトが 20 $\mu\text{V}$  未満の間に、これらのピンが伝導できる電流です。

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Voltage Between Any Two Pins	6 V
DVDD and AVDD to DVSS	-0.3 V to +6 V
DVDD, AVDD, and DVSS to AVSS	-0.3 V to +6 V
+IN and -IN Voltage	AVSS - 1 V to AVDD + 1 V
+IN and -IN Current	10 mA
SW0 and SW1 Voltage	AVSS - 0.3 V to AVDD + 0.3 V
SW SEL Voltage	DVSS - 0.3 V to DVDD + 0.3 V
SW SEL Current	10 mA
Op Amp Output Continuous Current	±20 mA <sup>1</sup> , electromigration limited
Switch Continuous Current	±20 mA <sup>1</sup> , electromigration limited
Temperature	
Storage Range	-65°C to +150°C
Operating Range	-40°C to +125°C
Junction, T <sub>J</sub>	150°C
Case, T <sub>C</sub>	260°C

<sup>1</sup> 100°C で仕様化されています。100°C を超える温度についてはディレーティング曲線を参照してください (図 4 参照)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ<sub>JA</sub> は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲空気間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ <sub>JA</sub>	Unit
CP-16-32	91	°C/W

最大消費電力

ADA4351-2 の最大安全消費電力は、電力消費に伴うダイ上の T<sub>J</sub> の上昇によって制限を受けます。約 150°C のガラス転移温度で、プラスチック・パッケージの性質が変化します。この温度限界を一時的にでも超えると、パッケージがダイに及ぼす応力が変化して、ADA4351-2 のパラメータ性能が恒久的に変化する可能性があります。長時間にわたって 175°C の T<sub>J</sub> を超えると、シリコン・デバイスに変化が生じ、機能の低下または喪失を招くおそれがあります。

パッケージ内での消費電力は、静止消費電力と、アンプの出力負荷駆動によるダイ内での消費電力を合計したものです。

出力電流のディレーティング曲線

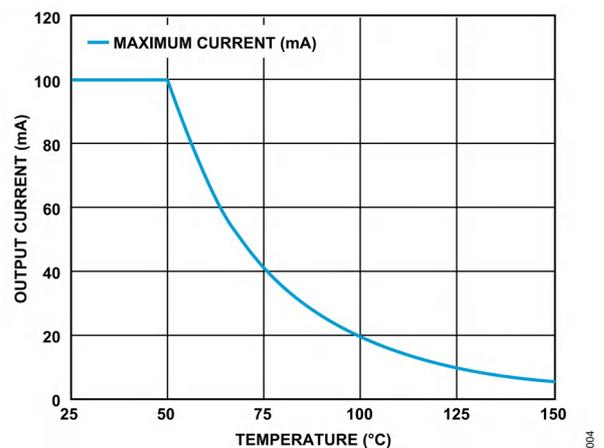


図 4. 最大出力電流のディレーティング曲線と温度の関係

テスト・レベルの説明

表 5. テスト・レベルの説明

Test Level	Description
D	Definition
S	Design verification simulation
P	100% production tested
P <sub>F</sub>	Functionally checked during production test
C <sub>T</sub>	Characterized on tester
C <sub>B</sub>	Characterized on bench

## 絶対最大定格

### 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

### ADA4351-2 の ESD 定格

表 6. ADA4351-2、16 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±2000	1C
FICDM	±1250	C3

### ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。  
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

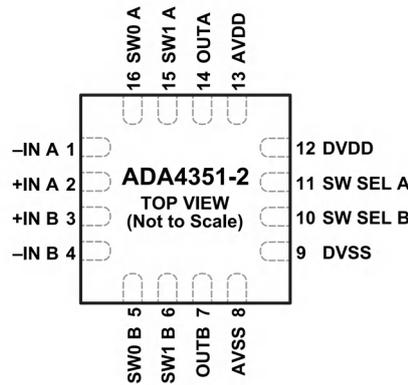


図 5. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	-IN A	アンプ A の反転入力。
2	+IN A	アンプ A の非反転入力。
3	+IN B	アンプ B の非反転入力。
4	-IN B	アンプ B の反転入力。
5	SW0 B	アンプ B 用のスイッチ 0 フィードバック・ピン。
6	SW1 B	アンプ B 用のスイッチ 1 フィードバック・ピン。
7	OUTB	アンプ B の出力。
8	AVSS	アナログ負電源電圧。
9	DVSS	デジタル負電源電圧。
10	SW SEL B	アンプ B 用のスイッチ制御。SW SEL B ピンには DVSS への 865kΩ プルダウン抵抗があります。
11	SW SEL A	アンプ A 用のスイッチ制御。SW SEL A ピンには DVSS への 865kΩ プルダウン抵抗があります。
12	DVDD	デジタル正電源電圧。
13	AVDD	アナログ正電源電圧。
14	OUTA	アンプ A の出力。
15	SW1 A	アンプ A 用のスイッチ 1 フィードバック・ピン。
16	SW0 A	アンプ A 用のスイッチ 0 フィードバック・ピン。

真理値表

表 8. 真理値表

SW SEL A	SW SEL B	SW0 A	SW0 B	SW1 A	SW1 B
0	0	On	On	Off	Off
0	1	On	Off	Off	On
1	0	Off	On	On	Off
1	1	Off	Off	On	On

代表的な性能特性

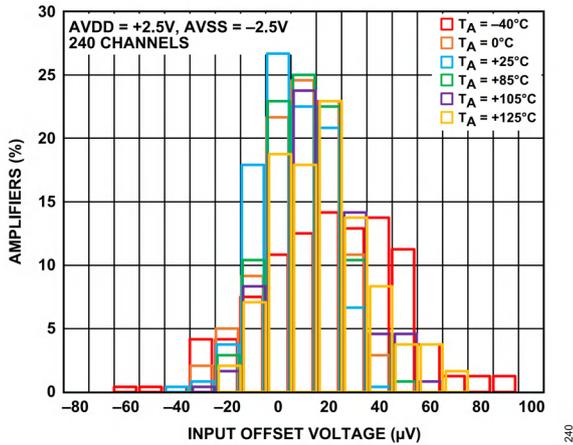


図 6. オフセット電圧分布、AVDD = +2.5V、AVSS = -2.5V

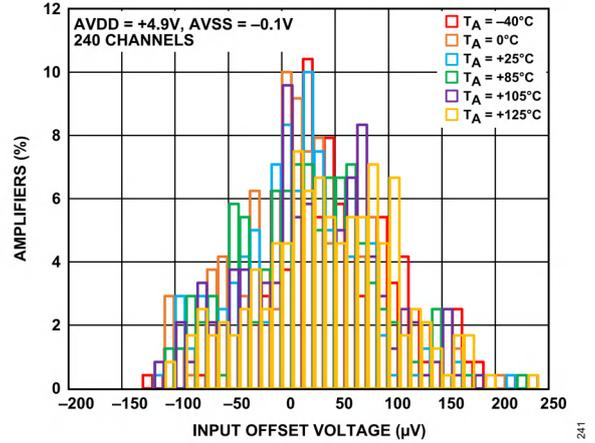


図 9. オフセット電圧分布、AVDD = +4.9V、AVSS = -0.1V

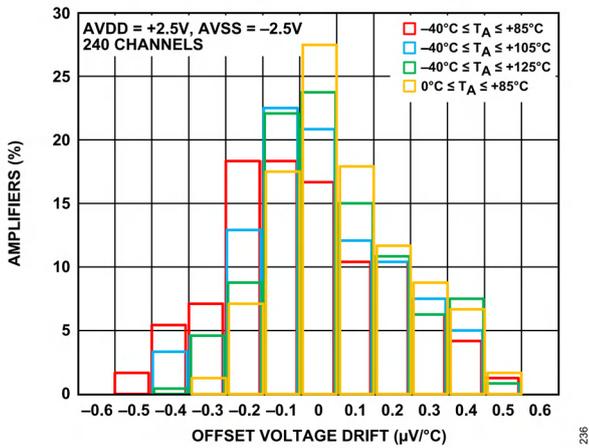


図 7. オフセット電圧ドリフト分布、AVDD = +2.5V、AVSS = -2.5V

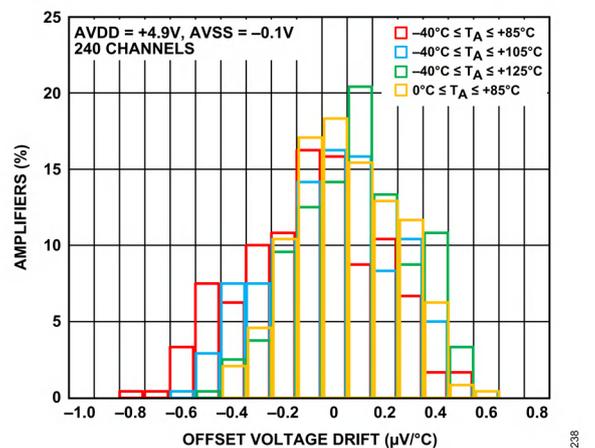


図 10. オフセット電圧ドリフト分布、AVDD = +4.9V、AVSS = -0.1V

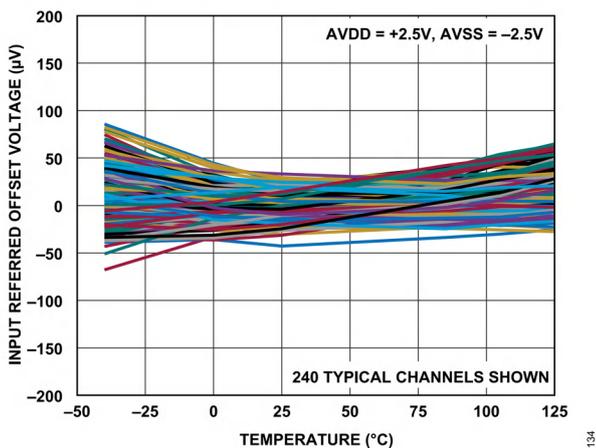


図 8. 入力換算オフセット電圧と温度の関係、AVDD = +2.5V、AVSS = -2.5V

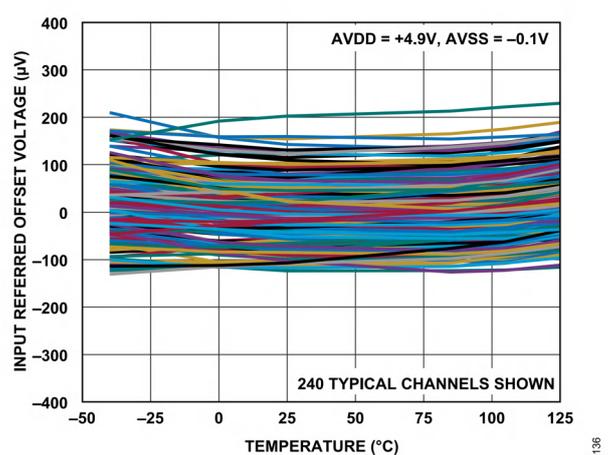


図 11. 入力換算オフセット電圧と温度の関係、AVDD = +4.9V、AVSS = -0.1V

代表的な性能特性

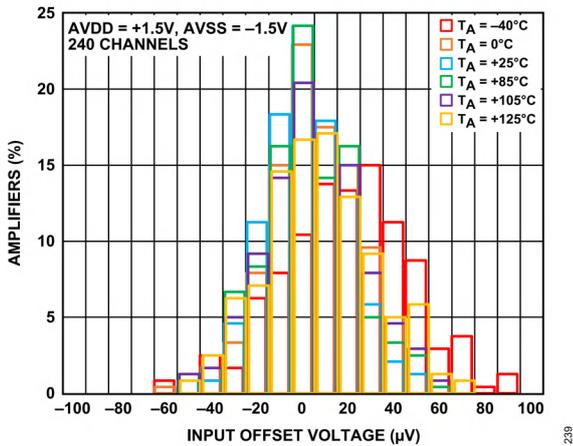


図 12. オフセット電圧分布、AVDD = +1.5V、AVSS = -1.5V

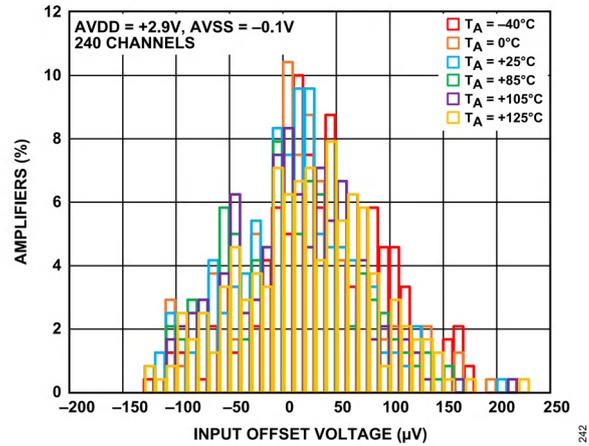


図 15. オフセット電圧分布、AVDD = +2.9V、AVSS = -0.1V

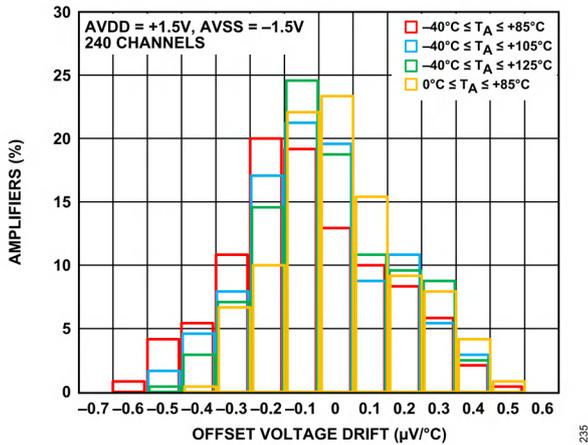


図 13. オフセット電圧ドリフト分布、AVDD = +1.5V、AVSS = -1.5V

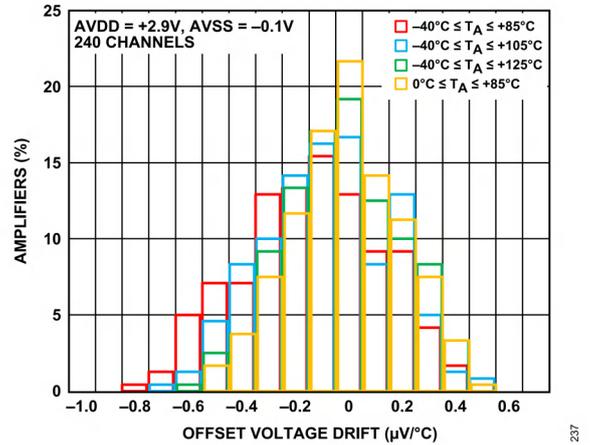


図 16. オフセット電圧ドリフト分布、AVDD = +2.9V、AVSS = -0.1V

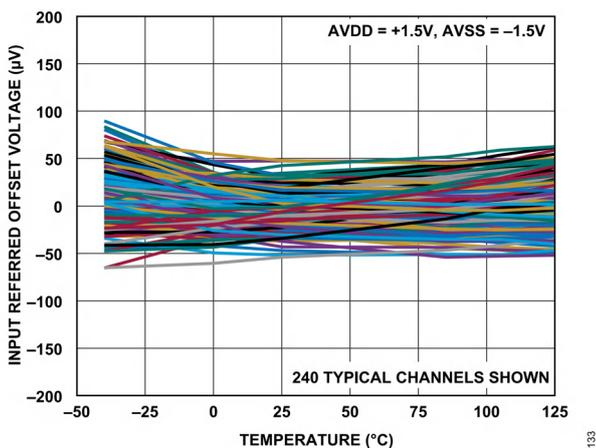


図 14. 入力換算オフセット電圧と温度の関係、AVDD = +1.5V、AVSS = -1.5V

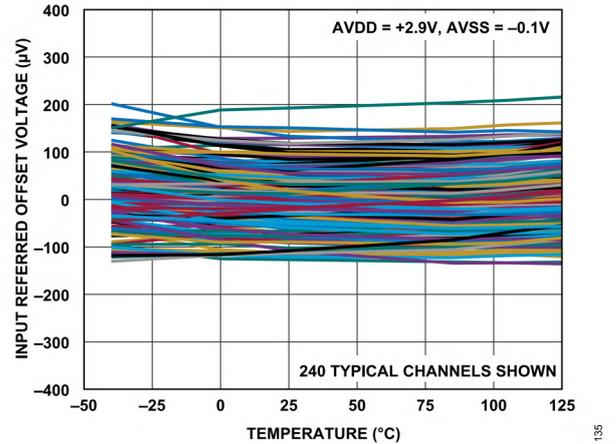


図 17. 入力換算オフセット電圧と温度の関係、AVDD = +2.9V、AVSS = -0.1V

代表的な性能特性

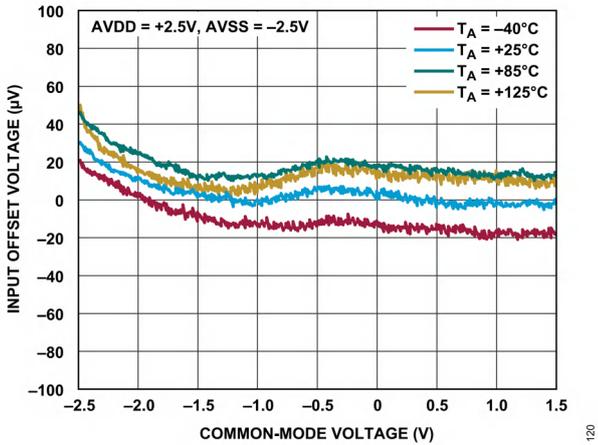


図 18. 様々な温度での入力オフセット電圧とコモンモード電圧の関係、AVDD = +2.5V、AVSS = -2.5V

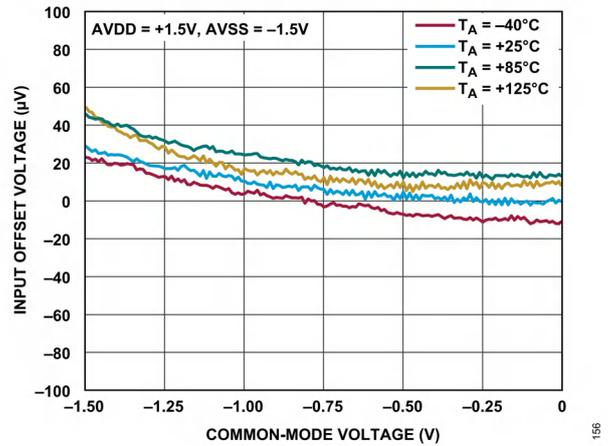


図 21. 様々な温度での入力オフセット電圧とコモンモード電圧の関係、AVDD = +1.5V、AVSS = -1.5V

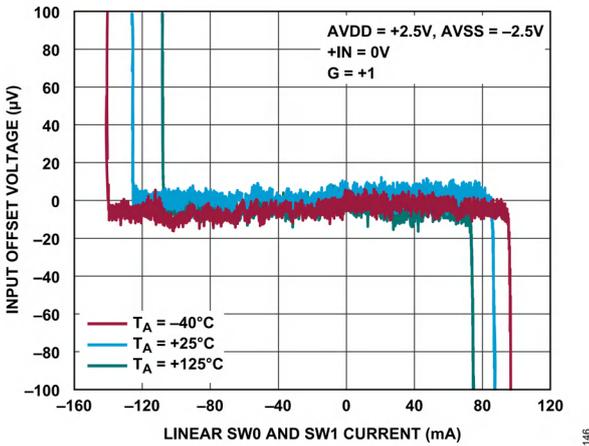


図 19. 様々な温度での入力オフセット電圧と直線 SW0 および SW1 電流の関係、AVDD = +2.5V、AVSS = -2.5V

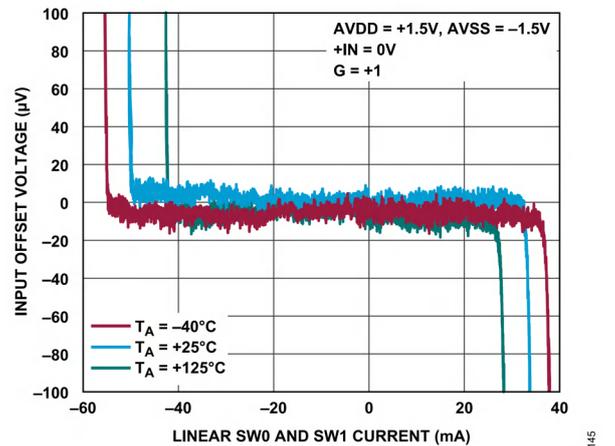


図 22. 様々な温度での入力オフセット電圧と直線 SW0 および SW1 電流の関係、AVDD = +1.5V、AVSS = -1.5V

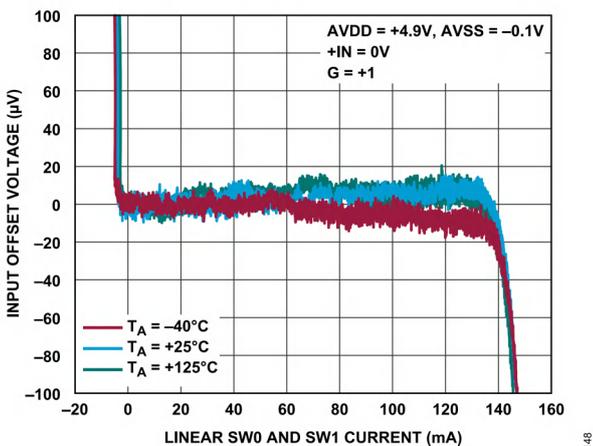


図 20. 様々な温度での入力オフセット電圧と直線 SW0 および SW1 電流の関係、AVDD = +4.9V、AVSS = -0.1V

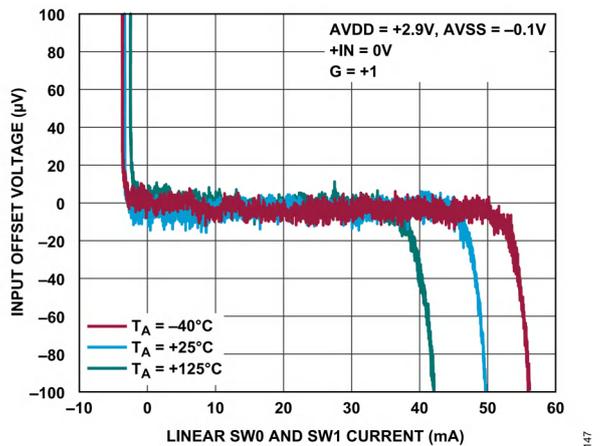


図 23. 様々な温度での入力オフセット電圧と直線 SW0 および SW1 電流の関係、AVDD = +2.9V、AVSS = -0.1V

代表的な性能特性

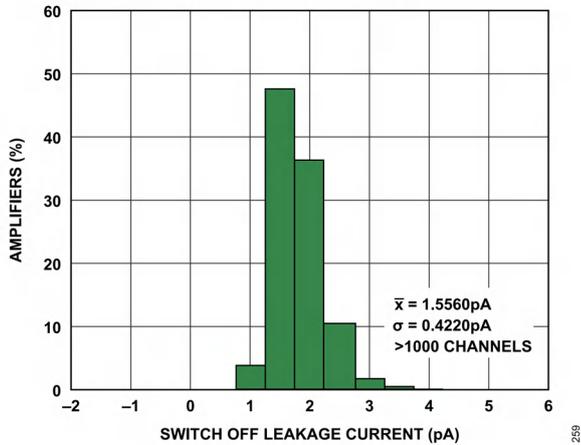


図 24. スイッチのオフ・リーク電流分布、  
AVDD = +4.9V、AVSS = -0.1V、 $T_A = 25^\circ\text{C}$

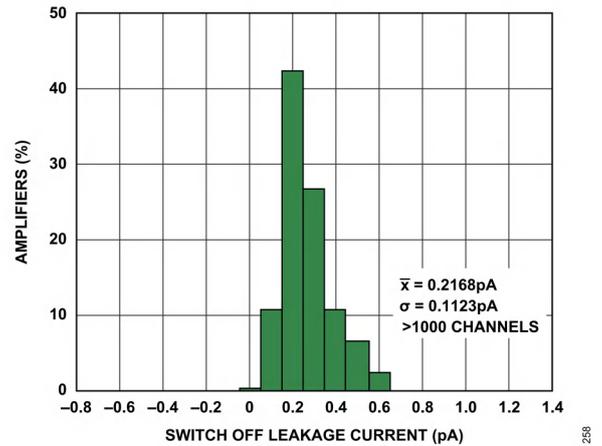


図 27. スイッチのオフ・リーク電流分布、  
AVDD = +2.9V、AVSS = -0.1V、 $T_A = 25^\circ\text{C}$

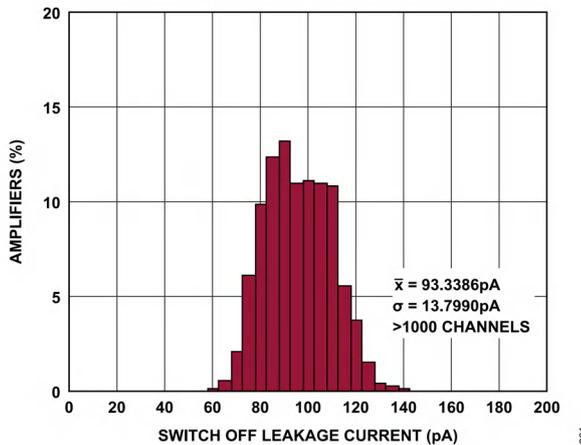


図 25. スイッチのオフ・リーク電流分布、  
AVDD = +4.9V、AVSS = -0.1V、 $T_A = 125^\circ\text{C}$

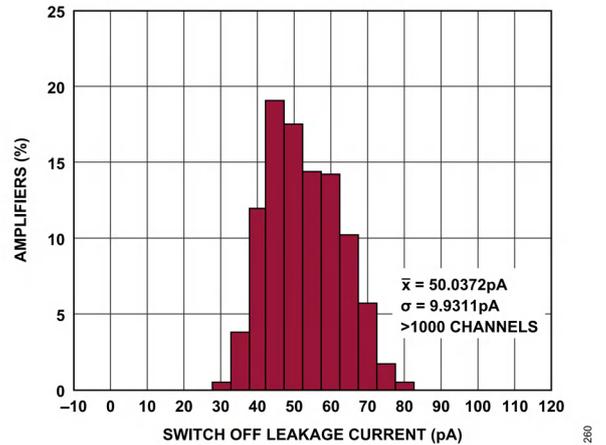


図 28. スイッチのオフ・リーク電流分布、  
AVDD = +2.9V、AVSS = -0.1V、 $T_A = 125^\circ\text{C}$

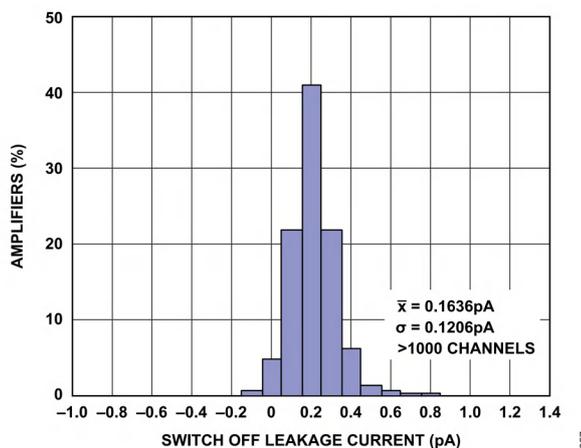


図 26. スイッチのオフ・リーク電流分布、  
AVDD = +4.9V、AVSS = -0.1V、 $T_A = -40^\circ\text{C}$

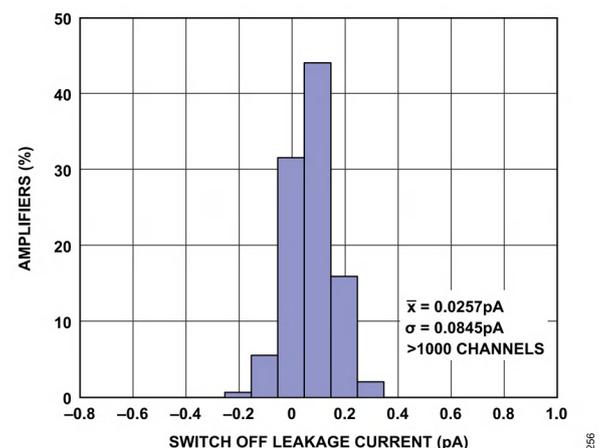


図 29. スイッチのオフ・リーク電流分布、  
AVDD = +2.9V、AVSS = -0.1V、 $T_A = -40^\circ\text{C}$

代表的な性能特性

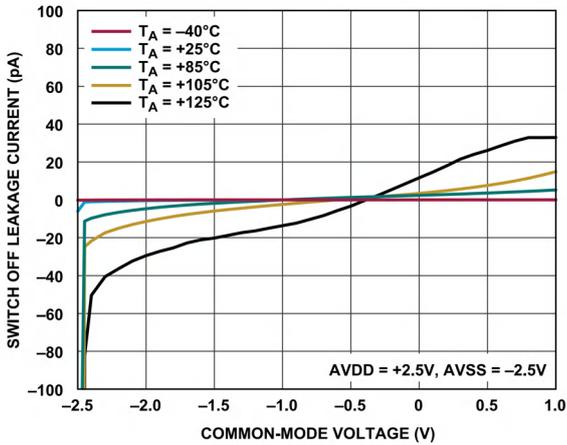


図 30. 様々な温度でのスイッチのオフ・リーク電流とコモンモード電圧の関係、AVDD = +2.5V、AVSS = -2.5V

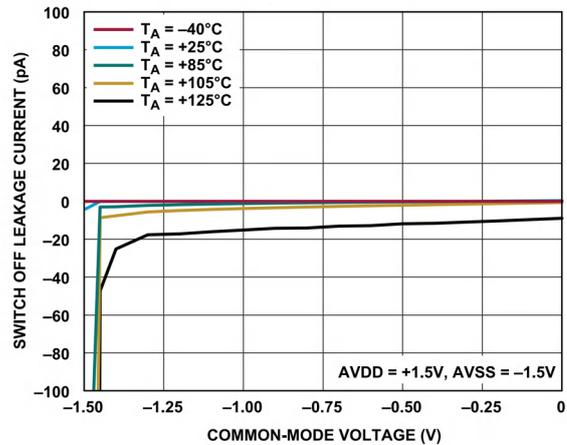


図 33. 様々な温度でのスイッチのオフ・リーク電流とコモンモード電圧の関係、AVDD = +1.5V、AVSS = -1.5V

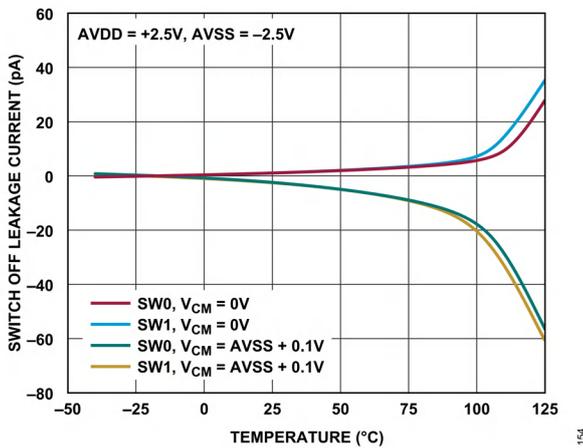


図 31. 様々な SW0 および SW1 の V<sub>CM</sub> 値におけるスイッチのオフ・リーク電流と温度の関係、AVDD = +2.5V、AVSS = -2.5V

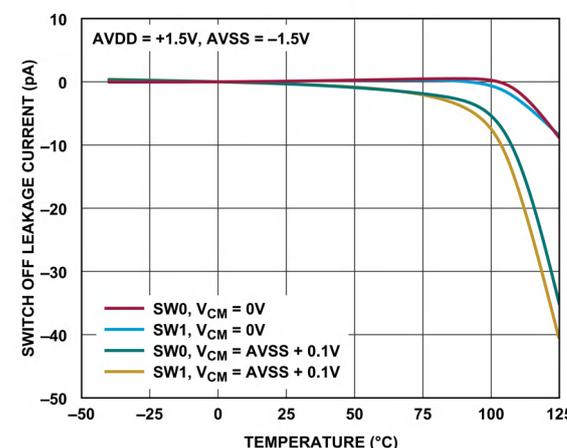


図 34. 様々な SW0 および SW1 の V<sub>CM</sub> 値におけるスイッチのオフ・リーク電流と温度の関係、AVDD = +1.5V、AVSS = -1.5V

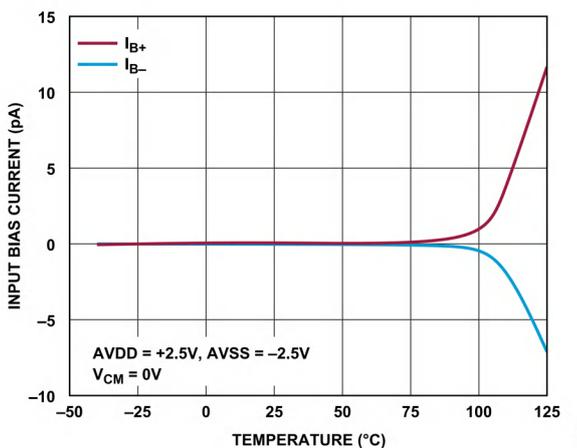


図 32. 入力バイアス電流と温度の関係、AVDD = +2.5V、AVSS = -2.5V

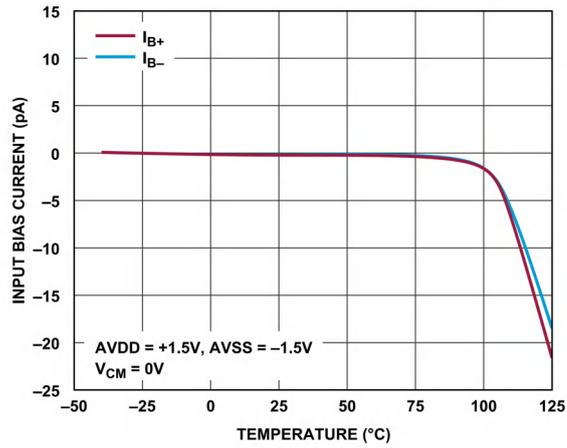


図 35. 入力バイアス電流と温度の関係、AVDD = +1.5V、AVSS = -1.5V

代表的な性能特性

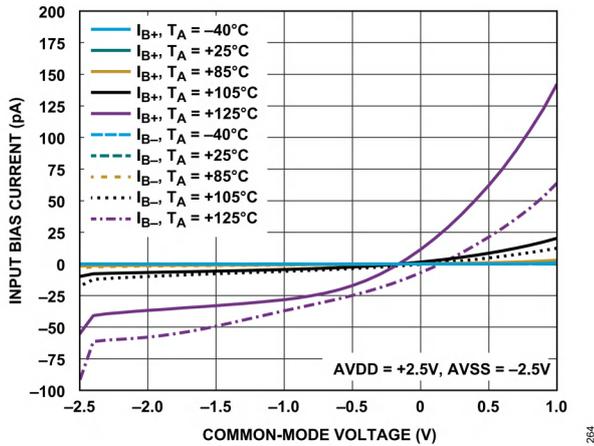


図 36. 様々な温度での入力バイアス電流とコモンモード電圧の関係、AVDD = +2.5V、AVSS = -2.5V

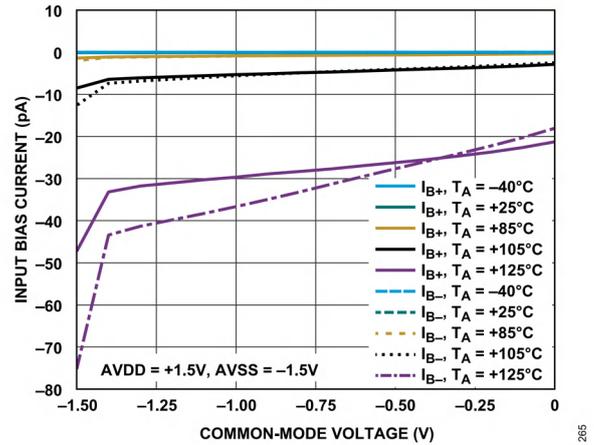


図 39. 様々な温度での入力バイアス電流とコモンモード電圧の関係、AVDD = +1.5V、AVSS = -1.5V

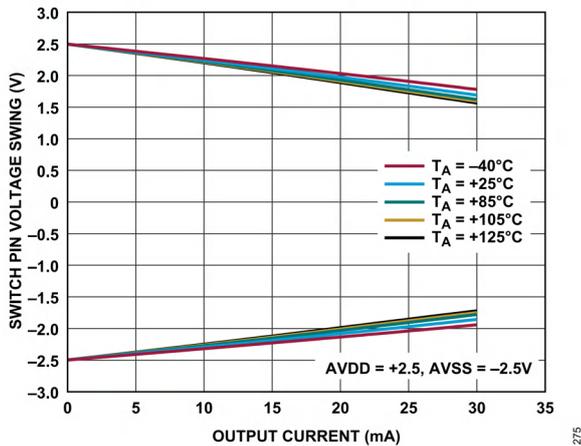


図 37. 様々な温度でのスイッチ・ピン電圧振幅と出力電流の関係、R<sub>F</sub> = 10kΩ、AVDD = +2.5V、AVSS = -2.5V

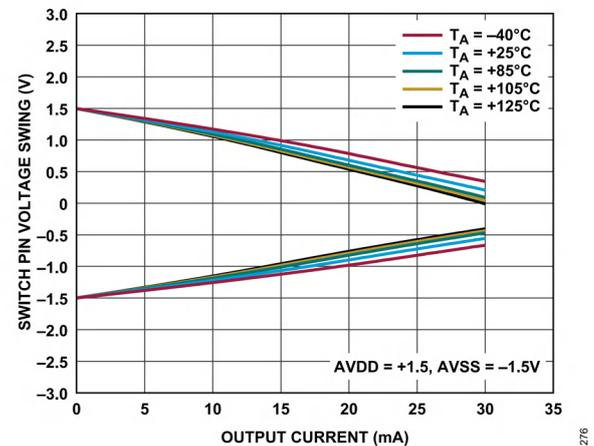


図 40. 様々な温度でのスイッチ・ピン電圧振幅と出力電流の関係、R<sub>F</sub> = 10kΩ、AVDD = +1.5V、AVSS = -1.5V

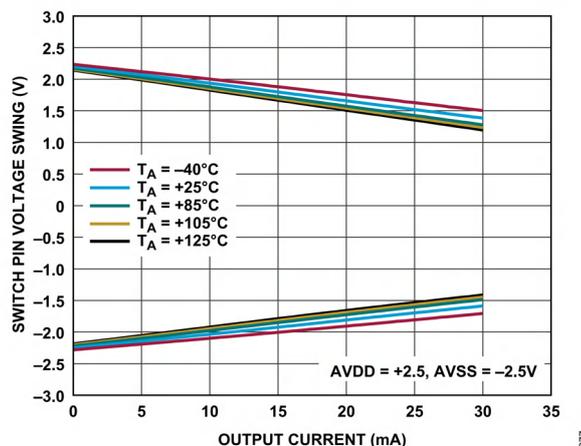


図 38. 様々な温度でのスイッチ・ピン電圧振幅と出力電流の関係、R<sub>F</sub> = 200Ω、AVDD = +2.5V、AVSS = -2.5V

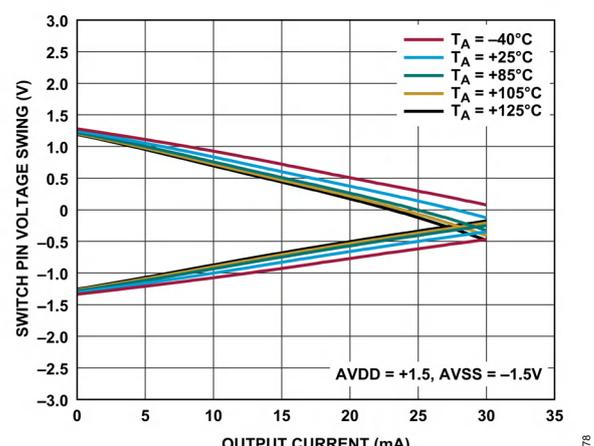


図 41. 様々な温度でのスイッチ・ピン電圧振幅と出力電流の関係、R<sub>F</sub> = 200Ω、AVDD = +1.5V、AVSS = -1.5V

代表的な性能特性

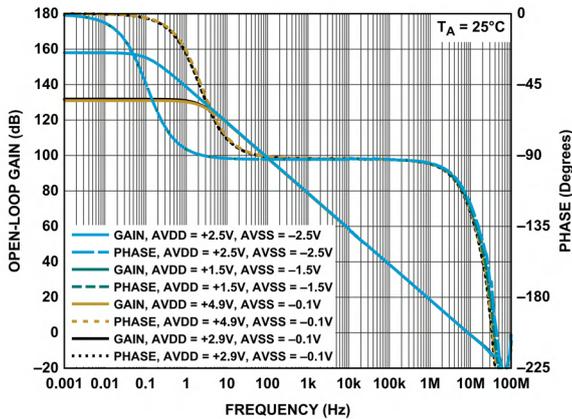


図 42. 様々な電源での開ループ・ゲインおよび位相と周波数の関係

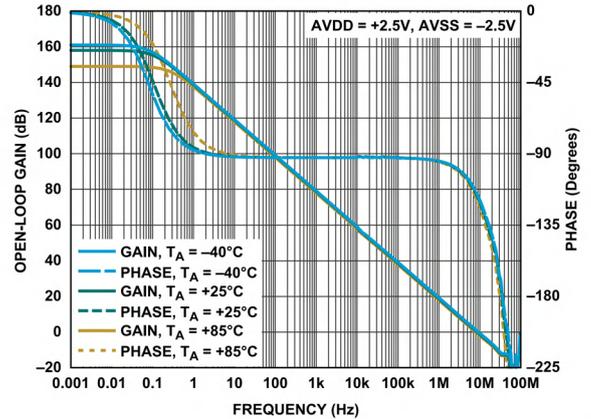


図 45. 様々な温度での開ループ・ゲインおよび位相と周波数の関係

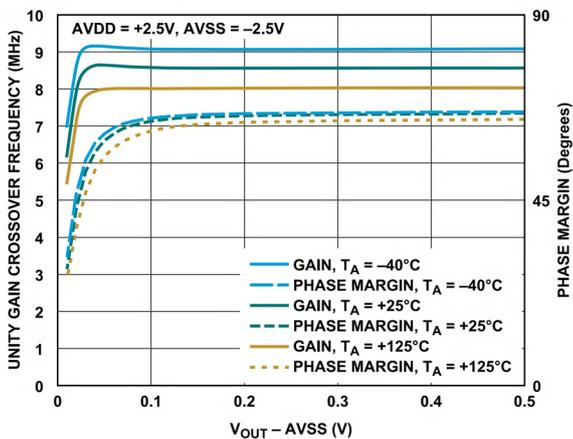


図 43. ユニティ・ゲイン・クロスオーバー周波数および位相マージンと  $V_{OUT} - AVSS$  の関係、無負荷、 $AVDD = +2.5V$ 、 $AVSS = -2.5V$

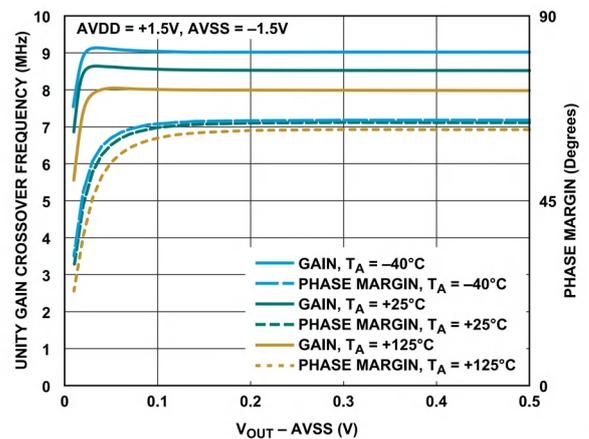


図 46. ユニティ・ゲイン・クロスオーバー周波数および位相マージンと  $V_{OUT} - AVSS$  の関係、無負荷、 $AVDD = +1.5V$ 、 $AVSS = -1.5V$

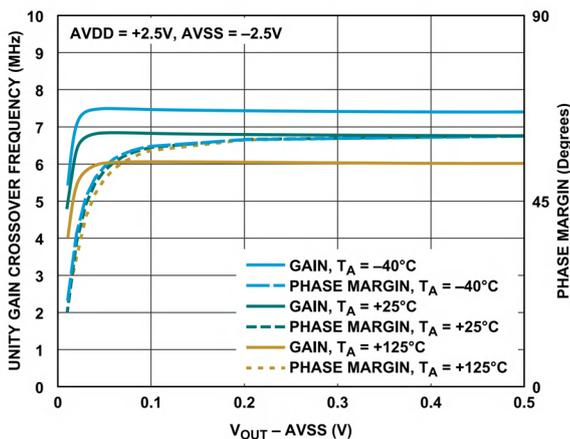


図 44. ユニティ・ゲイン・クロスオーバー周波数および位相マージンと  $V_{OUT} - AVSS$  の関係、負荷 = ローパス出力フィルタ ( $R_{EXT} = 25\Omega$ 、 $C_{EXT} = 1nF$ )、 $AVDD = +2.5V$ 、 $AVSS = -2.5V$

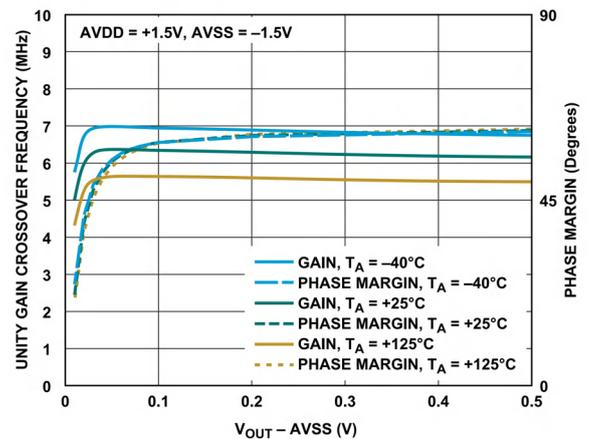


図 47. ユニティ・ゲイン・クロスオーバー周波数および位相マージンと  $V_{OUT} - AVSS$  の関係、負荷 = ローパス出力フィルタ ( $R_{EXT} = 25\Omega$ 、 $C_{EXT} = 1nF$ )、 $AVDD = +1.5V$ 、 $AVSS = -1.5V$

代表的な性能特性

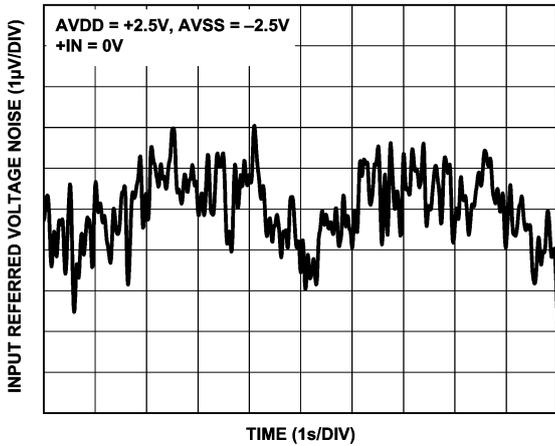


図 48. 0.1Hz~10Hz の電圧ノイズ、  
AVDD = +2.5V、AVSS = -2.5V

106

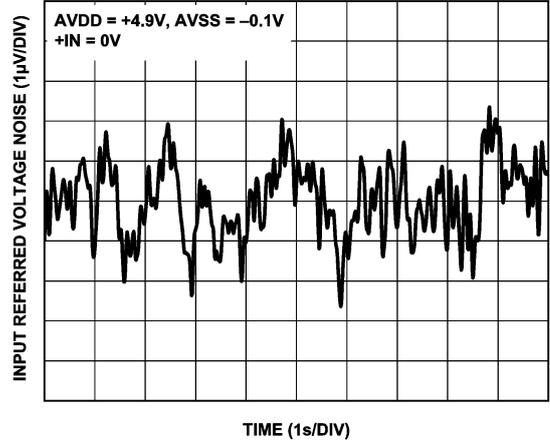


図 51. 0.1Hz~10Hz の電圧ノイズ、  
AVDD = +4.9V、AVSS = -0.1V

107

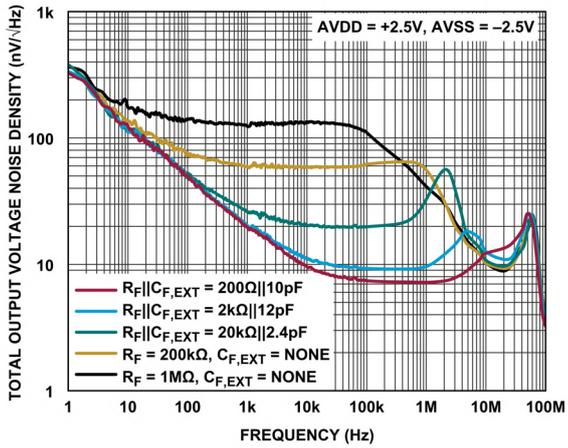


図 49. 合計出力電圧ノイズ密度と周波数の関係、  
AVDD = +2.5V、AVSS = -2.5V

112

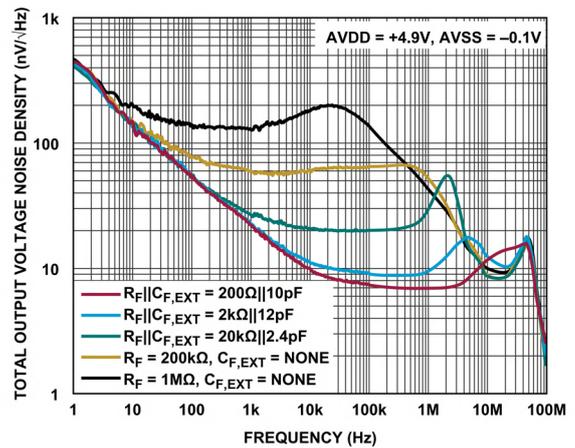


図 52. 総出力電圧ノイズ密度と周波数の関係、  
AVDD = +4.9V、AVSS = -0.1V

113

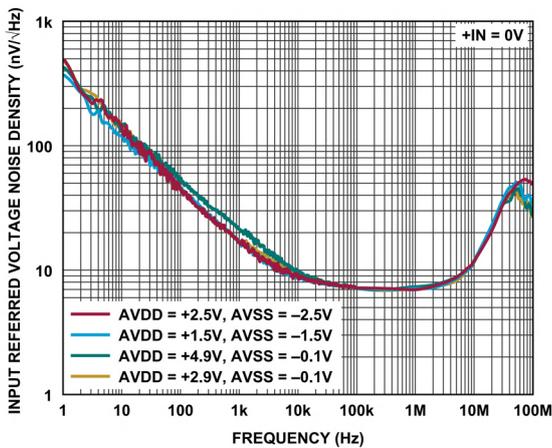


図 50. 入力換算電圧ノイズ密度と周波数の関係

110

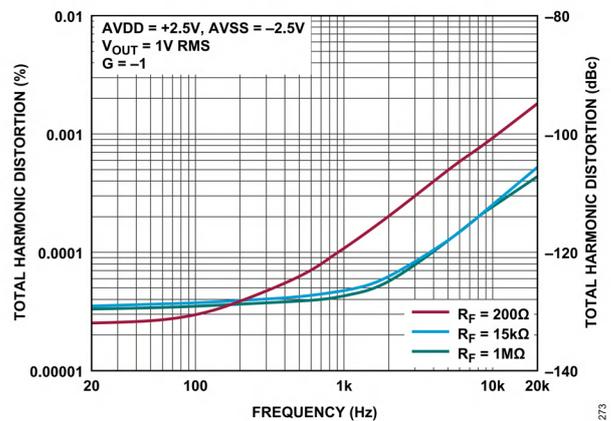


図 53. 全高調波歪みと周波数の関係、  
AVDD = +2.5V、AVSS = -2.5V

273

代表的な性能特性

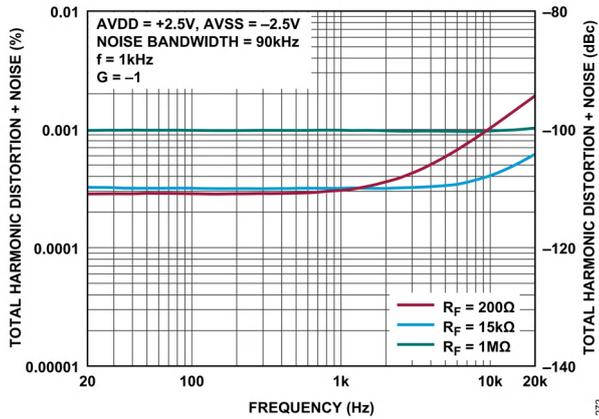


図 54. 全高調波歪み + ノイズと周波数の関係、  
AVDD = +2.5V、AVSS = -2.5V

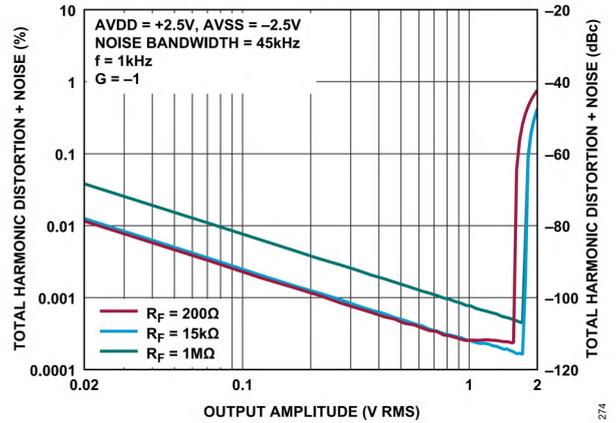


図 57. 全高調波歪み + ノイズと出力振幅の関係、  
AVDD = +2.5V、AVSS = -2.5V

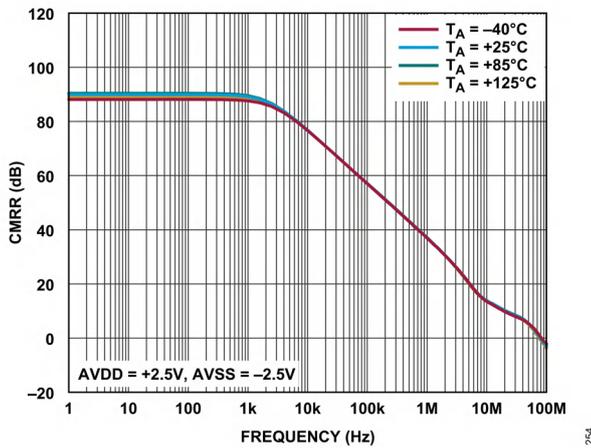


図 55. 様々な温度での CMRR と周波数の関係、  
AVDD = +2.5V、AVSS = -2.5V

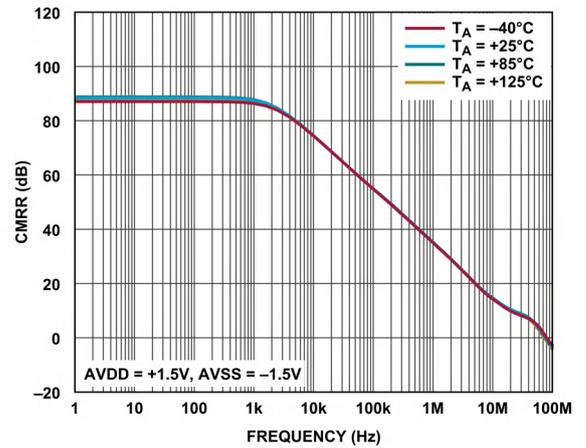


図 58. 様々な温度での CMRR と周波数の関係、  
AVDD = 1.5V、AVSS = -1.5V

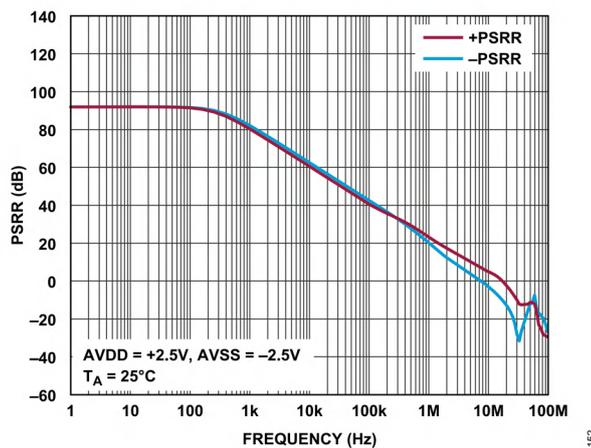


図 56. PSRR と周波数の関係、AVDD = +2.5V、AVSS = -2.5V

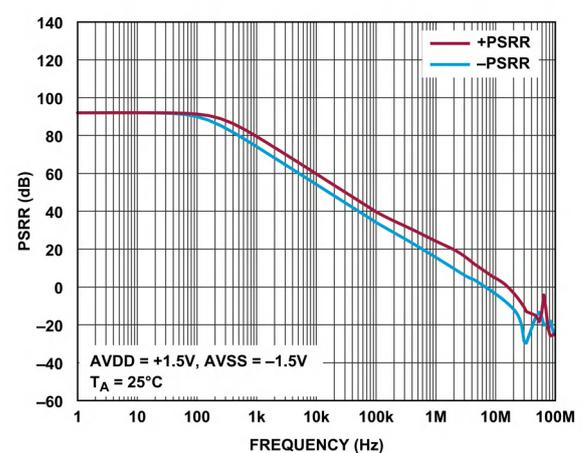


図 59. PSRR と周波数の関係、AVDD = +1.5V、AVSS = -1.5V

代表的な性能特性

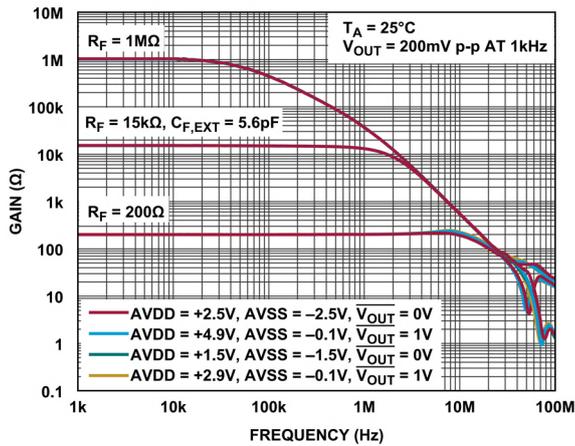


図 60. 様々な電源電圧での小信号閉ループ・ゲインと周波数の関係

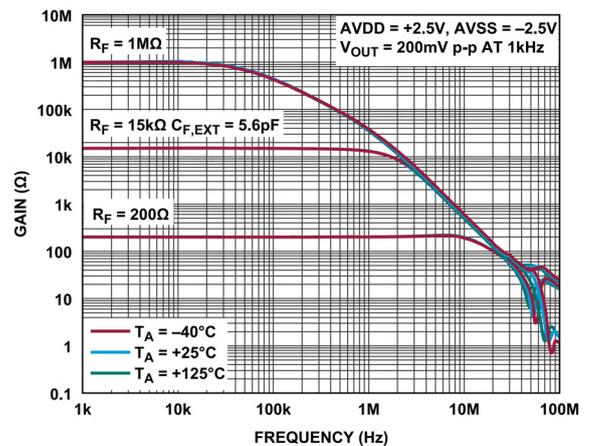


図 63. 様々な温度での小信号閉ループ・ゲインと周波数の関係

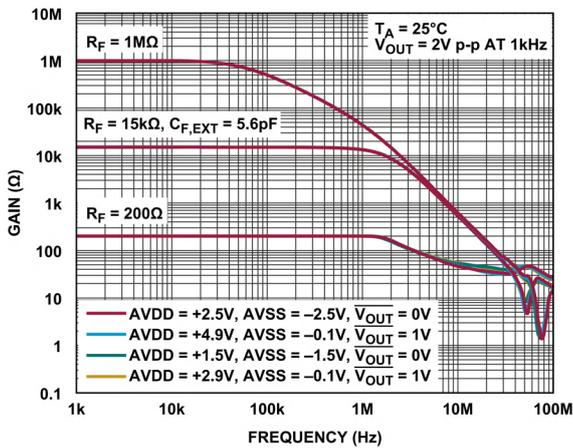


図 61. 様々な電源電圧での大信号閉ループ・ゲインと周波数の関係

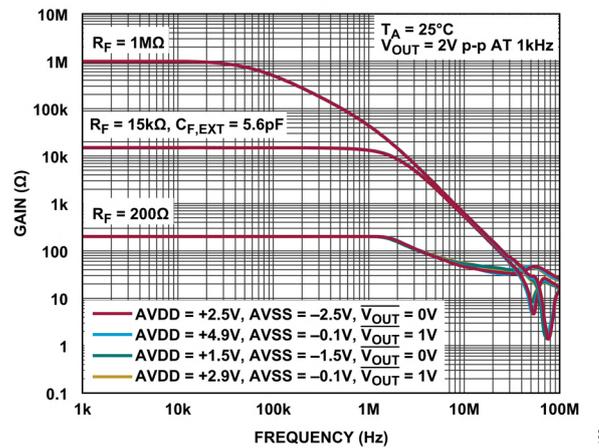


図 64. 様々な温度での大信号閉ループ・ゲインと周波数の関係、AVDD = +2.5V、AVSS = -2.5V

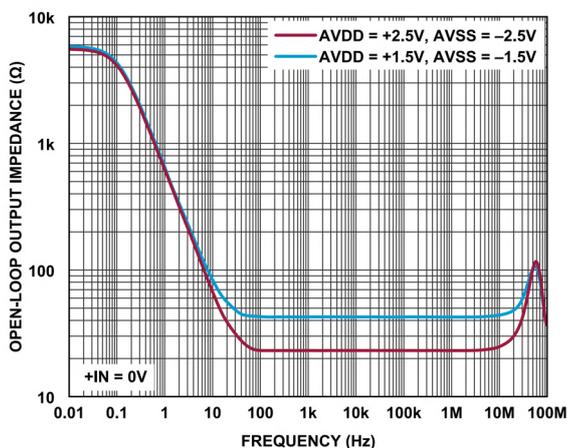


図 62. 開ループ出力インピーダンスと周波数の関係

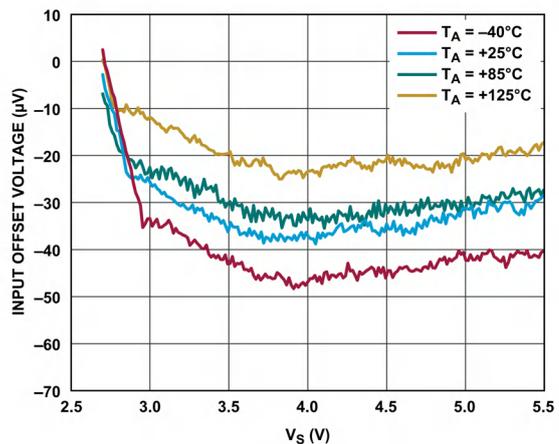


図 65. 入力オフセット電圧とアナログ電源電圧 (V<sub>S</sub>) の関係

代表的な性能特性

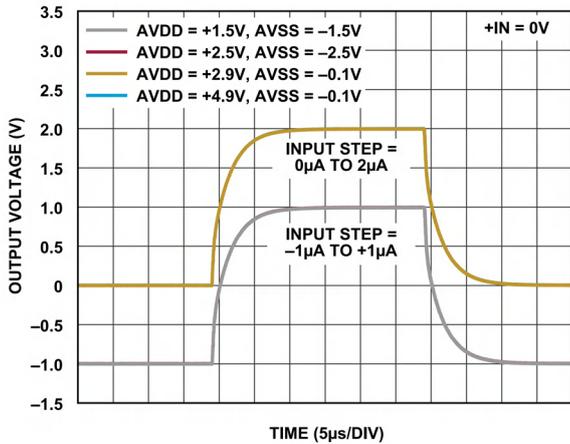


図 66. 様々な電源電圧での大信号ステップ応答、  
入力容量 ( $C_{IN}$ ) = 10pF、 $R_F$  = 1M $\Omega$

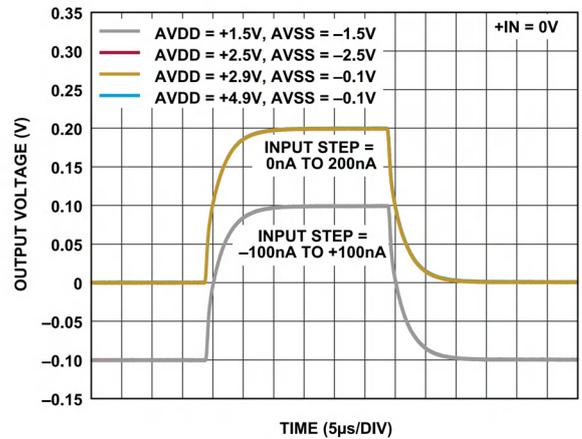


図 69. 様々な電源電圧での小信号ステップ応答、  
 $C_{IN}$  = 10pF、 $R_F$  = 1M $\Omega$

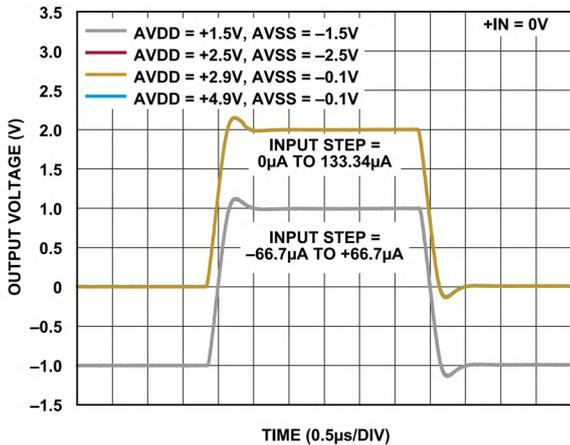


図 67. 様々な電源電圧での大信号ステップ応答、 $C_{IN}$  = 10pF、  
 $R_F$  = 15k $\Omega$ 、外部フィードバック容量 ( $C_{F,EXT}$ ) = 5.6pF

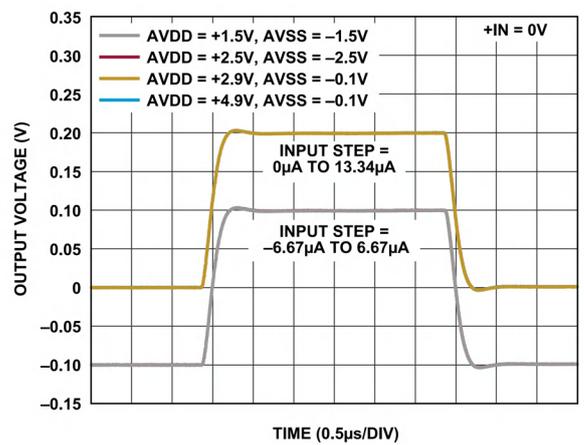


図 70. 様々な電源電圧での小信号ステップ応答、  
 $C_{IN}$  = 10pF、 $R_F$  = 15k $\Omega$ 、 $C_{F,EXT}$  = 5.6pF

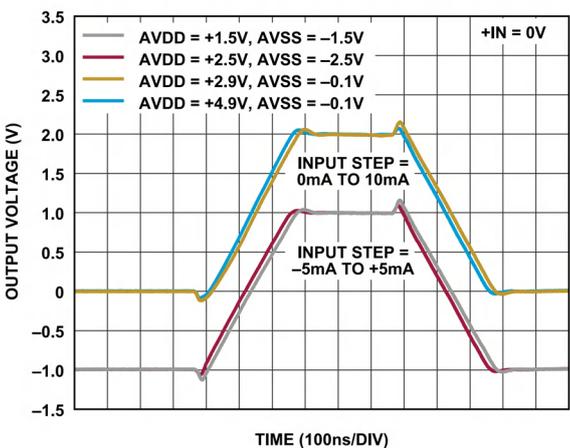


図 68. 様々な電源電圧での大信号ステップ応答、  
 $C_{IN}$  = 10pF、 $R_F$  = 200 $\Omega$

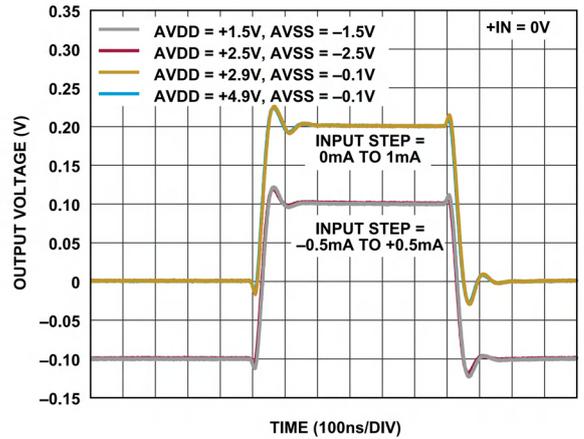


図 71. 様々な電源電圧での小信号ステップ応答、  
 $C_{IN}$  = 10pF、 $R_F$  = 200 $\Omega$

代表的な性能特性

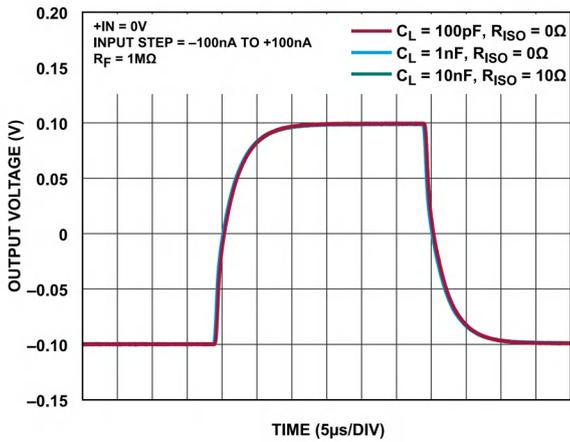


図 72. 様々な容量性負荷 ( $C_L$ ) および直列アイソレーション抵抗 ( $R_{ISO}$ ) 値に対する小信号応答、 $R_F = 1\text{M}\Omega$

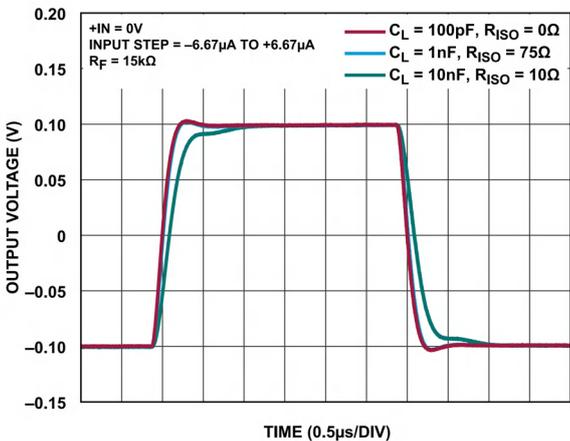


図 73. 様々な  $C_L$  値および  $R_{ISO}$  値に対する小信号応答、 $R_F = 15\text{k}\Omega$ 、 $C_{F,EXT} = 5.6\text{pF}$

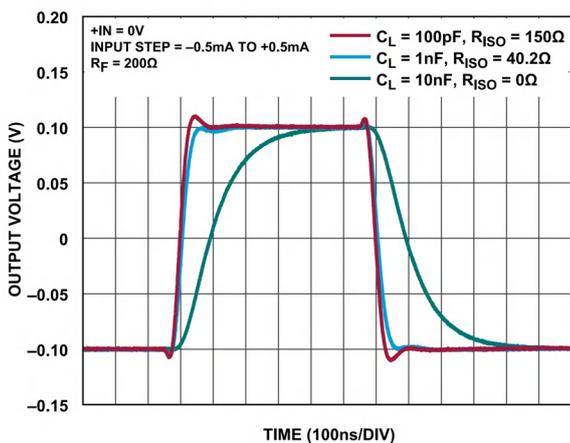


図 74. 様々な  $C_L$  値および  $R_{ISO}$  値に対する小信号応答、 $R_F = 200\Omega$ 、 $C_{F,EXT} = 47\text{pF}$

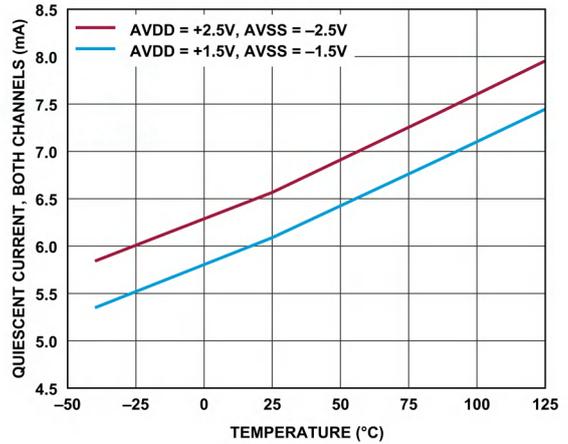


図 75. AVDD 静止電流 (両チャンネル) と温度の関係

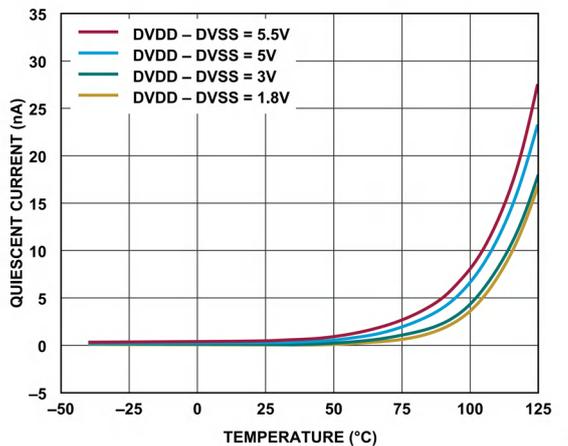


図 76. DVDD 静止電流と温度の関係

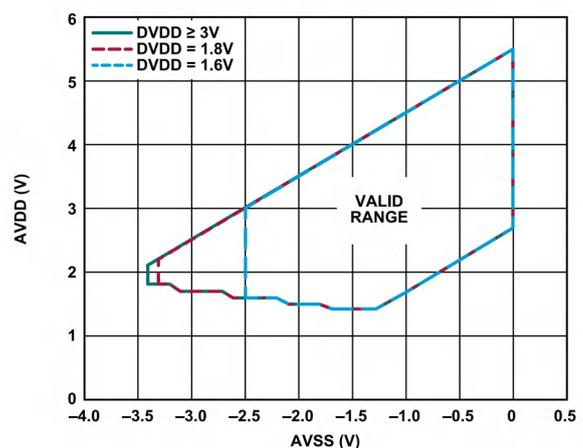


図 77. DVSS 以下の AVSS の有効動作範囲、 $DVSS = 0\text{V}$

## 動作原理

## 概要

ADA4351-2は、小型、デュアルチャンネル、高精度のPGTIAであり、PGTIA シグナル・チェーンに関連する誤差の最小化によりシステムのダイナミック・レンジを最大化すると同時に、PCB フットプリント要件の全体的な削減ができるように設計されています。メイン・アンプは、温度範囲全体にわたる低オフセット電圧と、低ノイズ、低入力バイアス電流を実現し、A/Dコンバータ (ADC) を直接駆動するように設計されています。2つのフィードバック経路のうちの1つを選択するために使用される独自の低オフリーク電流スイッチは、同様のサイズおよびオン抵抗を持つ代表的な CMOS スイッチよりも高い性能を示します。このスイッチは、ケルビン構成で配置されており、CMOS スイッチのオン抵抗の非直線的な挙動を伝達関数から除去します。2つの可能な外部フィードバック経路と直接 ADC 駆動により、このデュアルチャンネル PGTIA は、ディスクリート・ソリューションと比較して、PCB のフットプリント要件を大幅に削減します。更に、PGTIA は、約 10pF のソース・キャパシタンス ( $C_S$ ) を想定して、50k $\Omega$  を超えるゲインに対して 3pF の内部フィードバック・コンデンサで内部補償されます。これにより、ほとんどの場合、外部補償コンデンサは不要になり、必要な PCB フットプリントが更に縮小されます。

アナログ回路は、レール to レール出力段および負レール入力段を用いて、単電源 (+2.7V~+5.5V) または両電源 ( $\pm 1.35V \sim \pm 2.75V$ ) のいずれかで動作し、一方向または双方向の入力電流信号に対して柔軟に対応すると共に、最大 5.5V の電圧リファレンスで ADC を直接駆動します。デジタル入力 (スイッチ制御) は、1.62V~5.5V の電源で動作し、デジタル電源 (DVSS と DVDD) に印加された電圧に基づいて、標準ロジック・レベル (1.8、3.3 または 5) と直接インターフェイス接続します。ロジック・ローまたはハイ値 ( $V_{IH}/V_{IL}$ ) に必要な電圧レベルは、対応するデジタル・レール (DVSS と DVDD) に対するデジタル入力電圧 (SW SEL) に基づいています。

ADA4351-2 のチャンネル A とチャンネル B のスイッチは、それぞれ SW SEL A と SW SEL B のデジタル入力によって制御されます。ロジックの低閾値と高閾値は、デジタル電源電圧 (DVSS と DVDD、詳細については表 1 と表 2 を参照) に基づいています。ADA4351-2 には、アナログ電源レンジとは別にスイッチ・ロジックを柔軟に制御できるように、デジタル電源が内蔵されています。これらの 2 つの電源レンジが通常は同じではないためです。ADA4351-2 は、スイッチ制御信号をデジタル領域からアナログ領域に変換するためのレベル・シフト回路を搭載しており、ディスクリート・ソリューションと比較して構造を単純化します。2つの内部スイッチ選択はメイクビフォアブレイクであり、スイッチング中に閉フィードバック・ループを維持して、そうでなければ発生する出力オーバードライブ・グリッチを除去します。

ADA4351-2 内の 2 つのアンプは交換可能なため、用語の定義を簡略化するために、 $R_{F1}$ 、 $R_{F0}$ 、 $SW_0$ 、 $SW_1$ 、 $SW_{SEL}$ 、 $+IN$ 、 $-IN$  は、チャンネル A またはチャンネル B に関するものとなっています。 $V_{OUT}$  は OUTA または OUTB に関するもので、各チャンネル内で  $R_F$  は、 $R_{F1}$  または  $R_{F0}$  を表します。

## PGTIA の誤差

## PGTIA の測定

ADA4351-2 は、200 $\Omega$  から 10M $\Omega$  超までの TIA ゲインの高精度トランスインピーダンス測定用に設計されています。TIA ゲインの両極端では、異なる競合誤差源が支配的なため、ADA4351-2 は、どのようなゲイン構成にも最適になるように設計されています (詳細については、[スイッチのオフ・リーク電流](#)のセクションを参照)。TIA ゲイン値が低い場合は、主要な出力 DC 誤差源は入力オフセット電圧であり、TIA ゲイン値が高い場合は、主要な出力 DC 誤差源は入力バイアス電流およびスイッチのオフ・リーク電流です。次のセクションでは、PGTIA 回路での主な誤差について説明します。

PGTIA 回路 (図 78 参照) は、電流源を有する容量性センサー (すなわち、フォト・ダイオード) が閉ループ・オペアンプの反転ジャンクションに接続されているというモデルを用います。この仮想グラウンドは、 $+IN$  バイアス電圧をダイオード・バイアス電圧の一部となる反転加算ジャンクションに通過させ、また、出力ピンからフィードバック抵抗を流れるフォト・ダイオード電流のすべてをシンクします。フォト・ダイオードは、電流源と並列のシャント容量 ( $C_D$ ) およびシャント抵抗 ( $R_{SH}$ ) としてモデル化されます。センサーからの任意の信号電流は、PGTIA の選択されたフィードバック経路を通して流れます。ここで、PGTIA の理想的な伝達関数は、( $R_{F0}$  ゲイン経路が選択されているため)  $V_{OUT} = \text{ダイオード電流} (I_D) \times R_{F0}$  です。大きな逆バイアス電圧 ( $-V_B$ ) が印加された場合のように、フォト・ダイオードの DC 暗電流 ( $I_{DARK}$ ) が大きい場合には、それもソース・モデルに含めることができます。

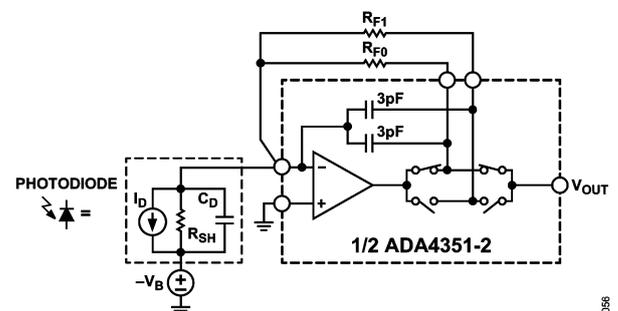


図 78. PGTIA 回路

## オフセット電圧

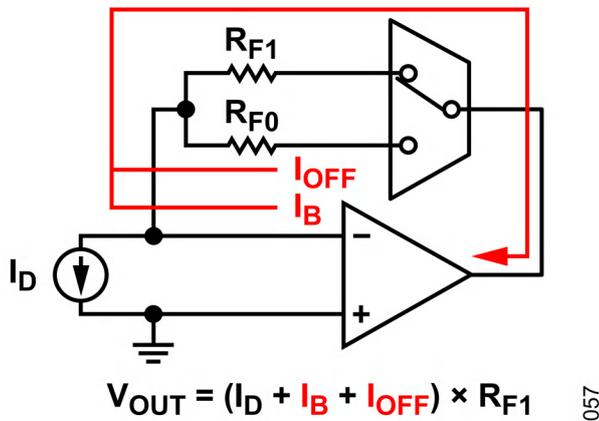
PGTIA におけるアンプのオフセット電圧は、低ゲインでのシステムにおける最小検出可能信号を制限します。アンプの PGTIA オフセットによる TIA の出力での誤差は、アンプの (DC) ノイズ・ゲイン (代表的な反転アンプでは  $1 + R_F/R_{SH}$ ) によって増幅されます。ここで、 $R_{SH}$  は、フォト・ダイオード・モデルにおける任意のシャント抵抗です。 $R_{SH} \gg R_F$  の場合、これは 1 に減少します。このオフセットは電圧の誤差であるため、すべての TIA ゲインに対して ADC の使用し得る正確なコードに同様の影響を与えます。ADA4351-2 は、パッケージ内でオフセットおよびオフセットドリフトの独自の調整機能を使用しており、25 $^{\circ}C$  で最大 100 $\mu V$  のオフセット電圧と、5V 電源で  $-40^{\circ}C \sim +125^{\circ}C$  の範囲で 0.85 $\mu V/^{\circ}C$  のドリフトを実現できます。

動作原理

例えば、4.5Vのリファレンスを使用する16ビットADCのステップ・サイズは、68.7μVです。R<sub>SH</sub> = 10MΩ、R<sub>F</sub> = 1MΩの場合、出力換算オフセットは100μV × (1 + 1MΩ/10MΩ) = 110μVとなり、同じ回路でR<sub>F</sub> = 1kΩの場合は、25°Cで最大100.01μVの出力換算オフセットとなります。いずれの場合も、出力換算オフセットは2コードより小さく、これはオフセット電圧による出力誤差が、R<sub>F</sub>値に対して相対的に固定されていることを示しています。±0.85μV/°C (-40°C~+125°C) という最大値は、-40°C~+125°Cの全範囲にわたって最大140μVのシフト、つまり最も厳しい場合で2コード誤差をもたらします。

入力バイアス電流

TIAゲイン (R<sub>F</sub>) または+INソース抵抗 (R<sub>S</sub>) が、この比較的小さな入力オフセット電圧関連誤差を上回るほど大きい場合、入力バイアス電流 (I<sub>B</sub>) が、合計出力DC誤差に加算されます。これらの入力バイアス電流は、T<sub>J</sub>と共に指数関数的に増加し、105°C未満で動作させることが、精度向上のための代表的な制約事項となります。反転入力では、I<sub>B</sub>に、非アクティブ・チャンネルからのスイッチのオフ・リーク電流 (I<sub>OFF</sub>) が加算され (図79参照)、非アクティブ・フィードバック・チャンネルからアクティブ・チャンネルに逆加算されます。非アクティブ・チャンネルにフィードバック抵抗が取り付けられていない場合は、この加算項は無視します。±70pAの反転入力バイアス電流 (-40°C~+105°C) に最大±50pAのスイッチのオフ・リーク電流を加算すると、R<sub>F</sub>値が100μV/120pA = 883kΩより大きい場合、100μVの最大オフセット電圧誤差よりも大きな出力誤差が加算されます。



$$V_{OUT} = (I_D + I_B + I_{OFF}) \times R_{F1}$$

図 79. スイッチド・ゲイン・トランスインピーダンス・アンプの誤差電流

同様に、バイアス電流により生じる誤差が100μVのオフセット電圧誤差より小さい場合は、非反転入力からの入力バイアス電流 (-40°C~+125°Cで最大110pA) によるTIA回路への影響は無視できます。このような状況は、センサー出力インピーダンス (R<sub>S</sub>) が100μV/110pA = 909kΩより小さい場合に発生します。図80に示すように、ADA4351-2を用いて、非反転入力が高インピーダンス電圧センサーを測定する場合、これは当てはまらない可能性があります。その代わりに、入力バイアス電流は、センサー出力インピーダンスにバイアス電流を乗算したものに等しい非反転入力における電圧誤差を生じます。この電圧誤差は、入力オフセット電圧誤差に加算され、回路の非反転信号ゲイン (1 + R<sub>F</sub>/ゲイン抵抗 (R<sub>G</sub>)) によって増加されて出力されます。

DC誤差に対する入力バイアス電流の寄与は通常、設計上の制約として些細なものであり、多くの場合、オフセット電圧の寄与によって支配されることに留意してください。

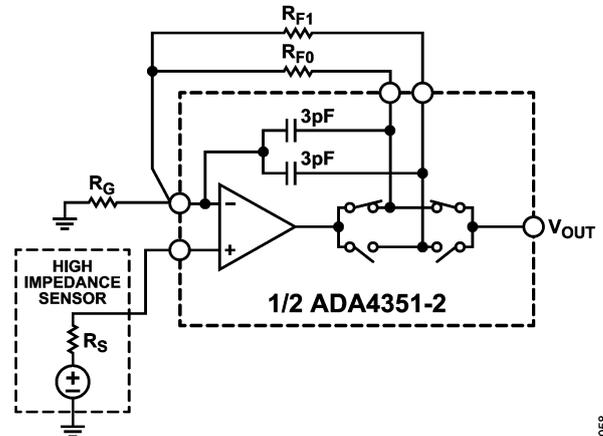


図 80. ADA4351-2 を用いた非反転入力での高インピーダンス電圧出力センサーの測定

通常、CMOS入力デバイスを備えたアンプの場合、入力バイアス電流は静電放電 (ESD) 保護ダイオードによって支配されます。ADA4351-2では、図81に示すように、入力保護ダイオードは、これらの保護ダイオードの逆バイアス・リーク電流を低減するためにブートストラップされており、その結果、所定の低い入力バイアス電流が生じます。

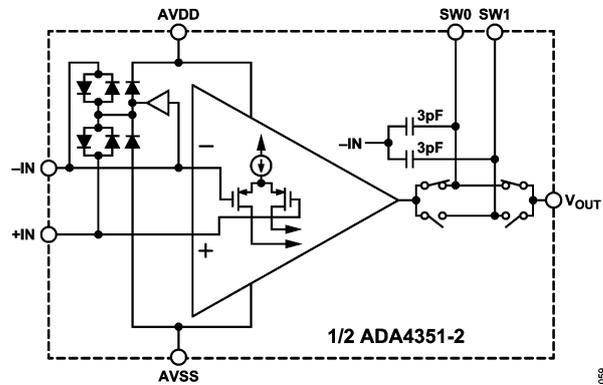


図 81. ブートストラップされた ESD 保護ダイオードを用いた入力バイアス電流の低減

温度が上昇すると、ESD保護ダイオードによる入力バイアス電流は指数関数的に増加します。反転入力 ADA4351-2の入力バイアス電流は、5V電源で105°Cまでは70pA以下です。最大入力オフセット電圧が100μVの場合、この誤差項はR<sub>F</sub> < 1.42MΩの場合に、V<sub>OS</sub>より小さくなります。この最大入力バイアス電流は、-40°C~125°Cの全範囲にわたって100pAまで増加し、出力電圧にさらなる誤差が加算されます。

動作原理

スイッチのオフ・リーク電流

PGTIA では、スイッチの  $I_{OFF}$  も、システム内の合計誤差電流に加算されます。 $I_{OFF}$  は、温度と共に指数関数的に増加します。CMOS スイッチでは、オン抵抗 ( $R_{ON}$ ) と  $I_{OFF}$  はトレードオフの関係にあります。小さな  $R_F$  値の使用が必要なシステムでは、 $R_{ON}$  が小さなスイッチを使用してゲイン誤差を最小限に抑えます。しかし、 $R_F$  値が大きいシステムは、 $I_{OFF}$  に対してはるかに敏感であり、より低い  $I_{OFF}$ 、したがって、より大きな  $R_{ON}$  を有するスイッチが必要になります。CMOS スイッチのもう 1 つの重要な側面は、電源レールの近くでスイッチを動作させるときの  $I_{OFF}$  です。代表的な CMOS スイッチは、電源レールから 0.5V 以内で動作するとき過度のリーク電流を示します。したがって、リーク電流は通常、この領域では規定されません。ADA4351-2 は、(小さい  $R_{ON}$  を考慮して)  $I_{OFF}$  が小さいスイッチを有するだけでなく、低リーク性能がレールから 0.1V まで拡張されており、TIA 回路の使用可能範囲を拡大します。

チャンネル選択にケルビン接続を用いた TIA ゲイン精度の向上

代表的なスイッチド・ゲイン TIA は、スイッチを様々なフィードバック抵抗と直列に配置します (図 82 参照)。したがって、スイッチのオン抵抗はトランスインピーダンス・ゲイン機能の一部です。ADA4351-2 で使用されている改良型ケルビン方式 (図 83 参照) では、スイッチの半分がループ内に配置され、ケルビン接続が可能になります。図 83 に示す左側のスイッチのオン抵抗は、開ループ出力インピーダンスの一部となり、アンプのループ・ゲインによって補正されます。TIA において 158dB の代表的な開ループ・ゲイン ( $A_{OL}$ ) と 1 の DC ノイズ・ゲインを用いると、 $19\Omega$  の最大オン抵抗は、出力に対して  $19\Omega / (1 + 10^{158/20}) = 0.24\mu\Omega$  の非常に小さな誤差項を付加します。負荷電流がないと仮定すると、右側のスイッチのオン抵抗は IR 降下に寄与しないため、出力における電圧は  $I_D \times R_F$  となります。SW0 ピンと SW1 ピンの内部直列抵抗は、それぞれ  $0.2\Omega$  と  $0.56\Omega$  です。寄生抵抗による誤差を最小限に抑えるために、外部  $R_F$  値の低い方を内部抵抗の低い方のピン (SW0) に接続します。

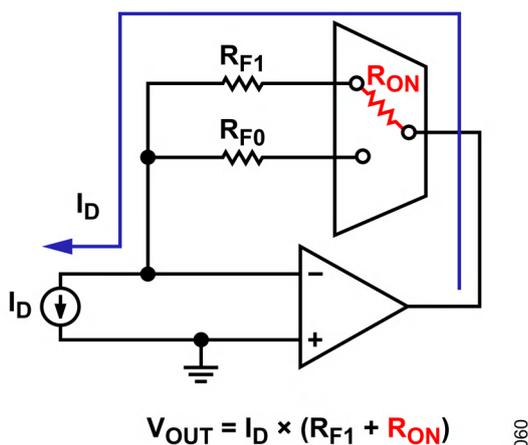


図 82.  $R_{ON}$  による誤差のあるスイッチド・ゲイン・トランスインピーダンス・アンプ

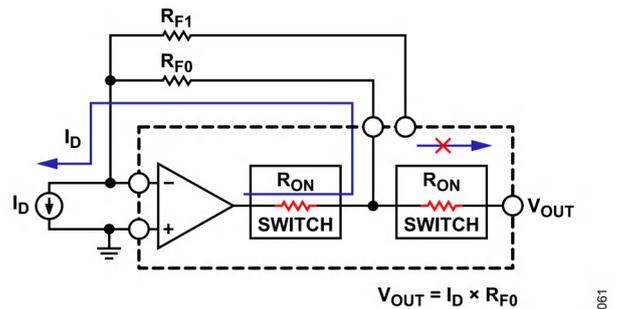


図 83. ケルビン・スイッチングのあるスイッチド・ゲイン・トランスインピーダンス・アンプ

従来のようにスイッチを  $R_F$  と直列接続した場合、スイッチの  $R_{ON}$  は、温度および信号レベルに対して変化する可能性があります。これもまた、ゲイン誤差ドリフトおよび非直線性をもたらすことがあります。

ケルビン検出の 2 つのトレードオフは、 $I_D \times R_{ON}$  によるヘッドルームの喪失と、非アクティブなフィードバック抵抗を介して加算ジャンクションにフィードバックする並列のオフ・スイッチがあることによる  $I_{OFF}$  の寄与です。ヘッドルームの喪失は、ADA4351-2 内のスイッチの小さい  $R_{ON}$  (5V で  $11\Omega$ ) によって最小限に抑えられます。更に、ADA4351-2 における並列スイッチの合計  $I_{OFF}$  は、代表的なディスクリート CMOS スイッチよりはるかに低くなります。

直線出力電圧範囲に関する考慮事項

大半のフォト・ダイオード・アンプのアプリケーションは単電源です。ADA4351-2 入力ピンは負の電源にインギンできますが、出力段はどちらかの電源レールの 0.1V 以内で直線性を失い始めます。フィードバック抵抗  $R_F$  を  $10k\Omega$  より大きくし、最適な直線性を得るために、最大出力振幅が正電源 ( $AVDD$ ) より 0.1V 小さくなるように設計します。200 $\Omega$  まで TIA ゲインを小さくした場合では、アンプ・ループ内のチャンネル選択スイッチを介して追加される IR 降下に対応するために、正の出力ヘッドルームの追加が必要になります。この影響を含む最大使用可能直線出力電圧振幅を控えめに見積ると、次式のようになります。

$$V_{O,MAX} = \frac{AVDD - V_{HR}}{1 + \frac{R_{ON}}{R_F}} \tag{1}$$

ここで、 $V_{HR}$  は無負荷時のヘッドルームです。 $R_{ON}$  はループ内のスイッチの抵抗値です。

例えば、 $-40^\circ\text{C} \sim +125^\circ\text{C}$  の全温度範囲について、 $V_{HR} = 0.1\text{V}$ 、 $R_{ON} = 33\Omega$  (3V 時) と  $19\Omega$  (5V 時) と仮定します。3V と 5V の場合の出力ヘッドルームと  $R_F$  曲線の関係を図 84 に示します。最小の DC 誤差で最高の信号経路直線性を維持するために、これらの影響を慎重に考慮してください。

前の例では、負荷がないと仮定しているため、図 83 の右側のスイッチでは IR 降下は発生しません。負荷がある場合は、出力と直列のループの外側にある右側のスイッチを介した IR 降下もあります。

動作原理

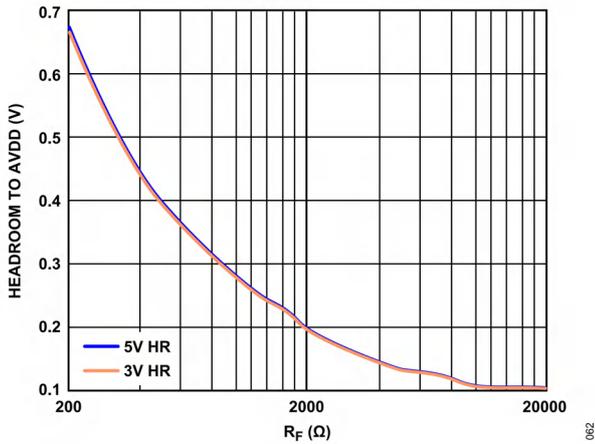


図 84. AVDD への出力ヘッドルーム (HR) と  $R_F$  の関係

メイン・アンプ (CMOS)

レール to レール出力段

一方入力信号を有する単電源構成の TIA の場合 (図 85 参照)、最小検出可能信号は、アンプの入力および出力振幅限界による直接的影響を受けます。この回路が最高の直線性を維持するためには、リファレンス電圧  $V_{REF}$  (非反転入力) に 0.1V 以上でバイアスをかけて、負電源よりも 0.1V 高い出力ヘッドルームを満たす必要があります。

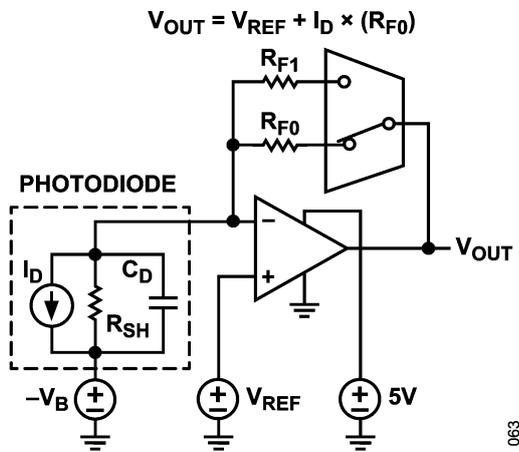


図 85. ADA4351-2 の単電源動作

出力を GND にスイングできるようにするには、アンプのアナログ部分を、GND より低い負の電源、通常  $-0.2V \sim -0.5V$  で動作させる必要があります。ADA4351-2 には、DVDD と DVSS という別々のデジタル電源があるため、ロジック閾値レベルはアナログ電源には依存しません。そのため、アナログ部分は、分離電源または GND よりわずかに低い負電源で動作できます。ADA4351-2 は、レール to レール出力段を備えており、電源から 100mV 以内まで  $A_{OL} > 110dB$  で動作できます。これにより、システムに柔軟性がもたらされ、設計上の制約が緩和されます。

底部レール入力段

図 85 に示した  $V_{REF}$  は、メイン・アンプの入力コモンモード電圧範囲の制約を受けます。単電源構成では、 $V_{REF}$  が最小出力電圧値を設定するため、ダイナミック・レンジは  $V_{REF}$  と最大 ADC 入力電圧の間に制約されます。ADA4351-2 は、PMOS 入力差動ペアを備えており、アナログ入力を AVSS にスイングさせることができます。AVSS は DVSS よりも 0.5V 低く設定できます。TIA 設計では、入力の両端の入力コモンモード電圧が正電源に近づくことは、一般的ではありません。ADA4351-2 入力段では、正電源に 1.5V のヘッドルームが必要になります。レール to レール入力に対応する別の方法は、入力段に電源より大きなバイアスをかけるために、2 つ目の入力ペアを追加すること、またはオンボード・チャージ・ポンプを追加することです。しかし、第 1 の方法では、クロスオーバー領域に大きなオフセット電圧が発生し、第 2 の方法では、静止電力とスイッチング・ノイズが設計に追加されます。

低ノイズ動作

トランスインピーダンス・アンプでは、オペアンプ入力電圧ノイズが低いことが特に重要です。低周波数では、ノイズ・ゲインは 1V/V に近い値になります。しかし、より高い周波数では、ノイズ・ゲインは  $C_S$  によってゼロから増加します (TIA 設計理論のセクションを参照)。更に、より高い周波数ではより多くのノイズが (1 桁ごとに) 積分され、これが合計出力積分ノイズに寄与します。通常、ノイズと消費電力の間には設計上のトレードオフがありますが、ADA4351-2 が寄与する広帯域ノイズは、 $7.3nV/\sqrt{Hz}$  で、必要な電流はチャンネルあたり 3.3mA のみです。

## 動作原理

### 電流ノイズ

大きなトランスインピーダンス・ゲインを用いる場合、メイン・アンプの電流ノイズが、システムにおけるノイズの主要な発生源になることがあります。電流ノイズはフィードバック抵抗を通して流れ、電圧（電流ノイズ  $\times R_F$ ）として出力に現れます。TIA におけるリーク電流とバイアス電流エラーと同様に、電流ノイズはより高い TIA ゲインでより支配的になります。また、フォト・ダイオードが逆バイアスされている場合、その暗電流ノイズの影響を考慮しなければならず、これは、場合によっては、支配的な電流ノイズ項になり得ます。

CMOS アンプでは、入力バイアス電流ノイズは周波数と共に増加するため、合計積分ノイズに大きな影響を与えることがあります。ADA4351-2 は、電流ノイズが低くなるように設計されていますが、電流ノイズは周波数と共に増加します。最も厳しい場合の高周波ノイズを表すために、[フォト・ダイオード回路設計ウィザード](#)では、10kHz~100kHz で 110fA/ $\sqrt{\text{Hz}}$  の平坦な電流ノイズ・スペクトル密度が用いられています。

1M $\Omega$  の TIA ゲインを使用すると、出力における抵抗自体のジョンソン・ノイズは 127nV/ $\sqrt{\text{Hz}}$ （室温）となり、一方、アンプの 110fA/ $\sqrt{\text{Hz}}$  の電流ノイズ・スペクトル密度に 10kHz での TIA ゲインを乗算すると、同等の 110nV/ $\sqrt{\text{Hz}}$  となります。大半のアプリケーションでは通常、これらのノイズ源よりも電圧ノイズの寄与の方が支配的になります（[トランスインピーダンス・アンプに対するノイズの影響](#)のセクションを参照）。

アプリケーション情報

TIA 設計理論

ADA4351-2 は、低入力バイアス電流と 8.5MHz のゲイン帯域幅積により、プログラマブル・ゲイン・フォト・ダイオード・アンプのアプリケーションに効果的なソリューションを提供します。図 86 に、利用可能な 2 つの可能なフィードバック・チャンネルのうちの 1 つを用いた代表的な設計セットアップを示します。図 86 の例は、図 96 に示す 15kΩ の抵抗、100pF のフォト・ダイオード容量 (C<sub>D</sub>)、16pF の外部フィードバック容量 C<sub>F,EXT</sub> の場合の外部 RC 値を示しています。

過補償応答のあるトランスインピーダンス設計の例

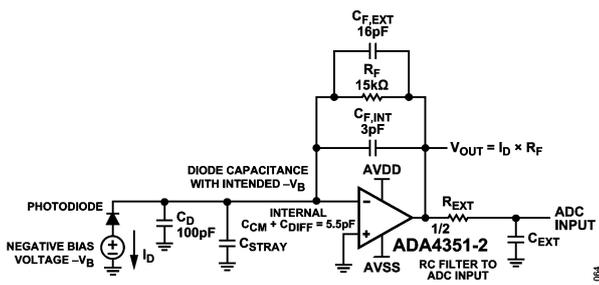


図 86. 図 96 に示す過補償周波数応答が得られるトランスインピーダンス設計の例

トランスインピーダンス設計では、フォト・ダイオード容量とアンプのレイアウト寄生容量および内部寄生容量を考慮に入れる必要があります。フォト・ダイオードのシャント抵抗 (R<sub>SH</sub>) は通常、R<sub>F</sub> よりも数桁大きく (R<sub>SH</sub> >> R<sub>F</sub>)、設計では通常無視されます。ユーザが選択したダイオード・データシートの曲線を用いて、逆バイアス電圧 (-V<sub>B</sub>) での C<sub>D</sub> を決定します。反転入力における合計ソース・キャパシタンス (C<sub>S</sub>) は、以下のとおりです。

$$C_S = C_D + C_{CM} + C_{DIFF} + C_{STRAY}$$

ここで、  
C<sub>CM</sub> は内部のコモンモード容量です。  
C<sub>DIFF</sub> は、(C<sub>CM</sub> + C<sub>DIFF</sub> = 5.5pF となる) 内部の微分容量です。  
C<sub>STRAY</sub> は PCB による浮遊容量です。

以下のように合計 C<sub>F</sub> を計算します。

$$C_F = C_{F,EXT} + C_{F,INT}$$

ここで、  
C<sub>F,EXT</sub> は外部フィードバック容量です。  
C<sub>F,INT</sub> は ADA4351-2 の 3pF の内部フィードバック容量です。

DC ゲインは R<sub>F</sub> 値によって設定されます。全体的な周波数応答は、互いに影響を及ぼす複数の周波数要素によって決定されま

す。特性周波数 (f<sub>0</sub>) を近似するために、図 87 の Z1 によって与えられる R<sub>F</sub> と C<sub>S</sub> が作るノイズ・ゲイン・ゼロの幾何平均とアンプの GBP を計算します。設計によっては、(フィードバック極 P1 を特性周波数よりもはるかに低くして) 単極に対し閉ループ応答を強制できますが、大半の設計では、ターゲット帯域幅に対して可能な限り高いゲインを駆動しようとするか、またはターゲット R<sub>F</sub> に対して可能な限り高い帯域幅を駆動しようします。図 87 は、オペアンプの単極開ループ応答とそれに重ね合わされた帰還分圧器の逆数 (1/β) のループ・ゲイン・ボード線図における、これらの主要な周波数を示しています。この 1/β は、ノイズ・ゲイン周波数応答であり、7.3nV/√Hz の入力電圧ノイズに対し周波数とゲインの関係を示すものでもあります。

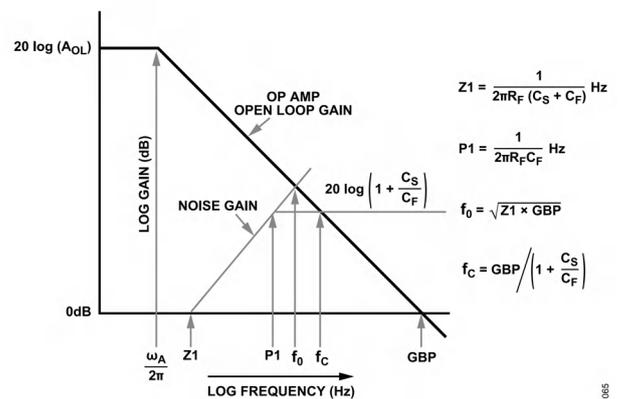


図 87. 任意のトランスインピーダンス・アンプ設計のループ・ゲイン・プロット

C<sub>S</sub> は C<sub>F</sub> よりもはるかに大きい場合が多いため、Z1 の式から C<sub>F</sub> を除外すると良い近似になります (図 87 参照)。この状況では、P1 と f<sub>0</sub> の式は互いに独立しているため、f<sub>0</sub> に大きな影響を与えることなく P1 を調整できます。通常、P1 は f<sub>0</sub> より小さくなり、古典的な 2 次応答を与える 2 つの実数極 (Q ≤ 0.5) または複素極 (Q > 0.5) のいずれかを有する閉ループ 2 次応答を生成します。図 86 の過補償設計の例は、図 88 のこれらのループ・ゲインの大きさ成分を示します。A<sub>OL</sub> は開ループの単極ゲイン応答であり、ノイズ・ゲインは DC で 0dB から始まり、約 101kHz (ノイズ・ゲイン・ゼロ、Z1) で増加し、P1 = 573kHz で 1 + C<sub>S</sub>/C<sub>F</sub> = 1 + 105.4pF/19pF = 6.5V/V (または 16.3dB) によって設定されたより高いノイズ・ゲインとなって平坦に戻り、図 89 に示すように大きな位相マージンで A<sub>OL</sub> 曲線と交差します。f<sub>0</sub> の近似値は √(8.5MHz × 101kHz) = 926kHz となり、結果として得られる閉ループ・トランスインピーダンス応答 (図 88 参照) は、このテスト回路で、Q ≈ 0.62 に対するロール・オフ応答を示し、f<sub>-3dB</sub> ≈ 745kHz となります。C<sub>S</sub> > 5 × C<sub>F</sub> の場合の良い近似では Q ≈ (P1/f<sub>0</sub>) となり、ここで 573kHz/926kHz = 0.62 = Q となります。

アプリケーション情報

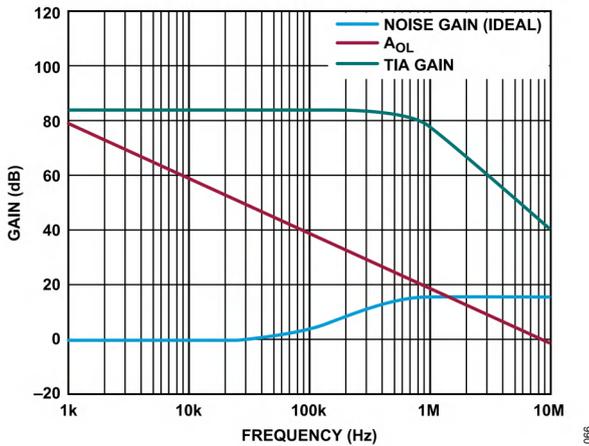


図 88. 図 86 の過補償応答の場合のループ・ゲイン要素と閉ループ・トランスインピーダンス周波数応答

ここでのノイズ・ゲインは、約 1.1MHz で ADA4351-2 の AOL 曲線と交差し、この時点で図 89 に示すようにループ・ゲインは 0dB となり、ループゲイン位相曲線は安定した 71° の位相マージンを示します。ADA4351-2 の開ループ応答におけるより高い周波数の極は、この位相マージンをわずかに減少させますが、それでも安定した構造が得られます。

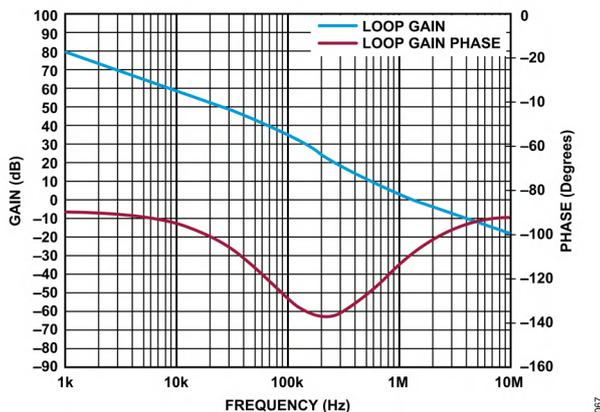


図 89. 図 88 の設計の場合のループ・ゲインの大きさおよび位相

一般に、設計の良い出発点は、式 2 に示すようにフィードバック極を定めることです。単位は Hz です。フィードバック極 P1 を  $0.707 \times f_0$  に定めると、近似的なバターワース応答が得られ、わずか 4% のステップ応答オーバーシュートで最大限に平坦な閉ループ応答が得られます。

$$P1 = \frac{1}{2\pi R_F C_F} = \sqrt{\frac{GBP}{4\pi R_F C_S}} = \frac{f_0}{\sqrt{2}} \quad (2)$$

P1 を式 2 に示すように定める場合、閉ループ・トランスインピーダンス応答の周波数は、 $f_{-3dB} \approx f_0$  となります。

高ゲイン、低帯域幅のトランスインピーダンス設計の例

より高いゲインのために図 86 に示す設計を再度実行し、P1 をバターワース閉ループ設計に近似するように設定すると、図 90 に示す設計が得られます。

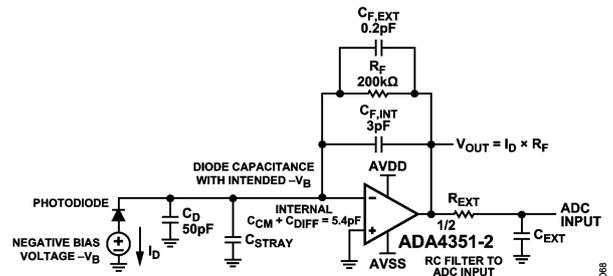


図 90. 高ゲイン、低帯域幅のバターワース設計の例 ( $C_D = 50\text{pF}$ )

この簡略設計式は、ここにあるように、 $C_S > 5 \times C_F$  の場合に有効です。これらの条件下では、近似的なゼロである Z1 は、 $1/(2\pi \times 200\text{k}\Omega \times 55.4\text{pF}) = 14.4\text{kHz}$  です (これは、図 87 に示す Z1 式で  $C_F$  を無視しています)。

特性周波数はおおよそ次のとおりです。

$$f_0 = \sqrt{GBP \times Z1} = \sqrt{8.5 \text{ MHz} \times 14.4 \text{ kHz}} = 348 \text{ kHz} \quad (3)$$

フィードバック極を  $0.707 \times f_0 = 246\text{kHz}$  に定めると、結果として生じる  $f_{-3dB}$  は、ほぼ  $350\text{kHz} = f_0$  になるはずですが、図 90 の更新した設計のためにループ・ゲインおよび応答形状曲線を再実行すると、図 91 に示すように、 $f_{-3dB} = 340\text{kHz}$  と非常によく一致した平坦なバターワース応答を示します。この例で必要とされるフィードバック・コンデンサは、大部分が内部 3pF ( $C_{F,INT}$ ) であり、図 90 に示す 200kΩ のフィードバック抵抗の両端にかかる外部容量の 0.2pF は、表面実装抵抗の寄生容量にほぼ等しくなります。

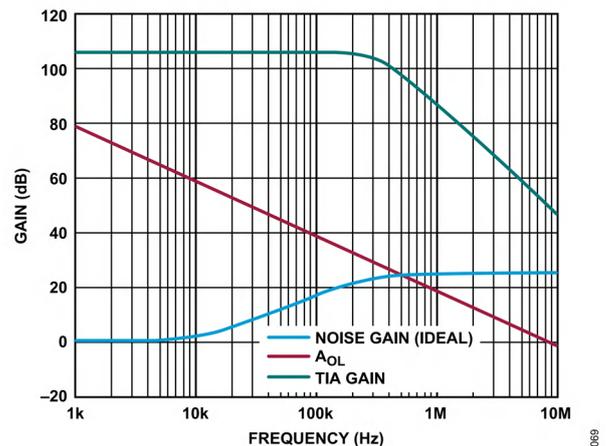


図 91.  $R_F = 200\text{k}\Omega$  のバターワース応答のための再設計された TIA 設計 ( $C_D = 50\text{pF}$ )

アプリケーション情報

バターワース解法を続けると、ターゲットの  $f_{-3dB}$  帯域幅と  $C_S$  が与えられた場合の最大達成可能ゲインの簡単な式は、次のように導出できます。

$$R_{F,MAX} = \frac{GBP}{(f_{-3dB})^2 2\pi C_S} \quad (4)$$

逆に、式 3 は、バターワース応答を達成するために、ターゲット  $R_F$  の最大  $f_{-3dB}$  について解くことができます。または、式 3 を用いて、目的の  $R_F$  および  $f_{-3dB}$  に必要な最小 GBP について解くことができます。

一般に、2 次閉ループ応答の任意の Q を得るために P1 (フィードバック極) を配置するには、単に  $P1 = Q \times f_0$  を設定すれば良く、これは、 $C_S > 5 \times C_F$  となる設計でより適切になります。 $f_0$  は主として  $C_S$  とアンプの GBP によって決定されるため、任意の Q に対して得られる  $f_{-3dB}$  は次式で与えられます。Q = 0.707 で次式を評価すると、比 1 が得られます。第 1 の設計例について、Q = 0.62 かつ  $R_F = 15k\Omega$ 、 $C_D = 100pF$ 、および  $C_F = 16pF$  として次式を評価すると、0.85 が得られます。これにより、 $f_{-3dB} = 0.85 \times 926kHz = 782kHz$  となり、745kHz (実際値、図 88 参照) に近い値となります。

$$\frac{f_{-3dB}}{f_0} = \sqrt{\left(1 - \frac{1}{2Q^2}\right) + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1}} \quad (5)$$

これらは大まかなガイドラインであり、 $C_F$  値をわずかに調整することで、設計を目的の周波数応答形状および/またはパルス応答に調整できます。

トランスインピーダンス・アンプに対するノイズの影響

フォト・ダイオード TIA アプリケーションには、電流ノイズ・フロア (出力換算) を定める 3 つの主なノイズ源があります。これら 3 つのノイズ源は、次のとおりです。

1. フィードバック抵抗のジョンソン・ノイズ
2. アンプの入力バイアスまたはリーク電流による電流ノイズ
3. 入力電圧ノイズがオペアンプの出力に及ぼす影響

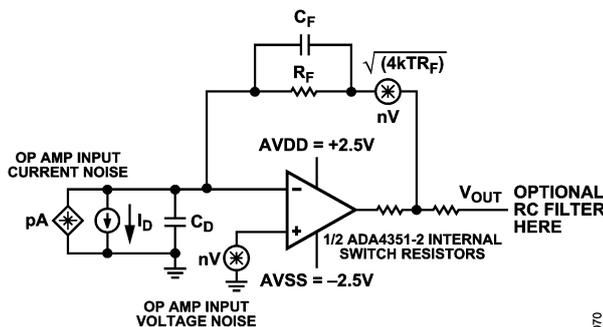


図 92. ADA4351-2 のノイズ源

これらのノイズ源の各々は、SW0 ピンまたは SW1 ピンの出力に換算されます。これらのノイズ源のスペクトル密度は、それぞれのノイズ帯域幅にわたって積分され、次に、二乗平均平方根をとると、合計出力積分ノイズが得られます。

- ▶ フィードバック抵抗は、 $\sqrt{4kTR_F}$  によって与えられる温度依存性のあるジョンソン・ノイズを生成し、その結果、出力に 1V/V のゲインが生じ、フィードバック極 P1 によって帯域が制限されます。このノイズ源に対する単極ロールオフを算出すると、 $1.57 \times P1$  のノイズ電力帯域幅 (NPBW) が得られます。4kT の良好な開始点は  $1.65 \times 10^{-20}$  (25°C) です。
- ▶ オペアンプ自体の入力電流ノイズは、DC 入力バイアスまたはリーク電流によって設定されるショット・ノイズ電流項を有しており、これは低くすることができます。CMOS 入力デバイスの電流ノイズは周波数に対して増加し、周波数に対する最大電流ノイズの概算値は、10kHz~100kHz の領域で  $110fA/\sqrt{Hz}$  の平坦な密度です。この入力バイアス電流ノイズ項の概算値は、 $R_F$  倍することで出力に換算され、抵抗ノイズと同じ  $1.57 \times P1$  のノイズ電力帯域幅を有します。
- ▶  $7.3nV/\sqrt{Hz}$  の入力電圧ノイズのノイズ・ゲインは、TIA ループ・ゲイン・プロットのノイズ・ゲインと同じです (図 87 参照)。したがって、このノイズは、ゲイン 1 で始まり、Z1 (図 87 参照) からフィードバック P1 極までゼロ点が 1 つの応答で増加します。次に、ノイズ・ゲインは、通常は主要な積分ノイズ項である GBP のロールオフまで、 $1 + C_S/C_F$  で平坦になり、出力の後段にフィルタ ( $R_{EXT}$  と  $C_{EXT}$ ) を追加すると、合計出力積分ノイズへの寄与を帯域制限できます。

図 86 に示す過補償設計の例を続けると、各出力ノイズ項は以下のように概算できます。ここで、フィードバック極周波数 P1 は、 $1/(2\pi \times 15k\Omega \times 19pF) = 558kHz$  であり、いくつかの項に使用されるノイズ電力帯域幅は、 $(\pi/2) \times 558kHz = 1.57 \times 558kHz = 877kHz$  です。

1.  $15k\Omega$  の抵抗ノイズのゲインは、SW0 ピンまたは SW1 ピンに対して 1 です。その  $15.7nV/\sqrt{Hz}$  項は、 $15.7nV/\sqrt{Hz} \times \sqrt{877kHz} = 14.7\mu V$  の RMS 出力ノイズ項を追加します。
2. 約  $110fA/\sqrt{Hz}$  の入力電流ノイズは、 $15k\Omega$  の  $R_F$  によって増加し、抵抗ノイズと同じノイズ電力帯域幅を有しています。これは、 $15k\Omega \times 110fA/\sqrt{Hz} \times \sqrt{877kHz} = 1.5\mu V$  RMS です。
3. 入力電圧ノイズは、出力 RMS ノイズ合計に 3 つの項を追加します。ノイズには、Z1 周波数 ( $= 1/(2\pi \times 15k\Omega \times 105.5pF) = 101kHz$ ) まではゲイン 1 の領域があり、次にノイズ・ゲインのピーク領域に続く増加領域 (図 87 参照)、次に P1 からシステム内のより高い周波数の極までの平坦で高いゲイン領域があります。ここでは、GBP との自己制限交差を使用します。
  - a. ゲイン 1 の領域では、 $7.3nV/\sqrt{Hz} \times \sqrt{Z1} = 7.3nV/\sqrt{Hz} \times \sqrt{101kHz} = 23\mu VRMS$  が加わります。
  - b. 立上がり領域は、Z1 から P1 まで積分を実行し、実際の応答形状と同じ電力まで積分する単一出力電圧ノイズ値を減算することによって近似できます。この解は、 $e_n(2\pi R_F C_S P1)/(\sqrt{3}) = e_n(P1/(Z1 \times \sqrt{3}))$  で与えられます。ここで P1 と Z1 の単位は Hz です。図 86 に示す回路と図 96 の過補償応答に対して、この式から数値を求めると、 $23.5nV/\sqrt{Hz}$  の出力における等価な平坦スポット・ノイズ電圧が得られます。それを Z1 から P1 まで積分すると、 $23.5nV/\sqrt{Hz} \times \sqrt{(558kHz - 101kHz)} = 15.9\mu V$  RMS の近似出力積分ノイズの寄与分が得られます。

- c. 次に、 $GBP/(1 + C_s/C_F)$ において、[図 87](#) に示す P1 から最終的な単極ロールオフ ( $f_c$ ) まで、広いスパンにわたって積分される平坦スポット・ノイズが存在します。ここで、高周波ノイズ・ゲイン ( $N_{GHI}$ ) は、 $1 + 105.5pF/19pF = 6.55$  であり、 $GBP/N_{GHI} = 8.5MHz/6.55 = 1.3MHz$  で単極ロールオフが得られます。P1 までのノイズは既に積分されているため、この項による  $6.55 \times 7.3nV/\sqrt{Hz} = 47.8nV/\sqrt{Hz}$  の出力スポット・ノイズの積分スパンは  $\sqrt{(1.57 \times 1.3MHz - 558kHz)}$  となり、 $47.8nV/\sqrt{Hz} \times \sqrt{1.48MHz} = 58.2\mu V$  の RMS 項が得られます。これは極めて支配的な項です。可能であれば、自己制限周波数よりも低いポスト RC フィルタを用いると、この合計積分ノイズを低減し、[図 50](#) に示すスポット・ノイズ電圧を低減できます。

[表 9](#) は、個別の積分ノイズの寄与分の各々と、結合される積分出力ノイズに対するこれらの合計 RMS をまとめたものです。合計出力は、各項を二乗し、それらを合計し、次に再び平方根をとることによって求められます。出力ノイズ電力の寄与分のパーセントは、各項の二乗と合計 RMS ノイズ電圧の二乗との比です。

明らかに、支配的な項は、P1 から 1.3MHz の  $f_{-3dB}$  まで積分される出力スポット・ノイズです。可能であれば、より低い周波数の外部RCフィルタを用いて積分スパンを減少させることにより、合計積分ノイズを迅速に減少することに留意してください。この  $62\mu V$  RMS の近似計算は、[フォト・ダイオード回路設計ウィザード](#) で設定された例とほぼ一致しています。この例では、 $69\mu V$  RMS の合計ノイズが報告されています。

フォト・ダイオードが逆方向にバイアスされている場合、ダイオードには、 $\sqrt{(2q \times I_{DARK})}$  で与えられるノイズ項を加える DC 暗電流  $I_{DARK}$  が存在します。これが存在する場合は、出力へのその RMS 寄与分を計算する前に、入力バイアス電流ノイズ項を用いて、この項の二乗平均平方根 (RMS) をとります。時として、これらはフォト・ダイオード全体の比較的低いシャント抵抗でもあることに留意してください。それが、 $\gg R_F$  でない限り、小さなノイズ項が追加される可能性があります。存在する場合は、そのジョンソン・ノイズ項を求め、 $R_F/R_{SH}$  に等しい出力にゲインを与え、 $R_F$  ノイズに使用されるものと同じノイズ電力帯域幅を適用します。

これらの計算により、信号電流を考慮する前の出力 RMS ノイズ・フロアが得られます。その効果を入力信号からのノイズ源と組み合わせるために、この出力積分ノイズを等価スポット・ノイズとして入力に戻します。これは、 $R_F$  ゲイン要素で除算して実行でき、これにより入力換算積分ノイズを求めることができます。次に、この入力換算 RMS ノイズ電流を、入力電流ノイズ電力帯域幅の平方根で除算します。先に導出した  $62\mu V$  RMS の計算を行うと、まず、 $4.1nA$  RMS の入力換算積分入力ノイズが得られ、次に  $\sqrt{877kHz}$  で除算すると、 $4.4pA/\sqrt{Hz}$  の等価な合計入力換算スポット電流ノイズが得られます。信号電流がゼロから増加するとき、それはまた、バイアス電流ノイズと同じ NPBW を用いて、それ自身の電流ノイズ項を出力に追加します。入力信号の合計入力 RMS ノイズを計算するには、入力信号ノイズの二乗平均平方根 (RMS) と、前述した等価な合計入力換算スポット電流ノイズの RMS を用います。

表 9. 出力での合計 RMS ノイズ電圧に結合される寄与分のまとめ

Separate Output Noise Terms Integrating into the V RMS Pieces	Noise Term	Spectral Density	Integrated Noise Term ( $\mu V$ RMS)	Percent of Output Noise Power
Input Current Noise of the Op Amp	$I_N$	110 fA/ $\sqrt{Hz}$	1.5	0.06%
RF Noise with G =1 to the Output and $1.57 \times P1$ Integrated Bandwidth	$R_F$ term	25.8 nV/ $\sqrt{Hz}$	14.7	5.59%
$e_n$ with G =1 to the Output through Z1	$e_n$ G =1 term	7.3 nV/ $\sqrt{Hz}$	2.3	0.14%
Rising Integrated Equivalent Spot Noise from Z1 to P1	$e_n$ Z1 to P1 integrated	7.3 nV/ $\sqrt{Hz}$	15.9	6.54%
Flat from P1 to Final Single-Pole Roll-Off Frequency ( $f_{-3dB}$ )	$e_n \times N_{GHI}$ P1 to $f_{-3dB}$	24.8 nV/ $\sqrt{Hz}$	58.2	87.67%
RMS Total Output Noise	Not applicable	Not applicable	62.16	Not applicable

アプリケーション情報

個別誤差の見積もり

トランスインピーダンス・アプリケーションにおいて ADA4351-2 が寄与する出力オフセット誤差は、次の 3 つの主な発生源で構成されています： $I_{OFF}$ 、 $I_B$ 、 $V_{OS}$ 。更に、 $CMRR$  と  $PSRR$  に起因する誤差がありますが、これらの誤差は、正確な電源電圧とキャリブレーションを用いて低減できます。トランスインピーダンス・アンプのゲイン誤差はフィードバック抵抗の公差です。

公称電源電圧が 5V の場合、次式により全出力誤差を計算します。

$$\begin{aligned} \text{Output Error (V)} = & V_{OS} + (I_{OFF} + I_{B-})(R_F) + \\ & (I_{B+})(R_{IN+}) + 10^{\frac{-CMRR}{20}} \left| \frac{V_S}{2} - V_{CM} \right| + \\ & 10^{\frac{-PSRR}{20}} \left( 5 - V_S \left( 1 - \frac{\Delta V_S}{100} \right) \right) + (I_D)(\Delta R_F) \end{aligned} \quad (6)$$

ここで、

$I_{B-}$  は反転入力での入力バイアス電流です。

$I_{B+}$  は非反転入力での入力バイアス電流です。

$R_{IN+}$  は非反転入力でのソース抵抗です。

$CMRR$  と  $PSRR$  の単位は dB です。

$\Delta V_S$  は、アプリケーション内で電源電圧が取り得る最高値から、アプリケーション内で電源電圧が取り得る最低値を引いたものです。

$\Delta R_F$  は  $R_F$  のパーセント公差  $\times 100$  です。

非反転抵抗が最小値に保たれる場合、 $I_{B-} \times R_{IN+}$  は重要ではありません。  $CMRR$  項は、中間電源電圧に等しい  $V_{CM}$  での動作により低減されますが、これは多くのアプリケーションで適さないことがあります。初期キャリブレーションを行うと、 $CMRR$  に関連した誤差を軽減できます。  $PSRR$  に起因する誤差は、正確な電源を使用するか、初期較正によって低減できます。ゲイン誤差は、より正確なフィードバック抵抗を用いて低減できます。

また、既定の TIA アプリケーションを定義するために、フィードバック抵抗の様々な値における入力換算誤差を調べることも有用です。 図 93 に、 $5k\Omega$  および  $500k\Omega$  のトランスインピーダンス値に対する入力換算パーセント誤差を示します。

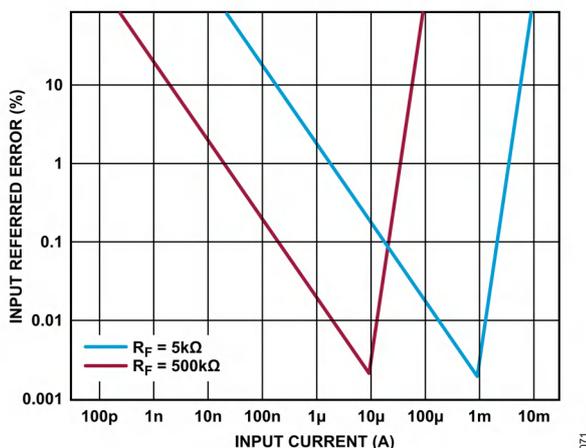


図 93. DC 入力換算誤差と入力電流 ( $I_b$ ) の関係

低い  $I_D$  と小さい  $R_F$  では、オフセット電圧が入力誤差を支配します。低い  $I_D$  と大きい  $R_F$  では、バイアスおよびリーク電流が入力誤差を支配します。入力誤差は、アンプがクリップして誤差が急増するまで、電流レベルの増加と共に減少します。

ADC 駆動

ADA4351-2 を用いると、逐次比較レジスタ型 (SAR) の ADC を直接駆動できます。ADA4351-2 のスルー・レートと THD は、より大きな出力レベルでも低歪みに寄与します。ADA4351-2 はまた、電源電流の消費量が少なく、したがって、低電力、高分解能の ADC と組み合わせることができます。

外部 RC フィルタ素子の選択

図 94 に、高精度、低電力、16 チャンネル、16 ビット SAR ADC である AD4696 を用いた代表的な単電源アプリケーションを示します。ADA4351-2 は、ゲインの切り替えが可能な ADC ドライバとして構成されています。ADC のアナログ・フロント・エンドでもある ADA4351-2 の出力には、 $R_{EXT}$  と  $C_{EXT}$  によって形成される外部ローパス・フィルタがあります。これらの素子は、ADC のアナログ入力における広帯域ノイズおよび非直線電圧キックバックを低減することに留意してください。

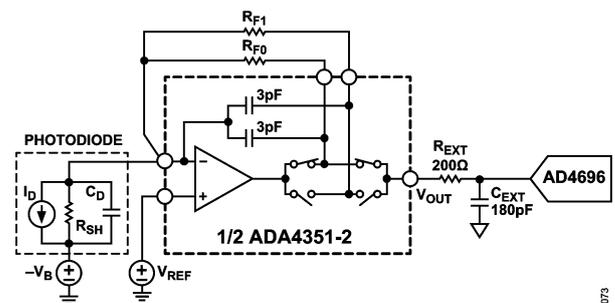


図 94. AD4696 を用いた代表的な単電源アプリケーション

RC フィルタの選択は反復プロセスであり、最良の組み合わせは使用アプリケーションに依存します。例えば、より低い周波数を用いるアプリケーションでは、設計者は、より高い値の RC を選択してノイズを低減することによって、コーナー周波数を減少させることを選択できますが、設計者はまた、この RC の組み合わせによって、ADC の選択されたアキュジション位相持続時間よりも速く信号を安定化できることを確認する必要があります。

RC フィルタ構成の選択に関する詳細は、アナログ・デバイゼスのアナログ・ダイアログの記事：高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計を参照してください。また、これらの素子を選択する際には、ADC のデータシートも参照してください。

アプリケーション情報

補償型周波数応答と非補償型周波数応答

所定のソース・キャパシタンスと目的の TIA ゲイン ( $R_F$ ) に対し、小信号周波数応答がアプリケーションに受け入れられる場合も、受け入れられない場合もあります。 $R_F$  と並列に補償コンデンサを接続することにより、応答形状の調整がある程度可能です。図 95～図 97 に、広範囲のゲインにわたる、いくつかの代表的な応答形状のトレードオフを示します。

最小のフィードバック抵抗 ( $R_F = 200\Omega$ ) が最大の帯域幅を有するのは、ノイズ・ゲイン・ゼロが、同じソース・キャパシタンスでのより高いゲインよりも周波数が比較的高いためです。前述したように、最低の  $R_F$  値では、出力振幅レンジは、ループ・スイッチ・インピーダンス内の IR 降下分だけ減少します (約 0.7V、図 84 参照)。図 95～図 97 に記した条件の各々において、 $C_{IN} = C_D + C_{STRAY}$  です (用語の定義については、TIA 設計理論のセクションを参照)。合計  $C_S$  を求めるには、5.5pF の内部入力容量 ( $C_{CM} + C_{DIFF}$ ) を  $C_{IN}$  に加えます。同様に、合計  $C_F$  を求めるには、3pF の内部容量を図 95～図 97 に示す  $C_{F,EXT}$  に加えます。図 95 に示す 10pF のソース  $C_{IN}$  曲線の両方については、ノイズ・ゲインのゼロ周波数と極周波数が 8.5MHz GBP を超えているため、代表的な TIA 分析は適用されません。図 95 に周波数応答が示されている  $C_{IN} = 10pF$  を用いた回路は、基本的に 10MHz の  $f_{-3dB}$  の平坦な周波数応答を有するユニティゲイン段として動作しています。

100pF の  $C_{IN}$  では、ノイズ・ゲイン・ゼロは GBP よりもわずかに低くなります。外部  $C_{F,EXT}$  がない場合、ノイズ・ゲイン極は周波数が高いため、このゼロにより、比較的低位相マージンと約 1.1dB のピークが得られます。150pF の  $C_{F,EXT}$  を追加すると、ノイズ・ゲイン極が 5.2MHz にある状態で (図 95 参照)、ノイズ・ゲイン・ゼロが 3MHz に下がり、 $Q \approx 0.62$  と 4.5MHz 付近の  $f_{-3dB}$  を持つ優れた過補償設計が得られます。

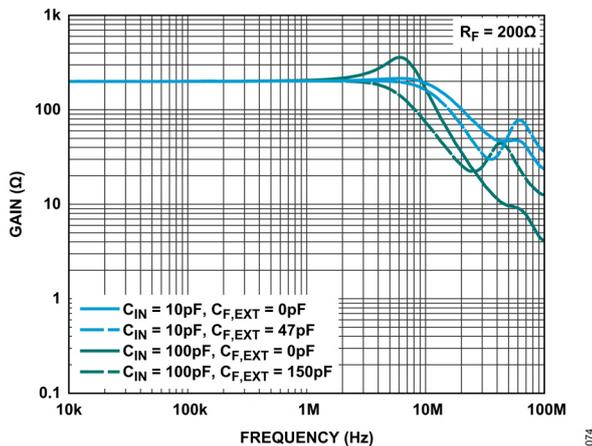


図 95. 様々な入力  $C_{IN}$  ( $C_D + C_{STRAY}$ ) および外部フィードバック ( $C_{F,EXT}$ ) コンデンサを用いた  $R_F = 15k\Omega$  の場合の小信号応答

15kΩ の中程度のフィードバック・ゲインになると、図 96 に示す曲線のファミリが得られます。

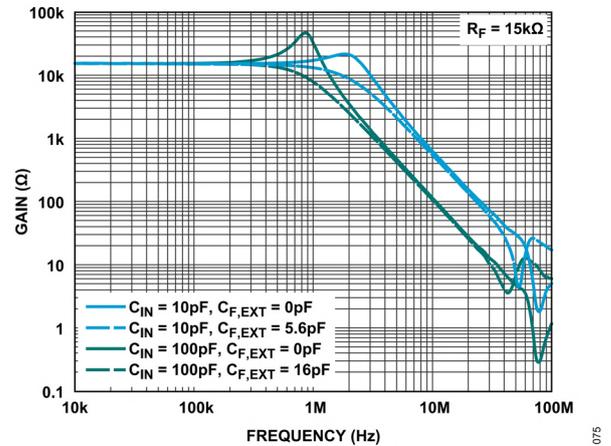


図 96. 様々な入力  $C_{IN}$  ( $C_D + C_{STRAY}$ ) および外部フィードバック ( $C_{F,EXT}$ ) コンデンサを用いた  $R_F = 15k\Omega$  の場合の小信号応答

3pF のフィードバック・コンデンサのみを内蔵した初期の 10pF ソースでは、 $f_0$  以下でノイズ・ゲイン・ゼロが形成されます (図 96 の青色の実線を参照)、 $f_0$  を超えるフィードバック極では、図 96 で青色の実線で示される代表的なピーク応答が得られます。ピーキング・ノイズ・ゲインは、ROC (Rate of Closure) が 40dB よりわずかに低い状態で  $A_{OL}$  曲線と交差し、約  $Q = 1.1$  および  $20\log(21k\Omega/15k\Omega) = 2.9dB$  のピーキングを与えます。5.6pF を外部に追加すると、図 96 に青色の点線で示すように、制御された  $Q = 0.56$  および  $f_{-3dB} \approx 1.4MHz$  に応答形状が再調整されます。

3pF の内部  $C_{F,INT}$  のみを用いて 100pF の外部  $C_{IN}$  をテストすると、やはり設計の補償は不足します ( $Q \approx 2.7$ 、約 9dB のピーキング)。この  $R_F$  値には、 $C_{F,EXT}$  が必要になり、図 96 に示す 16pF により、この設計を  $f_{-3dB} \approx 730kHz$  で  $Q = 0.62$  に戻して補償します。図 96 を用いて、代表的な TIA 設計フローと統合ノイズ分析を、それらのアプリケーションのセクションで説明します。

大きい外部  $R_F$  (1MΩ) を用いると、3pF の内部コンデンサにより、図 97 に示す過補償応答が生じます。

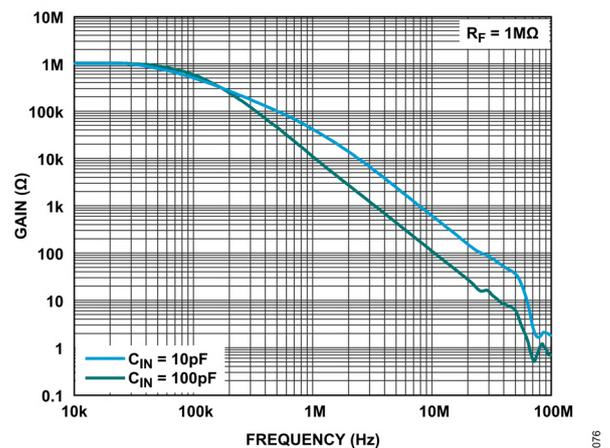


図 97. 様々な入力  $C_{IN}$  ( $C_D + C_{STRAY}$ ) コンデンサを用いた  $R_F = 1M\Omega$  の場合の小信号応答

## アプリケーション情報

図 97 に示すフィードバック極 ( $1/(2\pi \times 1\text{M}\Omega \times 3\text{pF}) = 53\text{kHz}$ ) は、 $f_0$  よりかなり低く、そのフィードバック極の周波数ではほぼ 1 次の極になります。外部  $C_{F,EXT}$  を追加すると、このローloffを低周波数側に調整できますが、 $3\text{pF}$  の内部  $C_{F,INT}$  を用いて最初から周波数スパンを拡張することはできません。 $C_{IN}$  を  $100\text{pF}$  に増加させると、 $f_0$  が減少し、フィードバック極がそれに近づきますが、それでもフィードバック極周波数 ( $53\text{kHz}$ ) では近似的な 1 次応答が得られます。 $1\text{M}\Omega$  のフィードバック抵抗と  $3\text{pF}$  の内部  $C_{F,INT}$  を用いて、 $C_{IN}$  を  $200\text{pF}$  以上に増加させると、 $f_{-3\text{dB}}$  を単純なフィードバック極よりも拡張した 2 次閉ループ応答を示し始めます。

## 低入力バイアス電流の実現

低入力バイアス電流回路において考慮すべき要素がいくつかあります。リーク電流が高インピーダンス信号ノードに流れ込むと、ピコアンペア信号の測定精度が低下することがよくあります。ピコアンペア・レベルでは、リーク電流は、PCB 上の隣接する配線パターン（同じレイヤ上にあるものか、内部レイヤからのものかにかかわらず）、（組み立て工程または環境による）PCB 上の汚染や、信号経路上の他の素子を含む予期しないソースから生じることがあります。システムの設計時に注意を払うことで、これらのソースを軽減し、最適な性能を維持できます。

組み立て後の適切な洗浄プロセスは、半田フラックスやその他の汚染物質からのリークを避けるために不可欠です。PCB 材料とパッケージ自体のプラスチック・モールド・コンパウンドが湿気を吸収して、更なるリーク経路を生じることがあるため、相対湿度も必ず考慮に入れる必要があります。

## アプリケーション情報

## PCB レイアウト

ソース・インピーダンスが高いアプリケーションでは、高インピーダンス信号ノードへのリーク電流の増加を最小限に抑えるために、ADA4351-2 の低入力バイアス電流には、クリーンな PCB レイアウトが必要になります。本デバイスを用いて設計された PCB のレイアウトでは、図 98 に示すように、信号伝送パターンの周囲の導体を除去することを推奨します。この除去により、PCB からのリーク電流が信号経路に結合し出力誤差の原因となるのを防ぎ、入力の寄生容量を最小化できます。

PCB 上の高インピーダンス信号経路はできるだけ短くしておくことが重要です。高インピーダンスのノードは、システム内の浮遊信号をピックアップしやすいため、信号経路をできるだけ短くすると、この影響が軽減されます。更に、（反転入力上の）PCB への信号配線パターンが長いほど、被試験デバイス（DUT）の入力における浮遊容量が大きくなります。5pF 程度の低いパターン容量は、特に使用されるフォト・ダイオードまたは電流

源が容量の大きさとほぼ同じオーダーである場合、ボードの性能に大きな影響を及ぼすことがあります。

その他の信号は必ず、信号経路から十分に離して配線する必要があり、高インピーダンス・ノードの下には内部電力プレーンを配置しないようにする必要があります。結合信号からの最良の防御は遮蔽ですが、遮蔽はその領域の静電容量を増加させ、PCB のノイズ・ゲインに影響を与えます。信号を分離するもう 1 つの方法は距離をとることであり、これには、（PCB のレイヤを通した）垂直方向の距離と PCB の表面上の距離があります。ADA4351-2 のパッケージは、パッケージの裏面に露出パッド（EPAD）がなく、ビアの必要性を排除し、デバイスの下にある PCB のすべてのレイヤでの配線を可能にするため、上記の配線プロセスが容易になります。スペースが限られている場合、設計者は、高インピーダンス入力ノードの周囲の PCB 内にスロットを切削して、アイソレーションを追加し、PCB 表面が汚染される可能性を低減できます。

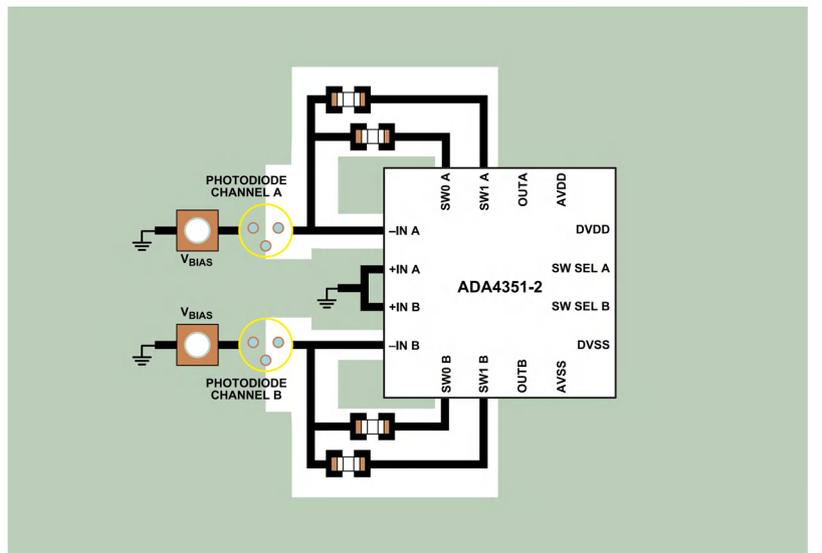


図 98. 表面リークが少ない PCB レイアウトの例

外形寸法

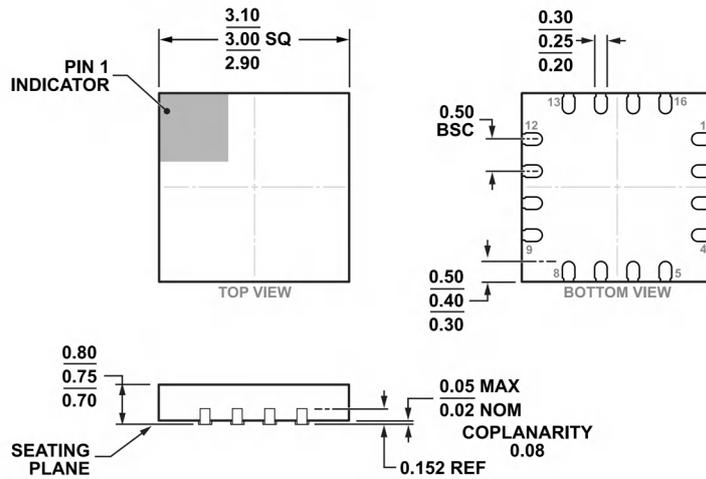


図 99. 16 ピンのリード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 本体：3mm × 3mm、パッケージ高さ：0.78mm  
 (CP-16-32)  
 単位：mm

更新：2023年7月18日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
ADA4351-2ACPZ	-40°C to +125°C	16-Lead LFCSP	Tray, 714	CP-16-32	A50
ADA4351-2ACPZ-R7	-40°C to +125°C	16-Lead LFCSP	Reel, 1500	CP-16-32	A50
ADA4351-2ACPZ-RL	-40°C to +125°C	16-Lead LFCSP	Reel, 5000	CP-16-32	A50

<sup>1</sup> Z = RoHS 準拠製品。

評価用ボード

表 10. 評価用ボード

Model <sup>1</sup>	Description
EVAL-ADA4351-2EBZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2024年2月15日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

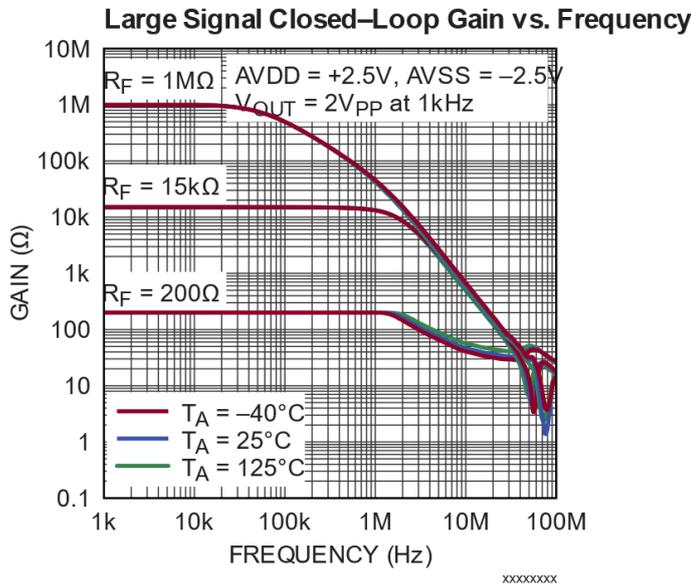
正誤表作成年月日：2024年2月15日

製品名：ADA4351-2

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：20ページの掲載グラフの内図64

図64は、下記のグラフが正しいものです。本文上のグラフは、図61が間違っ  
て掲載されたものです。



アナログ・デバイセズ株式会社

本社 / 〒105-7323 東京都港区東新橋 1-9-1  
東京汐留ビルディング 23F  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36  
新大阪トラストタワー 10F  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島 6-1  
名古屋ルーセントタワー 40F