



**ANALOG
DEVICES**

フェムトアンペア入力バイアス電流 電位計アンプ

データシート

ADA4530-1

特長

低入力バイアス電流

- ±20 fA max @ $T_A = 25^\circ\text{C}$ (出荷テストで確認)
- ±20 fA max @ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$
- ±250 fA max @ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ (出荷テストで確認)

低オフセット電圧: 50 μV max (規定の CMRR 範囲内)

オフセット・ドリフト: 0.13 $\mu\text{V}/^\circ\text{C}$ (typ)、0.5 $\mu\text{V}/^\circ\text{C}$ (max)

オフセット電圧 100 μV (max) のガード・バッファを内蔵

低電圧ノイズ密度: 14 nV/ $\sqrt{\text{Hz}}$ @ 10 kHz

広帯域幅: ユニティゲイン・クロスオーバー: 2 MHz

電源電圧: 4.5 V ~ 16 V ($\pm 2.25\text{ V} \sim \pm 8\text{ V}$)

動作温度: $-40^\circ\text{C} \sim +125^\circ\text{C}$

アプリケーション

実験／解析用の計測器: 分光光度計、クロマトグラフ、質量分析器、定電位／定電流量分析

計測器: ピコアンメータ、電量計

フォトダイオード用トランスインピーダンス・アンプ (TIA)、電離箱、作業電極測定

化学センサー／容量センサー用の高インピーダンス・バッファ

概要

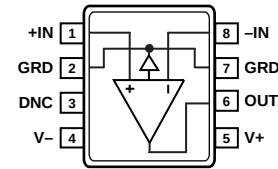
ADA4530-1 は、入力バイアス電流がフェムトアンペア (10^{-15} A) レベルと小さいオペ・アンプです。ガード・バッファも内蔵しているので、電位計としての使用に適しています。動作電圧範囲は 4.5 V ~ 16 V であるため、従来の 5 V、10 V の単電源システム、あるいは両電源 $\pm 2.5\text{ V}$ 、 $\pm 5\text{ V}$ の両電源システムで動作します。

ユーザーのシステムで確実に性能目標を満たすように、超低入力バイアス電流は対象の温度で出荷時にテストされています。ガード・バッファを内蔵しているので、プリント回路基板 (PCB) 内で入力ピンをリーク電流から隔離して、基板部品数を最小限に抑えることができるほか、システム設計が容易になります。ADA4530-1 は、業界標準の表面実装型の 8 ピン SOIC パッケージに収められています。敏感な入力ピン、電源、および出力ピンの間での信号の結合を防止し、ガード・リング・パターン of 配線を容易に行えるように最適化された独自のピン配置が採用されています。

また ADA4530-1 は、非常に低いリーク電流が要求されるアプリケーション・タイプに必要な低オフセット電圧、低オフセット・ドリフト、低電圧ノイズ／電流ノイズ特性も達成しています。システムのダイナミック・レンジが最大になるように、

ピン接続図

ADA4530-1



NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

13405-001

図 1.

ADA4530-1 は、10 k Ω 負荷時に電源レールの 30 mV 以内で駆動可能なレール to レール出力段を備えています。

ADA4530-1 は $-40^\circ\text{C} \sim +125^\circ\text{C}$ の工業温度範囲で動作し、8 ピン SOIC パッケージを採用しています。

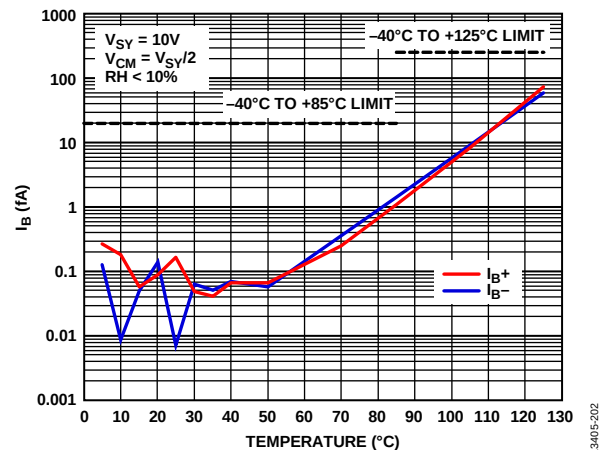


図 2. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = 10\text{ V}$

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長1

アプリケーション1

ピン接続図1

概要1

改訂履歴2

仕様3

公称電圧 5 V - 電気的特性3

公称電圧 10 V - 電気的特性5

公称電圧 15 V - 電気的特性7

絶対最大定格9

熱抵抗9

ESD に関する注意9

ピン配置およびピン機能の説明10

代表的な性能特性11

メイン・アンプ、DC 性能11

メイン・アンプ、AC 性能20

ガード・アンプ26

動作原理28

ESD 保護構造28

入力段28

ゲイン段29

出力段29

ガード・バッファ29

アプリケーション情報30

入力保護30

単電源とレール to レール出力30

容量性負荷に対する安定性30

EMI 除去比31

高インピーダンス測定32

入力バイアス電流32

入力抵抗33

入力オフセット電圧33

絶縁抵抗33

ガーディング34

誘電緩和34

湿度の影響36

汚染37

クリーニングと取り扱い38

ハンダ・ペーストの選択38

電流ノイズに関する考慮事項39

レイアウトのガイドライン42

ガーディング技法の物理的な実装42

ガード・リング42

ガード・プレーン42

ビア・フェンス43

ケーブルとコネクタ43

静電干渉43

フォトダイオード・インターフェース44

DC 誤差解析44

AC 誤差解析44

ノイズ解析45

設計の推奨事項46

設計例46

外形寸法49

オーダー・ガイド49

改訂履歴

10/15—Revision 0: 初版

仕様

公称電圧 5 V - 電气的特性

特に指定のない限り、 $V_{SY} = 4.5\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 。特に指定のない限り、代表的な仕様は特性評価からの分布の平均と等しい値です。特に指定のない限り、最小仕様および最大仕様は出荷時にテスト済みです。

表 1.

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Input Bias Current ^{2, 3}	I_B	RH < 50% -40°C < T_A < +85°C, RH < 50% -40°C < T_A < +125°C, RH < 50%		<1	±20	fA
Input Offset Current ³	I_{OS}	RH < 50% -40°C < T_A < +125°C, RH < 50%		<1	±20	fA
Offset Voltage ^{2, 4}	V_{OS}	$V_{CM} = 1.5\text{ V to }3\text{ V}$ $V_{CM} = 1.5\text{ V to }3\text{ V}$, 0°C < T_A < 125°C $V_{CM} = 1.5\text{ V to }3\text{ V}$, -40°C < T_A < 0°C $V_{CM} = 0\text{ V to }3\text{ V}$		+8 +9	±40 ±50	μV μV
Offset Voltage Drift ^{2, 4}	$\Delta V_{OS}/\Delta T$	0°C < T_A < 125°C -40°C < T_A < 0°C		+0.13 -0.7	±0.5 ±2.8	μV/°C μV/°C
Input Voltage Range	IVR		0		3	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 1.5\text{ V to }3\text{ V}$ -40°C < T_A < +125°C $V_{CM} = 0\text{ V to }3\text{ V}$	92 90 73	114		dB dB dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$ to V_{CM} , $V_{OUT} = 0.2\text{ V to }4.3\text{ V}$ -40°C < T_A < +125°C	120 120	143		dB dB
Input Resistance	R_{IN}	-40°C < T_A < +125°C		>100		TΩ
Input Capacitance	C_{IN}			8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C $R_L = 2\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C	4.47 4.46 4.4 4.38	4.49		V V V V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C $R_L = 2\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C		10 30	30 40 100 120	mV mV mV mV
Short-Circuit Current	I_{SC}			15		mA
Source				-30		mA
Sink				20		Ω
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = 1$				
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to }16\text{ V}$ -40°C < T_A < +125°C	130 130	150		dB dB
Supply Current	I_{SY}	$I_{OUT} = 0\text{ mA}$ -40°C < T_A < +125°C		0.9	1.3 1.5	mA mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 1$		1.4		V/μs
Gain Bandwidth Product	GBP	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 100$		2		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_{VO} = 1$		2		MHz
-3 dB Closed-Loop Bandwidth	f_{-3dB}	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 1$		6		MHz

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Phase Margin	Φ _M	V _{IN} =10 mV rms, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		62		Degrees
Settling Time to 0.1%	t _s	V _{IN} = 0.5 V step, R _L = 10 kΩ, C _L = 10 pF, A _V = −1		5		μs
EMI Rejection Ratio of +IN	EMIRR	V _{IN} = 100 mV peak, f = 400 MHz		50		dB
		V _{IN} = 100 mV peak, f = 900 MHz		60		dB
		V _{IN} = 100 mV peak, f = 1800 MHz		80		dB
		V _{IN} = 100 mV peak, f = 2400 MHz		90		dB
NOISE PERFORMANCE						
Peak-to-Peak Voltage Noise	e _N p-p	f = 0.1 Hz to 10 Hz		4		μV p-p
Voltage Noise Density	e _N	f = 10 Hz		80		nV/√Hz
		f = 1 kHz		16		nV/√Hz
		f = 10 kHz		14		nV/√Hz
		f = 0.1 Hz		0.07		fA/√Hz
Current Noise Density	I _N	f = 0.1 Hz		0.07		fA/√Hz
Total Harmonic Distortion + Noise	THD + N	A _V = 1, f = 1 kHz, V _{IN} = 0.5 V rms		0.003		%
Bandwidth = 90 kHz				0.0045		%
Bandwidth = 500 kHz						
GUARD BUFFER						
Guard OffsetVoltage ^{2, 4, 5}	V _{GOS}	V _{CM} = 1.5 V to 3 V		15	100	μV
		V _{CM} = 1.5 V to 3 V, 0°C < T _A < 125°C			120	μV
		V _{CM} = 1.5 V to 3 V, −40°C < T _A < 0°C			250	μV
		V _{CM} = 0.1 V to 3 V			150	μV
Guard OffsetVoltage Drift ^{2, 4}	ΔV _{GOS} /ΔT	0°C < T _A < +125°C		0.18	1	μV/°C
		−40°C < T _A < 0°C		1.4	7	μV/°C
Output Impedance	Z _{GOUT}			1		kΩ
Output Voltage Range		V _{GOS} < 150 μV	0.1		3	V
−3 dB Bandwidth	f _{−3dBGUARD}	V _{IN} = 10 mV rms, C _L = 10 pF		5.5		MHz

¹ これらの仕様は、 $5\text{ V} \pm 10\%$ 電源の性能を表します。すべての仕様が最悪の条件である 4.5 V 電源電圧での測定値です。

² $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ および $-40^\circ\text{C} < T_A < 0^\circ\text{C}$ の最大仕様は、特性評価により確保されています。

³ RH は相対湿度です（詳細については、Humidity Effects のセクションを参照してください）。

⁴ 代表的な仕様は、特性評価からの分布の平均に標準偏差を加えた値に等しくなります。

⁵ ガード・オフセット電圧は、ガード出力と非反転入力間の電圧差です。

公称電圧 10 V - 電気的特性

特に指定のない限り、 $V_{SY} = 10\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 。特に指定のない限り、代表的な仕様は特性評価からの分布の平均と等しい値です。特に指定のない限り、最小仕様および最大仕様は出荷時にテスト済みです。

表 2.

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Input Bias Current ^{2, 3}	I_B	RH < 50% -40°C < T_A < +85°C, RH < 50% -40°C < T_A < +125°C, RH < 50%		<1	±20	fA
					±20	fA
					±250	fA
Input Offset Current ³	I_{OS}	RH < 50% -40°C < T_A < +125°C, RH < 50%		<1	±20	fA
					±150	fA
Offset Voltage ^{2, 4}	V_{OS}	$V_{CM} = 1.5\text{ V to } 8.5\text{ V}$ $V_{CM} = 1.5\text{ V to } 8.5\text{ V}$, 0°C < T_A < 125°C $V_{CM} = 1.5\text{ V to } 8.5\text{ V}$, -40°C < T_A < 0°C $V_{CM} = 0\text{ V to } 8.5\text{ V}$		+8 +9	±40 ±50	μV μV
					±70	μV
					±150	μV
					±300	μV
Offset Voltage Drift ^{2, 4}	$\Delta V_{OS}/\Delta T$	0°C < T_A < 125°C -40°C < T_A < 0°C		+0.13 -0.7	±0.5 ±2.8	μV/°C μV/°C
Input Voltage Range	IVR		0		8.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 1.5\text{ V to } 8.5\text{ V}$ -40°C < T_A < +125°C $V_{CM} = 0\text{ V to } 8.5\text{ V}$	105 100 87	114		dB dB dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$ to V_{CM} , $V_{OUT} = 0.5\text{ V to } 9.5\text{ V}$ -40°C < T_A < +125°C	125 125	150		dB dB
Input Resistance	R_{IN}	-40°C < T_A < +125°C		>100		TΩ
Input Capacitance	C_{IN}			8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C $R_L = 2\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C	9.96 9.94 9.93 9.75	9.97		V V V V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C $R_L = 2\text{ k}\Omega$ to V_{CM} -40°C < T_A < +125°C		15 70	40 60 170 250	mV mV mV mV
Short-Circuit Current	I_{SC}			15 -30		mA mA
Source						
Sink						
Closed-Loop Output Impedance	Z_{OUT}	f = 1 MHz, $A_V = 1$		20		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 4.5\text{ V to } 16\text{ V}$ -40°C < T_A < +125°C	130 130	150		dB dB
Supply Current	I_{SY}	$I_{OUT} = 0\text{ mA}$ -40°C < T_A < +125°C		0.9	1.3 1.5	mA mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 1$		1.4		V/μs
Gain Bandwidth Product	GBP	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 100$		2		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_{VO} = 1$		2		MHz
-3 dB Closed-Loop Bandwidth	f_{-3dB}	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_V = 1$		6		MHz
Phase Margin	Φ_M	$V_{IN} = 10\text{ mV rms}$, $R_L = 10\text{ k}\Omega$, $C_L = 10\text{ pF}$, $A_{VO} = 1$		62		Degrees

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Settling Time to 0.1%	t _S	V _{IN} = 1 V step, R _L = 10 kΩ, C _L = 10 pF, A _V = −1		6		μs
EMI Rejection Ratio of +IN	EMIRR	V _{IN} = 100 mV peak, f = 400 MHz		50		dB
		V _{IN} = 100 mV peak, f = 900 MHz		60		dB
		V _{IN} = 100 mV peak, f = 1800 MHz		80		dB
		V _{IN} = 100 mV peak, f = 2400 MHz		90		dB
NOISE PERFORMANCE						
Peak-to-Peak Voltage Noise	e _N p-p	f = 0.1 Hz to 10 Hz		4		μV p-p
Voltage Noise Density	e _N	f = 10 Hz		80		nV/√Hz
		f = 1 kHz		16		nV/√Hz
		f = 10 kHz		14		nV/√Hz
Current Noise Density	I _N	f = 0.1 Hz		0.07		fA/√Hz
Total Harmonic Distortion + Noise	THD+N	A _V = 1, f = 1 kHz, V _{IN} = 2 V rms		0.0015		%
Bandwidth = 90 kHz				0.0025		%
Bandwidth = 500 kHz						%
GUARD BUFFER						
Guard Offset Voltage ^{2, 4, 5}	V _{GOS}	V _{CM} = 1.5 V to 8.5 V		15	100	μV
		V _{CM} = 1.5 V to 8.5 V, 0°C < T _A < 125°C			120	μV
		V _{CM} = 1.5 V to 8.5 V, −40°C < T _A < 0°C			250	μV
		V _{CM} = 0.1 V to 8.5 V			150	μV
Guard Offset Voltage Drift ^{2, 4}	ΔV _{GOS} /ΔT	0°C < T _A <125°C		0.18	1	μV/°C
		−40°C < T _A < 0°C		1.4	7	μV/°C
Output Impedance	Z _{GOUT}			1		kΩ
Output Voltage Range		V _{GOS} < 150 μV	0.1		8.5	V
−3 dB Bandwidth	f _{−3dBGUARD}	V _{IN} =10mVrms, C _L = 10 pF		5.5		MHz

¹ これらの仕様は、10 V ± 10 % 電源の性能を表します。これらの仕様は、10 V 電源の性能を表します。

² -40 °C < T_A < +85 °C および -40 °C < T_A < 0 °C の最大仕様は、特性評価により確保されています。

³ RH は相対湿度です（詳細については、Humidity Effects のセクションを参照してください）。

⁴ これらの代表的な仕様は、特性評価からの分布の平均に標準偏差を加えた値と等しくなります。

⁵ ガード・オフセット電圧は、ガード出力と非反転入力間の電圧差です。

公称電圧 15 V - 電気的特性

特に指定のない限り、 $V_{SY} = 16\text{ V}$ 、 $V_{CM} = V_{SY}/2$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 。特に指定のない限り、代表的な仕様は特性評価からの分布の平均と等しい値です。特に指定のない限り、最小仕様および最大仕様は出荷時にテスト済みです。

表 3.

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Input Bias Current ^{2, 3}	I _B	RH < 50% −40°C < T _A < +85°C, RH < 50% −40°C < T _A < +125°C, RH < 50%		<1	±20 ±20 ±250	fA fA fA
Input Offset Current	I _{OS}	RH < 50% −40°C < T _A < +125°C, RH < 50%		<1	±20 ±150	fA fA
Offset Voltage ^{2, 4}	V _{OS}			+8	±40	μV
		V _{CM} = 1.5 V to 14.5 V		+9	±50	μV
		V _{CM} = 1.5 V to 14.5 V, 0°C < T _A < 125°C			±70	μV
		V _{CM} = 1.5 V to 14.5 V, −40°C < T _A < 0°C			±150	μV
		V _{CM} = 0 V to 14.5V			±300	μV
Offset Voltage Drift ^{2, 4}	ΔV _{OS} /ΔT	0°C < T _A < 125°C −40°C < T _A < 0°C		+0.13 −0.7	±0.5 ±2.8	μV/°C μV/°C
Input Voltage Range	IVR		0		14.5	V
Common-Mode Rejection Ratio	CMRR	V _{CM} = 1.5 V to 14.5 V	110	114		dB
		−40°C < T _A < +125°C	105			dB
		V _{CM} = 0 V to 14.5V	93			dB
Large Signal Voltage Gain	A _{VO}	R _L = 2 kΩ to V _{CM} , V _{OUT} = 0.5 V to 15.5 V	130	155		dB
		−40°C < T _A < +125°C	125			dB
Input Resistance	R _{IN}	−40°C < T _A < +125°C		>100		TΩ
Input Capacitance	C _{IN}			8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V _{OH}	R _L = 10 kΩ to V _{CM}	15.93	15.95		V
		−40°C < T _A < +125°C	15.9			V
		R _L = 2 kΩ to V _{CM}	15.72	15.78		V
		−40°C < T _A < +125°C	15.58			V
Output Voltage Low	V _{OL}	R _L = 10 kΩ to V _{CM}		25	70	mV
		−40°C < T _A < +125°C			100	mV
		R _L = 2 kΩ to V _{CM}		115	280	mV
		−40°C < T _A < +125°C			420	mV
Short-Circuit Current	I _{SC}					
		Source		15		mA
Sink				−30		mA
Closed-Loop Output Impedance	Z _{OUT}	f = 1 MHz, A _V = 1		20		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V _{SY} = 4.5 V to 16 V	130	150		dB
		−40°C < T _A < +125°C	130			dB
Supply Current	I _{SY}	I _{OUT} = 0 mA		0.9	1.3	mA
		−40°C < T _A < +125°C			1.5	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	R _L = 10 kΩ, C _L = 10 pF, A _V = 1		1.4		V/μs
Gain bandwidth Product	GBP	V _{IN} = 10mVrms, R _L = 10 kΩ, C _L = 10 pF, A _V = 100		2		MHz
Unity-Gain Crossover	UGC	V _{IN} = 10mVrms, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		2		MHz
−3 dB Closed-Loop Bandwidth	f _{−3dB}	V _{IN} = 10mVrms, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		6		MHz
Phase Margin	Φ _M	V _{IN} = 10mVrms, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		62		Degrees

Parameter ¹	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Settling Time to 0.1%	t _S	V _{IN} = 1 V step, R _L = 10 kΩ, C _L = 10pF, A _V = −1		6		μs
EMI Rejection Ratio of +IN	EMIRR	V _{IN} = 100 mV peak, f = 400 MHz		50		dB
		V _{IN} = 100 mV peak, f = 900 MHz		60		dB
		V _{IN} = 100 mV peak, f = 1800 MHz		80		dB
		V _{IN} = 100 mV peak, f = 2400 MHz		90		dB
NOISE PERFORMANCE						
Peak-to-Peak Voltage Noise	e _N p-p	f = 0.1 Hz to 10 Hz		4		μV p-p
Voltage Noise Density	e _N	f = 10 Hz		80		nV/√Hz
	e _N	f = 1 kHz		16		nV/√Hz
	e _N	f = 10 kHz		14		nV/√Hz
Current Noise Density	I _N	f = 0.1 Hz		0.07		fA/√Hz
Total Harmonic Distortion + Noise	THD+N	A _V = 1, f = 1 kHz, V _{IN} = 4.5 V rms		0.0012		%
Bandwidth = 90 kHz				0.0012		%
Bandwidth = 500 kHz				0.003		%
GUARD BUFFER						
Guard OffsetVoltage ^{4,5}	V _{GOS}	V _{CM} = 1.5 V to 14.5 V		15	100	μV
		V _{CM} = 1.5 V to 14.5 V, 0°C < T _A <125°C			120	μV
		V _{CM} = 1.5 V to 14.5 V, −40°C < T _A < 0°C			250	μV
		V _{CM} = 0.1 V to 14.5 V			150	μV
Guard OffsetVoltage Drift ^{2,4}	ΔV _{GOS} /ΔT	0°C < T _A < +125°C		0.18	1	μV/°C
		−40°C < T _A < 0°C		1.4	7	μV/°C
Output Impedance	Z _{GOUT}			1		kΩ
Output Voltage Range		V _{GOS} < 150 μV	0.1		14.5	V
−3 dB Bandwidth	f _{−3dB} GUARD	V _{IN} = 10 mV rms, C _L = 10 pF		5.5		MHz

¹ これらの仕様は、15 V ± 10 % 電源の性能を表します。すべての仕様が最悪の条件である 16 V 電源電圧での測定値です。

² −40 °C < T_A < +85 °C および −40 °C < T_A < 0°C の最大仕様は、特性評価により確保されています。

³ RH は相対湿度です（詳細については、Humidity Effects のセクションを参照してください）。

⁴ これらの代表的な仕様は、特性評価からの分布の平均に標準偏差を加えた値と等しくなります。

⁵ ガード・オフセット電圧は、ガード出力と非反転入力間の電圧差です。

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	17 V
Input Voltage	(V-) - 0.3V to (V+) + 0.3V
Input Current ¹	10mA
Differential Input Voltage	±0.7V
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD	
Human Body Model ²	4 kV
FieldInduced ChargedDevice Model (FICDM) ³	1.25 kV

¹ 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.3 V 上回る場合は、入力電流を 10 mA 以下に制限してください。

² 適用規格 ESDA/JEDEC JS-001-2012。

³ 適用規格 JESD22-C101-E (JEDEC の ESD FICDM 規格)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち、標準の 4 層 JEDEC ボードに表面実装パッケージをハンダ付けした状態で仕様規定されています。

表 5. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC	122	41	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

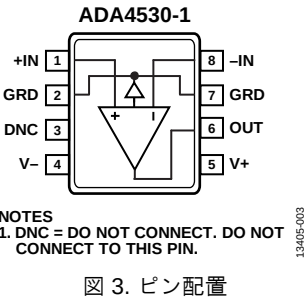


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	+IN	非反転入力。
2	GRD	ガード。
3	DNC	接続なし。このピンは接続しないでください。
4	V-	負電源電圧。
5	V+	正電源電圧。
6	OUT	出力。
7	GRD	ガード。
8	-IN	反転入力。

代表的な性能特性

メイン・アンプ、DC 性能

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

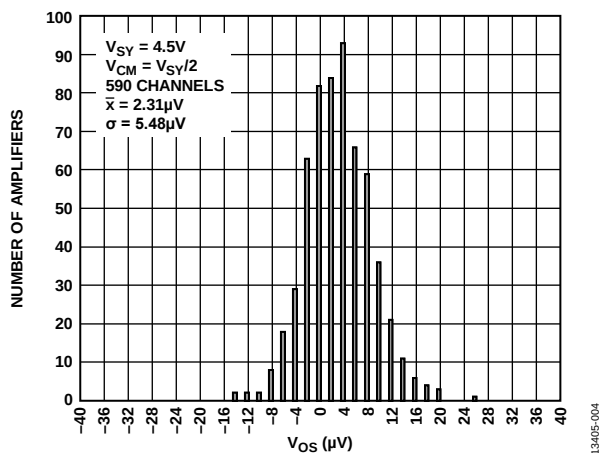


図 4. 入力オフセット電圧の分布、 $V_{SY} = 4.5\text{ V}$

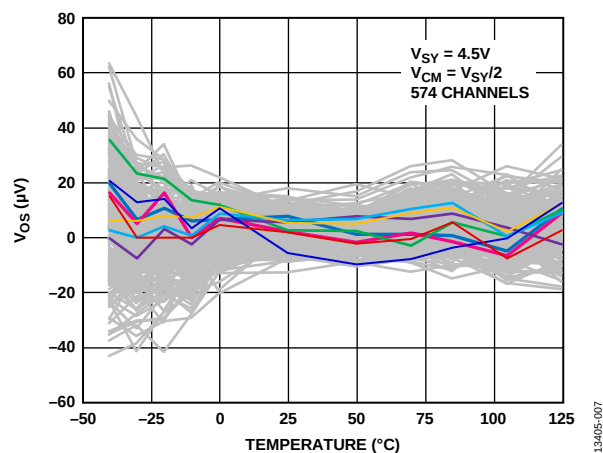


図 7. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 4.5\text{ V}$

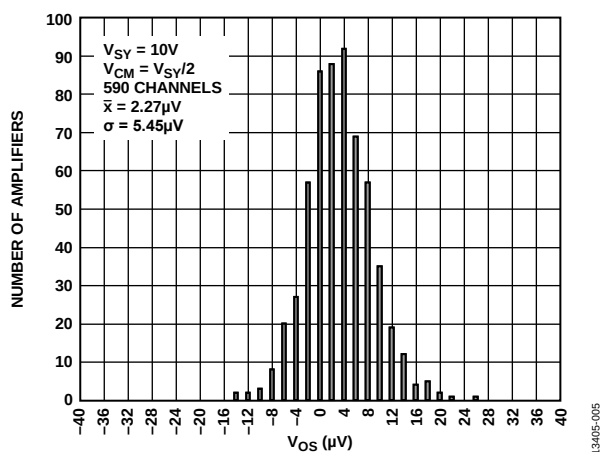


図 5. 入力オフセット電圧の分布、 $V_{SY} = 10\text{ V}$

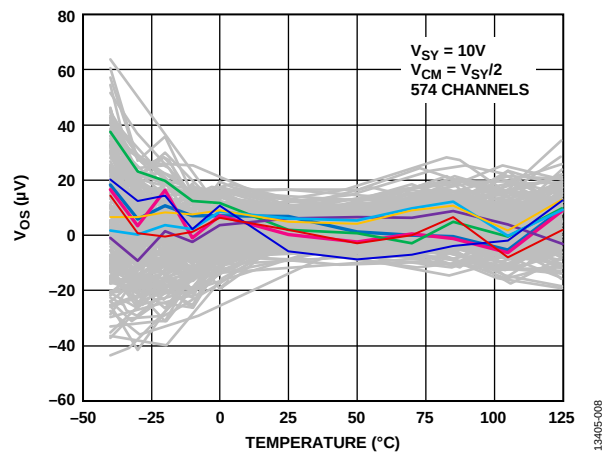


図 8. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 10\text{ V}$

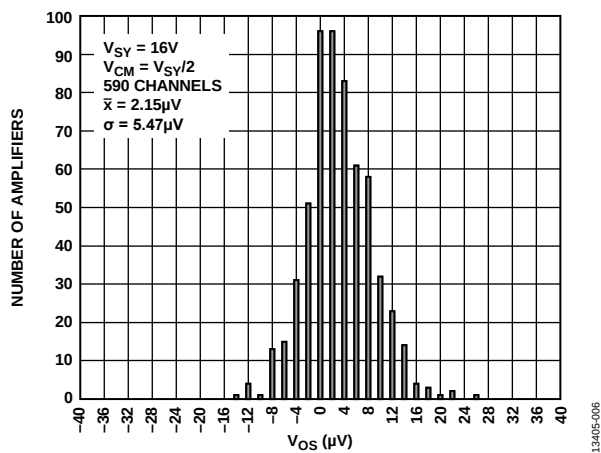


図 6. 入力オフセット電圧の分布、 $V_{SY} = 16\text{ V}$

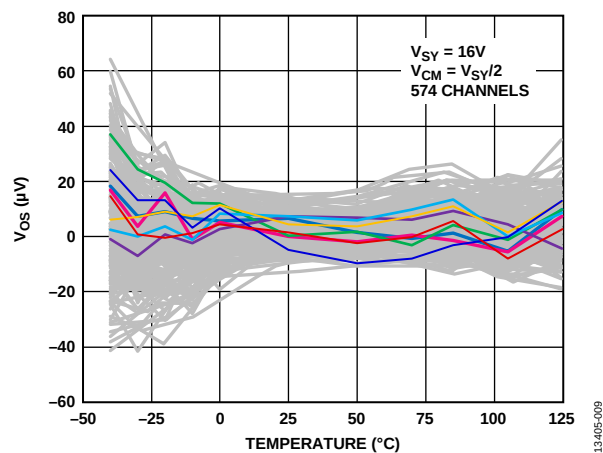


図 9. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 16\text{ V}$

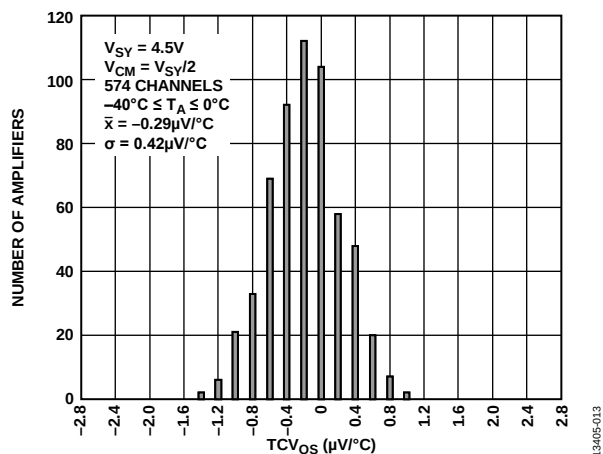


図 10. 入力オフセット電圧ドリフトの分布、
 $-40^\circ\text{C} \leq T_A \leq 0^\circ\text{C}$ 、 $V_{SY} = 4.5\text{V}$

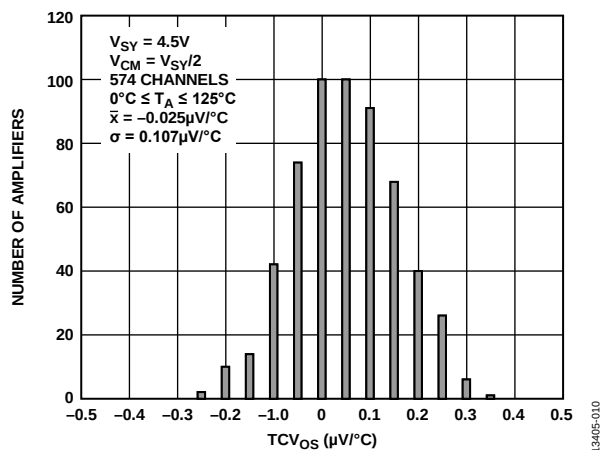


図 13. 入力オフセット電圧ドリフトの分布、 $0^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ 、
 $V_{SY} = 4.5\text{V}$

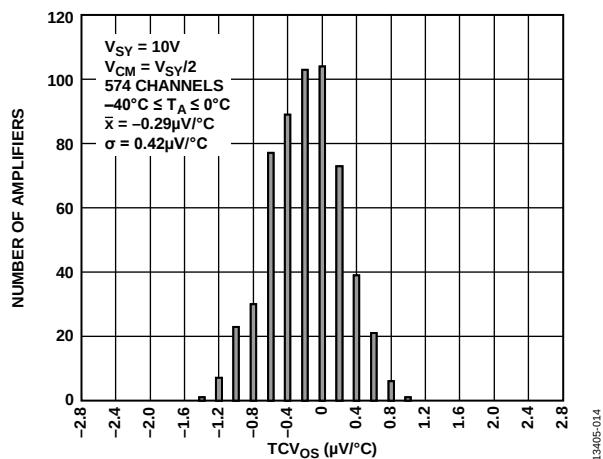


図 11. 入力オフセット電圧ドリフトの分布、
 $-40^\circ\text{C} \leq T_A \leq 0^\circ\text{C}$ 、 $V_{SY} = 10\text{V}$

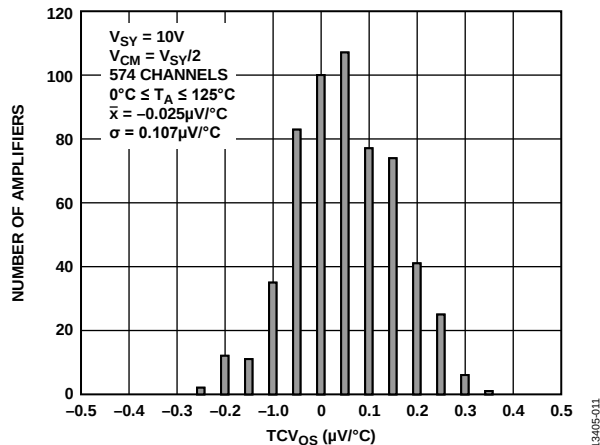


図 14. 入力オフセット電圧ドリフトの分布、
 $0^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ 、 $V_{SY} = 10\text{V}$

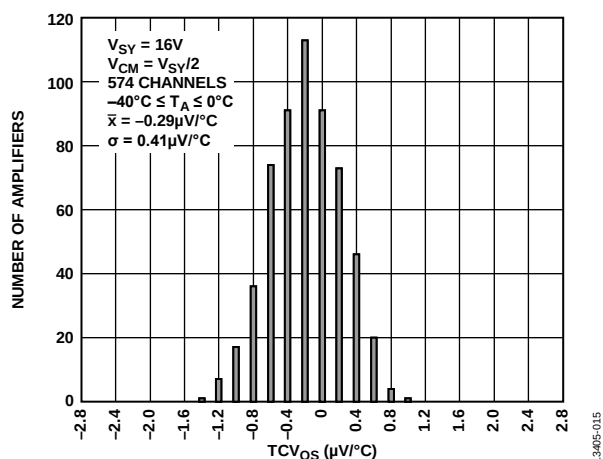


図 12. 入力オフセット電圧ドリフトの分布、
 $-40^\circ\text{C} \leq T_A \leq 0^\circ\text{C}$ 、 $V_{SY} = 16\text{V}$

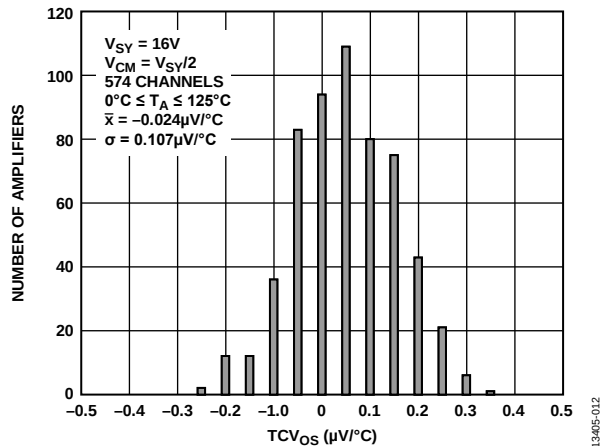


図 15. 入力オフセット電圧ドリフトの分布、
 $0^\circ\text{C} \leq T_A \leq 125^\circ\text{C}$ 、 $V_{SY} = 16\text{V}$

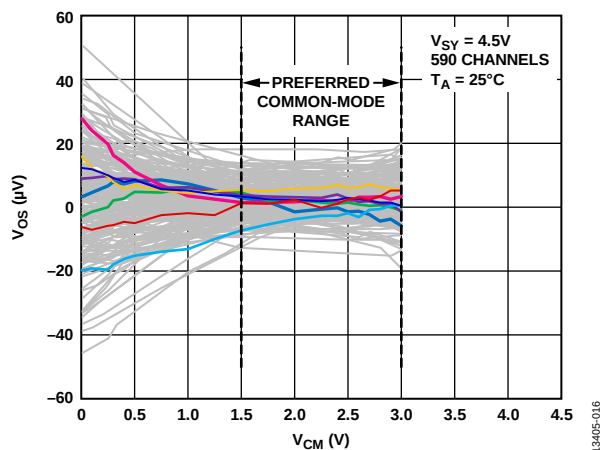


図 16. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 4.5\text{ V}$

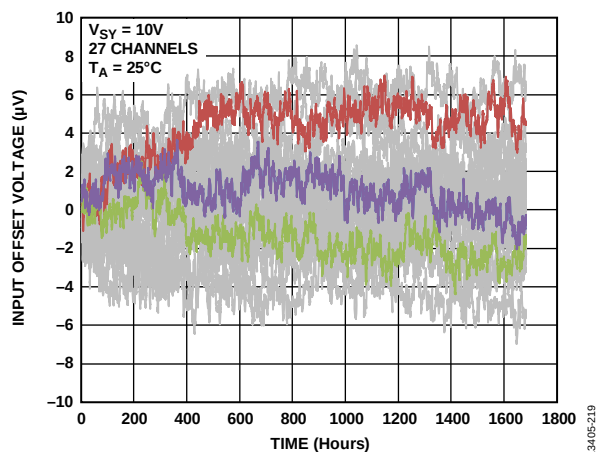


図 19. V_{OS} 長時間ドリフト

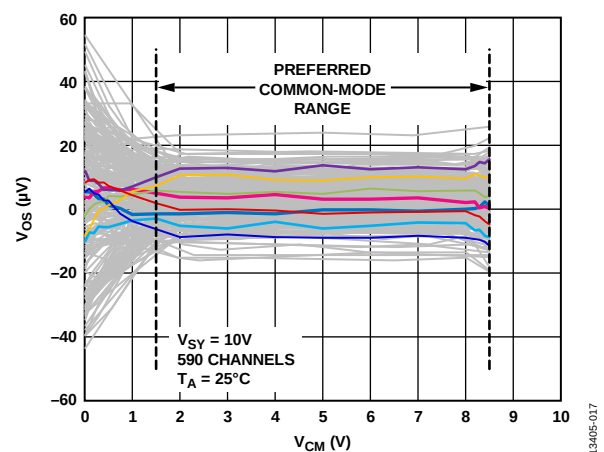


図 17. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 10\text{ V}$

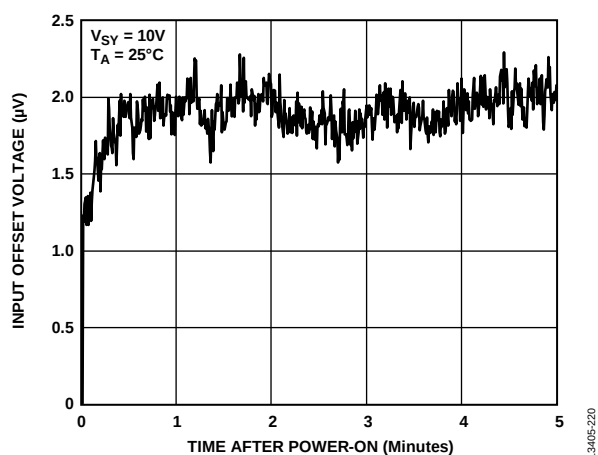


図 20. V_{OS} ウォームアップ時間

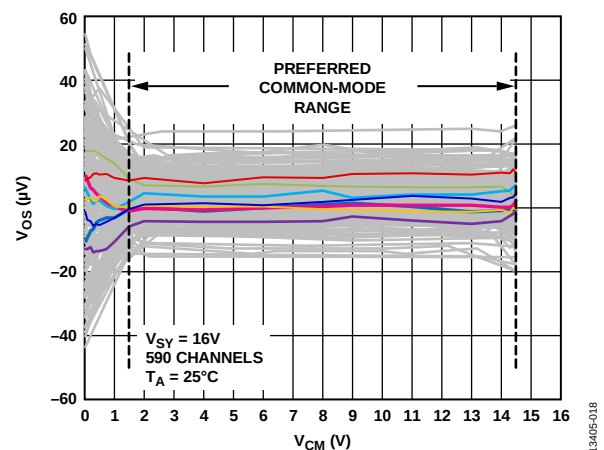


図 18. 入力オフセット電圧 (V_{OS}) とコモンモード電圧 (V_{CM}) の関係、 $V_{SY} = 16\text{ V}$

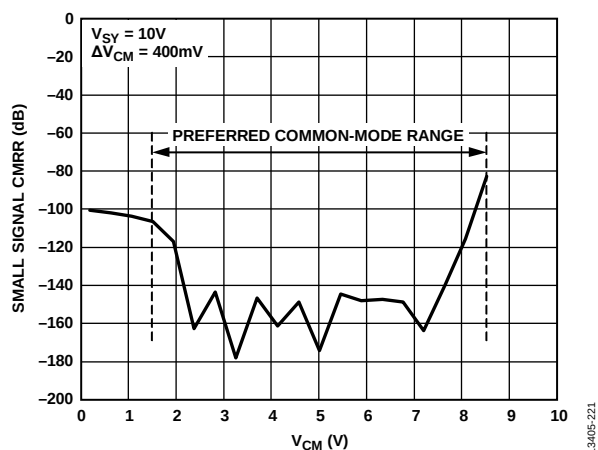


図 21. 小信号 CMRR とコモンモード電圧の関係

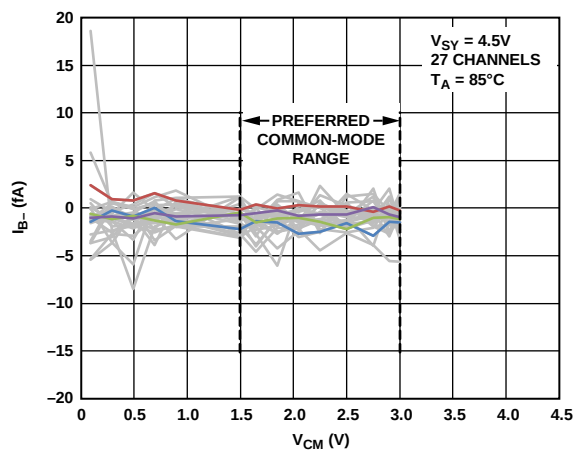


図 22. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 4.5\text{ V}$ 、 $T_A = 85^\circ\text{C}$

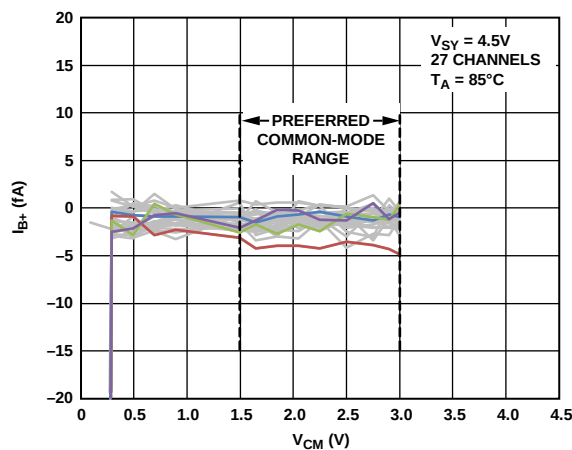


図 25. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 4.5\text{ V}$ 、 $T_A = 85^\circ\text{C}$

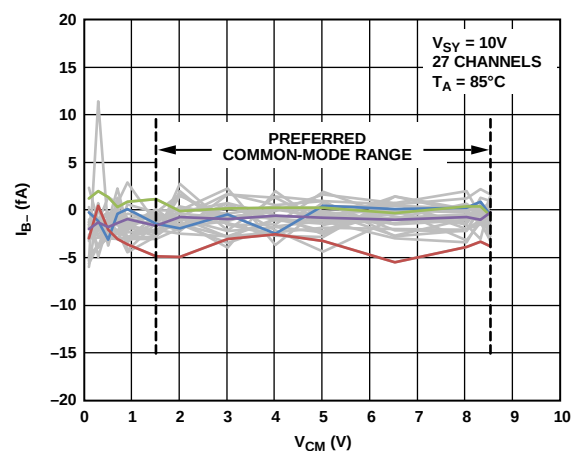


図 23. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 10\text{ V}$ 、 $T_A = 85^\circ\text{C}$

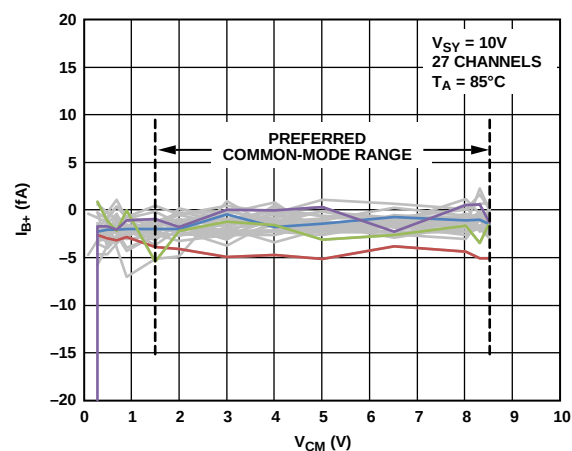


図 26. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 10\text{ V}$ 、 $T_A = 85^\circ\text{C}$

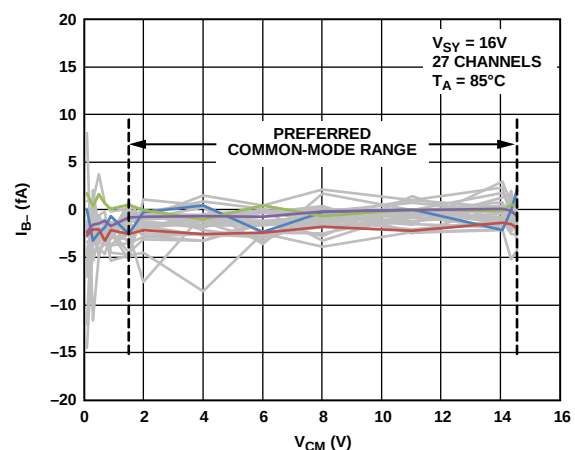


図 24. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 16\text{ V}$ 、 $T_A = 85^\circ\text{C}$

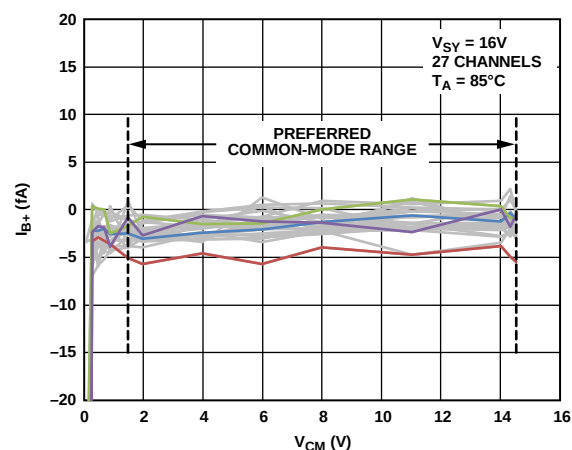


図 27. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 16\text{ V}$ 、 $T_A = 85^\circ\text{C}$

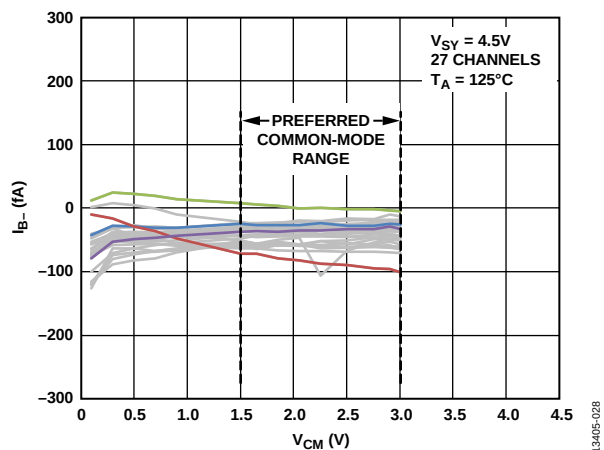


図 28. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 4.5\text{ V}$ 、 $T_A = 125^\circ\text{C}$

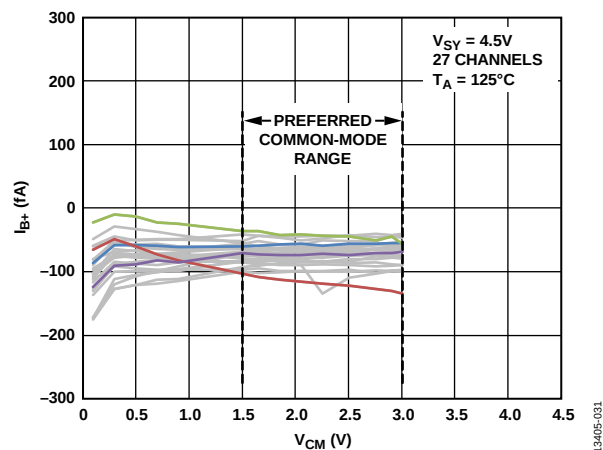


図 31. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 4.5\text{ V}$ 、 $T_A = 125^\circ\text{C}$

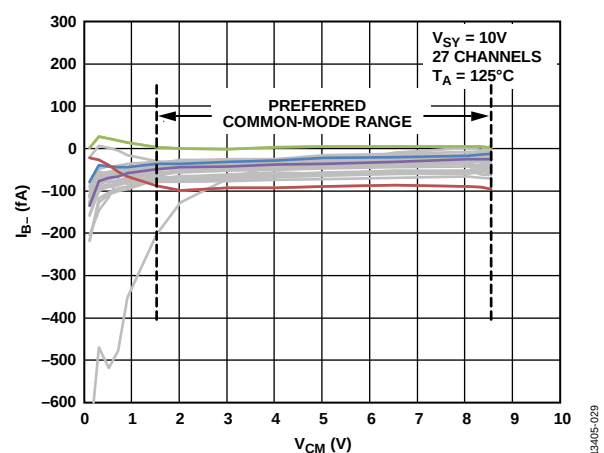


図 29. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 10\text{ V}$ 、 $T_A = 125^\circ\text{C}$

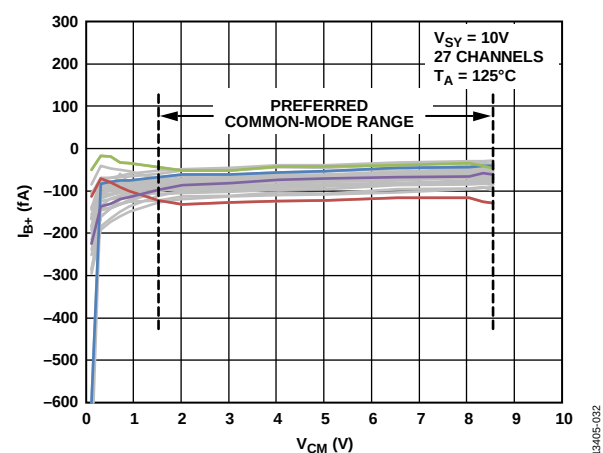


図 32. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 10\text{ V}$ 、 $T_A = 125^\circ\text{C}$

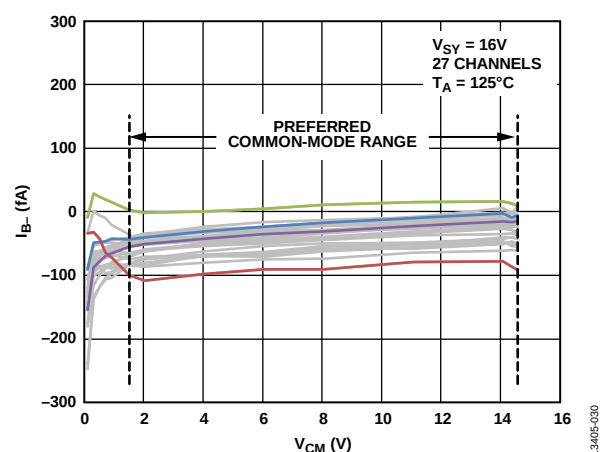


図 30. 反転入力バイアス電流 (I_{B-}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 16\text{ V}$ 、 $T_A = 125^\circ\text{C}$

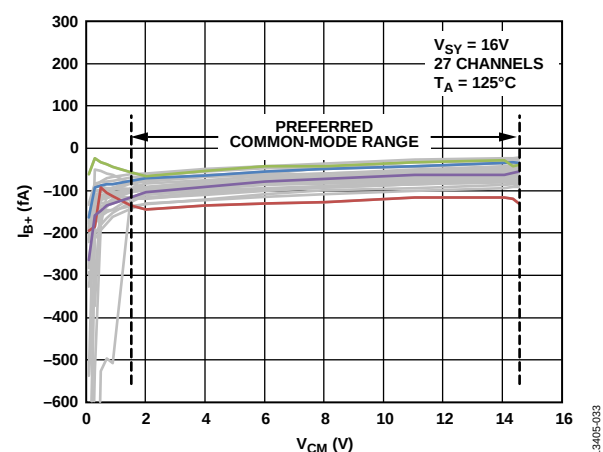


図 33. 非反転入力バイアス電流 (I_{B+}) とコモンモード電圧の関係 (V_{CM})、 $V_{SY} = 16\text{ V}$ 、 $T_A = 125^\circ\text{C}$

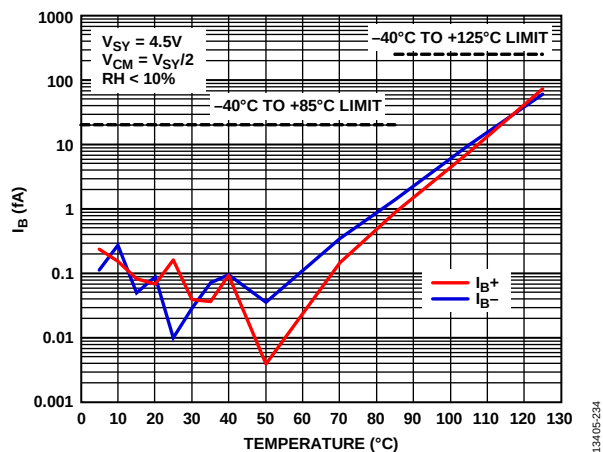
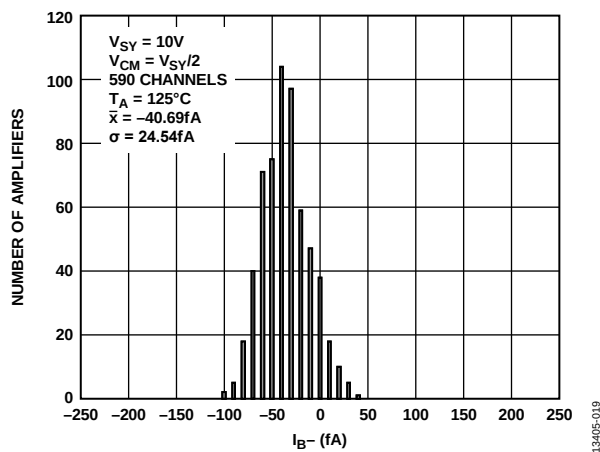
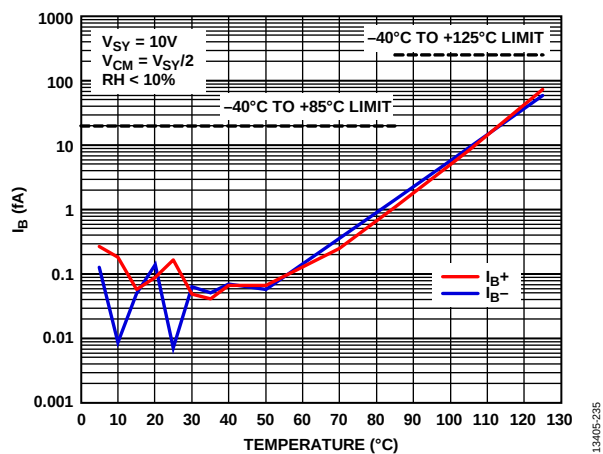
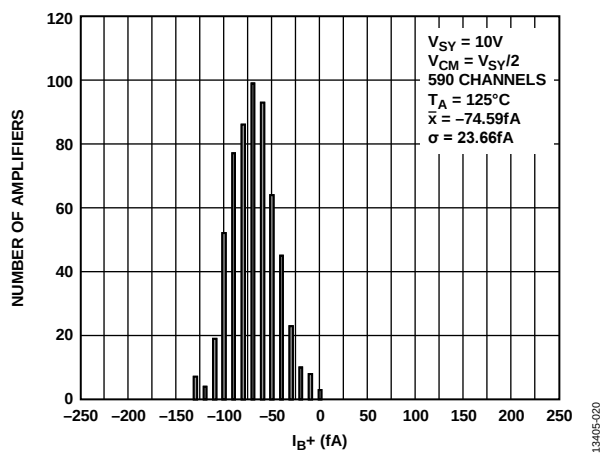
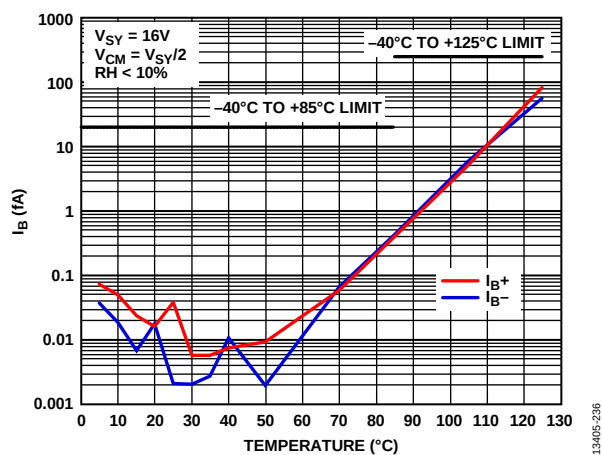
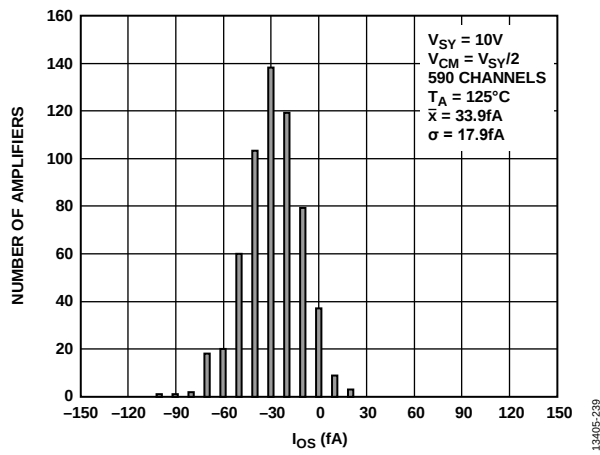
図 34. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = 4.5V$ 図 37. 反転入力バイアス電流のヒストグラム、 $T_A = 125^{\circ}C$ 、 $V_{SY} = 10V$ 図 35. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = 10V$ 図 38. 非反転入力バイアス電流のヒストグラム、 $T_A = 125^{\circ}C$ 、 $V_{SY} = 10V$ 図 36. 入力バイアス電流 (I_B) と温度の関係、 $V_{SY} = 16V$ 

図 39. 入力オフセット電流のヒストグラム

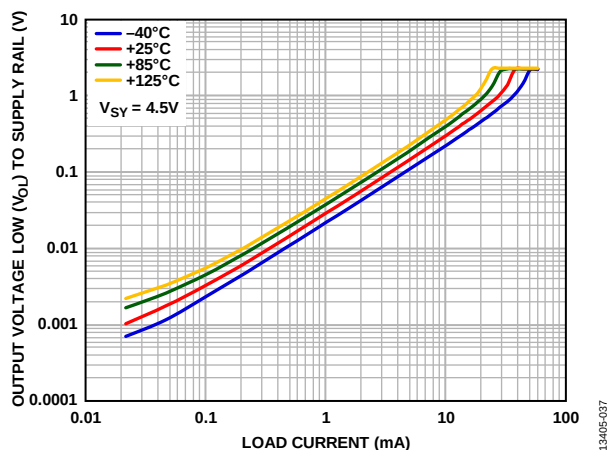


図 40. 電源レールへの出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 4.5\text{ V}$

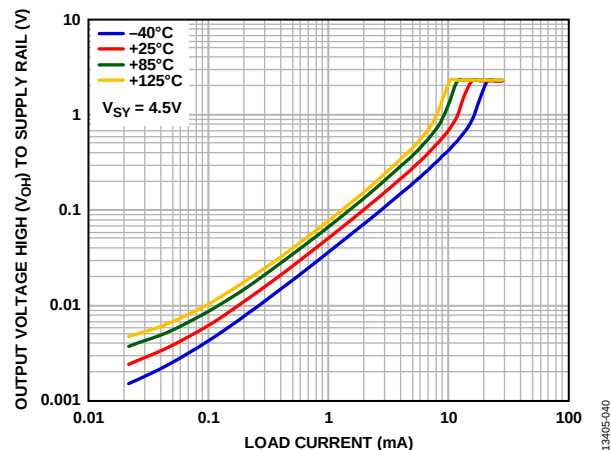


図 43. 電源レールに対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 4.5\text{ V}$

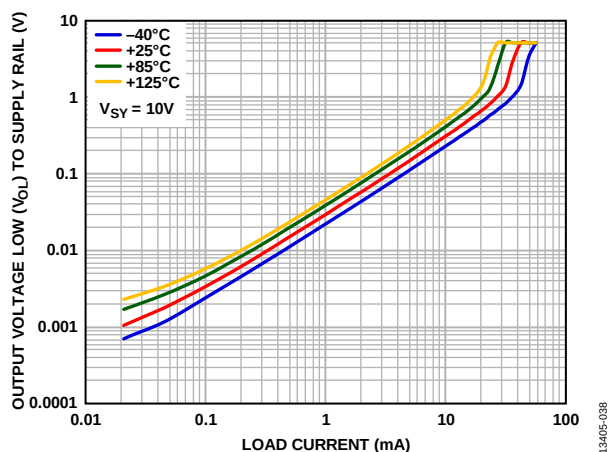


図 41. 電源レールに対する出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 10\text{ V}$

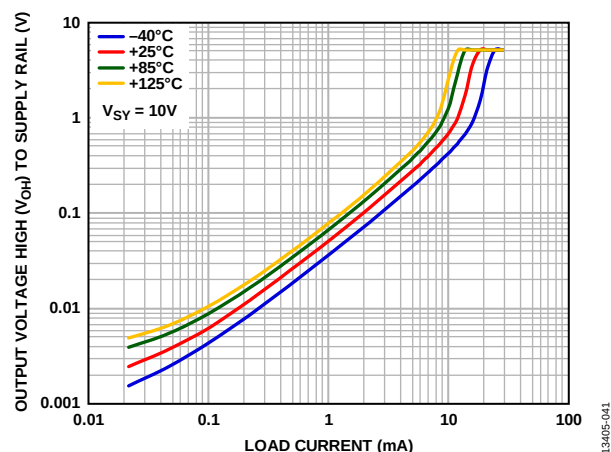


図 44. 電源レールに対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 10\text{ V}$

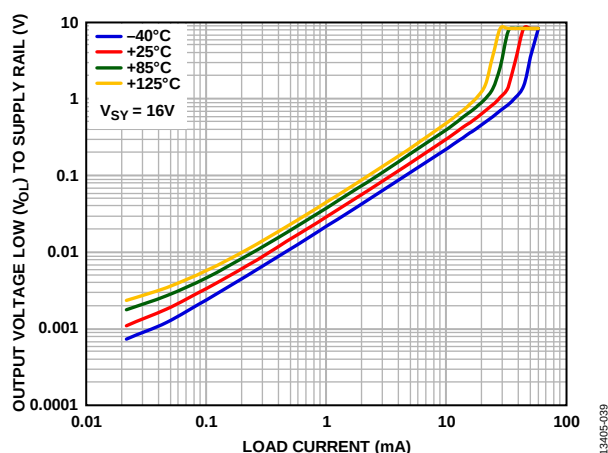


図 42. 電源レールに対する出力電圧ロー (V_{OL}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 16\text{ V}$

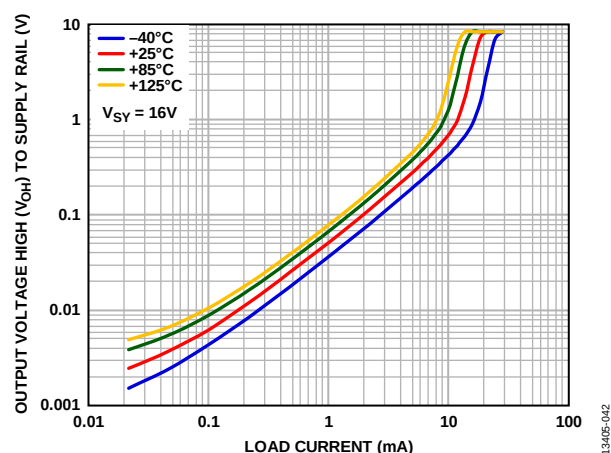


図 45. 電源レールに対する出力電圧ハイ (V_{OH}) と負荷電流 (I_{LOAD}) の関係、 $V_{SY} = 16\text{ V}$

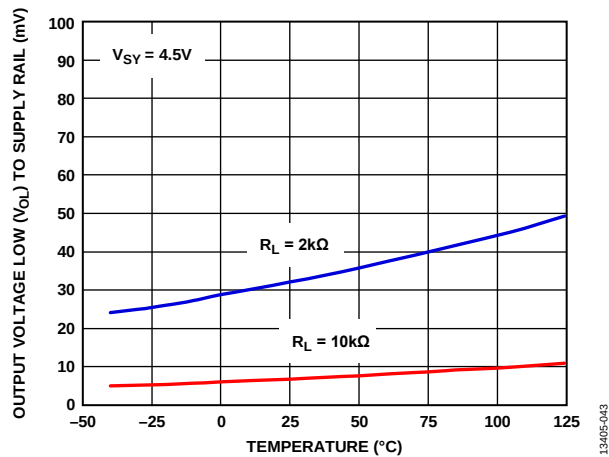


図 46. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = 4.5V$

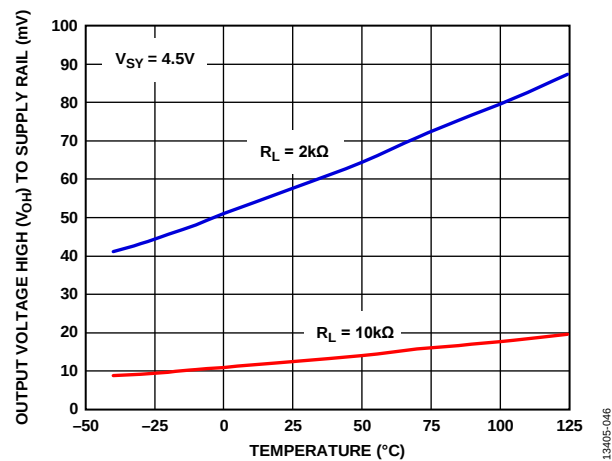


図 49. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = 4.5V$

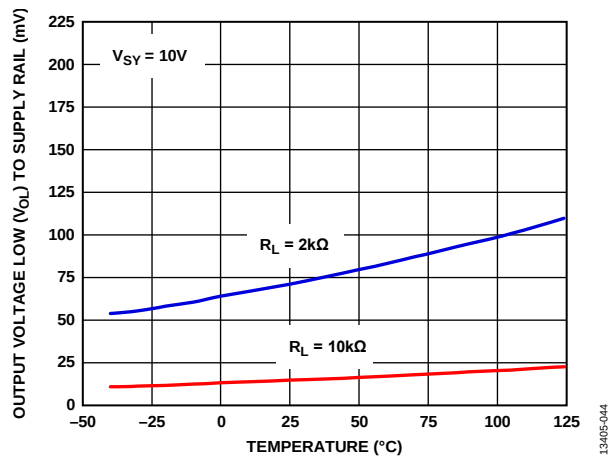


図 47. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = 10V$

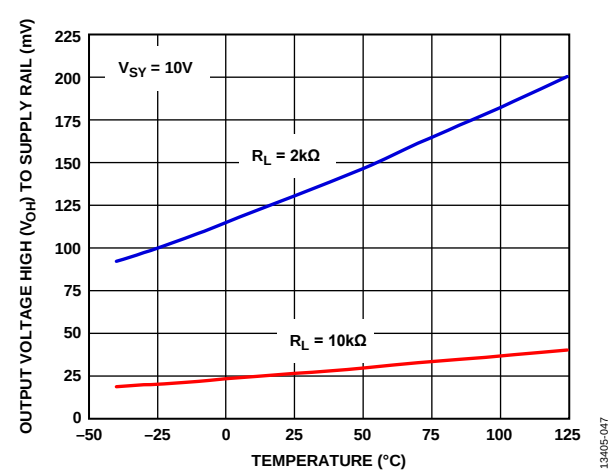


図 50. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = 10V$

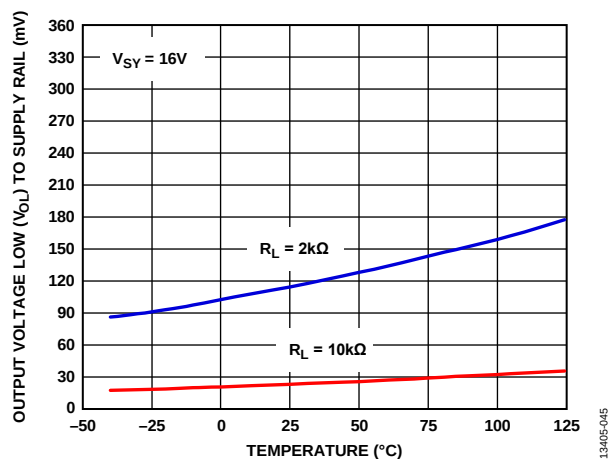


図 48. 電源レールに対する出力電圧ロー (V_{OL}) と温度の関係、 $V_{SY} = 16V$

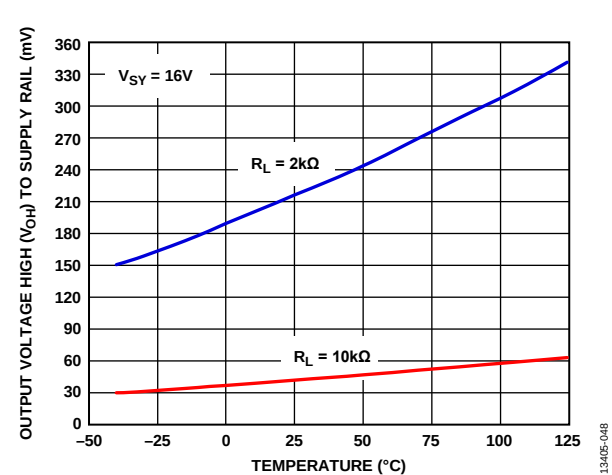


図 51. 電源レールに対する出力電圧ハイ (V_{OH}) と温度の関係、 $V_{SY} = 16V$

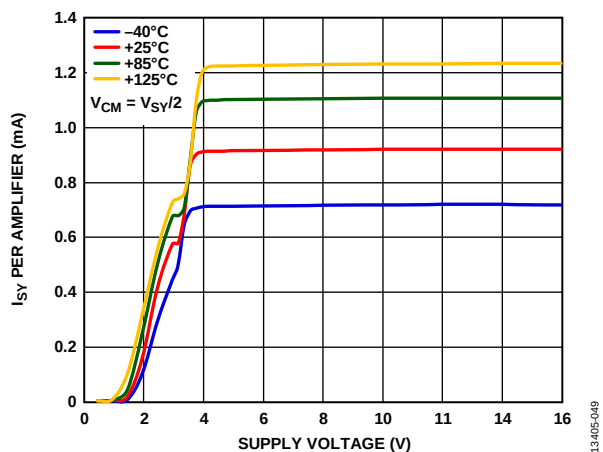


図 52. アンプあたりの電源電流 (I_{SY}) と電源電圧 (V_{SY}) の関係

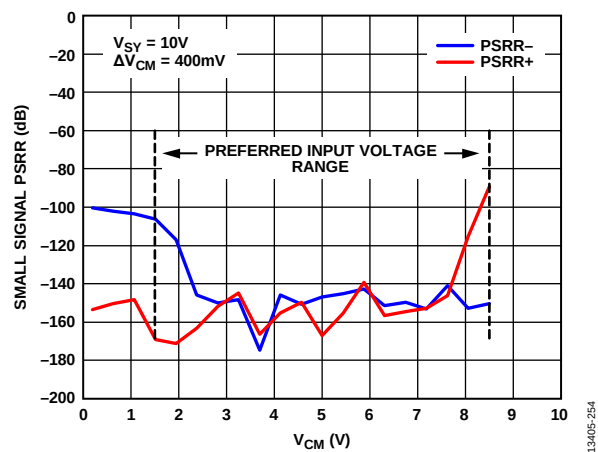


図 54. 小信号 PSRR とコモンモード電圧の関係 (V_{CM})

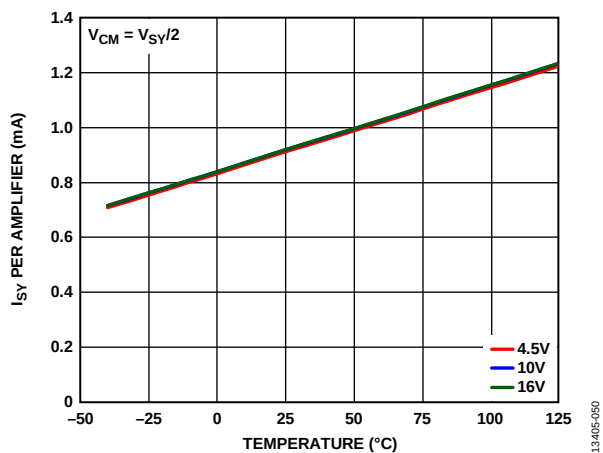


図 53. アンプあたりの電源電流 (I_{SY}) と温度の関係

メイン・アンプ、AC 性能

$V_{SY} = 4.5\text{ V} \sim 16\text{ V}$ 。特に指定のない限り、 $V_{SY} = 10\text{ V}$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ でデータを取得。

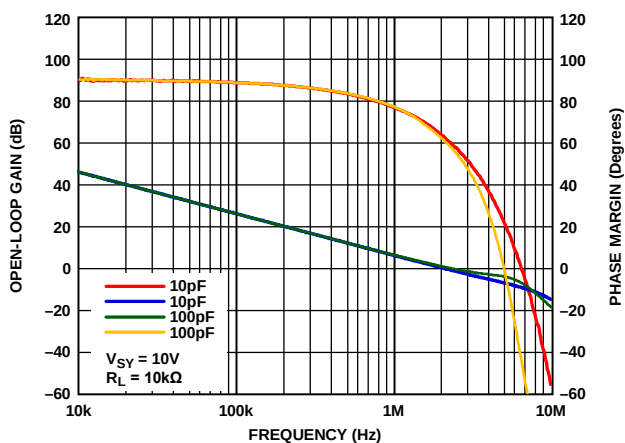


図 55. オープンループ・ゲインおよび位相マージンの周波数特性

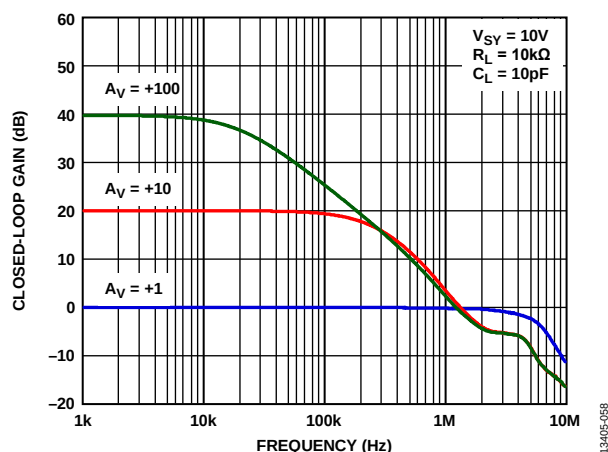


図 58. クローズドループ・ゲインの周波数特性

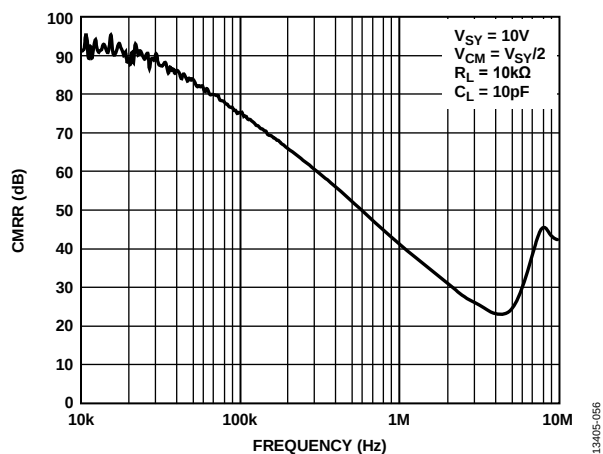


図 56. CMRR の周波数特性

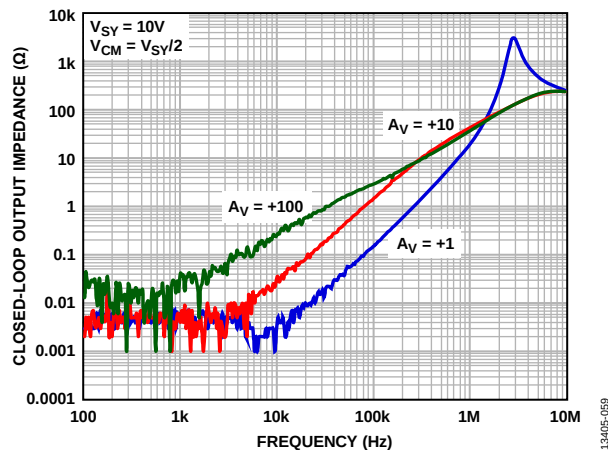


図 59. クローズドループ出力インピーダンスの周波数特性

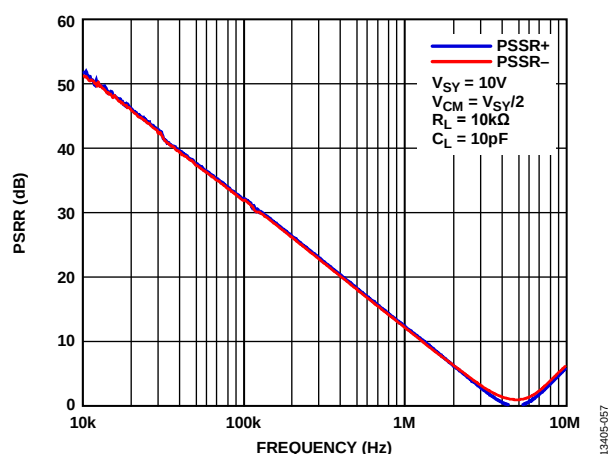


図 57. PSRR の周波数特性

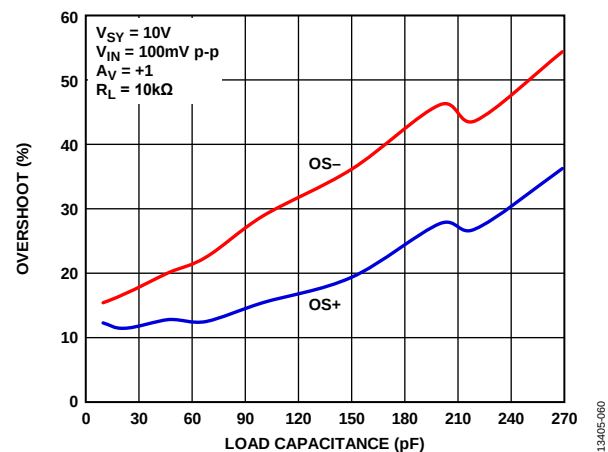
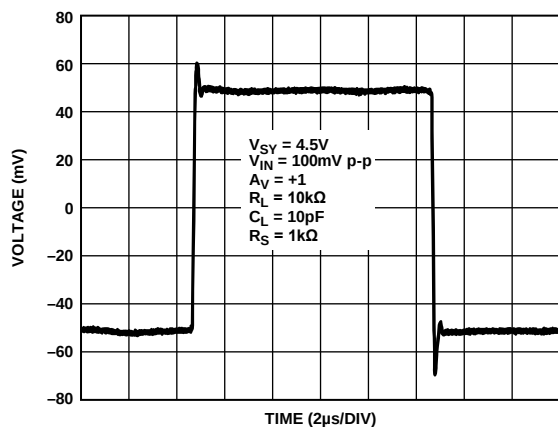
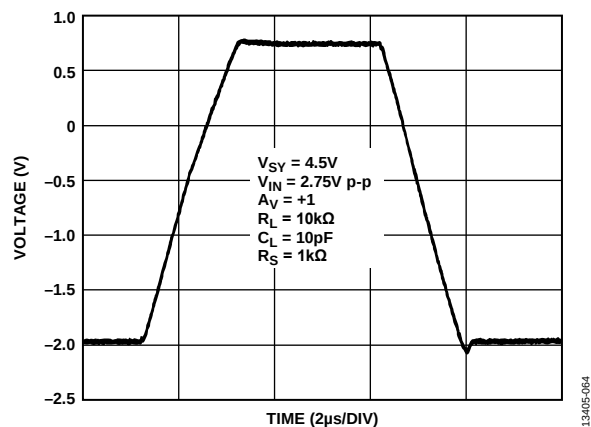
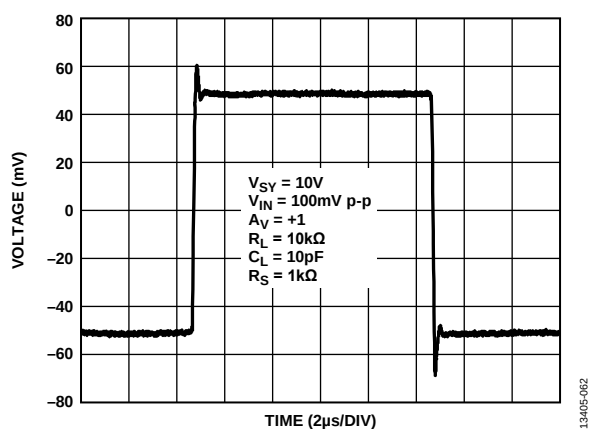
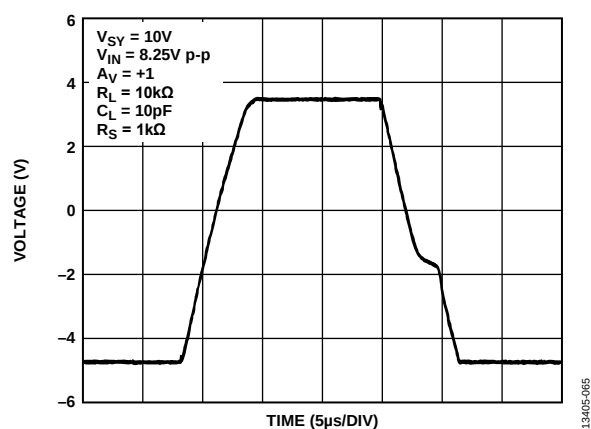
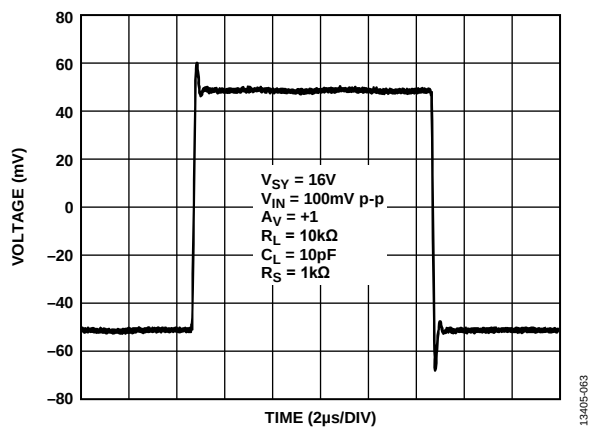
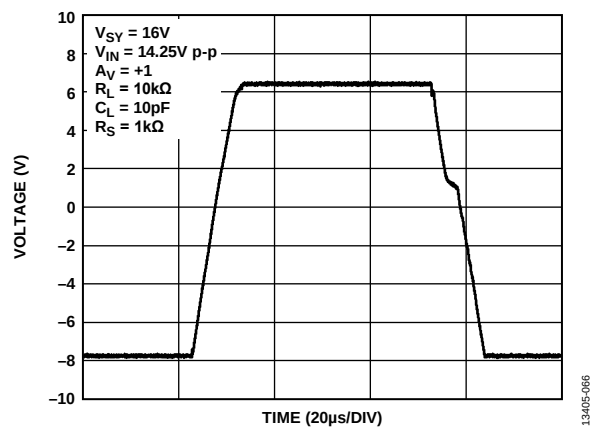
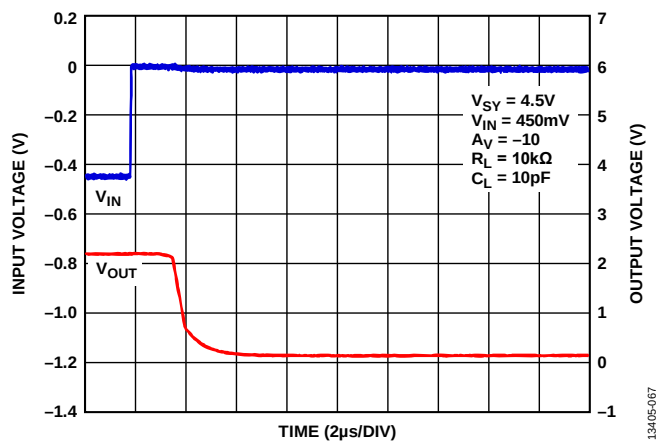
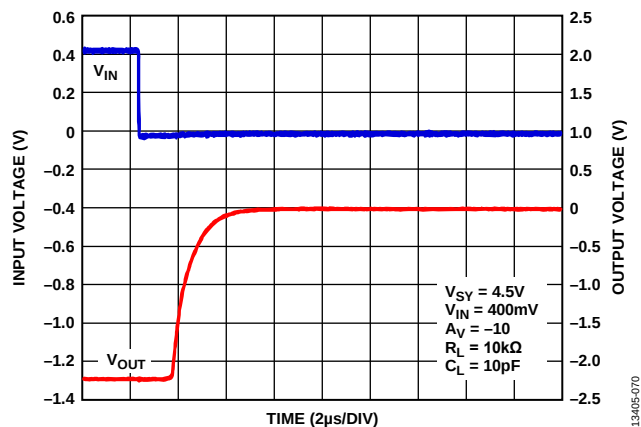
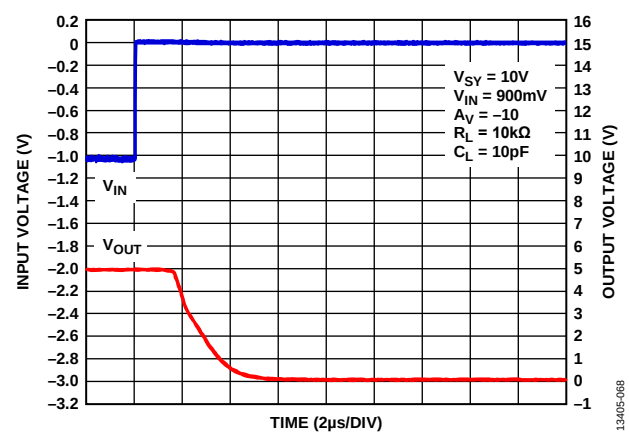
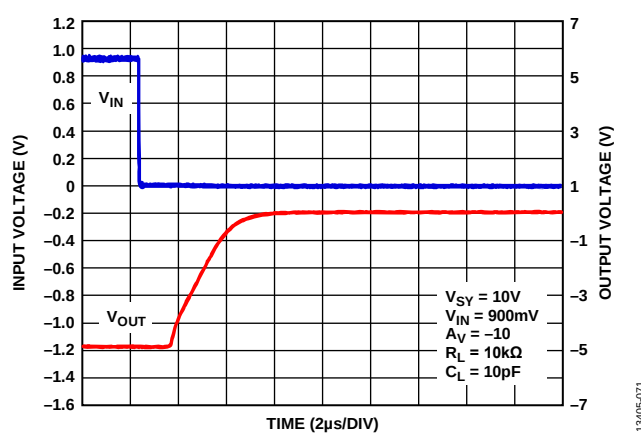
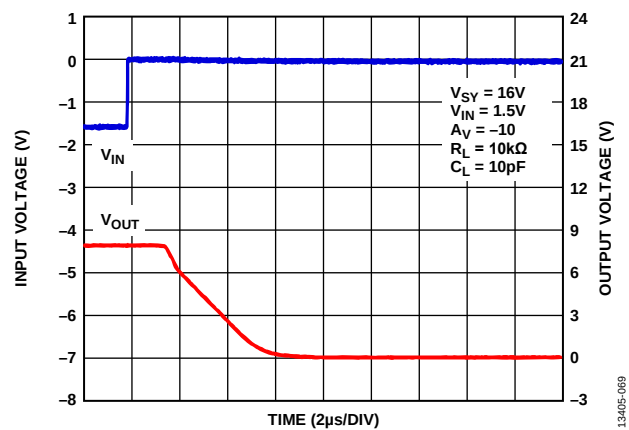
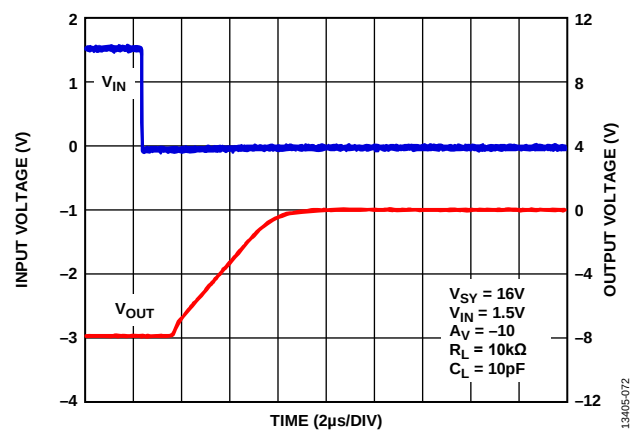


図 60. 小信号オーバーシュートと負荷容量の関係

図 61. 小信号の過渡応答、 $V_{SY} = 4.5\text{ V}$ 図 64. 大信号の過渡応答、 $V_{SY} = 4.5\text{ V}$ 図 62. 小信号の過渡応答、 $V_{SY} = 10\text{ V}$ 図 65. 大信号の過渡応答、 $V_{SY} = 10\text{ V}$ 図 63. 小信号の過渡応答、 $V_{SY} = 16\text{ V}$ 図 66. 大信号の過渡応答、 $V_{SY} = 16\text{ V}$

図 67. 正側過負荷回復、 $V_{SY} = 4.5 \text{ V}$ 図 70. 立下がり過負荷回復、 $V_{SY} = 4.5 \text{ V}$ 図 68. 正側過負荷回復、 $V_{SY} = 10 \text{ V}$ 図 71. 立下がり過負荷回復、 $V_{SY} = 10 \text{ V}$ 図 69. 正側過負荷回復、 $V_{SY} = 16 \text{ V}$ 図 72. 立下がり過負荷回復、 $V_{SY} = 16 \text{ V}$

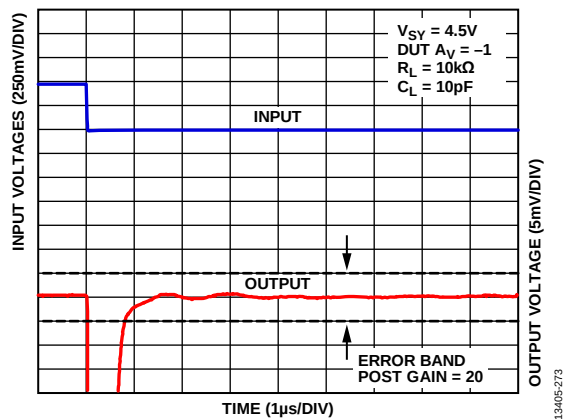


図 73. 0.1 % への立下がりセトリング・タイム、 $V_{SY} = 4.5 V$

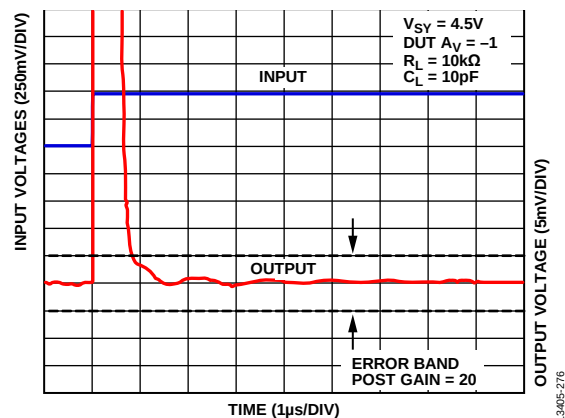


図 76. 0.1 % への立上がりセトリング・タイム、 $V_{SY} = 4.5 V$

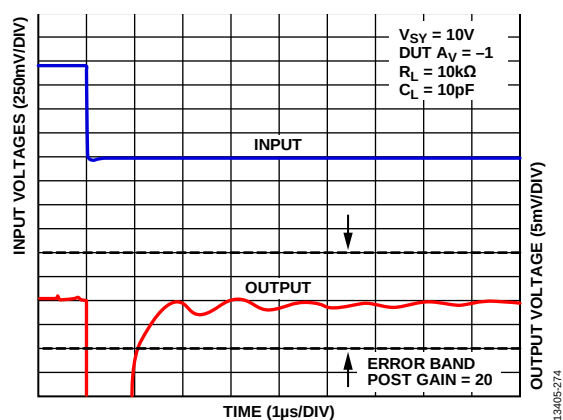


図 74. 0.1 % への立下がりセトリング・タイム、 $V_{SY} = 10 V$

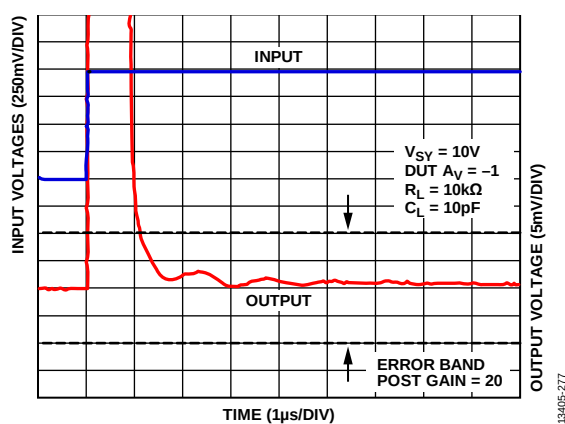


図 77. 0.1 % への立上がりセトリング・タイム、 $V_{SY} = 10 V$

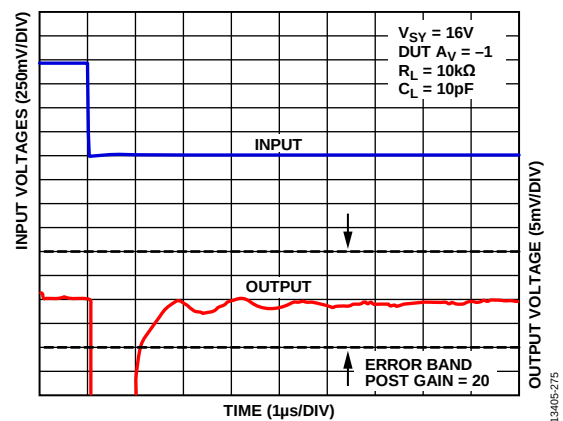


図 75. 0.1 % への立下がりセトリング・タイム、 $V_{SY} = 16 V$

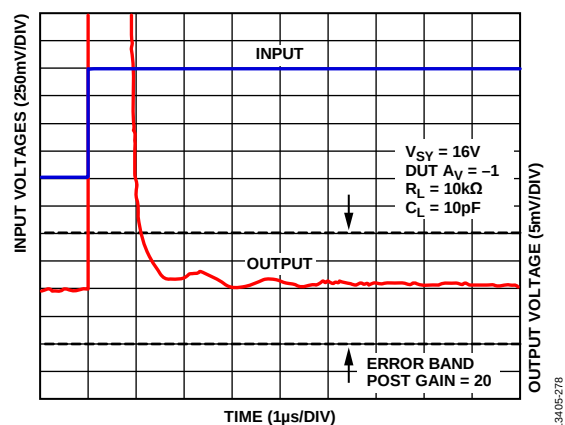
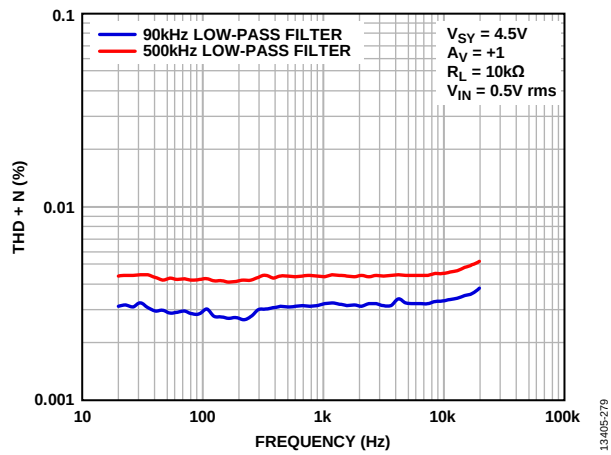
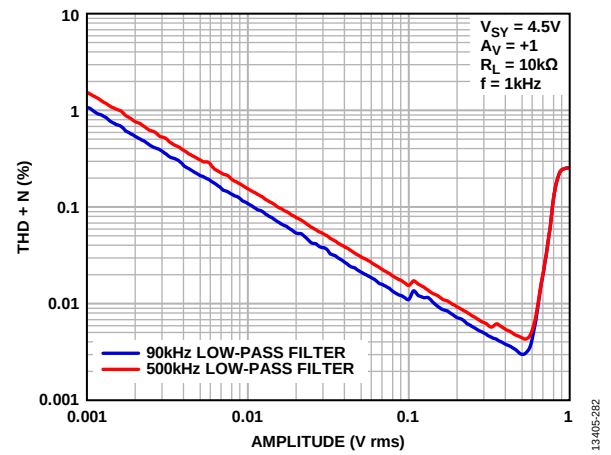
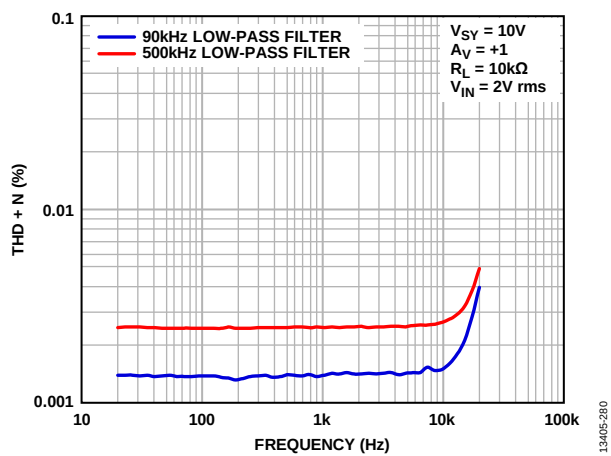
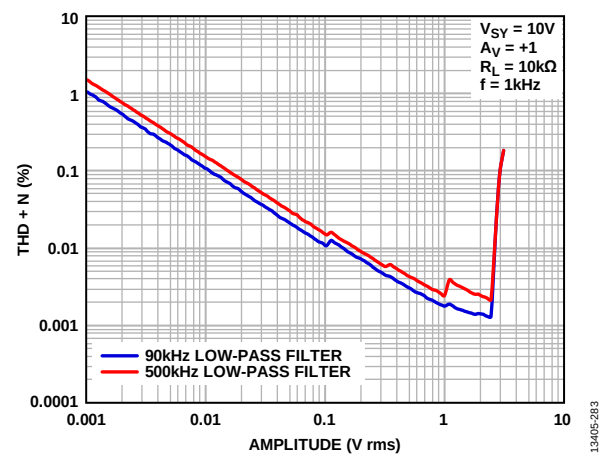
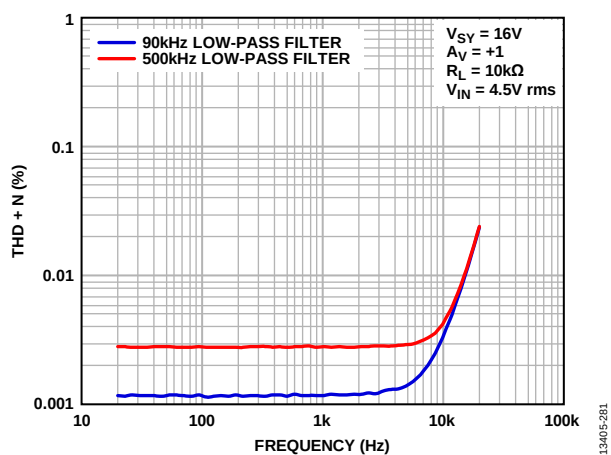
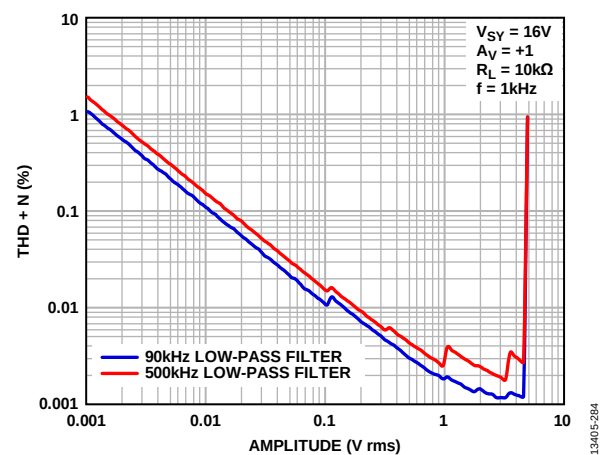


図 78. 0.1 % への立上がりセトリング・タイム、 $V_{SY} = 16 V$

図 79. THD + N の周波数特性、 $V_{SY} = 4.5V$ 図 82. THD + N と振幅の関係、 $V_{SY} = 4.5V$ 図 80. THD + N の周波数特性、 $V_{SY} = 10V$ 図 83. THD + N と振幅の関係、 $V_{SY} = 10V$ 図 81. THD + N の周波数特性、 $V_{SY} = 16V$ 図 84. THD + N と振幅の関係、 $V_{SY} = 16V$

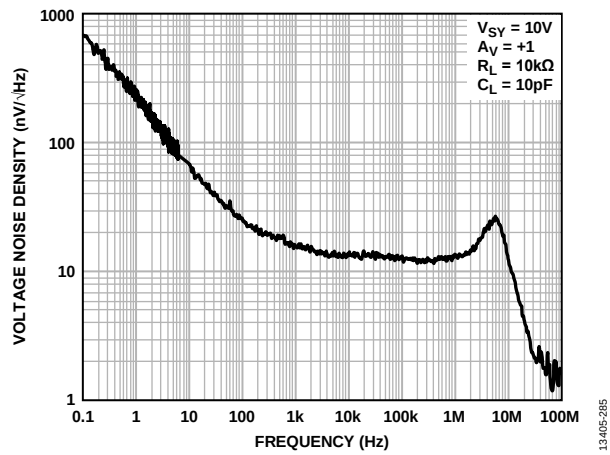


図 85. 電圧ノイズ密度、 $V_{SY} = 10 V$

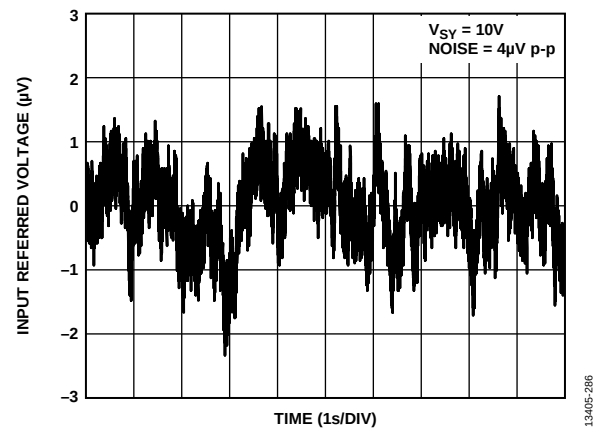
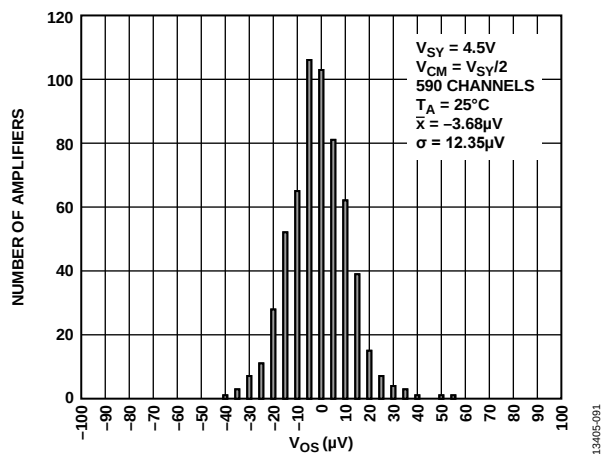
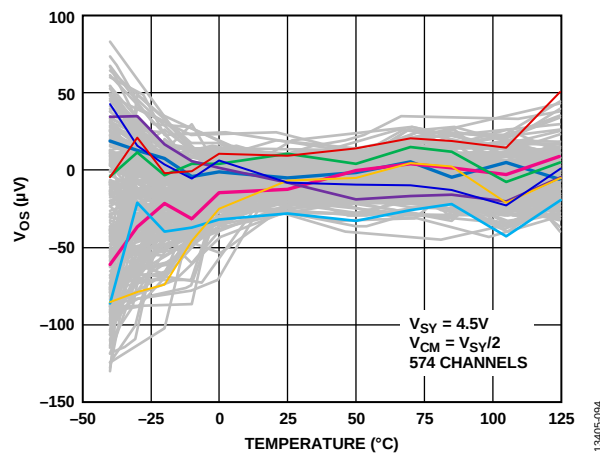
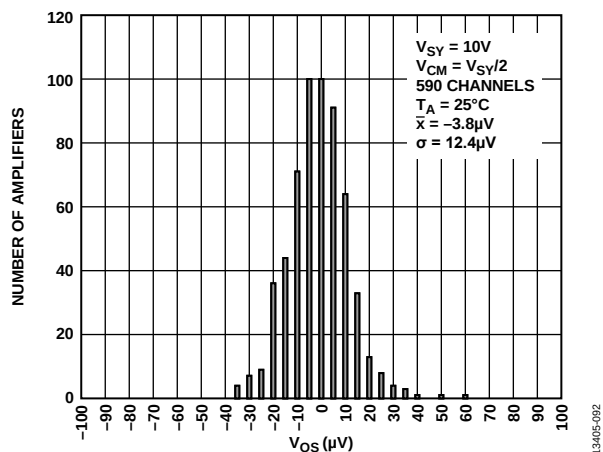
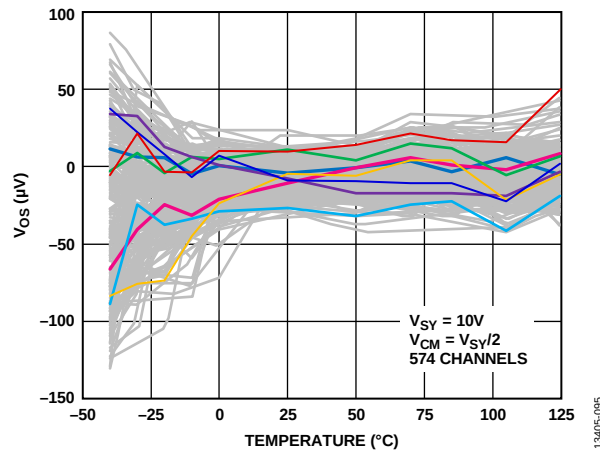
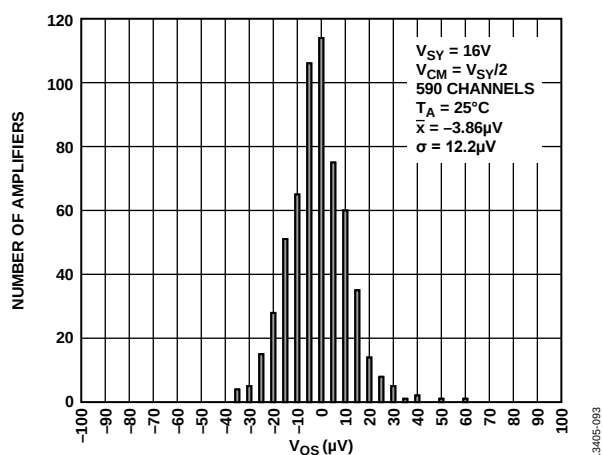
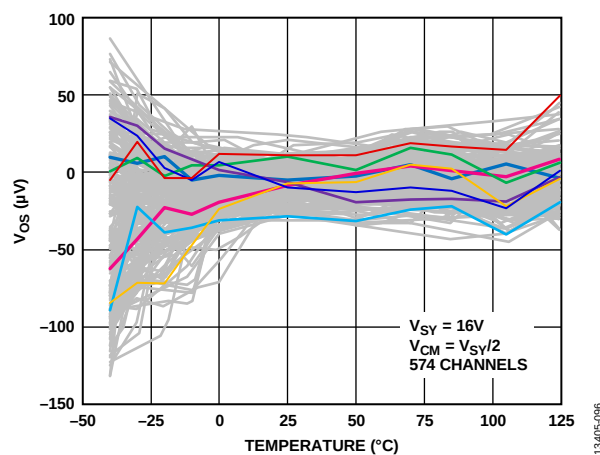


図 86. 0.1 Hz ~ 10 Hz でのノイズ

ガード・アンプ

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。図 87. 入力オフセット電圧の分布、 $V_{SY} = 4.5\text{ V}$ 図 90. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 4.5\text{ V}$ 図 88. 入力オフセット電圧の分布、 $V_{SY} = 10\text{ V}$ 図 91. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 10\text{ V}$ 図 89. 入力オフセット電圧の分布、 $V_{SY} = 16\text{ V}$ 図 92. 入力オフセット電圧 (V_{OS}) と温度の関係、 $V_{SY} = 16\text{ V}$

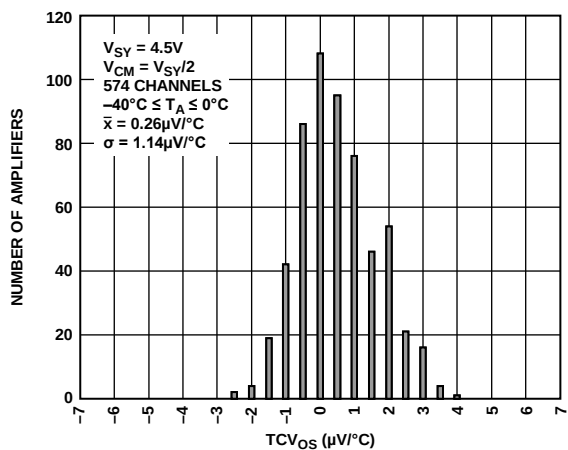


図 93. 入力オフセット電圧ドリフトの分布、
 $-40^{\circ}C \leq T_A \leq 0^{\circ}C$ 、 $V_{SY} = 4.5 V$

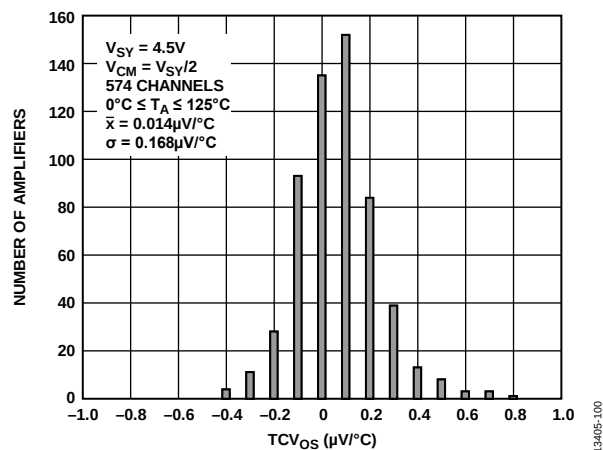


図 96. 入力オフセット電圧ドリフトの分布、
 $0^{\circ}C \leq T_A \leq 125^{\circ}C$ 、 $V_{SY} = 4.5 V = 4.5 V$

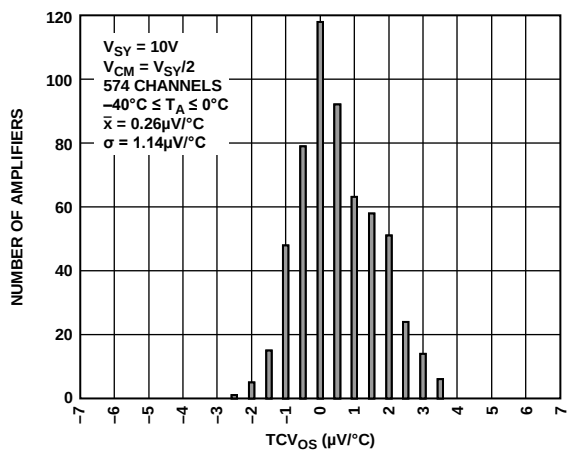


図 94. 入力オフセット電圧ドリフトの分布、
 $-40^{\circ}C \leq T_A \leq 0^{\circ}C$ 、 $V_{SY} = 10 V$

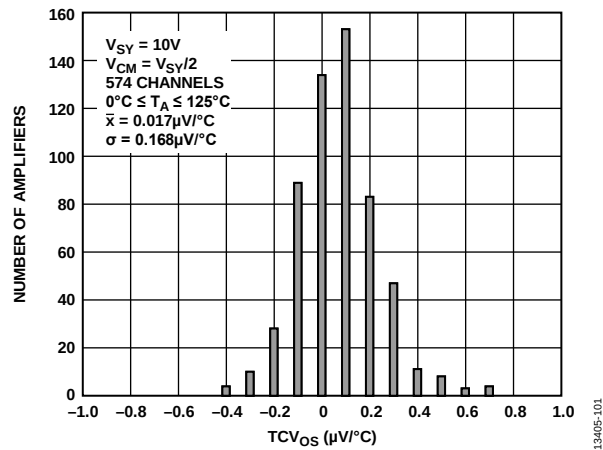


図 97. 入力オフセット電圧ドリフトの分布、 $0^{\circ}C \leq T_A \leq 125^{\circ}C$ 、
 $V_{SY} = 10 V = 4.5 V$

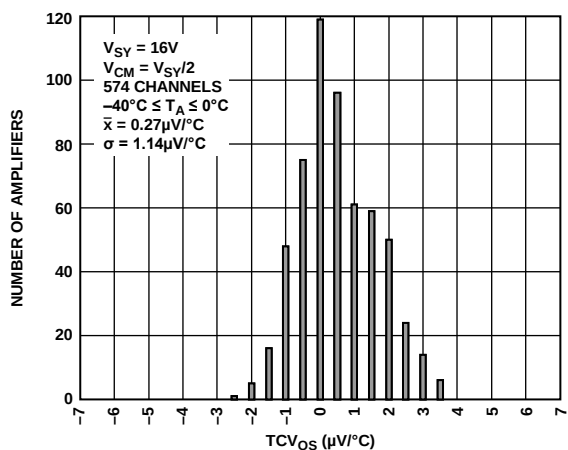


図 95. 入力オフセット電圧ドリフトの分布、
 $-40^{\circ}C \leq T_A \leq 0^{\circ}C$ 、 $V_{SY} = 16 V$

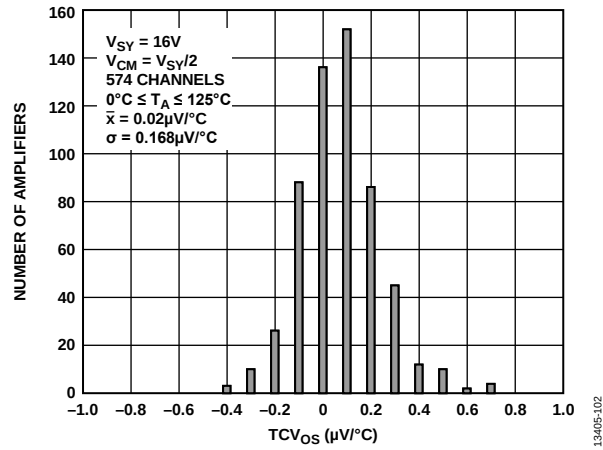


図 98. 入力オフセット電圧ドリフトの分布、
 $0^{\circ}C \leq T_A \leq 125^{\circ}C$ 、 $V_{SY} = 16 V = 4.5 V$

動作原理

ADA4530-1 は、電位計アプリケーションで使用される超高インピーダンス・センサーとのインターフェースとして機能する目的で特別に設計されたオペ・アンプです。

MOSFET 入力段は、従来の接合ゲート型電界効果トランジスタ (JFET) 電位計で発生するゲート・リーク電流を排除します。ADA4530-1 は、超低入力バイアス電流を実現するとともに、ESD 損傷に対する優れた保護能力を発揮します。独自の ESD ダイオード構造で保護機能を実現するとともに、ダイオードを保護して入力ピンへのリーク電流を最小限に抑えることができます。ADA4530-1 は、内蔵 ESD ダイオードのリーク経路を保護する際に使用される高精度バッファを内蔵しています。このガード・バッファの出力は外部ピンにも接続されていて、リーク電流から外部部品を保護することができます。

入力バイアス電流は、ESD ダイオードの両端に印加されるガード電圧の精度によって決まります。アンプとガード・バッファのオフセット電圧により、ガード電圧の精度（入力バイアス電流）が設定されます。

入力バイアス電流は、ESD ダイオードの両端に印加されるガード電圧の精度によって決まります。アンプとガード・バッファのオフセット電圧により、ガード電圧の精度（入力バイアス電流）が設定されます。ADA4530-1 は、アナログ・デバイセズの DigiTrim™ 技術の採用により優れた性能を実現しています。

DigiTrim を使用して、アンプとガード・バッファのオフセット電圧をトリミングし、コモンモード電圧、電源電圧、および温度の変化を排除しています。この技法により、 V_{OS} 、CMRR、PSRR、および TCV_{OS} の仕様が大幅に向上します。

図 99 に、ADA4530-1 の簡略化した回路図を示します。アンプは、完全差動入力段のある 3 段アーキテクチャを使用して、最高の DC 性能仕様を達成します。

ESD 保護構造

入力の静電気放電保護 (ESD) 構造は、ダイオード D1 ~ ダイオード D6 で構成されています。非反転入力は、D1 および D2 の逆並列ダイオードによってガード・ピン (GRD) に結合されています。反転入力は、D3 および D4 の逆並列ダイオード

によってガード・ピン (GRD) に結合されています。ガード・ピンは、ダイオード D5 とダイオード D6 を通じて電源に接続されています。静電気放電 (ESD) が発生すると、入力ピンからいずれかの逆並列ダイオードと電源ダイオードを通して電源に害を及ぼすことなく過渡電流が流れます。通常の動作時には、ガード・バッファ (BUF1) により逆並列ダイオードの両端にかかる電圧は 0 V になります。抵抗 R1 は、ガード・ピンに接続されている潜在的に大きい容量からガード・バッファをシールドします。その公称値は 1 k Ω です。

入力段

入力段は、PMOS 差動ペア (M1、M2)、フォールド型カスコード・トランジスタ (M5 ~ M12)、電流源 I1 で構成されています。

ADA4530-1 は、差動入力に低電圧 MOS デバイスを使用することで、高い性能仕様を実現しています。これらの低電圧 MOS デバイスは、高電圧デバイスと比べて、単位電流あたりで優れた 1/f ノイズと帯域幅を実現します。入力段は、独自の保護回路によって高システム電圧から分離されています。この調整回路は、アンプを動作できる高電源電圧から入力デバイスを保護します。

ADA4530-1 の独自の高電圧保護回路は、ほとんどの入力コモンモード電圧範囲でアンプの入力段によって発生するコモンモード電圧の変化を最小限に抑える方法で動作します。この回路により、推奨される入力コモンモード電圧範囲で動作しているときに最高の外乱除去性能を達成できます。この推奨される範囲内で動作させることによる性能上のメリットを V_{OS} と V_{CM} の関係のグラフ (図 16 ~ 図 18 を参照)、小信号 CMRR と V_{CM} の関係のグラフ (図 21 を参照)、小信号 PSRR と V_{CM} の関係のグラフ (図 54 を参照) に示します。

これらの入力デバイスは、逆並列 ESD ダイオード (D1 ~ D4) によって大きな差動入力電圧から保護されます。ダイオードは、差動電圧が 700 mV を超えると、ダイオードから大量の電流を流すことができます。入力ピンに流れる電流を 10 mA の絶対最大電流に制限する必要があります。

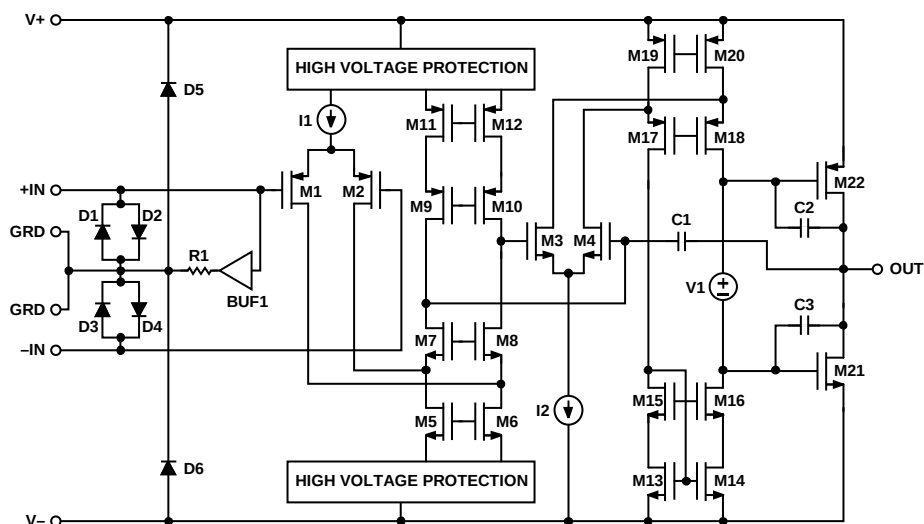


図 99. 簡略化した回路図

ゲイン段

アンプの2段目は、NMOS 差動ペア (M3、M4) とフォールド型カスコード・トランジスタ (M13～M20) で構成されています。アンプはネスト型ミラー補償 (C1～C3) を備えています。

出力段

ADA4530-1 は、M21 および M22 トランジスタで構成される相補型コモンソース出力段を備えています。これらのトランジスタは、クラス AB トポロジで構成されていて、電圧源 V1 によってバイアスが印加されています。このトポロジにより、出力電圧を電源レールの数十ミリボルト以内の差に収めてレール to レールの出力振幅を実現できます。出力電圧は、トランジスタの出力インピーダンスによって制限されます。出力電圧の振幅は負荷電流の関数で、電源レールへの出力電圧と負荷電流の関係のグラフ (図 40～図 45 を参照) を使用して見積もることができます。

ガード・バッファ

ガード・バッファ (BUF1) は、入力コモンモード電圧の低いインピーダンスの複製を作成するユニティゲイン・アンプです。バッファ入力是非反転入力 (IN+) に接続されています。メイン・アンプ帰還ループをセトリングした場合、非反転入力電圧は入力コモンモード電圧にほぼ等しくなります。

ガード・バッファには、アンプと同じような3段アーキテクチャが採用されています。ガード・バッファには、ガード電圧が電源レールの振幅が 100 mV 以内になるレール to レール出力段が採用されています。ガード・バッファ出力は入力コモンモード電圧に追従するため、この出力振幅は低い入力コモンモード電圧でガード・バッファの効果を制限します。この制限は、入力バイアス電流とコモンモード電圧の関係のグラフ (図 22～図 33 を参照) に、低いコモンモード電圧における入力バイアス電流の大幅な増加として見受けられることがあります。このため、V- 電源レールから 100 mV 未満の入力コモンモード電圧で回路を動作させないことをお勧めします。

ガード・バッファ出力電圧は、過度な負荷によって低下することがあります。1 k Ω の出力抵抗が存在する場合は、1 nA の負荷電流あたり 1 μ V のガード電圧誤差が追加されます。数十ナノアンペアの負荷電流が流れる場合、ガード・オフセット電圧が仕様範囲外で駆動されるおそれがあります。このため、絶縁抵抗 (Insulation Resistance および Guarding のセクションを参照) 以外のものをガード・バッファで駆動することは推奨されません。より高い駆動能力が必要な場合は、ADA4661-2 などの低オフセット、低入力バイアス電流オペ・アンプを使用してカード電圧をバッファすることができます。

アプリケーション情報

ADA4530-1 は、フェムトアンペア入力バイアス電流と超低オフセット電圧を達成した電位計グレードのシングル CMOS オペ・アンプです。4.5 V（または ± 2.25 V 両電源）～ 16 V（または ± 8 V 両電源）の幅広い電源電圧範囲で動作します。単電源アンプとして使用する場合、入力電圧範囲には低い電源レールと同じ値が含まれ、レール to レール出力を達成します。ADA4530-1 は、 $\pm 40 \mu\text{V}$ (max) の低オフセット電圧と $\pm 0.5 \mu\text{V}/\text{V/C}$ (max) のオフセット電圧ドリフトも実現します。

システム・アプリケーションで確実にその性能目標を満たすように、ADA4530-1 の超低入力バイアス電流は 25 °C と 125 °C で出荷時にテストされています。ガード・バッファを内蔵しているので、プリント回路基板 (PCB) 設計の入力ピンへのリーク電流と基板部品数を最小限に抑えけるとともに、システム設計が容易になります。ガード・リングの配線を容易に行い、入力ピン、電源、および出力ピン間での信号の結合を防止することができますように、ガード・バッファ出力ピンは入力ピンの横に配置されています。

ADA4530-1 は、さまざまな電流出力トランスデューサ（フォトダイオード、光電子増倍管）、分光測定、クロマトグラフィ、化学センサーの高インピーダンス・バッファリング用のブリアンプ・アプリケーションなど、非常に低い入力バイアス電流と低いオフセット電圧が要求されるアプリケーションに適しています。

入力保護

ADA4530-1 のどちらかの入力がいずれかの電源レールを 300 mV 超過すると、入力 ESD ダイオードに順方向バイアスがかかり、大量の電流が流れます。この過度な電流を制限しないと、デバイスに恒久的な損傷を与えることがあります。入力で過電圧状態が予期される場合、各入力に直列に抵抗を接続して入力電流を 10 mA (max) に制限してください。また、回路全体に対する抵抗熱ノイズの影響を考慮してください。

単電源とレール TO レール出力

ADA4530-1 は、 $V^- \sim V^+ - 1.5 \text{ V}$ (V^+ より 1.5 V 小さい電圧) の入力電圧範囲 (IVR) に対応した単電源アンプです。アンプは、入力コモンモード電圧が仕様規定の IVR よりも大きい場合に正しく機能できる小さなキープ・アライブ入力段を実装しています。この機能により、ADA4530-1 は、パワーアップ時に IVR を超えるような特定タイプの回路ですばやく起動および回復することができます。このキープ・アライブ段の AC および DC 性能は低いため、通常の使用ではこのキープ・アライブ段に依存しないようにしてください。

図 100 に、電源電圧 $\pm 8 \text{ V}$ でユニティ・ゲイン・バッファとして構成された ADA4530-1 の入力と出力の波形を示します。出力電圧が最大出力振幅でクランプされるまで、出力は全範囲にわたって入力電圧に追従します。信号が仕様規定の入力電圧範囲 ($-8 \text{ V} \leq \text{IVR} \leq +6.5 \text{ V}$) を超過しても、アンプは動作を継続します。この動作はキープ・アライブ段によって発生します。さらに、位相反転は発生しません。入力電圧範囲を超過する入力電圧を印加することは推奨されません。

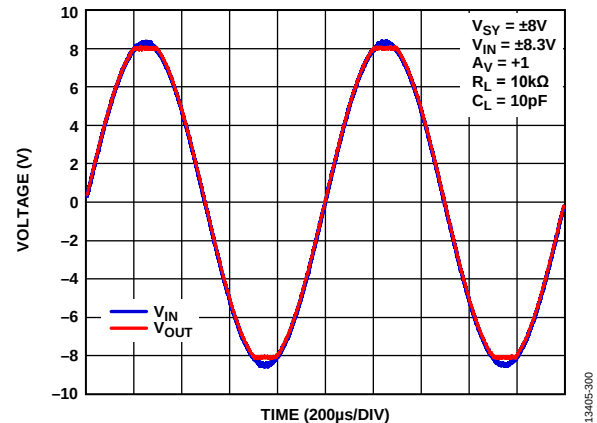


図 100. 位相反転なし

容量性負荷に対する安定性

ADA4530-1 は、最大 250 pF までの容量性負荷を任意の構成で安全に駆動できます。多くのアンプと同様に、仕様規定より大きな容量性負荷を駆動すると、過度なオーバーシュートやリングングが発生したり、発振が生じたりすることもあります。容量性負荷が大きいと位相マージンが減少し、アンプの周波数応答にピークが発生します。ピーク形成は、時間軸でのオーバーシュートまたはリングングに対応します。このため、ADA4530-1 が 250 pF を超える負荷を駆動する必要がある場合は、外付け補償を使用することが推奨されます。この補償は、安定性が最悪の条件となるユニティ・ゲイン構成で特に重要です。

容量性負荷を駆動するオペ・アンプを迅速かつ簡単に安定化させるには、アンプ出力端子と負荷容量の間に直列抵抗 R_{ISO} を接続します（図 101 を参照）。 R_{ISO} は、アンプ出力と帰還回路を容量性負荷から隔離します。ただし、この補償方式では、負荷から見た出力インピーダンスが大きくなるため、ゲイン精度が低下します。

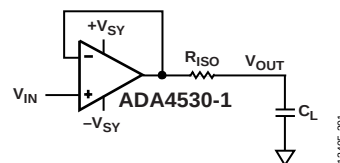


図 101. アイソレーション抵抗 R_{ISO} による安定性補償、 R_{ISO}

図 102 に、さまざまな値のアイソレーション抵抗および容量性負荷における ADA4530-1 の位相マージンを示します。図 103 に、1 nF 容量性負荷およびさまざまなアイソレーション抵抗での周波数応答を示します。

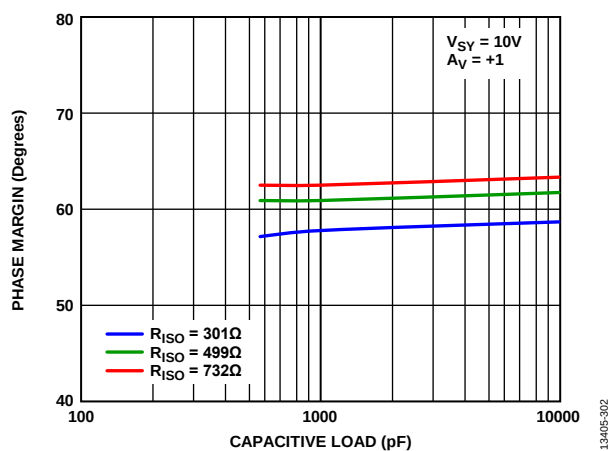


図 102. さまざまな出力アイソレーション抵抗での位相マージンと負荷容量の関係

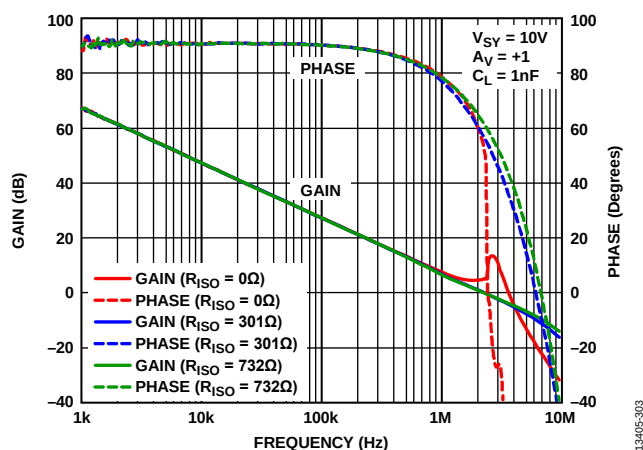


図 103. $C_L = 1$ nF およびさまざまなアイソレーション抵抗での周波数応答

EMI 除去比

回路性能は高周波電磁干渉 (EMI) から悪影響を受けることがあります。信号強度が低く、伝送線が長い場合でも、オペ・アンプは入力信号を正確に増幅する必要があります。ただし、オペ・アンプのすべてのピン (非反転入力、反転入力、正電源、負電源、出力ピン) は EMI 信号の影響を受けやすくなっています。これらの高周波信号は、伝導、近距離放射、長距離放射などのさまざまな方法でオペ・アンプに混入します。例えば、配線と PCB パターンがアンテナとして機能し、高周波 EMI 信号を拾います。

アンプは比較的帯域が狭いため、EMI 信号または RF 信号を増幅することはありません。しかし、入力デバイスの非直線性のため、オペ・アンプはこれらの帯域外信号を整流することがあります。これらの高周波信号が整流されると、出力に DC オフセットとして現れます。

電磁エネルギーが存在する中で ADA4530-1 が期待どおりに動作する能力を表現するために、非反転ピンの電磁干渉除去比 (EMIRR) が Specifications のセクションの表 1、表 2、表 3 で仕様が規定されています。EMIRR 測定の数値的方法は、以下のように定義されます。

$$EMIRR = 20\log(V_{IN_PEAK}/\Delta V_{OS})$$

図 104 に仕様が規定された各電源電圧での代表的な EMIRR の周波数特性を示します。

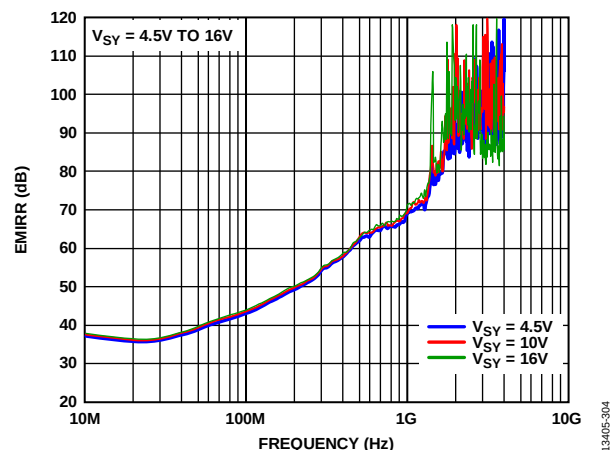


図 104. EMIRR の周波数特性

高インピーダンス測定

ADA4530-1 は、超高インピーダンス回路の性能を最大限引き出すように設計されています。優れた性能により、回路インピーダンスが $100\text{ M}\Omega \sim 10\text{ T}\Omega$ を超える場合でも使用できます。高インピーダンス回路の測定では、いくつかの誤差源の影響を受けます。高抵抗源から行う測定に関する一般的な情報については、*Low Level Measurements Handbook*、第 6 版 (Keithley Instruments, Inc., 2004) を参照してください。

ADA4530-1 は、一般的にバッファと TIA の 2 種類の回路で使われます。バッファ回路は、高出力抵抗の電圧出力センサーを測定するのに有用です。センサーの例として、電量分析制御ループ内の pH ブローブや基準電極 (RE) があります。TIA 回路は、電流出力センサーからの信号を出力電圧に変換するのに有用です。センサーの例として、フォトダイオードやイオン・チャンパーがあります。

ここでは、これらの回路で ADA4530-1 を使用する場合の最も重要な誤差源のいくつかについて説明します。バッファ回路と TIA 回路の誤差源を含む、簡略化したモデルをそれぞれ図 105 と図 106 に示します。

バッファ回路は、電圧出力センサーを出力抵抗 (R_{SRC}) のある電圧源 (V_{SRC}) としてモデル化します。A 端子の電圧は、非反転ゲイン構成 (またはユニティゲイン構成) の ADA4530-1 のピン 1 によって検出されます。B 端子は、適切なリファレンス電圧 (この場合は信号グラウンド) まで駆動されます。

すべての誤差源を無視した場合、回路の出力は以下のようになります。

$$V_{OUT} = V_{SRC} \left(1 + \frac{R_F}{R_S} \right)$$

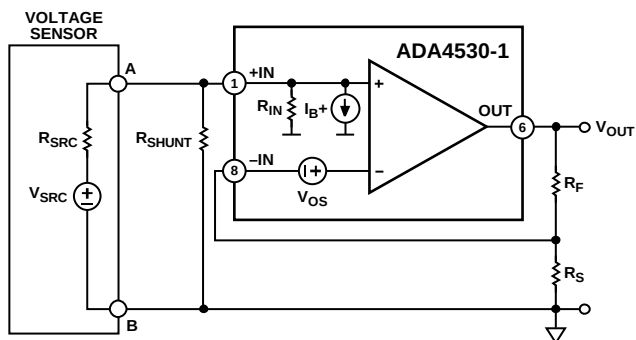


図 105. 電圧バッファ回路

TIA 回路は、電流出力センサーをシャント抵抗 (R_{SRC}) のある電流源 (I_{SRC}) としてモデル化します。A 端子からの電流は、ADA4530-1 の反転入力ピンと帰還抵抗 (R_F) に接続されています。アンプの B 端子と非反転入力、適切なリファレンス電圧 (この場合は信号グラウンド) まで駆動されます。回路の負帰還は、A 端子での電圧の変化を抑制します。この抑制は、すべての電流を強制的に帰還抵抗に流すことで実現されます。すべての誤差源を無視した場合、回路の出力は以下のようになります。

$$V_{OUT} = I_{SRC} R_F$$

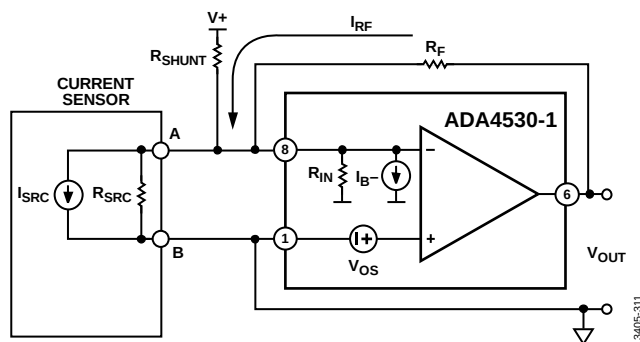


図 106. トランスインピーダンス・アンプ回路

入力バイアス電流

アンプの入力バイアス電流は、高インピーダンス電位計回路の主な誤差源です。

他の半導体アンプと同様、ADA4530-1 の入力バイアス電流には、温度に関する指数関数的な依存性があります。ADA4530-1 の入力バイアス電流は、温度が 10°C 上昇するたびに 2.5 倍になります。代表的な温度特性については、入力バイアス電流と温度の関係のグラフ (図 34 ~ 図 36 を参照) を参照してください。指数関数的なダイオード電流は、 $60^\circ\text{C} \sim 70^\circ\text{C}$ を下回る温度で入力バイアス電流を下回ります。100 aA ~ 200 aA (aA = 10^{-18} A) の残留バイアス電流は、環境条件に非常に敏感な他のリーク経路が存在する場合は、それらの値を下回ります。これらの非常に小さなバイアス電流を測定するには、高度に制御された実験室条件が必要です。実際のアプリケーションの多くでは、他の誤差の方が大きく、ADA4530-1 の入力バイアス電流は 70°C 未満の温度では 0 であるとみなすことができます。ADA4530-1 の入力バイアス電流は、生産環境の測定上の制限により $\pm 20\text{ fA}$ までしか確保できませんが、得られる入力バイアス電流は 1 桁以上低い値になります。

入力バイアス電流は、電圧センサーに負荷を加える形でバッファ回路に影響を与えます。入力バイアス電流はセンサーの出力抵抗を流れ、誤差電圧が生成されます。

$$V_{ERR} = I_{B+}(R_{SRC})$$

高温で動作する超高インピーダンス・センサーで、この電圧誤差は非常に大きくなります。例えば、 125°C で動作する $100\text{ G}\Omega$ センサーでは、入力バイアス電流が原因で 25 mV の最大電圧誤差が生成されます。

入力バイアス電流とセンサー電流を組み合わせると、TIA 回路に影響を与えます。これらのどちらの電流も帰還抵抗を流れて、以下の出力電圧を生成します。

$$V_{OUT} = (I_{SRC} + I_{B-})R_F$$

入力バイアス電流の大きさにより、正確に解決可能な信号電流の大きさが制限されます。例えば、許容誤差レベルが 10 % の場合、125 °C で動作している回路の測定可能な最小信号電流は 2.25 pA です。

$$I_{SRC} = I_B - (1/err - 1)$$

ここで、 err は誤差レベルです。

$$2.25 \text{ pA} = 250 \text{ fA} \left(\frac{1}{0.1} - 1 \right)$$

入力抵抗

アンプの入力抵抗は、考慮する必要があるもう 1 つの誤差源です。入力抵抗には、一般的に差動モードとコモンモードの 2 つの構成要素があります。差動入力抵抗は、回路の負帰還によって抑制されます。ADA4530-1 は、差動入力抵抗が測定できないほど大きい十分なゲインを備えています。コモンモード入力抵抗（以降「入力抵抗」と呼びます）のほうが重要な誤差源です。

入力抵抗は、入力電圧の変化に対する入力バイアス電流の変化に等しくなります。この変化は、ADA4530-1 内部の物理的な抵抗によって生じるものではありません。ESD 構造の両端のガード電圧の精度と入力コモンモード電圧の間の複雑な関係の結果、つまり、コモンモード電圧での入力抵抗の変化によって生じます。入力抵抗が負になることもあります。負の入力抵抗は、コモンモード電圧が増加するのに従って入力バイアス電流が減少することを意味します。

入力抵抗 R_{IN} は、入力バイアス電流とコモンモード電圧の関係のグラフ（図 22～図 33 を参照）の傾きを計算することで近似値を求めることができます。例えば、図 32 で 125 °C で非反転入力抵抗を計算できます。コモンモード電圧が 4 V ～ 6 V の場合、入力バイアス電流は約 20 fA 単位で変化します。

$$R_{IN} = \frac{\Delta V_{CM}}{\Delta I_{B+}}$$

$$R_{IN} = \frac{2 \text{ V}}{20 \text{ fA}} = 100 \text{ T}\Omega$$

入力バイアス電流とコモンモード電圧の関係のグラフの曲線の傾きは、推奨されるコモンモード電圧範囲の外側で急激に増加します（図 22～図 33 を参照）。入力抵抗はこの範囲の外側で急激に低下します。この入力抵抗の低下は、これらの回路を V-電源に近い入力電圧で動作させる前に考慮する必要があります。

入力バイアス電流と同様、入力抵抗は温度に強く依存します。低温では、アンプの入力抵抗は他の誤差源を下回ります。低温での入力抵抗を計算する際の制限事項を認識することは重要です。測定の不確定性により、 ΔI_B 項を正確に計算するのが困難になります。85 °C の入力バイアス電流とコモンモード電圧の関係のグラフ（図 22～図 27 を参照）を考えてみましょう。測定の不確定性は数 fA に等しく、入力バイアス電流自体と同じ大きさになります。これらの不確定性により、数百テラオームよりも高い入力抵抗を計算することは不可能です。

入力抵抗は、電圧センサーに負荷を加えることでバッファ回路に影響を与えます。この抵抗は分圧器として機能するため、アンプで測定された電圧はセンサーの無負荷電圧の一部になります。この電圧降下は以下の式で計算します。

$$V_A = V_{SRC} \frac{R_{IN}}{R_{IN} + R_{SRC}}$$

前述した 125 °C で動作する 100 G Ω センサーの例を考えてみましょう。100 T Ω の入力抵抗により、測定された電圧は実際の電圧の 99.9 % に等しくなります。つまり、ゲイン誤差は 0.1 % です。

TIA 回路では入力抵抗の影響は大幅に少なくなります。入力コモンモード電圧はこの回路では変化しません。このため、生成される誤差は無視できるほど小さくなります。入力抵抗は回路のノイズ・ゲインに影響を与えるので、入力オフセット電圧誤差が変化します（詳細については、Photodiode Interface のセクションを参照してください）。

入力オフセット電圧

アンプの入力オフセット電圧は、センサーの電圧出力に直接誤差を追加することでバッファ回路に影響を与えます。通常、この誤差は、他の誤差よりも大幅に小さくなります。

入力オフセット電圧は、別の方法で TIA 回路に影響を与えます。TIA の負担電圧は、入力オフセット電圧と等しくなります。この負担電圧は、A 端子と B 端子の間に現れます。この負担電圧をセンサーのシャント抵抗の両端にかけると誤差電流が生成されます。フォトダイオードなどの低出力抵抗のセンサーの場合、この誤差は大きくなります。出力抵抗が 1 G Ω のセンサーについて考えてみましょう。ADA4530-1 の 50 μ V 最大オフセット電圧は、50 fA の誤差電流を生成します。

絶縁抵抗

ADA4530-1 の入力バイアス電流は低く、入力抵抗は高いため、回路を構成する際に使用される物質の絶縁抵抗が最大の誤差源になります。高インピーダンス導体と接触する有限抵抗の絶縁体により、誤差電流が生じます。例えば、プリント回路基板 (PCB) のラミネート材、ケーブル、およびコネクタの絶縁体などがあります。

物理的な絶縁抵抗は高インピーダンス導体の接触面全体にわたって分散されます。この結果、電位差の異なる複数の導体が最終的に見受けられることがあります。これらのすべての抵抗経路を 1 つの抵抗に集中化した単純なモデルを作成することは有効です。電圧バッファ回路（図 105 を参照）で、この集中要素を R_{SHUNT} として示しています。

絶縁抵抗は、アンプの入力抵抗と同じ方法でバッファ回路に影響を与えます。この抵抗は分圧器として機能するため、アンプで測定された電圧はセンサーの無負荷電圧の一部になります。ガラス・エポキシ (FR-4 など) PCB 材で高絶縁抵抗値を維持するのは非常に困難なため、この誤差は大きくなります。10 T Ω ～ 100 T Ω の抵抗値を得ることができます。10 T Ω の絶縁抵抗が存在する場合は、前の例で使用した 100 G Ω センサーで 1 % の誤差が生成されます。絶縁抵抗には、低温 (70 °C 未満) で絶縁抵抗が支配的な誤差源となるアンプの誤差のような指数関数的な温度依存性 (Input Bias Current のセクションおよび Input Resistance のセクションを参照) はありません。

TIA 回路の絶縁抵抗の影響は、リーク経路に依存します。電流センサーの A 端子と B 端子間の絶縁抵抗は、アンプの入力抵抗と同じ方法で回路に影響を与えます。絶縁の両端にかかる電圧はアンプのオフセット電圧と等しいため、この誤差は非常に小さくなります。電位が大幅に異なる導体への絶縁経路でより大きな誤差が生成されます。TIA 回路 (図 106 を参照) では、このタイプのリーク経路を集中要素 RSHUNT として示しています。この例では、リーク経路は A 端子への正電源電圧 (V+) で生成されています。正電源電圧が信号グラウンド基準で 5 V の場合、500 fA が 10 TΩ の絶縁抵抗を流れます。この大きな誤差は、温度範囲全体にわたってアンプの入力バイアス電流誤差と入力抵抗誤差を支配します。

高電圧へのリーク経路はバッファ回路にも影響を与え、同様の破壊的な結果となることがあります。

ガーディング

高ソース・インピーダンスと低誤差により、絶縁抵抗の要件が非常に高くなる場合があります。ガーディングという技法により、これらの要件を合理的なレベルに低減できます。同じ電圧電位まで駆動される別の導体で高インピーダンス導体を囲む (ガードする) ことがガーディングの概念です。絶縁抵抗の両端 (高インピーダンス導体とガード間) に電圧がかかっていない場合、電流は流れません。

ADA4530-1 はガーディング技法を内部的に使用し、非常に高性能なガード・バッファを内蔵しています。このバッファの出力は、回路レベルでのガーディングの実装を簡単に行えるように外部使用が可能になっています。

ガードの実装を示すために電圧バッファ回路 (図 105 を参照) を変更しました (図 107 を参照)。このモデルでは、導体 (V_{GRD}) が追加されていて、異なる電圧で高インピーダンス (A) ノードを低インピーダンス (B) ノードから完全に分離します。絶縁抵抗は、A 導体とガード導体間のすべての抵抗 (R_{SHUNT1}) や、ガード導体と B 導体間のすべての抵抗 (R_{SHUNT2}) の 2 つの抵抗としてモデル化しています。ADA4530-1 ガード・バッファは、このガード導体 (ピン 2 ~ ピン 7) を A 端子の電圧まで駆動します。A ノードと V_{GRD} ノードが完全に同じ電圧の場合、電流は絶縁抵抗 R_{SHUNT1} を流れません。

実際には、R_{SHUNT1} の両端にかかる電圧は 0 V にはならず、ガード・バッファのオフセット電圧により A ノードと V_{GRD} ノードの間に電圧電位差が生じます。ADA4530-1 では、電源レールからの入力コモンモード電圧が 1.5 V のときに 100 μV 未満のオフセット電圧を供給するようにトリミングされます。ガード・バッファのオフセット電圧とドリフトを表 1、表 2、および表 3 に示しています。

例えば、電圧センサーが 1 V の出力を生成するとします。ガーディングなしの場合、10 TΩ の絶縁抵抗は 100 fA の誤差電流を生成します。ガードがある場合、絶縁抵抗の両端にかかる電圧は 100 μV に制限されます。ガードは誤差電流を 0.01 fA に制限します。この例では、ガードは誤差を 10⁴ から無視できるレベルまで低減します。

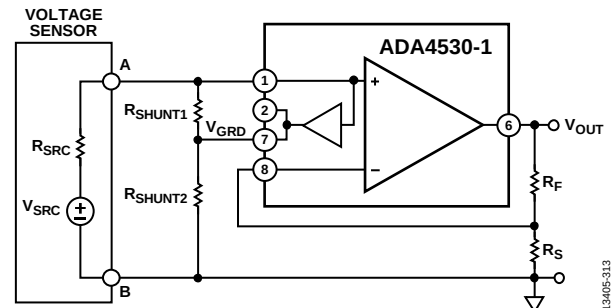


図 107. ガードありの場合の電圧バッファ回路

誘電緩和

誘電緩和 (別名: 誘電吸収またはソーケージ) は、数フェムトアンペアにセトリングする必要のある電位計回路の性能を制限できる、すべての絶縁材の特性です。

誘電緩和は、電界の変化に応じた誘電分子の分極の遅延です。この遅延は、すべての絶縁材の特性です。遅延の大きさと時間定数は、特定の誘電体によって異なります。一部の物質では、遅延が数分または数時間になることもあります。

分子の分極に応じて小さな変位電流が絶縁体を流れるため、誘電緩和は電位計回路で問題になります。分極での遅延は、これらの電流の散逸で遅延を生じさせるので、これらの回路でセトリング・タイムを支配します。

コンデンサの場合は、誘電緩和のことを誘電吸収といいます。コンデンサは、特定の充電/放電サイクル後の残留開路電圧を測定するテストで仕様規定されています。電位計回路の場合、テスト電圧でのステップ変化で生成される短絡電流を考慮した方が便利です。

絶縁体の単純な集中化された回路モデルをテスト電圧源に接続しました (図 108 を参照)。誘電体の大半は瞬時に分極します。これをコンデンサ C1 としてモデル化しています。ごく一部の誘電体は時間定数 τ_2 でゆっくりと分極します。これをコンデンサ C2 および抵抗 R2 としてモデル化しています。

C2 のサイズには、遅い分子の比率が反映されます。サイズは物質によって異なりますが、通常、C1 の 1/100 ~ 1/10,000 です。R2 のサイズにより時間定数が設定されます。

$$\tau_2 = R_2 \times C_2$$

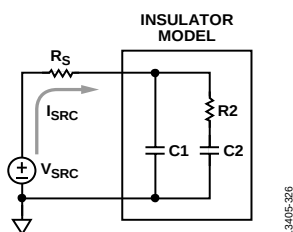


図 108. 誘電緩和モデルのテスト回路

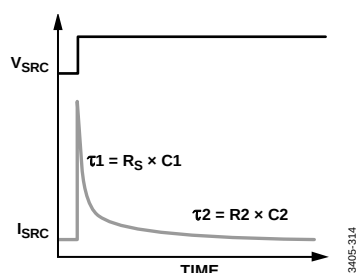


図 109. 誘電緩和モデルのステップ応答

電圧ステップへの絶縁体の電流ステップ応答 (I_{SRC}) を図 108 に示します。大きな初期電流によって、速い時間定数でコンデンサ C1 が充電されます。この時間定数 τ_1 は、ソース抵抗 $R_S \times C_1$ に等しくなります (図 109 を参照)。コンデンサ C1 が充電されてからかなり時間が経過した後に、少量の電流が流れ続けてコンデンサ C2 を充電します。充電の時間定数は外部回路の影響を受けません。絶縁体の材料特性のみに依存します。電流の大きさは、絶縁体の両端にかかる電圧変化の大きさに依存します。

図 108 のテスト回路を使用して、さまざまな PCB ラミネートの誘電緩和性能を測定しました。電位計グレードのソース・メジャー・ユニット (SMU) である Keithley 6430 は、 ± 100 V の試験刺激を適用して、結果の電流を測定します。極性が交互に反転する大きな試験電圧は、小さな誘電緩和電流と SMU の入力オフセット電流を見分けます。

テストした最初の PCB ラミネートは、業界標準の FR-4 ガラス・エポキシです。測定結果を図 110 に示します。ガラス・エポキシ・ラミネートの場合、誘電緩和電流が散逸して 10 fA 未満になるまでに 1 時間かかります。この結果は、ガラス・エポキシ・ラミネートが最高性能の電位計回路に適していないことを示しています。

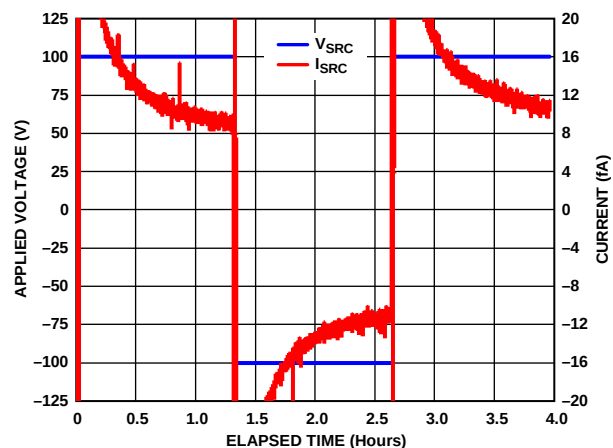


図 110. ガラス・エポキシの誘電緩和性能

ここで取り上げるもう 1 つの PCB ラミネートは Rogers 4350B です。Rogers 4350B は、RF/マイクロ波回路用に設計されたセラミック・ラミネートです。Rogers 4350B は標準の PCB 生産技術と互換性があり、容易に入手できます。Rogers 4350B の測定結果を図 111 に示します。この材料では、誘電緩和電流が散逸して 1 fA を下回るまでの時間は 20 秒未満です。

優れた性能により、最高性能のアプリケーションでは ADA4530-1 で Rogers 4350B ラミネートを使用することを推奨します。ADA4530-1 の重要なすべての特性評価は、Rogers 4350B を使用して行われています。

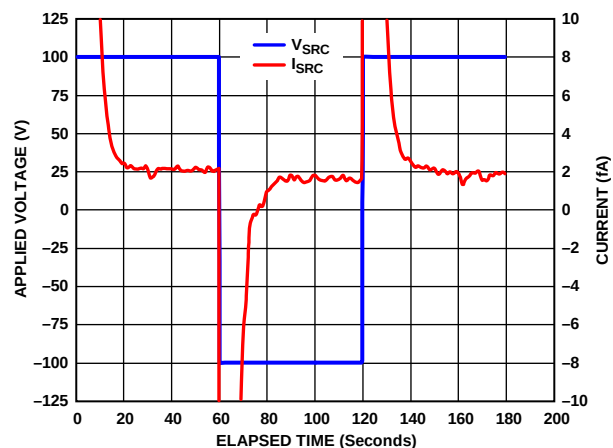


図 111. Rogers 4350B 誘電緩和性能

湿度の影響

回路を構成するのに使用する物質の絶縁抵抗は湿気に敏感です。低温 (< 70 °C) では、絶縁抵抗によるリーク電流の誤差はアンプ自体よりも大きくなります。これは、低温では空気の相対湿度が最も重要な誤差源であることを意味します。湿度への依存性は、入力バイアス電流と温度の関係のグラフ (図 34 ~ 図 36 を参照) で明らかになっています。低温で絶えず低い相対湿度を保つことは困難であるため、低温測定では偏差が大きくなります。

絶縁抵抗の湿度感度を評価するには、吸着と吸収の 2 つの作用を考慮する必要があります。

吸着とは、分子の薄膜が物質の表面に付着する現象です。水分子ではこの現象が発生します。影響の大きさは、絶縁材と相対湿度によって決まります。水分の薄膜には伝導性があり、物質の絶縁抵抗とともにリーク抵抗として機能します。これは表面効果であるため、ガード・リング技法はこの効果を低減させるのに有効です。

吸収は、分子が物質内部に入り込む現象です。水分子は物質内に拡散し、物質の内部伝導性に影響を与えます。リーク経路は物質の内部で発生するため、リークを低減するのにガード・リングは有効ではありません。

内部または表面のすべてのリーク経路を完全にガードすることは不可能です。この制限事項の例として、ADA4530-1 の SOIC パッケージの成型合成物があります。入力ピンからパッケージの他のすべてのピンの間に表面経路および内部経路が存在します。結果として流れる電流の特性は、リーク経路によって異なります。V+ への経路はアンプから出力されるバイアス電流を増加させ、V- への経路はアンプに入力されるバイアス電流を増加させます。V_{OUT} への経路は TIA 回路の実効帰還抵抗を低下させます。

±5 V 電源で入力コモンモード電圧が 0 V の回路について考えてみましょう。入力と V+ 間のすべての実効リーク抵抗が 100 TΩ の場合、この抵抗が原因で V+ から出力される 50 fA の電流が生成されます。入力と V- 間の実効リーク抵抗が 250 TΩ の場合、この抵抗が原因で V- に入力される 20 fA の電流が生成されます。-30 fA の正味電流が入力ピンから出力されます。

これらすべてのリーク電流をアンプの入力バイアス電流と組み合わせ、実効入力バイアス電流として処理することができます。ADA4530-1 の相対湿度に対する実効入力バイアス電流の感度を、いくつかのユニットで特性評価しました。テスト・アンプを TIA 回路およびユニティ・バッファ回路で構成し、100 GΩ、ハーメチック・シール抵抗 (RX-1M1009FE) を帰還抵抗およびソース抵抗として使用しました。これらのガラス・ボディアの抵抗には、シリコン・コーティングが施されています (ガラスの湿気吸着特性は低いからです)。ADA4530-1 アンプを Rogers 4350B PCB に実装しました (ガラス・エポキシ基板の湿気吸着特性は低いからです)。

図 112 に、3 つの特性評価ユニットの実効入力バイアス電流と相対湿度を示します。図 112 は、バイアス電流の大きさと極性がわかりやすくなるように、分割された対数軸にプロットされたグラフを示しています。リーク電流の大きさは、5 % ~ 80 % の相対湿度で 100 倍以上に変化しています。代表的な条件の環境 (RH < 50 %) で実効バイアス電流は 1 fA よりも大幅に低くなっています。

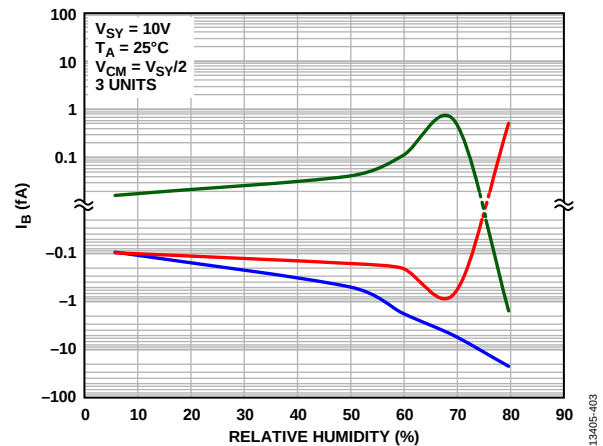


図 112. 実効入力バイアス電流と相対湿度の関係

湿度が高い場合 (> 60 %)、実効入力バイアス電流の大きさは相対湿度に非常に敏感になります。一部のユニットは、湿度に対する指数関数的な依存性を示します (図 112 の青色の曲線を参照)。他のユニットは、低い依存性を示します。リーク電流は急激に増加しますが、極性は変更できます。正味リーク電流は、高電圧 (V+ など) から供給された電流と低電圧 (V- など) によって低下した電流の合計です。湿度が変化することによって、これらの各リーク経路の相対的な大きさが変化し、結果としてリーク電流の極性が変化します (図 112 の赤色の曲線と緑色の曲線を参照)。

これらのリーク電流の応答時間は、リークの原因となる物理的なプロセスに依存します。吸着は表面効果であるため、膜厚は瞬時に空気の相対湿度の変化と平衡状態になります。吸収は内部拡散プロセスであるため、吸着プロセスと比べて非常にゆっくりと進行します。

これらの時定数が大幅に異なる理由は、実効入力バイアス電流は相対湿度のステップ変化に迅速に応答するが、セトリング・タイムが非常に長いことを意味します。50 % ~ 60 % の相対湿度の変化に対するアンプのステップ応答を図 113 に示します。初期湿度ステップの高周波数応答 (およびオーバーシュート回復) には、数秒から数十秒かかります。PCB の絶縁体およびパッケージの成型化合物内で湿気がゆっくりと拡散するため、完全なセトリングには 1 週間以上かかります。図 112 の各データ点は、1 週間のセトリング・タイムの後に取得したものです。

実際のアプリケーションでは、空気の相対湿度は日々の変化および季節的な変化によって急激に変化します。これらの湿度の変化に対する実効入力バイアス電流の応答は、2つの部分で構成されています。吸着プロセスによる応答は、急速な変化に直ちに追従します。吸収プロセスによる応答は、湿度の変化をローパス・フィルタで処理します。このローパス応答により、実効入力バイアス電流は相対湿度の変動を長期間にわたり記憶します。

この環境において、リーク電流は前の週の相対湿度に依存するため、実効入力バイアス電流の測定は時間とともにドリフトします。特定の状況では（製品を使用する前に未調節の高湿度環境で長期間保管する場合など）、吸収プロセスによる長期間にわたる記憶を考慮する必要があります。

迅速な吸着応答により、湿度の局所的な変動に応じて実効バイアス電流が変化することがあります。これらの電流の変動は、アンプの低周波電流ノイズや抵抗の熱ノイズよりも大幅に大きくなります。エア・バップルを使用して回路の周囲の気流を制限することで、感度の高い回路を湿度の局所的な変動から隔離できます。干渉を低減するために追加した静電シールドもエア・バップルとして機能します。可能な場合は、湿度の変動源を取り除くか、低減します。例えば、高インピーダンス回路に息を吹きかけないようにします。

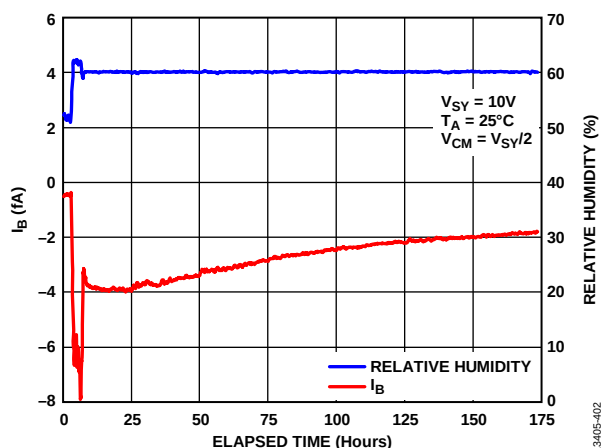


図 113. 湿度ステップに対する実効入力バイアス電流の過渡応答

すべての電位計回路が湿度の影響を受けることを認識しておくことが重要です。空中配線技術を使用した TO-99 パッケージで構成された従来型の回路には、ピンと空中配線部品を支持するための Teflon® スタンドオフの間のエポキシなど、絶縁体リーク経路があります。従来型のアンプの入力バイアス電流は、湿度の影響が問題にならないほど十分に大きい値です。

ADA4530-1 は、通常の実験室の相対湿度条件（< 60 %）で規定された性能を使用して設計できます。未調整の環境または高湿度環境で動作させる必要のあるアプリケーションでは、入力バイアス電流をさらにディレーティングした方が良い場合があります。正味リーク量は、絶縁体の材質と物理的な寸法によって異なるため、ディレーティングの量は製品ごとに決定します。

汚染

絶縁体が汚染されている場合、電位計回路の実効絶縁抵抗は実質的に低下します。ハンダ・フラックス、皮脂、塵、埃などのすべてが汚染源となります。これらの汚染物の一部は、既存の絶縁体の表面にわたって並列リーク経路を形成するので、絶縁抵抗が低下します。ガーディング技法により、これらの影響を抑制できます。

汚染源にイオン化合物が含まれている場合、この影響はさらに深刻になります。湿気が存在すると、これらの汚染源は電解質として機能し、微弱なバッテリーを形成します。フラックス残留物や皮脂は、これらの寄生バッテリーが形成される主な要因となります。

例として、3 mm の弱活性化松脂（RMA）タイプのハンダ・フラックスを使用して、2つの高インピーダンス・ノード間の PCB 絶縁を汚染しました。このサンプルを乾燥させ、数日間にわたり実験室の環境条件（25 °C、40 % RH）で安定させました。この後、電位計グレードの SMU で電圧と電流の関係を測定しました（図 114 を参照）。

この汚染により、オープン・サーキット電圧（ V_{BATT} ）15 mV および出力抵抗（ R_{BATT} ）300 G Ω の微弱なバッテリーが形成されました。この種の汚染は、ガーディング技法で抑制できないため、電位計回路では致命的です。TIA 回路の A 端子と B 端子の間に汚染バッテリーを入れて簡略化したモデルを作成しました（図 115 を参照）。A 端子と B 端子は両方とも同じ電圧まで駆動されるので、誤差電流（ I_{BATT} ）が生成されます。これは、以下に示すように出力抵抗の両端でオープン・サーキットのバッテリー電圧が降下するためです。

$$I_{BATT} = V_{BATT} \div R_{BATT}$$

このバッテリー電流のすべてが帰還抵抗を流れ、回路内の信号および他の誤差電流と合算されます。この例で、誤差電流は 50 fA です。バッテリーの特性は環境条件の影響を受けるため、誤差電流は時間、温度、および湿度によってドリフトします。

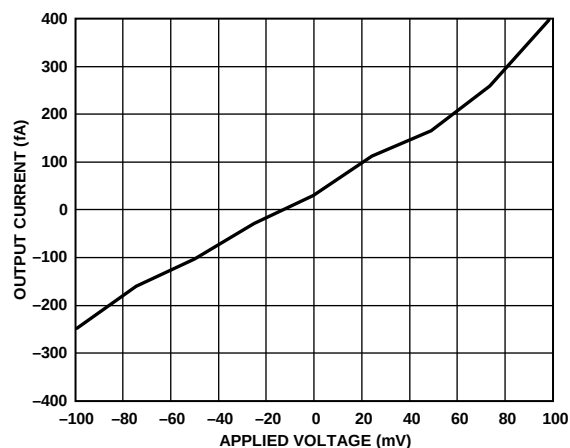


図 114. RMA で汚染された絶縁の電流-電圧応答

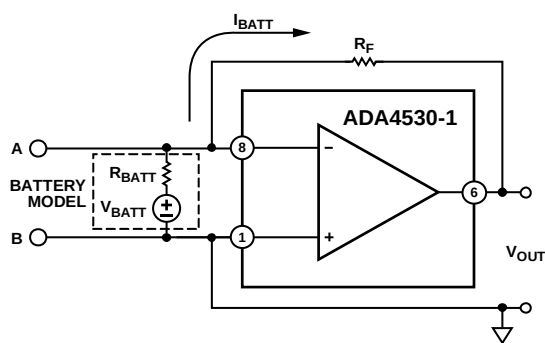


図 115. 汚染バッテリーの存在する TIA 回路

クリーニングと取り扱い

通常、Contamination のセクションで説明した汚染は、適切なクリーニング・プロセスによって取り除くことができます。イソプロピル・アルコール (IPA) などの溶剤は、ハンダ・フラックスや皮脂の残留物を取り除くのに効果的です。溶剤自体によってさらに汚染されないように、高純度のクリーンルーム・グレードの溶剤を使用してください。

ひどく汚染された絶縁体は、溶剤に加えて機械的研磨を行うことで良好な結果を得られます。超音波クリーナーは非常に効果的です。高インピーダンス絶縁体の周囲の領域を酸性ブラシでこすることも有効です。未使用の IPA を使用した最終洗浄で絶縁体を洗い流して、溶剤に浮遊している汚染物を取り除きます。

絶縁体を使用する前に、残留水分を完全に蒸発させる必要があります。この蒸発には室温で数時間かかります。絶縁体をオーブンで高温加熱すれば、この時間を短縮できます。

クリーニングと取り扱い手順の詳細については、[ADA4530-1R-EBZ User Guide](#) を参照してください。

ハンダ・ペーストの選択

適切にクリーニングしなかった場合、ハンダ・ペーストは基板の性能に多大な影響を与えます。PCB 上のハンダ・フラックス残留物は、アンプの低 IB 性能を低下させます。各種ハンダ・ペーストのクリーニング手順を評価するために実験を行いました。表 7 に、実験の結果を示します。推奨されるクリーニング手順の列に、実効入力バイアス電流を 1 fA 未満に回復するのに必要な時間を示します。推奨されるハンダ・ペーストのタイプは RMA です。

表 7. 各種ハンダ・ペースト材の推奨されるクリーニング手順

Solder Paste Type	Solder Paste Part Number	Recommended Cleaning Procedure ¹
RMA	AIM RMA258-15R	15 min clean time in an ultrasonic cleaner with fresh IPA, followed by 1.5 hours of bake time at 125°C
Water Soluble	SAC305 Shenmao	1.5 hours clean time in an ultrasonic cleaner with fresh IPA, followed by 1.5 hours of bake time at 125°C
No Clean	SAC 305 AMTECH LF4300	3 hours clean time in an ultrasonic cleaner with fresh IPA, followed by 3 hours of bake time at 125°C

¹ 加熱時間は最適化された値ではなく、クリーニング時間と同じ値に設定しました。

電流ノイズに関する考慮事項

アンプの入力ピンからの電流ノイズは、インピーダンスを流れて電圧ノイズを生成する場合に重要です。電流ノイズとインピーダンスが十分に大きい場合、結果として生成される電圧ノイズが回路内の他のノイズ生成源（抵抗とアンプの電圧ノイズなど）を上回ることがあります。ADA4530-1などの電位計アンプの場合、代表的な回路インピーダンスは大きいいため、アンプの電流ノイズが最も重要なノイズ生成源となります。

電流ノイズを測定するには、結果として生成されるノイズ電圧が回路内の他のノイズ電圧よりも大きくなるように、十分に大きいテスト・インピーダンスにノイズ電流を流す必要があります。通常、このテスト・インピーダンスとして1本の抵抗を使用します。どの抵抗にも独自の熱ノイズがあります。通常、熱ノイズの値は、出力換算電圧ノイズ・スペクトル密度（NSD） V_{NRTO} として表されます。

$$V_{NRTO} = \sqrt{(4kTR)}$$

ここで

k はボルツマン定数。

T は温度（ケルビン）。

R は抵抗値。

抵抗の熱ノイズは、オームの法則に従って熱ノイズを抵抗値 R で除算することで電流 NSD として解釈できます。

表 8 に、電圧ノイズおよび電流ノイズとして表した、一連の抵抗値の熱ノイズを示します。抵抗の電流ノイズは、抵抗値が増加するのに従って減少します。この結果は、低レベルの電流ノイズを測定するには、値の大きい抵抗が必要であることを示しています。

表 8. 抵抗の熱ノイズ

Resistor Value	Voltage Noise	Current Noise
1 MΩ	128 nV/√Hz	128 fA/√Hz
100 MΩ	1.28 μV/√Hz	12.8 fA/√Hz
10 GΩ	12.8 μV/√Hz	1.28 fA/√Hz
1 TΩ	128 μV/√Hz	128 aA/√Hz

電流ノイズのデータを収集するのに使用した測定セットアップを図 116 に示します。ADA4530-1 は、値の大きな帰還抵抗 R_F を使用して TIA として構成しました。反転入力からのアンプの電流ノイズはすべて抵抗 R_F を流れて、 V_{OUT} で電圧ノイズを生成します。

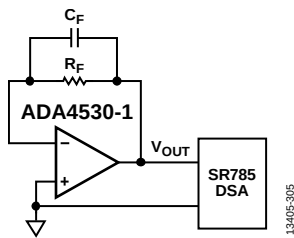


図 116. 電流ノイズ測定のセットアップ

出力換算電圧 NSD (V_{NRTO}) は、SR785 高性能ダイナミック・シグナル・アナライザ (DSA) によってサンプリングされます。この値はアンプの電流ノイズに R_F 、抵抗熱ノイズ、およびアンプの電圧ノイズを乗算した値の二乗和平方根に等しくなります。

$$V_{NRTO} = \sqrt{((I_N R_F)^2 + 4kTR_F + V_N^2)}$$

ここで

I_{N-} は、アンプの反転電流ノイズ。

$4kTR_F$ は、抵抗の熱ノイズ。

V_N^2 は、アンプの電圧ノイズ。

以下の式で、 V_{NRTO} からアンプの電流ノイズを計算します。

$$I_{N-} = \sqrt{\frac{V_{NRTO}^2 - 4kTR_F - V_N^2}{R_F}} \quad (1)$$

式 1 を有効にするには、測定したノイズが、抵抗の熱ノイズとアンプの電圧ノイズよりも大きいことが必要です。実際には、抵抗の電流ノイズがアンプの電流ノイズ未満であることを確認します。例えば、予期されるアンプのノイズが 2 fA/√Hz の場合は、表 8 に従って 10 GΩ 以上の R_F 値を使用します。

ほとんどの周波数でアンプの電圧ノイズは問題になりません。これは、抵抗の熱ノイズのほうがアンプの電圧ノイズよりも大幅に大きいためです。非常に低い周波数では、アンプの電圧ノイズの 1/f 特性により、この仮定は有効ではありません。

図 116 に示す電流ノイズ測定システムの帯域幅の制限を考慮することが重要です。浮遊容量が存在することで、測定に必要な高インピーダンスを維持することが不可能になります。図 116 に示すように、アンプの出力を反転入力に結合するすべての浮遊容量を 1 つのコンデンサ C_F に集中させることが可能です。

電流ノイズが電圧ノイズになるには、 R_F を通過する必要があります。ただし、実際には、電流ノイズは並列接続された R_F と C_F を通過して電圧ノイズになります。 $R_F C_F$ 極よりも高い周波数では、ほとんどのノイズ電流がコンデンサを流れ、 C_F の分散された寄生性質により、これらの周波数での電流ノイズの計算は誤差が生じやすくなります。測定帯域幅制限を $R_F C_F$ 極周波数と同じに設定することをお勧めします。

値の大きな抵抗の測定帯域幅制限は、非常に低くなります。表 9 に、一連の抵抗値の -3 dB 帯域幅と実用的な最小浮遊容量値を示します。

表 9. 帯域幅制限

Resistor Value	Capacitor Value	-3 dB Bandwidth
1 MΩ	100 fF	1.59 MHz
100 MΩ	100 fF	15.9 kHz
10 GΩ	100 fF	159 Hz
1 TΩ	100 fF	1.59 Hz

電流ノイズ 2 fA/√Hz のアンプについて考えてみましょう。必要な R_F 値 10 GΩ によって、測定帯域幅が 159 Hz に制限されます (表 9 を参照)。

抵抗のノイズと測定帯域幅のガイドラインを組み合わせた表を作成すると便利です。表 10 に、各種入力電流ノイズ測定のおおよその帯域幅制限を示します。

表 10. 測定電流ノイズの密度と帯域幅の関係

Current Noise Density	Bandwidth
128 aA/√Hz	1.59 Hz
1.28 fA/√Hz	159 Hz
12.8 fA/√Hz	15.9 kHz
128 fA/√Hz	1.59 MHz

表 10 に、低入力バイアス電流アンプの仕様に記載された一般的な要求値である 10 kHz での 0.1 fA/√Hz の誤差を示します。この値を測定するには、浮遊容量が 15.9 aF (15.9×10^{-18} F) 未満の 1 TΩ の抵抗が必要ですが、これは不可能です。

この種の要求は、数十フェムトアンペアの規定された入力バイアス電流に基づいたショット・ノイズの計算値から単純に求めたものです。以下の式で、半導体のショット・ノイズを計算します。

$$\text{ショット・ノイズ} = \sqrt{(2qI_B)}$$

ここで

q は電子の電荷。

I_B は、ジャンクションを流れる電流。

ショット・ノイズの計算は、1つのジャンクションのみがアンプの入力ピンに接続されている一部の従来型 JFET ベースの電位計アンプのみに適切です。最新の高インピーダンス・アンプでは、複数の半導体ジャンクションがアンプの入力ピンに接続されています。これらのジャンクションでは、ESD ダイオード構造が最も重要になります。入力バイアス電流は、これらのダイオード電流の合計と等しくなります。ダイオード電流は互いを相殺するように設計されていますが、ショット・ノイズ電流は相関関係がないので相殺できません。このため、入力バイアス電流からショット・ノイズを計算することはできません。

これらのショット・ノイズの計算は、適切な場合でも、すべての容量結合効果を見逃すため、非常に低い周波数でのみ有効になります。入力トランジスタのゲート・ソース間容量によって、入力ジャンクション以外のノイズ生成源に由来する数十ヘルツを超える周波数のノイズ電流が結合されます。このブローバック・ノイズ効果はすべてのアンプに存在するので、周波数の増加に従って常に電流 NSD が増加するようになります。

電流ノイズ、帰還抵抗、および帯域幅の間の複雑な関係は、エンド・アプリケーションで使用される値の範囲全体をカバーする各種帰還抵抗を使用して出力 NSD を測定する方法が、電位計アンプの電流ノイズを特性評価する正しい方法であることを意味します。各帰還抵抗は、周波数範囲にわたる測定可能な最小電流ノイズの境界を定めます。

この測定には、高品質な抵抗を使用することが非常に重要です。高電圧の動作に設計された多くの高価な抵抗は、低電圧レベルで非直線性を示すので、電位計の用途には適していません。劣った抵抗は独自の 1/f ノイズを生成し、測定結果を阻害する可能性があります。表 11 に、ADA4530-1 の特性評価に使用した抵抗を示します。

表 11. テスト抵抗のデバイス番号

Resistor Value	Manufacturer	Device Number
100 MΩ	Vishay	RNX050100MDHLB
1 GΩ	Ohmite	RX-1M1007GE
10 GΩ	Ohmite	RX-1M1008JE
100 GΩ	Ohmite	RX-1M1009FE
1 TΩ	Ohmite	RX-1M100AKE

表 11 に記載されたテスト抵抗用のトランスインピーダンス・テスト回路の出力換算電圧 NSD (V_{NRTO}) を図 117 に示します。各抵抗の計算された熱ノイズを点線で示しています。黒色の点線は、アンプの 1/f 電圧ノイズを示しています。

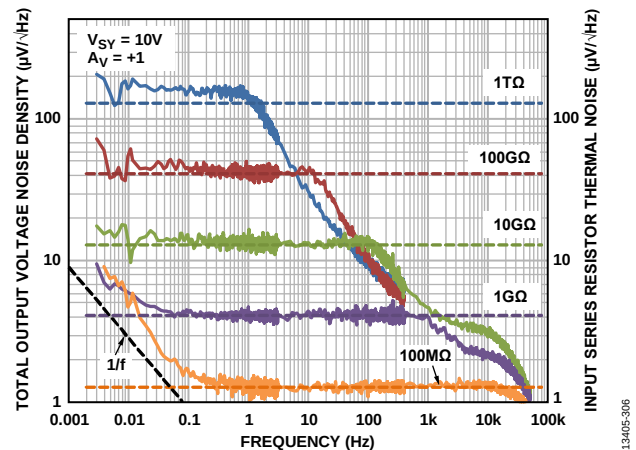


図 117. 出力換算トランスインピーダンス NSD

1 TΩ までのすべてのテスト抵抗において、 V_{NRTO} の支配的な成分は抵抗のノイズになります。これは、ADA4530-1 の電流ノイズ成分は、これらの抵抗の熱ノイズに比べて無視できるレベルであることを意味します。

1 TΩ 抵抗で ADA4530-1 の電流ノイズを計算できます。この結果を図 118 に示します。他のすべての抵抗では、アンプの電流ノイズを計算することはできません。これは、アンプの電流ノイズが抵抗のノイズよりも大幅に小さいためです。各テスト抵抗の電流ノイズ密度を図 118 に点線でプロットしています。ADA4530-1 の電流ノイズは、抵抗のノイズ値を下回っています。

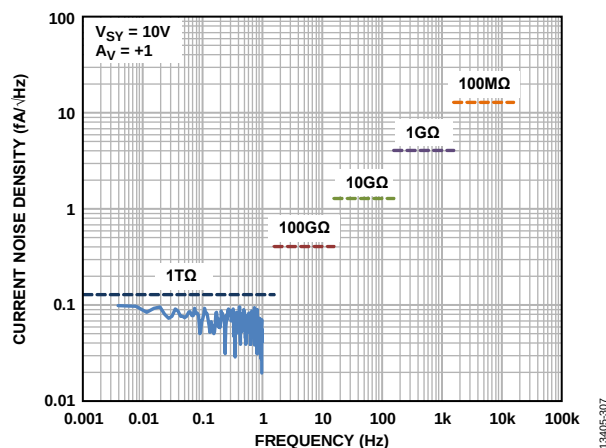


図 118. 電流ノイズ・スペクトル密度

ADA4530-1 の電流ノイズは、ESD ダイオードの飽和電流から生成されます。ダイオードの飽和電流は、温度に対する指数関数的な依存性があります。このため、電流ノイズはこの温度挙動を追従すると期待できます。1 TΩ 抵抗とトランスインピーダンス測定回路を使用して、ADA4530-1 の電流ノイズの特性を温度に対して評価しました。測定は、抵抗の最大動作温度である 85 °C に制限しました。図 119 に、すべてのテスト温度の周波数 0.1 Hz での電流ノイズ密度を示します。

図 119 の電流ノイズ密度データから等価ノイズ抵抗を計算することは有用です。この換算により、ADA4530-1 によって生成される電流ノイズと、回路で使用される帰還抵抗の熱ノイズを比較できます。

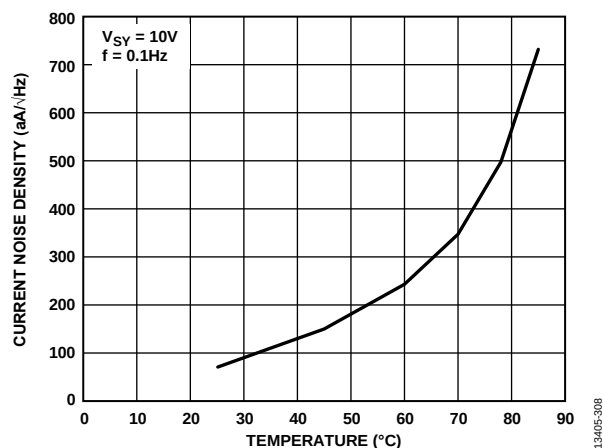


図 119. 電流ノイズ密度と温度の関係

図 120 に、等価ノイズ抵抗と温度の関係を示します。図 120 から、40 °C 未満の温度では ADA4530-1 によって生成されるノイズは 1 TΩ 抵抗よりも少ないことがわかります。アプリケーションを 85 °C で動作させる必要がある場合、ADA4530-1 によって生成されるノイズは 30 GΩ 抵抗と同じになります。この例は、アプリケーションのノイズ性能を決定する際に温度が与える多大な影響を示しています。

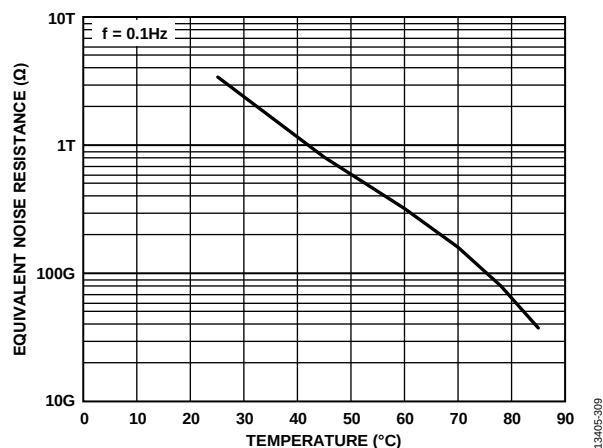


図 120. 等価ノイズ抵抗と温度の関係

最高のノイズ性能により、ADA4530-1 は電位計アプリケーションに最適です。1 TΩ 未満のインピーダンスの場合、アンプのノイズは無視できます。また、他のアンプとは異なり、電流ノイズは完全に特性評価されていて、過度なブローバック・ノイズは生成されません。

レイアウトのガイドライン

ガーディング技法の物理的な実装

Guarding のセクションで、ガーディングは高インピーダンス要件を満たすための基本的な技法であることを説明しました。ガーディングの目的は、ガード電圧まで駆動される別の導体で高インピーダンス・ノードの絶縁を完全に囲むことです。この理想的な構造は実現できません。ただし、優れた性能を発揮する実用的な構造はいくつか存在します。

ガード・リング

ガード・リングは、PCB の表面にガーディング技法を実装するのに一般的に使用される構造です。バッファ回路の簡略化したレイアウトに、高インピーダンス (A) パターンの周りにガード・リングが実装されている様子を示します (図 121 を参照)。図 121 で、電圧センサーの出力は A パッドと B パッドに直接結線されています。ガード・リングは、非反転入力 (ピン 1) へのセンサー接続からの高インピーダンス (A) パターンを完全に囲む銅箔のべたパターンです。ガード・リングは、熱放散パターン接続を通じて ADA4530-1 ガード・バッファ (ピン 2) から直接駆動されます。他のガード・バッファ出力 (ピン 7) を接続する必要はありません。

あらゆる表面リーク経路とガードが電氣的に接触するように、高インピーダンス・パターンとガード・パターンからハンダ・マスクを取り除きました。同じ理由で、このセクションにはシルクスクリーンをプリントしませんでした。

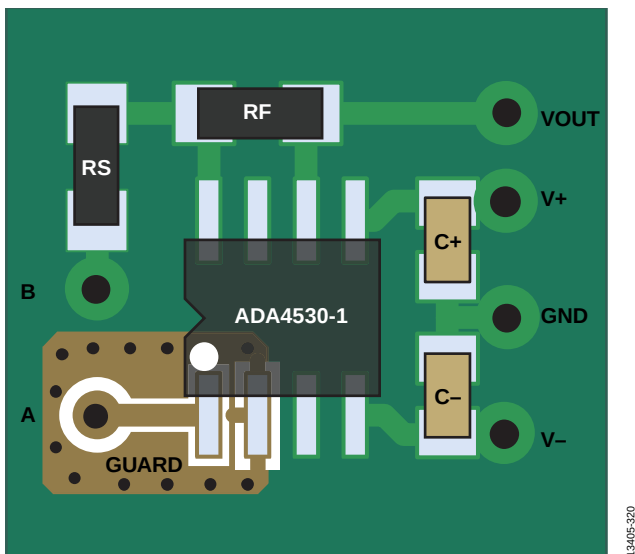


図 121. バッファ回路レイアウト

A パターンとガード・リングの間に大量の露出された絶縁はありません。絶縁抵抗を増やす目的でこの間隔を増やすと逆効果を招きます。これは、露出された絶縁体は、圧電効果または摩擦電気効果によって生成される表面電荷を蓄積する傾向があるためです。最終的にこれらの電荷は、高インピーダンス導体に向かって絶縁体を通過します。この誤差電流の大きさは、露出された高インピーダンス絶縁の領域によって決まります。パターンとガード・リングの間隔は 15 ミルで十分です。

もう 1 つの簡略化したレイアウトに、TIA 回路にガード・リングを実装した様子を示します (図 122 を参照)。ガード・リングは、バッファ回路と同じ方法で実装されています。帰還抵抗 (RF) と帰還コンデンサ (CF) の左半分が高インピーダンス・ノードに接続されていることが主な違いです。高インピーダンス・ノード全体がガードで囲まれるように、ガード・リング・パターンはこれらの受動部品の周囲に延びています。ガード・リングは ADA4530-1 ガード・バッファ (ピン 7) から直接駆動されます。

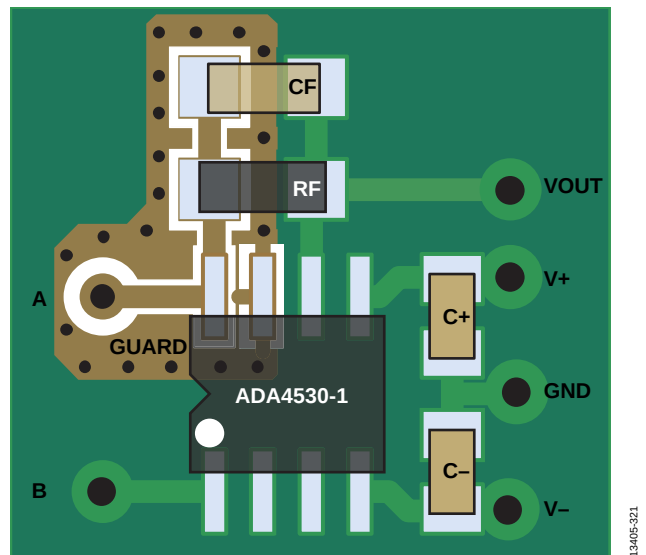


図 122. TIA 回路レイアウト

TIA 回路のガード電圧は、名目上 B 電圧と同じです。これにより、ADA4530-1 ガード・バッファを使用することなく B 電圧から直接ガード・リングを駆動できます。この方法でガード・リングを実装する場合、ガード・バッファ出力 (ピン 2 およびピン 7) に何も接続しないでください。

ガード・プレーン

ガード・プレーンは、PCB の内部を通じてガーディング技法を実装するのに使用する構造です。PCB の断面図でガード・プレーンの構造を示します (図 123 を参照)。ガード・プレーンは、高インピーダンス (A) パターンのすぐ下に配置する銅箔のべたパターンです。このプレーンは、表面層のガード・リングにビアで接続されています。

回路基板が Rogers 4350B などの高性能 PCB ラミネートを使用している場合は、機械的強度を得るためにハイブリッド積層が必要になります。外部の層はセラミックで、コア層は従来のガラス・エポキシ・ラミネートです。ガラス・エポキシ材の劣勢な誘電緩和特性から高インピーダンス・ノードを保護できるように、セラミック材とガラス・エポキシ材の境界にガード・シールドを配置することは重要です。

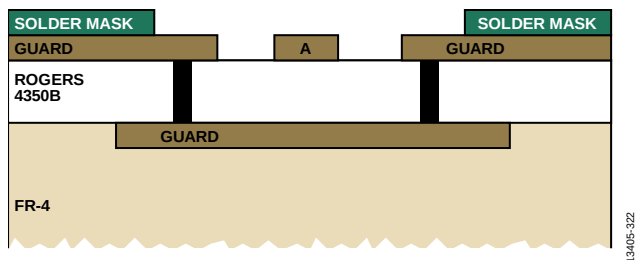


図 123. ガード・プレーンのあるレイアウトの断面図

ビア・フェンス

ビア・フェンスは、ガード・リングとガード・プレーンの間のラミネートの側面のリーク経路をガードするもう1つの構造です（図 123 を参照）。フェンスは、ガード・リングをガード・プレーンに接続するビアでガード・リング全体を囲むことで実装します（図 121 および図 122 を参照）。

ケーブルとコネクタ

ガーディング技法は、PCB 上だけではなく、すべての高インピーダンス配線に必要になります。一般的に、高インピーダンス・センサーは電位計アンプとともに PCB に直接実装されておらず、外部ケーブルを使用して接続されています。

電流出力センサーへの接続ケーブルをガードする一般的な方法は、同軸ケーブルを使用する方法です。同軸ケーブルは、絶縁体で囲まれた内部導体が編組導体で囲まれた構造になっています。内部導体を高インピーダンス（A）端子用に使用して、外部の編組導体を低インピーダンス（B）端子用に使用します。（TIA インターフェース回路に接続した場合）A 端子と B 端子の公称電圧は同じであるため、この配置は同軸絶縁抵抗を効果的にガードします。

電圧出力センサーの方が多くの問題を抱えています。これは、A 端子と B 端子が同じ電圧ではないためです。3 軸ケーブルを使用するのが、電圧出力センサー・ケーブルをガードする一般的な方法です。3 軸ケーブルは、内部導体と2つの個別の編組導体で構成されています。これらの各編組導体は、絶縁体で互いに分離されています。内部導体を高インピーダンス（A）端子用、内部編組導体をガード（VGRD）接続用、外部編組導体を低インピーダンス（B）端子用に使用します。内部導体の周囲のすべての絶縁はガード導体で完全に囲まれているので、この絶縁の電圧降下がゼロに保たれます。

静電干渉

超高インピーダンス電位計回路は、容量結合を通じて干渉を受けやすくなっています。低周波信号を結合するのに必要な容量は非常にわずかです。例えば、わずか 3 fF の結合容量で、ライン周波数（60 Hz）の干渉は 1 TΩ インピーダンスに結合されます（損失は -3 dB）。

問題の原因は従来の電氣的干渉源だけではありません。以下の式で、コンデンサの変位電流 I を計算します。

$$I = C \frac{\partial V}{\partial t} + V \frac{\partial C}{\partial t} \quad (2)$$

この式の第2項はほとんどの回路で無視されますが、電位計回路では異常な問題を発生させることがあります。帯電した物体が動くと、物体と電位計の間の結合容量が変化し、結果として回路に小さな電流が混入するのが問題です。ADA4530-1 は非常に敏感で、手や紙の動きを容易に検出します。これらの種類の効果は周期的なものでも予測可能なものでもなく、関心のある時間スケールで不安定な DC シフトとして見受けられることがあります。

シールドを追加することで、両方の干渉を軽減できます。シールドとは、高インピーダンス入力と干渉源の間に配置する導体です。このシールドは、低インピーダンス源（信号グラウンドなど）に電氣的に接続する必要があります。シールドがすべての容量結合の経路を物理的に遮る場合、干渉源からのすべての変位電流は低インピーダンス源にシャントされます。

シールドの構造は、ガードの構造とほぼ同じです。この類似性により、多くのガード構造がシールド効果も実現します。シールドの DC 電圧は重要ではありませんが、ガードでは高インピーダンス入力と同じ電圧にする必要があります。これが主な違いです。ガード・バッファによって駆動されるシールドには、高インピーダンス入力とシールドの間の容量がブートストラップされるという利点もあります。ガード・バッファ出力インピーダンスが 1 kΩ であることがこのアプローチの欠点です。これにより、信号グラウンドまたはシャーシ・グラウンド接続よりもシールドの効果が低くなります。通常、最も効果的なシステムは、外部シールドがグラウンドで駆動され、内部シールドがガードで駆動されるボックス・イン・ボックス構造を使用します。

また、シールドできない別の容量干渉効果も存在します。この変位電流は、時間に関して容量が変化することによって生成されます（式 2 の第2項）。この変化は、回路部品の機械的な動きによって生じます。機械的衝撃または振動によって発生するこの動きが原因で、電氣的干渉が発生します。通常、この干渉は、部品の機械的共振と等しい、予期しない周波数で発生します。

この効果は、大きな帰還抵抗やリレーで従来の空中配線技術を使用する際に考慮する必要があります。このタイプの構造の場合、テフロンスタンドオフにしっかりと機械的に接続することが重要です。

フォトダイオード・インターフェース

低入力バイアス電流と低入力オフセット電圧により、ADA4530-1 は超低照度レベルにおけるフォトダイオードのシグナル・コンディショニングに最適なアンプです。図 124 に、光起電モード（フォトダイオードはゼロ・バイアス）で動作するフォトダイオードと接続するトランスインピーダンス・アンプ内に構成された ADA4530-1 を示します。フォトダイオードは、照度レベルに比例した出力電流を生成します。以下の式に従って、アンプは信号電流 I_{PD} を出力電圧に変換します。

$$V_{OUT} = I_{PD} \times R_F$$

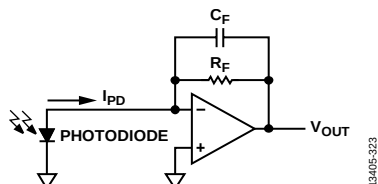


図 124. フォトダイオードとトランスインピーダンス・アンプの組み合わせ

図 125 では、フォトダイオードを等価の回路モデルで置き換えています。 I_{PD} は、入射光によって生成される光電流で、光のレベルに比例します。シャント容量 (C_{SHUNT}) は、ダイオードの空乏容量をモデリングします。この容量は、フォトダイオードの面積と電圧バイアスに依存します。シャント抵抗 (R_{SHUNT}) は、ゼロ・バイアス電圧付近の指数関数的なダイオード曲線の電圧対電流の傾きを表します。

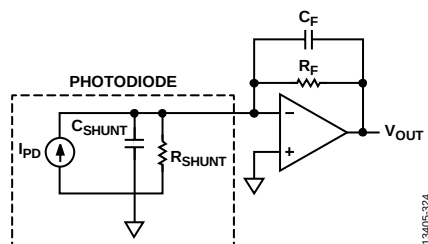


図 125. フォトダイオード・モデルとトランスインピーダンス・アンプの組み合わせ

DC 誤差解析

High Impedance Measurements のセクションで説明した TIA 回路に関するすべての誤差は、フォトダイオード・インターフェースに該当します。

反転入力バイアス電流 I_{B-} は、 I_{B-} に等しい入力換算 (RTI) 誤差のフォトダイオード電流に直接加算されます。この電流は帰還抵抗を流れ、以下に示す出力換算 (RTO) 誤差が生成されます。

$$V_{IB_RTO} = I_{B-} \times R_F$$

面積の大きなフォトダイオードのシャント抵抗は比較的小さいので、アンプのオフセット電圧 V_{OS} はフォトダイオード・イン

ターフェース回路の主な誤差源となります。代表値は、25 °C で $1 \text{ G}\Omega \sim 100 \text{ G}\Omega$ です。さらに重要な要因として、10 °C の温度上昇ごとにシャント抵抗が 1/2 に減少することが挙げられます。アンプのオフセット電圧がこのシャント抵抗の両端にかかることで誤差電流が生成され、結果として以下の RTI 誤差が生成されます。

$$I_{VOS_RTI} = V_{OS}/R_{SHUNT}$$

シャント抵抗が原因で、出力へのオフセット電圧を増加させる DC ノイズ・ゲインが増加することと同じです。 V_{OS} による RTO 誤差は、以下の式で求めます。

$$V_{OS_RTO} = V_{OS} \times \text{ノイズ・ゲイン}$$

$$V_{OS_RTO} = V_{OS} \times (1 + R_F/R_{SHUNT})$$

アンプの入力抵抗と絶縁抵抗は、フォトダイオードのシャント抵抗と並列で表現されます。これらの追加の抵抗は実効シャント抵抗を低減しますが、これらはフォトダイオード・シャント抵抗よりも大幅に大きいので、通常は無視できます。

AC 誤差解析

フォトダイオード TIA 回路は、十分な動的性能を発揮するのに外付けの補償を必要とします。大きな帰還抵抗 (R_F) は大きなフォトダイオード容量 (C_{SHUNT}) と相互に作用して帰還回路で低周波極を生成します。フォトダイオードのシャント容量、アンプ入力容量、およびパターン容量を、1つの要素 C_{SHUNT} に集中させています。帰還ループのクロスオーバー周波数を安定させるには、この極による位相シフトを回復する必要があります。通常、この位相シフトを回復するには、帰還コンデンサ (C_F) を追加して帰還係数をゼロにします。

従来の方では、ノイズ・ゲインの周波数特性を確認することで回路を解析します (図 126 を参照)。低周波数では、ノイズ・ゲインはシャント抵抗への帰還率によって決定されます。

$$NG_1 = 1 + \frac{R_F}{R_{SHUNT}}$$

厄介な低周波極 (ノイズ・ゲインでゼロ) は、周波数 f_1 で発生します。この周波数を超えると、ノイズ・ゲインは増加します。回路に帰還コンデンサがない場合、アンプのオープンループ・ゲイン曲線と交差するまでノイズ・ゲインは点線をたどります。図 126 に示すように、これらの曲線が 20 dB/decade の傾きで交差すると、回路は不安定になります。

C_F を追加することで、周波数 f_2 で帰還係数にゼロが追加されます (ノイズ・ゲインの極) f_2 を超える周波数では、帰還容量に対するシャント容量の割合によってノイズ・ゲインが決まります。

$$NG_2 = 1 + \frac{C_{SHUNT}}{C_F}$$

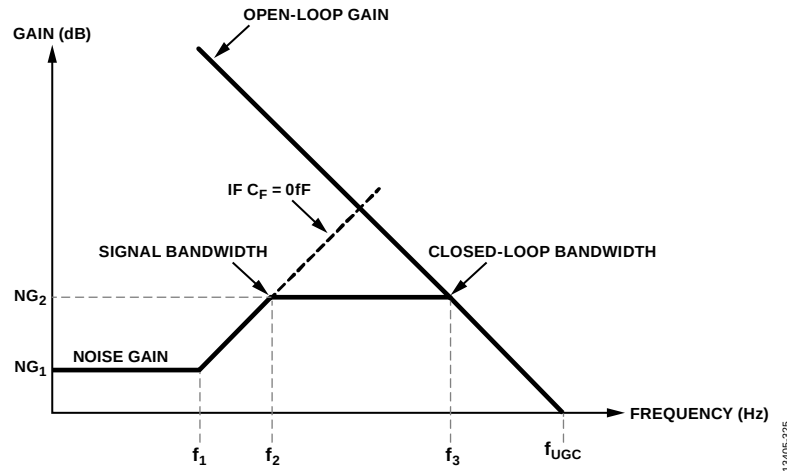


図 126. トランスインピーダンス・ノイズ・ゲインの周波数特性

ノイズ・ゲインの完全な式は、以下のとおりです。

$$NG(f) = \left(1 + \frac{R_F}{R_S}\right) \left(\frac{\frac{2\pi f}{f_1} + 1}{\frac{2\pi f}{f_2} + 1}\right)$$

$$f_1 = \frac{1}{\frac{R_F R_{SHUNT}}{R_F + R_{SHUNT}} (C_F + C_{SHUNT})}$$

$$f_2 = \frac{1}{R_F C_F}$$

わかりやすくするため、ノイズ・ゲインの式で帯域幅の制限は無視しています。ノイズ・ゲインは、アンプのオープンループ・ゲインと交差したときにロールオフを開始します。この極周波数 (f_3) は、アンプのユニティ・ゲイン・クロスオーバー周波数 (f_{UGC}) と高周波ノイズ・ゲイン NG_2 によって以下のように決まります。

$$f_3 = \frac{f_{UGC}}{\left(1 + \frac{C_{SHUNT}}{C_F}\right)} \quad (3)$$

C_F の追加は、信号周波数応答に影響を与えます。低周波数で、トランスインピーダンス・ゲインは R_F に等しくなります。周波数が増加するに従って、 C_F のインピーダンスは R_F 未満に下がり、このトランスインピーダンス・ゲインの低下が始まります。この信号ゲインの式は、以下のとおりです。

$$Signal\ Gain(f) = R_F \left(\frac{1}{\frac{2\pi f}{f_2} + 1} \right)$$

ノイズ解析

フォトダイオード TIA 回路には、以下に示す考慮すべき 4 つのノイズ生成源があります。

- 帰還抵抗 (R_F) の熱ノイズ
- フォトダイオードの飽和電流ノイズ
- アンプの電流ノイズ
- アンプの電圧ノイズ

通常、これらの生成源のノイズ成分を、解析の目的で出力として表現します。 R_F の熱ノイズは、出力に直接現れます。このノイズは、-3 dB 帯域幅が信号の帯域幅 (f_2) と同じになるように帰還容量によってフィルタリングされます。

フォトダイオードの光電流 I_{PD} は、以下のショット・ノイズを生成します。

$$I_{NPD} = \sqrt{2qI_{PD}}$$

ダイオードの電流が 0 になると、ノイズも 0 になると仮定するのは間違いです。ダイオードからの正味電流が 0 の場合、一方向に流れる飽和電流が熱平衡状態になっていて、反対方向に飽和電流が流れていることを意味します。これらの電流には相関関係がなく、二乗和平方根の形で追加されます。この正味電流ノイズは、値が R_{SHUNT} の物理的な抵抗の熱ノイズと同じです。これにより、単純な抵抗 R_{SHUNT} を使用してフォトダイオードを正確にモデリングできます。 R_{SHUNT} の熱ノイズは、シャント抵抗に対する帰還抵抗の割合で増幅されます。また、このノイズは信号の帯域幅にフィルタリングされます。

アンプの電流ノイズは帰還抵抗を流れて、出力でノイズ電圧になります。これには、前述のノイズ成分と同じ帯域幅の制限が適用されます。

アンプの電圧ノイズは、出力への回路のノイズ・ゲインによって増加します。2つの理由により、このノイズ生成源は重要です。1つは、シャント容量と帰還容量の大きな比率により高周波ノイズ・ゲインが高くなる可能性があることです。もう1つは、電圧ノイズ帯域幅は、他の成分よりも大幅に高いことです。ノイズ帯域幅は、アンプの帯域幅によってのみ制限されます。

これらの各ノイズ成分の周波数特性を図 127 に示します。ノイズ生成源とそれらの RTO 成分を表 12 に示します。合計 RTO ノイズには、各ノイズ生成源の成分が二乗和平方根で追加されます。

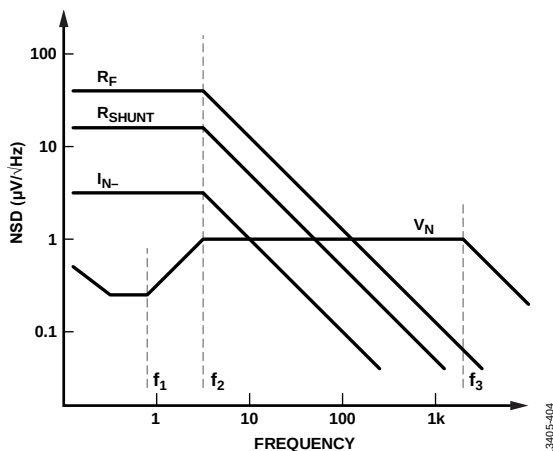


図 127. フォトダイオード TIA の RTO ノイズ・スペクトル密度

表 12. フォトダイオード・インターフェースのノイズ生成源

Noise Source	RTO Noise	Noise Bandwidth
R_F	$\sqrt{(4kTR_F)}$	$\pi/2 \times f_2$
Photodiode	$(R_F/R_{SHUNT})\sqrt{(4kTR_{SHUNT})}$	$\pi/2 \times f_2$
I_{N-} Amplifier	$R_F \times I_{N-}$	$\pi/2 \times f_2$
V_N Amplifier	$V_N \times \text{noise gain}$	$\pi/2 \times f_3$

設計の推奨事項

面積の大きなフォトダイオード TIA 回路の設計目標は、S/N 比を最大にして、DC 誤差を最小にすることです。帰還抵抗のサイズを増やすことで、これらの目標を達成できます。信号ゲインは R_F とともに直接増加し、ノイズは平方根として増加します。高いゲインでは、出力電圧誤差 (V_{OS} など) に比べて出力信号も大きくなります。

通常、 R_F の上限は、以下のいずれかによって決定されます。

- アンプの出力振幅。最大光電流に R_F を乗算した値は、アンプの振幅制限を下回る必要があります。
- 信号の帯域幅 (またはセトリング・タイム)。信号の帯域幅は $R_F \times C_F$ に依存します。大きい帰還抵抗で高い信号帯域幅を実現するには、非常に小さい帰還コンデンサを実装する必要があります。最大の制限事項は、回路内のフリンジ電界からの寄生帰還容量によって発生します。寄生容量を 50 fF ~ 100 fF にすることができます。具体的には、100 fF の寄生容量が存在する場合は 100 GΩ TIA の信号帯域幅が 16 Hz に制限されます。
- フォトダイオードの熱ノイズ (R_{SHUNT})。 R_F が R_{SHUNT} よりも大幅に大きい場合、合計ノイズの支配的な成分はフォトダイオードになり、S/N 比は改善されなくなります。
- アンプの電流ノイズ。アンプの電流ノイズが R_F のノイズよりも大きい場合、S/N 比は改善されなくなります。ほぼすべての実用的なフォトダイオードにおいて、フォトダイオードのノイズはアンプの電流ノイズよりも高くなります。

- R_{SHUNT} による低周波ノイズ・ゲイン。 R_F が R_{SHUNT} よりも大きい場合、ノイズ・ゲインにより V_{OS} 誤差と TCV_{OS} 誤差が増加し、S/N 比が改善されなくなります。

帰還容量 (C_F) が減少するのに従って信号帯域幅が増加します。通常、 C_F の下限は、以下のいずれかによって制限されます。

- 寄生帰還容量は、 C_F の最小値を 50 fF ~ 100 fF に制限します。
- 使用可能な部品の値。値が 0.1 pF ~ 1 pF (100 fF 刻み) の部品は表面実装パッケージに搭載されています。
- 帰還ループの安定性。ループのクロスオーバーを安定させるには、十分な位相シフトを回復できるように C_F を十分に大きくする必要があります。この容量値は、 R_F が小さい値の場合に重要な考慮事項になります。大きな値 (> 1 GΩ) は、寄生帰還容量を通して自己補償を行います。
- 高周波ノイズ・ゲイン。高周波ノイズ・ゲインは、 C_F に対する C_{SHUNT} の割合によって設定されます。ノイズ・ゲインが非常に大きい場合、アンプの電圧ノイズが帰還抵抗のノイズよりも大きくなる可能性があります。

設計例

このセクションでは、測光グレードのフォトダイオード (浜松ホトニクス S1226-18BQ) を使用してサンプルの TIA 回路を作成します。この中程度の面積 (1.2 mm²) のシリコン・フォトダイオードは、紫外線 (UV) から可視周波数の範囲に感応します。最小シャント抵抗 (R_{SHUNT}) は 5 GΩ @ 25°C に仕様規定されています。シャント容量 (C_{SHUNT}) は 35 pF に仕様規定されています。石英窓により、最大動作温度は 60 °C に制限されています。

仕様規定の最小シャント抵抗と Design Recommendations のセクションの推奨事項に基づいて、 R_F の値として 10 GΩ を選択しました。このサンプル回路を ±5 V で駆動し、入力コモンモード電圧を 0 V に設定しました。これにより、最大光電流は約 500 pA になります。

DC Error Analysis のセクションに基づいて誤差バジェットを設定しました (表 13 を参照)。アンプのオフセット電圧には、最大室温オフセット限界に最大温度ドリフト限界を適用しています。フォトダイオード・シャント抵抗限界は、10 °C ごとに 1/2 に減少します。

表 13. フォトダイオード・インターフェースの DC 誤差バジェット

Error Source	25°C	45°C	60°C
V_{OS}	40 μV	40 μV + 10 μV	40 μV + 18 μV
R_{SHUNT}	5 GΩ	1.25 GΩ	442 MΩ
Noise Gain	3	9	23
V_{OS} Error RTO	120 μV	450 μV	1.3 mV
I_B	20 fA	20 fA	20 fA
I_B Error RTO	200 μV	200 μV	200 μV
Total Error RTO	320 μV	650 μV	1.5 mV
Total Error RTI	32 fA	65 fA	150 fA

温度範囲全体にわたる合計 RTI 誤差は 150 fA 未満です。この値は 500 pA フルスケール・レンジの 300 ppm に等しくなります。ADA4530-1 の超低入力バイアス電流は、温度に対する合計誤差の主要因ではありません。オフセット電圧とフォトダイオードのシャント抵抗の相互作用が最大の誤差生成源です。

この回路は、10 GΩ の帰還抵抗 (Ohmite RX-1M1008JE) を使用して、ここで説明するとおりに構築しました。25 °C ~ 60 °C の温度範囲で DC 誤差性能を測定しました (図 128 を参照)。温度とともに誤差が急速に増加し、シャント抵抗によりノイズ・ゲインを指数関数的に変化します。予期したとおり、合計 RTI 誤差は +2 fA ~ -10 fA で、最悪の誤差バジェットよりも大幅に低くなりました。

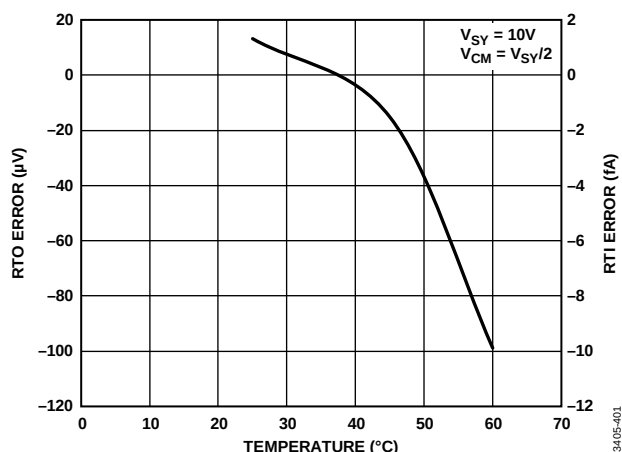


図 128. DC 誤差と温度の関係

回路の AC 性能も測定しました。まず物理的な帰還コンデンサなしで回路を構築しました。トランスインピーダンス・ゲインの周波数特性を図 129 に示します。周波数応答 (赤色の曲線) の 30 % 周波数ピーク形成は、帰還ループが寄生容量で少しずつ補償されていることを示しています。

ループ補償を向上するために物理的なコンデンサを追加しました。このコンデンサは 300 fF、C0G、セラミック、サイズ 0805、表面実装パッケージ (AVX UQCFVA0R3BAT2A¥500) です。C0G セラミック・コンデンサには、十分な絶縁抵抗と誘電吸収性能があるため、電位計回路に適しています。これらの値の低いコンデンサは、RF 用途向けに設計されていて、容易に入手できます。300 fF コンデンサにより、周波数ピーク形成を完全に排除できますが (青色の曲線)、-3 dB 帯域幅が 390 Hz から 50 Hz に低減します。

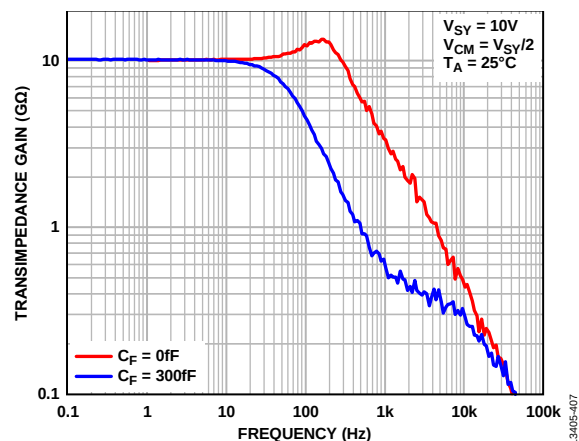


図 129. トランスインピーダンス・ゲインの周波数特性

安定性の向上は時間軸にも現れます。回路の 10 pA 光電流へのステップ応答を図 130 に示します。未補償回路 (赤色の曲線) は、大きい (20 %) オーバーシュートを示しています。補償回路 (青色の曲線) は大幅に減衰しています。

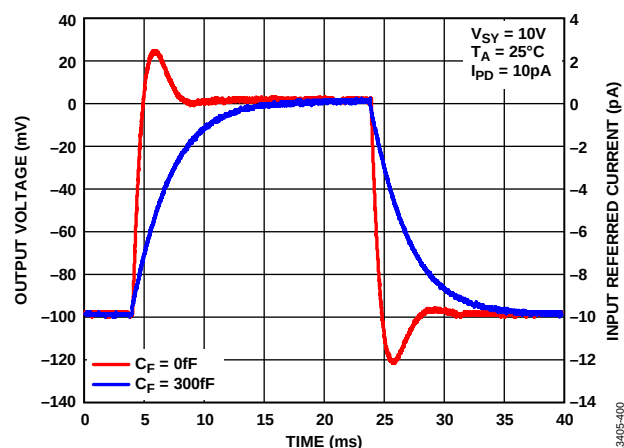


図 130. 10 pA ステップ応答

Noise Analysis のセクションに基づいてノイズ・バジェットを作成しました。低帯域幅に組み込まれたノイズ生成源 (表 14 を参照) と、高帯域幅に組み込まれたノイズ生成源 (表 15 を参照) の RTO ノイズ・バジェットを分けて作成しました。

低周波ノイズ成分には、帰還抵抗、シャント抵抗、およびアンプの電流ノイズが含まれます。これらの各生成源は、信号帯域幅 (50 Hz) に等しい -3 dB の帯域幅を持っていて、これは 79 Hz のノイズ帯域幅に等しくなります。最大のノイズ生成源はフォトダイオード・シャント抵抗で、その値は突出しています。次に大きなノイズ生成源は帰還抵抗です。アンプの電流ノイズは非常に低いため無視できます。

表 14. 低周波ノイズ・バジェット

Error Source	25°C	45°C	60°C
V_{NRF}	12.8 $\mu\text{V}/\sqrt{\text{Hz}}$	13.2 $\mu\text{V}/\sqrt{\text{Hz}}$	13.5 $\mu\text{V}/\sqrt{\text{Hz}}$
R_{SHUNT}	5 G Ω	1.25 G Ω	442 M Ω
$V_{NRSHUNT}$	9 $\mu\text{V}/\sqrt{\text{Hz}}$	4.7 $\mu\text{V}/\sqrt{\text{Hz}}$	2.8 $\mu\text{V}/\sqrt{\text{Hz}}$
R_F/R_{SHUNT}	2	8	22
$V_{NRSHUNT_RTO}$	18 $\mu\text{V}/\sqrt{\text{Hz}}$	37 $\mu\text{V}/\sqrt{\text{Hz}}$	61 $\mu\text{V}/\sqrt{\text{Hz}}$
I_{N-}	0.07 fA/ $\sqrt{\text{Hz}}$	0.15 fA/ $\sqrt{\text{Hz}}$	0.24 fA/ $\sqrt{\text{Hz}}$
I_{N_RTO}	700 nV/ $\sqrt{\text{Hz}}$	1.5 $\mu\text{V}/\sqrt{\text{Hz}}$	2.4 $\mu\text{V}/\sqrt{\text{Hz}}$
Low Frequency NSD Total	22 $\mu\text{V}/\sqrt{\text{Hz}}$	39 $\mu\text{V}/\sqrt{\text{Hz}}$	62 $\mu\text{V}/\sqrt{\text{Hz}}$
Low Frequency RMS Total	194 μVrms	345 μVrms	549 μVrms

唯一の高周波ノイズ成分はアンプのノイズ・ゲインで、これはアンプのゲインのみによって制限される高周波ノイズ・ゲインと帯域によって増加します。アンプの -3 dB 帯域幅は 17 kHz です (式 3 を参照)。ここで、 $f_3 = f_{UGC} \div NG_2 = 2 \text{ MHz} \div 118$ 。等価ノイズ帯域幅は 27 kHz です。ノイズ・スペクトル密度が低周波ノイズよりも大幅に低いにもかかわらず高周波ノイズが大きい原因は高い帯域幅にあります。

表 15. 高周波ノイズ・バジェット

Error Source	25°C	45°C	60°C
V_N	14 nV/ $\sqrt{\text{Hz}}$	14.5 nV/ $\sqrt{\text{Hz}}$	14.8 nV/ $\sqrt{\text{Hz}}$
High Frequency Noise Gain	118	118	118
V_{N_RTO}	1.6 $\mu\text{V}/\sqrt{\text{Hz}}$	1.7 $\mu\text{V}/\sqrt{\text{Hz}}$	1.7 $\mu\text{V}/\sqrt{\text{Hz}}$
High Frequency RMS Total	271 $\mu\text{V rms}$	281 μVrms	286 μVrms

低温では、アンプの電圧ノイズは他のノイズ生成源よりも大きくなります。このノイズの大半は回路の有効帯域幅の外部で生成されるため、重要です。この理由により、フォトダイオード TIA 回路の出力にローパス・フィルタを追加した方が良い場合もあります。このフィルタは、システムのニーズに応じて能動または受動にすることができます。-3 dB カットオフ (500 Hz) の単純な RC フィルタは、信号経路の周波数応答にほとんど影響しませんが、組み込まれたノイズを 271 $\mu\text{V rms}$ から 45 $\mu\text{V rms}$ に低減します (低減率 6 倍)。

300 fF C_F コンデンサあり (青色の曲線) と 300 fF C_F コンデンサなし (赤色の曲線) の回路で NSD を測定しました (図 131 を参照)。低周波数で、NSD は帰還抵抗のみでのノイズとほぼ同じになります (12.8 $\mu\text{V}/\sqrt{\text{Hz}}$)。低周波数の NSD 値は、シャント抵抗が仕様規定の最小値 (期待値) よりも大幅に大きいことを示しています。周波数が増えるに従って、抵抗のノイズは信号帯域幅 (50 Hz) でロールオフします。その後、アンプの帯域幅の制限が NSD をゼロに向かってロールオフするまで、NSD はアンプの電圧ノイズ・レベルで安定します。

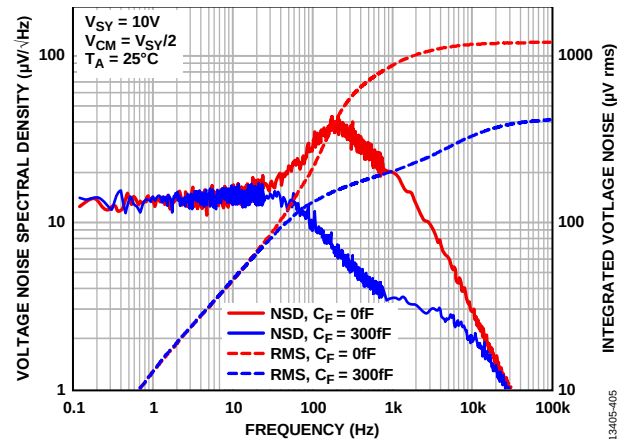


図 131. RTO ノイズ・スペクトル密度 (25°C)

点線は、周波数スペクトルにわたって NSD が組み込まれた値を示しています。これらは、さまざまな帯域幅の rms ノイズを計算するのに有用です。例えば、100 kHz 測定帯域幅全体にわたる rms ノイズは 400 $\mu\text{V rms}$ で、これは計算された合計ノイズである 333 $\mu\text{V rms}$ とほぼ同じです。1 kHz のノイズ帯域幅にポストフィルタを追加した場合、組み込まれたノイズが 200 $\mu\text{V rms}$ (2 倍向上) であることがわかります (図 131 を参照)。

未補償回路 (赤色の曲線) はノイズ性能が非常に劣っていることを示しています。限界ループ安定性による周波数ピーク形成が原因で、ノイズと信号が増大しています。また、高周波ノイズ・ゲインが大きくなり、信号帯域幅外にさらにノイズが追加されます。これらの両方の効果により 1.2 mV rms の合計ノイズが生成されます。未補償 TIA の過渡および周波数応答を許容できる場合でも、大きなノイズ損失は許容できません。

この回路で NSD は 60°C で測定しました (図 132 を参照)。期待されるとおり、フォトダイオードのシャント抵抗の結果として低周波ノイズが増加しました。平均低周波 NSD は 22 $\mu\text{V}/\sqrt{\text{Hz}}$ です。 R_F の成分を取り除くと RTO 成分は 17 $\mu\text{V}/\sqrt{\text{Hz}}$ になります。この値は RTI 電流ノイズ 1.7 fA/ $\sqrt{\text{Hz}}$ と等しいです。このノイズを生成するには、 R_{SHUNT} を 60°C で約 6.5 G Ω にする必要があります。

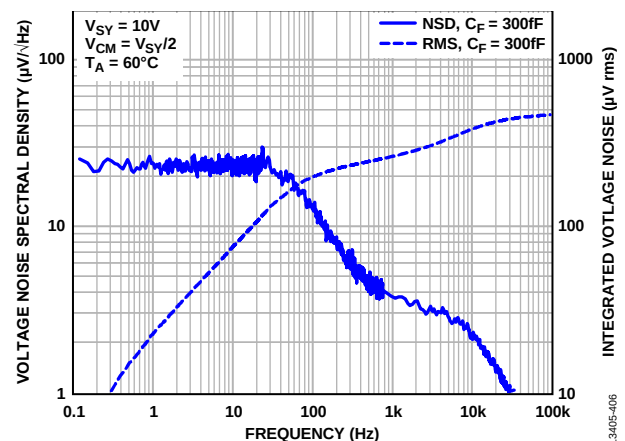
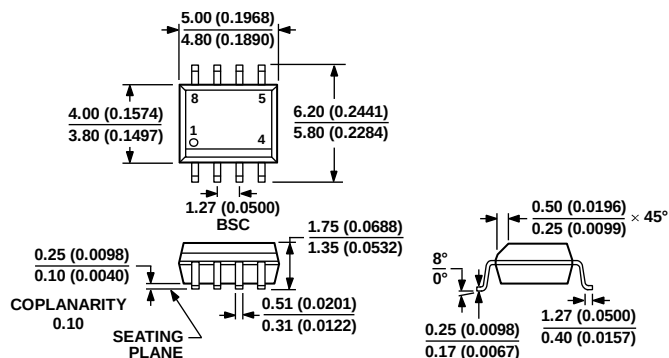


図 132. RTO ノイズ・スペクトル密度 (60°C)

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-A A
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 133. 8 ピン・スモール・アウトライン・パッケージ [SOIC_N]
ナロー・ボディ
(R-8)
寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4530-1ARZ	−40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8
ADA4530-1ARZ-R7	−40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8
ADA4530-1ARZ-RL	−40°C to +125°C	8-Lead Small Outline Package [SOIC_N]	R-8
ADA4530-1R-EBZ-BUF		Evaluation Board Buffer Configuration for 8-Lead SOIC	
ADA4530-1R-EBZ-TIA		Evaluation Board Transimpedance Configuration for 8-Lead SOIC	

¹ Z = RoHS 準拠製品。