

# 16ビット、2MSPSの μModule データ・アキュイジション・ ソリューション

## 特長

- ▶ 設計プロセスの改善
  - ▶ 入力範囲を選択可能な完全差動 ADC ドライバ
    - ▶ 5V  $V_{REF}$  使用時の入力範囲:  $\pm 10V$ 、 $\pm 5V$ 、または  $\pm 2.5V$
  - ▶ 必須受動部品を内蔵
    - ▶ *i*Passives 技術により  $\pm 0.005\%$  の精度で整合された抵抗アレイ
  - ▶ 広い入力コモンモード電圧範囲
  - ▶ 高い同相ノイズ除去比
  - ▶ シングルエンド/差動変換
- ▶ 高密度のシグナル・チェーン
  - ▶ 7mm × 7mm、0.80mm ピッチ、49 ボールの小型 CSP\_BGA
    - ▶ ディスクリット・ソリューションと比べてフットプリントを 1/4 に削減
  - ▶  $V_{CM}$  を生成する内蔵リファレンス・バッファ
- ▶ 高性能
  - ▶ スループット: 2MSPS、パイプライン遅延なし
  - ▶ 16ビットのノー・ミス・コードを確保
  - ▶ INL: 代表値  $\pm 4.6\text{ppm}$ 、 $\pm 11.9\text{ppm}$  を確保
  - ▶ SINAD: 代表値 95.6dB ( $G = 0.454$ )
  - ▶ オフセット誤差ドリフト: 代表値  $0.7\text{ppm}/^\circ\text{C}$  ( $G = 0.454$ )
  - ▶ ゲイン誤差ドリフト: 代表値  $\pm 0.5\text{ppm}/^\circ\text{C}$
- ▶ 低消費電力: 2MSPS で代表値 51.6mW
- ▶ シリアル・インターフェース:
  - ▶ SPI/QSPI™/MICROWIRE™/DSP 互換
  - ▶ 1.8V、2.5V、3V、または 5V を選択できる汎用性の高いロジック・インターフェース電源

## アプリケーション

- ▶ ATE (自動試験装置)
- ▶ マシン・オートメーション
- ▶ プロセス制御
- ▶ 医療用計測機器
- ▶ デジタル制御ループ

## 機能ブロック図

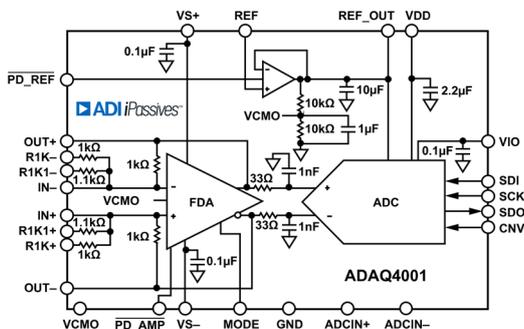


図 1.

## 概要

ADAQ4001 は、部品の選択、最適化、およびレイアウトに関するシグナル・チェーン設計上の課題を設計者からデバイスへと移転することによって、高精度測定システムの開発サイクルを短縮できる  $\mu$ Module® 高精度データ・アキュイジション (DAQ) シグナル・チェーン・ソリューションです。

ADAQ4001 はシステム・イン・パッケージ (SIP) 技術を採用しており、複数の共通信号処理および調整ブロックを一つのデバイスに統合することで、エンド・システムの部品点数を削減します。これらのブロックには、高分解能の 16 ビット、2MSPS 逐次比較レジスタ (SAR)、A/D コンバータ (ADC)、低ノイズの完全差動 ADC ドライバ・アンプ (FDA)、および安定したリファレンス・バッファが含まれています。

ADAQ4001 は、アナログ・デバイセズの *i*Passives® 技術を採用しており、優れたマッチング特性とドリフト特性を備えた重要な受動部品も内蔵しています。これにより温度に依存する誤差源を最小限に抑え、最適な性能を実現します (図 1 参照)。このシグナル・チェーン・ソリューションを 7mm × 7mm、0.80mm ピッチ、49 ボールの小型チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP\_BGA) に内蔵することで、性能を犠牲にすることなく小さいフォーム・ファクタ設計を実現し、エンド・システムの部品表管理を簡素化しています。このレベルでのシステム統合により、ADAQ4001 は、プリント回路基板 (PCB) レイアウトによる影響が大幅に小さくならんと共に幅広い信号レベルに柔軟に対応できるようになっています。シリアル・ペリフェラル・インターフェース (SPI) 準拠のシリアル・ユーザ・インターフェースは、個別の VIO 電源を使用することによって、1.8V、2.5V、3V、または 5V のロジックに対応しています。ADAQ4001 は  $-40^\circ\text{C}$  ~  $+125^\circ\text{C}$  の動作温度範囲で仕様規定されています。

表 1.  $\mu$ Module データ・アキュイジション・ソリューション

Type	500 kSPS	$\geq 1000$ kSPS
16-Bit	ADAQ7988	ADAQ7980, ADAQ4001
18-bit		ADAQ4003

## 目次

特長	1	ドライブ補助機能	24
アプリケーション	1	電圧リファレンス入力	26
機能ブロック図	1	電源 (パワー・ツリー)	26
概要	1	パワーダウン・モード	26
仕様	3	デジタル・インターフェース	26
タイミング仕様	7	レジスタの読出し機能と書込み機能	27
絶対最大定格	10	ステータス・ワード	29
熱抵抗	10	3線式 $\overline{\text{CS}}$ ターボ・モード	30
静電放電 (ESD) 定格	10	3線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし)	31
ESD に関する注意	10	3線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり)	32
ピン配置およびピン機能の説明	11	4線式 $\overline{\text{CS}}$ ターボ・モード	33
代表的な性能特性	13	4線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし)	34
用語の定義	19	4線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり)	35
動作原理	21	デイジーチェーン・モード	36
回路説明	21	レイアウトのガイドライン	37
伝達関数	21	外形寸法	38
アプリケーション情報	22	オーダー・ガイド	38
代表的なアプリケーション図	22	評価用ボード	38
アナログ入力	24		

## 改訂履歴

5/2021—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 1.8V ± 5%、VS+ = 5.5V ± 5%、VS- = 0V、VIO = 1.7V ~ 5.5V、リファレンス電圧 (VREF) = 5V、サンプリング周波数 (fs) = 2MSPS、すべての仕様は TMIN ~ TMAX、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効の場合。特に指定のない限り、ADC ドライバはシングルエンド入力/差動出力構成で通常動作モードに設定。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
RESOLUTION		16			Bit
ANALOG INPUTS	IN+, IN-, R1K1+, R1K1-, R1K+, および R1K-				
Input Impedance (ZIN)	シングルエンド入力/差動出力構成 G = 0.454、入力電圧 (VIN) = 22Vp-p G = 0.909、VIN = 11V p-p G = 1、VIN = 10Vp-p G = 1.9、VIN = 5.2V p-p		1.3 1.44 1.33 778		kΩ kΩ kΩ Ω
Differential Input Voltage Ranges <sup>1</sup>	完全差動構成 G = 0.454 および G = 0.909、VIN = 22V p-p および 11V p-p G = 1、VIN = 10V p-p G = 1.9、VIN = 5.2V p-p G = 0.454、VIN = 22V p-p G = 0.909、VIN = 11V p-p G = 1、VIN = 10V p-p G = 1.9、VIN = 5.2V p-p	-2.2 × VREF -1.1 × VREF -VREF -0.526 × VREF		+2.2 × VREF +1.1 × VREF +VREF +0.526 × VREF	V V V V
Input Capacitance	IN+および IN-		15		pF
THROUGHPUT					
Complete Cycle		500			ns
Conversion Time			290	320	ns
Acquisition Phase <sup>2</sup>		290			ns
Throughput Rate <sup>3</sup>		0		2	MSPS
Transient Response <sup>4</sup>			40		μs
DC ACCURACY	シングルエンド入力/差動出力構成				
No Missing Codes		16			Bits
Integral Nonlinearity Error (INL)	すべてのゲイン、VS- = -1V	-11.9 -0.78	±4.6 ±0.3	+11.9 +0.78	ppm LSB <sup>5</sup>
Differential Nonlinearity Error (DNL)	すべてのゲイン、VS- = -1V	-9.56 -0.63	±3.8 ±0.25	+9.56 +0.63	ppm LSB <sup>5</sup>
Transition Noise	G = 0.454 G = 0.909 G = 1 G = 1.9		57 63.2 60.9 61.3		μV μV μV μV
Gain Error	すべてのゲイン	-0.05	±0.005	+0.05	% FS
Gain Error Drift	すべてのゲイン	-3	±0.5	+3	ppm/°C
Offset Error	G = 0.454 G = 0.909、G = 1 G = 1.9	-1 -0.9 -1.5	±0.1 ±0.06 ±0.01	+1 +0.9 +1.5	mV mV mV
Offset Error Drift	G = 0.454 G = 0.909、G = 1 G = 1.9	-8 -10 -15	+0.7 +1.6 +2.6	+8 +10 +15	ppm/°C ppm/°C ppm/°C
Common-Mode Rejection Ratio (CMRR)	完全差動構成、すべてのゲイン		90		dB
Power Supply Rejection Ratio (PSRR)					
Positive	VDD = 1.71V ~ 1.89V VS+ = 5.225V ~ 5.775V、VS- = 0V		72 110		dB dB

仕様

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
Negative	VS+ = +5.5V、VS- = 0V ~ -0.5V		107		dB
1/f Noise <sup>6</sup>	帯域幅 = 0.1Hz ~ 10Hz、0V に正規化、すべてのゲイン		2		μV p-p
Input Current Noise	入力周波数 (f <sub>IN</sub> ) = 100kHz		1		pA/√Hz
<b>AC ACCURACY</b>					
Dynamic Range	シングルエンド入力/差動出力および完全差動 すべてのゲイン、-60dBFS	93.0			dB
	G = 0.454		95.8		dB
	G = 0.909		95		dB
	G = 1		95.3		dB
	G = 1.9		95.2		dB
Oversampled Dynamic Range	オーバーサンプリング比 (OSR) = 2、すべてのゲイン		99		dB
	OSR = 256、すべてのゲイン		118		dB
Total RMS Noise (RTO)	G = 0.454		57		μV rms
	G = 0.909		63.2		μV rms
	G = 1		60.9		μV rms
	G = 1.9		61.3		μV rms
Noise Spectral Density <sup>7</sup>	G = 0.454		21.7		nV/√Hz
	G = 0.909		24		nV/√Hz
	G = 1		23.2		nV/√Hz
	G = 1.9		23.3		nV/√Hz
Signal-to-Noise Ratio (SNR)	f <sub>IN</sub> = 1kHz、-0.5dBFS	92.7			dB
	G = 0.454		95.6		dB
	G = 0.909		94.3		dB
	G = 1		95.3		dB
	G = 1.9		94.9		dB
	f <sub>IN</sub> = 100kHz、G = 0.909		94.3		dB
	f <sub>IN</sub> = 400kHz、G = 0.909		87.7		dB
	低消費電力モード有効、G = 0.909		94.5		dB
	VS+ = 3.3V、VS- = 0V、V <sub>REF</sub> = 2.5V、G = 0.909		91.5		dB
Signal-to-Noise + Distortion (SINAD)	f <sub>IN</sub> = 1kHz、-0.5dBFS	92.5			dB
	G = 0.454		95.6		dB
	G = 0.909		94.2		dB
	G = 1		95.3		dB
	G = 1.9		94.8		dB
	f <sub>IN</sub> = 100kHz、G = 0.909		93.8		dB
	f <sub>IN</sub> = 400kHz、G = 0.909		85.6		dB
	低消費電力モード有効、G = 0.909		94.4		dB
	VS+ = 3.3V、VS- = 0V、V <sub>REF</sub> = 2.5V、G = 0.909		91.4		dB
Total Harmonic Distortion (THD)	f <sub>IN</sub> = 1kHz、-0.5dBFS、すべてのゲイン		-120		dB
	f <sub>IN</sub> = 100kHz、G = 0.909		-100		dB
	f <sub>IN</sub> = 400kHz、G = 0.909		-95		dB
	低消費電力モード有効、G = 0.909		-110		dB
	VS+ = 3.3V、VS- = 0V、V <sub>REF</sub> = 2.5V、G = 0.909		-118		dB
Spurious-Free Dynamic Range (SFDR)	f <sub>IN</sub> = 1kHz、-0.5dBFS、すべてのゲイン		122		dB
	f <sub>IN</sub> = 100kHz、G = 0.909		101		dB
	f <sub>IN</sub> = 400kHz、G = 0.909		95		dB
	低消費電力モード有効、G = 0.909		110		dB
	VS+ = 3.3V、VS- = 0V、V <sub>REF</sub> = 2.5V、G = 0.909		118		dB

仕様

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
-3 dB Input Bandwidth			4.4		MHz
Aperture Delay			1		ns
Aperture Jitter			1		ps rms
REFERENCE					
V <sub>REF</sub> Range	バッファをイネーブル	2.4		5.1 or VS+ - 0.08	V
Input Current (I <sub>REF</sub> )	バッファをイネーブル		60		μA
REF_OUT Current (I <sub>REF_OUT</sub> )	バッファをディスエーブル、2MSPS、V <sub>REF</sub> = 5V		1.27		mA
VCMO					
VCMO Voltage (V <sub>VCMO</sub> ) <sup>8</sup>		VREF/2 - 0.003	VREF/2	VREF/2 + 0.003	V
Output Impedance			5		kΩ
DIGITAL INPUTS	SDI、SCK、および CNV				
Logic Levels					
Input Low Voltage (V <sub>IL</sub> )	VIO > 2.7V	-0.3		+0.3 × VIO	V
	VIO ≤ 2.7V	-0.3		+0.2 × VIO	V
Input High Voltage (V <sub>IH</sub> )	VIO > 2.7V	0.7 × VIO		VIO + 0.3	V
	VIO ≤ 2.7V	0.8 × VIO		VIO + 0.3	V
Input Low Current (I <sub>IL</sub> )		-1		+1	μA
Input High Current (I <sub>IH</sub> )		-1		+1	μA
Input Pin Capacitance			6		pF
DIGITAL OUTPUTS <sup>9</sup>					
Data Format			Twos complement		
Output Low Voltage (V <sub>OL</sub> )	シンク電流 (I <sub>SINK</sub> ) = +500μA			0.4	V
Output High Voltage (V <sub>OH</sub> )	ソース電流 (I <sub>SOURCE</sub> ) = -500μA	VIO - 0.3			V
POWER-DOWN MODE					
FDA and Reference Buffer					
PD_REF , PD_AMP					
Low	パワーダウン、低消費電力モード		<1		V
High	イネーブル、通常動作モード		>1.7		V
Turn-on Time	すべてのデバイスをイネーブル ローからハイ <sup>10</sup> ハイ <sup>11</sup>		120		μs
			1		μs
POWER REQUIREMENTS					
VDD		1.71	1.8	1.89	V
VS+		3	5.5	VS- + 10	V
VS-		VS+ - 10	0	0.1	V
VIO		1.7		5.5	V
Total Standby Current <sup>12, 13</sup>	スタティック、すべてのデバイスがイネーブル 通常動作モード		11	14	mA
	低消費電力モード		6.5	8.3	mA
Power-Down Current	ADC ドライバ、リファレンス・バッファをディスエーブル		100	250	μA
Power Dissipation	VDD = VIO = 1.8V、VS+ = 5.5V、VS- = 0V				
Normal Mode					
VS+			41.5	51.5	mW
VDD			9.5	12.0	mW
VIO			0.6	0.7	mW
Total			51.6	64.2	mW
VS+	高インピーダンス・モードをイネーブル		44.0	53.0	mW

## 仕様

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
VDD			12.8	16.5	mW
VIO			0.6	0.7	mW
Total			57.4	70.2	mW
Low Power Mode					
VS+			30.2	37.4	mW
VDD			9.5	12.0	mW
VIO			0.5	0.6	mW
Total			40.2	50.0	mW
VS+	高インピーダンス・モードをイネーブル		31.4	37.8	mW
VDD			12.7	16.4	mW
VIO			0.5	0.6	mW
Total			44.6	54.8	mW
TEMPERATURE RANGE					
Specified Performance	T <sub>MIN</sub> ~T <sub>MAX</sub>	-40		+125	°C

<sup>1</sup> V<sub>IN</sub>は、図 35、図 36、および図 37 に示す許容入力コモンモードの範囲内でなければなりません、その値は使用する VS+および VS-電源レールによって異なります。

<sup>2</sup> アクイジション・フェーズとは、入力サンプリング・コンデンサが、2MSPS のスループット・レートで動作する ADC で新しい入力を取得するために使用できる時間です。

<sup>3</sup> ターボ・モードを有効にして、最小 SCK レートである 70MHz を使用した場合のみ、2MSPS のスループット・レートが実現します。様々な動作モードで可能な最大スループットについては、表 5 を参照してください。

<sup>4</sup> 過渡応答は、ADAQ4001 が ±1LSB の精度でフルスケール入力ステップを達成するのに必要な時間です。

<sup>5</sup> 入力に換算した LSB の重みは、入力電圧範囲に応じて変化します。LSB のサイズについては表 10 を参照してください。

<sup>6</sup> 図 28 の 1/f ノイズ・プロットを参照してください。

<sup>7</sup> 各ゲインにおけるノイズ・スペクトル密度は次式で計算できます：合計 RMS ノイズ (RTO) /  $\sqrt{\pi/2 \times BW}$ 。ここで、BW は -3dB 入力帯域幅、値は 4.4MHz です。

<sup>8</sup> VC<sub>MO</sub> 電圧は他の回路にも使用できますが、仕様規定された範囲で VC<sub>MO</sub> 電圧を安定させるために、バッファを使って駆動する必要があります。

<sup>9</sup> バイプライン遅延はありません。変換の完了後は、直ちに変換結果を使用できます。

<sup>10</sup> リファレンス・バッファが 10μF のリファレンス・コンデンサをリファレンス電圧の 90%まで充電するのに要する時間。

<sup>11</sup> FDA が 1nF のフィルタ・コンデンサを最終値の 90%まで充電するのに要する時間。

<sup>12</sup> 必要に応じてすべてのデジタル入力を VIO または GND に接続します。

<sup>13</sup> アクイジション・フェーズにおける合計スタンバイ電流。

## 仕様

## タイミング仕様

特に指定のない限り、 $V_{DD} = 1.8V \pm 5\%$ 、 $V_{S+} = 5.5V \pm 5\%$ 、 $V_{S-} = 0V$ 、 $V_{IO} = 1.71V \sim 5.5V$ 、 $V_{REF} = 5V$ 、 $f_s = 2\text{MSPS}$ 、すべての仕様は  $T_{MIN}$  ~  $T_{MAX}$ 、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効の場合。

表 3. デジタル・インターフェースのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time—CNV Rising Edge to Data Available Acquisition Phase <sup>1</sup>	$t_{CONV}$		290	320	ns
Time Between Conversions	$t_{ACQ}$	290			ns
CNV Pulse Width ( $\overline{CS}$ Mode) <sup>2</sup>	$t_{CYC}$	500			ns
SCK Period ( $\overline{CS}$ Mode) <sup>3</sup>	$t_{CNVH}$	10			ns
$V_{IO} > 2.7V$	$t_{SCK}$	9.8			ns
$V_{IO} > 1.7V$	$t_{SCK}$	12.3			ns
SCK Period (Daisy-Chain Mode) <sup>4</sup>	$t_{SCK}$				
$V_{IO} > 2.7V$		20			ns
$V_{IO} > 1.7V$		25			ns
SCK Low Time	$t_{SCKL}$	3			ns
SCK High Time	$t_{SCKH}$	3			ns
SCK Falling Edge to Data Remains Valid Delay	$t_{HSDO}$	1.5			ns
SCK Falling Edge to Data Valid Delay	$t_{DSDO}$				
$V_{IO} > 2.7V$				7.5	ns
$V_{IO} > 1.7V$				10.5	ns
CNV or SDI Low to SDO D15 MSB Valid Delay ( $\overline{CS}$ Mode)	$t_{EN}$				
$V_{IO} > 2.7V$				10	ns
$V_{IO} > 1.7V$				13	ns
CNV Rising Edge to First SCK Rising Edge Delay	$t_{QUIET1}$	190			ns
Last SCK Falling Edge to CNV Rising Edge Delay	$t_{QUIET2}$	60			ns
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance ( $\overline{CS}$ Mode)	$t_{DIS}$			20	ns
SDI Valid Setup Time from CNV Rising Edge	$t_{SSDICNV}$	2			ns
SDI Valid Hold Time from CNV Rising Edge ( $\overline{CS}$ Mode)	$t_{HSDICNV}$	2			ns
SCK Valid Hold Time from CNV Rising Edge (Daisy-Chain Mode)	$t_{HSCKCNV}$	12			ns
SDI Valid Setup Time from SCK Rising Edge (Daisy-Chain Mode)	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Rising Edge (Daisy-Chain Mode)	$t_{HSDISCK}$	2			ns

<sup>1</sup> アクイジション・フェーズとは、ADCが2MSPSのスループット・レートで動作している場合に、入力サンプリング・コンデンサが新しい入力値を取得するために使用できる時間です。

<sup>2</sup> ターボ・モードでは、 $t_{CNVH}$ と最小 $t_{QUIET1}$ が一致する必要があります。

<sup>3</sup> ターボ・モードを有効にして、最小SCKレートである70MHzを使用した場合のみ、2MSPSのスループット・レートが実現します。

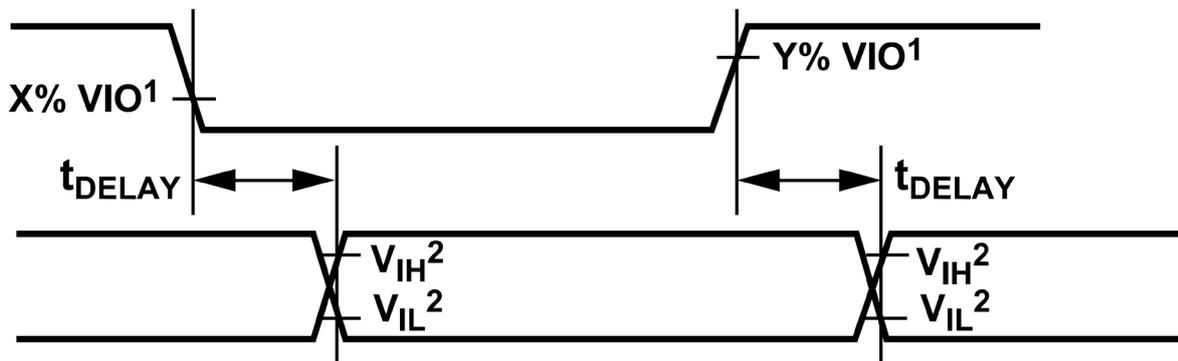
<sup>4</sup> SCKでは50%のデューティ・サイクルを想定しています。

仕様

表 4. レジスタの読出しと書き込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
READ AND WRITE OPERATION					
CNV Pulse Width <sup>1</sup>	$t_{CNVH}$	10			ns
SCK Period	$t_{SCK}$		9.8		ns
VIO > 2.7 V			12.3		ns
VIO > 1.7 V			3		ns
SCK Low Time	$t_{SCKL}$		3		ns
SCK High Time	$t_{SCKH}$		3		ns
READ OPERATION					
CNV Low to SDO D15 MSB Valid Delay	$t_{EN}$			10	ns
VIO > 2.7 V				13	ns
VIO > 1.7 V					ns
SCK Falling Edge to Data Remains Valid	$t_{HSDO}$	1.5			ns
SCK Falling Edge to Data Valid Delay	$t_{DSDO}$			7.5	ns
VIO > 2.7 V				10.5	ns
VIO > 1.7 V				20	ns
CNV Rising Edge to SDO High Impedance	$t_{DIS}$				ns
WRITE OPERATION					
SDI Valid Setup Time from SCK Rising Edge	$t_{SSDISCK}$	2			ns
SDI Valid Hold Time from SCK Rising Edge	$t_{HSDISCK}$	2			ns
CNV Rising Edge to SCK Edge Hold Time	$t_{HCNVSCK}$	0			ns
CNV Falling Edge to SCK Active Edge Setup Time	$t_{SCNVSCK}$	6			ns

<sup>1</sup> ターボ・モードでは、 $t_{CNVH}$  と最小  $t_{QUIET1}$  が一致する必要があります。



<sup>1</sup>FOR  $VIO \leq 2.7V$ ,  $X = 80$ , AND  $Y = 20$ ; FOR  $VIO > 2.7V$ ,  $X = 70$ , AND  $Y = 30$ .  
<sup>2</sup>MINIMUM  $V_{IH}$  AND MAXIMUM  $V_{IL}$  USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 2.

図 2. タイミングの電圧レベル

## 仕様

表 5. 各動作モードで可能なスループット

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
THROUGHPUT, CS MODE					
3-Wire and 4-Wire Turbo Mode	SCK 周波数 ( $f_{SCK}$ ) = 100MHz、VIO $\geq$ 2.7V			2	MSPS
	$f_{SCK}$ = 80MHz、VIO < 2.7V			2	MSPS
3-Wire and 4-Wire Turbo Mode and Six Status Bits	$f_{SCK}$ = 100MHz、VIO $\geq$ 2.7V			2	MSPS
	$f_{SCK}$ = 80MHz、VIO < 2.7V			1.86	MSPS
3-Wire and 4-Wire Mode	$f_{SCK}$ = 100MHz、VIO $\geq$ 2.7V			1.82	MSPS
	$f_{SCK}$ = 80MHz、VIO < 2.7V			1.69	MSPS
3-Wire and 4-Wire Mode and Six Status Bits	$f_{SCK}$ = 100MHz、VIO $\geq$ 2.7V			1.64	MSPS
	$f_{SCK}$ = 80MHz、VIO < 2.7V			1.5	MSPS

## 絶対最大定格

表 6.

Parameter	Rating
Analog Inputs	
R1K+, R1K-, R1K1+, R1K1- to GND	-16 V to +16 V or $\pm 18$ mA
Supply Voltage	
REF_OUT and VIO to GND	-0.3 V to +6.0 V
VDD to GND	-0.3 V to +2.1 V
VDD to VIO	-6 V to +2.4 V
VS+ to VS-	11 V
VS+ to GND	-0.3 V to +11 V
VS- to GND	-11 V to +0.3 V
Digital Inputs to GND	-0.3 V to VIO +0.3 V
Digital Outputs to GND	-0.3 V to VIO +0.3 V
Temperature	
Storage Range	-65°C to +150°C
Junction	150°C
Lead Soldering	260°C reflow as per JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

$\theta_{JC}$  は、ジャンクションからケースへの熱抵抗です。

表 7. 熱抵抗

PCB Type <sup>1</sup>	$\theta_{JA}$	$\theta_{JC}$	Unit	JEDEC Board Layers
BC-49-5	53.5	54.9	°C/W	2S2P

<sup>1</sup>テスト条件 1：熱抵抗のシミュレーション値は、JEDEC 規格 JESD51-7 による 2S2P JEDEC 標準 PCB 構成に基づいています。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 による電界誘起帯電デバイス・モデル (FICDM)。

## ADAQ4001 の ESD 定格

表 8. ADAQ4001、49 ボール CSP\_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	4000	2
FICDM	1000	C4

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

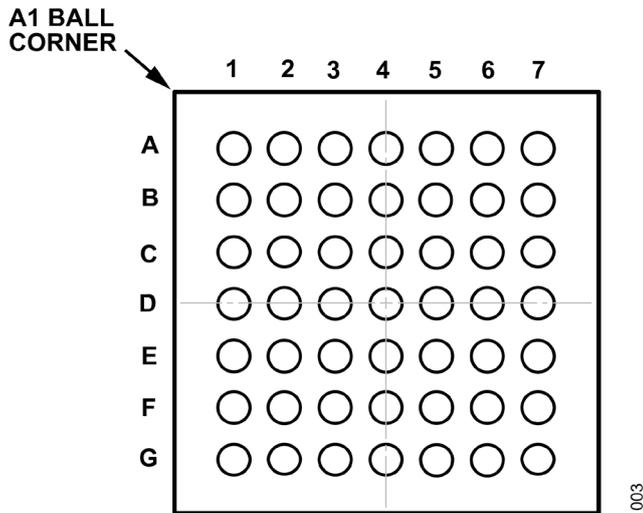


図 3. ピン配置、上面図

	1	2	3	4	5	6	7
A	GND	VDD	OUT+	VS-	REF_OUT	REF	GND
B	R1K-	R1K-	OUT+	VS-	GND	VIO	VIO
C	R1K1-	R1K1-	VS-	VS-	DNC	$\overline{\text{PD\_AMP}}$	SDI
D	IN-	IN+	DNC	DNC	DNC	$\overline{\text{PD\_REF}}$	SCK
E	R1K1+	R1K1+	MODE	VS+	ADCIN+	GND	SDO
F	R1K+	R1K+	OUT-	VS+	DNC	DNC	CNV
G	GND	VCMO	OUT-	VS+	VS+	ADCIN-	GND

NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

図 4. ピン配置

表 9. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
A1, A7, B5, E6, G1, G7	GND	P	電源グラウンド。
A2	VDD	P	1.8V 電源。VDD の範囲は 1.71V~1.89V です。
A3, B3	OUT+	AO	完全差動 ADC ドライバ正出力。
A4, B4, C3, C4	VS-	P	完全差動 ADC ドライバ負電源。
A5	REF_OUT	AO	リファレンス・バッファ出力電圧。
A6	REF	AI	リファレンス・バッファ入力電圧。
B1, B2	R1K-	AI	完全差動 ADC ドライバ負入力への 1kΩ 抵抗入力。
B6, B7	VIO	P	入出力インターフェースのデジタル電源。公称値上は、VIO ピンはホスト・インターフェースと同じ電源 (1.8V、2.5V、3V、または 5V) です。
C1, C2	R1K1-	AI	完全差動 ADC ドライバ負入力への 1kΩ 抵抗入力。
C5, D3 to D5, F5, F6	DNC	N/A	接続なし。このピンには接続しないでください。
C6	$\overline{\text{PD\_AMP}}$	DI	アンプの <u>パワー・ダウン</u> 。アクティブ・ロー。完全差動 ADC ドライバを <u>パワー・ダウン</u> するには、 $\overline{\text{PD\_AMP}}$ ピンを GND に接続します。もしくは、 $\overline{\text{PD\_AMP}}$ ピンをロジック・ハイに接続します。
C7	SDI	DI	シリアル・データ入力。この入力には複数の機能があります。SDI は、ADC のインターフェース・モードを次のように選択します。CNV 立上がりエッジの発生時に SDI がローの場合、デジタイゼーション・モードが選択されます。このモードでは、SDI がデータ入力として使用され、2 つ以上の ADC の変換結果が 1 本の SDO ラインでデジタイゼーション接続されます。SDI のデジタル・データ・レベルは、16SCK サイクルの遅延で SDO に出力されます。 <u>CS</u> モードは、CNV の立上がりエッジ中に SDI がハイの場合に選択されます。このモードでは、SDI または CNV がローの場合に、シリアル出力信号を有効にできます。SDI または CNV がローの場合、変換が完了すると、ビジー・インジケータ機能が有効になります。CNV がローの場合は、SCK の立上がりエッジの発生時に、SDI で 16 ビット・ワードをクロック入力してデバイスをプログラムできます。
D1	IN-	AI	完全差動 ADC ドライバ負入力。
D2	IN+	AI	完全差動 ADC ドライバ正入力。
D6	$\overline{\text{PD\_REF}}$	DI	リファレンス・バッファの <u>パワー・ダウン</u> 。アクティブ・ロー。リファレンス・バッファを <u>パワー・ダウン</u> するには、 $\overline{\text{PD\_REF}}$ ピンを GND に接続します。もしくは、 $\overline{\text{PD\_REF}}$ ピンをロジック・ハイに接続します。
D7 E1,	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによってシフト出力されます。
E2	R1K1+	AI	完全差動 ADC ドライバ正入力への 1.1kΩ 抵抗入力。

## ピン配置およびピン機能の説明

表 9. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
E3	MODE	DI	完全差動 ADC ドライバの電力モード。MODE ピンがハイのときは通常性能動作、MODE ピンがローのときは低消費電力モードです。
E4, F4, G4, G5	VS+	P	完全差動 ADC ドライバトリファレンス・バッファの正電源。
E5	ADCIN+	AO	ADC への正入力。ADCIN+ピンにコンデンサを追加することにより、RCフィルタの帯域幅を狭めることができます。
E7	SDO	DO	シリアル・データ出力。変換結果は SDO ピンに出力されます。SDO は SCK に同期しません。
F1, F2	R1K+	AI	完全差動 ADC ドライバ正入力への 1kΩ 抵抗入力。
F3, G3	OUT-	AO	完全差動 ADC ドライバ負出力。
F7	CNV	DI	変換入力。この入力には複数の機能があります。立上がりエッジでは、CNV が変換を開始して、デバイスのインターフェース・モードとしてデジタイゼーション・モードまたは $\overline{\text{CS}}$ モードを選択します。 $\overline{\text{CS}}$ モードでは、CNV がローの場合に SDO ピンがイネーブルになります。デジタイゼーション・モードでは、CNV がハイの場合にデータの読出しが実行されます。
G2	VCMO	AO	完全差動 ADC ドライバの出力コモンモード電圧。公称値は $V_{\text{REF}}/2$ 。
G6	ADCIN-	AO	ADC への負入力。ADCIN-ピンにコンデンサを追加することにより、RCフィルタの帯域幅を狭めることができます。

<sup>1</sup> P は電力、AO はアナログ出力、AI はアナログ入力、N/A は「該当せず」、DI はデジタル入力、DO はデジタル出力を表します。

代表的な性能特性

特に指定がない限り、 $V_{S+} = 5.5V$ 、 $V_{S-} = 0V$ 、 $V_{DD} = 1.8V$ 、 $V_{IO} = 3.3V$ 、 $V_{REF} = 5V$ 、 $T_A = 25^\circ C$ 、高インピーダンス・モード無効、スパン圧縮無効、ターボ・モード有効、 $f_s = 2MSPS$ 。

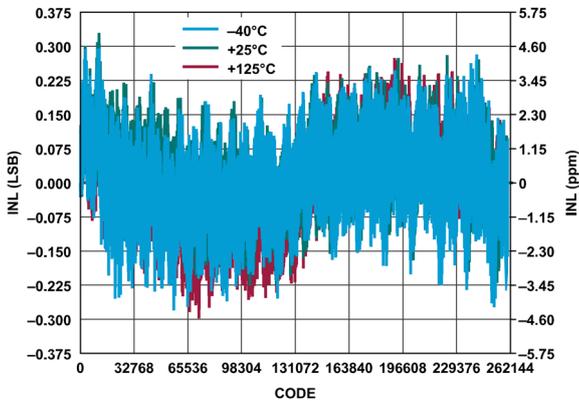


図 5. 様々な温度での INL とコードの関係、 $V_{REF} = 5V$ 、 $G = 0.454$

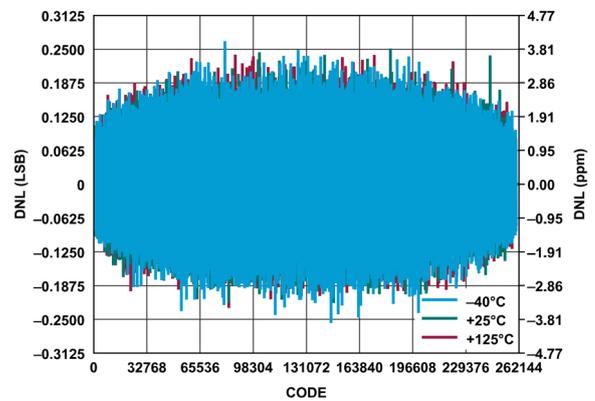


図 8. 様々な温度での DNL とコードの関係、 $V_{REF} = 5V$ 、 $G = 0.454$

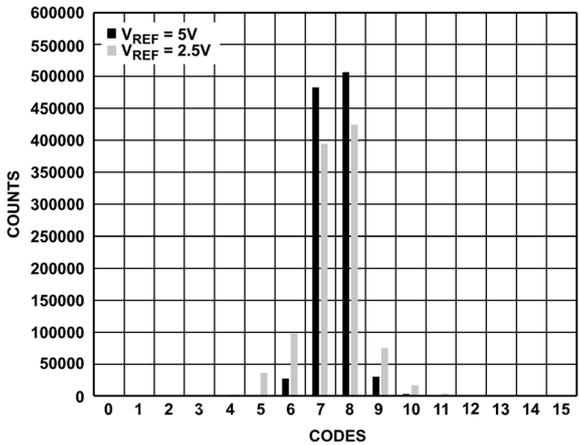


図 6. コード遷移時の DC 入力のヒストグラム、 $V_{REF} = 2.5V$  および  $V_{REF} = 5V$

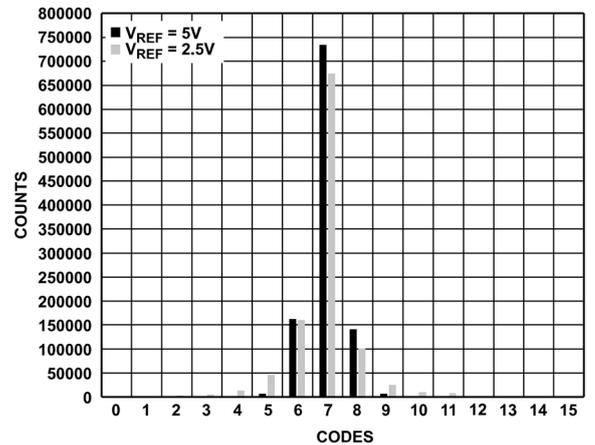


図 9. コード中央での DC 入力のヒストグラム、 $V_{REF} = 2.5V$  および  $V_{REF} = 5V$

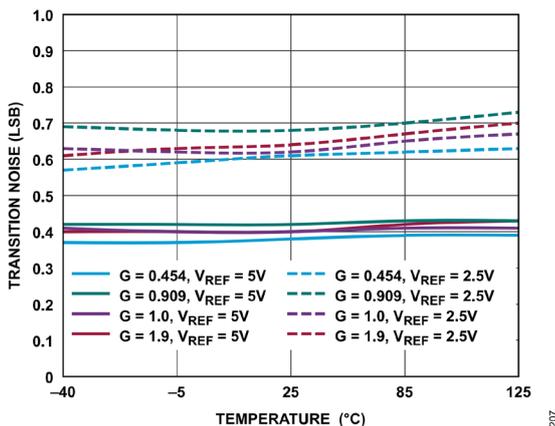


図 7. 遷移ノイズと温度の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1$ 、 $G = 1.9$ 、および  $V_{REF} = 5V$ 、 $V_{REF} = 2.5V$

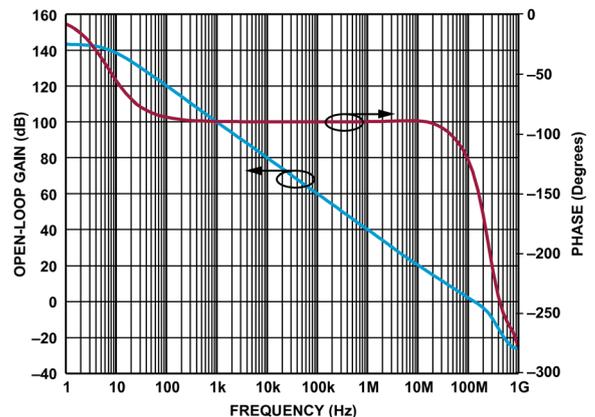


図 10. ADC ドライバのオープンループ・ゲインおよび位相と周波数の関係

代表的な性能特性

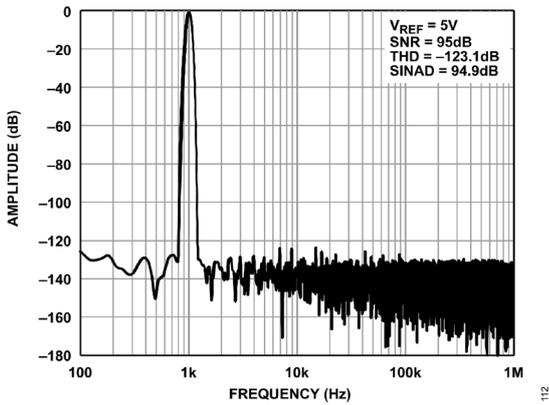


図 11. 1kHz、-0.5dBFS 入力トーン高速フーリエ変換 (FFT)、広帯域表示、G = 1、V<sub>REF</sub> = 5V、差動

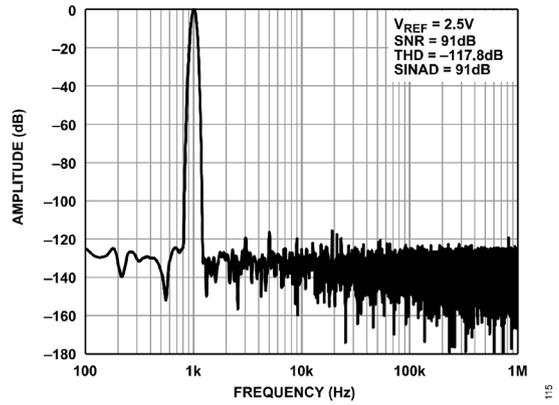


図 14. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、G = 1、V<sub>REF</sub> = 2.5V、差動

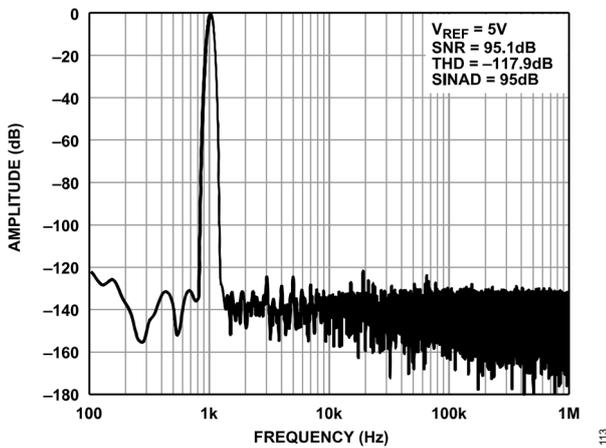


図 12. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、G = 1、V<sub>REF</sub> = 5V、シングルエンド

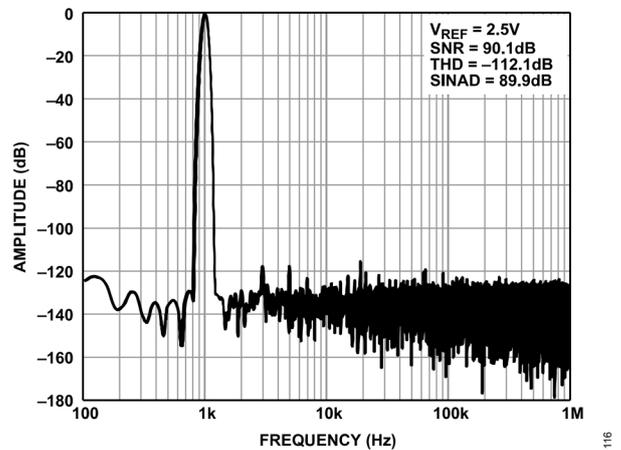


図 15. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、G = 1、V<sub>REF</sub> = 2.5V、シングルエンド

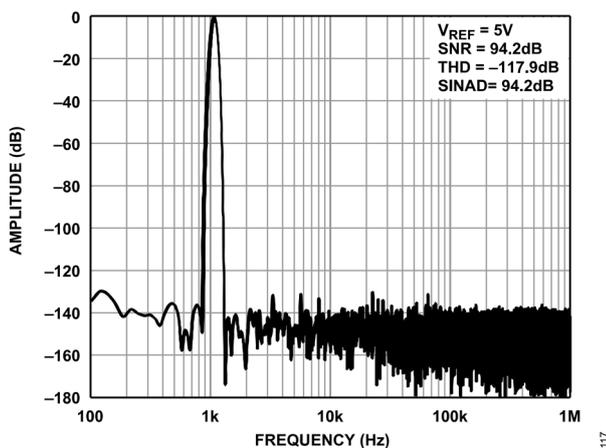


図 13. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、差動、G = 0.909、V<sub>REF</sub> = 5V、低消費電力モード

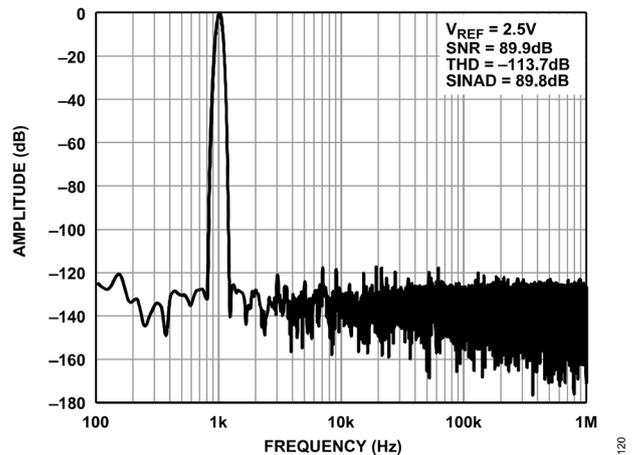


図 16. 1kHz、-0.5dBFS 入力トーン FFT、広帯域表示、差動、G = 0.909、V<sub>REF</sub> = 2.5V、低消費電力モード

代表的な性能特性

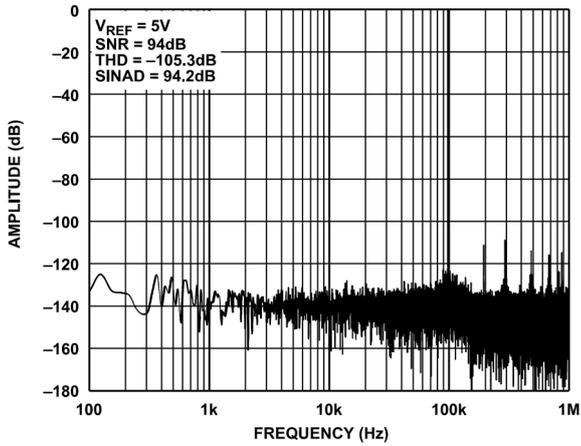


図 17. 100kHz、-0.5dBFS 入力トーン FFT、広帯域表示、  
G = 1、V<sub>REF</sub> = 5V

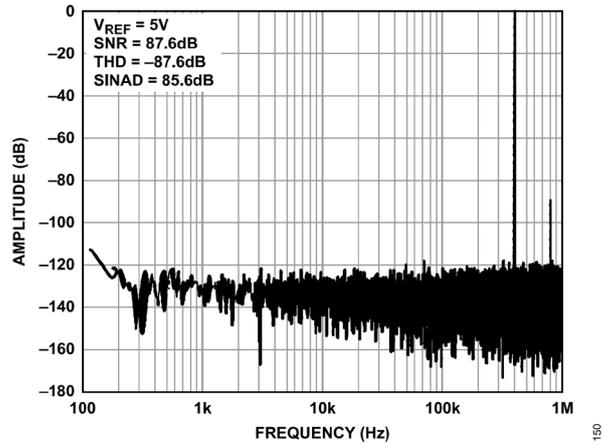


図 20. 400kHz、-0.5dBFS 入力トーン FFT、G = 1、  
広帯域表示、V<sub>REF</sub> = 5V

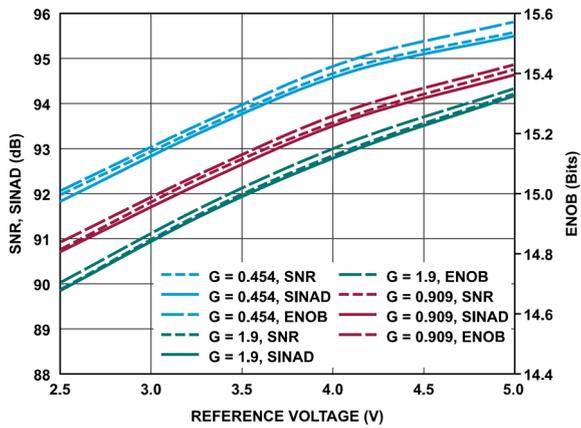


図 18. S/N 比、SINAD、有効ビット数 (ENOB) と  
リファレンス電圧の関係、G = 0.454、G = 0.909、G = 1.9、  
f<sub>IN</sub> = 1kHz

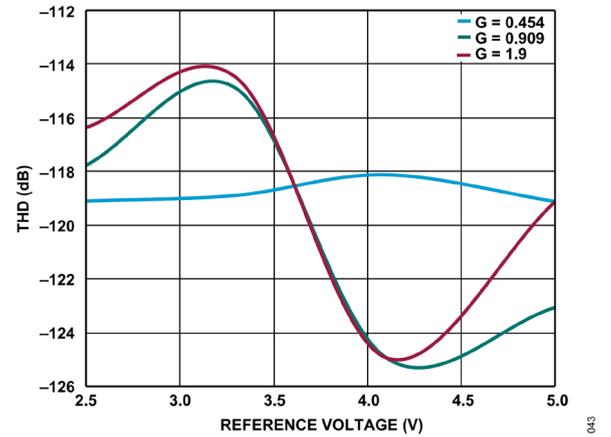


図 21. THD とリファレンス電圧の関係、G = 0.454、G = 0.909、  
G = 1.9、f<sub>IN</sub> = 1kHz

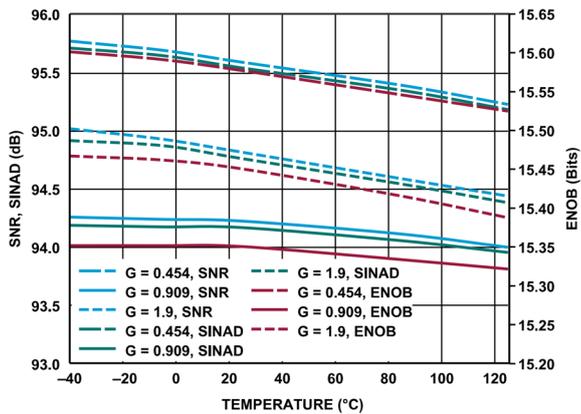


図 19. S/N 比、SINAD、ENOB と温度の関係、  
G = 1.9、G = 0.909、G = 0.454、f<sub>IN</sub> = 1kHz

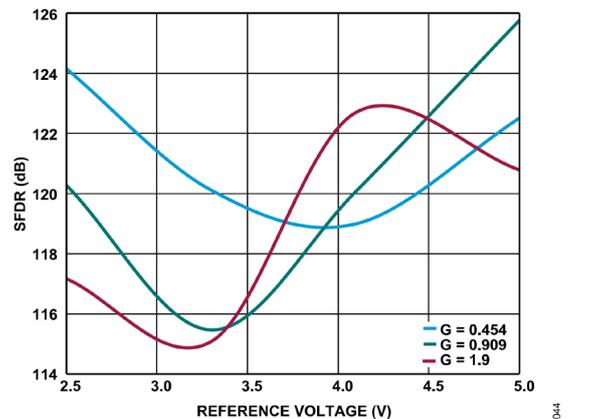


図 22. SFDR とリファレンス電圧の関係、  
G = 0.454、G = 0.909、G = 1.9、f<sub>IN</sub> = 1kHz

代表的な性能特性

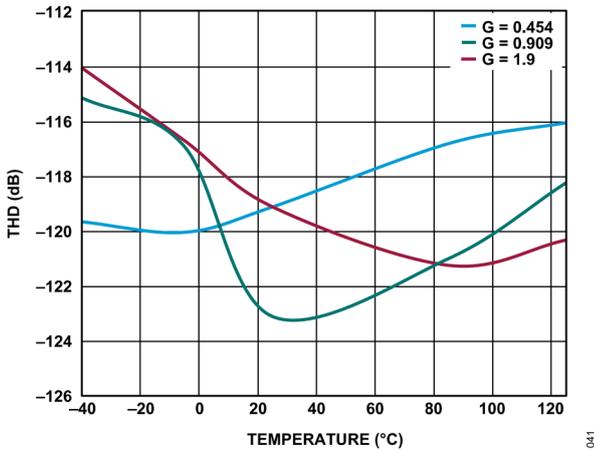


図 23. THD と温度の関係、  
G = 0.454、G = 0.909、G = 1.9、 $f_{IN} = 1\text{kHz}$

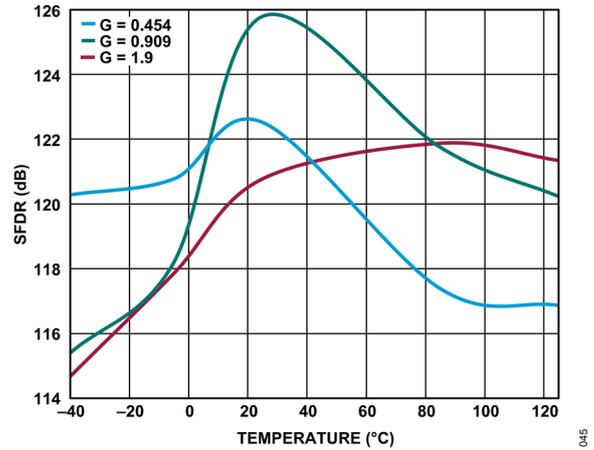


図 26. SFDR と温度の関係、  
G = 0.454、G = 0.909、G = 1.9、 $f_{IN} = 1\text{kHz}$

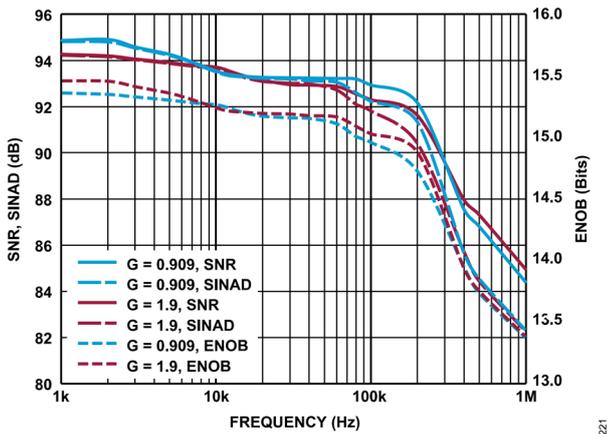


図 24. S/N 比、SINAD、ENOB と周波数の関係、  
G = 1.9、G = 0.909、 $V_{REF} = 5\text{V}$

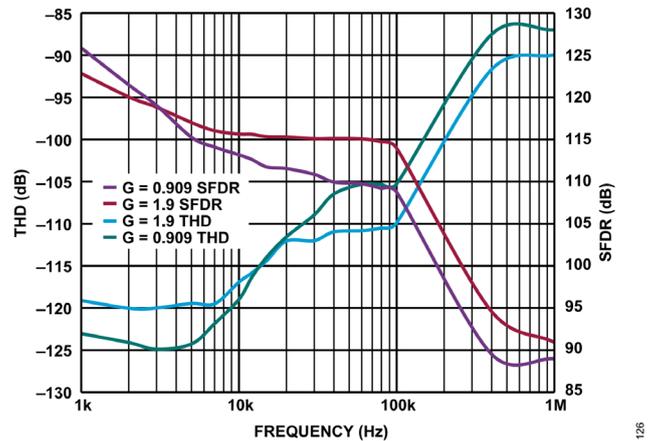


図 27. THD および SFDR と周波数の関係、  
G = 0.909、G = 1.9、 $V_{REF} = 5\text{V}$

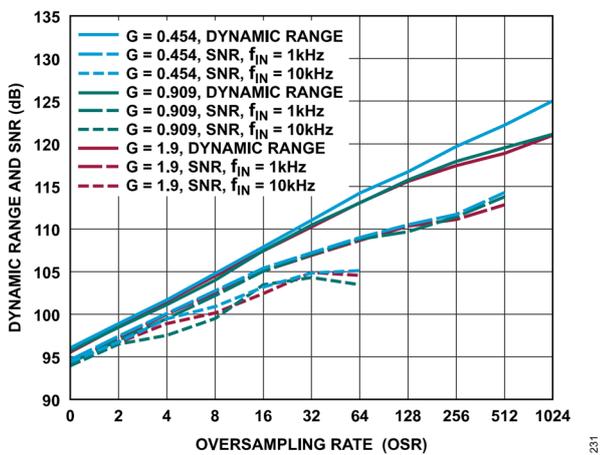


図 25. ダイナミック・レンジおよび S/N 比と  
オーバーサンプリング・レートの関係、  
G = 0.454、G = 0.909、G = 1.9、入力周波数 2MSPS

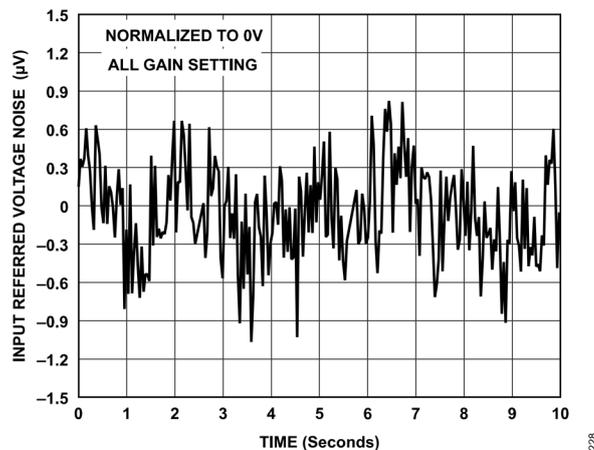


図 28. 0.1Hz~10Hz 帯域幅の電圧ノイズ、  
100kSPS、1 回の読出しで 250 個のサンプルを平均

代表的な性能特性

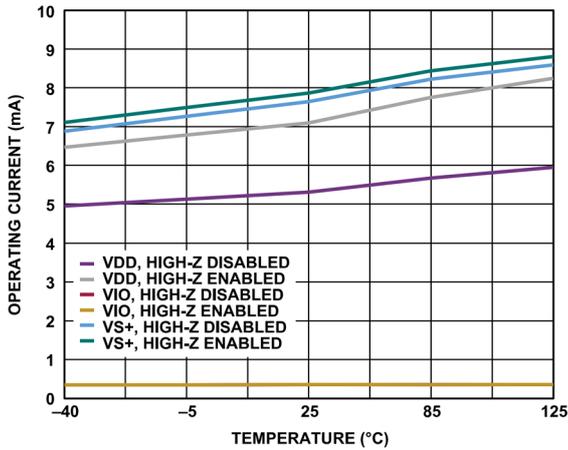


図 29. 動作電流と温度の関係、2MSPS

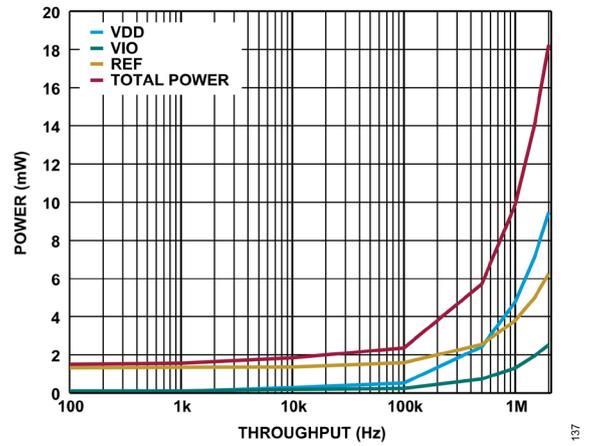


図 32. 消費電力とスループットの関係

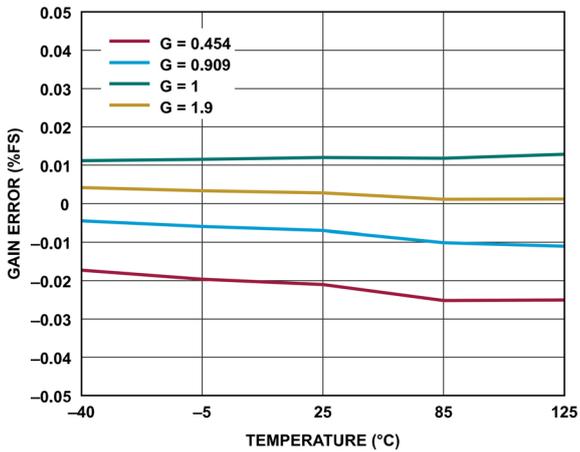


図 30. イン誤差と周波数の関係、 $V_{REF} = 5.0V$ 、通常動作モード

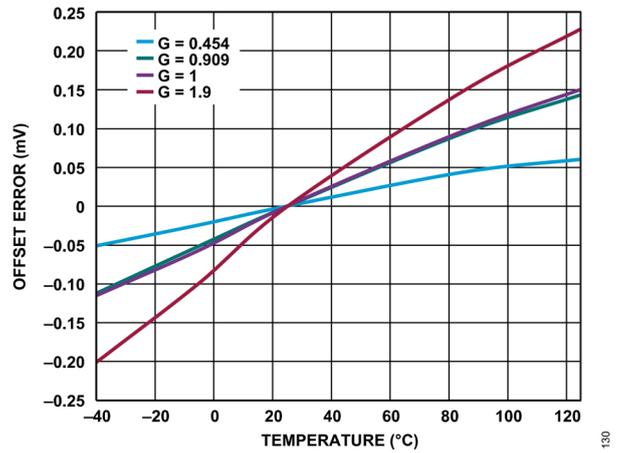


図 33. オフセット誤差と温度の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1$ 、 $G = 1.9$

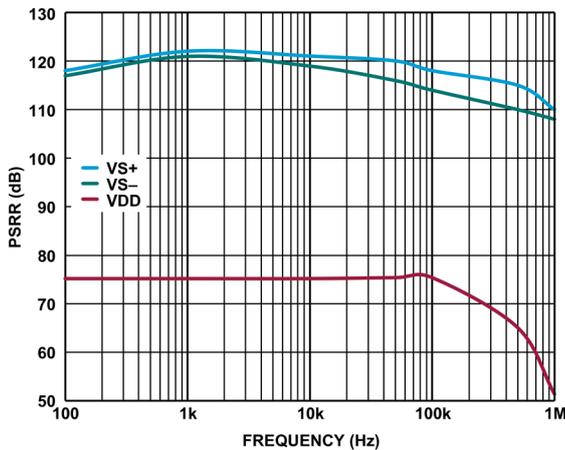


図 31. PSRR と周波数の関係

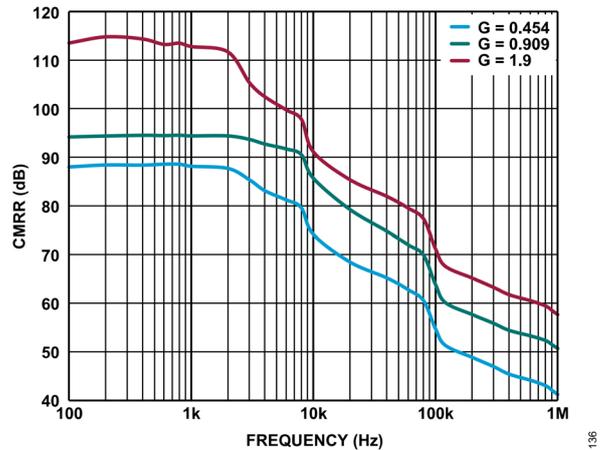


図 34. CMRR と周波数の関係、 $G = 0.454$ 、 $G = 0.909$ 、 $G = 1.9$

代表的な性能特性

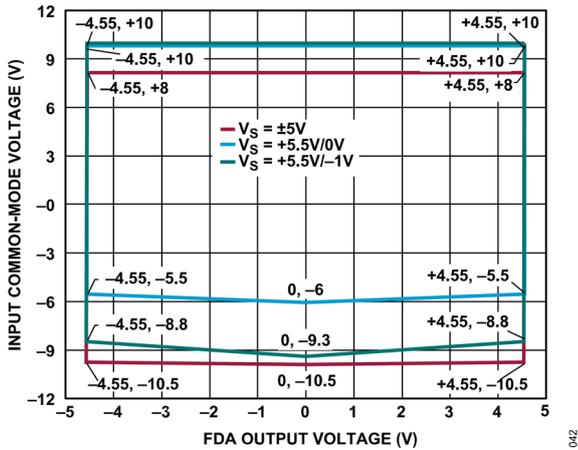


図 35. 入力コモンモード電圧と FDA 出力電圧の関係、  
G = 0.454、差動入力

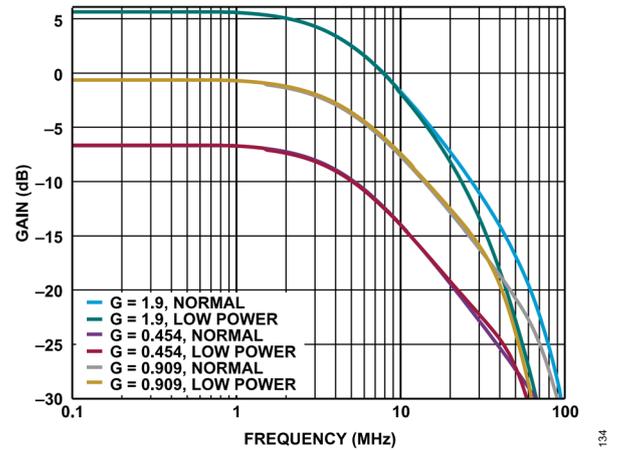


図 38. 小信号の周波数応答と 0.1dB 平坦性、G = 1.9、  
G = 0.454、G = 0.909、通常動作モード時と低消費電力モード時

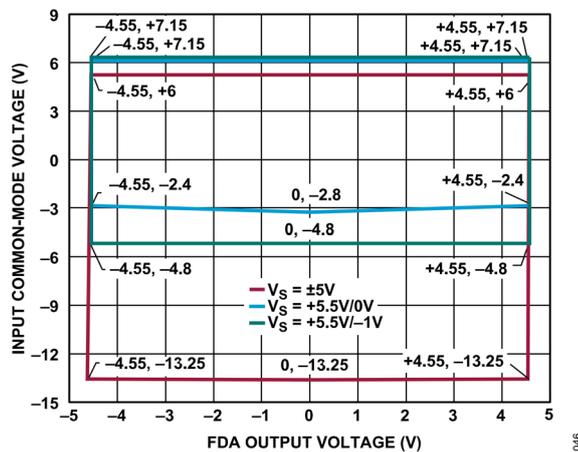


図 36. 入力コモンモード電圧と FDA 出力電圧の関係、  
G = 0.909、差動入力

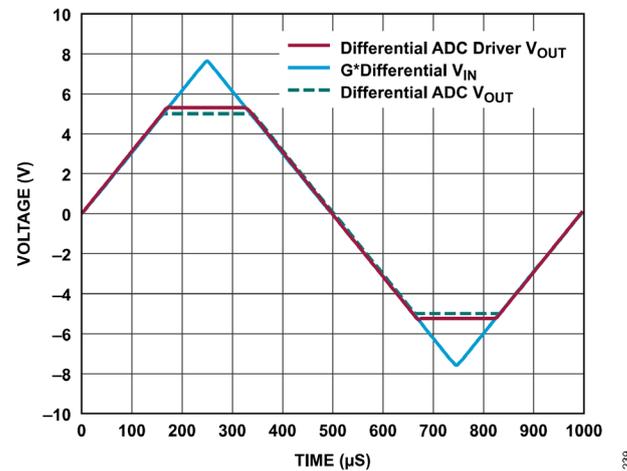


図 39. 出力ドライブ回復、 $f_{IN} = 1\text{kHz}$

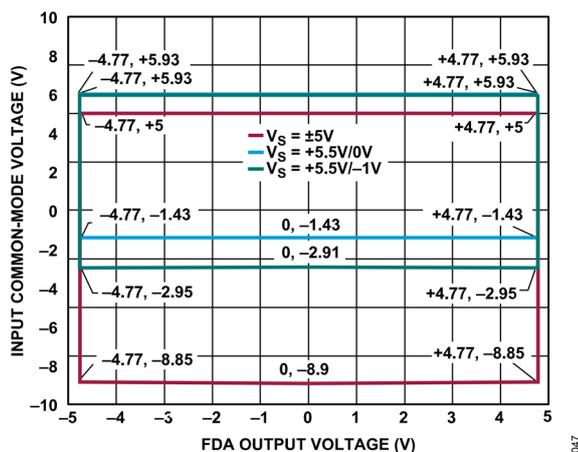


図 37. 入力コモンモード電圧と FDA 出力電圧の関係、  
G = 1.9、差動入力

## 用語の定義

### 積分非直線性 (INL) 誤差

INL 誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より  $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を  $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 40 参照)。

### 微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL 誤差は、ノー・ミス・コードの分解能で仕様規定されます。

### オフセット誤差

最初の遷移はアナログ・グラウンドより  $\frac{1}{2}$ LSB 上のレベルで発生します。オフセット誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、1°C の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲の比です。オフセット誤差ドリフトは次式のように 1°C あたりの ppm 値で表されます。

$$\text{オフセット誤差ドリフト (ppm/°C)} = 106 \times (\text{Offset Error}_{T_{\text{MAX}}} - \text{Offset Error}_{T_{\text{MIN}}}) / (T_{\text{MAX}} - T_{\text{MIN}})$$

ここで、

$$T_{\text{MAX}} = 125^{\circ}\text{C}.$$

$$T_{\text{MIN}} = -40^{\circ}\text{C}.$$

### ゲイン誤差

最初の遷移は負の公称フルスケールより  $\frac{1}{2}$ LSB 高いレベルで発生し、最後の遷移は公称フルスケールより  $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。ゲイン誤差は、最後の遷移の実際レベルと最初の遷移の実際レベルとの差と、オフセット誤差が除去された後の理論値レベル間の差との偏差です。ゲイン誤差は次式のようにパーセンテージで表されます。

$$\text{ゲイン誤差 (\%)} = 100 \times ((\text{PFS} - \text{NFS})^{\text{ACTUAL\_CODE}} - (\text{PFS} - \text{NFS})^{\text{IDEAL\_CODE}}) / (\text{PFS} - \text{NFS})^{\text{IDEAL\_CODE}}$$

ここで、

PFS は正のフルスケール、

NFS は負のフルスケールです。

### ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1°C の温度変化に起因するゲイン誤差変化とフルスケール範囲の比です。ゲイン誤差ドリフトは次式のように 1°C あたりの ppm 値で表されます。

$$\text{ゲイン誤差ドリフト (ppm/°C)} = 106 \times (\text{Gain Error}_{T_{\text{MAX}}} - \text{Gain Error}_{T_{\text{MIN}}}) / (T_{\text{MAX}} - T_{\text{MIN}})$$

ここで、

$$T_{\text{MAX}} = 125^{\circ}\text{C}.$$

$$T_{\text{MIN}} = -40^{\circ}\text{C}.$$

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅と、高調波を含むピーク・スプリアス信号との差で、単位はデシベル (dB) です。

### 有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。ENOB と SINAD の関係は次式で表されます。

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76) / 6.02$$

ENOB の単位はビットです。

### 全高調波歪み (THD)

THD は、フルスケール入力信号実効値に対する 2~6 次高調波成分実効値の総和の比率で、単位はデシベルです。

### ダイナミック・レンジ

ダイナミック・レンジは、測定した合計 rms ノイズに対するフルスケールの rms 値の比率です。ダイナミック・レンジの単位はデシベルです。ダイナミック・レンジは、すべてのノイズ・ソースと DNL アーティファクトが含まれるように、-60dBFS の信号で測定されます。

### S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の rms 総和に対する実際の入力信号の rms 値の比です。S/N 比の値はデシベルで表されます。

### 信号ノイズ + 歪み (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。SINAD の単位はデシベルです。

### アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の測定値です。CNV 入力の立上がりエッジと入力信号が変換のために保持される間の時間です。

## 用語の定義

### 過渡応答

過渡応答は、ADC が  $\pm 1\text{LSB}$  の精度でフルスケール入力ステップを達成するのに必要な時間です。

### 同相ノイズ除去比 (CMRR)

CMRR は、周波数  $f$  の入力コモンモード電圧に加えられる  $1.3\text{Vp-p}$  サイン波の電力に対する、周波数  $f$  における  $\mu\text{Module}$  出力の電力の比です。

$$\text{CMRR (dB)} = 10\log(P_{\mu\text{Module\_IN}}/P_{\mu\text{Module\_OUT}})$$

ここで、

$P_{\mu\text{Module\_IN}}$  は、周波数  $f$  で入力に印加されるコモンモード電力、  
 $P_{\mu\text{Module\_OUT}}$  は、周波数  $f$  における  $\mu\text{Module}$  出力の電力です。

### 電源電圧変動除去比 (PSRR)

PSRR は、 $5\text{V}$  を中心とする  $V_{\text{DD}}$  と  $V_{\text{S+}}$  の電源電圧に印加される周波数  $f$ 、振幅  $500\text{mVp-p}$  のサイン波の電力および  $-1\text{V}$  を中心とする  $V_{\text{S-}}$  の電源電圧に印加される周波数  $f$ 、振幅  $100\text{mVp-p}$  のサイン波の電力に対する、 $\mu\text{Module}$  の出力に現れる周波数  $f$  の電力の比です。

$$\text{PSRR (dB)} = 10\log(P_{\mu\text{Module\_IN}}/P_{\mu\text{Module\_OUT}})$$

ここで、

$P_{\mu\text{Module\_IN}}$  は、周波数  $f$  における各電源ピン  $V_{\text{DD}}$ 、 $V_{\text{S+}}$ 、および  $V_{\text{S-}}$  の電力、

$P_{\mu\text{Module\_OUT}}$  は、周波数  $f$  における  $\mu\text{Module}$  出力の電力です。

動作原理

回路説明

ADAQ4001 SiP は、SAR アーキテクチャを採用した高速、高精度の DAQ シグナル・チェーンです。図 1 に示すように、ADAQ4001 μModule DAQ ソリューションには、広帯域幅の完全差動 ADC ドライバ、低ノイズのリファレンス・バッファ、16 ビット SAR ADC と共に、0.454、0.909、1、または 1.9 のゲインをピンによって選択できるオプションを使って性能を最適化するために必要となる、重要な高精度受動部品が含まれています。±0.005%に整合された rPassive 薄膜抵抗を含む回路内のすべての能動部品はアナログ・デバイスによる設計で、これらの部品は、仕様に規定された高い精度を実現し、温度による誤差源を最小限に抑えるために、工場出荷時にキャリブレーションされています。

ADAQ4001 は、1 秒あたり 2,000,000 サンプルを変換することができます (2MSPS)。ADAQ4001 では、長時間にわたるパワーダウン後の最初の変換でも有効な結果が得られるため、ADC が継続して変換を行わないアプリケーションの消費電力を低減することができます。

ADAQ4001 は、個々の部品の選択、PCB サイズ、製造の観点から、従来のディスクリット・シグナル・チェーンと比較してフォーム・ファクタと総所有コストを大幅に削減すると同時に、広範なアプリケーションに応用できる柔軟性を備えています。

ADAQ4001 は、完全差動の高速 ADC ドライバと高精度抵抗を組み合わせています。この高精度抵抗はピン接続によって選択でき、完全差動 ADC ドライバのゲインを異なる値に設定することが可能です。また、これにより入力信号の範囲に合わせてデバイスを設定することができます。完全差動 ADC ドライバは差動で使用できるほか、シングルエンド入力を差動出力に変換することができます。

ADAQ4001 の高速変換能力とターボ・モードは、ADAQ4001 が最大スループット・レートで動作している時でも、低クロック・レートで変換をリードバックすることを可能にします。

表 10. 出力コードと入力電圧の理論値

Description	Analog Inputs		Digital Output Code <sup>1</sup> (Twos Complement, Hex)
	Span Compression Disabled	Span Compression Enabled	
FSR - 1 LSB	$(32,767 \times V_{REF}) / (32,768 \times G)$	$(32,767 \times 0.8 \times V_{REF}) / (32,768 \times G)$	0x7FFF <sup>2</sup>
Midscale + 1 LSB	$V_{REF} / (32,768 \times G)$	$0.8 \times V_{REF} / (32,768 \times G)$	0x0001
Midscale	0 V	0 V	0x0000
Midscale - 1 LSB	$-V_{REF} / (32,768 \times G)$	$-0.8 \times V_{REF} / (32,768 \times G)$	0xFFFF
-FSR + 1 LSB	$-(32,767 \times V_{REF}) / (32,768 \times G)$	$-(32,767 \times 0.8 \times V_{REF}) / (32,768 \times G)$	0x8001
-FSR	$-V_{REF} \times G$	$-0.8 \times V_{REF} \times G$	0x8000 <sup>3</sup>

<sup>1</sup> この出力コードは、ADC ドライバの負入力 (IN-) を駆動することを前提としています。

<sup>2</sup> この出力コードはオーバーレンジ・アナログ入力のコードです (スパン圧縮が無効の場合は  $V_{REF}$  を (VIN+ - VIN-) だけ上回り、スパン圧縮が有効の場合は  $(0.8 \times V_{REF})$  だけ上回る)。

<sup>3</sup> この出力コードはアンダーレンジ・アナログ入力のコードです (スパン圧縮が無効の場合は  $V_{REF}$  を (VIN+ - VIN-) だけ下回り、スパン圧縮が有効の場合は  $(0.8 \times V_{REF})$  だけ下回る)。

ADAQ4001 の場合、2MSPS のフル・スループット・レートはターボ・モードでのみ実現できます。ADAQ4001 は変換クロックを内蔵しているため、変換プロセスにシリアル・クロック (SCK) は必要ありません。

ADAQ4001 は、1.8V~5V のすべてのデジタル・ロジック・ファミリ製品に接続できます。このデバイスは 7mm × 7mm、0.80mm ピッチ、49 ボールの CSP\_BGA に収められているのでスペースを大幅に節約でき、柔軟な構成が可能です。

伝達関数

ADAQ4001 の理想伝達特性を図 40 と表 10 に示します。

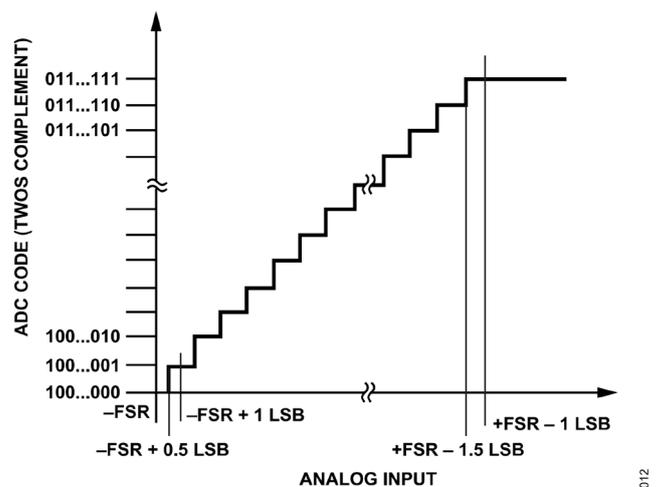


図 40. ADC の理想的な伝達関数 (FSR はフルスケール範囲)

アプリケーション情報

代表的なアプリケーション図

グラウンドを基準として、4つの異なるゲイン・オプションでシングルエンド入力信号と差動入力信号を加える場合の、ADAQ4001の推奨接続図を図41～図48に示します。表11は、所定のゲインまたは入力範囲オプションに対して入力信号をどのように加えるべきかを示しています。

表 11. ゲイン設定と入力範囲

ゲイン	入力範囲	各ピンの入力信号	テスト条件
0.454	$\pm 11\text{ V}$	R1K1-, R1K1+	IN-ピンとIN+ピンはフロート状態のままにしてください。OUT+ピンとR1K-ピン、およびOUT-ピンとR1K+ピンは相互に接続します。図41と図45を参照。
0.909	$\pm 5.5\text{ V}$	R1K1-, R1K1+	IN-, IN+, R1K-, R1K+の各ピンはフロート状態のままにします。図42と図46を参照。
1	$\pm 5\text{ V}$	R1K-, R1K+	IN-, IN+, R1K1-, R1K1+の各ピンはフロート状態のままにします。図43と図47を参照。
1.9	$\pm 2.6\text{ V}$	R1K-/R1K1-, R1K+/R1K1+	IN-ピンとIN+ピンはフロート状態のままにしてください。R1K-ピンとR1K1-ピン、およびR1K+ピンとR1K1+ピンは相互に接続します。図44と図48を参照。

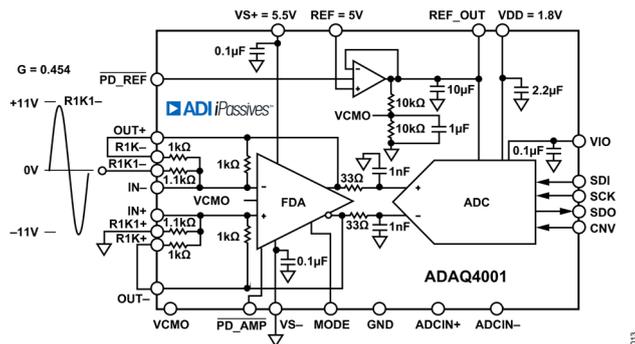


図 41. シングルエンド入力/差動出力、G = 0.454

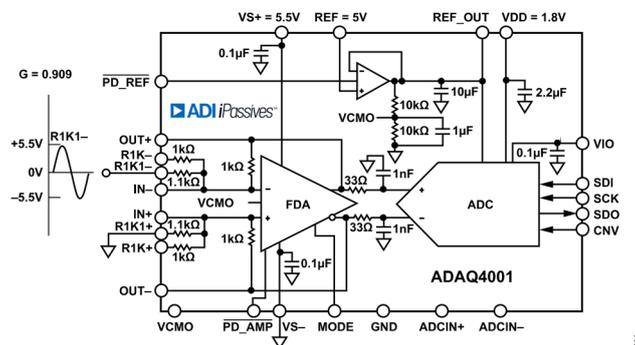


図 42. シングルエンド入力/差動出力、G = 0.909

アプリケーション情報

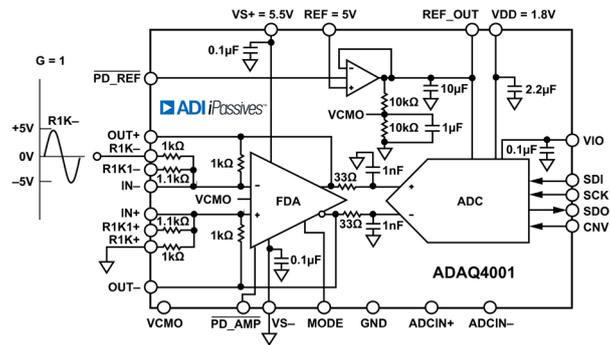


図 43. シングルエンド入力/差動出力、G = 1

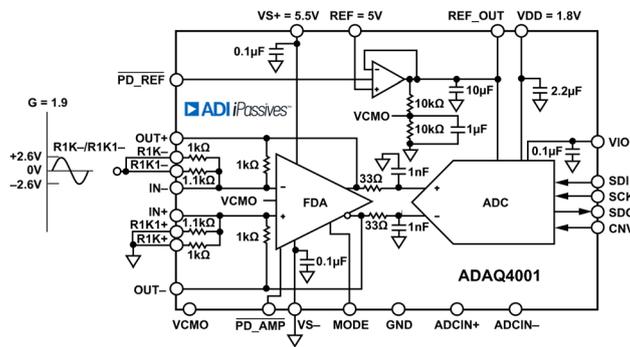


図 44. シングルエンド入力/差動出力、G = 1.9

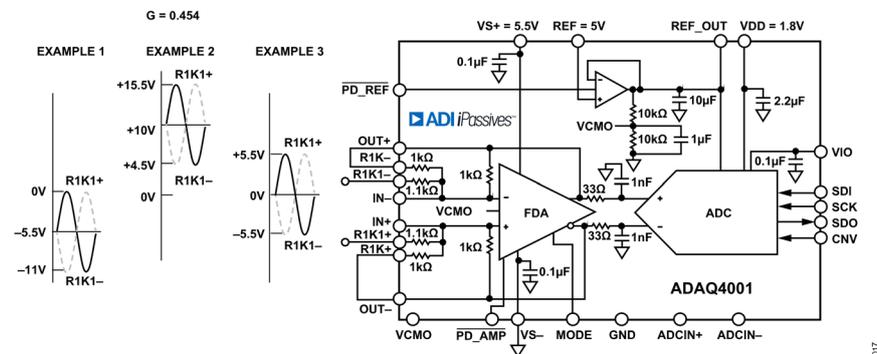


図 45. 差動構成、G = 0.454

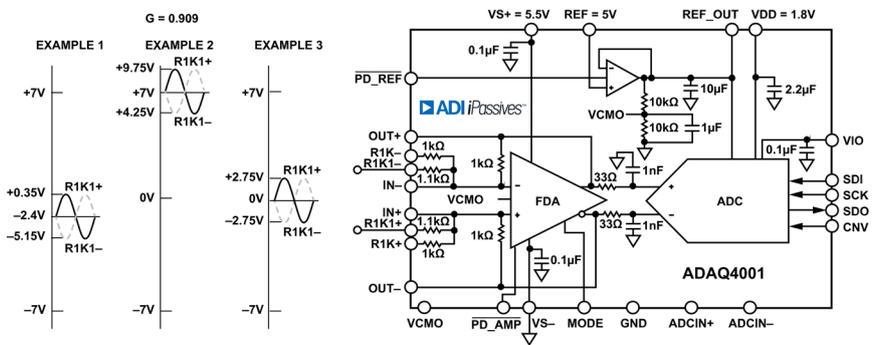


図 46. 差動構成、G = 0.909

アプリケーション情報

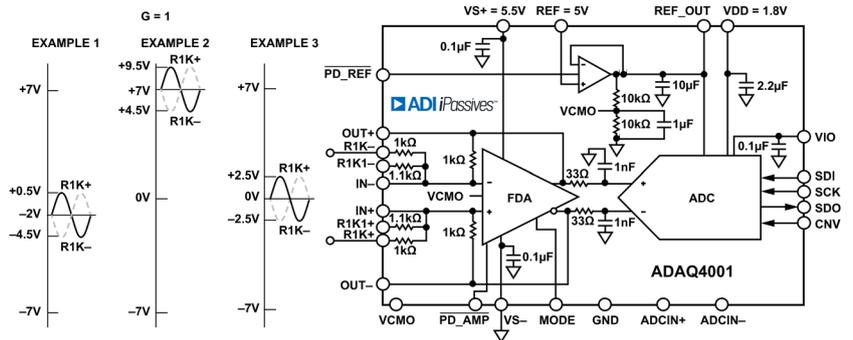


図 47. 差動構成、G = 1

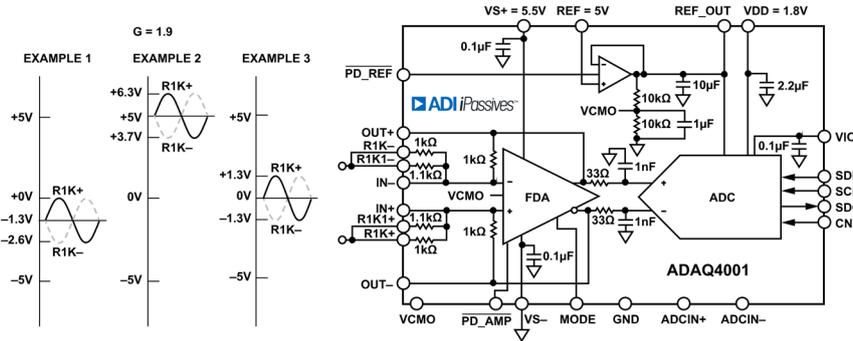


図 48. 差動構成、G = 1.9

アナログ入力

高周波の入力信号

5V のリファレンス電圧を使用した場合の、広い入力周波数範囲にわたる ADAQ4001 の AC 性能を図 24 と図 27 に示します。ADAQ4001 はナイキスト周波数までの入力周波数に対して非常に優れた AC 性能を発揮し、性能の低下は最小限に抑えられています。

ドライブ補助機能

入カスパン圧縮

ADAQ4001 はスパン圧縮機能を備えています。これにより、範囲の上下から入力範囲を 10%削減することで、ADC ドライバが使用できるヘッドルームとフットルーム増やしなが、すべての ADC コードに引き続きアクセスすることができます。スパン圧縮を有効にすると、削減された入力範囲で S/N 比が約 1.9dB ( $20 \times \log(8/10)$ ) 減少します。デフォルトではスパン圧縮は無効になっていますが、関連するレジスタ・ビットに書き込みを実行することで有効になります (デジタル・インターフェースのセクションを参照)。

ADC 高インピーダンス・モード

ADAQ4001 には、ADC 高インピーダンス・モードが組み込まれています。これにより、アキュジション開始時にコンデンサの DAC が切り替わって入力に戻るときに、非直線性のチャージ・キックバックが削減されます。ADC 高インピーダンス・モードはデフォルトでは無効ですが、レジスタに書き込みを実行することで有効になります (表 15 を参照)。100kHz を超える周波数やマルチプレクスでは、高インピーダンス・モードを無効にしてください。

高インピーダンス PGIA を使用した ADAQ4001 の駆動

計装アンプやプログラマブル・ゲイン計装アンプ (PGIA) の多くはシングルエンド出力であり、完全差動のデータ・アキュジション・シグナル・チェーンを直接駆動することはできません。しかし、LTC6373 PGIA は、低ノイズ、低歪み、高帯域幅の完全差動出力を提供します。LTC6373 は入力と出力が DC カップリングされており、ゲイン設定をプログラムできます (A2、A1、A0 ピンを使用)。これらの機能は、多くのシグナル・チェーン・アプリケーションにおいて、精度性能を犠牲にすることなく LTC6373 が ADAQ4001 を直接駆動することを可能にします。

図 51 では、±15V の両電源を使い LTC6373 を差動入力差動出力構成で使用していますが、必要に応じシングルエンド入力差動出力構成で使用することもできます。LTC6373 は、ゲインが 0.454 に設定された ADAQ4001 を直接駆動しています。LTC6373 の VCMO ピンはグラウンドに接続します。その出力振幅は -5.5V ~ +5.5V です (位相が逆)。ADAQ4001 の FDA は、ADAQ4001 に必要な入力コモンモードに合わせて LTC6373 の出力をレベル・シフトし、ADAQ4001 μModule が内蔵する ADC の最大  $2 \times V_{REF}$  のピーク to ピーク差動信号範囲を利用するのに必要な信号振幅を提供します。図 49 と図 50 に、図 51 の回路構成で LTC6373 のゲインを様々な値に設定した場合の S/N 比と THD の性能を示します。

アプリケーション情報

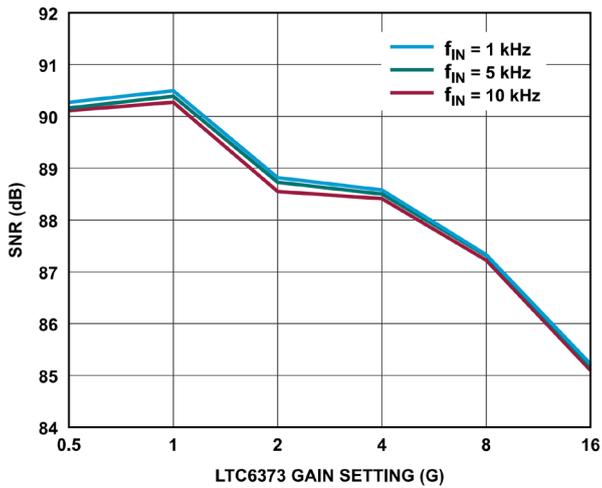


図 49. S/N 比と LTC6373 ゲイン設定の関係、LTC6373 で ADAQ4001 を駆動する場合 (ゲイン = 0.454)

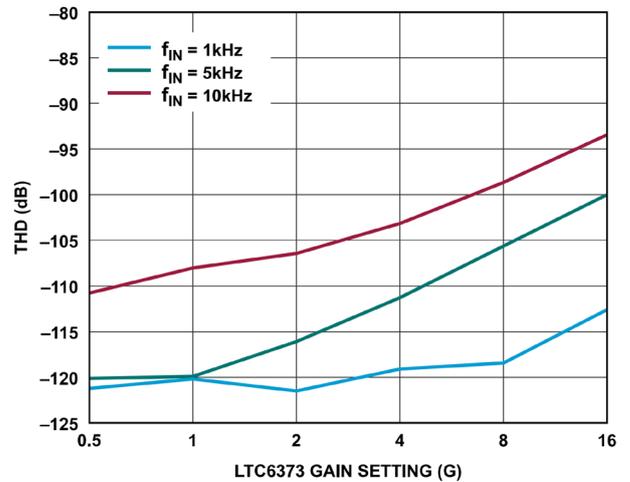


図 50. THD と LTC6373 ゲイン設定の関係、LTC6373 で ADAQ4001 を駆動する場合 (ゲイン = 0.454)

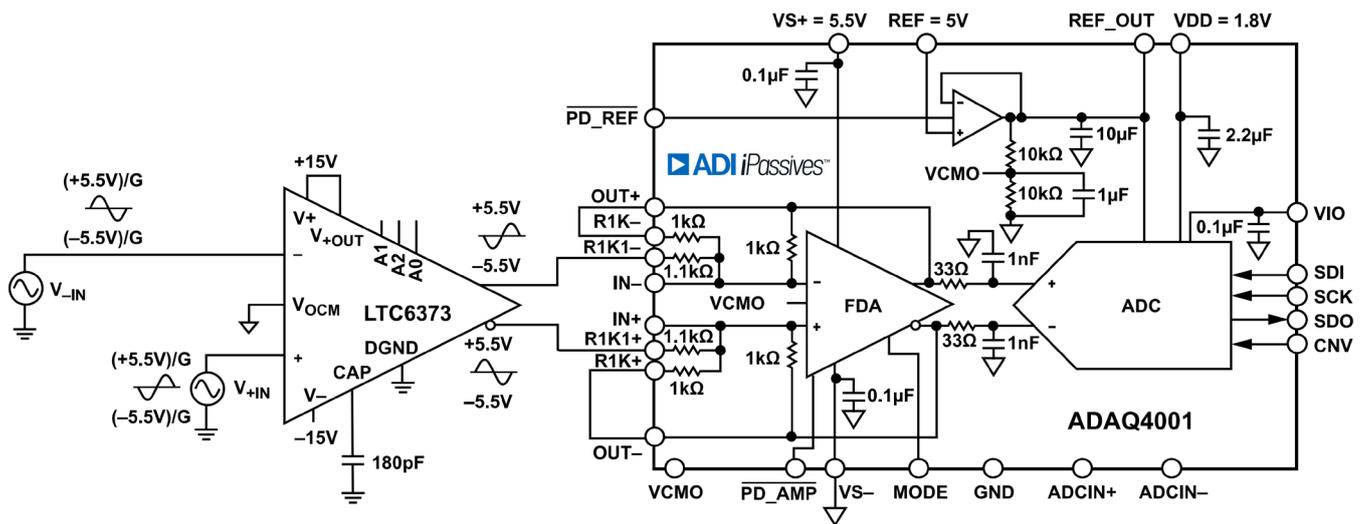


図 51. LTC6373 で ADAQ4001 を駆動 (G = 0.454)

## アプリケーション情報

### 電圧リファレンス入力

ADAQ4001 の電圧リファレンス入力 (REF) は、低ノイズの内蔵リファレンス・バッファの非反転ノードです。リファレンス・バッファは、SAR ADC のリファレンス・ノードの動的な入力インピーダンスを最適に駆動するために内蔵されています。

また、ADAQ4001 は 10 $\mu$ F のデカップリング・コンデンサも内蔵しており、デバイス内に最適に配置されています。このデカップリング・コンデンサは、SAR アーキテクチャに不可欠な部品です。REF\_OUT コンデンサは単なるバイパス・コンデンサではありません。このコンデンサは SAR ADC の一部ですが、単純にシリコン上に組み込むことはできません。ビット判定プロセス中は、ビットが数十ナノ秒以内にセトリングするので、このストレージ・コンデンサが内部の容量性 DAC に電荷を補充します。バイナリ・ビット重み付け変換の処理に伴い、10 $\mu$ F のコンデンサから少量の電荷が充電されます。内部のコンデンサ・アレイはデカップリング・コンデンサのほんの一部ですが、SAR のビット判定時のセトリング時間に対応するには、この大容量のストレージ・コンデンサが必要になります。REF\_OUT ピンと GND ピンの間に、これより小容量のセラミック・デカップリング・コンデンサ (例えば 100nF) を追加する必要はありません。

SAR のコンデンサ・アレイが量子化できる最大の ADC 入力電圧は、リファレンス値によって決まります。リファレンス・バッファはユニティ・ゲイン構成に設定します。したがって、REF ピンでリファレンス電圧値を設定し、REF\_OUT ピンでこの値を読み出します。リファレンス電圧には、設計するシステムに適した値を選択してください。許容リファレンス値は 2.4V~5.1V です。ただし、リファレンス・バッファの入力コモンモード電圧範囲の仕様を満たす必要があります。リファレンス・バッファが内蔵されているため、リファレンス・ソースは SAR コンデンサ・アレイの動的負荷ではなく、高インピーダンス・ノードを駆動することになるので、多くの従来型 SAR ADC 信号チェーンよりもはるかに低消費電力のリファレンス・ソースを実装することができます。リファレンス・ソースとリファレンス・バッファのノイズの二乗和平方根を求めることにより、総ノイズを推算できます。一般に、リファレンス・バッファのノイズ密度はリファレンス・ソースよりもずっと小さくなります。

高性能と低ドリフトを実現するには、ADR4550 のようなリファレンスを使用するか、ADR3450 のような低消費電力のリファレンスを使用します。ただし、後者の場合はノイズ性能が低下します。

### 電源 (パワー・ツリー)

ADAQ4001 では 4 つの電源ピンを使用します。ADC ドライバの正電源 (VS+) と負電源 (VS-)、コア ADC 電源 (VDD)、そしてデジタル入力および出力インターフェース電源 (VIO) です。VIO は、1.8V、2.5V、3V、または 5V のロジックすべてに直接接続できます。1.8V 動作では、VIO と VDD を接続することで必要な電源数を減らすことができます。ADP5070 (デュアル、高性能 DC/DC スイッチング・レギュレータ)、LT3032 (デュアル、低ノイズ、正負電圧、低ドロップアウトの電圧リニア・レギュレータ)、および LT3023 (デュアル、マイクロパワー、低ノイズ、低ドロップアウトのレギュレータ) を組み合わせることにより、追加的なあらゆるシグナル・コンディショニング用の  $\pm 15$ V レールを含め、4 つの電源ピンすべてについて、個別にレギュレーションされた正負の電源を生成することができます。詳細については EVAL-ADAQ4001FMCZ のユーザ・ガイドを参照してください。ADAQ4001 は、図 31 に示すように、広い周波

数範囲にわたって電源変動 (PSRR) の影響を受けにくくなっています。

ADAQ4001 の ADC は、各変換フェーズの終了時に自動的にパワーダウンします。したがって、消費電力はサンプリング・レートに応じて直線的に変化します。この機能により、低サンプリング・レートのアプリケーション (秒あたり数サンプルのものを含む) や、バッテリー駆動のアプリケーションに最適なデバイスとなっています。図 32 に、ADAQ4001 の合計消費電力と各レベルの消費電力を示します。

### パワーダウン・モード

PD\_AMP ピンに低ロジック・レベル (GND) を印加して FDA のパワーダウン・モードをアサートすると、ADAQ4001 の未使用時に消費される静止電流が最小限に抑えられます。

PD\_AMP ピンが GND に接続されている場合、FDA 出力は高インピーダンス状態になります。PD\_AMP ピンが高ロジック・レベルに接続されている場合、ADAQ4001 は通常の動作をします。PD\_AMP ピンのロジック・レベルは VS+ によって決まります。

### デジタル・インターフェース

ADAQ4001 はピン数が少ないにも関わらず、シリアル・インターフェース・モードで高い柔軟性を示します。また、ADAQ4001 は、設定レジスタへの 16 ビット SPI 書込みでプログラムすることもできます。

CS モードでは、SPI、QSPI<sup>TM</sup>、MICROWIRE<sup>®</sup>、デジタル・ホスト、デジタル・シグナル・プロセッサ (DSP) を使用することができます。このモードでは、ADAQ4001 は 3 線式または 4 線式のインターフェースを使用できます。CNV、SCK、SDO 信号を使用する 3 線式インターフェースは最小限の配線で機能するので、絶縁アプリケーションなどに便利です。SDI、CNV、SCK、SDO の信号を使用する 4 線式インターフェースでは、リードバック・タイミングに依存せずに CNV で変換を開始できます (SDI)。このインターフェースは、低ジッタ・サンプリングまたは同時サンプリング・アプリケーションで便利です。

ADAQ4001 はデジタイゼーション機能を備えており、SDI を使用して、シフト・レジスタと同様に、1 つのデータ・ラインで複数の ADC をカスケード接続することができます。

ADAQ4001 の動作モードは、CNV の立上がりエッジ発生時の CNV レベルによって決定されます。SDI がハイの場合は CS モードが選択され、SDI がローの場合はデジタイゼーション・モードが選択されます。SDI と CNV が相互に接続されている場合は、SDI ホールド時間にデジタイゼーション・モードが自動的に選択されます。

ADAQ4001 を 3 線式または 4 線式モードで使用する場合は、データ・ビットの前にスタート・ビットを強制的に挿入するオプションがあります。このスタート・ビットをビジー信号インジケータとして使用すれば、デジタル・ホストに割り込み、データ読出しをトリガすることができます。ビジー・インジケータとして使用しない場合、リードバック前に最大変換時間をタイムアウトさせる必要があります。

CS モードでは、CNV または SDI がローの場合に ADC 変換が終了すると、ビジー・インジケータ機能が有効になります。

電源投入時の SDO のステータスは、CNV および SDI のステータスによって低インピーダンスまたは高インピーダンスのいずれかになります (表 12 を参照)。

アプリケーション情報

表 12. 電源投入時の SDO の状態

CNV	SDI	SDO
0	0	Low
0	1	Low
1	0	Low
1	1	High-Z

ADAQ4001 は、3 線式モードと 4 線式モードの両方でターボ・モード機能を備えています。ターボ・モードは、設定レジスタへの書出しによって有効になります。このモードが有効になると、ビジー・インジケータ機能に代えてこのモードが使われます。ターボ・モードを使用すると SPI クロック・レートが遅くなるので、インターフェースがシンプルになります。ADAQ4001 の最大スループット 2MSPS は、ターボ・モードを有効にして 70MHz の最小 SCK レートを使用した場合のみ実現できます。新たな変換が開始される前に変換結果がクロック出力されるように、SCK レートを十分に速くする必要があります。アプリケーションに必要な最低 SCK レートは、サンプル周期 (t<sub>cyt</sub>)、読み出す必要があるビット数 (データ・ビットとオプションのステータス・ビットを含む)、および使用するデジタル・インターフェース・モードに基づいて求めることができます。各デジタル・インターフェース・モードのタイミング図と説明については、デジタル動作モードのセクションに示します (3 線式 CS ターボ・モードのセクションと、4 線式 CS モード (ビジー・インジケータあり) のセクションを参照)。

設定レジスタでステータス・ビットが有効な場合、変換データの最後でステータス・ビットをクロック出力できます。6 つのステータス・ビットについての説明を表 13 に示します。

ADAQ4001 は、目的の設定レジスタへの 16 ビット SPI 書込みによって設定されます。16 ビット・ワードは、CNV がローの間に SDI ラインから書き込めます。16 ビット・ワードは、8 ビットのヘッダーと 8 ビットのレジスタ・データで構成されます。絶縁システムには ADuM141D が推奨されます。これにより、ADAQ4001 をフル・スループットの 2MSPS で動作させるために必要な 70MHz の SCK レートをサポートできます。

レジスタの読出し機能と書込み機能

ADAQ4001 のレジスタ・ビットはプログラマブルです。これらのビットのデフォルト・ステータスの詳細を表 13 に示します。レジスタ・マップは表 15 を参照してください。OV クランプ・フラグは読出し専用のスティッキー・ビットで、このビットは過電圧状態の解消後にレジスタ読出しが実行された場合のみクリアされます。過電圧状態になると、OV クランプ・フラグが 0 になります。

表 13. レジスタ・ビット

Register Bits	Default Status
OV Clamp Flag	1 bit, 1 = inactive (default)
Span Compression	1 bit, 0 = disabled (default)
High-Z Mode	1 bit, 0 = disabled (default)
Turbo Mode	1 bit, 0 = disabled (default)
Enable Six Status Bits	1 bit, 0 = disabled (default)

表 15. レジスタ・マップ

ADDR, Bits[1:0]	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset
0x0	Reserved	Reserved	Reserved	Enable six status bits	Span compression	High-Z mode	Turbo mode	OV clamp flag (read only sticky bit)	0xE1

レジスタ・マップへのアクセスを開始するには、その都度 SPI ブロックの 8 ビット・コマンド・レジスタへの書込みを実行する必要があります。ADAQ4001 は、最初の 0 がクロック・インされるまですべての 1 を無視します (図 52、図 53、および表 14 では WEN で示されています)。コマンド・レジスタにロードされる値は常に 0 で、その後 7 個のコマンド・ビットが続きます。このコマンドによって、動作が書込みか読出しかが決定されます。ADAQ4001 のコマンド・レジスタを表 14 に示します。

表 14. コマンド・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WEN	R/W	0	1	0	1	0	0

レジスタのすべての読出しと書込みは、CNV がローの間に行う必要があります。SDI のデータは SCK の立上がりエッジでクロック入力され、SDO のデータは SCK の立下がりエッジでクロック出力されます。デイズチェーン・モードが有効でない場合、データ転送の最後に、CNV の立上がりエッジで SDO は高インピーダンス状態になります。デイズチェーン・モードが有効な場合、CNV の立上がりエッジで SDO はローになります。デイズチェーン・モードでは、レジスタの読出しを実行できません。

レジスタの読出しには、SCK、CNV、SDI の 3 つの信号ラインが必要です。レジスタへの書込み中に SDO の現在の交換結果を読み出すには、変換の完了後に CNV ピンをローにする必要があります。そうしないと、間違った変換結果が SDO に出力される可能性があります。ただし、レジスタの書込みは CNV ピンの状態に関係なく発生します。

16 ビット変換データの読出しは 16 ビット SPI フレームに制限される可能性があるため、各設定レジスタの LSB は予約済みになります。SDI フレームの最終ビットでの SDI の状態は、CNV の立上がりで持続する場合があります。インターフェース・モードの一部は、CNV の立上がり発生時の SDI の状態によって設定されるので、このシナリオでは、最終的な SDI の状態を設定する必要があります。

図 52～図 54 のタイミング図に、レジスタの読出し、書込み、およびデイズチェーン・モードで ADAQ4001 を構成する場合のデータの読出し/書込み方法を示します。

アプリケーション情報

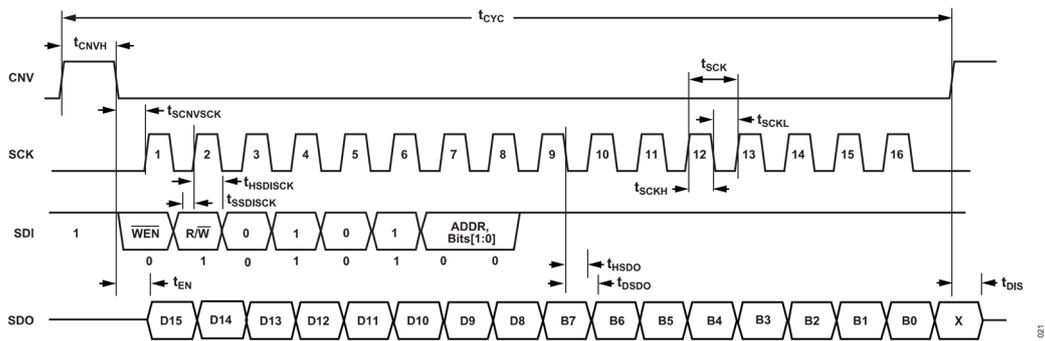


図 52. レジスタ読出しのタイミング図

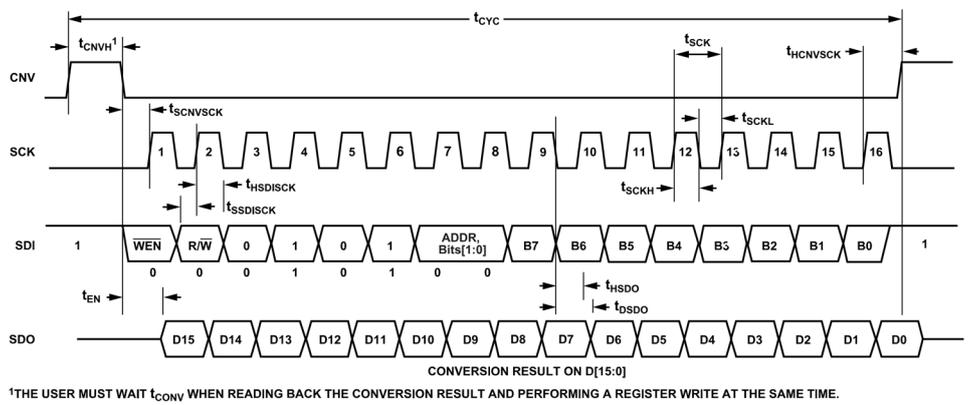


図 53. レジスタ書き込みのタイミング図

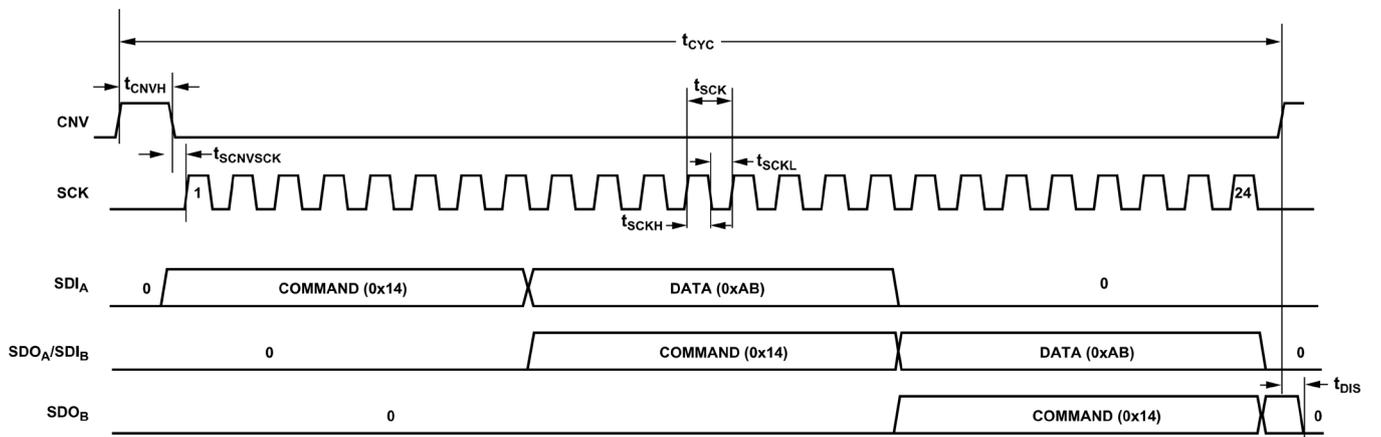


図 54. レジスタ書き込みのタイミング図、デジーチェーン・モード

アプリケーション情報

ステータス・ワード

変換結果の最後に 6 ビットのステータス・ワードを追加できます。これらのビットのデフォルト状態を表 16 に示します。ステータス・ビットはレジスタ設定で有効にする必要があります。

$\overline{OV}$  クランプ・フラグが 0 の場合、このビットは過電圧状態であることを示します。 $\overline{OV}$  クランプ・フラグのステータス・ビットは、変換ごとに更新されます。

SDO ラインは、6 番目のステータス・ビットがクロック出力された後に高インピーダンスになります（デジチェーン・モードを除く）。次の変換を開始するために、すべてのステータスをクロック出力する必要はありません。ビジー・インジケータなし、ステータス・ビットありの 3 線式  $\overline{CS}$  モードでのシリアル・インターフェースのタイミング図を図 55 に示します。

表 16. ステータス・ビット (デフォルト条件)

Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
$\overline{OV}$ clamp flag	Span compression	High-Z mode	Turbo mode	Reserved	Reserved

SDI = 1

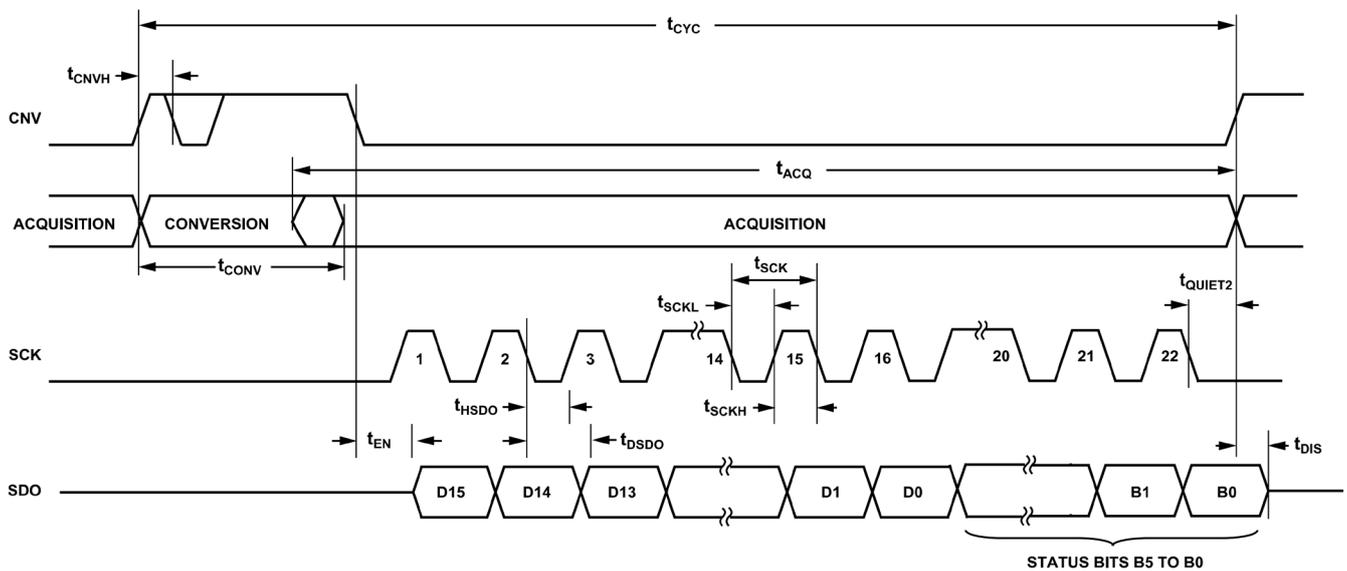


図 55. ビジー・インジケータなし、ステータス・ビットありの 3 線式  $\overline{CS}$  モードでのシリアル・インターフェースのタイミング図 (SDI ハイ)

アプリケーション情報

3 線式 CS ターボ・モード

1 つの ADAQ4001 デバイスを SPI 互換のデジタル・ホストに接続するには、3 線式 CS ターボ・モードを使用します。このモードでは、ADC 変換プロセス終了時に前回の変換結果をクロック・アウトするための時間が追加されるので、SCK レートが遅くなります。ADAQ4001 では、ターボ・モードを有効にして最小 SCK レートを 70MHz とした場合のみ、2MSPS のスループット・レートを実現できます。

接続図を図 56 に、対応するタイミング図を図 57 に示します。

ターボ・モードを有効にするには、設定レジスタのターボ・モード有効化ビットを 1 に設定します (表 13 を参照)。ターボ・モード・ビット (ビット 1) をプログラムすることで、ビジー・インジケータありの 3 線式モードからターボ・モードに変わります (表 15 を参照)。ユーザ設定レジスタへ書き込みを行うには、デジタル・ホストに SDI を接続する必要があります (レジスタの読出し機能と書込み機能のセクションを参照)。ターボ・モードを有効にした場合、SDO に読み出される変換結果は、その前の変換結果に対応しています。

このモードで変換を行うときは SDI をハイに保持する必要があります。CNV の立上がりエッジで変換が開始されて、SDO が強制的に高インピーダンスに移行されます。前回の変換結果をクロック・アウトするには、CNV をハイにしてから CNV をローにす

るまで、 $t_{\text{QUIET1}}$  だけ待機する必要があります。変換が完了すると ( $t_{\text{CONV}}$  経過後)、ADAQ4001 はアキュイジション・フェーズに移行してパワーダウンします。また、SCK の最後の立上がりエッジから CNV がハイになるまでの間も、 $t_{\text{QUIET2}}$  だけ待機する必要があります。

CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立上がりエッジで記録されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立上がりエッジを使用するデジタル・ホストでは、iHSDO (表 3 を参照) によって決定されるホールド時間が許容できるものであれば、読出しレートが速くなります。ステータス・ビットがイネーブルされていない場合、SDO は 16 番目の SCK の立上がりエッジの後に高インピーダンスに戻ります。ステータス・ビットがイネーブルされている場合、これらのビットは、17 番目から 22 番目までの SCK 立上がりエッジで SDO にシフト・アウトされます (ステータス・ワードのセクションを参照)。SDO は、16 番目の SCK 立上がりエッジの発生後、または CNV がハイになった後 (どちらか先に発生した方) で高インピーダンスに戻ります。また、仕様規定された性能を発揮できるようにするには、最後の SCK 立上がりエッジと次の CNV 立上がりエッジの間に  $t_{\text{QUIET2}}$  の遅延を設ける必要があります。

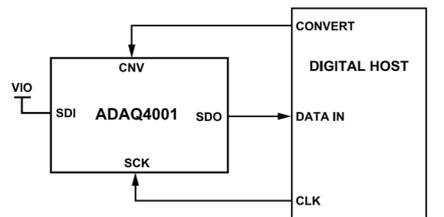


図 56. 3 線式 CS ターボ・モード接続図 (SDI ハイ)

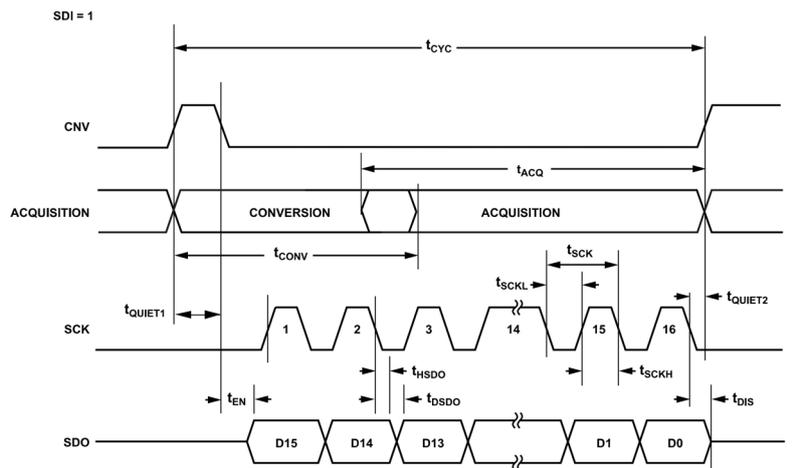


図 57. 3 線式 CS ターボ・モードでのシリアル・インターフェースのタイミング図 (SDI ハイ)

アプリケーション情報

3 線式 CS モード (ビジー・インジケータなし)

1 つの ADAQ4001 デバイスを SPI 互換デジタル・ホストに接続するには、ビジー・インジケータなしの 3 線 CS 式モードを使用します。

接続図を図 58 に、対応するタイミング図を図 59 に示します。

SDI を  $\overline{\text{VIO}}$  に接続すると、CNV の立上がりエッジで変換が開始されて CS モードが選択され、SDO が強制的に高インピーダンスへ移行します。変換開始後は、CNV の状態に関係なく、完了するまで変換が継続されます。この機能は、例えば、CNV をローにしてアナログ・マルチプレクサなどの他の SPI デバイスを選択する際に便利です。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に CNV をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、ADAQ4001 はアキュイジション・フェーズに移行してパワーダウンします。CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立上がりエッジで記録されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。16 番目の SCK の立下がりエッジの発生後、または CNV がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

変換中は、SCK のデジタル動作が発生しないようにする必要があります。

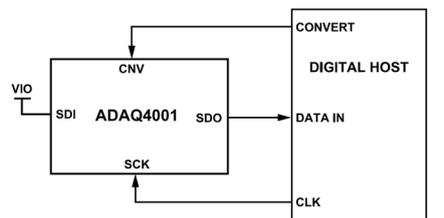


図 58. 3 線式 CS モード (ビジー・インジケータなし) の接続図 (SDI ハイ)

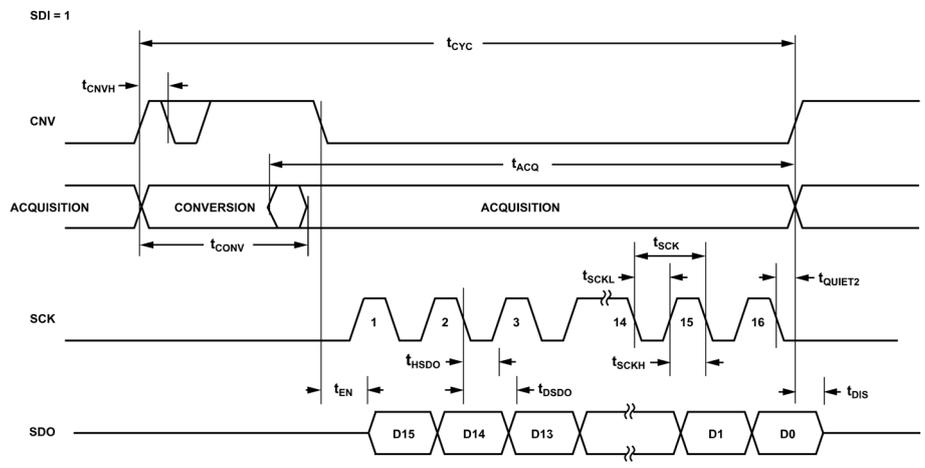


図 59. 3 線式 CS モード (ビジー・インジケータなし) でのシリアル・インターフェースのタイミング図 (SDI ハイ)

アプリケーション情報

3 線式 CS モード (ビジー・インジケータあり)

割込み入力 ( $\overline{\text{IRQ}}$ ) のある SPI 互換デジタル・ホストに ADAQ4001 デバイスを 1 個接続するには、ビジー・インジケータありの 3 線 CS 式モードを使用します。

接続図を図 60 に、対応するタイミング図を図 61 に示します。

SDI を  $\overline{\text{VIO}}$  に接続すると、CNV の立上がりエッジで変換が開始されて CS モードが選択され、SDO が強制的に高インピーダンスへ移行します。SDO は CNV の状態に関係なく、変換が完了するまで高インピーダンスに保たれます。最小変換時間が経過する前に、CNV はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジケータの生成を確保できるように、最小変換時間が経過する前に CNV をローに戻し、最大変換時間にわたってローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの  $1\text{k}\Omega$  のプルアップ抵抗とこの遷

移を組み合わせ、割込み信号として使用すれば、デジタル・ホストによって制御されるデータ読み出しを開始できます。その後、ADAQ4001 はアキュイジション・フェーズに移行し、パワーダウンします。データ・ビットは、後続の SCK の立下がりエッジで、MSB ファーストでクロック出力されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読み出しレートが速くなります。17 番目の SCK の立下がりエッジの発生後、または CNV がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

複数の ADAQ4001 デバイスを同時に選択すると、SDO 出力ピンは、損傷したり誘導ラッチアップしたりすることなく、この競合を処理します。ただし、余分な消費電力を制限するために、この競合は可能な限り短くすることが推奨されます。

変換中に SCK のデジタル動作が発生しないようにしてください。

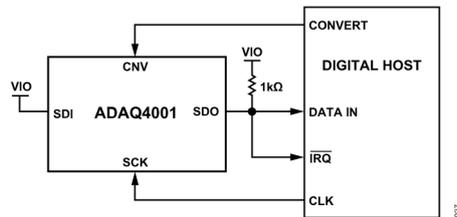


図 60. 3 線式  $\overline{\text{CS}}$  モード (ビジー・インジケータあり) の接続図 (SDI ハイ)

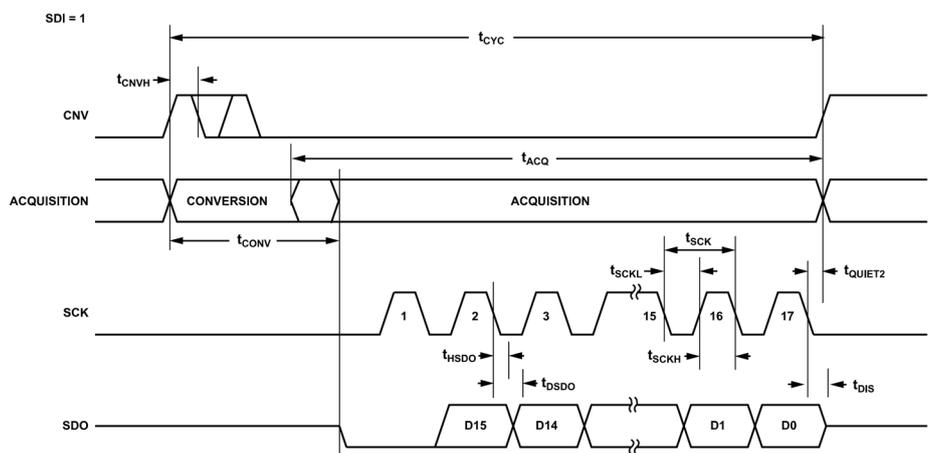


図 61. 3 線式  $\overline{\text{CS}}$  モード (ビジー・インジケータあり) でのシリアル・インターフェースのタイミング図 (SDI ハイ)

アプリケーション情報

4 線式 CS ターボ・モード

1 つの ADAQ4001 を SPI 互換のデジタル・ホストに接続するには、4 線式 CS ターボ・モードを使用します。このモードでは、前回の変換結果をクロック出力するために ADC 変換プロセスの終了時に時間が追加されるので、SCK レートが遅くなります。ADAQ4001 では、ターボ・モードを有効にして 70MHz の最小 SCK レートを使用した場合のみ、2MSPS のスループット・レートを実現できます。

接続図を図 62 に、対応するタイミング図を図 63 に示します。

モードは、ターボ・モード・ビット (ビット 1) をプログラムすることで、ビジー・インジケータありの 4 線式モードからターボ・モードに変わります (表 15 を参照)。

SDI がハイの場合は、CNV の立上がりエッジで変換が開始されます。前回の変換データは、CNV の立上がりエッジ後の読出し

で使用できます。CNV がハイになった後、SDI がローになる前に、前回の変換結果をクロック・アウトするため、 $t_{QUIET1}$  だけ待機する必要があります。また、CNV がハイの場合、SCK の最後の立下がりエッジの後に  $t_{QUIET2}$  だけ待機する必要があります。

変換が完了すると、ADAQ4001 はアキュイジション・フェーズへ移行してパワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その結果、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。16 番目の SCK の立下がりエッジの発生後、または SDI がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

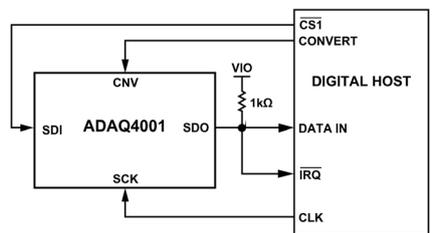


図 62. 4 線式 CS ターボ・モード接続図

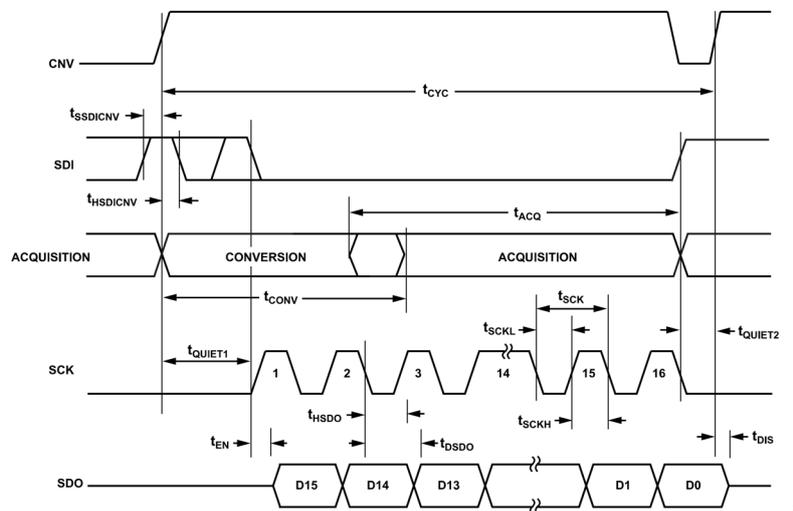


図 63. 4 線式 CS ターボ・モードのタイミング図

アプリケーション情報

4 線式 CS モード (ビジー・インジケータなし)

複数の ADAQ4001 デバイスを SPI 互換デジタル・ホストに接続するには、ビジー・インジケータなしの 4 線式 CS モードを使用します。

2 個の ADAQ4001 デバイスを使用した場合の接続例を図 64 に、対応するタイミング図を図 65 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始されて CS モードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジ

ケータの生成を防ぐため、最小変換時間が経過する前に SDI をハイに戻し、最大変換時間にわたりハイに保つ必要があります。

変換が完了すると、ADAQ4001 はアキュイジション・フェーズへ移行してパワーダウンします。SDI 入力をローにすると、ADC 結果の読出しを実行できます。その後、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジで記録されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。16 番目の SCK の立下がりエッジの発生後または CNV がハイになった後 (どちらか最初に発生した方)、SDO は高インピーダンスに戻り、別の ADAQ4001 の読出しを実行できるようになります。

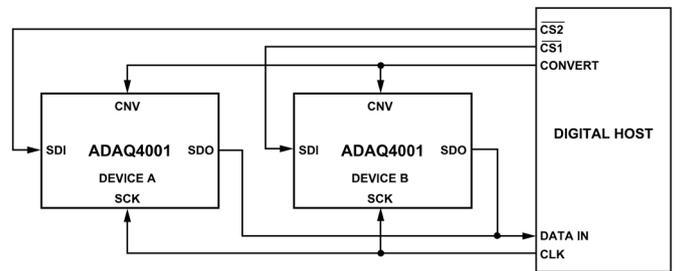


図 64.4 線式 CS モード (ビジー・インジケータなし) の接続図

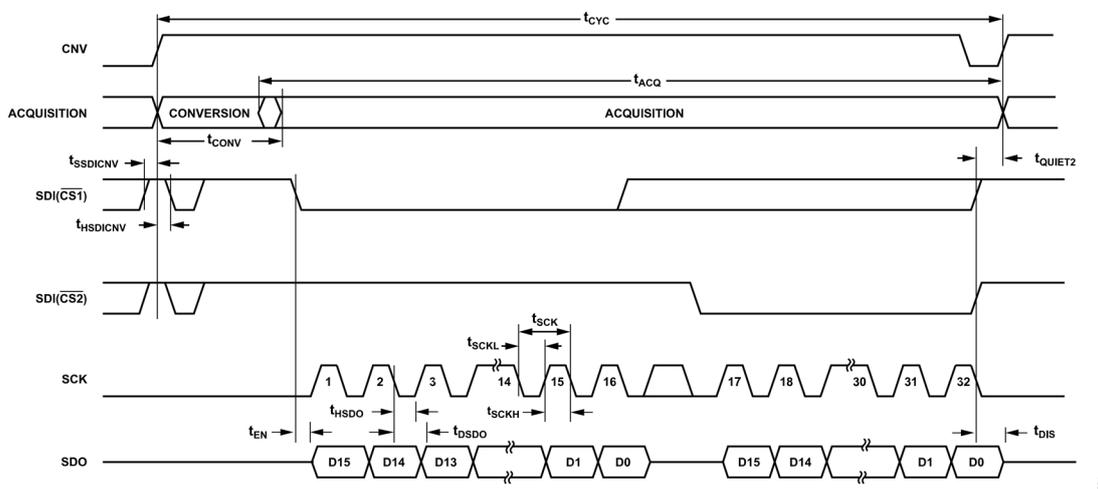


図 65.4 線式 CS モード (ビジー・インジケータなし) でのシリアル・インターフェースのタイミング図

アプリケーション情報

4 線式 CS モード (ビジー・インジケータあり)

割込み入力 ( $\overline{\text{IRQ}}$ ) のある SPI 互換デジタル・ホストに ADAQ4001 デバイスを 1 個接続するには、ビジー・インジケータありの 4 線式 CS 式モードを使用します。このモードは、データの読出しに使用する信号に関係なく、CNV を維持してアナログ入力をサンプリングする場合に使用します。この独立性は、CNV で低ジッタが必要なアプリケーションで特に重要になります。

接続図を図 66 に、対応するタイミング図を図 67 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始されて CS モードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保つ必要があります。SDI と CNV がローの場合、SDO はローになります。最小変換時間が経過する前に、SDI はアナログ・マルチプレクサなどの他の SPI デバイスを選択することができます。ただし、ビジー信号インジ

ケータの生成を確保できるように、最小変換時間が経過する前に SDI をローに戻し、最大変換時間にわたってローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインの  $1k\Omega$  のプルアップ抵抗とこの遷移を組み合わせると、割込み信号として使用することで、デジタル・ホストによって制御されるデータのリードバックを開始できます。その後、ADAQ4001 はアクイジション・フェーズに移行し、パワーダウンします。データ・ビットは、後続の SCK の立下がりエッジで、MSB ファーストでクロック出力されます。データは両方の SCK エッジで有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、そのデジタル・ホストのホールド時間が許容できるものであれば、読出しレートが速くなります。17 番目の SCK の立下がりエッジの発生後、または SDI がハイになった後 (どちらか先に発生した方)、SDO は高インピーダンスに戻ります。

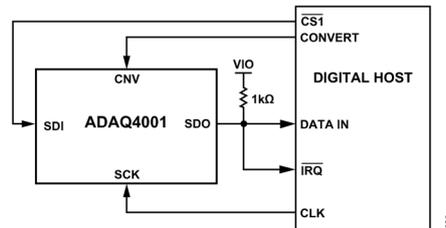


図 66. 4 線式 CS モード (ビジー・インジケータあり) の接続図

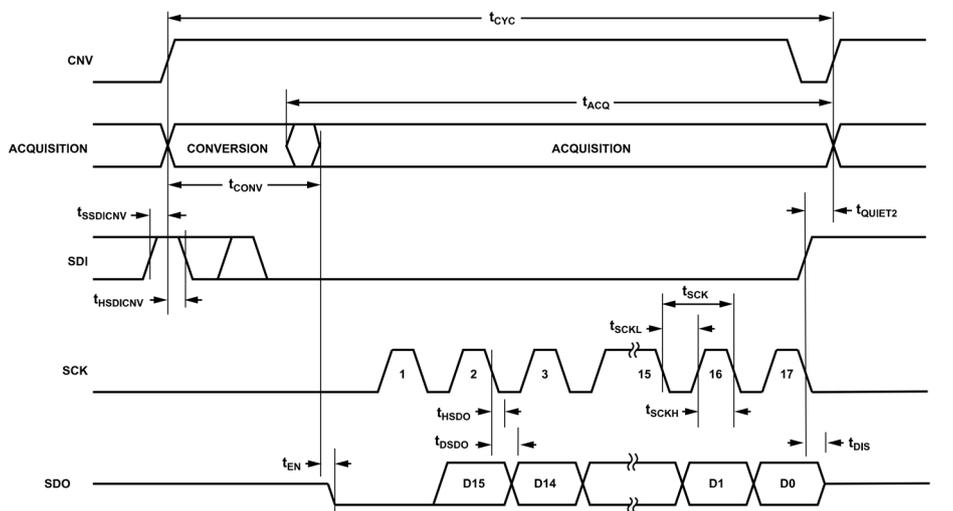


図 67. 4 線式 CS モード (ビジー・インジケータあり) でのシリアル・インターフェースのタイミング図

アプリケーション情報

デジチェーン・モード

3 線式または 4 線式のシリアル・インターフェースに複数の ADAQ4001 デバイスをデジチェーン接続するには、デジチェーン・モードを使用します。この機能は、絶縁された複数のコンバータを使用するアプリケーションまたはインターフェース能力が制限されているシステムなどで、部品数と配線数を削減する上で役立ちます。データのリードバックは、シフト・レジスタのクロッキングと似ています。

2 個の ADAQ4001 デバイスを使用した場合の接続例を図 68 に、対応するタイミング図を図 69 に示します。

SDI と CNV がローの場合、SDO はローになります。SCK がローの場合、CNV の立上がりエッジで変換が開始されてデジチェーン・モードが選択され、ビジー・インジケータが無効になります。このモードでは、変換フェーズと後続のデータ・リードバックの間、CNV をハイに保持してください。変換が完了すると、MSB が SDO に出力され、ADAQ4001 はアキュイジション・フェーズに移行して、パワーダウンします。残りのデータ・ビットは内部シフト・レジスタに保存され、後続の SCK 立下がりエッジで SDO からクロック出力されます。各 ADC で、SDI は内部シフト・レジスタの入力を供給し、SCK 立下がりエッジで記録します。デジチェーン接続された各 ADC は、MSB ファーストでデータを出力します。N 個の ADC にリードバックするには、 $16 \times N$  個のクロックが必要です。データは両方の SCK エ

ッジで有効です。最大変換レートは、合計リードバック時間によって減少します。

デジチェーン・モードでは、各 ADC レジスタに書き込みを実行できます (図 69 を参照)。このモードでは、CNV をローに維持して SDI ラインでデータがクロック入力されるため、4 線式の動作が必要です。同じコマンド・バイトとレジスタ・データをチェーン全体でシフトして、同じレジスタ値ですべての ADC をプログラムできます。ここで、N 個の ADC を使用する場合、 $8 \times (N + 1)$  個のクロックが必要です。最初にチェーン内の  $8 \times (N + 1)$  個のクロックを使用して最後の ADC に書き込みを実行し、次に  $8 \times N$  個のクロックを使用して最後から 2 番目の ADC に書き込みを実行します。その後、チェーン内の最も近い ADC に到達するまでこの動作を繰り返し、各 ADC にレジスタ値を書き込みます。この場合、コマンドとレジスタ・データ用に 16 個のクロックが必要です。

デジチェーン・モードでレジスタの内容を読み出すことはできません。ただし、ADC の構成を決定したい場合は、6 つのステータス・ビットをイネーブすることができます。ステータス・ビットを有効にするには、ADC の結果とチェーン内の ADC ごとのステータス・ビットをクロック出力するため、6 つのクロックが余分に必要です。デジチェーン・モードでは、ターボ・モードを使用できません。

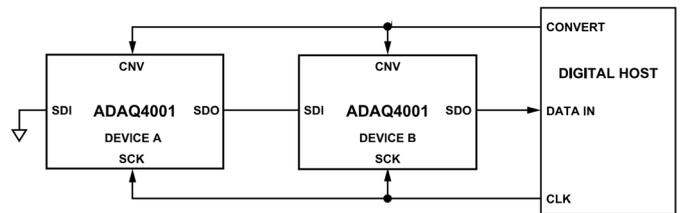


図 68. デジチェーン・モードの接続図

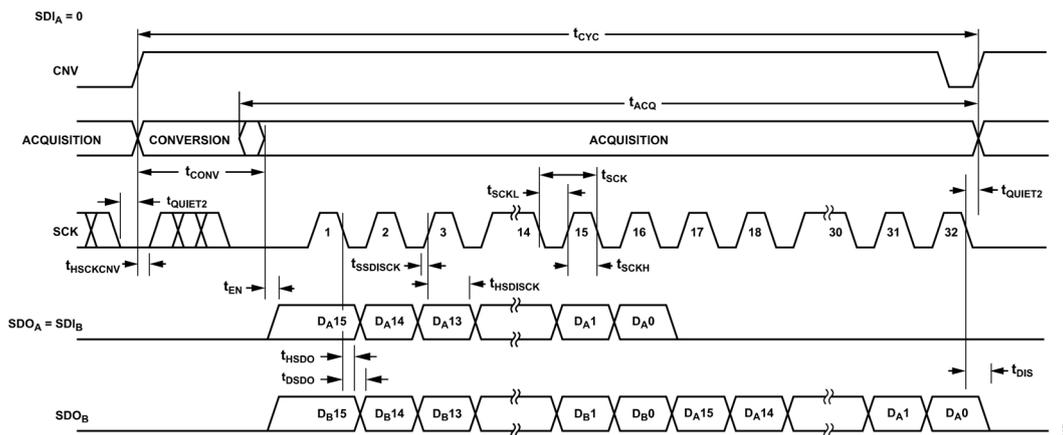


図 69. デジチェーン・モードでのシリアル・インターフェースのタイミング図

## アプリケーション情報

## レイアウトのガイドライン

PCB レイアウトは、信号の完全性を維持し、ADAQ4001 本来の性能を引き出す上で非常に重要です。ボード設計はクリーンな内部グランド・プレーンと独立した電源プレーンを持つ多層構成とし、ADAQ4001 の下側に各種の電源レールを配線することを推奨します。ボード上での個々の部品の配置や様々な信号のルーティングについては、注意が必要です。入力信号と出力信号のルーティングは対称に行くと共に、電源回路はアナログ信号パスから離すことを推奨します。敏感なアナログ部分とデジタル部分は互いに分離し、それぞれをボード上の特定領域内にまとめて、デジタル信号とアナログ信号が互いに交差しないようにしてください。

ADAQ4001 のピン配置はレイアウトが容易で、左側にアナログ信号、右側にデジタル信号を配置できるようになっています。ADAQ4001 がノイズの影響を受けることのないよう、CNV やクロックなどの高速スイッチング信号は、アナログ信号パスの近くに配置したり、アナログ信号と交差させたりしないようにしてください。ADAQ4001 の入力ピンと出力ピンの下にあるグランド・プレーンと電源プレーンは、不要な寄生容量が生じないように除去します。特に、加算ジャンクション・ノード (IN+ と IN-) や、フロート状態になっている入力の下側は注意が必要です。加算ジャンクション・ノード上の不要な寄生容量は、FDA の位相マージンを減らし、ADAQ4001 の歪みと直線性に関する性能に影響を与える可能性があります。

ADAQ4001 では、リファレンスおよび電源ピン (REF、VS+、VS-、VDD、VIO) に必要なデカップリング・セラミック・コンデンサをすべて組み込むことによって、高チャンネル密度の PCB レイアウトを可能にしています。これらのコンデンサは、高周波数時にグラウンドへの低インピーダンスのパスを提供すると共に、過渡電流に対処します。したがって、外付けのデカ

ップリング・コンデンサを追加しなくても、性能への影響が生じたり電磁干渉 (EMI) に関する問題が生じたりすることはなく、ボード・スペースを節約することができます。この性能への影響は、EVAL-ADAQ4001FMCZ で確認されています。この確認は、リファレンスの出力と、内蔵レール (REF、VS+、VS-、VDD、VIO) を生成する LDO レギュレータ出力の外付けデカップリング・コンデンサを無くすことによって行いました。図 70 は、外付けのデカップリング・コンデンサの有無に関わらず、あらゆるスプリアスが -120dB より十分に低い位置で、ノイズ・フロア内に収まっていることを示しています。推奨ボード・レイアウトの概要は、EVAL-ADAQ4001FMCZ のユーザ・ガイド (UG-1533) に示されています。

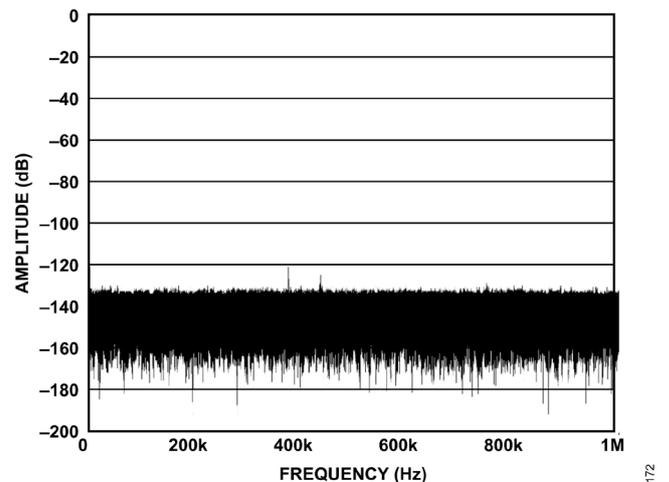


図 70. 入力を短絡したときの FFT

外形寸法

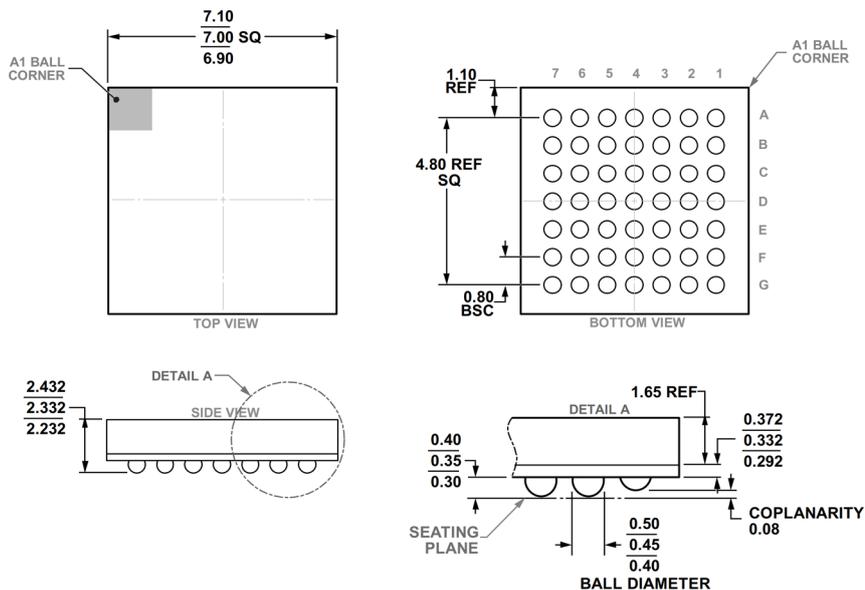


図 71. 49 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-49-5)  
寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ4001BBCZ	-40°C to +125°C	49-Ball Chip Scale Package Ball Grid Array [CSP-BGA]	Tray, 416	BC-49-5
ADAQ4001BBCZ-RL13	-40°C to +125°C	49-Ball Chip Scale Package Ball Grid Array [CSP-BGA]	Reel, 2000	BC-49-5

<sup>1</sup> Z = RoHS 準拠製品

評価用ボード

Model <sup>1</sup>	Description
EVAL-ADAQ4001FMCZ	Evaluation Board

<sup>1</sup> EVAL-ADAQ4001FMCZ は EVAL-SDP-CHIZ と互換です。詳細については UG-1533 を参照してください。

