



4 チャンネル、16 ビット 連続時間データ・アキュイジション ADC

データシート

ADAR7251

特長

低いノイズ：最大ゲイン設定時の入力換算電圧ノイズは
2.4nV/ $\sqrt{\text{Hz}}$
広い信号帯域幅：500kHz（サンプル・レート 1.2MSPS、
分解能 16 ビットの場合）
サポートするその他のサンプル・レート：300kSPS、
450kSPS、600kSPS、900kSPS、1.8MSPS
4 系統の差動同時サンプリング・チャンネル
アクティブなアンチエイリアシング・フィルタは不要
ゲイン範囲 45dB（6dB ステップ）の LNA と PGA
選択可能なイコライザ
シリアルとパラレルの両方のモードをサポートする柔軟な
データ・ポート
FMCW レーダー・システム向けに FSK モードをサポート
1.5V リファレンスを内蔵
内蔵オシレータ/PLL 入力：16MHz~54MHz
高速シリアル・データ・インターフェース
SPI 制御
2 つの汎用入出力
48 ピン LFCSP_SS パッケージ
温度範囲：-40°C~+125°C
3.3V の単電源で動作
車載アプリケーション向けに性能を評価済み

アプリケーション

車載用 LSR システム
データ・アキュイジション・システム

概要

ADAR7251 は、車載用 LSR-FMCW や FSK-FMCW レーダー・システムなどのアプリケーション向けに特に設計された、16 ビット、4 チャンネルの同時サンプリング A/D コンバータ（ADC）です。4 つのチャンネルにはそれぞれ、ロー・ノイズ・アンプ（LNA）、プログラマブル・ゲイン・アンプ（PGA）、イコライザ、マルチビット $\Sigma\Delta$ ADC、およびデシメーション・フィルタが内蔵されています。

フロント・エンド回路は外部パッシブ・コンポーネントをほとんど必要とせず、MMIC 出力に直接接続できるよう設計されています。ADAR7251 を使用することにより、高次のアンチエイリアシング・フィルタ、ドライバ・オペアンプ、および外部バイポーラ電源が不要となります。ADAR7251 はまたチャンネル間ドリフトのマッチングも正確に行います。

ADAR7251 はフェーズ・ロック・ループ（PLL）をオンチップに搭載し、多様なクロック周波数に対応することによりシステムの柔軟性を高めています。FSK-FMCW レーダーなどのアプリケーションでは、`CONV_START` 入力信号と `DATA_READY` 出力信号により ADC と外部ランプとが同期します。

ADAR7251 の 300kSPS から 1.8MSPS までの間でプログラム可能なサンプル・レートでシリアルおよびパラレルのインターフェースをサポートし、またシステム内のデジタル・シグナル・プロセッサ（DSP）やマイクロコントローラ・ユニット（MCU）とも容易に接続することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	PLL 制御レジスタ	38
アプリケーション	1	PLL ステータス・レジスタ	38
概要	1	マスタ・イネーブル・スイッチ・レジスタ	39
改訂履歴	3	ADC イネーブル・レジスタ	39
機能ブロック図	4	パワー・イネーブル・レジスタ	40
仕様	5	ASIL エラー・クリア・レジスタ	41
アナログ・チャンネル	5	エラー・マスク選択レジスタ	42
デジタル入出力	6	ASIL エラー・フラグ・レジスタ	43
電源	7	ASIL エラー・コード・レジスタ	43
デジタル・フィルタ	8	CRC 値、ビット [7:0] レジスタ	44
SPI ポートのタイミング	8	CRC 値レジスタ	44
シリアル/ペリフェラル・パラレル・インターフェース (PPI) ポートのタイミング	8	レジスタ・マップ・コンテンツの CRC 値計算を開始するレジ スタ	45
絶対最大定格	11	レジスタ・マップ CRC 計算完了レジスタ	45
熱抵抗	11	レジスタ・マップ CRC 値、ビット [7:0] レジスタ	45
ESD に関する注意	11	レジスタ・マップ CRC 値、ビット [15:8] レジスタ	46
ピン配置およびピン機能の説明	12	ロー・ノイズ・アンプ・ゲイン・コントロール・レジスタ	46
代表的な性能特性	14	プログラマブル・ゲイン・アンプ・ゲイン・コントロール・ レジスタ	47
用語の定義	17	ADC 1~ADC 4 までの信号パス・レジスタ	48
動作原理	18	デシメータ・レート・コントロール・レジスタ	49
低速ランプ・レーダーのアナログ・フロント・エンド	18	ハイパス・フィルタ・コントロール・レジスタ	50
メイン・チャンネルの概要	18	DAQ モード・コントロール・レジスタ	51
$\Sigma\Delta$ 変調とデジタル・フィルタリング	18	デシメータ切り捨てコントロール・レジスタ	52
差動入力構成	19	シリアル出力ポート・コントロール・レジスタ	52
イコライザ (EQ)	19	パラレル・ポート・コントロール・レジスタ	53
LNA/PGA、EQ、または入力キャパシタの使用	20	ADC デジタル出力モード・レジスタ	54
リファレンス	20	補助 ADC 読出し値レジスタ	54
補助 ADC	20	補助 ADC サンプル・レート選択レジスタ	55
電源	21	補助 ADC モード・レジスタ	56
LDO を置き換える	21	MPx ピン・モード・レジスタ	56
クロック条件	21	MP 書込み値レジスタ	58
水晶発振器	21	MP 読出し値レジスタ	58
PLL	21	SPI_CLK ピン駆動強度およびスルー・レート・レジスタ	59
GPIO	23	SPI_MISO ピン駆動強度およびスルー・レート・レジスタ	60
ADC のデータ・ポート	23	SPI_SS ピン・ドライブ強度およびスルー・レート・レジスタ	60
PCB レイアウト時のガイドライン	33	SPI_MOSI ピン・ドライブ強度およびスルー・レート・レジ スタ	61
レジスタの一覧	34	ADDR15 ピン・ドライブ強度およびスルー・レート・レジス タ	62
レジスタの詳細	37	FAULT ピン・ドライブ強度およびスルー・レート・レジスタ	62
クロック・コントロール・レジスタ	37	FS_ADC ピン・ドライブ強度およびスルー・レート・レジス タ	63
PLL 分母レジスタ	37	CONV_START ピン・ドライブ強度およびスルー・レート・レ ジスタ	64
PLL 分子レジスタ	37		

SCLK_ADC ピン・ドライブ強度およびスルー・レート・レジスタ	64	CRC イネーブル／ディスエーブル・レジスタ	70
ADC_DOUTx ピン・ドライブ強度およびスルー・レート・レジスタ	65	代表的なアプリケーション回路	71
DATA_READY ピン・ドライブ強度およびスルー・レート・レジスタ	68	外形寸法.....	72
XTAL イネーブルおよび駆動レジスタ	68	オーダー・ガイド	72
ADC テスト・レジスタ	69	オートモーティブ製品.....	72
デジタル・フィルタ同期イネーブル・レジスタ	70		

改訂履歴

11/14—Revision 0: Initial Version

機能ブロック図

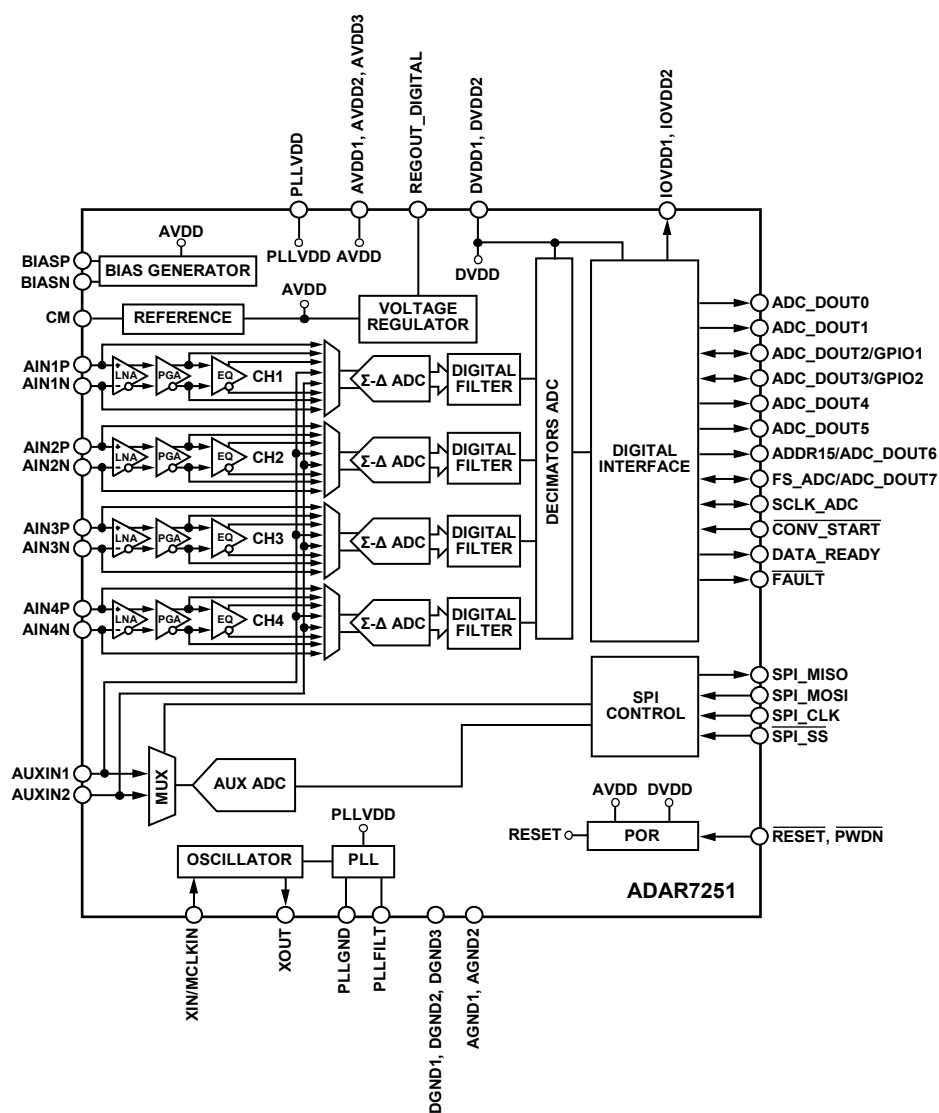


図 1.

12357-001

仕様

アナログ・チャンネル

特に指定のない限り、AVDD_X = 3.3V、DVDD_X = 1.8V、IOVDD_X = 3.3V、V_{REF} = 1.5V 内部／外部リファレンス、f_{SAMPLE} = 1.2MSPS、T_{AMB} = -40°C ～ +125°C。

表 1.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
DYNAMIC PERFORMANCE					
Input Referred Noise Spectral Density Frequency = 100 Hz	ゲイン = 9dB		44.7		nV/√Hz
	ゲイン = 15dB		23.6		nV/√Hz
	ゲイン = 21dB		15		nV/√Hz
	ゲイン = 27dB		12		nV/√Hz
	ゲイン = 33dB		11.3		nV/√Hz
	ゲイン = 39dB		10.9		nV/√Hz
	ゲイン = 45dB		10.8		nV/√Hz
	Frequency = 1 kHz				
	ゲイン = 9dB		16		nV/√Hz
	ゲイン = 15dB		8.7		nV/√Hz
	ゲイン = 21dB		5.4		nV/√Hz
	ゲイン = 27dB		4.3		nV/√Hz
	ゲイン = 33dB		4		nV/√Hz
	ゲイン = 39dB		3.86		nV/√Hz
	ゲイン = 45dB		3.83		nV/√Hz
Frequency = 100 kHz	ゲイン = 9dB		9.7		nV/√Hz
	ゲイン = 15dB		5.2		nV/√Hz
	ゲイン = 21dB		3.3		nV/√Hz
	ゲイン = 27dB		2.67		nV/√Hz
	ゲイン = 33dB		2.5		nV/√Hz
	ゲイン = 39dB		2.44		nV/√Hz
	ゲイン = 45dB		2.4		nV/√Hz
Equalizer Corner Frequency	設定 1 EQ00		54		kHz
	設定 2 EQ01		45		kHz
	設定 3 EQ10		37		kHz
	設定 4 EQ11		32		kHz
Signal to Noise Ratio (SNR)	入力信号なし、0dBFS を基準	88	94		dB
Spurious-Free Dynamic Range (SFDR)	-3dBFS 入力、100kHz の場合	68	82		dB
Total Harmonic Distortion Plus Noise (THD + N)	-3dBFS 入力、100kHz の場合		-80	-66	dB
	-1dBFS 入力、100kHz の場合		-77	-62	dB
Channel to Channel Crosstalk	50kHz、-3dBFS 入力の場合		-94	-89	dB
Interchannel Gain Mismatch		-0.5	0	+0.5	dB
Interchannel Phase Mismatch			0.04		Degrees
DC Offset			-72		dBFS
Power Supply Rejection	リップル=100mV rms (1kHz 時に AVDD _X にて)		65		dB

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
ANALOG INPUT					
Full-Scale Differential Voltage	ゲイン = 0dB (LNA および PGA をバイパス)		5.6		V p-p
	ゲイン = 9dB		1.987		V p-p
	ゲイン = 15dB		0.995		V p-p
	ゲイン = 21dB		0.498		V p-p
	ゲイン = 27dB		249		mV p-p
	ゲイン = 33dB		124		mV p-p
	ゲイン = 39dB		62		mV p-p
	ゲイン = 45dB		31		mV p-p
Common-Mode Rejection Ratio (CMRR)	1kHz 時		68		dB
Gain Error		-0.8		+0.8	dB
Input Resistance	シングル・エンド		2860		Ω
	差動		5720		Ω
VOLTAGE REFERENCE IN/OUT (V _{REF})	CM ピンにて		1.5		V
CONVERSION SAMPLE RATE					
Sample Rate		0.3	1.2	1.8	MSPS
Input Signal Bandwidth		150	600	900	kHz
PLL					
Input Frequency		16		54	MHz
Output Frequency (Internal)			115.2		MHz
Lock Time			1		ms
LDO					
REGOUT_DIGITAL Output Voltage	内蔵デジタル・コアにのみ使用		1.8		V
Line Regulation	AVDDx を入力とした場合	2.97	3.3	3.63	V
Load Regulation	内蔵デジタル・コアにのみ使用		1		%
AUXILIARY ADC					
Full-Scale Input		112.5	3.3	450	V p-p
Sample Rate					kHz
Resolution			8		bits
INL			0.5		LSB
DNL			1		LSB
Input Resistance ¹	スイッチング周波数 112.5kHz でのスイッチド・キャパシタ		1.2		MΩ

¹ シミュレーションに基づく。

デジタル入出力

DVDDx = 1.8V、IOVDDx = 3.3V、C_{LOAD} = 22pF

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE						
High Level	V _{IH}		0.7 × IOVDDx			V
Low Level	V _{IL}				0.3 × IOVDDx	V
OUTPUT VOLTAGE						
High Level	V _{OH}	I _{OH} = 1 mA	IOVDDx – 0.60			V
Low Level	V _{OL}	I _{OL} = 1 mA			0.4	V
INPUT CAPACITANCE					5	pF
INPUT LEAKAGE CURRENT					±10	μA

電源

特に指定のない限り AVDDx = 3.3V、DVDDx = 1.8V、IOVDDx = 3.3V、 $f_s = 1.2\text{MHz}$ （マスタ・モード）、19.2MHz マスタ・クロック入力にて PLL イネーブル、-3dBFS、すべてのチャンネルに 100kHz の入力。

表 3.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
DVDD	オンチップ LDO	1.62	1.8	1.98	V
Current					
Normal Operation	$f_s = 1.2\text{MHz}$ 時の DVDDx（外部）		32		mA
Power-Down	マスタ・クロックなしスタンバイ		80		μA
AVDD		2.97	3.3	3.6	V
Current					
Normal Operation	4 チャンネル ADC、DVDDx（内部）、 $f_s = 1.2\text{MHz}$ 省電力モード		115 87		mA mA
Power-Down	マスタ・クロックなしで $\overline{\text{RESET/PWDN}}$ ピンをローに保持 マスタ・クロックありで $\overline{\text{RESET/PWDN}}$ ピンをローに保持		1.1 1.1		mA mA
IOVDD		2.97	3.3	3.6	V
Current					
Normal Operation	入力マスタ・クロック = 19.2MHz 4 チャンネル ADC、シリアル・モード、データ・ラインあたり 2 チャンネル $f_s = 1.2\text{MHz}$ $f_s = 900\text{kHz}$ $f_s = 600\text{kHz}$ $f_s = 300\text{kHz}$ 4 チャンネル ADC、パラレル・モード、バイト・ワイド・フォーマット $f_s = 1.8\text{MHz}$ $f_s = 1.2\text{MHz}$ $f_s = 900\text{kHz}$ $f_s = 600\text{kHz}$ $f_s = 300\text{kHz}$		4 3.4 2.7 2		mA mA mA mA
Power-Down	マスタ・クロックなしで $\overline{\text{RESET/PWDN}}$ ピンをローに保持 マスタ・クロックありで $\overline{\text{RESET/PWDN}}$ ピンをローに保持		2.8 2.3 2 1.7 1.3 335 360		mA mA mA mA mA μA μA
POWER DISSIPATION					
Normal Operation	入力マスタ・クロック = 19.2MHz $f_s = 1.2\text{MHz}$ 時の DVDDx（内部）、4 チャンネル ADC $f_s = 1.2\text{MHz}$ 時の DVDDx（外部）、4 チャンネル ADC		400 294		mW mW
Power-Down, All Supplies	マスタ・クロックありで $\overline{\text{RESET/PWDN}}$ ピンをローに保持		5		mW

デジタル・フィルタ

表 4.

パラメータ	モード	係数	Min	Typ	Max	単位
ADC DECIMATION FILTER	$f_s = 1.2\text{MHz}$ 時、デシメーション・レシオ = 48					
At $f_s = 1.2\text{MHz}$, Decimation Ratio = 48						
Pass Band	-0.1dB コーナ	$0.166 \times f_s$		200		kHz
Pass-Band Droop	600kHz 時			-1.4		dB
Stop Band		$0.666 \times f_s$		800		kHz
Stop-Band Attenuation				70		dB
Group Delay				95		μs
High-Pass Filter						
Corner Frequency	-3dB、8 段階にプログラム可能		0.729		93.3	Hz
Attenuation	代表的な性能特性のセクションの図 24 を参照してください。					

SPI ポートのタイミング

DVDDX = 1.8V、IOVDDX = 3.3V、C_{LOAD} = 22pF、I_{OUT} = $\pm 1\text{mA}$

表 5.

パラメータ	概要	限界値			単位
		Min	Typ	Max	
SPI PORT	図 2 参照				
t _{CCPH}	SPI_SCLK ハイ	50			ns
t _{CCPL}	SPI_SCLK ロー	50			ns
f _{SPI_CLK}	SPI_SCLK 周波数			10	MHz
t _{CDS}	SPI_MOSI セットアップから SPI_SCLK 立上がりまで	10			ns
t _{CDH}	SPI_SCLK 立上がりからの SPI_MOSI ホールド時間	10			ns
t _{CLS}	SPI_SS セットアップから SPI_SCLK 立上がりまで	10			ns
t _{CLH}	SPI_SCLK 立上がりからの SPI_SS ホールド時間	40			ns
t _{CLPH}	SPI_SS ハイ	10			ns
t _{CDH}	SPI_SCLK 立上がりからの SPI_MISO ホールド時間			30	ns
t _{COD}	SPI_SCLK 立下がりからの SPI_MISO 遅延時間			30	ns
t _{COTS}	SPI_SS 立上がりから SPI_MISO トライステートまでの時間			30	ns

シリアル／ペリフェラル・パラレル・インターフェース（PPI）ポートのタイミング

DVDDX = 1.8V、IOVDDX = 3.3V、C_{LOAD} = 22pF、I_{OUT} = $\pm 1\text{mA}$

表 6.

パラメータ	概要	限界値			単位
		Min	Typ	Max	
INPUT MASTER CLOCK (MCLKIN)					
Duty Cycle	MCLKIN デューティ・サイクル (MCLKIN が $256 \times f_s$ 、 $384 \times f_s$ 、 $512 \times f_s$ 、 $768 \times f_s$ の場合)	40		60	%
f _{MCLKIN}	MCLKIN 周波数、MCLK モードの PLL	16		54	MHz
RESET					
Reset Pulse, t _{RESET}	RESET/PWDN をローに保持	15			ns
PLL					
Lock Time				1	ms

パラメータ	概要	限界値			単位
		Min	Typ	Max	
ADC SERIAL PORT MASTER MODE	図 3 参照				
t_{SCKH}	SCLK_ADC ハイ、スレーブ・モード	10			ns
t_{SCKL}	SCLK_ADC ロー、スレーブ・モード	10			ns
t_{DS}	立上がりから ADC_DOUTx セットアップまでの時間、スレーブ・モード	10			ns
t_{DH}	SCLK_ADC 立上がりからの ADC_DOUTx ホールド時間、スレーブ・モード	5			ns
t_{DD}	SCLK_ADC 立下がりからの ADC_DOUTx 遅延時間			18	ns
t_{FSH}	SCLK_ADC 立上がりからの FS_ADC ホールド時間			18	ns
t_{FSS}	SCLK_ADC 立下がりからの FS_ADC セットアップ時間			1	ns
ADC SERIAL PORT SLAVE MODE	図 4 参照				
t_{SCKH}	SCLK_ADC ハイ、スレーブ・モード	7			ns
t_{SCKL}	SCLK_ADC ロー、スレーブ・モード	7			ns
t_{DS}	ADC_DOUTx 有効化から SCLK_ADC 立上がりまでの時間、スレーブ・モード	11			ns
t_{DH}	SCLK_ADC 立上がりからの ADC_DOUTx ホールド時間、スレーブ・モード	11			ns
t_{DD}	SCLK_ADC 立下がりからの ADC_DOUTx 遅延時間			2	ns
t_{FSH}	SCLK_ADC 立上がりからの FS_ADC ホールド時間			1	ns
t_{FSS}	SCLK_ADC 立下がりからの FS_ADC セットアップ時間			1	ns
PARALLEL MODE, BYTE WIDE FORMAT	図 5 参照、CONV_START を使用する場合は CONV_START と DATA_READY のタイミングの関係について 図 6 を参照				
t_{SCKH}	SCLK_ADC ハイ、マスタ・モード	28			ns
t_{SCKL}	SCLK_ADC ロー、マスタ・モード	28			ns
t_{DS}	SCLK_ADC 立上がりからの ADC_DOUTx セットアップ時間、マスタ・モード	7			ns
t_{DH}	SCLK_ADC 立上がりからの ADC_DOUTx ホールド時間、マスタ・モード	5			ns
t_{DD}	左揃え (LJ) モードの場合、SCLK_ADC 立下がりからの ADC_DOUTx 遅延時間			6	ns
t_{CSDR}	I ² S モードの場合、SCLK_ADC の 1 周期を LJ モードの t_{DD} に追加 CONV_START 立下がりから DATA_READY 立上がりまでの時間			1.215	μs
DATA ACQUISITION (DAQ) MODE	CONV_START 立下がりから DATA_READY 立上がりまでの時間、図 6 参照				
t_{DRH}	CONV_START 立上がりから DATA_READY 立下がりまでの時間			0.44	μs
t_{CSDR}	DAQ16 モード (16 アクイジション・クロック・サイクル)			1.215	μs
	DAQ24 モード (24 アクイジション・クロック・サイクル)			1.8	μs
	DAQ32 モード (32 アクイジション・クロック・サイクル)			2.43	μs

タイミング図

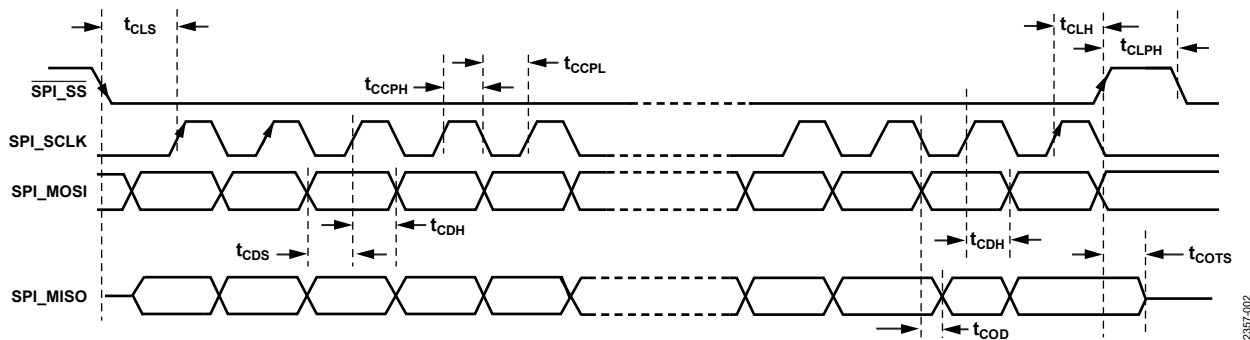


図 2. SPI ポートのタイミング

12357-002

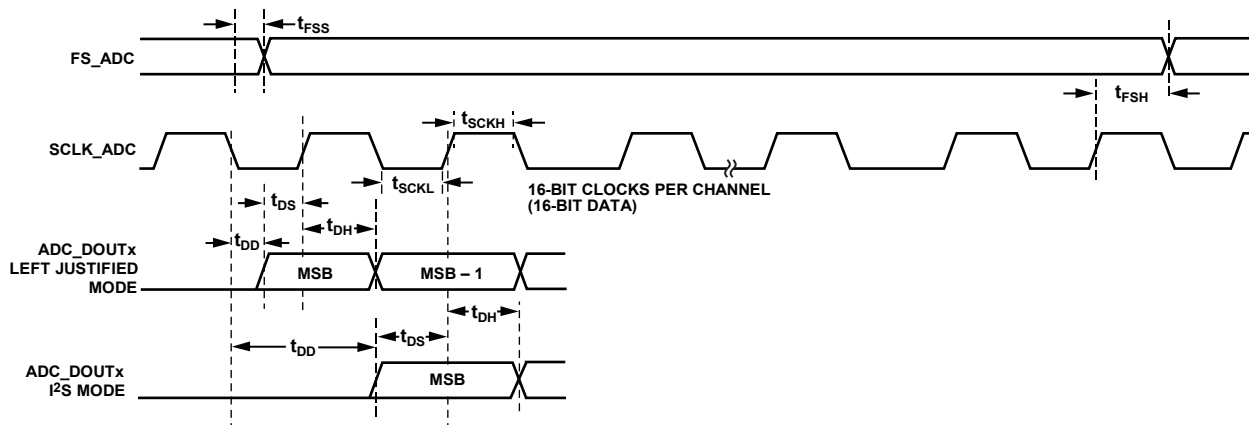


図 3. シリアル・ポートのタイミング、マスタ・モード

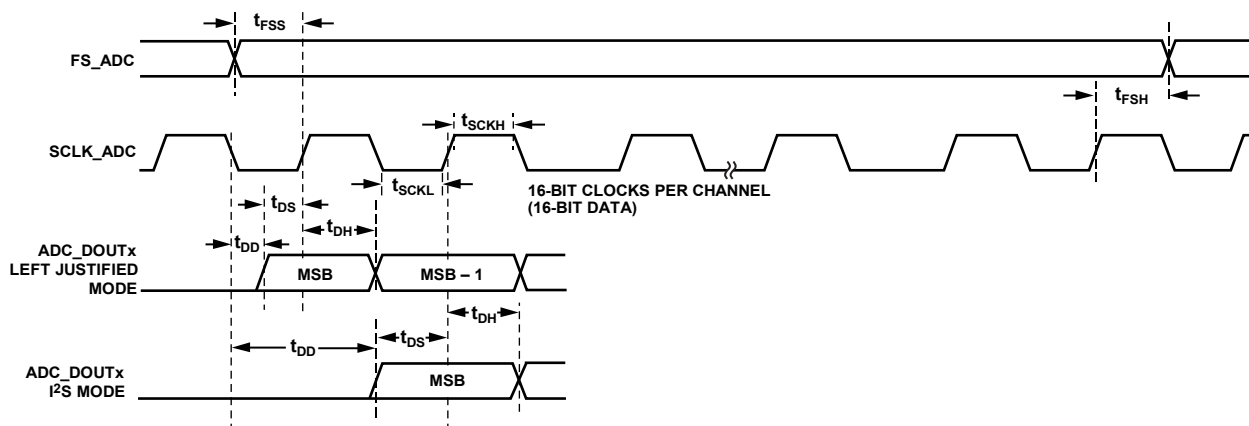


図 4. シリアル出力ポートのタイミング、スレーブ・モード

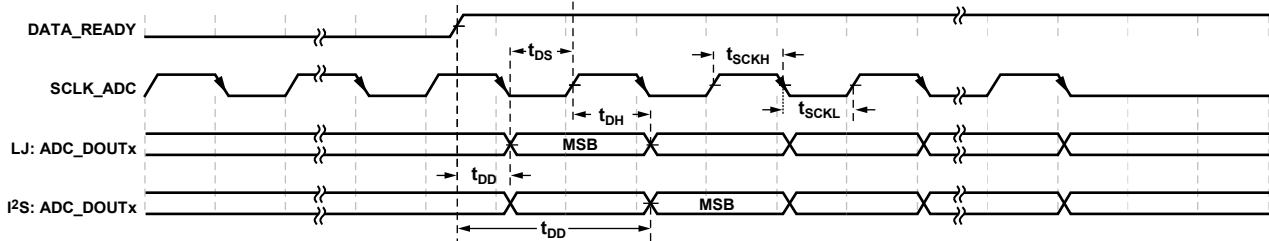


図 5. PPI のタイミング、マスタ・モード

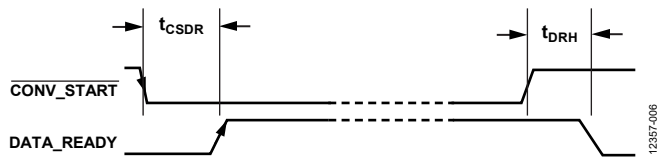


図 6. $CONV_START$ と $DATA_READY$ のタイミング

絶対最大定格

表 7.

Parameter	Rating
AVDDx to AGNDx, DGNDx	−0.3 V to +3.63 V
DVDDx to AGNDx, DGNDx	−0.3 V to +1.98 V
IOVDDx to AGNDx, DGNDx	−0.3 V to +3.63 V
AGNDx to DGNDx	−0.3 V to +0.3 V
Analog Input Voltage to AGNDx	−0.3 V to +3.63 V
Digital Input Voltage to DGNDx	−0.3 V to +3.63 V
Digital Output Voltage to DGNDx	−0.3 V to +3.63 V
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range (Ambient)	−40°C to +125°C
Junction Temperature Range	−40°C to +150°C
Storage Temperature Range	−65°C to +150°C
RoHS-Compliant Temperature Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり絶対最大定格を超えた状態で使用した場合、製品の信頼性に影響が及ぶことがあります。

熱抵抗

θ_{JA} はジャンクションと周囲の間の熱抵抗、
 θ_{JC} はジャンクションとケースの間の熱抵抗を表します。特性はいずれも JESD51 準拠の標準的な JEDEC 基板でのものです。

表 8. 熱抵抗

Package Type	θ_{JA}^1	θ_{JC}^1	Unit
48-Lead LFCSP_SS	25	1	°C/W

¹JEDEC 2S2P 規格基板。

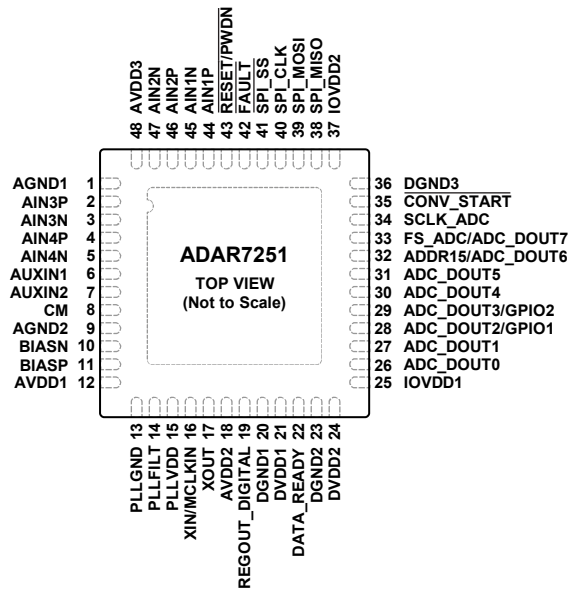
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. THE EXPOSED PAD ON THE BOTTOM OF THE PACKAGE MUST BE SOLDERED TO THE GROUND PLANE ON THE BOARD FOR POWER DISSIPATION.

12357-007

図 7. ピン配置

表 9. ピン機能の説明

ピン番号	記号	タイプ ¹	概要
	EPAD		露出パッド。パッケージ底部の露出パッドは放熱のためグラウンド・プレーンにハンダ付けする必要があります。
1	AGND1 ²	PWR	アナログ・グラウンド。このピンは ADAR7251 内のすべてのアナログ・ブロックのグラウンド基準ポイントとなります。
2	AIN3P	AIN	差動アナログ・チャンネル 3 への非反転入力。
3	AIN3N	AIN	差動アナログ・チャンネル 3 への反転入力。
4	AIN4P	AIN	差動アナログ・チャンネル 4 への非反転入力。
5	AIN4N	AIN	差動アナログ・チャンネル 4 への反転入力。
6	AUXIN1	AIN	補助 ADC アナログ入力 1。シングルエンド・アナログ入力チャンネル。
7	AUXIN2	AIN	補助 ADC アナログ入力 2。シングルエンド・アナログ入力チャンネル。
8	CM	AIO	ADC リファレンス出力。このピンから AGNDx へ、10μF キャパシタを 100nF キャパシタと並列接続します。
9	AGND2 ²	PWR	アナログ・グラウンド。このピンは ADAR7251 内のすべてのアナログ・ブロックのグラウンド基準ポイントとなります。
10	BIASN	AOUT	内部バイアス・ジェネレータ。0.47μF キャパシタを使用して AGNDx をデカップリングします。
11	BIASP	AOUT	内部バイアス・ジェネレータ。0.47μF キャパシタを使用して AVDDx をデカップリングします。
12	AVDD1	PWR	アナログ電源電圧、3.3V。この電源ピンは AGNDx とデカップリングします。図 60 参照。
13	PLLGND	PWR	PLL のアナログ・グラウンド。基板上のグラウンド・プレーンに直接接続します。
14	PLLFILT	AIN	PLL へのフィルタ・コンポーネント接続部。図 60 参照。
15	PLLVDD	PWR	アナログ PLL へのアナログ電源、3.3V。0.1μF 多層セラミック・キャパシタ（MLCC）を使用して PLLGND ピン（ピン 13）をデカップリングします。AVDDx または外部 3.3V 電源に接続します。クリーンな 3.3V 電源を得るため、また PLL の性能を適切に発揮するため、フィルタを追加することを推奨します。
16	XIN/MCLKIN	AIN	内部発振器入力／クロック入力。外部の水晶発振器を使用する場合は XIN ピンと XOUT ピンの間に接続してください。水晶発振器を使用しない場合は MCLKIN ピンにシングルエンドのクロックを供給する必要があります。ADAR7251 は 16MHz～54MHz のクロック周波数に対応しています。
17	XOUT	AOUT	外部水晶発振器のための内部発振器出力接続部。
18	AVDD2	PWR	アナログ電源電圧、3.3V。この電源ピンは AGNDx とデカップリングします。図 60 参照。
19	REGOUT_DIGITAL	PWR	内蔵デジタル・コアのための LDO レギュレータ出力（代表値 1.8V）。DGNDx とデカップリングします。図 60 参照。内蔵レギュレータを使用する場合、デジタル・コアに 1.8V を供給するため REGOUT_DIGITAL を DVDDx ピンに接続します。
20	DGND1 ³	PWR	デジタル・グラウンド。このピンは ADAR7251 のデジタル回路のグラウンド基準ポイントとなります。

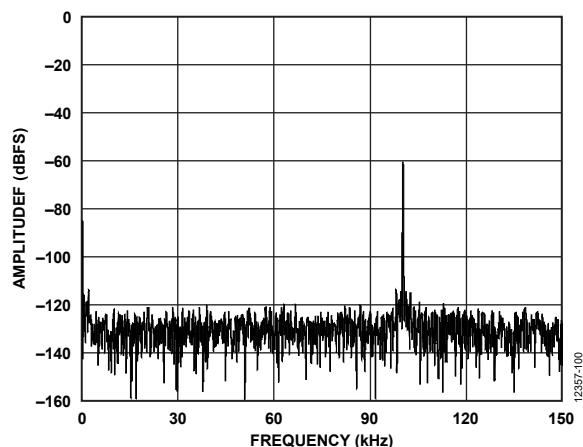
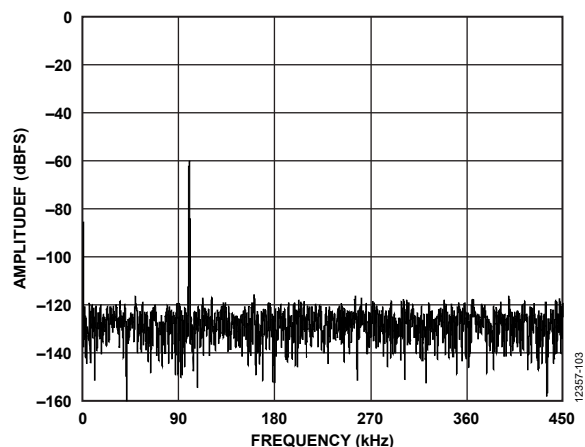
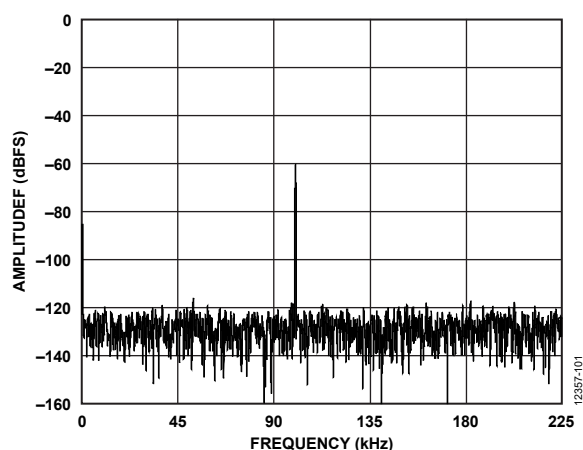
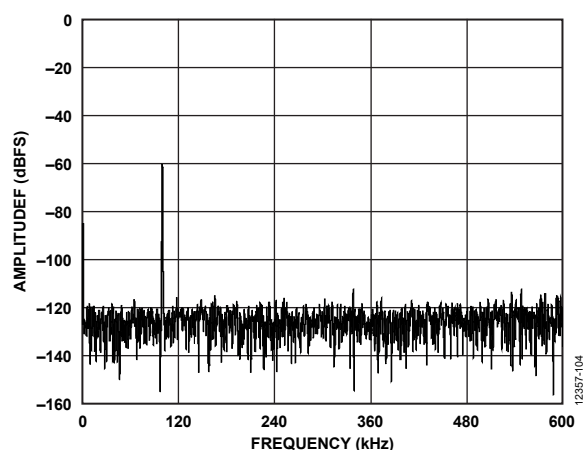
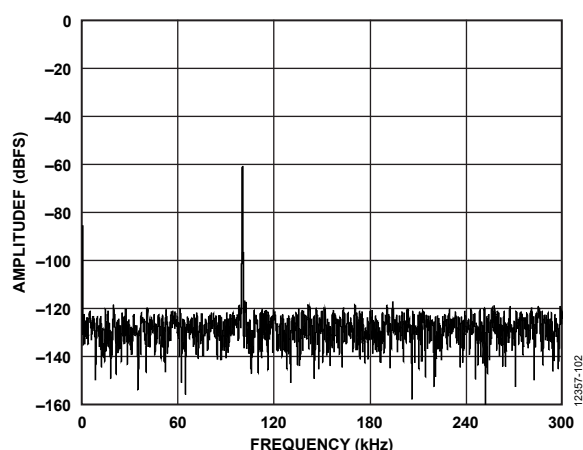
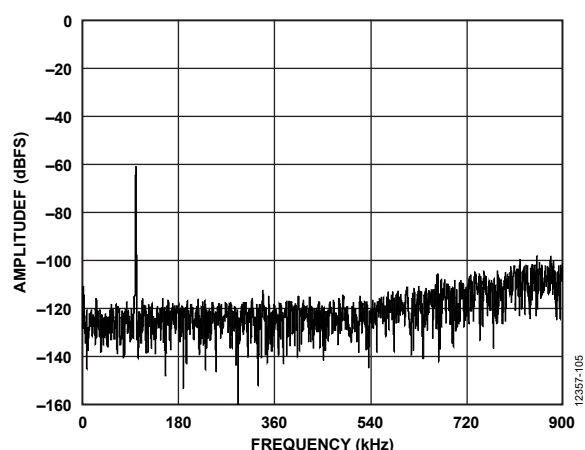
ピン番号	記号	タイプ ¹	概要
21	DVDD1	PWR	デジタル・コア電源入力。DVDDx と DGNDx ピンの間にデカップリング・キャパシタを接続します。 図 60 参照。このピン上の電圧は 1.8V です。内蔵 LDO を使用しない場合、このピンは REGOUT_DIGITAL (ピン 19) または外部の 1.8V 電源に接続することができます。
22	DATA_READY	DOUT	ADC 変換データ・レディ出力。システム内の DSP 汎用入出力 (GPIO) に接続します。
23	DGND2 ³	PWR	デジタル・グラウンド。このピンは ADAR7251 のデジタル回路のグラウンド基準ポイントとなります。
24	DVDD2	PWR	デジタル・コア電源入力。DVDDx と DGNDx ピンの間にデカップリング・キャパシタを接続します。 図 60 参照。このピン上の電圧は 1.8V です。内蔵 LDO を使用しない場合、このピンは REGOUT_DIGITAL (ピン 19) または外部の 1.8V 電源に接続することができます。
25	IOVDD1	PWR	ロジック電源入力。このピンに供給される電圧により、インターフェースの動作電圧が決定されます。IOVDDx と DGNDx ピンの間にデカップリング・キャパシタを接続します。 図 60 参照。
26	ADC_DOUT0	DOUT	ADC データ出力 (シリアル・モード) または ADC データ出力ビット 0 およびビット 8 (PPI モード)。機能に関しては ADC のシリアル・モード のセクションと ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
27	ADC_DOUT1	DOUT	ADC データ出力 (シリアル・モード) または ADC データ出力ビット 1/9 (PPI モード)。機能に関しては ADC のシリアル・モード のセクションと ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
28	ADC_DOUT2/GPIO1	DOUT	ADC データ出力ビット 2 およびビット 10 (PPI モード) / 汎用入出力 1。機能に関しては ADC のシリアル・モード のセクションを参照してください。
29	ADC_DOUT3/GPIO2	DOUT	ADC データ出力ビット 3 およびビット 11 (PPI モード) / 汎用入出力 2。機能に関しては ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
30	ADC_DOUT4	DIO	ADC データ出力ビット 4 およびビット 12 (PPI モード)。機能に関しては ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
31	ADC_DOUT5	DIO	ADC データ出力ビット 5 およびビット 13 (PPI モード)。機能に関しては ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
32	ADDR15/ ADC_DOUT6	DIO	SPI 制御インターフェースのためのデバイス・アドレス設定/PPI モードでの ADC データ出力ビット 6 とビット 14。このピンは SPI デバイス・アドレスのビット 1 を設定します。10kΩ プルダウンまたはプルアップ抵抗を使用し、DGNDx か IOVDDx のいずれかに接続します。機能に関しては ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
33	FS_ADC/ ADC_DOUT7	DIO	デフォルト ADC データ (シリアル・モード) のアクティブ・ロー・フレーム同期化信号/ADC データ出力ビット 7 およびビット 15 (PPI モード)。機能に関しては ADC PPI (バイト・ワイド・モード) のセクションを参照してください。
34	SCLK_ADC	DIO	ADC データ出力のためのシリアル・ビット・クロック (シリアル・モードおよび PPI モード)。このピンはスレープ・モードでは入力、マスタ・モードでは出力となります。
35	CONV_START	DIN	DAQ/PPI/シリアル・モードでの ADC 変換開始 (アクティブ・ロー)。アクティブ・ロー信号によって ADC 変換が開始されます。詳細については 動作原理 のセクションを参照してください。
36	DGND3 ³	PWR	デジタル・グラウンド。このピンは ADAR7251 のデジタル回路のグラウンド基準ポイントとなります。
37	IOVDD2	PWR	ロジック電源入力。このピンに供給される電圧により、インターフェースの動作電圧が決定されます。IOVDDx と DGNDx ピンの間にデカップリング・キャパシタを接続します。 図 60 参照。
38	SPI_MISO	DOUT	SPI 制御インターフェース・スレープ・データ出力。
39	SPI_MOSI	DIN	SPI 制御インターフェース・スレープ・データ入力。
40	SPI_CLK	DIN	SPI 制御インターフェース・シリアル・クロック入力。
41	SPI_SS	DIN	SPI 制御インターフェース・スレープ選択 (アクティブ・ロー入力)。外部 10kΩ プルアップ抵抗を IOVDDx に接続します。
42	FAULT	DOUT	デジタル出力。このピンは故障状態時にアクティブになります。外部 10kΩ プルアップ抵抗を IOVDDx に接続します。このピンは故障発生時のマイクロコントローラまたは DSP への割込み入力として使用できます。
43	RESET/PWDN	DIN	アクティブ・ロー・リセット入力/パワー・ダウン。ADAR7251 は AVDDx が指定された動作範囲内となるまで、RESET 入力をローに維持するためリセット信号を必要とします。ローに維持されている場合、このピンは ADAR7251 をパワー・ダウン・モードに設定します。
44	AIN1P	AIN	差動アナログ・チャンネル 1 の非反転入力。
45	AIN1N	AIN	差動アナログ・チャンネル 1 の反転入力。
46	AIN2P	AIN	差動アナログ・チャンネル 2 の非反転入力。
47	AIN2N	AIN	差動アナログ・チャンネル 2 の反転入力。
48	AVDD3	PWR	アナログ電源電圧。このピンは AGNDx とデカップリングします。

¹ PWR は電源またはグラウンド・ピン、AIN はアナログ入力、AIO はアナログ入出力、AOUT はアナログ出力、DIN はデジタル入力、DOUT はデジタル出力、DIO はデジタル入出力です。

² AGNDx (AGND1 と AGND2) のピンはすべて内部で短絡されており、基板上の単一のグラウンド・プレーンに接続することを推奨します。詳細については [PCB レイアウト時のガイドライン](#) のセクションを参照してください。

³ DGNDx (DGND1、DGND2、DGND3) のピンはすべて内部で短絡されており、基板上の単一のグラウンド・プレーンに接続することを推奨します。詳細については [PCB レイアウト時のガイドライン](#) のセクションを参照してください。

代表的な性能特性

図 8. $f_s = 300\text{kHz}$ にて -60dBFS 、 100kHz 入力のための FFT図 11. $f_s = 900\text{kHz}$ にて -60dBFS 、 100kHz 入力のための FFT図 9. $f_s = 450\text{kHz}$ にて -60dBFS 、 100kHz 入力のための FFT図 12. $f_s = 1.2\text{MHz}$ にて -60dBFS 、 100kHz 入力のための FFT図 10. $f_s = 600\text{kHz}$ にて -60dBFS 、 100kHz 入力のための FFT図 13. $f_s = 1.8\text{MHz}$ にて -60dBFS 、 100kHz 入力のための FFT

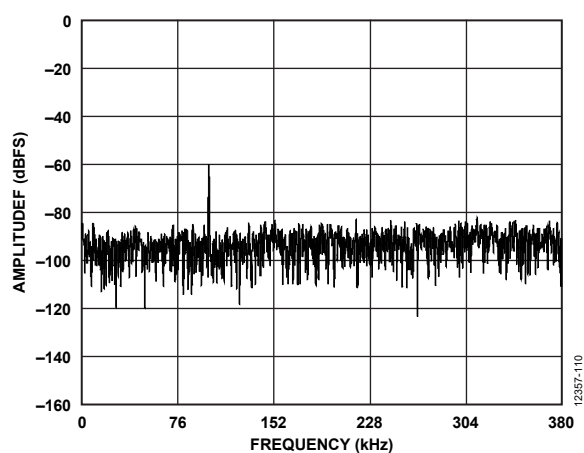


図 14. $f_s = 758\text{kHz}$ にて -60dBFS 、 100kHz 入力、DAQ16 のときの FFT

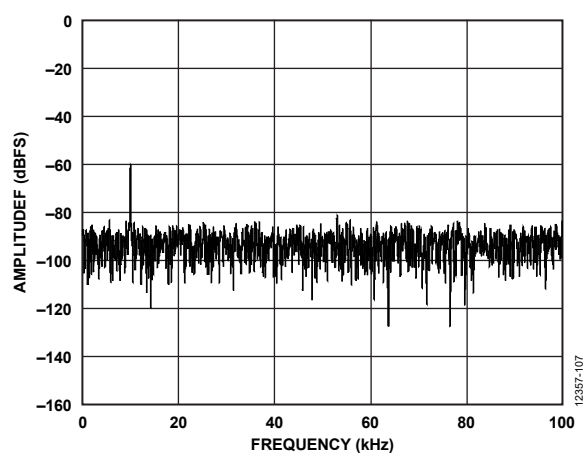


図 17. $f_s = 200\text{kHz}$ にて -60dBFS 、 10kHz 入力、DAQ16 のときの FFT

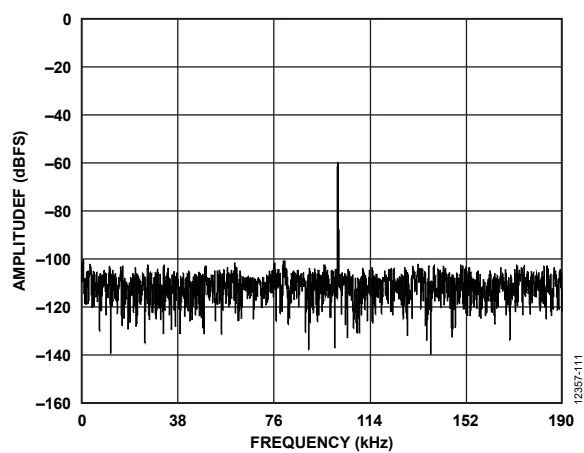


図 15. $f_s = 380\text{kHz}$ にて -60dBFS 、 100kHz 入力、DAQ24 のときの FFT

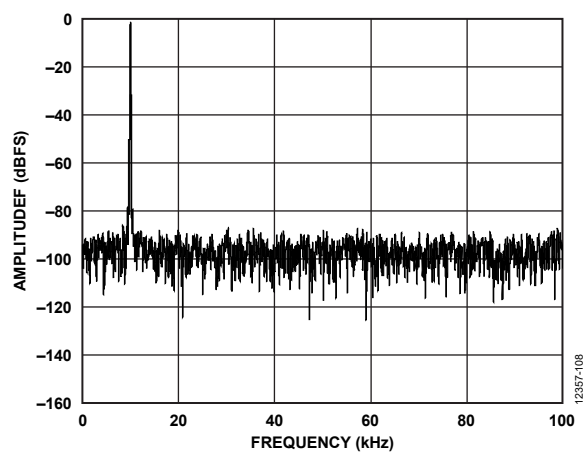


図 18. $f_s = 200\text{kHz}$ にて -1dBFS 、 10kHz 入力、DAQ16 のときの FFT

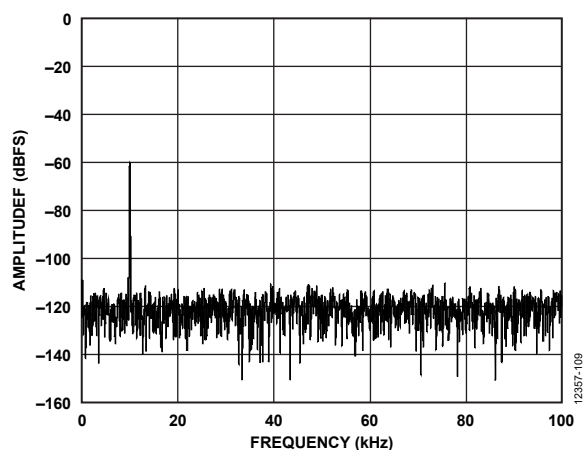


図 16. $f_s = 200\text{kHz}$ にて -60dBFS 、 10kHz 入力、DAQ32 のときの FFT

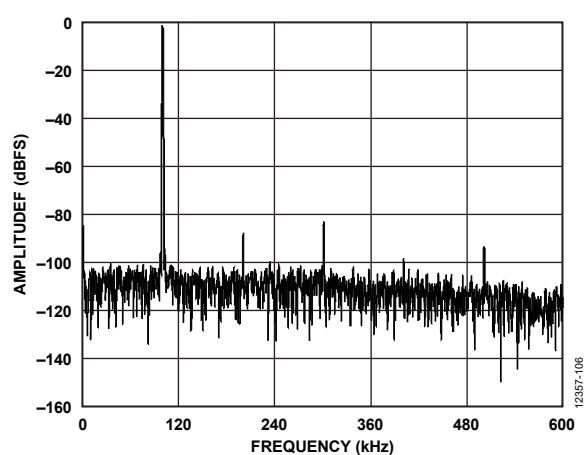


図 19. $f_s = 1.2\text{MHz}$ にて -1dBFS 、 100kHz 入力のときの FFT

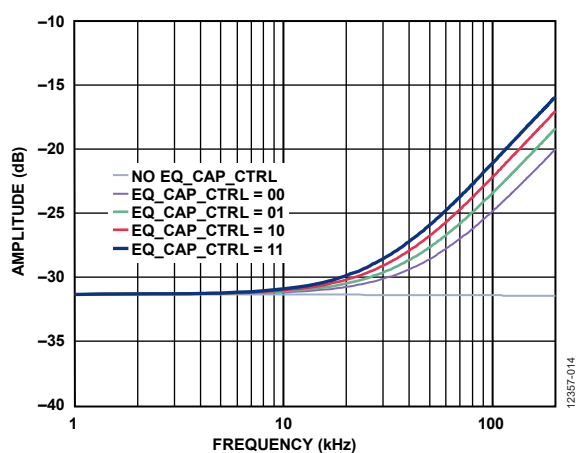


図 20. EQ

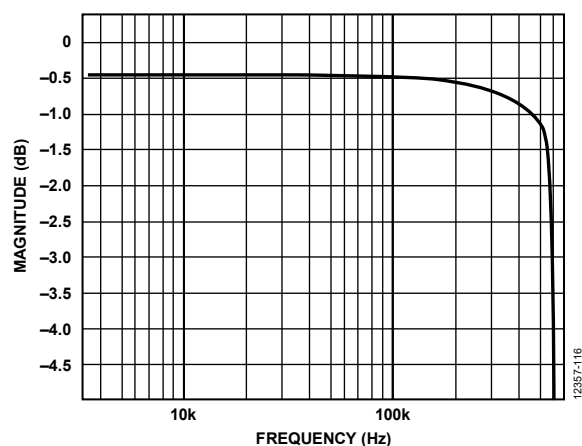


図 23. $f_s = 1.2\text{MHz}$ での ADC デジタル・フィルタ通過帯域

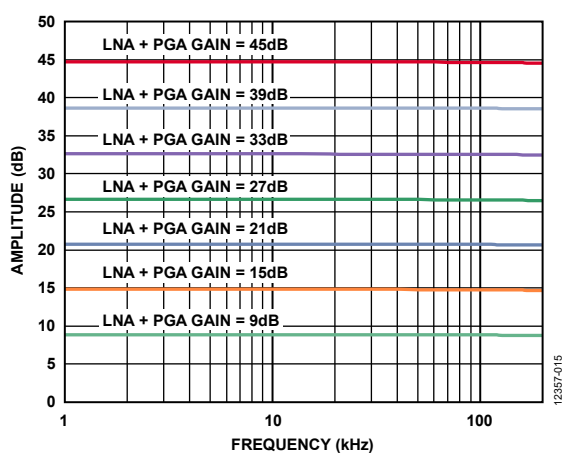


図 21. LNA + PGA ゲイン

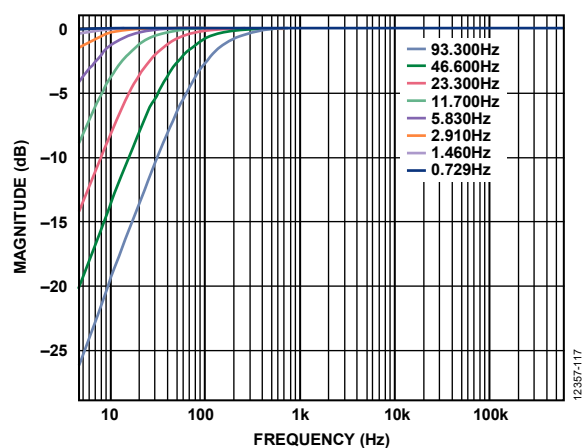


図 24. ADC ハイパス・フィルタの周波数応答

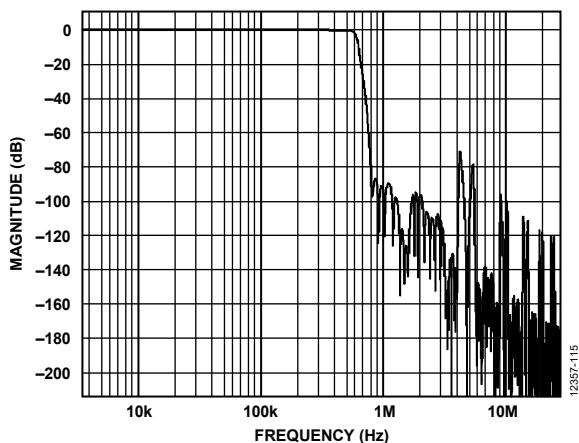


図 22. $f_s = 1.2\text{MHz}$ での ADC デジタル・フィルタの周波数応答

用語の定義

積分非直線性 (INL)

INL は ADC 伝達関数の両エンドポイントを結ぶ直線からの最大偏差です。ADAR7251 の場合、伝達関数の両エンドポイントはゼロ・スケール（最初のコード遷移から $\frac{1}{2}$ LSB 下のポイント）とフルスケール（最後のコード遷移から $\frac{1}{2}$ LSB 上のポイント）です。

微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

オフセット誤差

オフセット誤差は、最初のコード遷移（(00…000) ~ (00…001)）の理論値（グラウンド+0.5LSB など）からの差です。

ゲイン誤差

ADAR7251 の場合、ゲイン誤差は、オフセット誤差を調整した後の最後のコード遷移（(111…110) ~ (111…111)）の理想値（ $V_{REF} - 1.5\text{LSB}$ など）からの差です。

S/N 比

S/N 比は実際の入力信号の rms 値と、高調波と直流を除くナイキスト周波数以下の他のすべてのスペクトル成分との比率です。SNR 値はデシベル (dB) で表されます。

全高調波歪み (THD)

THD は高調波の rms 値の総和と基本波の比です。ADAR7251 の場合、THD は次のように定義されます。

$$THD(\text{dB}) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の rms 振幅、
 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は 2 番目から 6 番目までの高調波の rms 振幅です。

ダイナミック・レンジ (DNR)

-60dBFS の入力レベル（フルスケール入力に対して -60dB）時に $THD + N$ を dB を単位として測定します。次に測定した $THD + N$ 値に 60dB を加えてデシベルで表します。例えば、-60dBFS 入力時に測定された $THD + N$ 値が 36dB なら、DNR は $60 + 36 = 96\text{dB}$ となります。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、基本波 rms 値に対する ADC 出力スペクトル内の（DC を除いて $f_s/2$ まで）次に大きい成分の rms 値の比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれている ADC の場合はノイズ・ピークになります。

動作原理

低速ランプ・レーダーのアナログ・フロント・エンド

ADAR7251 の最も一般的な用途は、低速ランプ周波数変調連続波、または周波数偏移変調レーダー (LSR-FMCW または FSK-FMCW) です。図 28 に 4 チャンネル・アプリケーションの LSR/FSK レーダーの典型的なブロック・ダイアグラムを示しています。シグナル・チェーンには、それぞれ LNA、PGA、および Σ - Δ ADC を含む最大 8 つのチャンネルが必要とされる場合があります。ADAR7251 の入力チャンネルはいずれも入力信号を同時にサンプリングします。ADAR7251 はまた、LSR レーダー・システムに必要な、2 チャンネルの補助 8 ビット ADC および 2 つの GPIO も備えています。

メイン・チャンネルの概要

ADAR7251 には、 Σ - Δ 入力ピンへのフィードとなる完全差動 LNA と PGA、および Σ - Δ 変調器出力上で必要なフィルタリングを行うためのデジタル・フィルタ・ブロックも搭載されています。この Σ - Δ 変換手法を追加されたデジタル・フィルタリングと共に使用することにより、アナログ入力にそれと同等のデジタル・ワードへと変換されます。ADAR7251 は内蔵の 1.5V リファレンス電圧を使用します。

Σ - Δ 変調とデジタル・フィルタリング

変調器に適用された入力波形がサンプリングされ、それと等価のデジタル・ワードが変調器クロックと等しいレートでデジタル・フィルタに出力されます。変調器のクロックは $48 \times f_s$ (57.6MHz クロック信号、 f_{CLK} 、 $f_s=1.2\text{MHz}$) で決定されます。オーバーサンプリングを使用することにより、量子化ノイズが幅広い帯域にわたって広がります (図 25 参照)。これにより、対象とする帯域に含まれるノイズのエネルギーが減少します。量子化ノイズを更に減らすため 3 次変調器が使用され、ノイズのエネルギーの大半が信号帯域外にシフトするようノイズ・スペクトルの形状を変更します (図 26 参照)。

変調器の後に置かれたデジタル・フィルタが大きな帯域外の量子化ノイズを除去し (図 27 参照)、またフィルタ入力時のデータ・レートをデシメーション・レートに応じて出力時には 1.2MHz にまで引き下げます。

ADAR7251 の総チャンネル・ノイズは、帯域幅の仕様と選択されたアナログ入力範囲に依存します。ADAR7251 からの出力時のデータ・レートは、アプリケーションごとに必要に応じて更に引き下げることが可能です。連続時間変調器により、ADAR7251 への入力の高次アンチエイリアス・フィルタが不要になります。ADAR7251 に内蔵された連続時間 Σ - Δ 変調器は、オーバーサンプリングによるアンチエイリアシング機能をもともと備えています。このデバイスは 48 倍のオーバーサンプリングを使用します。これにより ADC への入力におけるフィルタリングの必要が軽減されます。一般的にはシングル・ポールのパッシブ抵抗キャパシタ (RC) で十分です。

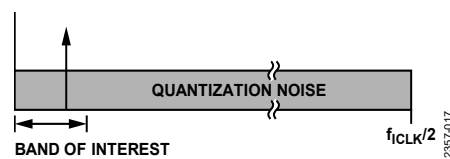


図 25. Σ - Δ ADC、量子化ノイズ

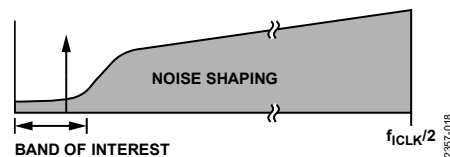


図 26. Σ - Δ ADC、ノイズ・シェーピング

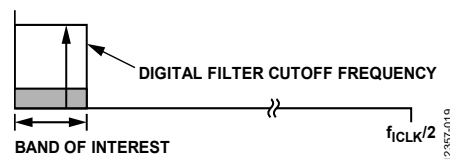


図 27. Σ - Δ ADC、デジタル・フィルタ・カットオフ周波数

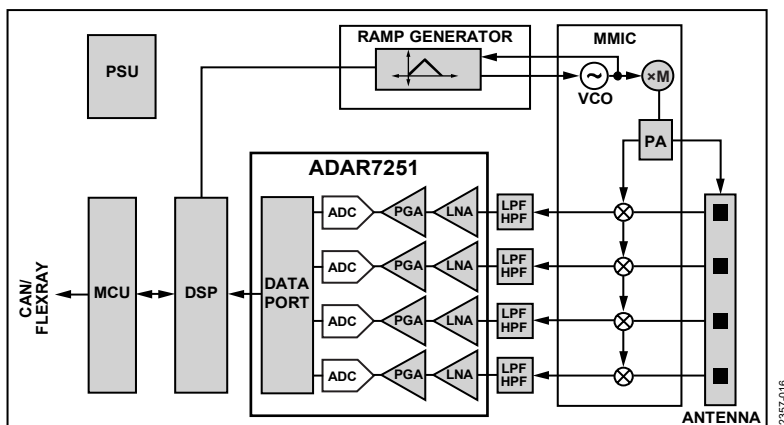


図 28. レーダー・システムの概要

差動入力構成

ADAR7251 のメインの ADC 入力チャンネルは、LNA、PGA、連続時間 $\Sigma\Delta$ ADC、および LNA の入力においてコモンモード電圧を設定する内部バイアス抵抗から構成されています。PGA には低振幅、高周波数の信号を増幅するイコライザ (EQ) が含まれています。一般に車載レーダーでは、ADAR7251 のアナログ入力にはミキサー出力に直接接続されます (図 29 参照)。外付けフィルタの追加が必要な場合には C1、C2、および C3 キャパシタが利用できます。これらのキャパシタは、R1、R2、およびミキサー出力のインピーダンスと共に、ADC への入力から直流成分と高周波ノイズを除去する外部フィルタを構成します。

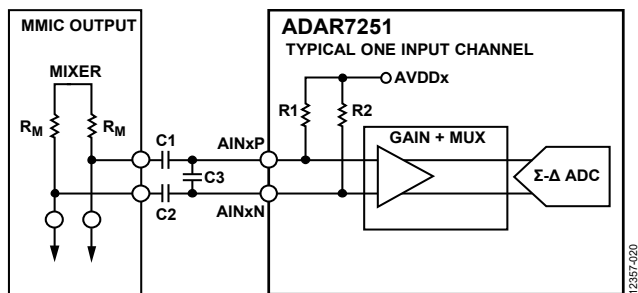


図 29. 一般的な差動入力チャンネルの構成

モノリシックなマイクロ波集積回路 (MMIC) ミキサー出力インピーダンス R_M と C3 キャパシタは、ADAR7251 への入力から高周波スプリアスを減らすシングル・ポール、ローパス・フィルタを構成します。C1 と C2 の 2 つのキャパシタと ADAR7251 に内蔵された R1 および R2 抵抗により、入力信号から直流成分を除去するハイパス・フィルタが得られます。

それぞれの $\Sigma\Delta$ ADC 入力の上段には、専用の LNA と PGA ゲイン・ステージが付随します。この可変ゲイン設定により、ADAR7251 は様々なソースからの信号を増幅することが可能です。ADAR7251 ではそのダイナミック・レンジの広さを活用するため、最も適切なゲイン設定を選ぶことができる柔軟性を備えています。LNA ステージのゲインはレジスタ 0x100 を使用して 6dB 刻みで設定できます。デフォルトのゲイン値は 6dB です。PGA のゲインはレジスタ 0x101 を使用して独立に設定することができ、デフォルトのゲインは 2.92dB です。LNA + PGA の合計ゲイン範囲は 36dB です。これらのゲイン設定は、ADAR7251 のアナログ入力範囲およびチャンネル・ノイズ規格と共に仕様のセクションに記載されています (表 1 参照)。LNA + PGA のデフォルトのゲインは 9dB (2.8 倍) のため、フルスケールの差動入力信号は 0.7V rms です。ただし直接のパスが選択されて LNA + PGA がバイパスされる場合、ADC へのフルスケール入力信号は 2V rms の差動となります。

ハイパス・フィルタ (HPF)

外部入力カップリング・キャパシタは、ADAR7251 の入力インピーダンスと共に一次のパッシブ・ハイパス・フィルタを構成します。このフィルタはまた、必要な場合には高い周波数を増幅するパッシブ・イコライザとしても使用できます。コーナ周波数は以下の式を使って目的の周波数に設定します。

$$f_{3dB} = 1/(2 \times \pi \times R1 \times C1)$$

ここで $R1=R2$ (代表値) は 2.86k Ω 、 $C2=C1$ です (図 29 参照)。

ローパス・フィルタ (LPF)

ローパス・フィルタは差動入力ピンの間にキャパシタを追加して得られます。フィルタのコーナ周波数は ADC を駆動するソース抵抗の値に基づいて決まります。コーナ周波数は以下の式を使って目的の周波数に設定します。

$$f_{3dB} = 1/(4 \times \pi \times R_M \times C3)$$

ここで R_M (代表値) は MMIC 出力のソース抵抗です。

入力のルーティング

図 30 に ADAR7251 内部の代表的な 2 チャンネル入力ブロックをマルチプレクサおよび入力信号ルーティングと共に示します。見やすさのため図 30 の接続はシングルエンドとして示していますが、実際にはこれらは差動です。

入力信号は LNA + PGA または LNA + PGA + EQ を経由して、あるいは直接に ADC ルーティングすることができます。ADC への入力時のマルチプレクサ選択にはレジスタ 0x102 を使用します。ADC への入力は隣接するチャンネル間で入れ替えることができ、例えばチャンネル 1 を ADC2 に、チャンネル 2 を ADC1 に送ることが可能です。また補助入力 1 と補助入力 2 は ADC に直接送ることができます。この場合、AUXIN1 が非反転入力、AUXIN2 が反転入力となって差動ペアを構成します。デフォルトのパスは LNA + PGA + ADC です。

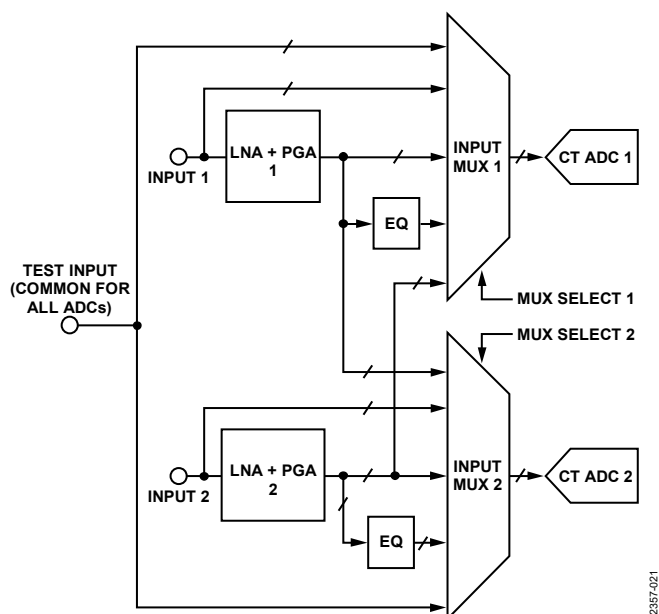


図 30. 代表的な 2 チャンネル入力ブロック

イコライザ (EQ)

LNA + PGA からの出力はイコライザ・ブロックにルーティングすることができます。LSR-FMCW レーダー・システムでは、レーダーと対象物との距離が信号の振幅に影響します。対象物が遠くにある場合には周波数がより高く、振幅は小さくなります。EQ はこのような信号を増幅するため、周波数に応じたゲインを備えています。これによりシステムは遠くの対象物の検出が容易になります。優れたノイズ性能を確保するためには、シグナル・チェーンの最初に超低ノイズの LNA を置くこと、および高精度の ADC アーキテクチャを採用することが求められます。レジスタ 0x102 内で EQ パスを有効にしてください。この EQ は一次のハイパス・タイプです。カットオフ周波数は 32kHz (デフォルト)、37kHz、45kHz、54kHz のいずれかです。カットオフ周波数はレジスタ 0x301 の EQ_CAP_CTRL、ビット [1:0] で選択します (代表的な性能特性のセクションの図 20 を参照してください)。

LNA/PGA、EQ、または入力キャパシタの使用

入力パッシブ・フィルタは、LNA + PGA と EQ と共に、システムが必要とする周波数応答の設定に使用できます。代表的な例は図 31、図 32、および図 33 を参照してください。

図 31 は入力カップリング・キャパシタの値を可変とし、LNA + PGA ゲインと EQ を固定した場合の周波数応答を示しています。

図 32 は LNA + PGA ゲインを可変とし、入力カップリングと EQ を固定した場合の周波数応答を示しています。図 33 は EQ の設定を可変とし、入力カップリング・キャパシタと LNA + PGA ゲインを固定した場合の周波数応答を示しています。

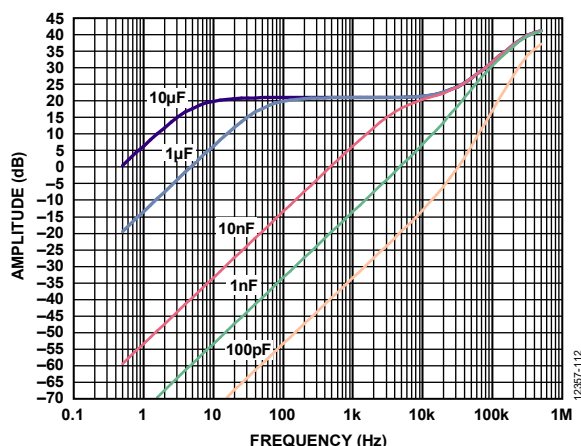


図 31. カップリング・コンデンサを変えた場合の周波数応答

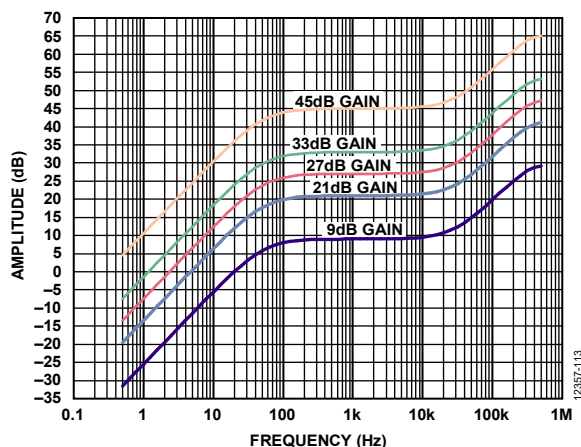


図 32. カップリング・ゲインを変えた場合の周波数応答

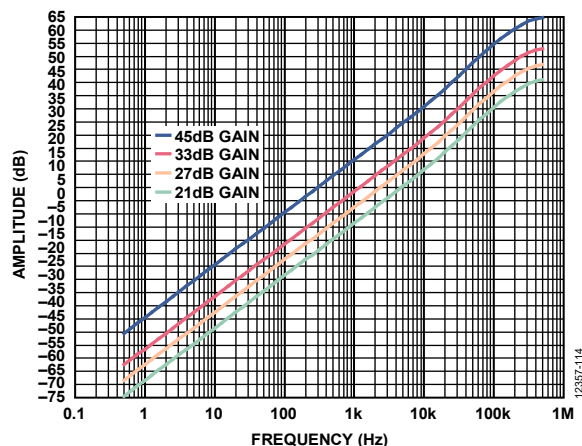


図 33. カップリング EQ を変えた場合の周波数応答

リファレンス

ADAR7251 の内部リファレンスは 1.5V に設定されています。この 1.5V リファレンスは CM ピンから取得できます。10µF MLCC と 100nF MLCC とを並列で使用して CM ピンと AGNDx ピンをデカップリングします。1.5V リファレンスは電流量に制限があり、外部負荷を駆動するには設計されていません。このリファレンスを外部回路に使用する場合、外部のバッファ回路を使用してください。必要な場合は内部リファレンスの電圧を外部的にオーバードライブすることが可能です。

補助 ADC

ADAR7251 にはシステム内での低周波数ハウスキーピング機能のため、2 チャンネルの補助逐次比較レジスタ (SAR) ADC が用意されています。その機能には直流電圧モニタリングと温度モニタリングが含まれます。この補助 ADC は電源に AVDDx を使用するため、電圧の範囲は 0V から AVDDx までに限定されます。この ADC は 2 系統の補助入力をサンプリングするためマルチプレクシングを使用します。変換対象の入力は ADC の前に置かれたマルチプレクサによって選択されます。ADC のサンプル・レートは 112.5kHz から 450kHz までの間で選択可能です。デフォルトのサンプル・レートは 112.5kHz です。2 チャンネルの動作が選択されている場合、設定されたサンプル・レートが有効なサンプル・レートとなります。片方のチャンネルのみが選択されている場合、有効なサンプル・レートは設定された値の 2 倍となります。ADC の分解能は 8 ビット、ADC からの出力はストレート・バイナリです。ADC からの出力は内部レジスタに保管され、これは SPI ポート経由で読み出されます。レジスタ 0x200 には入力 1 と入力 2 の最新の変換値が保存されます。またレジスタ 0x201 には直近のサンプル値が保存されます。

ADC のサンプル・レートはレジスタ 0x210 を使用して選択することができ、レジスタ 0x211 は ADC への入力選択に使用されます。デフォルトでは AUXINx ピンがサンプリングされます。AUX_ADC_MODE ビット (レジスタ 0x211 のビット 0) が「1」に設定されている場合、サンプリングは 1 系統の入力についてのみ 2 倍のサンプル・レートを使用して行われます。補助 ADC は連続ではないため、エイリアス防止のため入力信号の帯域が制限されており、時分割多重化が行われていることに留意してください。

補助 ADC への入力はスイッチド・キャパシタ・タイプであり、したがってサンプリング・フェーズ中の入力インピーダンスは容量性となります。サンプル値が内部で保持される前に入力が安定するよう、代表的な信号源インピーダンスは 1kΩ 未満としてください。ADC への入力の信号源には、基板上の寄生容量を除き最低 20pF を駆動可能であることが求められます。

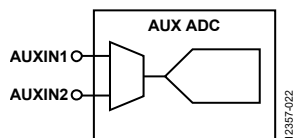


図 34. 補助 ADC

電源

ADAR7251 は以下の 3 つの電源を使用します。すなわち、AVDDx 用の 3.3V、DVDDx 用の 1.8V、IOVDDx 用の 3.3V です。AVDDx と IOVDDx への供給はデバイスに対して行う必要がありますが、DVDDx ピンへの供給は内部 LDO により生成するか、あるいは LDO をオフに設定して外部から行うことが可能です。

AVDDx ピンは ADC のアナログ・コアに、DVDDx ピンは ADC のデジタル・コアに供給します。IOVDDx ピンは ADAR7251 のデジタル入出力ピンに供給します。

ADC の性能を最大限に引き出すため、すべての電源は 0.1μF と 10μF X7R MLCC を使用してグラウンドとデカップリングします。このデバイスの底部には露出したパッドがあります。これはサーマル・ビアのあるグラウンド・プレーンに接続する必要があります。すべてのグラウンド・ピンは基板上の単一のグラウンド・プレーンへ、それぞれのピンへのパスが最短となるよう接続する必要があります。

LDO を置き換える

内部 LDO はデジタル・コアに必要な DVDDx 電圧 (1.8V) を生成します。LDO は供給される AVDDx (3.3V) を 1.8V にレギュレーションします。デジタル・コアにクリーンな電力を供給するため、外部のデカップリング・キャパシタが必要です。デジタル・コアに内部の 1.8V 電源を使用する場合、REGOUT_DIGITAL ピンを外部で DVDDx ピンに接続する必要があります。高周波ノイズをデカップリングするため、1nF MLCC を 0.1μF および 10μF キャパシタと並列で使用することを推奨します。

クロック条件

仕様規定された動的性能を実現するため、XIN/MCLKIN と XOUT ピンに外部の水晶発振器を使用してください。あるいは MCLKIN 入力に MCU/DSP コントローラ経由でシングルエンドのクロックを供給してください。ADAR7251 には、システム内のクロックまたは外部の水晶発振器から供給される、16MHz～54MHz の範囲のクロック周波数を受け入れる PLL ブロックが内蔵されています。XIN/MCLKIN ピンには外部クロックを接続し、また 0V～3.3Vp-p の範囲とする必要があります。

水晶発振器

外部の水晶発振器は XIN ピンと XOUT ピン経由で接続できます。水晶発振器を使用する場合、レジスタ 0x292 を使用して水晶発振器ブロックを有効にします。水晶発振器の出力は PLL への入力となります。サポートされる周波数範囲の代表値は 16MHz～54MHz です。水晶発振器には製造元の推奨に従い負荷キャパシタ C1 および C2 を選択します。R1 の値は水晶発振器の定格電流に基づいて決定します。

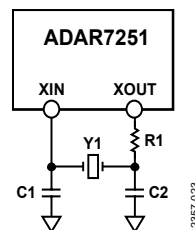


図 35. 水晶発振器

PLL

PLL は内部のブロックに安定したクロックを供給します。これは XIN/MCLKIN ピンへのクロック入力をリファレンスとして使用し、コア・クロックを生成します。PLL はインデジャカフラクショナル・モードのいずれかに設定します。PLL の乗算器と除算器 (X、R、M、N) は、レジスタ 0x000 からレジスタ 0x003 までを使用してプログラムします。PLL は外部ソースから直接供給される、あるいは XIN/MCLKIN と XOUT ピンに接続された水晶発振器を使用した 16MHz～54MHz の範囲の入力周波数を受け入れます。PLL の出力周波数は 115.2MHz に固定されています。

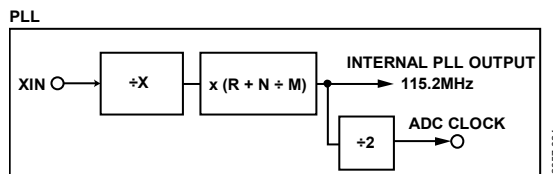


図 36. PLL のブロック図

PLL は外部のループ・フィルタを必要とします。このフィルタは固定されています (図 37 参照)。温度に敏感なアプリケーションでは、ループ・フィルタのコンポーネントを適切に選ぶ必要があります。最適な温度性能を得るため、PLL ループ・フィルタ・キャパシタは NPO タイプとします。

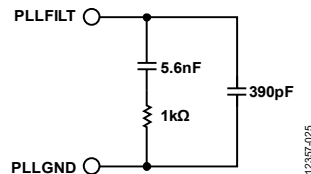


図 37. PLL ループ・フィルタ

基板上の他の信号源からのクロストークを防止するため、PLL ループ・フィルタは PLLFLT ピンの近くに配置します。また PLLVDD 電源が PLL とデカップリングされているよう留意してください。PLLVDD ピンの近くには、X7R MLCC またはそれ以上の 1nF の誘電 MLCC を、0.1μF および 10μF キャパシタと並列で追加することを推奨します。詳細については [PCB レイアウト時のガイドライン](#) のセクションを参照してください。

表 10 に PLL の設定に使用するレジスタを示します。

表 10. PLL 設定に使用するレジスタ

レジスタ	レジスタ名	概要
0x000	CLK_CTRL	PLL 出力を内蔵のマスタ・クロックに使用するか、あるいは PLL をバイパスします
0x001	PLL_DEN	フラクショナル・パート (M) の 16 ビット分母を設定します
0x002	PLL_NUM	フラクショナル・パート (N) の 16 ビット分子を設定します
0x003	PLL_CTRL	PLL モード、PLL イネーブル、4 ビット・インテジャー乗算器 (R)、および 4 ビット・インテジャー除算器 (X) を設定します
0x005	PLL_LOCK	PLL ロックのステータスをチェックします

PLL はインテジャーとフラクショナルのいずれのモードでも使用できます。

インテジャー・モード

インテジャー・モードは、以下の式に従い、入力クロックの周波数が PLL 出力周波数の整数倍であるときに使用します：

$$f_{PLL} = (R/X) \times f_{IN}$$

ここで $f_{PLL} = 115.2\text{MHz}$ です。

例えば $f_{IN} = 19.2\text{MHz}$ の場合、

$$(R/X) = f_{PLL} \text{ (PLL から必要な出力)} / f_{IN} = 6$$

したがって R と X は以下のとおり設定されます：R = 6、X = 1 (デフォルト)。

クロックを PLL 経由でルーティングするには、まずレジスタ 0x000 を 0x0001 に設定します。

インテジャー・モードでは N と M の値は無視されます。レジスタ 0x001 とレジスタ 0x002 はデフォルトのままにしてください。

表 11 にレジスタ 0x003 のビットの名称、機能、および必要な設定を示しています。

表 11. 抵抗 0x0003 に必要な書込み (インテジャー・モード)

ビット	ビット名	機能	必要な設定値
[15:11]	PLL_INTEGER_DIV	R 値を設定	00110
[7:4]	PLL_INPUT_PRESCALE	X 値を設定	0001
1	PLL_TYPE	PLL をインテジャー・モードに設定	0
0	PLL_EN	PLL を有効化	1

レジスタ 0x003 を 0011000000000001、すなわち 0x3011 に設定します。PLL のステータスを確認するにはレジスタ 0x005 を読み出します。

フラクショナル・モード

フラクショナル・モードは、XIN/MCLKIN での利用可能なクロック入力为目的の PLL 出力周波数の分数倍であるときに使用します。PLL 周波数は次式で表されます。

$$f_{PLL} = f_{IN} \times (R + (N/M)) / X$$

例えば XIN/MCLKIN = 16MHz なら、PLL からの出力は 115.2MHz となります。

R、N、および M の値は以下の式で求められます。

$$f_{PLL} = f_{IN} \times (R + (N/M)) / X$$

ここで：

$$f_{PLL} = 115.2\text{MHz}。$$

$$f_{IN} = 16\text{MHz}。$$

R、N、M、および X の値は以下の式で求められます。

$$(R + (N/M)) / X = 115.2\text{MHz} / 16\text{MHz} = 7.2 = 7 + (2/10)$$

したがって R、X、N、および M は以下のとおり定められます。

R = 7、X = 1 (デフォルト)、N = 2、M = 10。

クロックを PLL 経由でルーティングするには、まずレジスタ 0x000 を 0x0001 に設定します。フラクショナル・モードにおいて必要なレジスタ設定は表 12 を参照してください。

レジスタ 0x003 を 0011100000000001、すなわち 0x3813 に設定します。PLL のステータスを確認するにはレジスタ 0x005 を読みます。

PLL のロック状況取得

レジスタ 0x005 は PLL のステータスをチェックするための読出し専用レジスタです。PLL の設定を書き込んだ後は、PLL がロックされていることを確認するため PLL ロック・ステータス・ビットを読出すことを推奨します。PLL_LOCK ビットの値が「1」のときは PLL がロックされています。

表 12. フラクショナル・モードに必要なレジスタ書込み

レジスタ	ビット	ビット名	機能	必要な設定値
0x0001	[15:0]	PLL_DEN	M 値を設定	0000000000001010 (that is, 0x000A)
0x0002	[15:0]	PLL_NUM	N 値を設定	0000000000000010 (that is, 0x0002)
0x0003	[15:11]	PLL_INTEGER_DIV	R 値を設定	00111
	[7:4]	PLL_INPUT_PRESCALE	X 値を設定	0001
	1	PLL_TYPE	PLL をフラクショナル・モードに設定	1
	0	PLL_EN	PLL を有効化	1

GPIO

ADAR7251にはピン28とピン29の2つのGPIOがあります。これらのピンは2つの機能を持っています。すなわちPPIモードではADCのデータ出力ピン、シリアル・モードではGPIOとして機能します。これらのピンは入力と出力のいずれにも設定でき、またSPI制御インターフェースを通じてリードバックやプログラミングができます。レジスタ0x250とレジスタ0x251はそれぞれGPIO1とGPIO2の設定に使用します。これらのピンの代表的な用途には、ロジック信号のステータスのモニタリングや外部デバイスの制御があります。GPIOピンは低速のシリアル通信に使用します。GPIOピンの設定は、GPIO設定レジスタであるレジスタ0x250とレジスタ0x251に書き込むことによって行います。これらのレジスタではGPIOピンは多目的(MPx)ピンとして参照されることに留意してください。各GPIOピンにはそれぞれに関連付けられたビットがGPIO設定レジスタ内に存在し、ピンのステータス、GPIOが入力と出力のいずれで使われるか、およびバウンス防止期間を定義しています。レジスタ0x260はGPIO1にレジスタ0x261はGPIO2に1または0を出力するため使用できます。レジスタ0x270とレジスタ0x271はそれぞれ、GPIO1とGPIO2からの読み出し値を供給します。

ADCのデータ・ポート

ADAR7251のデジタル・インターフェース・ポートは、システム内でADCのデータにアクセスし、またDSPやマイクロコントローラに接続するための、複数の選択肢を提供します。このデジタル・インターフェース・ポートはシリアル・モードとパラレル・モードのいずれにも設定可能です。

このデータシートの以降の記述では、多機能ピンに関連するテキストと図は該当する機能に即して示されていることにご留意ください。

ADCのシリアル・モード

ADCのシリアル・ポートは、変換開始ピン(CONV_START)、フレーム同期ピン(FS_ADC/ADC_DOUT7)、ビット・クロック・ピン(SCLK_ADC)、および2系統のデータ出力ピン(ADC_DOUT0とADC_DOUT1)を使用します。システム内で必要ない場合はCONV_STARTは無効に設定できます。このシリアル・ポートはマスタとスレーブのいずれのモードにも設定可能です。ADCからの出力データは2の補数、16ビットのバイナリです。フレーム同期とビット・クロック・ピンの方向はモードの設定により変わります。マスタ・モードではADAR7251がこれらの信号を生成しますが、スレーブ・モードでは外部のDSPからこれらの信号が供給されます。ADC_DOUT0ピンとADC_DOUT1ピンは、マスタかスレーブのいずれのモードにおいても常に出力に設定されています。データのフォーマットはMSBファーストに固定されています。シリアル・ポートへの電力はIOVDDx電源から供給されます。クロックとデータ出力でのジッタを防止するため、このピンでは必ず高周波ノイズをデカップリングしてください。100nF MLCCをIOVDDxに可能な限り近くなるよう接続し、DGNDxピンと基板のグランド・プレーンに直接接続することを推奨します。

ビット・クロック・レートは40MHzの範囲にあるため、基板上でのパターンには十分な注意が必要です。ビット・クロックとデータ・ピン(ADC_DOUTx)は、伝送経路に配慮した上で配線パターンを作成する必要があります。クロックが複数のデバイスに接続されている場合、反射を減らすためスタブを適切に終端する必要があります。これらのピンについてはマイクロストリップまたはストリップラインのパターンを推奨します。レ

ジスタ0x0280～レジスタ0x292を使い、デジタル出力ピンの駆動強度を高めめます。ADAR7251は4つのADCから構成されています。データはADC_DOUT0とADC_DOUT1ピンの2つのペアから得られます。すなわち、2チャンネル・モードではADC_DOUT0のチャンネル1とチャンネル2、およびADC_DOUT1のチャンネル3とチャンネル4です。それぞれのチャンネルは16ビットを使用するため、2つのチャンネルでは32ビットが必要です。ADCのサンプル・レートはフレーム同期信号(FS_ADC)により設定されます。したがってサンプル・レートが1.2MHzの場合の代表的なビット・クロック・レートは以下のとおりとなります。

$$32 \times 1.2\text{MHz} = 38.4\text{MHz}$$

ADCのシリアル・マスタ・モード

マスタ・モードでは、ADCはビット・クロック(SCLK_ADC)信号とフレーム同期(FS_ADC)信号を生成します。シリアル・モードでのサンプル・レートは最大1.2MHzに制限されています。シリアル・データには、ADC_DOUT0およびADC_DOUT1の2つのピンが用意されています。デフォルトではそれぞれのピンで2チャンネルの出力を行います。これに加え、4つのチャンネルはすべてひとつのデータ・ピンADC_DOUT0から出力可能です。ビット・クロック・レートはサンプル・レート、およびデータ・ピンあたり使用されるチャンネルの数に依存します。利用可能な選択肢は表13を参照してください。図38にADCをシリアル・マスタ・モードに設定した場合の代表的な接続図を示します。

表 13. ADCシリアル・モードで選択可能なビット・クロック・レート・オプション

Number of Channels per ADC_DOUT0/ADC_DOUT1 Pin	FS_ADC (MHz)	SCLK_ADC (MHz)
2	0.3	9.6
4	0.3	19.2
2	0.45	14.4
4	0.45	28.8
2	0.6	19.2
4	0.6	38.4
2	0.9	28.8
4	0.9	57.6
2	1.2	38.4
4	1.2	Not applicable
2	1.8	57.6 ¹
4	1.8	Not applicable

¹ マスタ・モードでのみサポート。

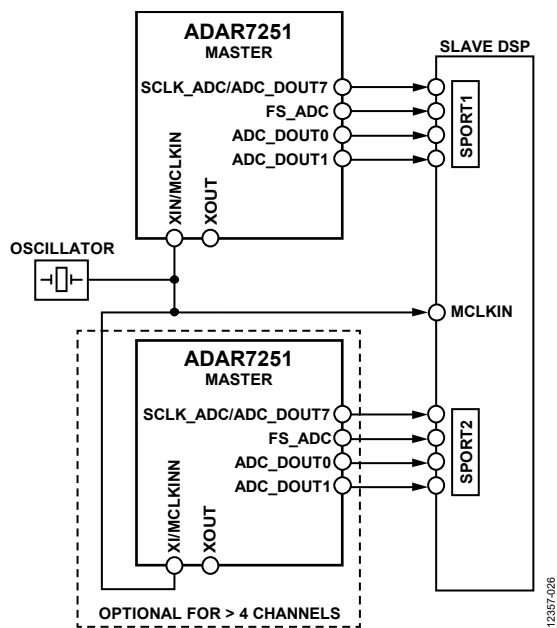


図 38. ADC シリアル・マスタ・モードの代表的な接続図

図 41 と図 42 は、 $\overline{\text{CONV_START}}$ 信号を使用しない場合のシリアル・モードでの波形を示しています。

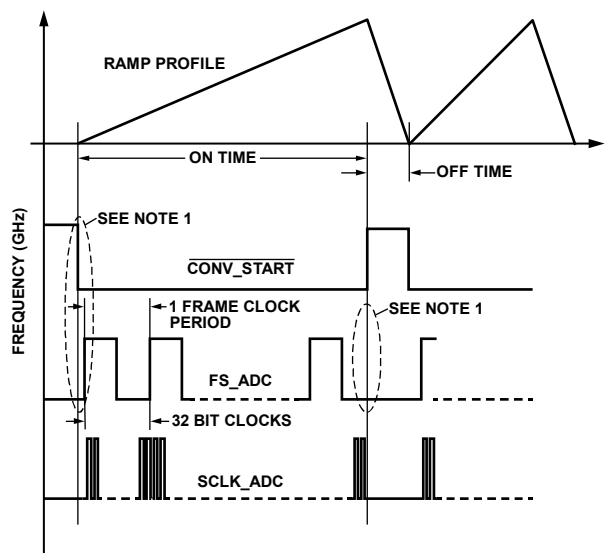
CONV_STARTを使用する ADC シリアル・マスタ・モード

ADC は ADC の変換データを FMCW システムに使用される外部ランプ信号と同期させるため $\overline{\text{CONV_START}}$ 信号を供給します。 $\overline{\text{CONV_START}}$ 信号の有効/無効を設定するには CS_OVERRIDE ビット (レジスタ 0x1C2、ビット 1) を使用します。このビットはデフォルトでは無効に設定されています。 CS_OVERRIDE ビットが ADC シリアル・マスタ・モードで有効に設定されている場合、シリアル・ポートは外部の DSP または MCU システムからの $\overline{\text{CONV_START}}$ 信号を待ちます。 $\overline{\text{CONV_START}}$ 信号はシステム内でのランプ信号開始を示すために使用されます。 $\overline{\text{CONV_START}}$ 信号はアクティブ・ローであり、IOVDDx に外付けプルアップ抵抗が必要です。 $\overline{\text{CONV_START}}$ 信号がハイのとき ADC は内部で動作し続けますが、シリアル・ポートからのデータとクロックの出力は行われません。したがってこの信号がロジック・ハイのとき外部 DSP へのデータ出力は行われません。 $\overline{\text{CONV_START}}$ 信号がランプ信号の開始を示すローとなった場合、シリアル・ポートはクロックとデータの出力を開始します。外部 DSP はフレーム同期とシリアル・クロックに基づき、ADC 上のデータを取得することができます。このデータは外部のランプ信号と同期しています。

ADC シリアル・マスタ・モードを $\overline{\text{CONV_START}}$ と共に使用する場合の注意事項を以下に示します。

- 最初のサンプル・データは不完全なことがあるため無視する必要があります。これは $\overline{\text{CONV_START}}$ 信号は ADC の内部クロックとは同期しておらず、内部のフレーム同期信号の途中からデータを要請する可能性があるためです。
- 内蔵デジタル・フィルタとシリアル・ポート・ロックとの同期には、レジスタ 0x30E のデジタル・フィルタ同期イネ

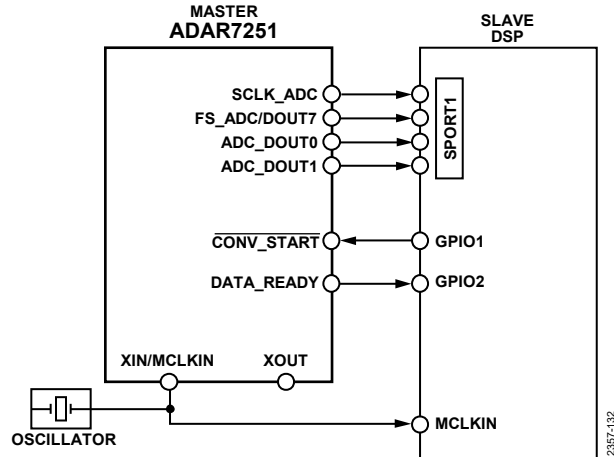
ーブル・ビットが使用されます。このビットはデフォルトで有効に設定されているため、デジタル・フィルタはシリアル・ポート・クロックと同期しようとしています。シリアル・マスタ・モードでは、レジスタ 0x30E に 0x0000 と書き込んでこのビットを無効にする必要があります。この作業は重要なステップです。デジタル・フィルタは既に内蔵シリアル・ポート・クロックに同期されており、 $\overline{\text{CONV_START}}$ 信号による外部からの非同期的な要求に対応して再度同期する必要はないためです。波形は図 39 を参照してください。



NOTES

1. IGNORE FIRST AND LAST SAMPLES BECAUSE $\overline{\text{CONV_START}}$ IS NOT SYNCHRONOUS TO INTERNAL ADC CLOCK.

図 39. $\overline{\text{CONV_START}}$ を使用する ADC シリアル・マスタ・モードの代表的なタイミング波形

図 40. $\overline{\text{CONV_START}}$ を使用する ADC シリアル・マスタ・モード

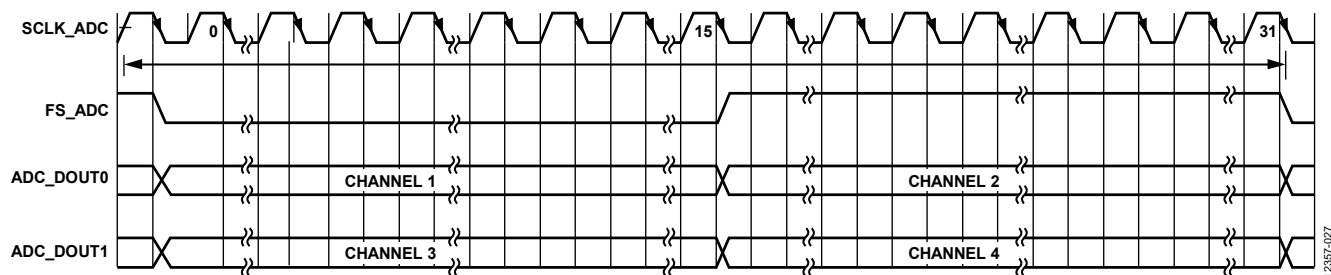


図 41. ADC_DOUTx ピンあたり 2 チャンネルのシリアル・モード

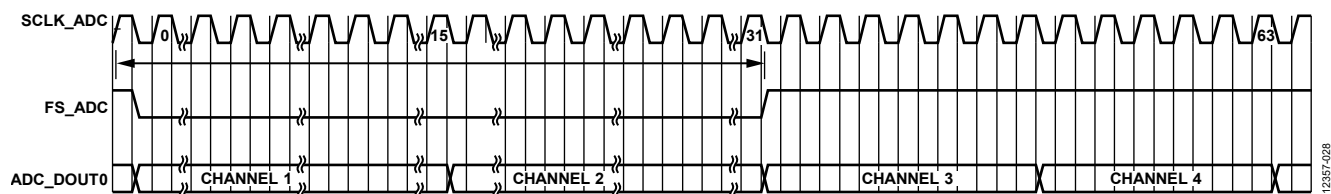


図 42. ADC_DOUTx ピンあたり 4 チャンネルのシリアル・モード

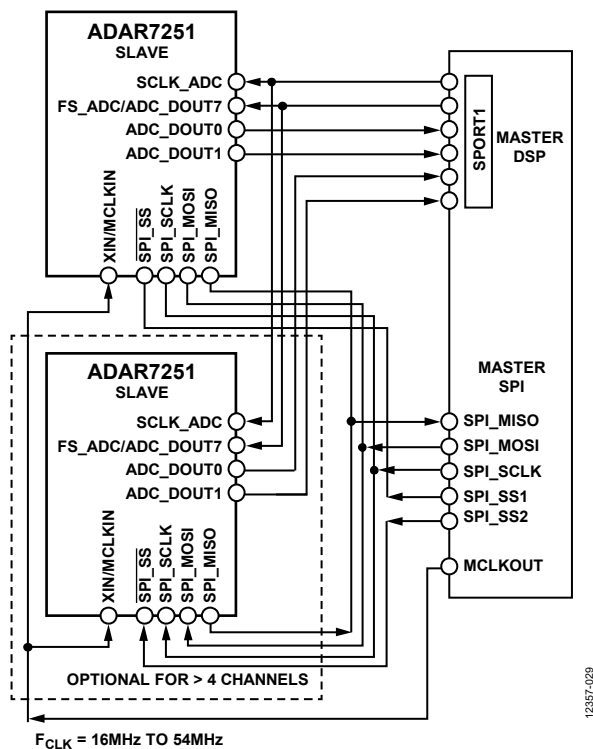


図 43. ADC シリアル・スレーブ・モードの代表的な接続図

ADC シリアル・スレーブ

図 43 に ADC をシリアル・スレーブ・モードに設定した場合の代表的な接続図を示します。このモードではフレーム同期ピンとビット・クロック・ピンの方向が変わります。いずれのピンも入力であり、外部 DSP からのビット・クロックとフレーム同期信号を供給する必要があります。ADC_DOUT0 と ADC_DOUT1 ピンは常に出力として使用されます。データ・フォーマットは MSB ファーストに固定されています。ADC にはポート同期のため、DSP からのマスタ・クロックを供給する必要があります。

ADC PPI (バイト・ワイド・モード)

ADC PPI モードはパラレル・バイト・ワイド・モードであり、このモードではデバイスが常にマスタとなります。このモードでは ADC はビット・クロックとデータを出力します。変換開始信号 (CONV_START) を選択した場合には ADC のポートにこ

の信号を供給します。これにより変換プロセスが開始されます。ADC は変換データの準備を終えたのち、DSP にデータ・レディ・ステータスを伝えるため DATA_READY ピンをハイに設定します。ADC は次にビット・クロック SCLK_ADC を供給します。データはビット・クロックの立上がりエッジで得られます。このモードでサポートされる最大サンプル・レートは 3.6MHz です。このデータは ADC_DOUT0 から ADC_DOUT7 までのピンを通じて一度に 1 バイトずつ取得できます。ADC のデータは 2 の補数、16 ビット・バイナリですが、16 ビットのデータは上位バイトと下位バイトの 2 つのバイト (それぞれ 8 ビット幅) に分割されます。上位バイトが先に出力され、下位バイトがそれに続きます。ビット・クロック (SCLK_ADC) のレートはサンプル・レートの設定に依存します。利用可能な選択肢は表 14 を参照してください。PPI モードでは FS_ADC 出力は利用できないことに注意してください。このモードは DSP のポートが 38.4MHz のデータ・レートに対応できない場合に役立つことがあります。

このデータ・レートはシリアル・ポートのデータ・レートを下回りますが、データに使用するピンはより多くなります。

表 14. ADC PPI バイト・ワイド・モードで選択可能なビット・クロック・レート

Number of Channels	FS_ADC (MHz)	SCLK_ADC (MHz)	Data Output Pins
2	1.2	4.8	ADC_DOUT0 through ADC_DOUT7
4	1.2	9.6	ADC_DOUT0 through ADC_DOUT7
2	1.8	7.2	ADC_DOUT0 through ADC_DOUT7
4	1.8	14.4	ADC_DOUT0 through ADC_DOUT7

他にサポートされているサンプル・レートは 300kHz、600kHz、900kHz、2.4MHz、および 3.6MHz です。サポートされている最高のシリアル・クロックは 57.6MHz です。ただしサンプル・レートが 1.2MHz を超えると ADC の分解能が低下します。最高サンプル・レートの 3.6MHz では ADC の分解能は 11 ビットに制限されます。

図 44 に PPI マスタ・モードでの ADC の代表的な接続図を示します。

図 45 と図 46 では PPI 2 チャンネルと PPI 4 チャンネルでの波形を示しています。

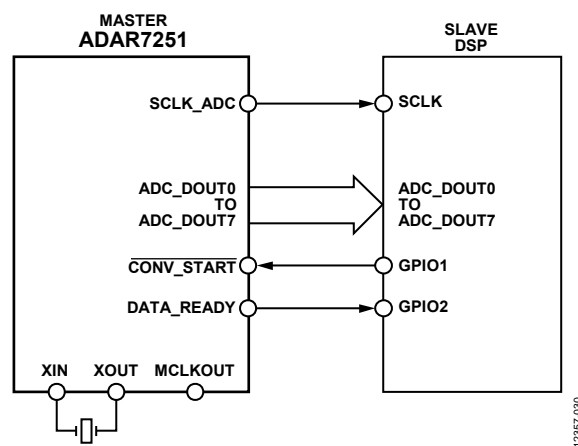


図 44. ADC PPI マスタ・モードの代表的な接続図

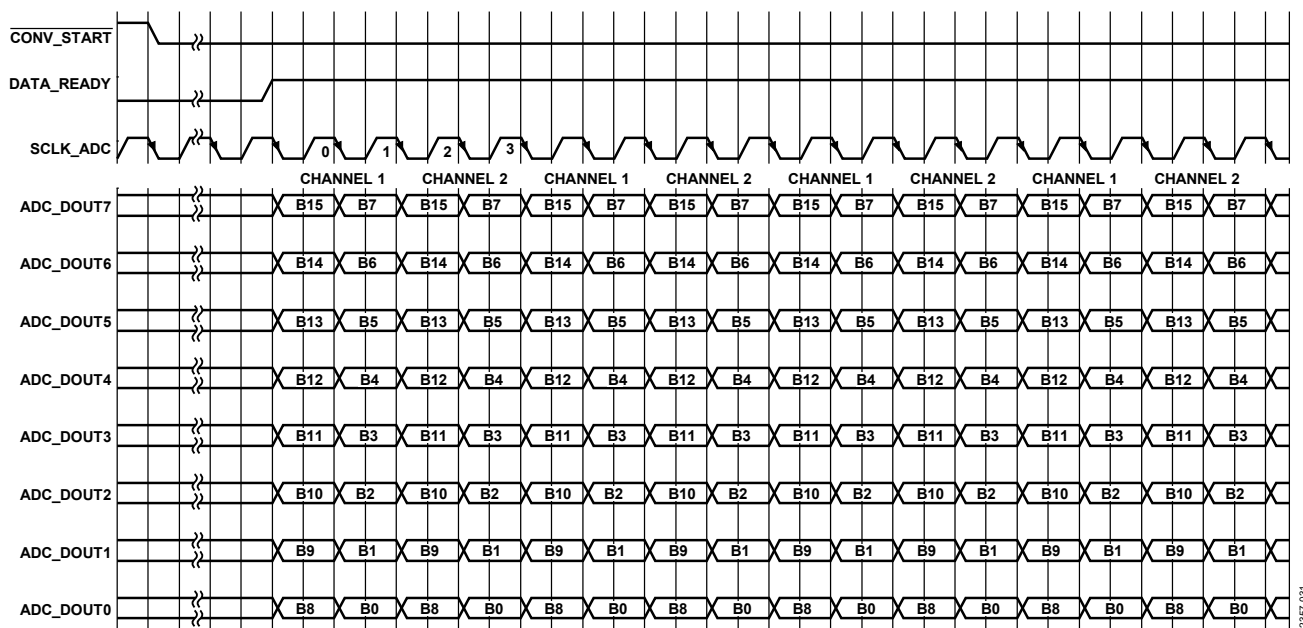


図 45. PPI、2 チャンネル

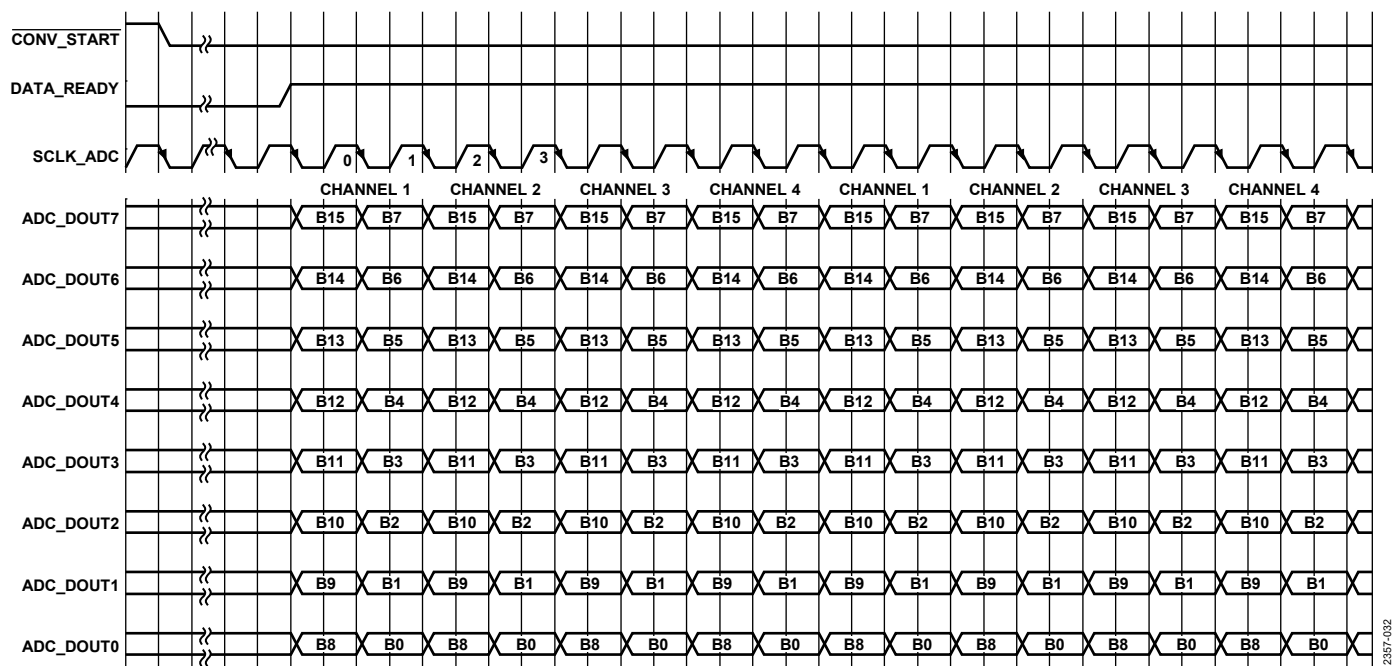


図 46. PPI、4 チャンネル

表 15. ADC PPI ニブル・ワイド・モードで選択可能なビット・クロック・レート

Number of Channels	FS_ADC (MHz)	SCLK_ADC (MHz)	Data Output Pins
2	1.2	9.6	ADC_DOUT0 through ADC_DOUT3
4	1.2	19.2	
2	1.8	14.4	
4	1.8	28.8	

ADC PPI ニブル・ワイド・モード

ADC PPI ニブル・ワイド・モードとバイト・ワイド・モードとの違いは、前者ではデータがニブル（一度に 4 ビット）で伝送されるのに対し、後者ではバイト・ワイド（一度に 8 ビット）として伝送されることです。マスタ・モードでは ADC はビット・クロックとデータを出力します。ADC のポートに変換開始信号（CONV_START）を送信すると変換プロセスが開始されます。ADC は変換データの準備を終えたのち、DSP にそのことを伝えるため DATA_READY ピンをハイに設定します。ADC は次にビット・クロック SCLK_ADC を供給します。データはビット・クロックの立上がりエッジで得られます。このモードでサポートされる最大サンプル・レートは 3.6MHz です。このデータは ADC_DOUT0 から ADC_DOUT3 までのピンを通じて一度に 1 ニブルずつ取得できます。16 ビットのデータはそれぞれ 4 ビット幅の 4 つのニブルに分割されます。上位ニブルが先に出力され、下位ニブルがそれに続きます。ビット・クロック（SCLK）のレートはサンプル・レートの設定に依存します。利用可能な選択肢は表 15 をご参照ください。このモードは DSP が 8 ビット幅のデータ・ポートをサポートできない場合に役立つことがあります。データ・レートは PPI バイト・ワイド・モードの 2 倍ですが、4 本のピンが使用せずに済みます。

DAQ モード

DAQ モードは特に FSK レーダー・アプリケーションを対象として設計されています。このモードでは ADC は FSK のクロックに

同期します。シリアルと PPI モードのいずれもサポートされますが、マスタ・モードに限定されます。ADC シリアル・マスタ・モード（図 48 参照）と PPI マスタ・モード（図 44 参照）の代表的な接続が有効です。DAQ シリアル・モードでは SCLK_ADC は 38.4MHz に固定されますが、PPI モードではクロック・レートの調整が可能です。

図 50 にデータ・ラインあたり 2 チャンネルの場合の、DAQ シリアル・モードの代表的な動作シーケンスを示します。

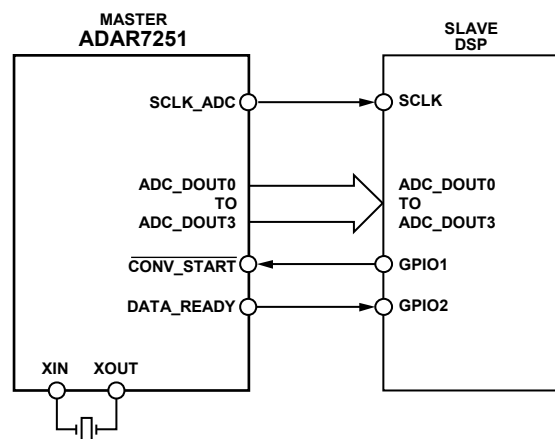


図 47. PPI ニブル・ワイド・モードの代表的な接続図

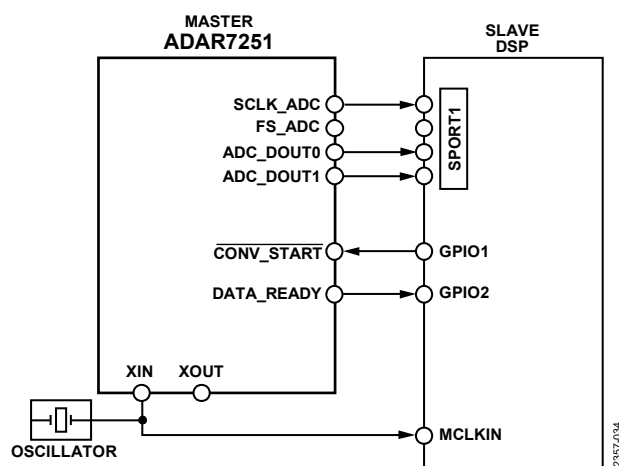


図 48. DAQ シリアル・マスタ・モードの代表的な接続図

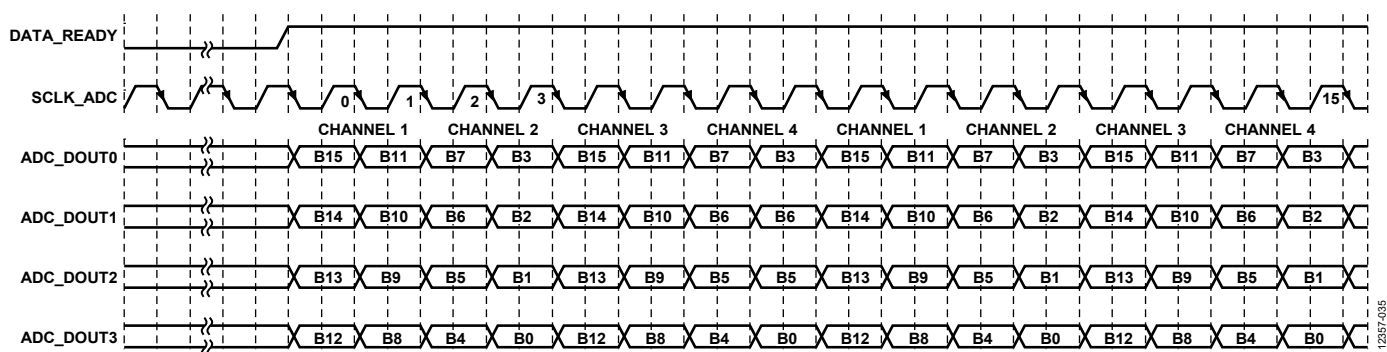


図 49. PPI、4 チャンネル・ニブル・ワイド・モード

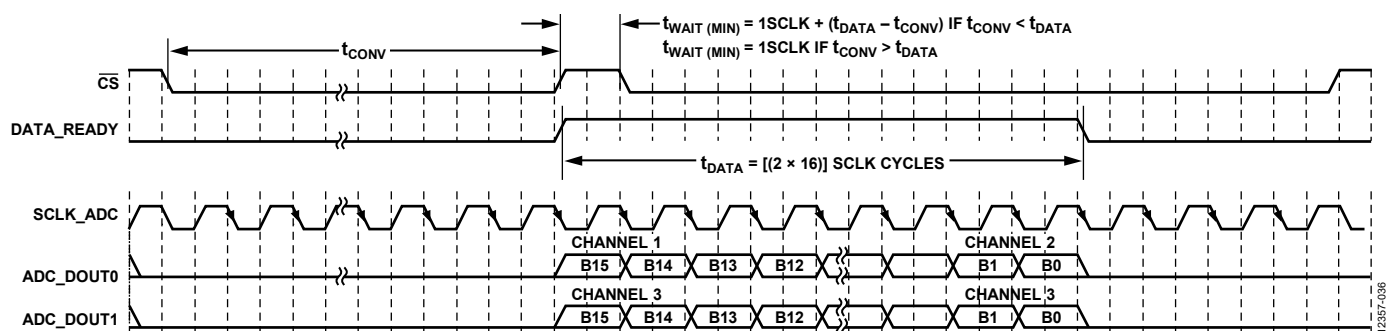


図 50. DAQ シリアル・マスタ、ピンあたり 2 チャンネル

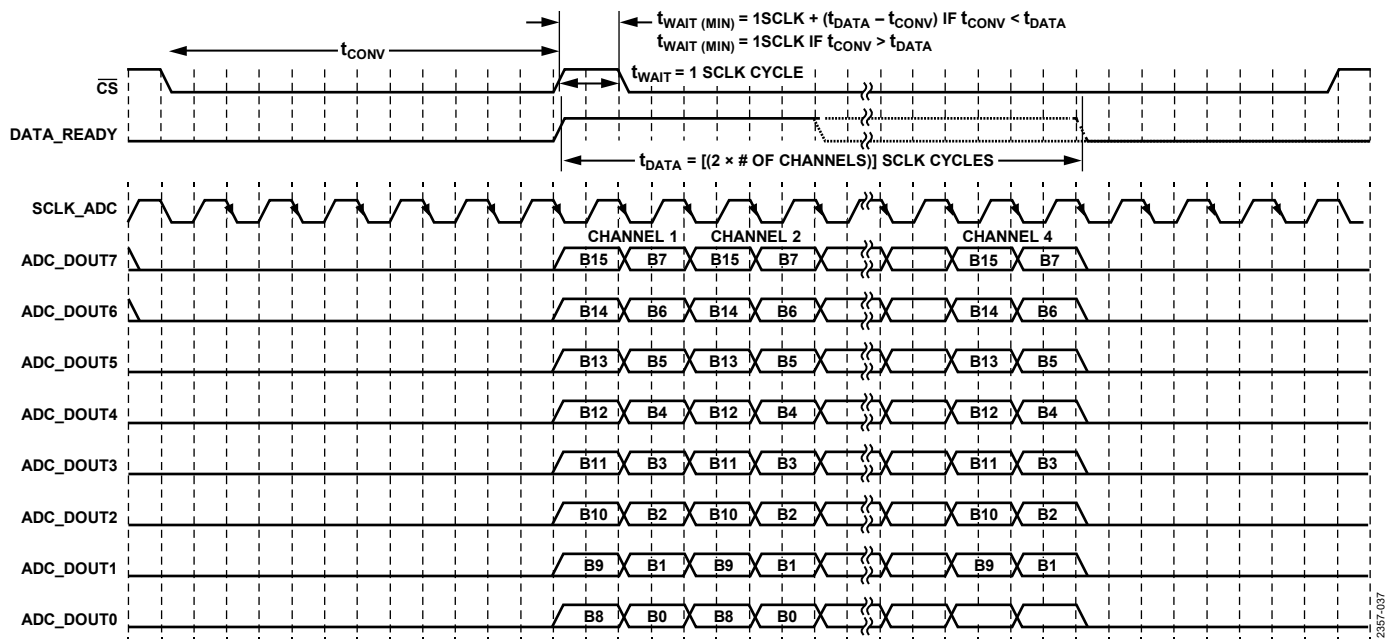


図 51. DAQ PPI マスタ・モード

CONV_START信号がハイからローに切り替わると変換プロセスが開始されます。ADCの信号はDATA_READY信号をハイに設定します。データは次のクロック・サイクルで得られます。シリアル・モードではピンあたり2チャンネルが、PPIモードではピンあたり2または4チャンネルがサポートされます。データに必要な合計時間 (t_{DATA}) は SCLK 周波数により決まります。この値はシリアル・モードでは一般的に 32 ビット・クロック・サイクル、PPIモードでは (チャンネル数の2倍) のビット・クロック・サイクルです。最大のデータ・レートは2チャンネル、PPI、16 サイクル・アキュイジション・モードの 57.6MHz です。DAQシリアル・モードの最大データ・レートは38.4MHzでこれは固定されています。DAQモードでのADCのサンプル・レートは CONV_START信号の周波数によって決まります。DAQモードでのサンプリング周波数は以下のように計算されます

$$f_{S\ DAQ\ MODE} = 1/(t_{CONV} + t_{WAIT})$$

ここで

$t_{DATA} < t_{CONV}$.

t_{CONV} は変換に必要な時間、

t_{WAIT} は次の変換が開始されるまでに必要な待ち時間、

t_{DATA} は ADC_DOUTx ピン上でデータが得られる時間です。

表 16 に DAQ モードでサポートされるモードと代表的なアキュイジション時間を示します。

表 16. DAQ モードでのアキュイジション時間

Acquisition Cycles	t_{CONV} (μs)
16	1.2
24	1.8
32	2.4

4つを超えるチャンネルを持つシステムのための複数の ADAR7251 デバイス使用

ADAR7251 のシリアル・ポートは、4つを超えるチャンネルを必要とするアプリケーションにも対応できるよう柔軟に設計されています。代表的な接続図を図 52 に示しています。

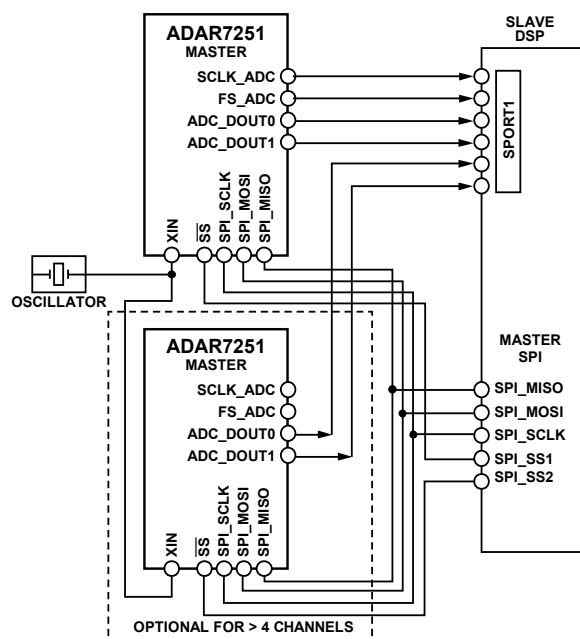


図 52. 8 チャンネルのシステムに複数の ADAR7251 デバイスを接続

両方のデバイスの PLL を同期するため、複数の ADAR7251 デバイスをひとつの SPI マスタとクロック発振器を使用して設定できます。システムが正しく動作するよう、どちらの ADC も同一の基板上に、互いに数インチ以内に配置することを推奨します。どちらのデバイスもマスタとして動作しますが、スレーブである DSP へのビット・クロックとフレーム同期信号の供給はひとつの ADAR7251 からのみ行われます。この接続方法では DSP 上の追加のシリアル・ポート (SPORT) を使用せずに済む場合があります。これは両方の PLL がひとつのマスタ・クロックに同期されており、単一の SPI マスタを使用して同時に有効化され

るためです。SPI 書込みは両方のデバイスに対して同時に行う必要があります。このためには両方のデバイスの $\overline{\text{SPI_SS}}$ ピンを同時に選択する必要があります。ただし SPI 読出しはそれぞれのデバイスごとに独立して行うことができます。

SPI 制御ポート

ADAR7251 の制御ポートは 4 線式 SPI を使用します。この SPI ポートは ADAR7251 の内蔵レジスタを設定します。SPI はレジスタの読出しと書込み機能を使用できます。すべてのレジスタは 16 ビット幅です。SPI 制御ポートはモード 11（クロック極性 = 1、およびクロック・フェーズ = 1）、スレーブ・オンリー・モードをサポートしているため、動作にはシステム内にマスタ・クロックなしでは行えません。制御ポートのスピードを最大限に発揮するため、最初に PLL を設定することを推奨します。このポートの電力は IOVDDx から供給され、制御信号は IOVDDx の制限値内にあることが必要です。このシリアル制御インターフェースは、GPIO や補助 ADC など、ADAR7251 の補助機能の制御にも使用できます。

表 17 に SPI モードでの制御ポートの機能を示します。

表 17. 制御ポートのピン機能

ピン番号	記号	ピン機能	ピン・タイプ
32	ADDR15	SPI のためのデバイス・アドレスを設定	Input
38	SPI_MISO	ADAR7251 からの SPI ポート出力データ	Output
39	SPI_MOSI	ADAR7251 への SPI ポート入力データ	Input
40	SPI_CLK	ADAR7251 への SPI クロック	Input
41	$\overline{\text{SPI_SS}}$	ADAR7251 への SPI スレーブ・セレクト	Input

SPI ポートは $\overline{\text{SPI_SS}}$ 、SPI_CLK、SPI_MOSI、および SPI_MISO から構成された、4 線式インターフェースを使用します。SPI ポートは常にスレーブ・ポートです。 $\overline{\text{SPI_SS}}$ （スレーブ・セレクト）はデバイスを選択します。SPI_CLK はデバイスへのシリアル・クロック入力で、すべてのデータ転送（SPI_MOSI と SPI_MISO の両方）はこのクロック信号に基づいて行われます。SPI_MOSI ピンはオンチップのレジスタをアドレス指定し、そのレジスタにデータを転送します。SPI_MISO ピンはオンチップのレジスタからのデータを出力します。

トランザクションの最初には $\overline{\text{SPI_SS}}$ がローに、最後にはハイになります。SPI_CLK 信号は SPI_CLK のローからハイへの遷移時に SPI_MOSI のサンプリングを行うため、デバイスに書き込まれるデータはこのエッジを通じて安定している必要があります。SPI_CLK の立下がりエッジでは SPI_MISO からシフト・アウトするため、SPI_CLK の立上がりエッジにおいてマイクロコントローラなどの受信側デバイスとクロックを合わせる必要があります。SPI_MOSI 信号は ADAR7251 へのシリアル入力データを担い、SPI_MISO 信号は ADAR7251 からのシリアル出力データを担います。SPI_MISO 信号は読出し動作が要求されるまでトライステートに維持されます。これにより、他の SPI 対応ペリフェラルの SPI_MISO ポートに直接接続し、同じシステム制御ポートを共有することができます。すべての SPI トランザクシ

ョンは表 19 に示す共通の基本フォーマットを使用します。図 2 に SPI ポートのタイミング図を示します。すべてのデータは MSB ファーストで書き込む必要があります。

デバイス・アドレス $\overline{\text{R/W}}$

SPI トランザクションの最初のバイトの LSB は $\overline{\text{R/W}}$ ビットです。このビットにより、通信が読出し（ロジック・レベル 1）か書込み（ロジック・レベル 0）かが決まります。このフォーマットを表 18 に示します。

表 18. SPI アドレスと $\overline{\text{R/W}}$ バイト・フォーマット

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	ADDR15	$\overline{\text{R/W}}$

ADDR15 ピン（ピン 32）はデバイスのアドレスを決定します。デバイスは電源投入時にこのピンのステータスを読出し、そのデバイス・アドレスを使用します。プルダウン抵抗をグラウンドに、またはプルアップ抵抗を IOVDDx ピンに使用してデバイス・アドレスを設定するには、 $47\text{k}\Omega$ の標準的な抵抗を使用する必要があります。ピン 32 は多機能であり、PPI モードでのデータ出力にも使用されます。デバイスが SPI 書込みと SPI 読出しのいずれに使用されるかは $\overline{\text{R/W}}$ ビットの設定により決定されます。 $\overline{\text{R/W}}$ ビットが「0」に設定されているときは SPI 書込みに、「1」に設定されているときは SPI 読出しに使用されます。

レジスタ・アドレス

レジスタ・アドレスは 16 ビット幅です。レジスタは 0x000 から開始されます。

データ・バイト

レジスタ・データ・フィールドは 16 ビット幅です。

CRC

ADAR7251 にはデバイスとの間の SPI 読出しと書込み、およびデータ通信エラー検出のため、16 ビットの巡回冗長検査（CRC）チェック機能が用意されています。CRC はデフォルトで有効に設定されていますが、不要な場合は無効に設定することもできます。

CRC を無効化するにはレジスタ 0xFD00 に 0x0001 と書き込みます。この SPI 書込みにより CRC 機能が無効化されます。CRC が無効の場合、SPI 読出しと書込みは従来通り行われます。

表 19 に CRC なしの代表的なシングル読出し／書込みのバイト・シーケンスを示します。このシーケンスは一般に 40 クロック・サイクルまたは 5 バイトを必要とします。代表的な 5 バイト・シーケンスはデバイス・アドレスのためのバイト 0 と $\overline{\text{R/W}}$ から構成されます。次の 2 つのバイトであるバイト 1 とバイト 2 にはレジスタのアドレスが含まれ、レジスタとのデータのやり取りを担うバイト 3 とバイト 4 がそれに続きます。

レジスタへのシングル・ワード SPI 書込み動作のタイミング図の例を図 53 に示します。図 54 はシングル・ワード SPI 読出しを示しています。読出し動作においては、SPI_MISO ピンはバイト 3 の最初に高インピーダンス（high-Z）から出力へと移行します。

図 55 と図 56 に複数バイトの SPI 読出しと書込みの代表的シーケンスを示します。

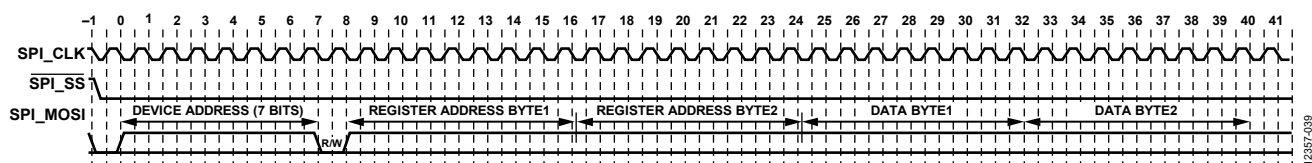


図 53. ADAR7251 クロッキングへの SPI 書込み（シングル・ワード書込みモード）、CRC なし

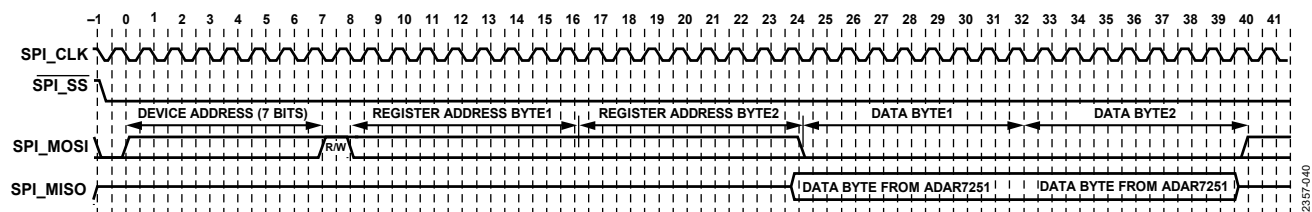


図 54. ADAR7251 クロッキングからの SPI 読出し（シングル・ワード読出しモード）、CRC なし

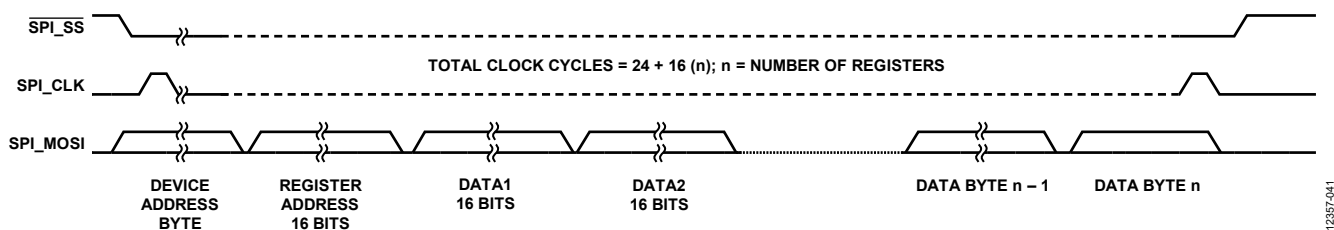


図 55. ADAR7251 への SPI 書込み（複数バイト）、CRC なし

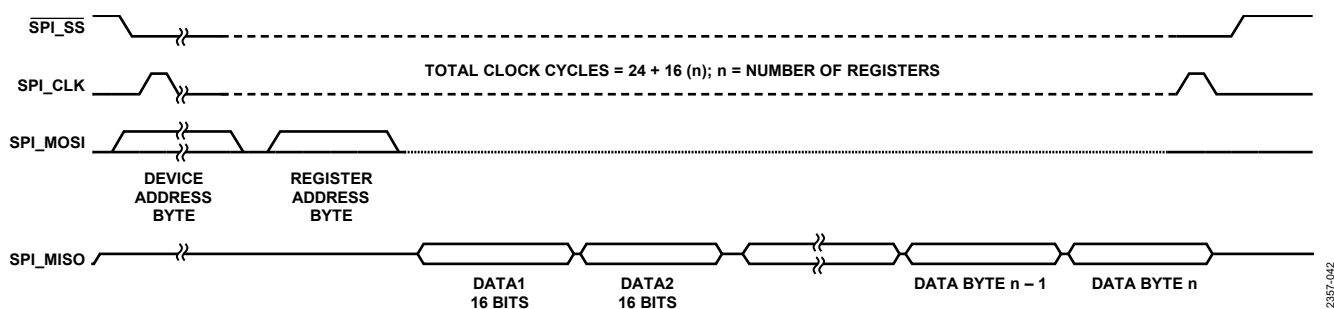


図 56. ADAR7251 からの SPI 読出し（複数バイト）、CRC なし

表 19. シングル SPI の書込みまたは読出しフォーマット

Operation	Byte 0	Byte 1	Byte 2	Byte 3	Byte 4
Write	Device Address[6:0], R/W = 0	Register Address[15:8]	Register Address[7:0]	Data[15:8]	Data[7:0]
Read	Device Address[6:0], R/W = 1	Register Address[15:8]	Register Address[7:0]	Data[15:8]	Data[7:0]

表 20. レジスタへのシングル・ワード書込み、CRC あり

Device Address	Register Address	Register Data	CRC
1 byte 00	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹

¹ X は、ドント・ケアを意味します。

CRC が有効な場合、SPI 書込みの中にレジスタ・バイトとデータ・バイトに続けて 16 ビット CRC を含める必要があります。有効な CRC ビットを含まない SPI 書込みは無視されます。シングルおよび複数レジスタに対する CRC ありの SPI 書込みは以下のとおりです：

1. CRC はデバイス・アドレス・バイトを除くデータから計算されます。
2. 使用される CRC 多項式は $(x^{16} + x^{15} + x^{12} + x^7 + x^6 + x^4 + x^3 + 1)$ で、これは xC86Ch です。
3. 計算された 2 つの 16 ビット CRC バイトは、レジスタ・アドレス・バイトおよびデータ・バイトと共に SPI 書込みに添付する必要があります。

SPI 読出しは 8 バイトに制限されています（表 22 参照）。

CRC を実現するには 3 つのレジスタを同時に読み出す必要があります。デバイス・アドレスはこの 8 バイトからは除外されます。8 バイト（レジスタ・アドレス 2 バイト+レジスタ・データ 6 バイト）に続く最後の 2 つのバイトは CRC です。

SPI 書込みに無効な CRC が含まれていた場合、直近の SPI トランザクションから予想される CRC 値がレジスタ 0x084 とレジスタ 0x085 に保存されます。レジスタ 0x084 には下位バイト、レジスタ 0x085 には上位バイトが保存されます。下位と上位のバイトを合わせたものが SPI 書込みシーケンスの 16 ビット CRC 値を構成します。

レジスタ 0x086 はレジスタ・マップ全体の CRC 計算を有効にします。この設定はデフォルトで有効になります。レジスタ 0x087 には CRC 計算ステータスを示すフラグが保存されます。値が「1」のときは CRC 計算の準備ができていることを示します。

またレジスタ・マップ全体の CRC 値はレジスタ 0x088 とレジスタ 0x089 に保存されます。レジスタ 0x088 には下位バイト、レジスタ 0x089 には上位バイトが保存されます。

レジスタ 0x084、レジスタ 0x085、レジスタ 0x087、レジスタ 0x088、およびレジスタ 0x089 は読出し専用です。

図 57 と図 58 に CRC を使用する場合の SPI 読出しと書込み動作を示します。

表 21. CRC を使用する複数レジスタ書込み

Device Address	Register Address	Register Data	Register Data	Register Data	CRC
1 byte 00	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹

¹ X は、ドント・ケアを意味します。

表 22. CRC を使用するレジスタ読出し

Device Address	Register Address	Register Data	Register Data	Register Data	CRC
1 byte 01	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹	2 bytes XXXX ¹

¹ X は、ドント・ケアを意味します。

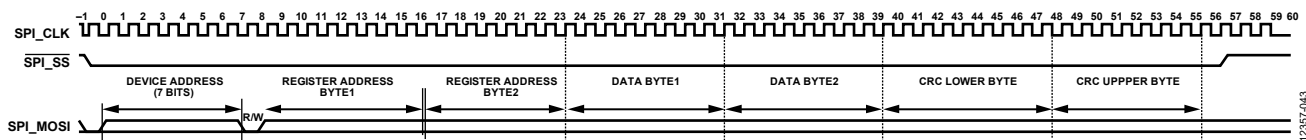


図 57. SPI への CRC を使用するシングル・ワード書込み

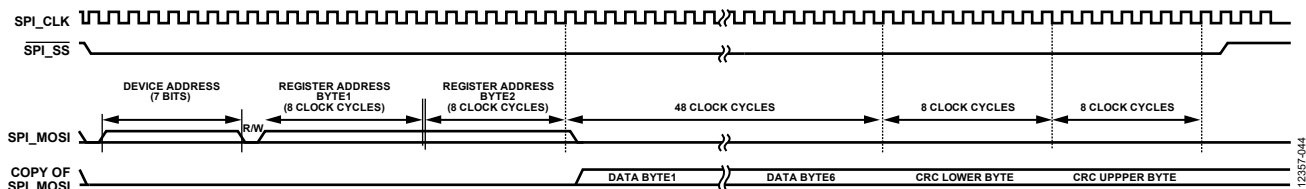


図 58. CRC 付き SPI 読出し

PCB レイアウト時のガイドライン

プリント回路基板（PCB）のレイアウトは重要な考慮事項であり、またデカップリング・キャパシタの配置も同じく重要です。図 59 にいくつかのデカップリング・キャパシタの配置を示しています。AVDDx、DVDDx、IOVDDx、CM、BIASP、BIASN、REGOUT_DIGITAL、および PLLFILT のデカップリング・キャパシタはデバイスの近くに配置する必要があります。1nF MLCC と 100nF MLCC はデバイスと同一レイヤ上のそれぞれのピン近くに配置します。10μF バルク・キャパシタはこれよりはピンから遠い場所に配置することができます。デバイス底面にある露出パッドは、PCB のグラウンド・プレーンにサーマル・ビアと共にハンダ付けする必要があります。サーマル・パッドの推奨フ

ットプリントは <http://www.analog.com/jp/content/package-information/fca.html> を参照してください。一般に推奨される基板スタック構成は 4 レイヤで、最上位と最下位のレイヤは信号、2 番目のレイヤはグラウンド・プレーン、3 番目のレイヤはパワー・プレーンに使用します。EMI と熱性能を最大限に確保するため、グラウンド・プレーンは破損なく連続していることを確認してください。基板レイアウトにおいては、信号の完全性を維持するため、SCLK_ADC 信号と ADC_DOUTx 信号を伝送ラインとして使用してください。

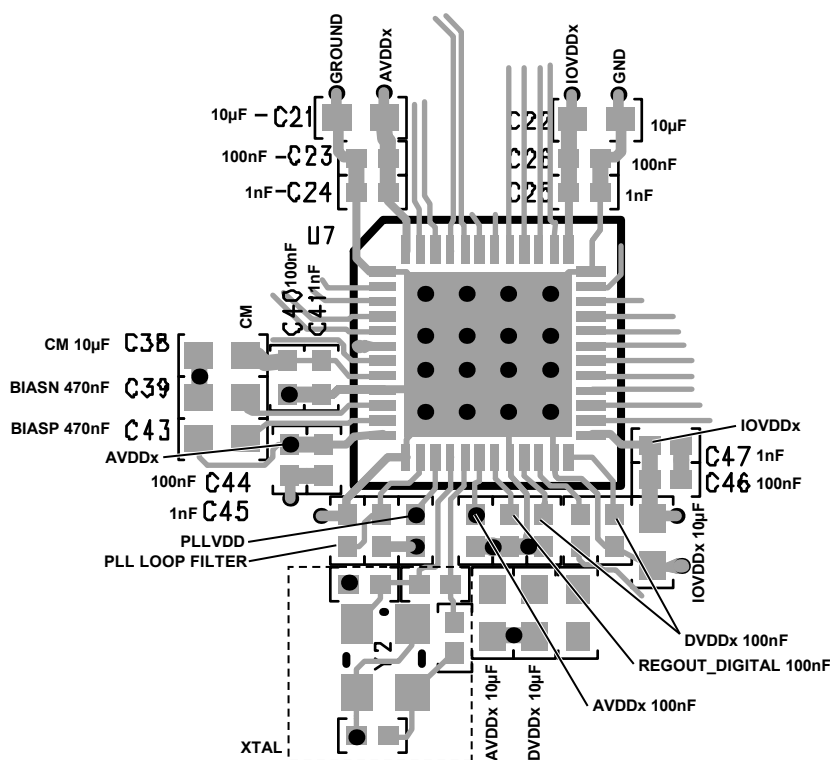


図 59. 推奨 PCB レイアウト

レジスタの一覧

表 23. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bits	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	CLK_CTRL	[15:8]	RESERVED[15:8]										0x0001	RW
		[7:0]	RESERVED[7:0]								PLL_BYPASS			
0x001	PLL_DEN	[15:8]	PLL_DEN[15:8]										0x0000	RW
		[7:0]	PLL_DEN[7:0]											
0x002	PLL_NUM	[15:8]	PLL_NUM[15:8]										0x0000	RW
		[7:0]	PLL_NUM[7:0]											
0x003	PLL_CTRL	[15:8]	PLL_INTEGER_DIV					RESERVED[2:0]					0x0000	RW
		[7:0]	PLL_INPUT_PRESCALE				RESERVED	RESERVED	PLL_TYPE	PLL_EN				
0x005	PLL_LOCK	[15:8]	RESERVED[15:8]										0x0000	R
		[7:0]	RESERVED[7:0]								PLL_LOCK			
0x040	MASTER_ENABLE	[15:8]	RESERVED[14:7]										0x0000	RW
		[7:0]	RESERVED[6:0]								MASTER_EN			
0x041	ADC_ENABLE	[15:8]	RESERVED										0x00FF	RW
		[7:0]	LN_PG4_EN	LN_PG3_EN	LN_PG2_EN	LN_PG1_EN	ADC4_EN	ADC3_EN	ADC2_EN	ADC1_EN				
0x042	POWER_ENABLE	[15:8]	RESERVED							CLOCK_LOSS_EN	RESERVED	0x03FF	RW	
		[7:0]	FLASH_LDO_EN	LDO_EN	AUXADC_EN	MP_EN	DIN_EN	POUT_EN	SOUT_EN	CLKGEN_EN				
0x080	ASIL_CLEAR	[15:8]	RESERVED[14:7]										0x0000	RW
		[7:0]	RESERVED[6:0]								ASIL_CLEAR			
0x081	ASIL_MASK	[15:8]	RESERVED[9:2]										0x0000	RW
		[7:0]	RESERVED[1:0]		CLK_LOSS_MASK	BRN_GOOD_MASK	BRP_GOOD_MASK	VR_GOOD_MASK	OVERTEMP_MASK	CRC_MASK				
0x082	ASIL_FLAG	[15:8]	RESERVED[14:7]										0x0000	R
		[7:0]	RESERVED[6:0]								ASIL_FLAG			
0x083	ASIL_ERROR	[15:8]	RESERVED[9:2]										0x0000	R
		[7:0]	RESERVED[1:0]		CLK_LOSS_ERROR	BRN_ERROR	BRP_ERROR	VR_GOOD_ERROR	OVERTEMP_ERROR	CRC_ERROR				
0x084	CRC_VALUE_L	[15:8]	RESERVED[7:0]										0x0000	R
		[7:0]	CRC_VALUE_L											
0x085	CRC_VALUE_H	[15:8]	RESERVED[7:0]										0x0000	R
		[7:0]	CRC_VALUE_H											
0x086	RM_CRC_ENABLE	[15:8]	RESERVED[14:7]										0x0000	RW
		[7:0]	RESERVED[6:0]								RM_CRC_ENABLE			
0x087	RM_CRC_DONE	[15:8]	RESERVED[14:7]										0x0000	R
		[7:0]	RESERVED[6:0]								RM_CRC_DONE			
0x088	RM_CRC_VALUE_L	[15:8]	RESERVED[7:0]										0x0000	R
		[7:0]	RM_CRC_VALUE_L											
0x089	RM_CRC_VALUE_H	[15:8]	RESERVED[7:0]										0x0000	R
		[7:0]	RM_CRC_VALUE_H											
0x100	LNA_GAIN	[15:8]	RESERVED										0x0000	RW
		[7:0]	LNA4_GAIN		LNA3_GAIN		LNA2_GAIN		LNA1_GAIN					
0x101	PGA_GAIN	[15:8]	RESERVED										0x0000	RW
		[7:0]	PGA4_GAIN		PGA3_GAIN		PGA2_GAIN		PGA1_GAIN					
0x102	ADC_ROUTING1_4	[15:8]	RESERVED	ADC4_SRC			RESERVED	ADC3_SRC			0x2222	RW		
		[7:0]	RESERVED	ADC2_SRC			RESERVED	ADC1_SRC						
0x140	DECIM_RATE	[15:8]	RESERVED[12:5]										0x0003	RW
		[7:0]	RESERVED[4:0]					DECIM_RATE						
0x141	HIGH_PASS	[15:8]	RESERVED[8:1]										0x0018	RW
		[7:0]	RESERVED[0]	PHASE_EQ	HP_SHIFT					ENABLE_HP				

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x143	ACK_MODE	[15:8]	RESERVED[9:2]									0x0000	RW
		[7:0]	RESERVED[1:0]		ACK_CYCLES		ACK_OUT_RATE			ACK_MODE			
0x144	TRUNCATE_MODE	[15:8]	RESERVED[13:6]									0x0002	RW
		[7:0]	RESERVED[5:0]						TRUNC_MODE				
0x1C0	SERIAL_MODE	[15:8]	RESERVED									0x0000	RW
		[7:0]	RESERVED	CLK_SRC	LRCLK_MODE	LRCLK_POL	BCLK_POL	DATA_FMT	TDM_MODE				
0x1C1	PARALLEL_MODE	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]						PAR_NIBBLE	PAR_ENDIAN	PAR_CHANNELS		
0x1C2	OUTPUT_MODE	[15:8]	RESERVED[13:6]									0x0000	RW
		[7:0]	RESERVED[5:0]						CS_OVERRIDE	OUTPUT_MODE			
0x200	ADC_READ0	[15:8]	RESERVED[5:0]						ADC_VALUE[9:8]			0x0000	R
		[7:0]	ADC_VALUE[7:0]										
0x201	ADC_READ1	[15:8]	RESERVED[5:0]						ADC_VALUE[9:8]			0x0000	R
		[7:0]	ADC_VALUE[7:0]										
0x210	ADC_SPEED	[15:8]	RESERVED[13:6]									0x0000	RW
		[7:0]	RESERVED[5:0]						ADC_SPEED				
0x211	ADC_MODE	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]						AUX_INPUT_SEL		AUX_ADC_MODE		
0x250	MP0_MODE	[15:8]	RESERVED[8:1]									0x0000	RW
		[7:0]	RESERVED[0]		DEBOUNCE_VALUE				MP_MODE				
0x251	MP1_MODE	[15:8]	RESERVED[8:1]									0x0000	RW
		[7:0]	RESERVED[0]		DEBOUNCE_VALUE				MP_MODE				
0x260	MP0_WRITE	[15:8]	RESERVED[14:7]									0x0000	RW
		[7:0]	RESERVED[6:0]							MP_REG_WRITE			
0x261	MP1_WRITE	[15:8]	RESERVED[14:7]									0x0000	RW
		[7:0]	RESERVED[6:0]							MP_REG_WRITE			
0x270	MP0_READ	[15:8]	RESERVED[14:7]									0x0000	R
		[7:0]	RESERVED[6:0]							MP_REG_READ			
0x271	MP1_READ	[15:8]	RESERVED[14:7]									0x0000	R
		[7:0]	RESERVED[6:0]							MP_REG_READ			
0x280	SPI_CLK_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					SPI_CLK_PULL		SPI_CLK_DRIVE			
0x281	MISO_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					MISO_PULL		MISO_DRIVE			
0x282	SS_PIN	[15:8]	RESERVED[12:5]									0x0004	RW
		[7:0]	RESERVED[4:0]					SS_PULL		SS_DRIVE			
0x283	MOSI_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					MOSI_PULL		MOSI_DRIVE			
0x284	ADDR15_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					ADDR15_PULL		ADDR15_DRIVE			
0x285	FAULT_PIN	[15:8]	RESERVED[12:5]									0x0004	RW
		[7:0]	RESERVED[4:0]					FAULT_PULL		FAULT_DRIVE			
0x286	FS_ADC_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					FS_ADC_PULL		FS_ADC_DRIVE			
0x287	CS_PIN	[15:8]	RESERVED[12:5]									0x0004	RW
		[7:0]	RESERVED[4:0]					CS_PULL		CS_DRIVE			
0x288	SCLK_ADC_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					SCLK_ADC_PULL		SCLK_ADC_DRIVE			
0x289	ADC_DOUT0_PIN	[15:8]	RESERVED[12:5]									0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL		ADC_DOUT_DRIVE			

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x28A	ADC_DOUT1_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL	ADC_DOUT_DRIVE			
0x28B	ADC_DOUT2_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL	ADC_DOUT_DRIVE			
0x28C	ADC_DOUT3_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL	ADC_DOUT_DRIVE			
0x28D	ADC_DOUT4_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL	ADC_DOUT_DRIVE			
0x28E	ADC_DOUT5_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					ADC_DOUT_PULL	ADC_DOUT_DRIVE			
0x291	DATA_READY_PIN	[15:8]	RESERVED[12:5]								0x0000	RW
		[7:0]	RESERVED[4:0]					DATA_READY_PULL	DATA_READY_DRIVE			
0x292	XTAL_CTRL	[15:8]	RESERVED[13:6]								0x0000	RW
		[7:0]	RESERVED[5:0]						XTAL_DRV	XTAL_ENB		
0x301	ADC_SETTIN_G1	[15:8]	RESERVED[15:10]						EQ_CAP_CTRL		0x0304	RW
		[7:0]	RESERVED[7:3]				PDETECT_EN	PERFOM_IMPROVE1	RESERVED			
0x308	ADC_SETTIN_G2	[15:8]	RESERVED[8:1]								0x0000	RW
		[7:0]	RESERVED[0]			PERFORM_IMPROVE2						
0x30A	ADC_SETTIN_G3	[15:8]	RESERVED[11:4]								0x0009	RW
		[7:0]	RESERVED[3:0]				PERFORM_IMPROVE5		RESERVED	PERFORM_IMPROVE4		
0x30E	DEJITTER_WINDOW	[15:8]	RESERVED[15:8]								0x0003	RW
		[7:0]	RESERVED[7:4]				DEJITTER					
0xFD00	CRC_EN	[15:8]	RESERVED[14:7]								0x0000	RW
		[7:0]	RESERVED[6:0]									

レジスタの詳細

クロック・コントロール・レジスタ

アドレス：0x000、リセット：0x0001、レジスタ名：CLK_CTRL

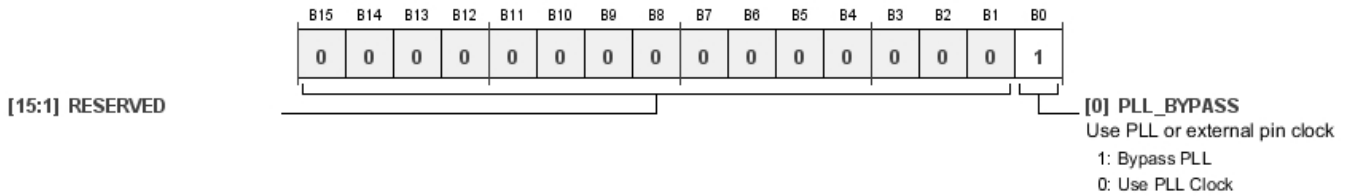


表 24. CLK_CTRL ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	PLL_BYPASS	1 0	PLL または外部ピン・クロックを使用。 PLL をバイパス。 PLL クロックを使用。	0x1	RW

PLL 分母レジスタ

アドレス：0x001、リセット：0x0000、レジスタ名：PLL_DEN

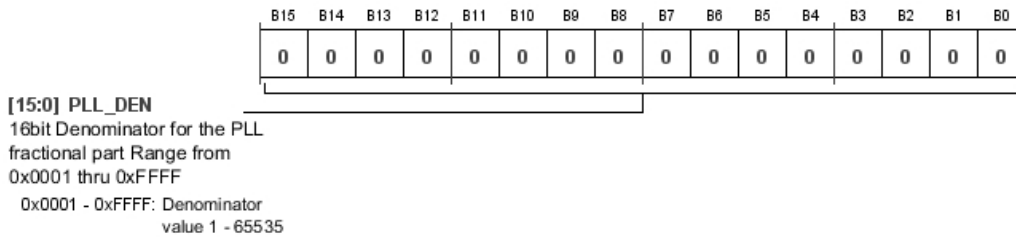


表 25. PLL_DEN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[15:0]	PLL_DEN	0x0001 to 0xFFFF	PLL のフラクショナル・パート範囲 0x0001～0xFFFF の 16 ビット分母。分母の値は 1 から 65,535 までです。	0x0	RW

PLL 分子レジスタ

アドレス：0x002、リセット：0x0000、レジスタ名：PLL_NUM

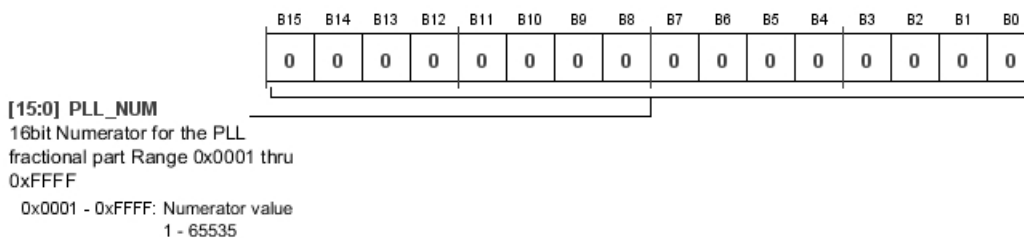


表 26. PLL_NUM ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[15:0]	PLL_NUM	0x0001 to 0xFFFF	PLL のフラクショナル・パート範囲 0x0001～0xFFFF までのための 16 ビット分子。分子の値は 1 から 65,535 までです。	0x0	RW

PLL 制御レジスタ

アドレス : 0x003、リセット : 0x0000、レジスタ名 : PLL_CTRL

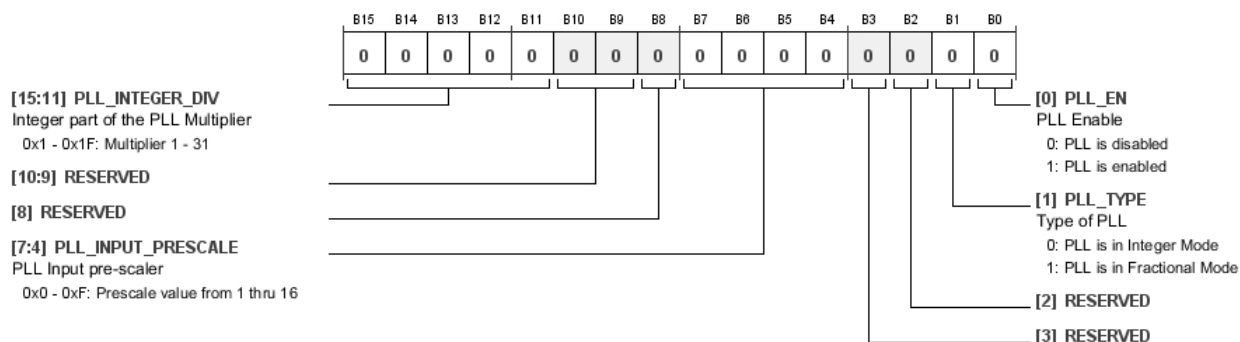


表 27. PLL_CTRL ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[15:11]	PLL_INTEGER_DIV	0x1 to 0x1F	PLL 乗算器の整数部分。 乗算器 1～31。	0x00	RW
[7:4]	PLL_INPUT_PRESCALE	0x0 to 0xF	PLL 入力プリスケラ。 1～16 のプリスケール値。	0x0	RW
1	PLL_TYPE	0 1	PLL の種類。 0 インテジャー・モードの PLL。 1 フラクショナル・モードの PLL。	0x0	RW
0	PLL_EN	0 1	PLL イネーブル。 0 PLL は無効。 1 PLL は有効。	0x0	RW

PLL ステータス・レジスタ

アドレス : 0x005、リセット : 0x0000、レジスタ名 : PLL_LOCK

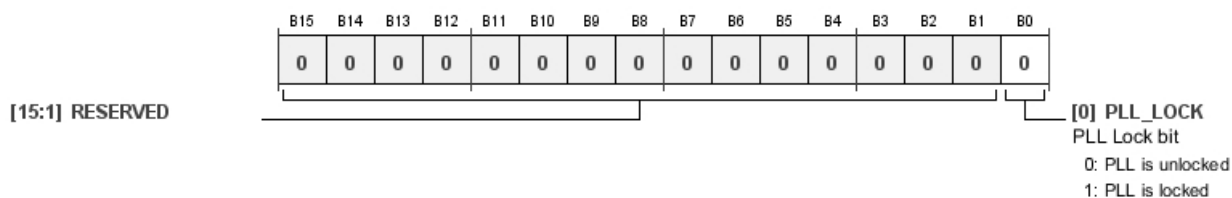


表 28. PLL_LOCK ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	PLL_LOCK	0 1	PLL ロック・ビット。 0 PLL はロックされていません。 1 PLL はロックされています。	0x0	R

マスタ・イネーブル・スイッチ・レジスタ

アドレス : 0x040、リセット : 0x0000、レジスタ名 : MASTER_ENABLE

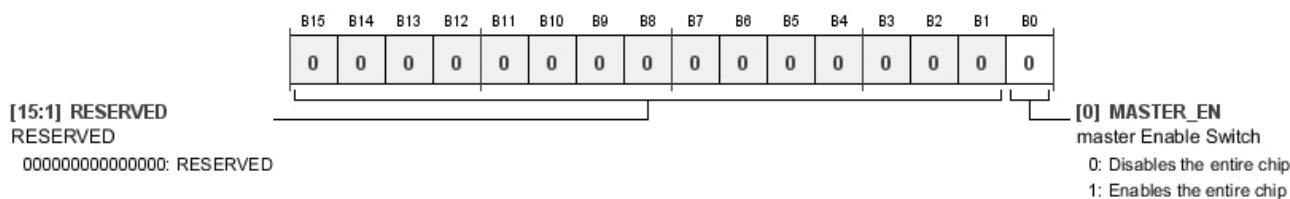


表 29. MASTER_ENABLE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	MASTER_EN	0 1	マスタ・イネーブル・スイッチ。 0 チップ全体が無効化されます。 1 チップ全体が有効化されます。	0x0	RW

ADC イネーブル・レジスタ

アドレス : 0x041、リセット : 0x00FF、レジスタ名 : ADC_ENABLE

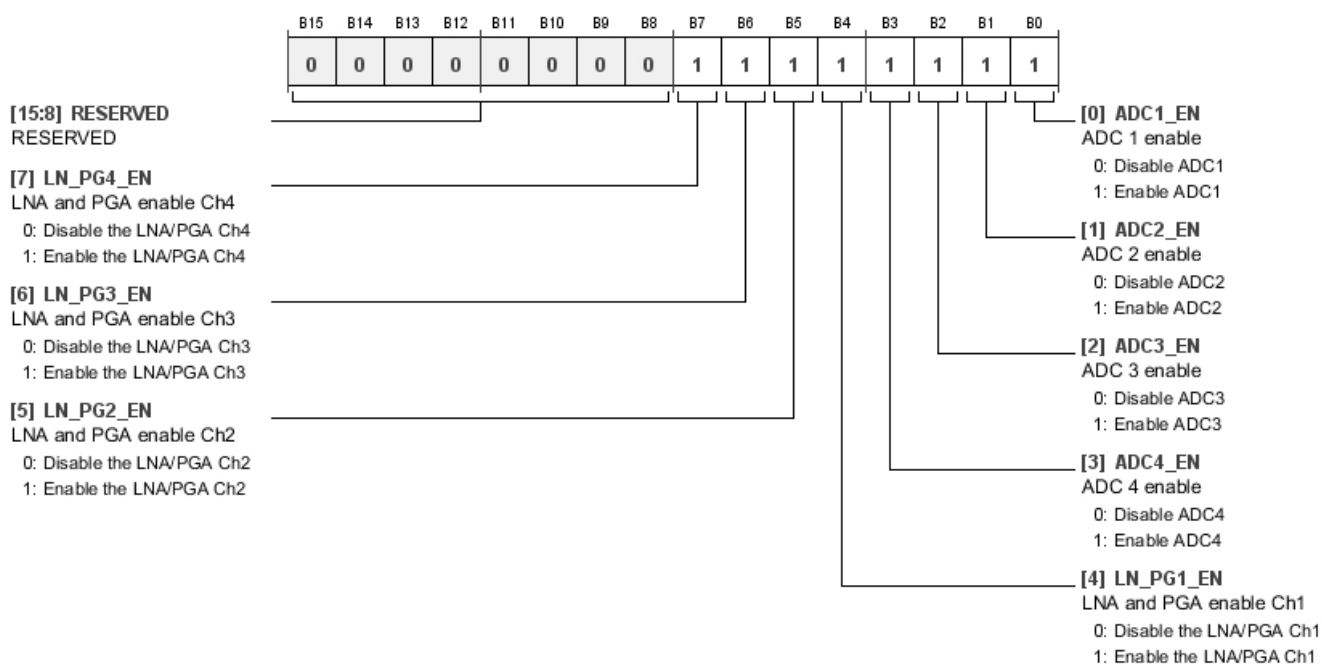


表 30. ADC_ENABLE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
7	LN_PG4_EN	0 1	LNA および PGA イネーブル・チャンネル 4。 0 LNA/PGA チャンネル 4 を無効化。 1 LNA/PGA チャンネル 4 を有効化。	0x1	RW
6	LN_PG3_EN	0 1	LNA および PGA イネーブル・チャンネル 3。 0 LNA/PGA チャンネル 3 を無効化。 1 LNA/PGA チャンネル 3 を有効化。	0x1	RW

ビット	ビット名	設定	概要	リセット	アクセス
5	LN_PG2_EN	0 1	LNA および PGA イネーブル・チャンネル 2。 LNA/PGA チャンネル 2 を無効化。 LNA/PGA チャンネル 2 を有効化。	0x1	RW
4	LN_PG1_EN	0 1	LNA および PGA イネーブル・チャンネル 1。 LNA/PGA チャンネル 1 を無効化。 LNA/PGA チャンネル 1 を有効化。	0x1	RW
3	ADC4_EN	0 1	ADC 4 イネーブル。 ADC 4 を無効化。 ADC 4 を有効化。	0x1	RW
2	ADC3_EN	0 1	ADC 3 イネーブル。 ADC 3 を無効化。 ADC 3 を有効化。	0x1	RW
1	ADC2_EN	0 1	ADC 2 イネーブル。 ADC 2 を無効化。 ADC 2 を有効化。	0x1	RW
0	ADC1_EN	0 1	ADC 1 イネーブル。 ADC 1 を無効化。 ADC 1 を有効化。	0x1	RW

パワー・イネーブル・レジスタ

アドレス：0x042、リセット：0x03FF、レジスタ名：POWER_ENABLE

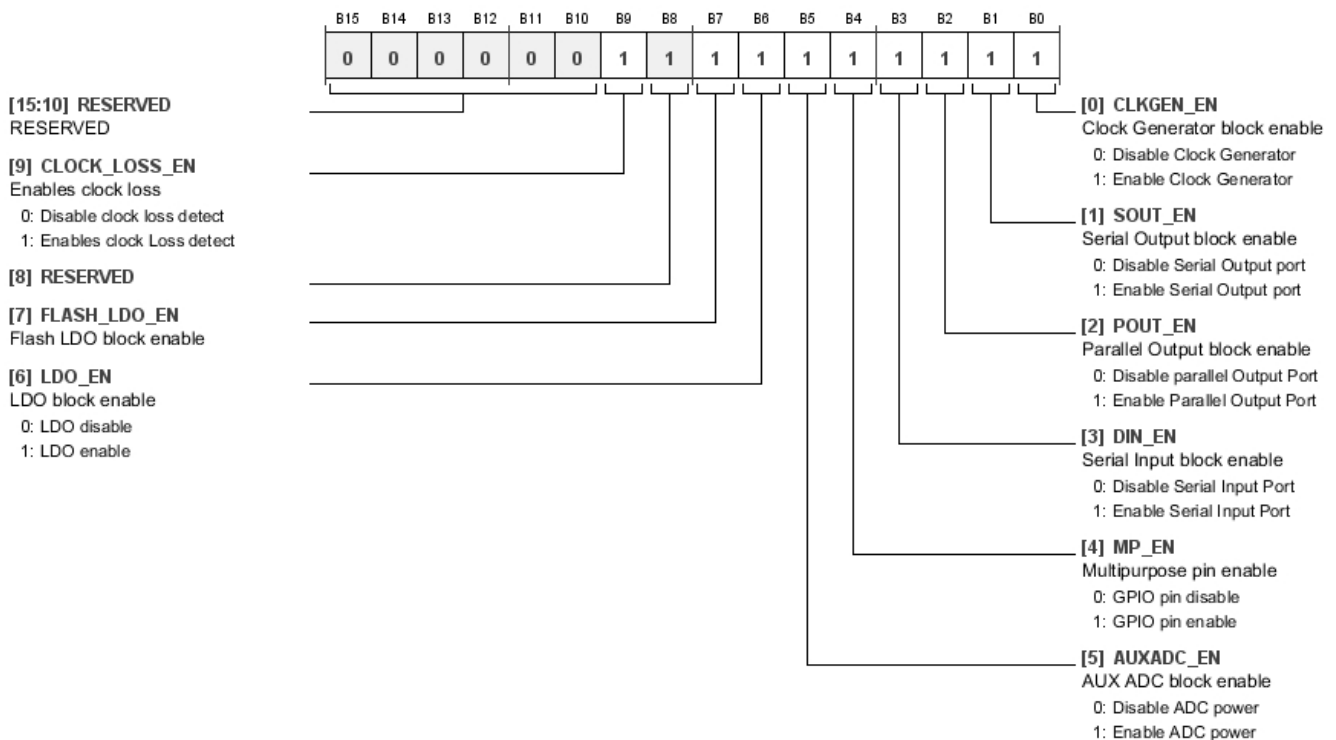


表 31. POWER_ENABLE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
9	CLOCK_LOSS_EN	0 1	クロック喪失を有効化します。 クロック喪失の検出を無効化します。 クロック喪失の検出を有効化します。	0x1	RW
7	FLASH_LDO_EN		フラッシュ LDO ブロック・イネーブル。	0x1	RW

ビット	ビット名	設定	概要	リセット	アクセス
6	LDO_EN	0 1	LDO ブロック・イネーブル。 LDO ブロック・ディスエーブル。 LDO イネーブル。	0x1	RW
5	AUXADC_EN	0 1	AUX ADC ブロック・イネーブル。 ADC 電源を無効化します。 ADC 電源を有効化します。	0x1	RW
4	MP_EN	0 1	多目的ピン・イネーブル。 GPIO ピン・ディスエーブル。 GPIO ピン・イネーブル。	0x1	RW
3	DIN_EN	0 1	シリアル入力ブロック・イネーブル。 シリアル入力ポートを無効化します。 シリアル入力ポートを有効化します。	0x1	RW
2	POUT_EN	0 1	パラレル出力ブロック・イネーブル。 パラレル出力ポートを無効化します。 パラレル出力ポートを有効化します。	0x1	RW
1	SOUT_EN	0 1	シリアル出力ブロック・イネーブル。 シリアル出力ポートを無効化します。 シリアル出力ポートを有効化します。	0x1	RW
0	CLKGEN_EN	0 1	クロック・ジェネレータ・ブロック・イネーブル。 クロック・ジェネレータを無効化します。 クロック・ジェネレータを有効化します。	0x1	RW

ASIL エラー・クリア・レジスタ

アドレス：0x080、リセット：0x0000、レジスタ名：ASIL_CLEAR

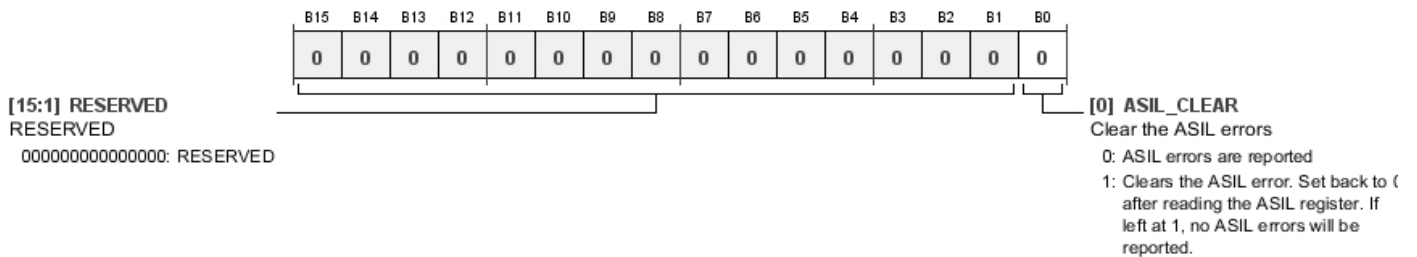


表 32. ASIL_CLEAR ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	ASIL_CLEAR	0 1	自動車安全水準（ASIL）エラーをクリアします。 ASIL エラーが報告されました。 ASIL エラーをクリアします。ASIL レジスタを読み出し後ゼロに戻します。「1」の状態のままでは ASIL エラーは報告されません。	0x0	RW

エラー・マスク選択レジスタ

アドレス : 0x081、リセット : 0x0000、レジスタ名 : ASIL_MASK

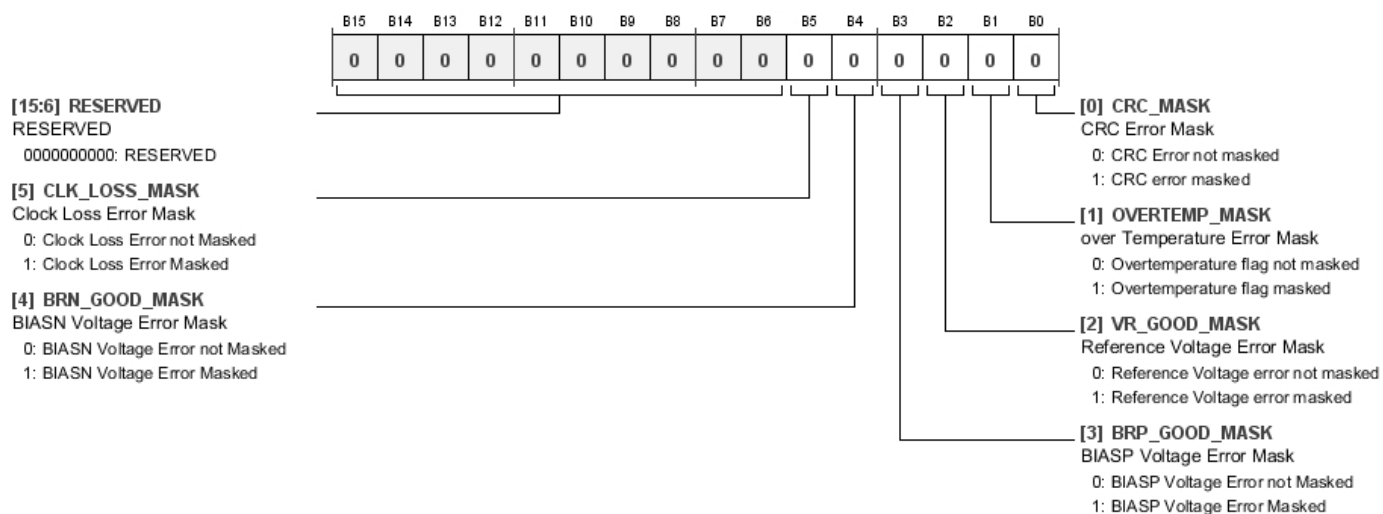


表 33. ASIL_MASK ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
5	CLK_LOSS_MASK	0 1	クロック喪失エラー・マスク。 クロック喪失エラー・マスクなし。 クロック喪失エラー・マスクあり。	0x0	RW
4	BRN_GOOD_MASK	0 1	BIASN 電圧エラー・マスク。 BIASN 電圧エラー・マスクなし。 BIASN 電圧エラー・マスクあり。	0x0	RW
3	BRP_GOOD_MASK	0 1	BIASP 電圧エラー・マスク。 BIASP 電圧エラー・マスクなし。 BIASP 電圧エラー・マスクあり。	0x0	RW
2	VR_GOOD_MASK	0 1	リファレンス電圧エラー・マスク。 ファレンス電圧エラー・マスクなし。 ファレンス電圧エラー・マスクあり。	0x0	RW
1	OVERTEMP_MASK	0 1	加熱エラー・マスク。 過熱エラー・マスクなし。 過熱エラー・マスクあり。	0x0	RW
0	CRC_MASK	0 1	CRC エラー・マスク。 CRC エラー・マスクなし。 CRC エラー・マスクあり。	0x0	RW

ASIL エラー・フラグ・レジスタ

アドレス : 0x082、リセット : 0x0000、レジスタ名 : ASIL_FLAG

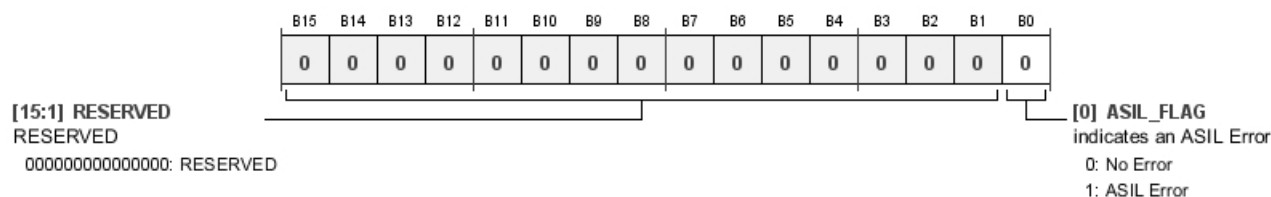


表 34. ASIL_FLAG ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	ASIL_FLAG	0 1	ASIL エラー発生を示します。 エラーなし。 ASIL エラー。	0x0	R

ASIL エラー・コード・レジスタ

アドレス : 0x083、リセット : 0x0000、レジスタ名 : ASIL_ERROR

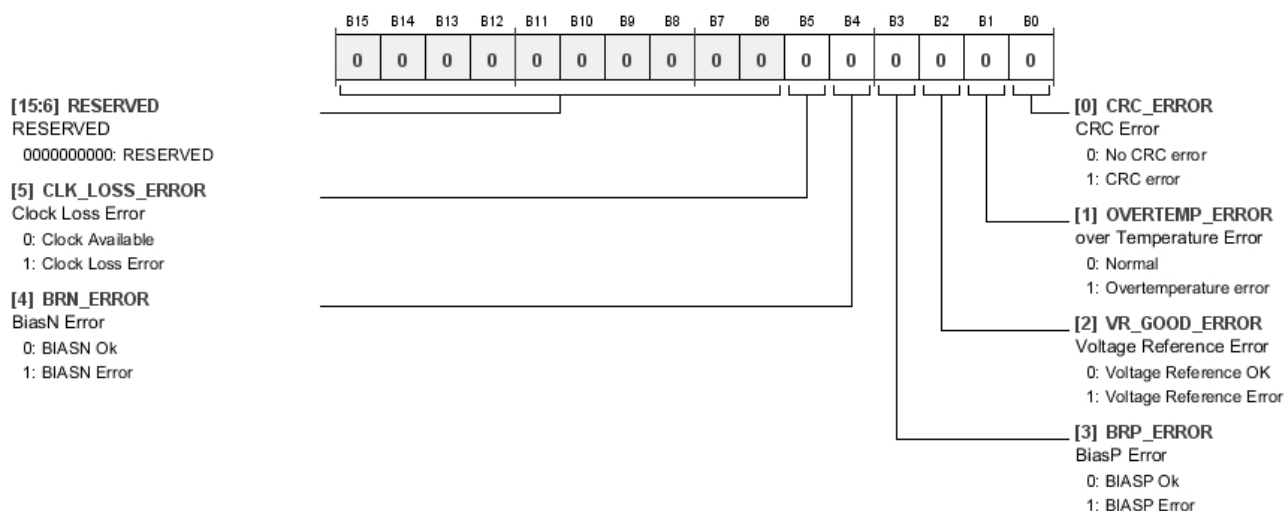


表 35. ASIL_ERROR ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
5	CLK_LOSS_ERROR	0 1	クロック喪失エラー。 クロックを利用できます。 クロック喪失エラー。	0x0	R
4	BRN_ERROR	0 1	BIASN エラー。 BIASN OK。 BIASN エラー。	0x0	R
3	BRP_ERROR	0 1	BIASP エラー。 BIASP OK。 BIASP エラー。	0x0	R
2	VR_GOOD_ERROR	0 1	電力リファレンス・エラー。 電力リファレンス OK。 電力リファレンス・エラー。	0x0	R

ビット	ビット名	設定	概要	リセット	アクセス
1	OVERTEMP_ERROR	0 1	過熱エラー。 ノーマル。 過熱エラー。	0x0	R
0	CRC_ERROR	0 1	CRC エラー。 CRC エラーなし。 CRC エラー。	0x0	R

CRC 値、ビット [7:0] レジスタ

アドレス : 0x084、リセット : 0x0000、レジスタ名 : CRC_VALUE_L

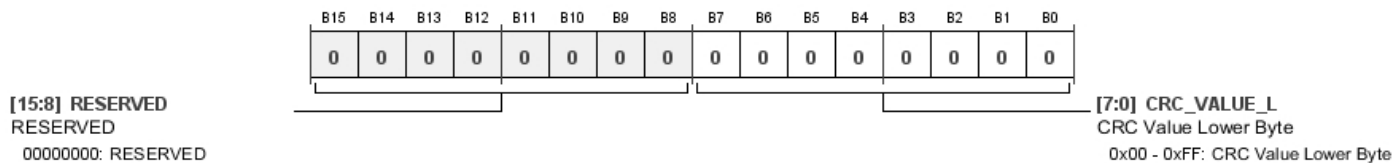


表 36. CRC_VALUE_L ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:0]	CRC_VALUE_L	0x00 to 0xFF	CRC 値の下位バイト。 CRC 値の下位バイト。	0x0	R

CRC 値レジスタ

アドレス : 0x085、リセット : 0x0000、レジスタ名 : CRC_VALUE_H

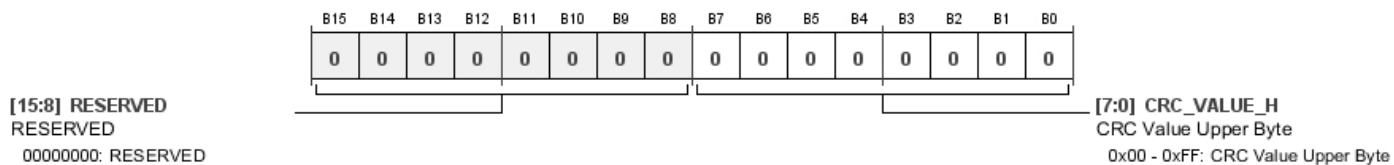


表 37. CRC_VALUE_H ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:0]	CRC_VALUE_H	0x00 to 0xFF	CRC 値の上位バイト。 CRC 値の上位バイト。	0x0	R

レジスタ・マップ・コンテンツの CRC 値計算を開始するレジスタ

アドレス : 0x086、リセット : 0x0000、レジスタ名 : RM_CRC_ENABLE

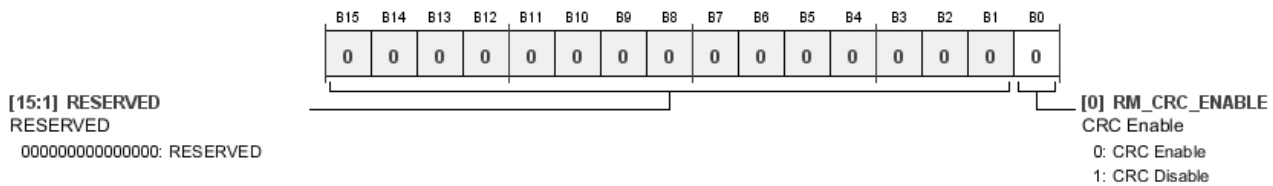


表 38. RM_CRC_ENABLE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	RM_CRC_ENABLE	0 1	CRC イネーブル。 CRC イネーブル。 CRC を無効化。	0x0	RW

レジスタ・マップ CRC 計算完了レジスタ

アドレス : 0x087、リセット : 0x0000、レジスタ名 : RM_CRC_DONE

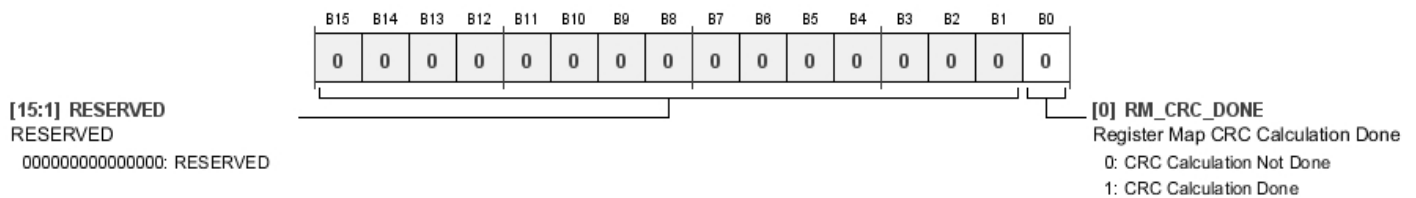


表 39. RM_CRC_DONE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	RM_CRC_DONE	0 1	レジスタ・マップの CRC 計算を完了。 CRC の計算は完了していません。 CRC の計算は完了しました。	0x0	R

レジスタ・マップ CRC 値、ビット [7:0] レジスタ

アドレス : 0x088、リセット : 0x0000、レジスタ名 : RM_CRC_VALUE_L

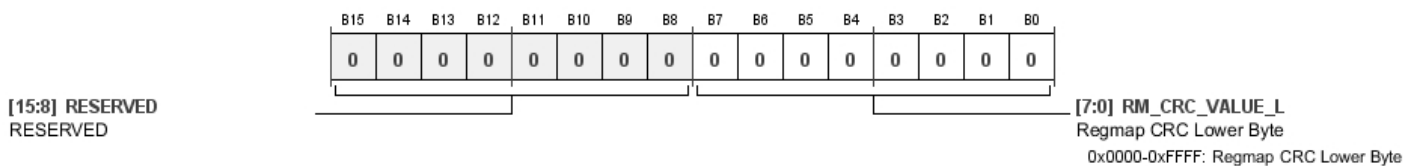


表 40. RM_CRC_VALUE_L ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:0]	RM_CRC_VALUE_L	0x0000 to 0xFFFF	レジスタ・マップ CRC 値の下位バイト。	0x0	R

レジスタ・マップ CRC 値、ビット [15:8] レジスタ

アドレス : 0x089、リセット : 0x0000、レジスタ名 : RM_CRC_VALUE_H

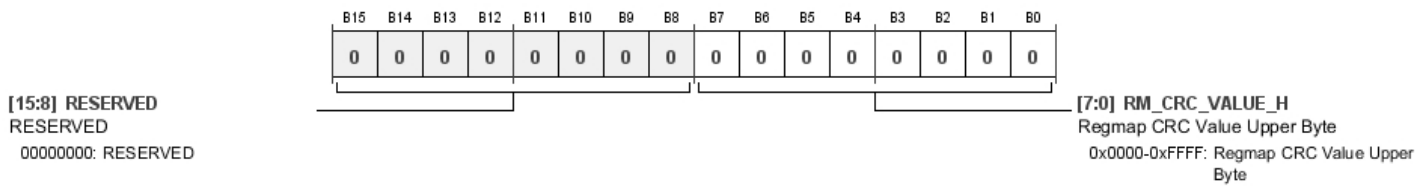


表 41. RM_CRC_VALUE_H ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:0]	RM_CRC_VALUE_H	0x0000 to 0xFFFF	レジスタ・マップ CRC 値の上位バイト。 レジスタ・マップ CRC 値の上位バイト。	0x0	R

ロー・ノイズ・アンプ・ゲイン・コントロール・レジスタ

アドレス : 0x100、リセット : 0x0000、レジスタ名 : LNA_GAIN

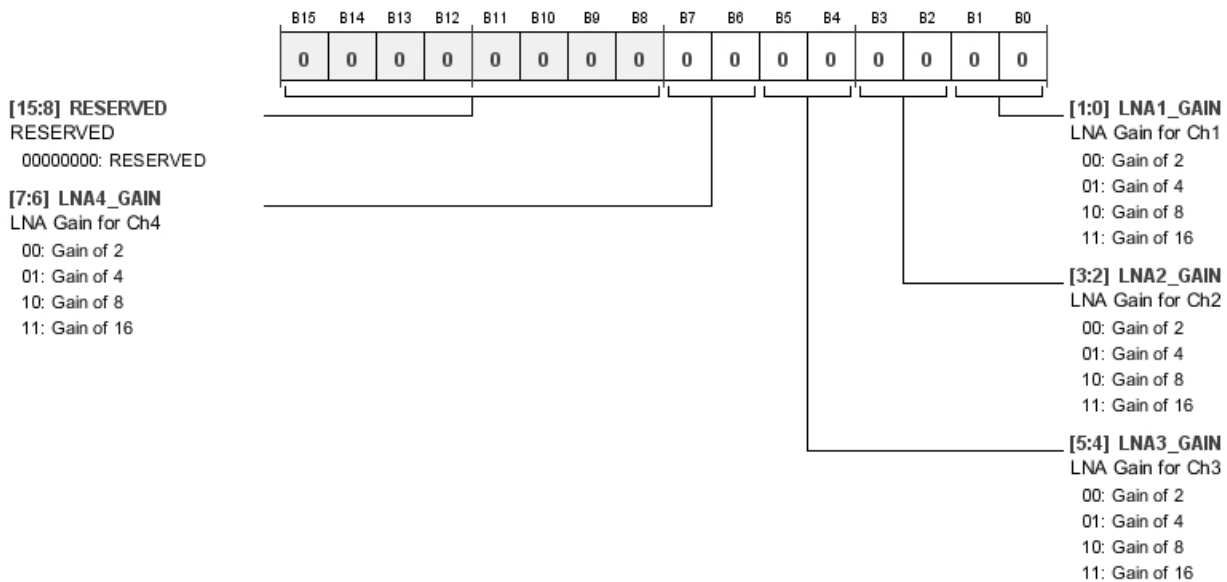


表 42. LNA_GAIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:6]	LNA4_GAIN	00 01 10 11	チャンネル 4 の LNA ゲイン。 ゲイン : 2。 ゲイン : 4。 ゲイン : 8。 ゲイン : 16。	0x0	RW
[5:4]	LNA3_GAIN	00 01 10 11	チャンネル 3 の LNA ゲイン。 ゲイン : 2。 ゲイン : 4。 ゲイン : 8。 ゲイン : 16。	0x0	RW

ビット	ビット名	設定	概要	リセット	アクセス
[3:2]	LNA2_GAIN	00 01 10 11	チャンネル 2 の LNA ゲイン。 ゲイン : 2。 ゲイン : 4。 ゲイン : 8。 ゲイン : 16。	0x0	RW
[1:0]	LNA1_GAIN	00 01 10 11	チャンネル 1 の LNA ゲイン。 ゲイン : 2。 ゲイン : 4。 ゲイン : 8。 ゲイン : 16。	0x0	RW

プログラマブル・ゲイン・アンプ・ゲイン・コントロール・レジスタ

アドレス : 0x101、リセット : 0x0000、レジスタ名 : PGA_GAIN

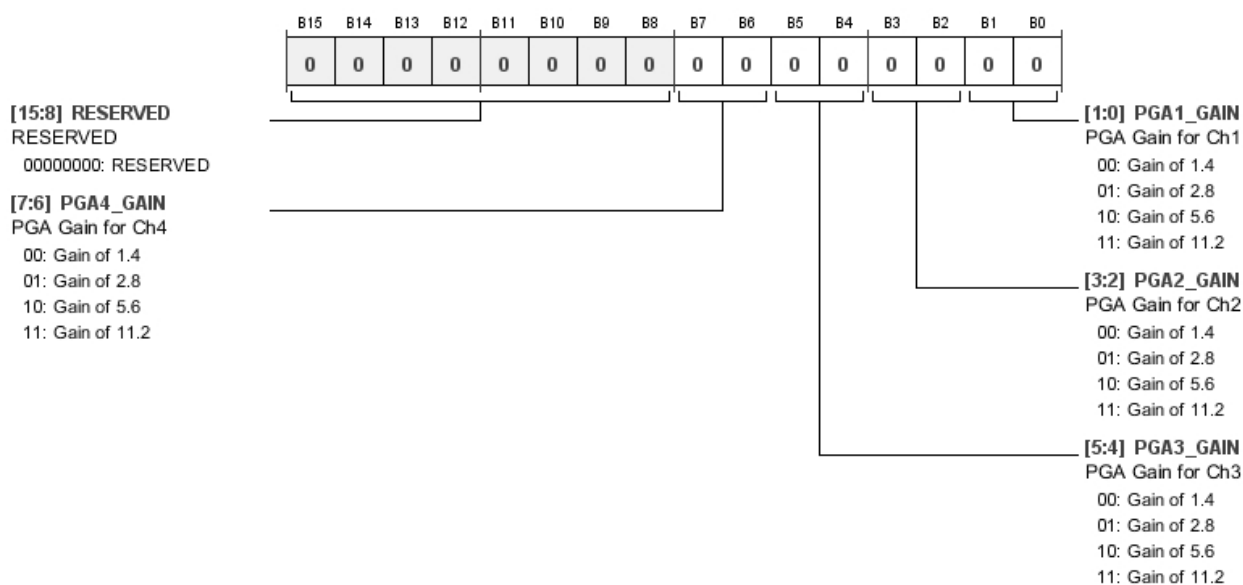


表 43. PGA_GAIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[7:6]	PGA4_GAIN	00 01 10 11	チャンネル 4 の PGA ゲイン。 ゲイン : 1.4。 ゲイン : 2.8。 ゲイン : 5.6。 ゲイン : 11.2。	0x0	RW
[5:4]	PGA3_GAIN	00 01 10 11	チャンネル 3 の PGA ゲイン。 ゲイン : 1.4。 ゲイン : 2.8。 ゲイン : 5.6。 ゲイン : 11.2。	0x0	RW
[3:2]	PGA2_GAIN	00 01 10 11	チャンネル 2 の PGA ゲイン。 ゲイン : 1.4。 ゲイン : 2.8。 ゲイン : 5.6。 ゲイン : 11.2。	0x0	RW

ビット	ビット名	設定	概要	リセット	アクセス
[1:0]	PGA1_GAIN	00 01 10 11	チャンネル1のPGAゲイン。 ゲイン：1.4。 ゲイン：2.8。 ゲイン：5.6。 ゲイン：11.2。	0x0	RW

ADC 1～ADC 4 までの信号パス・レジスタ

アドレス：0x102、リセット：0x2222、レジスタ名：ADC_ROUTING1_4

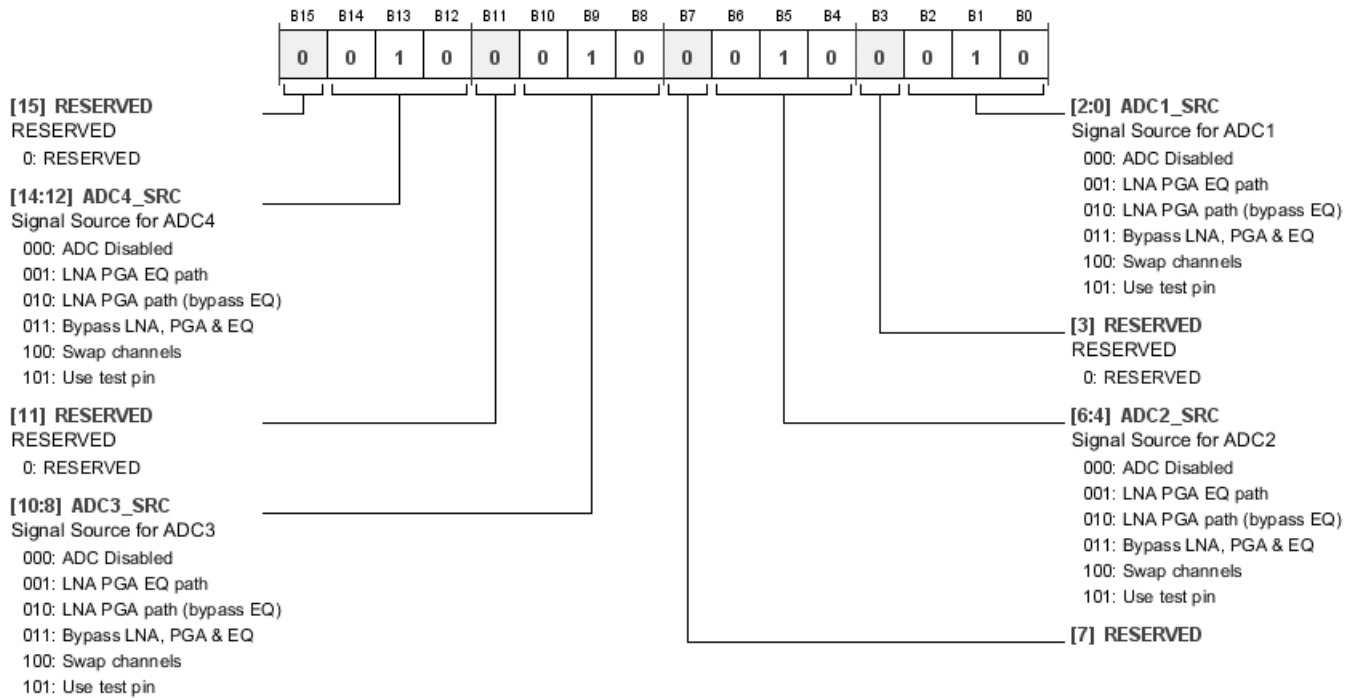


表 44. ADC_ROUTING1_4 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[14:12]	ADC4_SRC	000 001 010 011 100 101	ADC 4 の信号源。 ADC を無効化。 LNA PGA EQ パス。 LNA PGA パス (EQ をバイパス)。 LNA、PGA、および EQ をバイパス。 チャンネルをスワップ。 テスト・ピン使用。	0x2	RW
[10:8]	ADC3_SRC	000 001 010 011 100 101	ADC 3 の信号源。 ADC を無効化。 LNA PGA EQ パス。 LNA PGA パス (EQ をバイパス)。 LNA、PGA、および EQ をバイパス。 チャンネルをスワップ。 テスト・ピン使用。	0x2	RW

デシメータ・レート・コントロール・レジスタ

[illegible]

[2:0] DECIM_RATE (RW)
DECIMATOR RATE

000:	Reserved
001:	Reserved
010:	1.8MSPS
011:	1.2MSPS
100:	900kSPS
101:	600kSPS
110:	450kSPS
111:	300kSPS

ビット	ビット名	設定	概要	リセット	アクセス
[2:0]	DECIM_RATE	000 001 010 011 100 101 110 111	デシメータ・レート。 予備。 予備。 1.8MSPS。 1.2MSPS。 900kSPS。 600kSPS。 450kSPS。 300kSPS。	0x3	RW

ハイパス・フィルタ・コントロール・レジスタ

アドレス : 0x141、リセット : 0x0018、レジスタ名 : HIGH_PASS

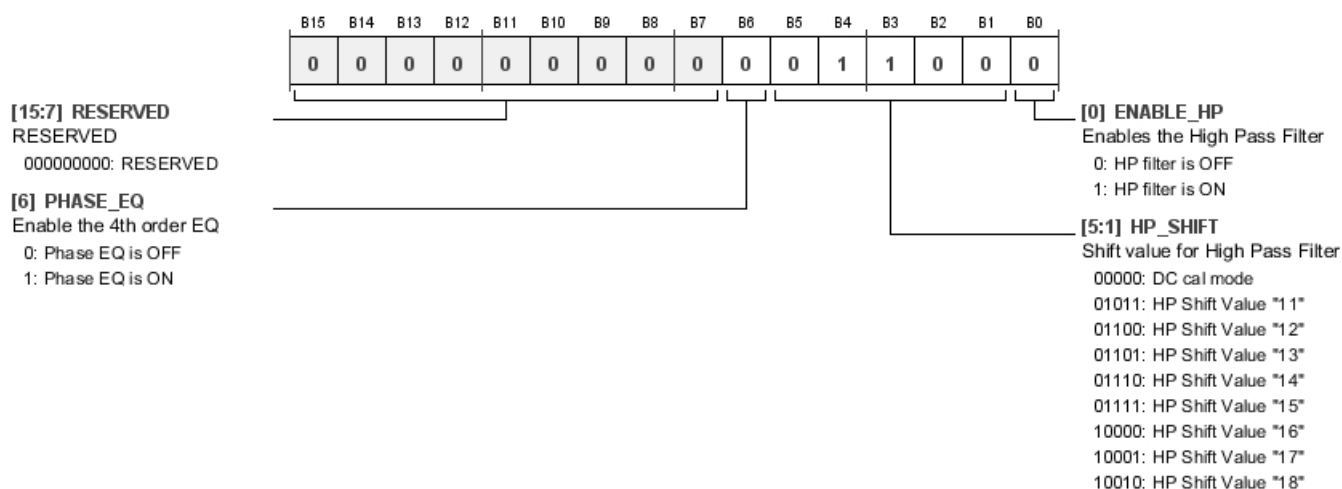


表 46. HIGH_PASS ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
6	PHASE_EQ	0 1	4次EQのイネーブル。 フェーズEQはオフ。 フェーズEQはオン。	0x0	RW
[5:1]	HP_SHIFT	00000 01011 01100 01101 01110 01111 10000 10001 10010	ハイパス・フィルタのシフト値。 DC Cal モード。 HP シフト値=11。 HP シフト値=12。 HP シフト値=13。 HP シフト値=14。 HP シフト値=15。 HP シフト値=16。 HP シフト値=17。 HP シフト値=18。	0x0C	RW
0	ENABLE_HP	0 1	ハイパス・フィルタのイネーブル。 HP フィルタはオフ。 HP フィルタはオン。	0x0	RW

DAQ モード・コントロール・レジスタ

アドレス : 0x143、リセット : 0x0000、レジスタ名 : ACK_MODE

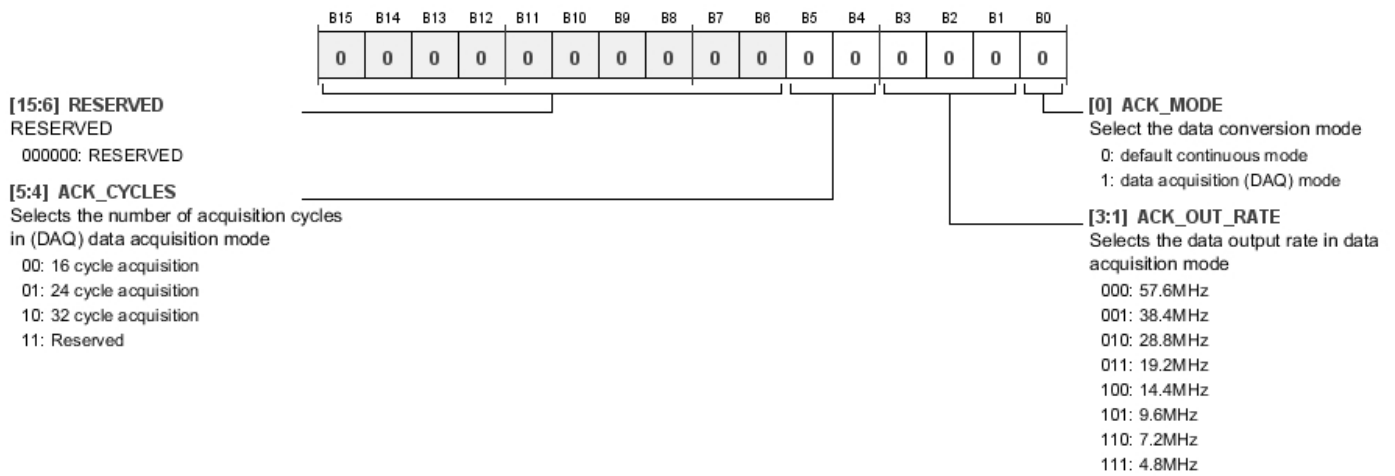


表 47. ACK_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[5:4]	ACK_CYCLES	00 16 サイクルのアクイジション。 01 24 サイクルのアクイジション。 10 32 サイクルのアクイジション。 11 予備。	DAQ モードでのアクイジション・サイクル数を選択。	0x0	RW
[3:1]	ACK_OUT_RATE	000 57.6MHz。 001 38.4MHz。 010 28.8MHz。 011 19.2MHz。 100 14.4MHz。 101 9.6MHz。 110 7.2MHz。 111 4.8MHz。	DAQ モードでのデータ出力レートを選択。	0x0	RW
0	ACK_MODE	0 データ変換モードを選択。 1 デフォルトの連続モード。 1 DAQ モード。	データ変換モードを選択。	0x0	RW

デシメータ切り捨てコントロール・レジスタ

アドレス : 0x144、リセット : 0x0002、レジスタ名 : TRUNCATE_MODE

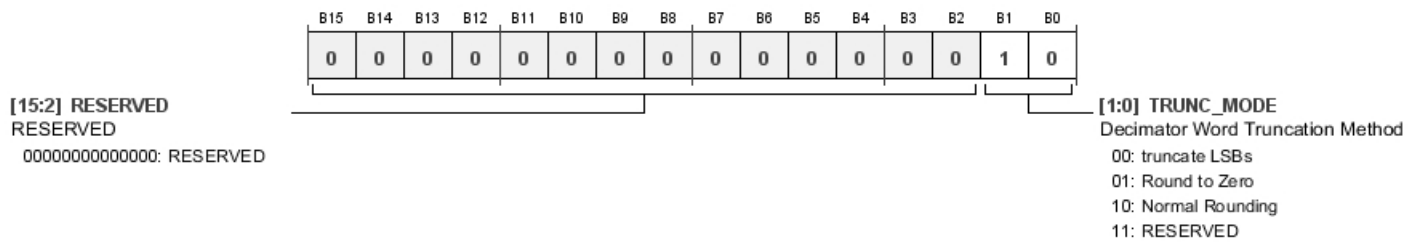


表 48. TRUNCATE_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[1:0]	TRUNC_MODE	00 01 10 11	デシメータ・ワードの切り捨て方法。 LSB を切り捨て。 ゼロに丸める。 通常の丸め。 予備。	0x2	RW

シリアル出力ポート・コントロール・レジスタ

アドレス : 0x1C0、リセット : 0x0000、レジスタ名 : SERIAL_MODE

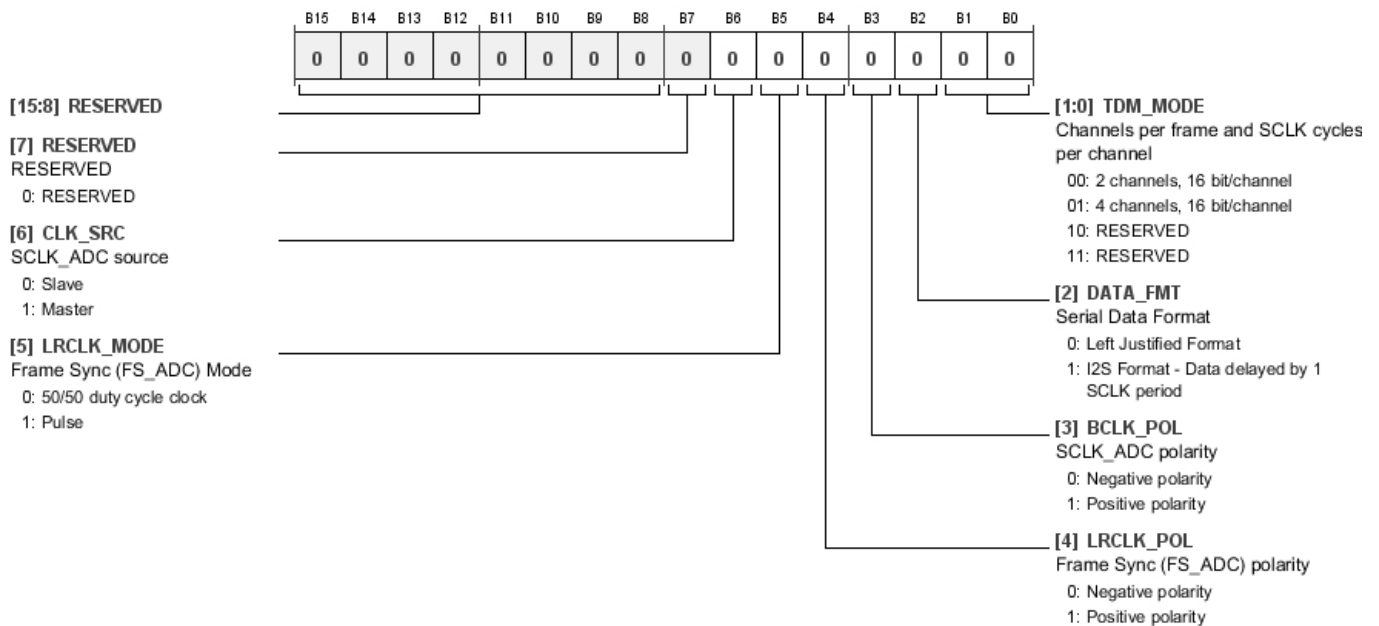


表 49. SERIAL_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
6	CLK_SRC	0 1	SCLK_ADC のソース。 スレーブ。 マスタ。	0x0	RW
5	LRCLK_MODE	0 1	フレーム同期 (FS_ADC) モード。 50/50 デューティ・サイクル・クロック。 パルス。	0x0	RW

ビット	ビット名	設定	概要	リセット	アクセス
4	LRCLK_POL	0 1	フレーム同期 (FS_ADC) の極性。 負の極性。 正の極性。	0x0	RW
3	BCLK_POL	0 1	SCLK_ADC の極性。 負の極性。 正の極性。	0x0	RW
2	DATA_FMT	0 1	シリアル・データ・フォーマット。 左揃えフォーマット。 I2S フォーマット—データは 1SCLK ピリオド遅延。	0x0	RW
[1:0]	TDM_MODE	00 01 10 11	フレームあたりチャンネル数とチャンネルあたり SCLK サイクル数。 2チャンネル、チャンネルあたり 16 ビット。 4チャンネル、チャンネルあたり 16 ビット。 予備。 予備。	0x0	RW

パラレル・ポート・コントロール・レジスタ

アドレス : 0x1C1、リセット : 0x0000、レジスタ名 : PARALLEL_MODE

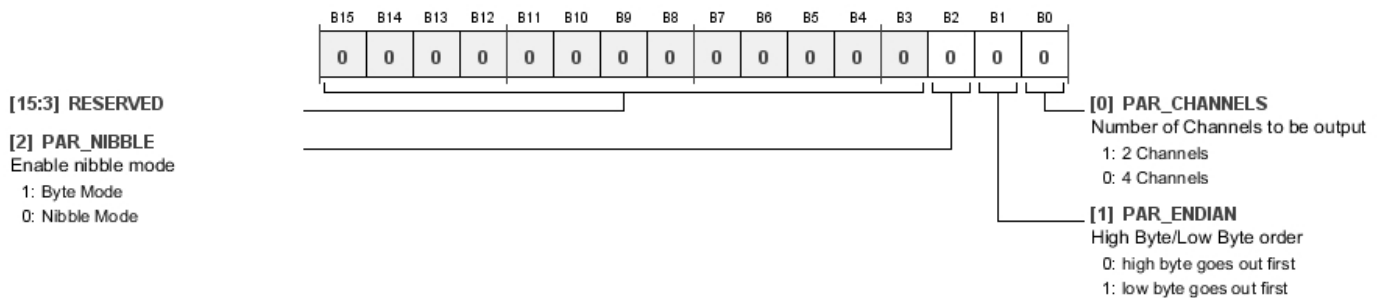


表 50. PARALLEL_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	PAR_NIBBLE	1 0	ニブル・モードを有効化。 バイト・モード。 ニブル・モード。	0x0	RW
1	PAR_ENDIAN	0 1	上位バイト/下位バイトの順番。 上位バイトを先に出力。 下位バイトを先に出力。	0x0	RW
0	PAR_CHANNELS	1 0	出力するチャンネル数。 2チャンネル。 4チャンネル。	0x0	RW

ADC デジタル出力モード・レジスタ

アドレス：0x1C2、リセット：0x0000、レジスタ名：OUTPUT_MODE

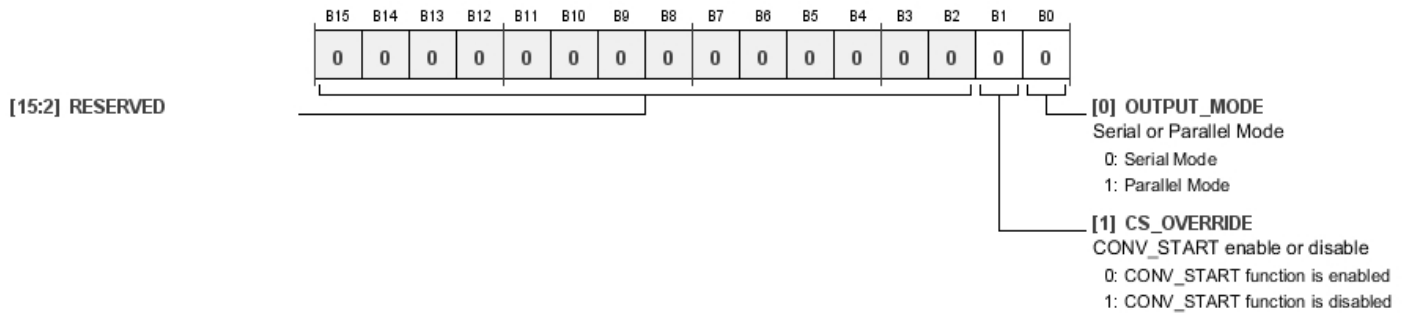


表 51. OUTPUT_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
1	CS_OVERRIDE	0 1	CONV_STARTイネーブルまたはディスエーブル。 0: CONV_START機能は有効。 1: CONV_START機能は無効。	0x0	RW
0	OUTPUT_MODE	0 1	シリアル・モードまたはパラレル・モード。 0: シリアル・モード。 1: パラレル・モード。	0x0	RW

補助 ADC 読出し値レジスタ

アドレス：0x200、リセット：0x0000、レジスタ名：ADC_READ0

このレジスタには該当するチャンネルの補助 ADC からの出力データが含まれます。2 つのチャンネルはそれぞれサンプル・フレームあたり 1 回更新されます。

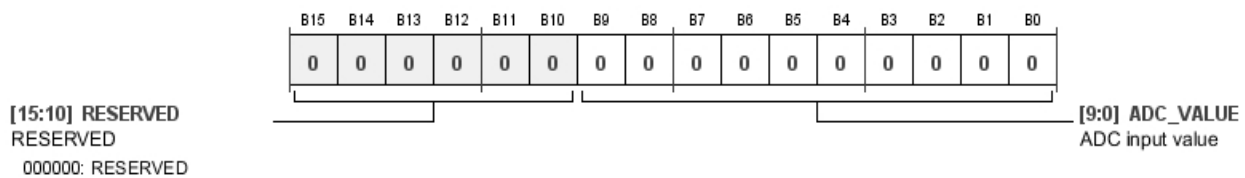


表 52. ADC_READ0 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[9:0]	ADC_VALUE		ADC 入力値。ADC 入力からサンプリングしたデータの瞬時値です。	0x000	RW

アドレス : 0x201、リセット : 0x0000、レジスタ名 : ADC_READ1

このレジスタには該当するチャンネルの補助 ADC からの出力データが含まれます。2 つのチャンネルはそれぞれサンプル・フレームあたり 1 回更新されます。

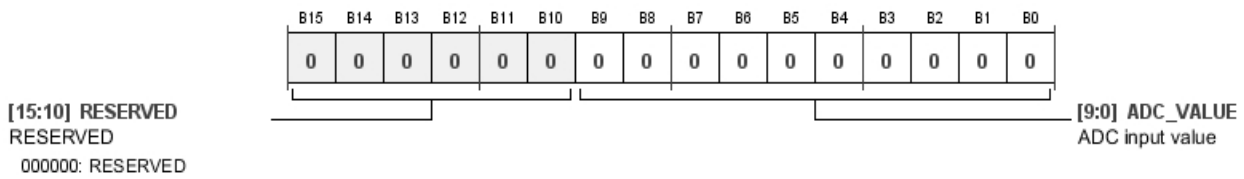


表 53. ADC_READ1 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[9:0]	ADC_VALUE		ADC 入力値。ADC 入力からサンプリングしたデータの瞬時値です。	0x000	RW

補助 ADC サンプル・レート選択レジスタ

アドレス : 0x210、リセット : 0x0000、レジスタ名 : ADC_SPEED

このレジスタは補助 ADC のサンプル・レートを設定します。

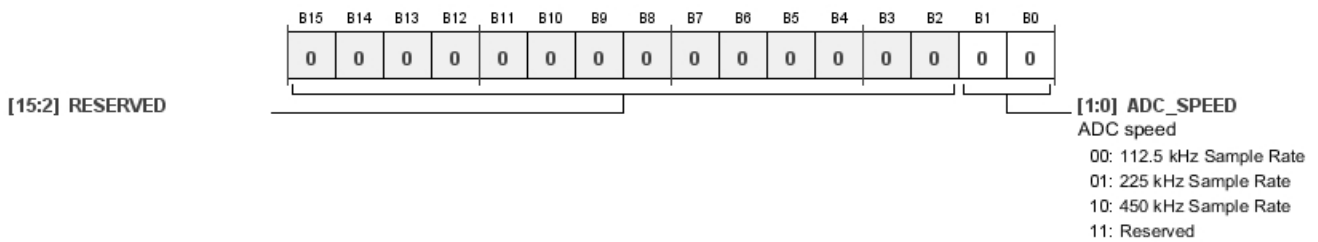


表 54. ADC_SPEED ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[1:0]	ADC_SPEED		ADC のスピード。レートを 2 倍または半分にして補助 ADC からサンプリングを行い、レジスタをテストしてください。 00 サンプル・レート : 112.5kHz。 01 サンプル・レート : 225kHz。 10 サンプル・レート : 450kHz。 11 予備。	0x0	RW

補助 ADC モード・レジスタ

アドレス : 0x211、リセット : 0x0000、レジスタ名 : ADC_MODE

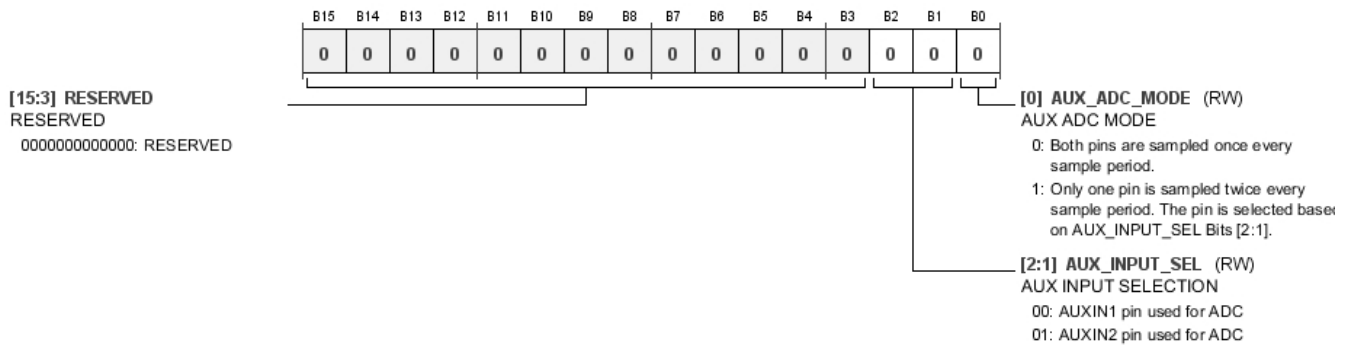


表 55. ADC_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[2:1]	AUX_INPUT_SEL	00 01	AUX 入力の選択。 AUXIN1 ピンを ADC に使用 AUXIN2 ピンを ADC に使用	0x0	RW
0	AUX_ADC_MODE	0 1	AUX ADC モード。 0 どちらのピンもサンプル・ピリオドあたり 1 回サンプリングされます。 1 サンプル・ピリオドごとに片方のピンのみサンプリングされます。このピンは AUX_INPUT_SEL ビット [2:1] に基づいて選択されます。	0x0	RW

MPx ピン・モード・レジスタ

アドレス : 0x250、リセット : 0x0000、レジスタ名 : MP0_MODE

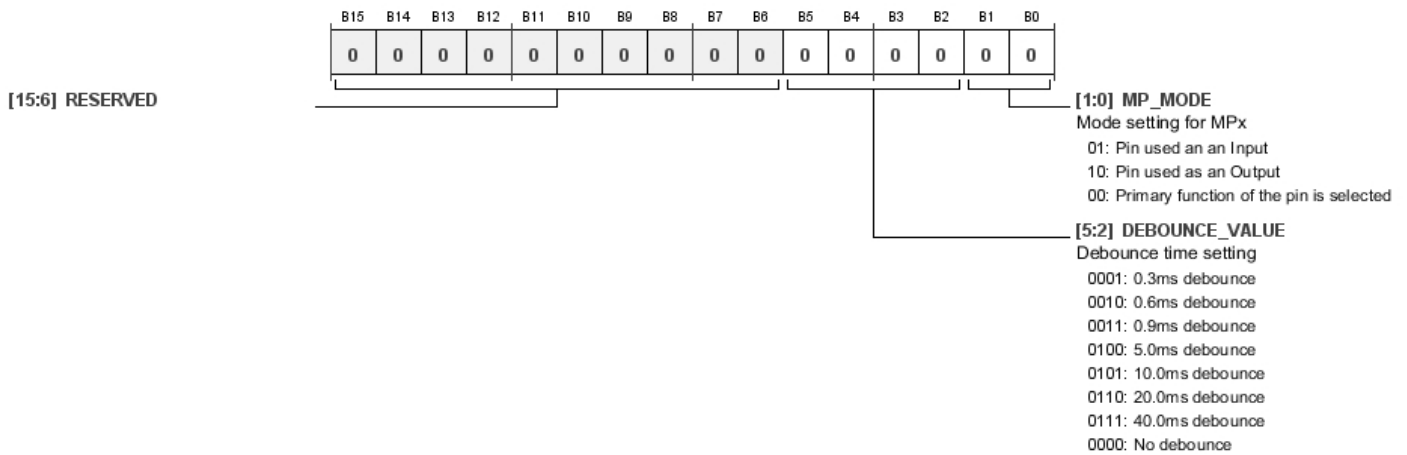


表 56. MP0_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[5:2]	DEBOUNCE_VALUE	0001 0010 0011 0100 0101 0110	バウンス防止時間の設定。 0.3ms 0.6ms 0.9ms 5.0ms 10.0ms 20.0ms	0x0	RW

ビット	ビット名	設定	概要	リセット	アクセス
		0111 0000	40.0ms バウンス防止なし。		
[1:0]	MP_MODE	01 10 00	MP のモード設定。 ピンは入力に使用。 ピンは出力に使用。 ピンの主機能が選択されています。	0x0	RW

アドレス：0x251、リセット：0x0000、レジスタ名：MP1_MODE

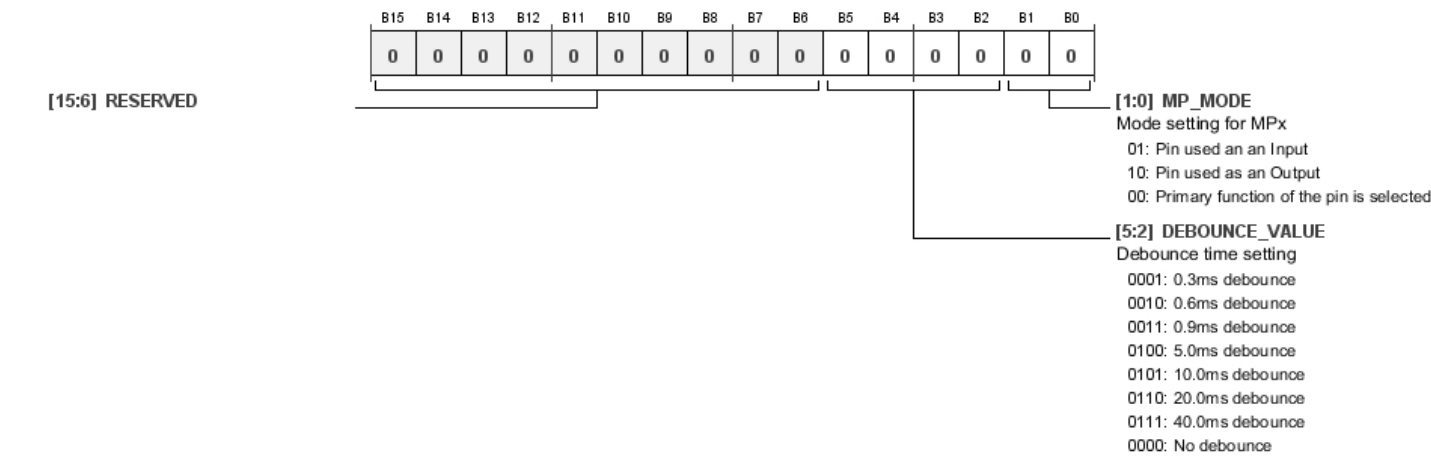


表 57. MP1_MODE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[5:2]	DEBOUNCE_VALUE	0001 0010 0011 0100 0101 0110 0111 0000	バウンス防止時間の設定。 0.3ms 0.6ms 0.9ms 5.0ms 10.0ms 20.0ms 40.0ms バウンス防止なし。	0x0	RW
[1:0]	MP_MODE	01 10 00	MP のモード設定。 ピンは入力に使用。 ピンは出力に使用。 ピンの主機能が選択されています。	0x0	RW

MP 書き込み値レジスタ

アドレス : 0x260、リセット : 0x0000、レジスタ名 : MP0_WRITE

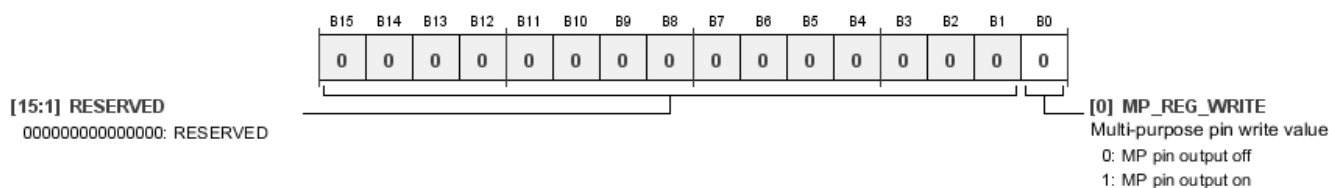


表 58. MP0_WRITE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	MP_REG_WRITE	0 1	多目的 (MP) ピンの書き込み値。 MP ピン出力はオフ。 MP ピン出力はオン。	0x0	W

アドレス : 0x261、リセット : 0x0000、レジスタ名 : MP1_WRITE

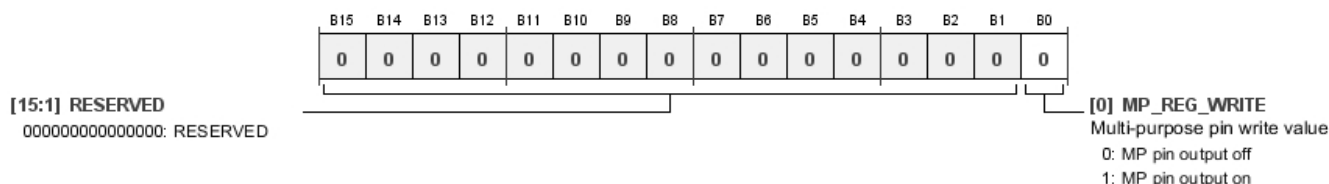


表 59. MP1_WRITE ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	MP_REG_WRITE	0 1	多目的 (MP) ピンの書き込み値。 MP ピン出力はオフ。 MP ピン出力はオン。	0x0	W

MP 読出し値レジスタ

アドレス : 0x270、リセット : 0x0000、レジスタ名 : MP0_READ

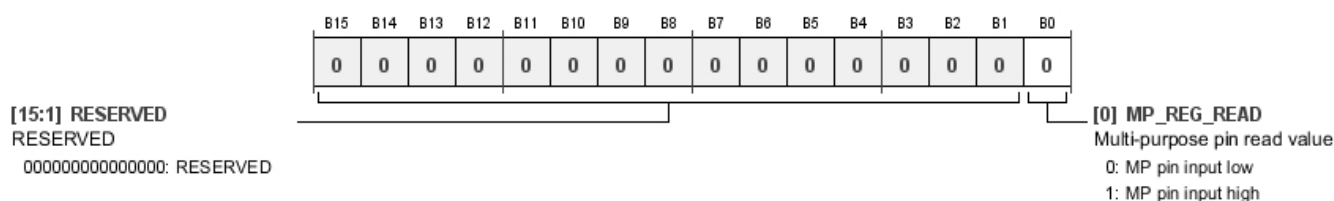


表 60. MP0_READ ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	MP_REG_READ	0 1	多目的 (MP) ピンの読出し値。 MP ピン入力ロー。 MP ピン入力ハイ。	0x0	R

アドレス : 0x271、リセット : 0x0000、レジスタ名 : MP1_READ

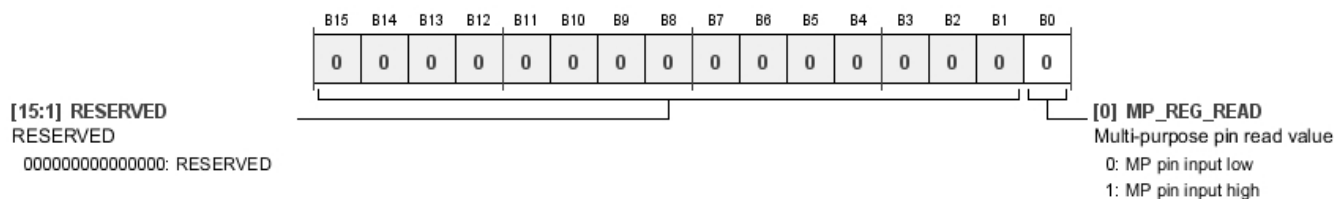


表 61. MP1_READ ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	MP_REG_READ	0 1	多目的 (MP) ピンの読出し値。 MP ピン入力値はロー。 MP ピン入力値はハイ。	0x0	R

SPI_CLK ピン駆動強度およびスルー・レート・レジスタ

アドレス : 0x280、リセット : 0x0000、レジスタ名 : SPI_CLK_PIN

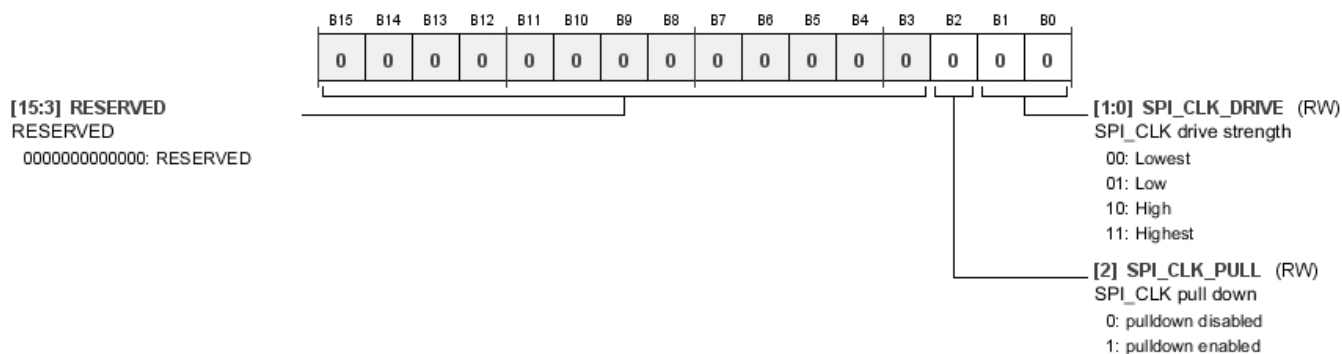


表 62. SPI_CLK_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	SPI_CLK_PULL	0 1	SPI_CLK のプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	SPI_CLK_DRIVE	00 01 10 11	SPI_CLK の駆動強度 最低。 低。 高。 最高。	0x0	RW

SPI_MISO ピン駆動強度およびスルー・レート・レジスタ

アドレス : 0x281、リセット : 0x0000、レジスタ名 : MISO_PIN

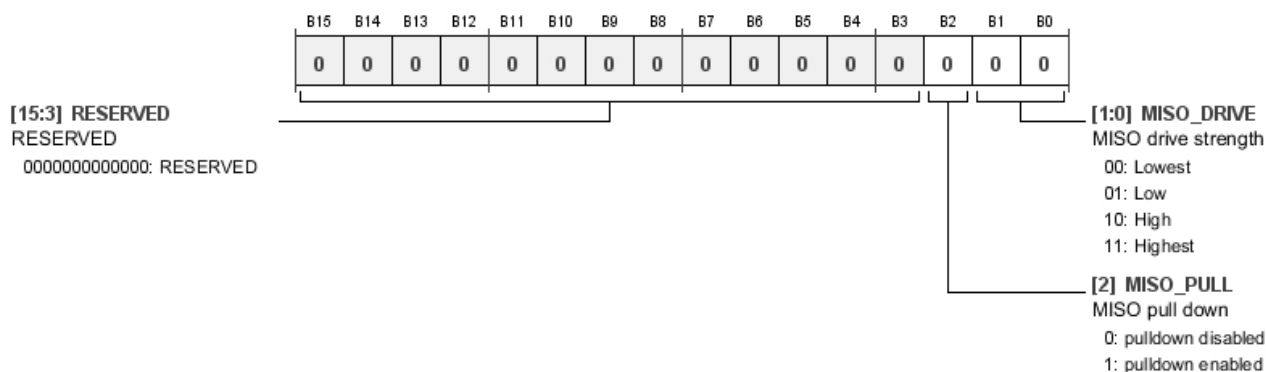


表 63. MISO_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	MISO_PULL	0 1	SPI_MISO のプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	MISO_DRIVE	00 01 10 11	SPI_MISO のドライブ強度。 最低。 低。 高。 最高。	0x0	RW

SPI_SSピン・ドライブ強度およびスルー・レート・レジスタ

アドレス : 0x282、リセット : 0x0004、レジスタ名 : SS_PIN

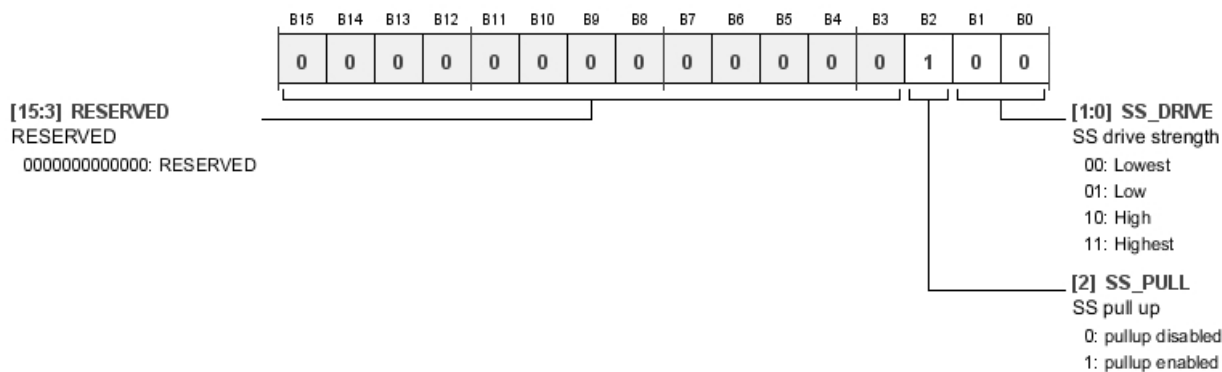


表 64. SS_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	SS_PULL	0 1	SPI_SS のプルアップ設定。 プルアップは無効。 プルアップは有効。	0x1	RW

ビット	ビット名	設定	概要	リセット	アクセス
[1:0]	SS_DRIVE	00 01 10 11	SPI_SSの駆動強度。 最低。 低。 高。 最高。	0x0	RW

SPI_MOSI ピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x283、リセット：0x0000、レジスタ名：MOSI_PIN

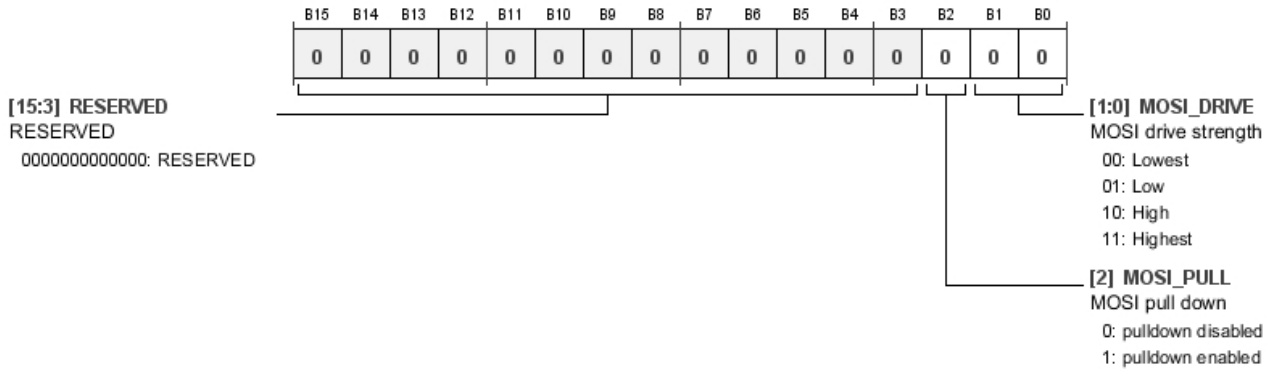


表 65. MOSI_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	MOSI_PULL	0 1	SPI_MOSIのプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	MOSI_DRIVE	00 01 10 11	SPI_MOSIの駆動強度。 最低。 低。 高。 最高。	0x0	RW

ADDR15 ピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x284、リセット：0x0000、レジスタ名：ADDR15_PIN

このレジスタは PPI モードでの ADC_DOUT6 の駆動強度設定も制御します。

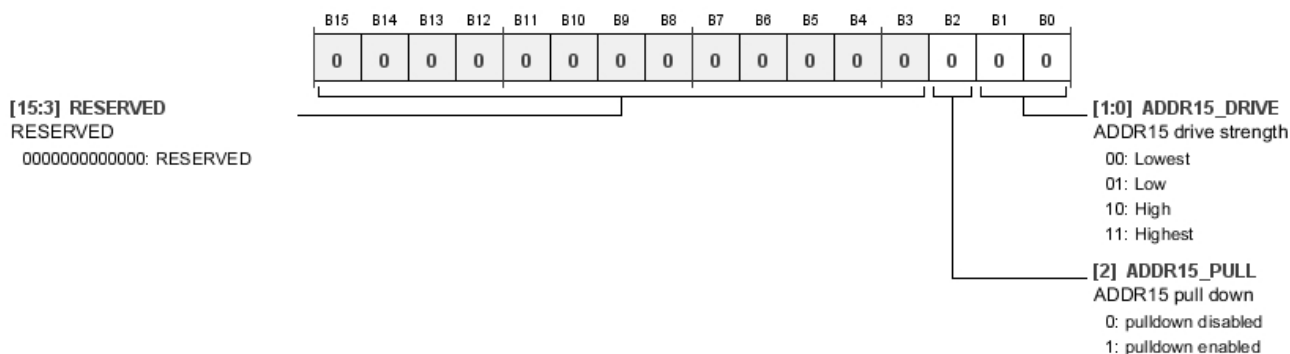


表 66. ADDR15_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADDR15_PULL	0 1	ADDR15 のプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	ADDR15_DRIVE	00 01 10 11	ADDR15 の駆動強度。 最低。 低。 高。 最高。	0x0	RW

FAULTピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x285、リセット：0x0004、レジスタ名：FAULT_PIN

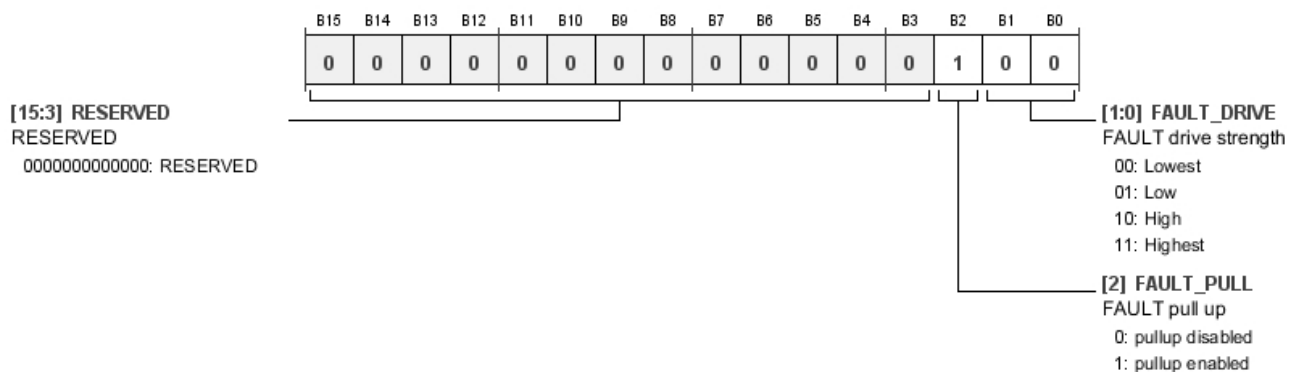


表 67. FAULT_PIN ビットの説明

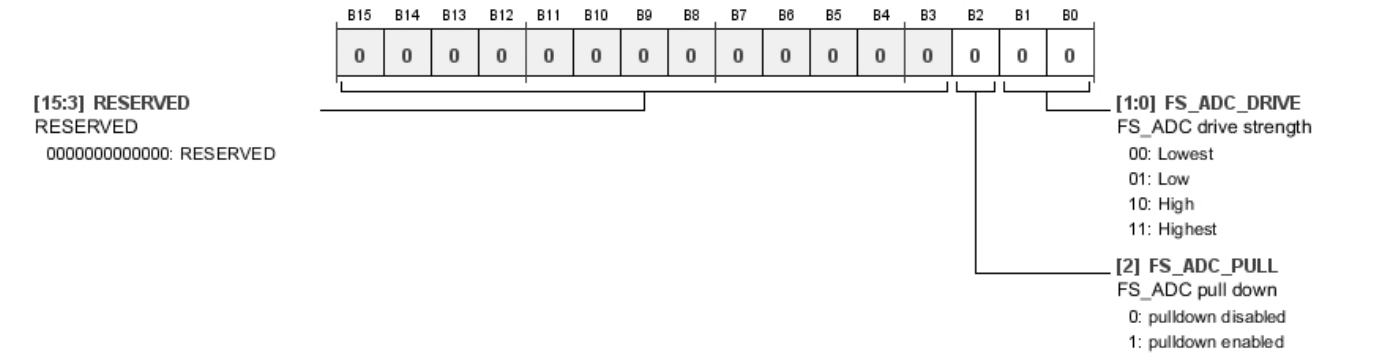
ビット	ビット名	設定	概要	リセット	アクセス
2	FAULT_PULL	0 1	FAULT のプルアップ設定。 プルアップは無効。 プルアップは有効。	0x1	RW

ビット	ビット名	設定	概要	リセット	アクセス
[1:0]	FAULT_DRIVE	00 01 10 11	FAULTの駆動強度。 最低。 低。 高。 最高。	0x0	RW

FS_ADC ピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x286、リセット：0x0000、レジスタ名：FS_ADC_PIN

このレジスタは PPI モードでの ADC_DOUT7 のドライブ強度設定も制御します。



CONV_STARTピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x287、リセット：0x0004、レジスタ名：CS_PIN

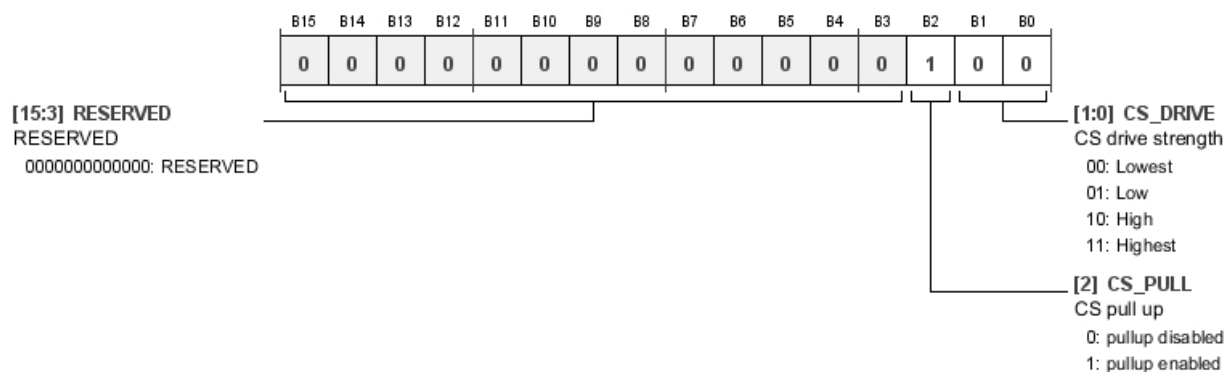


表 69. CS_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	CS_PULL	0 1	CONV_STARTのプルアップ設定。 プルアップは無効。 プルアップは有効。	0x1	RW
[1:0]	CS_DRIVE	00 01 10 11	CONV_STARTの駆動強度。 最低。 低。 高。 最高。	0x0	RW

SCLK_ADCピン・ドライブ強度およびスルー・レート・レジスタ

アドレス：0x288、リセット：0x0000、レジスタ名：SCLK_ADC_PIN

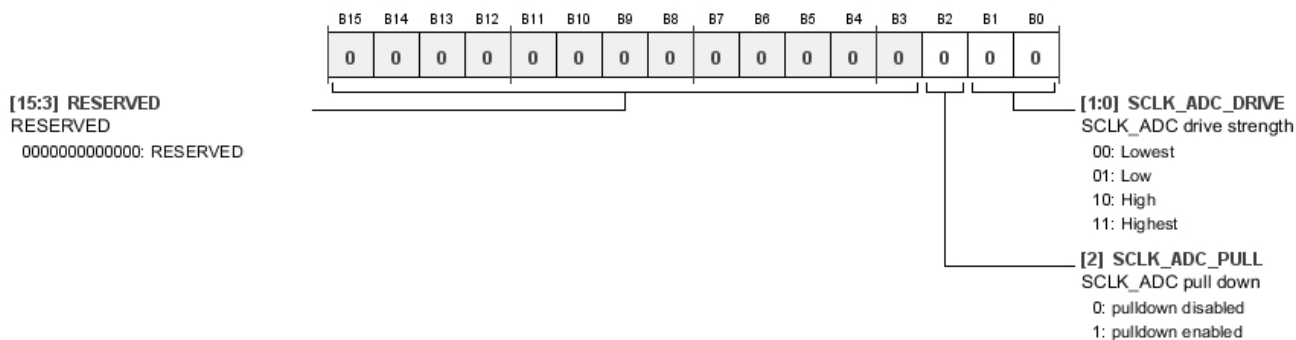


表 70. SCLK_ADC_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	SCLK_ADC_PULL	0 1	SCLK_ADCのプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	SCLK_ADC_DRIVE	00 01 10 11	SCLK_ADCの駆動強度。 最低。 低。 高。 最高。	0x0	RW

ADC_DOUTx ピン・ドライブ強度およびスルー・レート・レジスタ

以下のレジスタは ADC_DOUTx ピンを参照します。対象範囲は ADC_DOUT0～ADC_DOUT5 です。表 71～表 76 のビット [1:0] とビット 2 については、ADC_DOUT はレジスタ名で定義された ADC_DOUTx ピンを意味します。

アドレス：0x289、リセット：0x0000、レジスタ名：ADC_DOUT0_PIN

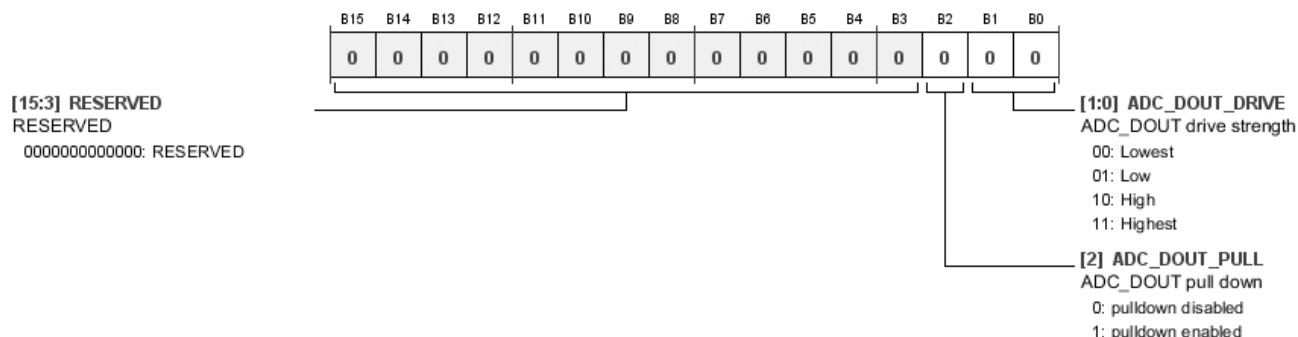


表 71. ADC_DOUT0_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

アドレス：0x28A、リセット：0x0000、レジスタ名：ADC_DOUT1_PIN

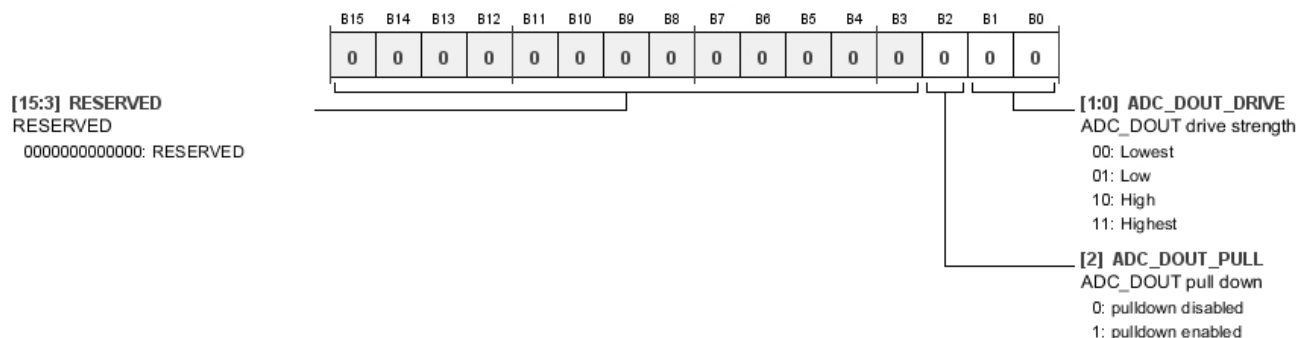


表 72. ADC_DOUT1_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

アドレス : 0x28B、リセット : 0x0000、レジスタ名 : ADC_DOUT2_PIN

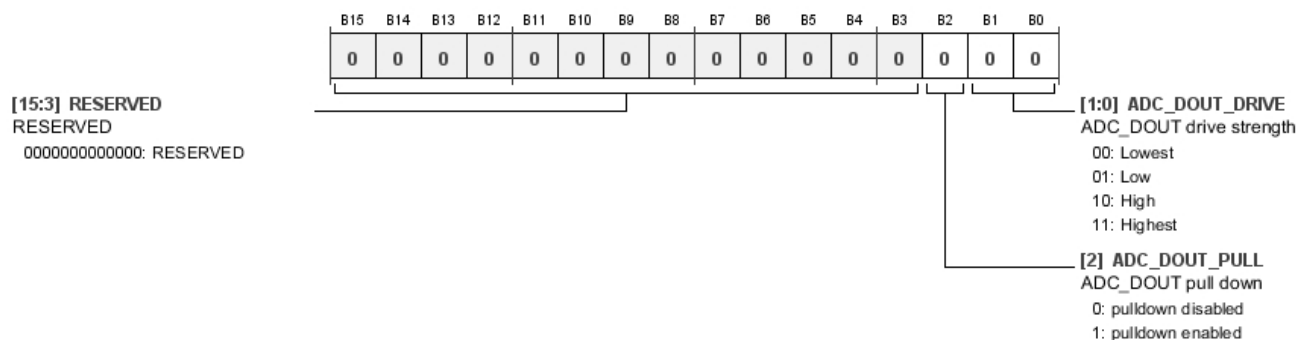


表 73. ADC_DOUT2_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

アドレス : 0x28C、リセット : 0x0000、レジスタ名 : ADC_DOUT3_PIN

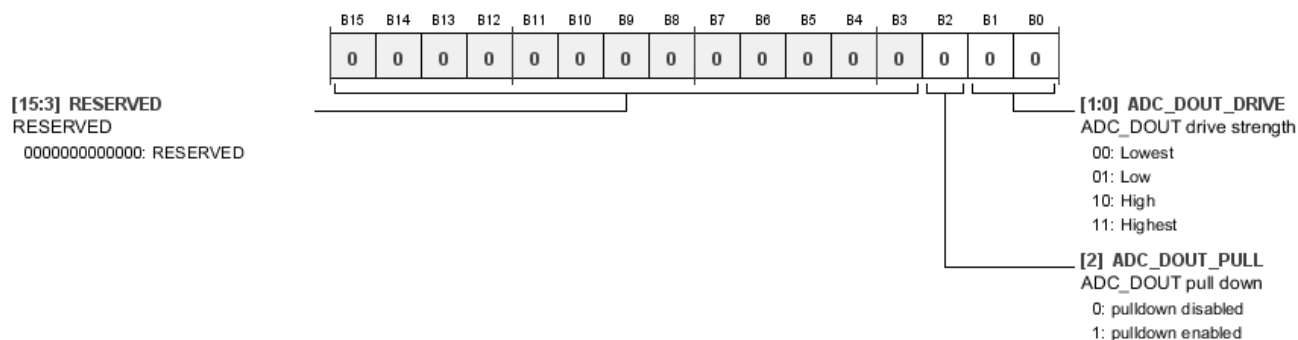


表 74. ADC_DOUT3_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウ設定。 プルダウは無効。 プルダウは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

アドレス : 0x28D、リセット : 0x0000、レジスタ名 : ADC_DOUT4_PIN

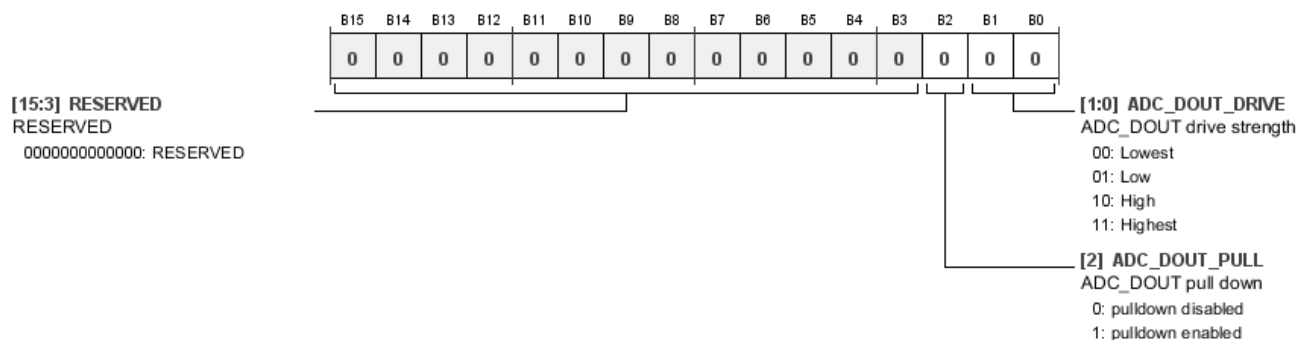


表 75. ADC_DOUT4_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

アドレス : 0x28E、リセット : 0x0000、レジスタ名 : ADC_DOUT5_PIN

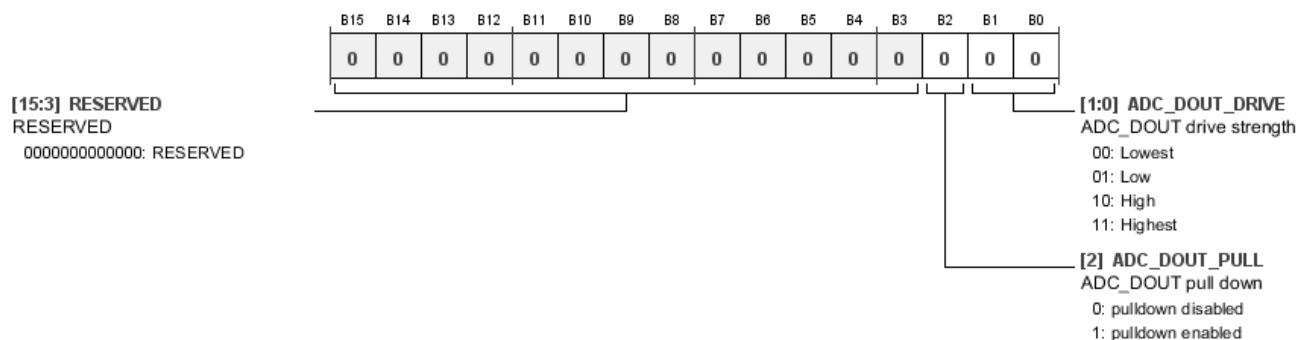


表 76. ADC_DOUT5_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	ADC_DOUT_PULL	0 1	ADC_DOUT のプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	ADC_DOUT_DRIVE	00 01 10 11	ADC_DOUT の駆動強度。 最低。 低。 高。 最高。	0x0	RW

DATA_READY ピン・ドライブ強度およびスルー・レート・レジスタ

アドレス : 0x291、リセット : 0x0000、レジスタ名 : DATA_READY_PIN

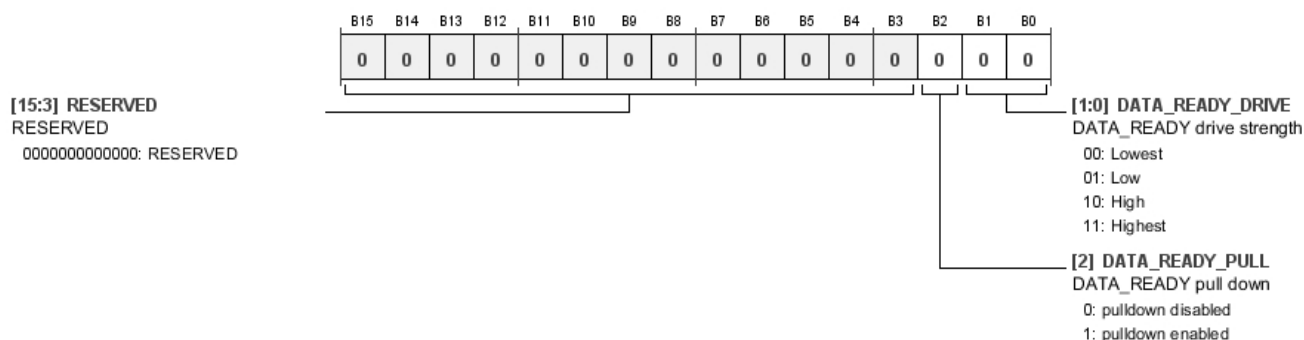


表 77. DATA_READY_PIN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
2	DATA_READY_PULL	0 1	DATA_READY のプルダウン設定。 プルダウンは無効。 プルダウンは有効。	0x0	RW
[1:0]	DATA_READY_DRIVE	00 01 10 11	DATA_READY の駆動強度。 最低。 低。 高。 最高。	0x0	RW

XTAL イネーブルおよび駆動レジスタ

アドレス : 0x292、リセット : 0x0000、レジスタ名 : XTAL_CTRL

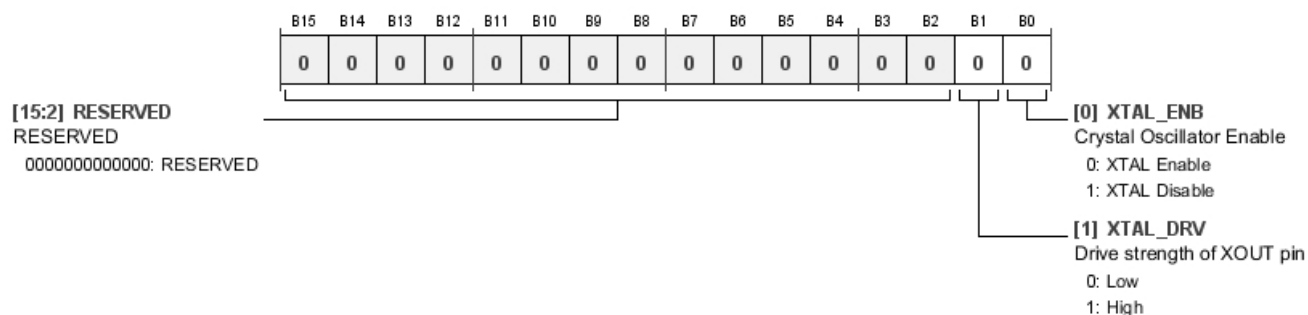


表 78. XTAL_CTRL ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
1	XTAL_DRV	0 1	XOUT ピンの駆動強度。 低。 高。	0x0	RW
0	XTAL_ENB	0 1	水晶発振器イネーブル。 XTAL イネーブル。 XTAL ディスエーブル。	0x0	RW

ADC テスト・レジスタ

アドレス : 0x301、リセット : 0x0304、レジスタ名 : ADC_SETTING1

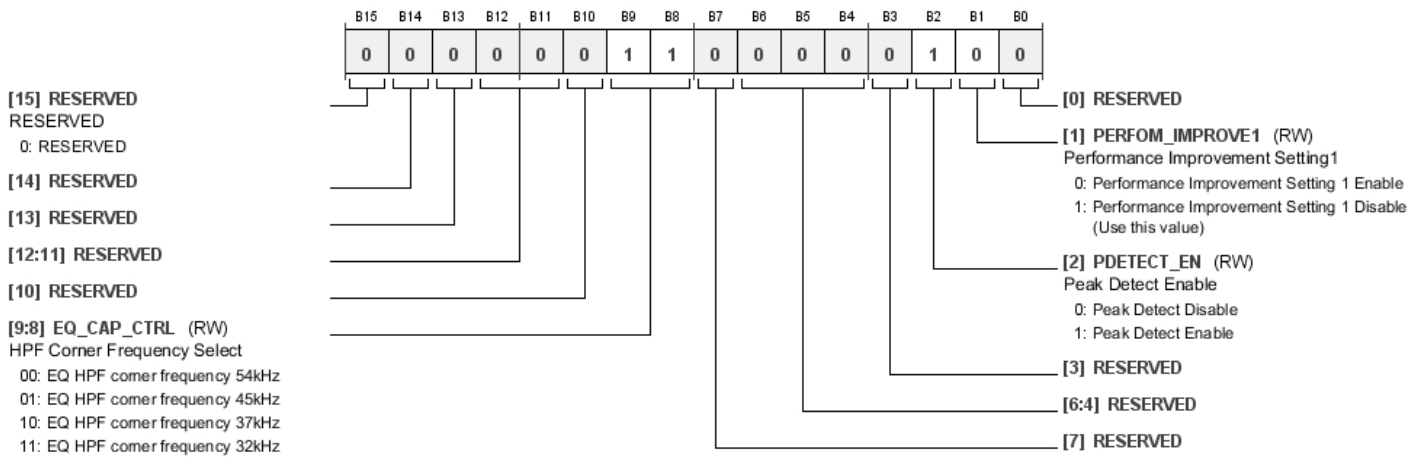


表 79. ADC_SETTING1 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[9:8]	EQ_CAP_CTRL	00 01 10 11	HPF コーナ周波数の選択。 EQ HPF コーナ周波数 : 54kHz EQ HPF コーナ周波数 : 45kHz EQ HPF コーナ周波数 : 37kHz EQ HPF コーナ周波数 : 32kHz	0x3	RW
2	PDETECT_EN	0 1	ピーク検出イネーブル。 ピーク検出ディスエーブル ピーク検出イネーブル	0x1	RW
1	PERFORM_IMPROVE1	0 1	性能改善設定 1。 性能改善設定 1 イネーブル 性能改善設定 1 ディスエーブル (この値を使用)	0x0	RW

アドレス : 0x308、リセット : 0x0000、レジスタ名 : ADC_SETTING2

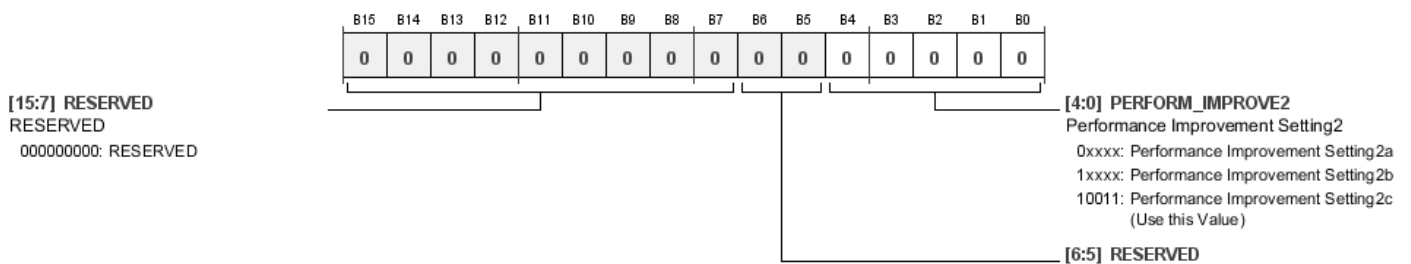


表 80. ADC_SETTING2 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[4:0]	PERFORM_IMPROVE2	0xxxx 1xxxx 10011	性能改善設定 2。 性能改善設定 2a。 性能改善設定 2b。 性能改善設定 2c (この値を使用)。	0x00	RW

アドレス：0x30A、リセット：0x0009、レジスタ名：ADC_SETTING3

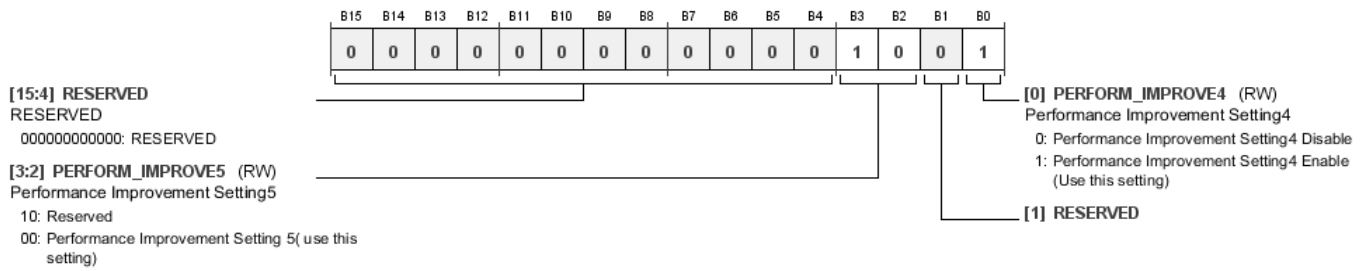


表 81. ADC_SETTING3 ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[3:2]	PERFORM_IMPROVE5	10 00	性能改善設定 5。 予備。 性能改善設定 5（この値を使用）。	0x2	RW
0	PERFORM_IMPROVE4	0 1	性能改善設定 4。 性能改善設定 4 ディスエーブル。 性能改善設定 4 イネーブル（この値を使用）。	0x1	RW

デジタル・フィルタ同期イネーブル・レジスタ

アドレス：0x30E、リセット：0x0003、レジスタ名：DEJITTER_WINDOW

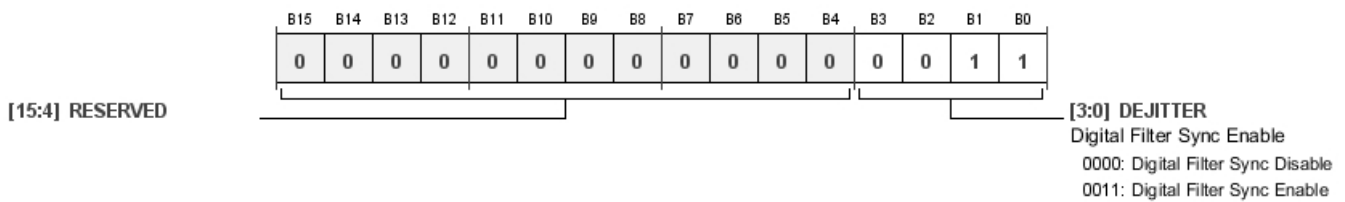


表 82. DEJITTER_WINDOW ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
[3:0]	DEJITTER	0000 0011	デジタル・フィルタ同期イネーブル。 デジタル・フィルタ同期ディスエーブル。 デジタル・フィルタ同期イネーブル。	0x3	RW

CRC イネーブル／ディスエーブル・レジスタ

アドレス：0xFD00、リセット：0x0000、レジスタ名：CRC_EN

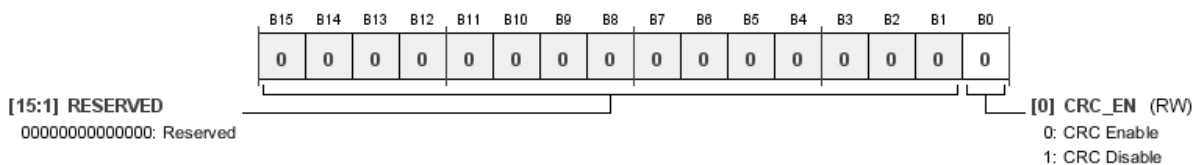
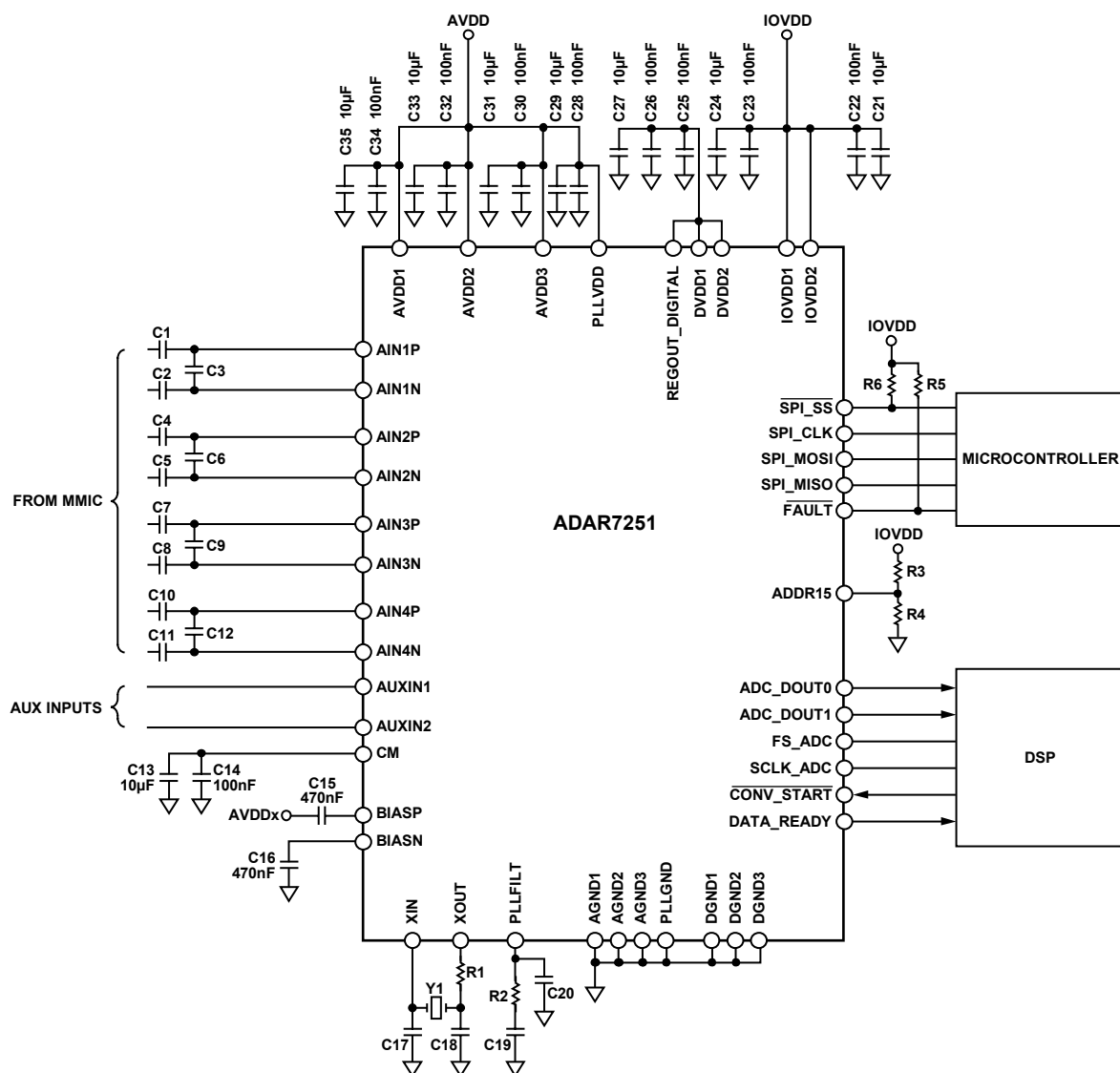


表 83. CRC_EN ビットの説明

ビット	ビット名	設定	概要	リセット	アクセス
0	CRC_EN	0 1	CRC イネーブル CRC ディスエーブル	0x0	RW

代表的なアプリケーション回路



C1, C2, C4, C5, C7, C8, C10, C11: SEE HIGH-PASS FILTER (HPF) SECTION
 C3, C6, C9, C12: SEE LOW-PASS FILTER (LPF) SECTION
 C17, C18: 12pF TO 18pF, SELECT BASED ON CRYSTAL
 R1: 100Ω TYPICAL, SELECT BASED ON CRYSTAL
 C19: 5.6nF
 C20: 390pF
 R2: 1kΩ
 R3, R4: 10kΩ; USE EITHER PULL-UP OR PULL-DOWN BASED ON DEVICE ADDRESS
 R5, R6: 10kΩ TYPICAL
 CONV_START AND DATA_READY SIGNALS MAY NOT BE NECESSARY, SEE ADC SERIAL MODE SECTION
 FS_ADC AND SCLK_ADC DIRECTION DEPENDS ON THE MASTER OR SLAVE MODE
 Y1: 19.2MHz TYPICAL. ACCEPTABLE RANGE IS 16MHz TO 54MHz. ALTERNATELY CLOCK AVAILABLE IN THE SYSTEM CAN BE CONNECTED TO XIN.

図 60. 代表的なアプリケーション回路、4 チャンネル、シリアル・モード

12357-045

外形寸法

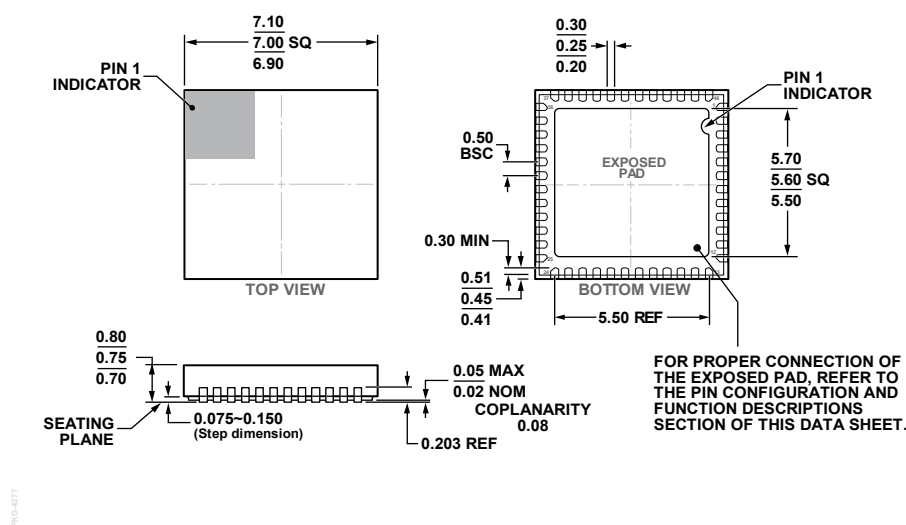


図 61.48 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_SS]
7mm × 7mm ボディ、側面ハンダ付け可能リード付き
(CS-48-1)
寸法：mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADAR7251WBCSZ	-40°C to +125°C	48-Lead LFCSP_SS	CS-48-1
ADAR7251WBCSZ-RL	-40°C to +125°C	48-Lead LFCSP_SS, 13" Tape and Reel	CS-48-1
EVAL-ADAR7251Z		Evaluation Board	

¹ Z = RoHS 準拠製品。

² W = 車載アプリケーション向けに性能を評価済み。

オートモーティブ製品

ADAR7251W モデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。これらのオートモーティブ・モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様