

## 3ADC、1DACの低消費電力コーデック、オーディオDSP付き

### 特長

- ▶ プログラマブルなFastDSPオーディオ処理エンジン
  - ▶ 最大768kHzのサンプル・レート
  - ▶ バイクワッド・フィルタ、リミッタ、ボリューム制御、ミキシング
- ▶ Tensilica HiFi 3z DSPコア
  - ▶ サイクルあたりのクワッドMAC：24 x 24ビット乗算器および64ビット加算器
  - ▶ 柔軟な電力動作モード：24.576MHz、49.152MHz、73.728MHz、98.304MHz
  - ▶ 合計メモリ容量：336kB
  - ▶ JTAGによるデバッグおよびトレース
- ▶ 低遅延の24ビットADCおよびDAC
  - ▶ 106dBのS/N比（A特性重み付けフィルタを使用してADCを通した信号）
  - ▶ 110dBの合計S/N比（A特性重み付けフィルタを使用してDACとヘッドフォンを通した信号）
- ▶ 最大24段のイコライザに適用可能なプログラマブルな倍精度MACエンジン
- ▶ シリアル・ポートのサンプル・レート：8kHz~768kHz
- ▶ 5 $\mu$ sの群遅延（ $f_s = 768$  kHz）、FastDSPバイパスを使用したアナログ入力アナログ出力（ゼロ命令）の場合
- ▶ 3つの差動またはシングルエンドのアナログ入力、マイクロフォン入力またはライン入力として設定可能
- ▶ 8つのデジタル・マイクロフォン入力
- ▶ アナログ差動オーディオ出力、ライン出力またはヘッドフォン駆動として設定可能
- ▶ 2つのPDM出力チャンネル
- ▶ PLLは30kHz~36MHzの任意の入力クロック・レートに対応
- ▶ 4チャンネルの非同期サンプル・レート・コンバータ（ASRC）
- ▶ 2つの16チャンネル・シリアル・オーディオ・ポートが、I2S、左詰め、右詰め、TDM16（最大、ターボ・モードではTDM12）に対応
- ▶ 柔軟なルーティングが可能な8個のインターポレータと8個のデシメータ

- ▶ 電源
  - ▶ デジタルI/OのIOVDD：1.1V~1.98V
  - ▶ デジタルDVDD：0.85V~1.21V
  - ▶ ヘッドフォンHPVDD：1.8V（代表値）
  - ▶ ヘッドフォンHPVDD\_L：1.2V~HPVDD
- ▶ 制御/通信インターフェース
  - ▶ I<sup>2</sup>C、SPI、またはUART制御ポート
  - ▶ マスタ・クワッドSPI（QSPI）
  - ▶ UART通信ポート
  - ▶ QSPIフラッシュからのセルフ・ブート
  - ▶ 柔軟なGPIOおよびIRQ
  - ▶ 56ボール、0.35mmピッチ、2.980mm × 2.679mm WLCSP

### アプリケーション

- ▶ ノイズ・キャンセリング機能を備えたハンドセット、ヘッドセット、ヘッドフォン
- ▶ Bluetoothアクティブ・ノイズ・キャンセリング（ANC）機能を備えたハンドセット、ヘッドセット、ヘッドフォン
- ▶ 個人向けナビゲーション機器
- ▶ デジタル・スチル・カメラおよびビデオ・カメラ
- ▶ 楽器用エフェクト・プロセッサ
- ▶ マルチメディア・スピーカ・システム
- ▶ スマートフォン

### 概要

ADAU1860は、2つのデジタル・シグナル・プロセッサ（DSP）を内蔵した3入力、1出力のコーデックです。アナログ入力からDSPコアを経由してアナログ出力にいたる経路は、低遅延になるように最適化されており、ノイズ・キャンセリング・イヤフォンに最適です。少数の受動部品を追加するだけで、ADAU1860はフル機能のイヤフォン・ソリューションを提供します。

アナログ・デバイセズは、文書に使用する用語と言語を文化的に適切なものとするための更新作業を進めています。このプロセスは広い範囲にわたって段階的に進められますが、できるだけ早期の完了を目指しています。今しばらくお待ちください。

### Rev. A

[文書に関するご意見](#)[テクニカルサポート](#)

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

## 目次

特長.....	1	熱抵抗.....	16
アプリケーション.....	1	静電放電 (ESD) 定格.....	16
概要.....	1	ESDに関する注意.....	16
機能ブロック図.....	3	ピン配置およびピン機能の説明.....	17
仕様.....	4	代表的な性能特性.....	20
アナログ性能の仕様.....	4	動作原理.....	27
水晶発振器アンプの仕様.....	8	システム・ブロック図.....	28
デジタル入出力の仕様.....	9	アプリケーション情報.....	29
電源仕様.....	9	電源のバイパス・コンデンサ.....	29
パワーダウン電流.....	9	レイアウト.....	29
代表的な消費電力.....	10	グラウンド接続.....	29
デジタル・フィルタ.....	11	外形寸法.....	30
デジタル・タイミング仕様.....	11	オーダー・ガイド.....	30
絶対最大定格.....	16	評価用ボード.....	30

## 改訂履歴

## 9/2022—Rev. 0 to Rev. A

Changes to Features Section.....	1
Changes to Table 1.....	4
Changes to Typical Performance Characteristics Section.....	20
Changes to Theory of Operation Section.....	27

## 10/2021—Revision 0: Initial Version

機能ブロック図

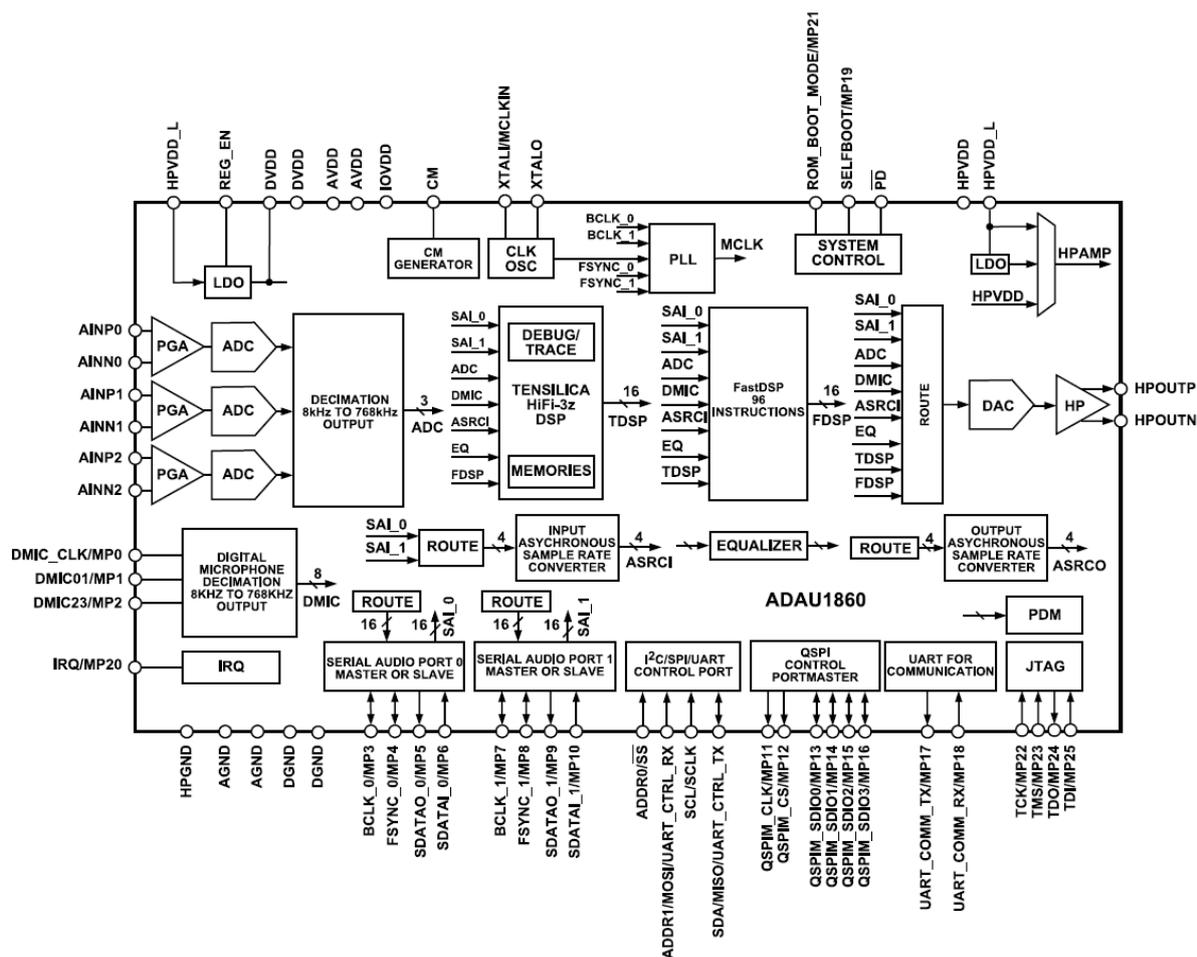


図 1.

001

## 仕様

特に指定のない限り、マスタ・クロック = 24.576MHz、休止1モード、シリアル入力サンプル・レート = 48kHz、測定帯域幅 = 20Hz～20kHz、ワード幅 = 24ビット、周囲温度 = 25°C、出力ライン負荷 = 10kΩ。

## アナログ性能の仕様

電源電圧：特に指定のない限り、AVDD = HPVDD = IOVDD = 1.8V、DVDD = 0.9V。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
ANALOG-TO-DIGITAL CONVERTERS (ADCs)						
ADC Resolution	全ADC		24		Bits	
Digital Gain Step			0.375		dB	
Digital Gain Range		-71.25		+24	dB	
INPUT RESISTANCE (R <sub>IN</sub> )						
Single-Ended Line Input	非音声ウェイクアップ・モード		9		kΩ	
	音声ウェイクアップ・モード		18		kΩ	
Differential Line Input	非音声ウェイクアップ・モード		36		kΩ	
	音声ウェイクアップ・モード		36		kΩ	
Programmable Gain Amplifier (PGA) Single-Ended Inputs	PGAハイR <sub>IN</sub> 、通常、0dBゲイン		20.6		kΩ	
	PGAハイR <sub>IN</sub> 、通常、24dBゲイン		2.4		kΩ	
	PGAローR <sub>IN</sub> 、拡張、0dBゲイン		10.3		kΩ	
	PGAローR <sub>IN</sub> 、拡張、24dBゲイン		1.2		kΩ	
PGA Differential Inputs	PGAハイR <sub>IN</sub> 、拡張、0dBゲイン		20.6		kΩ	
	PGAハイR <sub>IN</sub> 、拡張、24dBゲイン		2.4		kΩ	
	PGAハイR <sub>IN</sub> 、通常、0dBゲイン		41.2		kΩ	
	PGAハイR <sub>IN</sub> 、通常、24dBゲイン		4.8		kΩ	
	PGAローR <sub>IN</sub> 、拡張、0dBゲイン		20.6		kΩ	
	PGAローR <sub>IN</sub> 、拡張、24dBゲイン		2.4		kΩ	
	PGAハイR <sub>IN</sub> 、拡張、0dBゲイン		41.2		kΩ	
	PGAハイR <sub>IN</sub> 、拡張、24dBゲイン		4.8		kΩ	
SINGLE-ENDED LINE INPUT						
Full-Scale Input Voltage	PGA <sub>x</sub> _EN = 0およびPGA <sub>x</sub> _SLEW_DIS = 1					
	0dBFS		0.49		V rms	
Dynamic Range <sup>1</sup>	0dBFS		1.39		V p-p	
	20Hz～20kHz、-60dBの入力					
	With A-Weighted Filter (RMS)	強化性能		103		dB
		通常性能		103		dB
		節電		102		dB
	With Flat 20 Hz to 20 kHz Filter	音声ウェイクアップ		99		dB
		強化性能		98		dB
		通常性能		98		dB
		節電		98		dB
	Signal-to-Noise Ratio (SNR) <sup>2</sup>	音声ウェイクアップ		96		dB
With A-Weighted Filter (RMS)		強化性能		102		dB
		通常性能		102		dB
		節電		102		dB
With Flat 20 Hz to 20 kHz Filter	音声ウェイクアップ		98		dB	
	強化性能		98		dB	
	通常性能		98		dB	
	節電		98		dB	
With Flat 20 Hz to 20 kHz Filter	音声ウェイクアップ		95		dB	

## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Interchannel Gain Mismatch			40		mdB
Total Harmonic Distortion + Noise (THD + N)	20Hz~20kHz、-1dBフルスケール出力				
	強化性能		-78		dBFS
	通常性能		-78		dBFS
	節電		-78		dBFS
	音声ウェイクアップ		-78		dBFS
Offset Error			±0.3		mV
Gain Error			±0.2		dB
Interchannel Isolation	CMコンデンサ = 1 $\mu$ F		100		dB
Power Supply Rejection Ratio (PSRR)	CMコンデンサ = 1 $\mu$ F				
	100mV p-p (1kHz時)		60		dB
	100mV p-p (10kHz時)		40		dB
DIFFERENTIAL LINE INPUT	PGAx_EN = 0、PGAx_SLEW_DIS = 1				
Full-Scale Input Voltage	0dBFS		0.98		V rms
	0dBFS		2.78		V p-p
Dynamic Range <sup>1</sup>	20Hz~20kHz、-60dBの入力				
With A-Weighted Filter (RMS)	強化性能		106		dB
	通常性能		106		dB
	節電		105		dB
	音声ウェイクアップ		100		dB
With Flat 20 Hz to 20 kHz Filter	強化性能		104		dB
	通常性能		104		dB
	節電		103		dB
	音声ウェイクアップ		98		dB
SNR <sup>2</sup>					
With A-Weighted Filter (RMS)	強化性能		106		dB
	通常性能		106		dB
	節電		104		dB
	音声ウェイクアップ		99		dB
With Flat 20 Hz to 20 kHz Filter	強化性能		103		dB
	通常性能		103		dB
	節電		102		dB
	音声ウェイクアップ		98		dB
Interchannel Gain Mismatch			40		mdB
THD + N	20Hz~20kHz、-1dBフルスケール出力				
	強化性能		-95		dBFS
	通常性能		-95		dBFS
	節電		-95		dBFS
	音声ウェイクアップ		-95		dBFS
Offset Error			±0.2		mV
Gain Error			±0.2		dB
Interchannel Isolation	CMコンデンサ = 1 $\mu$ F		100		dB
PSRR	CMコンデンサ = 1 $\mu$ F				
	100mV p-p (1kHz時)		70		dB
	100mV p-p (10kHz時)		70		dB

## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
<b>SINGLE-ENDED PGA INPUT</b>					
Full-Scale Input Voltage	PGAx_EN = 1 0dBFS		0.49		V rms
	0dBFS		1.39		V p-p
Dynamic Range <sup>1</sup>	20Hz~20kHz、-60dBの入力				
With A-Weighted Filter (RMS)	強化性能		100		dB
	通常性能		100		dB
	節電		99		dB
	音声ウェイクアップ		97		dB
With Flat 20 Hz to 20 kHz Filter	強化性能		96		dB
	通常性能		96		dB
	節電		96		dB
	音声ウェイクアップ		94		dB
SNR <sup>2</sup>					
With A-Weighted Filter (RMS)	強化性能		100		dB
	通常性能		100		dB
	節電		99		dB
	音声ウェイクアップ		97		dB
With Flat 20 Hz to 20 kHz Filter	強化性能		96		dB
	通常性能		96		dB
	節電		96		dB
	音声ウェイクアップ		94		dB
THD + N	20Hz~20kHz、-1dBFS				
	強化性能		-78		dBFS
	通常性能		-78		dBFS
	節電		-78		dBFS
	音声ウェイクアップ		-78		dBFS
PGA Gain Range		0		24	dB
PGA Gain Variation					
With 0 dB Setting	標準偏差		0.05		dB
With 24 dB Setting	標準偏差		0.15		dB
Interchannel Gain Mismatch			40		mdB
Offset Error			0.3		mV
Gain Error			±0.2		dB
Interchannel Isolation	CMコンデンサ = 1 μF		83		dB
PSRR	CMコンデンサ = 1 μF				
	100mV p-p (1kHz時)		70		dB
	100mV p-p (10kHz時)		50		dB
<b>DIFFERENTIAL PGA INPUT</b>					
Full-Scale Input Voltage	PGAx_EN = 1 0dBFS		0.98		V rms
	0dBFS		2.78		V p-p
Dynamic Range <sup>1</sup>	20Hz~20kHz、-60dBの入力				
With A-Weighted Filter (RMS)	強化性能		103		dB
	通常性能		103		dB
	節電		103		dB
	音声ウェイクアップ		97		dB
With Flat 20 Hz to 20 kHz Filter	強化性能		101		dB
	通常性能		101		dB
	節電		100		dB
	音声ウェイクアップ		96		dB

## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
SNR <sup>2</sup> With A-Weighted Filter (RMS)	強化性能		102		dB	
	通常性能		102		dB	
	節電		102		dB	
	音声ウェイクアップ		97		d	
	With Flat 20 Hz to 20 kHz Filter	強化性能		100		dB
		通常性能		100		dB
		節電		100		dB
		音声ウェイクアップ		95		dB
	THD + N	20Hz~20kHz、-1dBFS				
		強化性能		-95		dBFS
通常性能			-95		dBFS	
節電			-95		dBFS	
音声ウェイクアップ		-95		dBFS		
PGA Gain Range		0		24	dB	
PGA Gain Variation						
With 0 dB Setting	標準偏差		0.05		dB	
With 24 dB Setting	標準偏差		0.15		dB	
Interchannel Gain Mismatch			40		mdB	
Offset Error			±0.2		mV	
Gain Error			±0.2		dB	
Interchannel Isolation	CMコンデンサ = 1 μF		100		dB	
PSRR	CMコンデンサ = 1 μF					
	100mV p-p (1kHz時)		70		dB	
	100mV p-p (10kHz時)		70		dB	
DIGITAL-TO-ANALOG CONVERTERS (DACs)						
Internal Converter Resolution	全D/Aコンバータ (DAC)		24		Bits	
Digital Gain						
Step			0.375		dB	
Range		-71.25		+24	dB	
Ramp Rate			4.5		dB/ms	
DAC DIFFERENTIAL OUTPUT						
Full-Scale Output Voltage	DACに対し0dBFS		1.0 V		Vrms	
Dynamic Range <sup>1</sup>	20Hz~20kHz、-60dBの入力					
		With A-Weighted Filter (RMS)	強化性能	110		dB
		通常性能	106		dB	
With Flat 20 Hz to 20 kHz Filter	強化性能		107		dB	
	通常性能		103		dB	
SNR <sup>2</sup>	20Hz~20kHz					
		With A-Weighted Filter (RMS)	強化性能	110		dB
		通常性能	106		dB	
With Flat 20 Hz to 20 kHz Filter	強化性能		106		dB	
	通常性能		103		dB	
Output Noise	20Hz~20kHz					
With A-Weighted Filter (RMS)			3.15		μV	
THD + N Level	ヘッドフォン・モード					
		32 Ω Load	-15dBFS入力、出力電力 (P <sub>OUT</sub> ) = 1mW、強化性能	-96		dBV
		-15dBFS入力、P <sub>OUT</sub> = 1mW、通常性能	-85		dBV	

## 仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
24 Ω Load	-1dBFS入力、強化性能		-89		dBV	
	-1dBFS入力、通常性能		-80		dBV	
	-2dBFS入力、強化性能		-89		dBV	
	-2dBFS入力、通常性能		80		dBV	
	16 Ω Load	-3dBFS入力、強化性能		-89		dBV
		-3dBFS入力、通常性能		-80		dBV
THD + N Ratio <sup>3</sup>	ヘッドフォン・モード					
10 kΩ Load	-1dBFS入力、通常性能		-95		dB	
300 Ω Load	-1dBFS入力、強化性能		-93		dB	
600 Ω Load	-1dBFS入力、強化性能		-93		dB	
Headphone Output Power						
32 Ω Load	AVDD = 1.8V、0.1%未満のTHD + N		30		mW	
24 Ω Load	AVDD = 1.8V、0.1%未満のTHD + N		40		mW	
16 Ω Load	AVDD = 1.8V、0.1%未満のTHD + N		50		mW	
Gain Error			±2.5		%	
DC Offset			±0.1		mV	
PSRR	CMコンデンサ = 1 μF					
HPVDD	100mV p-p (1kHz時)		85		dB	
	100mV p-p (10kHz時)		85		dB	
HPVDD_L (LDO Bypass)	100mV p-p (1kHz時)		90		dB	
	100mV p-p (10kHz時)		90		dB	
AVDD Undervoltage Trip Point			1.5		V	
CM REFERENCE	CMピン					
Output			0.85		V	
Source Impedance			5		kΩ	
PHASE LOCKED LOOP (PLL)						
Input Frequency	入力プリスケール後	0.03		36	MHz	
Output Frequency		24	49.152	100	MHz	
Fractional Limits	フラクショナル・モード、フラクショナル部分 (分子 (N) /分母 (M))	0.1		0.9		
Integer Limits	フラクショナル・モード、インテジャー部分	2		3072		
Lock Time	32kHz入力		6.5		ms	
	24.576MHz入力		0.46	0.55	ms	
REGULATOR						
Line Regulation			1		mV/V	
Load Regulation			0.5		mV/mA	

1 ダイナミック・レンジは、-60dBFSの信号が存在する場合の対象帯域でのノイズおよび高調波電力の総和とフルスケール電力レベルとの比で、単位はデシベルです。

2 S/N比は、信号が存在しない場合の対象帯域での全ノイズ電力の総和とフルスケール電力レベルとの比で、単位はデシベルです。

3 25°C、かつDAC\_MORE\_FILTおよびDAC\_LPMを有効化しA特性重み付けフィルタを使用。

## 水晶発振器アンプの仕様

電源電圧：特に指定のない限り、AVDD = IOVDD = 1.8V、DVDD = 0.9V。

表 2.

Parameter	Min	Typ	Max	Unit
JITTER		270	500	ps
FREQUENCY RANGE	1		36	MHz
LOAD CAPACITANCE			20	pF

## 仕様

## デジタル入出力の仕様

特に指定のない限り、 $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$ 、 $\text{IOVDD} = 1.1\text{V} \sim 1.98\text{V}$ 。

表 3.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
INPUT VOLTAGE						
High	$V_{IH}$		$0.7 \times \text{IOVDD}$			V
Low	$V_{IL}$				$0.3 \times \text{IOVDD}$	V
	$I_{IH}$	$\text{IOVDD} = 1.8\text{V}$ 、 $V_{IH} = 1.1\text{V}$ での入力ハイ電流 ( $I_{IH}$ )			10	$\mu\text{A}$
	$I_{IL}$	$V_{IL} = 0.45\text{V}$ での入力ロー電流 ( $I_{IL}$ )			10	$\mu\text{A}$
OUTPUT VOLTAGE HIGH	$V_{OH}$					
Drive Strength						
Low		出力ハイ電流 ( $I_{OH}$ ) = 1mA	$0.7 \times \text{IOVDD}$	$0.83 \times \text{IOVDD}$		V
High		$I_{OH} = 3\text{mA}$	$0.7 \times \text{IOVDD}$	$0.83 \times \text{IOVDD}$		V
OUTPUT VOLTAGE LOW	$V_{OL}$					
Drive Strength						
Low		出力ロー電流 ( $I_{OL}$ ) = 1mA		$0.1 \times \text{IOVDD}$	$0.3 \times \text{IOVDD}$	V
High		出力ロー電流 ( $I_{OL}$ ) = 3mA		$0.1 \times \text{IOVDD}$	$0.3 \times \text{IOVDD}$	V
INPUT CAPACITANCE					5	pF

## 電源仕様

電源電圧：特に指定のない限り、 $\text{AVDD} = \text{HPVDD} = \text{IOVDD} = 1.8\text{V}$ 、 $\text{DVDD} = 0.9\text{V}$ 。PLLはディスエーブル、マスタ・クロックを直接供給。デジタル入出力 (I/O) ラインに25pFの負荷を使用。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLIES					
AVDD Voltage		1.7	1.8	1.98	V
DVDD Voltage		0.85	0.9	1.21	V
IOVDD Voltage		1.1	1.8	1.98	V
HPVDD Voltage		1.7	1.8	1.98	V
HPVDD_L Voltage		1.2		HPVDD	V

## パワーダウン電流

電源電圧： $\text{AVDD} = \text{HPVDD} = \text{IOVDD} = 1.8\text{V}$ 、 $\text{DVDD} = 0.9\text{V}$ は外部から供給。PLLおよび水晶発振器をディスエーブルしてバイパス。

表 5.

Parameter	AVDD + HPVDD Current			DVDD Current			IOVDD Current			HPVDD_L Current			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
POWER-DOWN CURRENT													
$\overline{\text{PD}}$ Pin Low (Hardware Power Down)		6.6			56.9			2.6			3		$\mu\text{A}$
PWR_MODE = 00													
CM_KEEP_ALIVE = 0		11			258			21			3		$\mu\text{A}$
CM_KEEP_ALIVE = 1		588			258			21			3		$\mu\text{A}$

仕様

代表的な消費電力

PLLをバイパスし、マスタ・クロック = 24.576MHz (外部発振器)。DVDD = 0.9V、AVDD = HPVDD = IOVDD = 1.8Vは外部から供給。該当の場合、ADC0およびADC1は192kHzで動作、ADC2は48kHzで動作。FastDSP™は192kHzで動作 (27ビット精度のバイクワッド・フィルタ)、Tensilica DSPは48kHzで動作。DACは192kHzで動作、DAC\_LPM = 0。1つのシリアル・ポート入出力をスレープに設定し、32Ωのヘッドフォン負荷を接続して使用。DACヘッドフォン・アンプ (HPAMP) は通常電圧モード。静止電流には信号なし。

表6において、ASRCIおよびASRCOは非同期サンプル・レート・コンバータの入力ポートと出力ポート、FIFOは先入れ先出し、DMICはデジタル・マイクロフォン、PDMはパルス密度変調。

表 6.

ADC + PGA Channels	DAC Channels	ASRCI/ASRCO Channels	FIFO and SRAM2	FastDSP Instructions	Equalizer Filters	DMIC/PDM Channels	Interpolator / Decimator Channels	AVDD +			
								HPVDD Current (mA)	DVDD Current (mA)	IOVDD Current (mA)	HPVDD_L Current (mA)
0	1	1/0	N	0	13	0	0	0.99	1.09	0.15	0.003
2	1	0	N	32	13	0	0	2.18	1.87	0.15	0.003
2	1	1/0	N	32	13	0	0	2.18	2.54	0.15	0.003
1	1	1/1	N	0	13	0	0	1.76	1.30	0.22	0.003
3	1	1/3	N	32	13	0	0	2.58	3.04	0.315	0.003
1 (Voice Wake Up)	0	0	Y	0	0	0	0	1.46	1.56	0.15	0.003

代表的なアクティブ・ノイズ・キャンセリング (ANC) 設定 (ANCを用いた通話) マスタ・クロック = 24.576MHz (外部発振器およびPLLをバイパス)。DVDD = 0.9V、AVDD = HPVDD = IOVDD = 1.8Vは外部から供給。3つのADCはPGAをイネーブルし、ヘッドフォン入力用に設定。DACは差動ヘッドフォン動作用に設定し、DAC出力の負荷は32Ωで、DAC\_LPM = 0。1つのシリアル・ポート入出力をスレープに設定して使用。1つの入力ASRCおよび3つの出力ASRCを使用。FastDSPは24.576MHzで動作し、32個の命令 (27ビット精度のバイクワッド・フィルタ) を192kHzで実行。Tensilica DSPをバイパス、静止電流には信号なし、入力信号レベルは-15dBFS。

表 7.

Operating Voltage	Performance Setting	Power Mode	Typical Current (mA)				Total Power Consumption (mW)	Typical ADC THD + N, Differential Mode (dB FS)	Typical Headphone Output THD + N (dBV), 1 mW Output
			AVDD + HPVDD	DVDD	IOVDD	HPVDD_L			
AVDD = IOVDD = 1.8 V, DVDD = 0.9 V	High	Normal voltage	3.04	3.06	0.316	0.003	8.8	-95	Not applicable No load
			7.87	3.06	0.315	0.003	17.49	-95	-96
		Low voltage	2.76	3.06	0.316	0.286	8.63	-95	Not applicable No load
			2.76	3.06	0.316	5.093	14.4	-95	-96
	Normal	Normal voltage	2.58	3.06	0.316	0.003	7.97	-95	Not applicable No load
			7.41	3.06	0.316	0.003	16.66	-95	-85
		Low voltage	2.32	3.06	0.316	0.257	7.8	-95	Not applicable No load
			2.32	3.06	0.316	5.071	13.58	-95	-85

## 仕様

## デジタル・フィルタ

表 8.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ADC INPUT TO DAC OUTPUT PATH					
Pass-Band Ripple	DC~20kHz、サンプリング周波数 ( $f_s$ ) = 192kHz (ADC_FCOMP = 1、DAC_FCOMP = 1)			±0.02	dB
Group Delay	$f_s = 192\text{kHz}$		12.9		µs
	$f_s = 384\text{kHz}$		7.5		µs
	$f_s = 768\text{kHz}$		5		µs
SAMPLE RATE CONVERTER					
Pass Band	FSYNC < 63kHz			$0.475 \times f_s$	kHz
	63kHz < FSYNC < 112kHz			$0.4286 \times f_s$	kHz
	FSYNC > 112kHz		$0.2383 \times f_s$		kHz
Audio Band Ripple	20Hz~20kHz	-0.1		+0.1	dB
Input and Output Sample Frequency Range		7		224	kHz
Dynamic Range	ASRCx_LPM = 0		130		dB
	ASRCx_LPM = 1		130		dB
	ASRCx_LPM_II = 1		130		dB
THD + Noise	20Hz~20kHz、入力周波数の代表値は1kHz、最大値は20kHz				
	ASCRx_LPM = 0	-130		-120	dBFS
	ASCRx_LPM = 1	-120		-110	dBFS
	ASCRx_LPM_II = 1	-115		-90	dBFS
Start-Up Time to Lock				25	ms
PDM OUTPUTS					
Dynamic Range	20Hz~20kHz、A特性重み付けフィルタを使用		126		dBFS
THD + N	20Hz~20kHz、-6dBFS入力		-125		dBFS

## デジタル・タイミング仕様

特に指定のない限り、 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 、IOVDD = 1.1V~1.8V、DVDD = 0.9V~1.1V。

表 9.

Parameter	Limit		Unit	Description
	Min	Max		
MASTER CLOCK				MCLKIN period
$t_{MPI}$	0.037	33.3	µs	30 kHz to 36 MHz input clock using PLL in integer mode
$t_{MPF}$	0.037	1.0	µs	30 kHz to 36 MHz input clock using PLL in fractional mode
AUDIO SERIAL PORT				
$t_{BL}$	18		ns	BCLK_x low pulse width (master and slave modes)
$t_{BH}$	18		ns	BCLK_x high pulse width (master and slave modes)
$f_{BCLK}$	0.512	24.576	MHz	BCLK_x frequency
$t_{LS}$	3		ns	FSYNC_x setup, time to BCLK_x rising (slave mode)
$t_{LH}$	5		ns	FSYNC_x hold, time from BCLK_x rising (slave mode)
$f_{SYNC}$	8	768 <sup>1</sup>	kHz	FSYNC_x frequency
$t_{SS}$	3		ns	SDATAI_x setup, time to BCLK_x rising (master and slave modes)
$t_{SH}$	10		ns	SDATAI_x hold, time from BCLK_x rising (master and slave modes)
$t_{TS}$		6	ns	BCLK_x falling to FSYNC_x timing skew (master mode)

## 仕様

表 9.

Parameter	Limit		Unit	Description
	Min	Max		
$t_{SOD}$	0	16	ns	SDATAO_x delay, time from BCLK_x falling (master and slave modes), IOVDD at 1.62 V minimum
	0	32	ns	SDATAO_x delay, time from BCLK_x falling (master and slave modes), IOVDD at 1.1 V minimum
$t_{SOTD}$	0	16	ns	BCLK_x falling to SDATAO_x driven in tristate mode
$t_{SOTX}$	0	16	ns	BCLK_x falling to SDATAO_x tristated in tristate mode
SERIAL PERIPHERAL INTERFACE (SPI) PORT				
$f_{SCLK}$		24	MHz	SCLK frequency
$t_{CCPL}$	15		ns	SCLK pulse width low
$t_{CCPH}$	15		ns	SCLK pulse width high
$t_{CLS}$	4		ns	$\overline{SS}$ setup, time to SCLK rising
$t_{CLH}$	18		ns	$\overline{SS}$ hold, time from SCLK rising
$t_{CLPH}$	10		ns	$\overline{SS}$ pulse width high
$t_{CDS}$	8		ns	MOSI setup, time to SCLK rising
$t_{CDH}$	6		ns	MOSI hold, time from SCLK rising
$t_{COD}$		17	ns	MISO delay, time from SCLK falling
$t_{COTS}$		24	ns	MISO high-Z, time from $\overline{SS}$ rising
I <sup>2</sup> C PORT				
$f_{SCL}$		1	MHz	SCL frequency
$t_{SCLH}$	0.26		$\mu$ s	SCL high
$t_{SCLL}$	0.5		$\mu$ s	SCL low
$t_{SCS}$	0.26		$\mu$ s	SCL rise setup time (to SDA falling), relevant for repeated start condition
$t_{SCR}$		120	ns	SCL and SDA rise time, $C_{LOAD} = 400$ pF
$t_{SCH}$	0.26		$\mu$ s	SCL fall hold time (from SDA falling), relevant for start condition
$t_{DS}$	50		ns	SDA setup time (to SCL rising)
$t_{SCF}$		120	ns	SCL and SDA fall time, $C_{LOAD} = 400$ pF
$t_{BFT}$	0.5		$\mu$ s	SCL rise setup time (to SDA rising), relevant for stop condition
QSPI				
$f_{QCLK}$		50 <sup>2</sup>	MHz	QSPIM_CLK frequency
UART				
		1.152	Mbps	Baud rate
GENERAL-PURPOSE INPUT/OUTPUT (GPIO) PINS				
$t_{GIL}$		$1.5 \times 1/f_S$	$\mu$ s	MPx input latency, time until high or low value is read by core
$t_{RLPW}$	20		ns	$\overline{PD}$ low pulse width
DIGITAL MICROPHONE				
$t_{CF}^3$		12	ns	Digital microphone clock fall time
$t_{CR}^3$		14	ns	Digital microphone clock rise time
$t_{SETUP}$	10		ns	Digital microphone data setup time
$t_{HOLD}$	3		ns	Digital microphone data hold time

仕様

表 9.

Parameter	Limit		Unit	Description
	Min	Max		
PDM OUTPUT				
$f_{PDM\_CLK}$		3.072	MHz	PDM clock frequency 3 MHz setting
		6.144	MHz	6 MHz setting
$t_{CF}^3$		12	ns	Digital PDM clock output fall time
$t_{CR}^3$		14	ns	Digital PDM clock output rise time
$t_{HOLD}$	35	46	ns	PDM data hold time

- 1 ステレオ、チャンネルあたり16ビット、768kHz時のみ。
- 2 IOVDD = 1.8Vの場合に室温で測定。
- 3 デジタル・マイクロフォン・クロックの立上がり時間と立下がり時間は、25pFの負荷時に2mAの駆動強度で測定。

デジタル・タイミング図

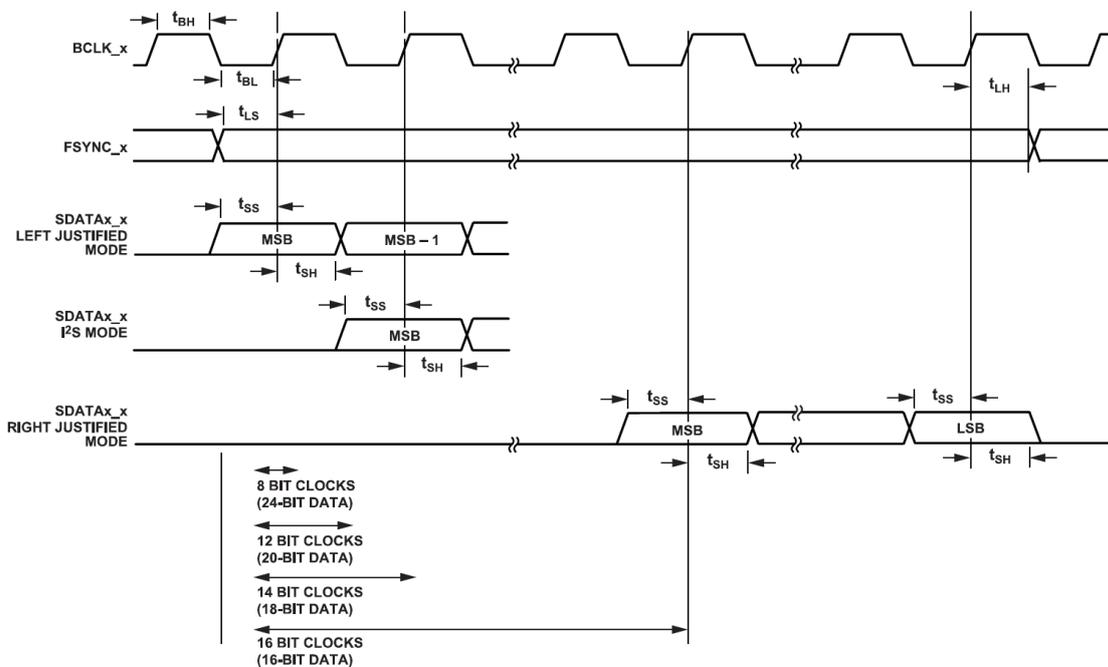


図 2. シリアル入力ポートのタイミング図



仕様

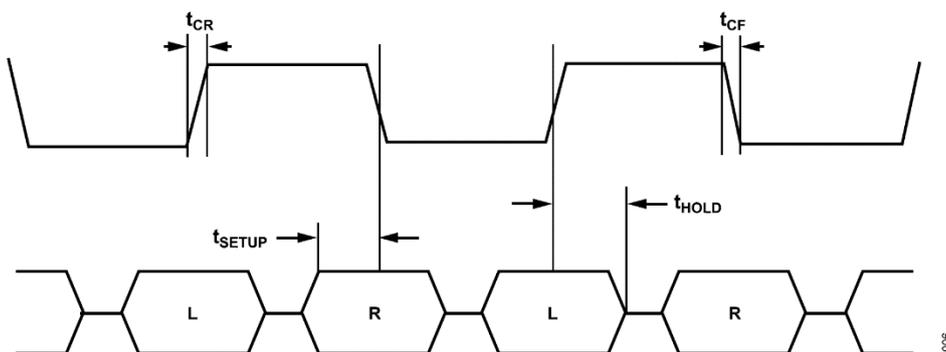


図 6. デジタル・マイクロフォンのタイミング図

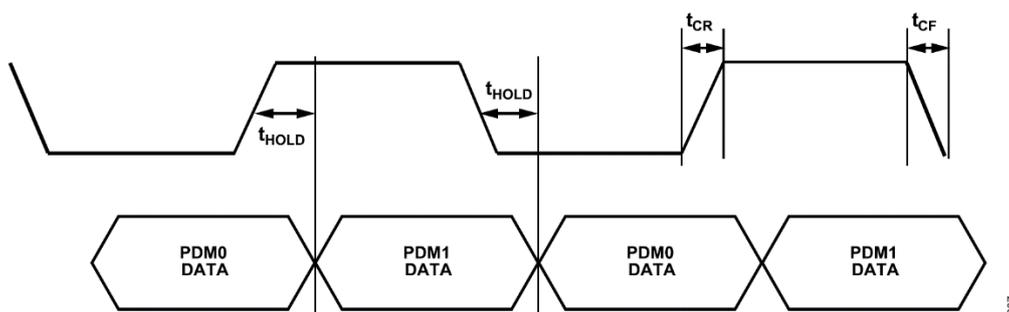


図 7. PDM出力のタイミング図

## 絶対最大定格

表 10.

Parameter	Rating
Power Supply (AVDD, IOVDD, HPVDD, and HPVDD_L)	-0.3 V to +1.98 V
Digital Supply (DVDD)	-0.3 V to +1.21 V
Input Current (Except Supply Pins)	±20 mA
Analog Input Voltage (Signal Pins)	-0.3 V to AVDD + 0.3 V
Digital Input Voltage (Signal Pins)	-0.3 to IOVDD + 0.3 V
Temperature	
Operating Range (Case)	-40°C to +85°C
Storage Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ および $\theta_{JC}$ は、自然対流冷却下にある4層PCBに関するJEDEC-51-9に従って決定されます。

表 11. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$ <sup>1</sup>	Unit
CB-56-6	82.7	0.84	°C/W

<sup>1</sup> 抵抗のシミュレーション値は、2つのサーマル・ピアを備えたJEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD-51を参照してください。

## 静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル (HBM)。  
ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル (CDM)。

## ADAU1860のESD定格

表 12. ADAU1860、56ボールWLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	1000 V	1C
CDM	500 V	C2A

## ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電にさらされた場合は損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

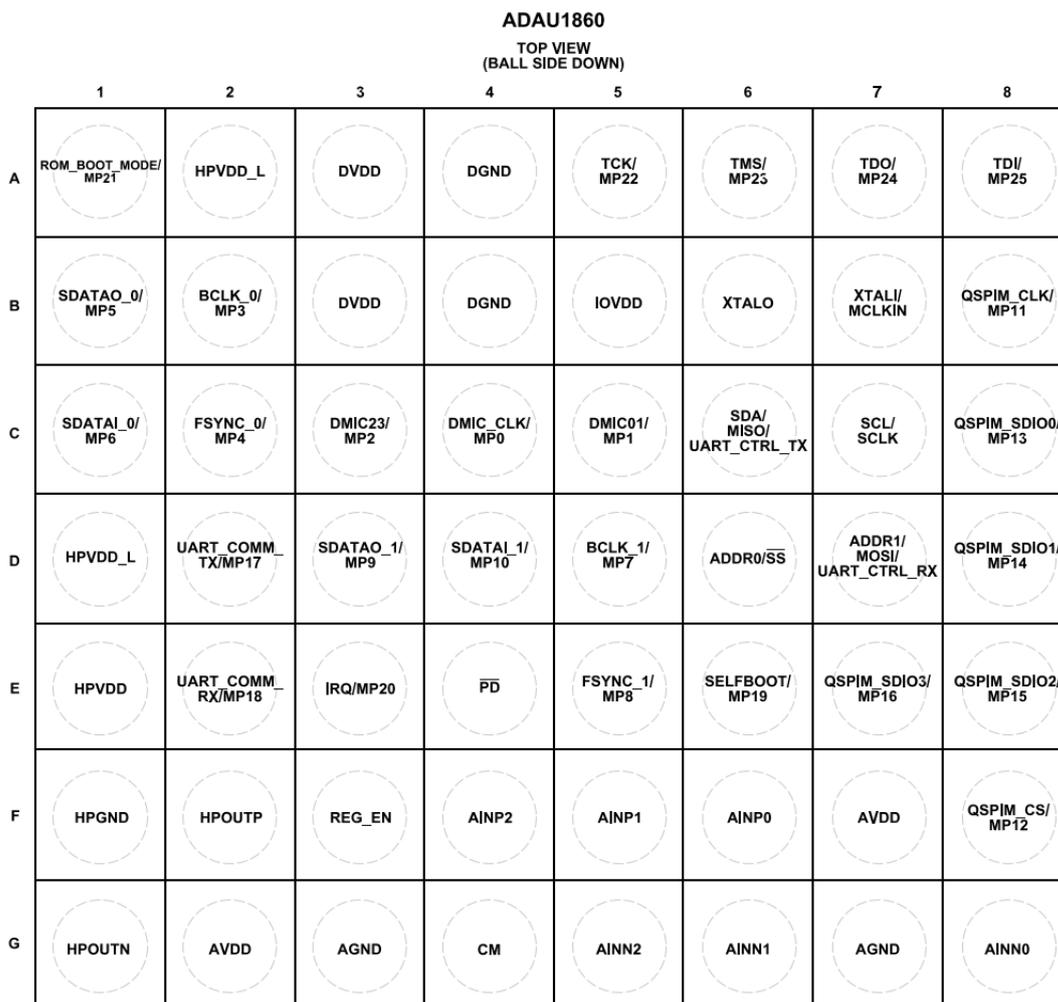


図 8. ピン配置図 (上面図)

表 13. ピン機能の説明

ボール 番号	記号	タイプ <sup>1)</sup>	説明
A1	ROM_BOOT_MODE/MP21	D_IO	ROMブートアップ・モード。IOVDDに接続時はブートアップ・モード1を、グラウンドに接続時はブートアップ・モード2を使用します。 多用途I/O 21 (MP21)。
A2	HPVDD_L	PWR	内蔵低ドロップアウト (LDO) レギュレータおよびヘッドフォン・アンプ電力用の電源。
A3	DVDD	PWR	デジタル・コアの電源。デジタル電源は、内蔵レギュレータから生成することも、外部電源から直接供給することもできます。いずれの場合も、1μFと0.1μFのコンデンサを使用してDVDDとDGNDをデカップリングします。
A4	DGND	PWR	デジタル・グラウンド。AGNDピンとDGNDピンは、まとめて共通グラウンド・プレーンに直接接続できます。
A5	TCK/MP22	D_IO	JTAGポート・クロック入力。 多用途I/O 22 (MP22)。
A6	TMS/MP23	D_IO	JTAGポート・モードの選択。 多用途I/O 23 (MP23)。
A7	TDO/MP24	D_IO	JTAGポート・データ出力。 多用途I/O 24 (MP24)。
A8	TDI/MP25	D_IO	JTAGポート・データ入力。 多用途I/O 25 (MP25)。
B1	SDATAO_0/MP5	D_IO	シリアル・オーディオ・ポート0の出力データ(SDATAO_0)。 多用途I/O 5 (MP5)。

## ピン配置およびピン機能の説明

表 13. ピン機能の説明

ボール番号	記号	タイプ <sup>1)</sup>	説明
B2	BCLK_0/MP3	D_IO	シリアル・オーディオ・ポート0のビット・クロック(BCLK_0)。多用途I/O 3 (MP3)。
B3	DVDD	PWR	デジタル・コアの電源。デジタル電源は、内蔵レギュレータから生成することも、外部電源から直接供給することもできます。いずれの場合も、1 $\mu$ Fと0.1 $\mu$ Fのコンデンサを使用してDVDDとDGNDをデカップリングします。
B4	DGND	PWR	デジタル・グラウンド。AGNDピンとDGNDピンは、まとめて共通グラウンド・プレーンに接続できます。
B5	IOVDD	PWR	デジタル入力ピンおよび出力ピンの電源。デジタル出力ピンにはIOVDDから供給します。この電圧によりデジタル入力ピンに印加できる最大入力電圧が決まります。IOVDDから引き出される電流は、デジタル出力の負荷に依存するため、変動します。IOVDDは、0.1 $\mu$ F以上のコンデンサを使用してDGNDからデカップリングします。
B6	XTALO	A_OUT	水晶発振器クロック出力。XTALOピンは水晶発振器アンプの出力であり、これを用いてシステム内の他のICにクロックを供給することはできません。
B7	XTALI/MCLKIN	D_IN	水晶発振器クロック入力 (XTALI)。マスタ・クロック入力 (MCLKIN)。
B8	QSPIM_CLK/MP11	D_IO	クワッドSPIマスタ・クロック (QSPIM_CLK)。多用途I/O 11 (MP11)。
C1	SDATAI_0/MP6	D_IO	シリアル・オーディオ・ポート0の入力データ(SDATAI_0)。多用途I/O 6 (MP6)。
C2	FSYNC_0/MP4	D_IO	シリアル・オーディオ・ポート0のフレーム同期/左右クロック (FSYNC_0)。多用途I/O 4 (MP4)。
C3	DMIC23/MP2	D_IO	デジタル・マイクロフォン・ステレオ入力2およびデジタル・マイクロフォン・ステレオ入力3 (DMIC23)。多用途I/O 2 (MP2)。
C4	DMIC_CLK/MP0	D_IO	デジタル・マイクロフォン・クロック出力。多用途I/O 0 (MP0)。
C5	DMIC01/MP1	D_IO	デジタル・マイクロフォン・ステレオ入力0およびデジタル・マイクロフォン・ステレオ入力1 (DMIC01)。多用途I/O 1 (MP1)。
C6	SDA/MISO/ UART_CTRL_TX	D_IO	I <sup>2</sup> Cデータ (SDA)。SDAピンは双方向のオープンコレクタです。SDAに接続するラインには2.0k $\Omega$ のプルアップ抵抗が必要です。SPIデータ出力 (MISO)。このSPIデータ出力は、レジスタおよびメモリ・ロケーションをリードバックするために用います。SPIが非アクティブな場合、MISOは3ステートとなります。UART Control Port Data Transmit and Output (UART_CTRL_TX)。
C7	SCL/SCLK	D_IO	I <sup>2</sup> Cクロック (SCL)。デバイスがI <sup>2</sup> C制御モードの場合、SCLピンは常にオープンコレクタ入力です。SCLピンに接続するラインには2.0k $\Omega$ のプルアップ抵抗が必要です。SPIクロック (SCLK)。SCLKピンは連続的に動作させることも、SPIトランザクション間でゲート・オフすることもできます。
C8	QSPIM_SDIO0/MP13	D_IO	クワッド・マスタSPIデータI/O 0 (QSPIM_SDIO0)。多用途I/O 13 (MP13)。
D1	HPVDD_L	PWR	ヘッドフォン・アンプ電力、1.2Vアナログ電源。HPVDD_Lピンは10 $\mu$ Fのコンデンサを用いてHPGNDとデカップリングします。HPVDD_LにいたるPCBパターンは、ヘッドフォン出力の駆動に必要な電流の大きさに応じて、広くする必要があります。
D2	UART_COMM_TX/MP17	D_IO	通信 UART ポート・データ送信/出力 (UART_COMM_TX)。多用途I/O 17 (MP17)。
D3	SDATAO_1/MP9	D_IO	シリアル・オーディオ・ポート1の出力データ(SDATAO_1)。多用途I/O 9 (MP9)。
D4	SDATAI_1/MP10	D_IO	シリアル・オーディオ・ポート1の入力データ(SDATAI_1)。多用途I/O 10 (MP10)。
D5	BCLK_1/MP7	D_IO	シリアル・オーディオ・ポート1のビット・クロック(BCLK_1)。多用途I/O 7 (MP7)。
D6	ADDR0/SS	D_IN	I <sup>2</sup> Cアドレス0 (ADDR0)。SPIラッチ信号 (SS)。SSは、SPIトランザクションの最初ではローに、トランザクションの最後ではハイになります。SPIトランザクションの開始時に送信されるアドレスと読み出し/書き込みビットに応じて、各SPIトランザクションの終了までのSCLKサイクル数が異なる場合があります。

## ピン配置およびピン機能の説明

表 13. ピン機能の説明

ボール番号	記号	タイプ <sup>1</sup>	説明
D7	ADDR1/MOSI/ UART_CTRL_RX	D_IN	I <sup>2</sup> Cアドレス1 (ADDR1)。 SPIデータ入力 (MOSI)。 UART制御ポート・データ・レシーバー/入力 (UART_CTRL_RX)。
D8	QSPIM_SDIO1/MP14	D_IO	クワッド・マスタSPIデータ入力/出力1 (QSPIM_SDIO1)。 多用途I/O 14 (MP14)。
E1	HPVDD	PWR	ヘッドフォン・アンプ電力、1.8Vアナログ電源。HPVDDピンは10μFのコンデンサを用いてHPGNDとデカップリングします。HPVDDにいたるPCBパターンは、ヘッドフォン出力の駆動に必要な電流の大きさに応じて、広くする必要があります。
E2	UART_COMM_RX/MP18	D_IO	通信UARTポート・データ・レシーバー/入力 (UART_COMM_RX)。 多用途I/O 18 (MP18)。
E3	IRQ/MP20	D_IO	割込み入力/出力。 多用途I/O 20 (MP20)。
E4	$\overline{\text{PD}}$	D_IO	アクティブ・ローのパワーダウン。すべてのアナログおよびデジタル回路がパワーダウンします。PDピンには内部にブルダウン抵抗があります。そのため、電力が電源ピンに印加されるときに入力信号がフローティング状態であると、ADAU1860はパワーダウン・モードを維持します。
E5	FSYNC_1/MP8	D_IO	シリアル・オーディオ・ポート1のフレーム同期/左右クロック (FSYNC_1)。 多用途I/O 8 (MP8)。
E6	SELFBOOT/MP19	D_IO	セルフ・ブート。セルフ・テスト・モードを有効にするには、SELFBOOTをIOVDDに設定します。有効にしない場合は、起動時にSELFBOOTをGNDに設定します。 多用途I/O 19 (MP19)。
E7	QSPIM_SDIO3/MP16	D_IO	クワッド・マスタSPIデータ入力/出力3 (QSPIM_SDIO3)。 多用途I/O 16 (MP16)。
E8	QSPIM_SDIO2/MP15	D_IO	クワッド・マスタSPIデータ入力/出力2 (QSPIM_SDIO2)。 多用途I/O 15 (MP15)。
F1	HPGND	PWR	ヘッドフォン・アンプのグラウンド。
F2	HPOUTP	A_OUT	非反転ヘッドフォン出力。
F3	REG_EN	A_IN	レギュレータ・イネーブル。レギュレータをイネーブルするにはAVDDに接続し、ディスエーブルするにはグラウンドに接続します。
F4	AINP2	A_IN	ADC2非反転入力。
F5	AINP1	A_IN	ADC1非反転入力。
F6	AINP0	A_IN	ADC0非反転入力。
F7	AVDD	PWR	1.8Vアナログ電源。AVDDは、10μFのコンデンサを使用してAGNDとデカップリングします。
F8	QSPIM_CS/MP12	D_IO	クワッド・マスタSPIチップ・セレクト。 多用途I/O 12 (MP12)。
G1	HPOUTN	A_OUT	反転ヘッドフォン出力。
G2	AVDD	PWR	1.8Vアナログ電源。AVDDは、10μFのコンデンサを使用してAGNDとデカップリングします。
G3	AGND	PWR	アナログ・グラウンド。AGNDピンとDGNDピンは、まとめて共通グラウンド・プレーンに接続できます。
G4	CM	A_OUT	0.85V (公称値) に固定されたコモンモード・リファレンス。ADCとDACの間のクロストークを低減するために、CMとグラウンドの間に1μFのデカップリング・コンデンサを接続する必要があります。コンデンサの材料は重要ではありません。CMを用いて外部アナログ回路をバイアスすることができます。ただし、これらの回路がCMから電流を引き出さない場合に限り（例えばオペアンプの非反転入力）。
G5	AINN2	A_IN	ADC2反転入力。
G6	AINN1	A_IN	ADC1反転入力。
G7	AGND	PWR	アナログ・グラウンド。AGNDピンとDGNDピンは、まとめて共通グラウンド・プレーンに接続できます。
G8	AINN0	A_IN	ADC0反転入力。

1 D\_IOはデジタル入出力、PWRは電源、A\_OUTはアナログ出力、D\_INはデジタル入力、A\_INはアナログ入力を意味します。

代表的な性能特性

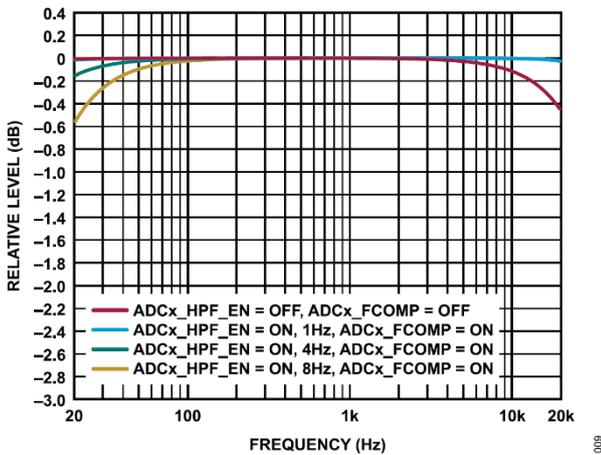


図 9. 周波数応答、 $f_s = 48\text{kHz}$ 、 $-20\text{dBV}$ 入力、信号経路 = AINxx~SDATAO\_x、差動モード、PGAなし

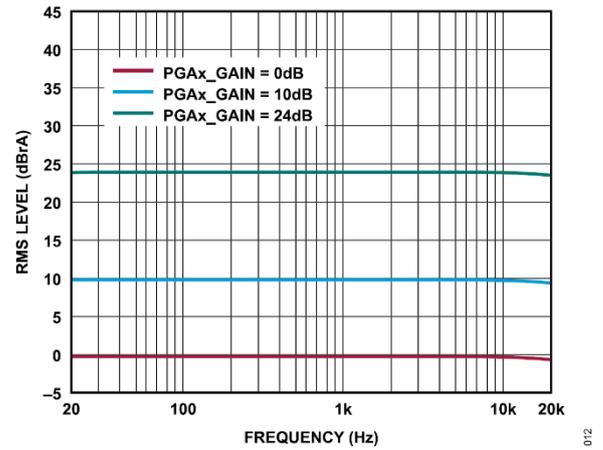


図 12. 周波数応答、 $f_s = 48\text{kHz}$ 、信号経路 = AINxx~SDATAO\_x、シングルエンド・モード、PGAのゲイン設定値 (0dB、10dB、24dB) を基準とする出力、ADCx\_FCOMPオフ

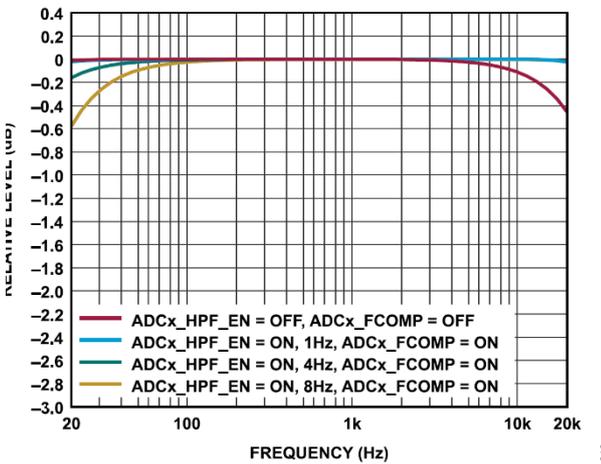


図 10. 周波数応答、 $f_s = 48\text{kHz}$ 、 $-20\text{dBV}$ 入力、信号経路 = AINxx~SDATAO\_x、シングルエンド・モード、PGAなし

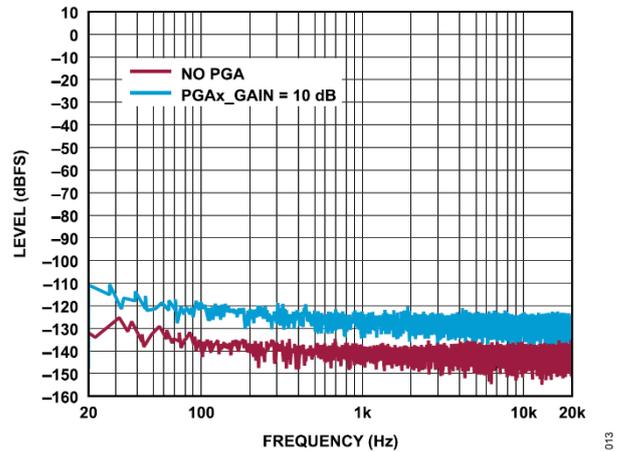


図 13. 高速フーリエ変換 (FFT)、無信号、 $f_s = 48\text{kHz}$ 、信号経路 = AINxx~SDATAO\_x、差動モード、PGAなし、10dBのPGAx\_GAIN

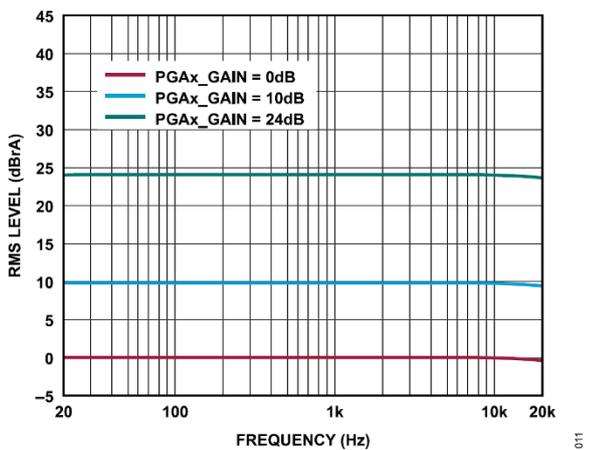


図 11. 周波数応答、 $f_s = 48\text{kHz}$ 、信号経路 = AINxx~SDATAO\_x、差動モード、PGAのゲイン設定値 (0dB、10dB、24dB) を基準とする出力、ADCx\_FCOMPオフ

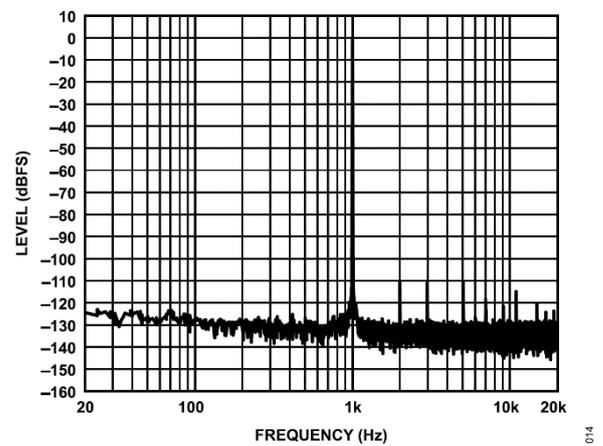


図 14. FFT、 $-1\text{dBV}$ 入力、 $-1\text{dBFS}$ 出力、 $f_s = 48\text{kHz}$ 、信号経路 = AINxx~SDATAO\_x、差動モード、PGAなし

代表的な性能特性

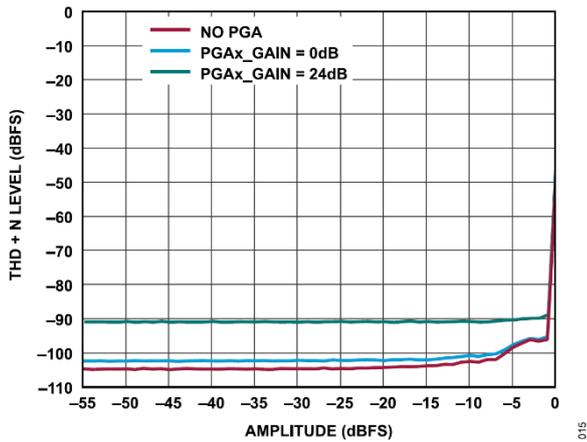


図 15. THD + Nのレベルと振幅の関係、 $f_s = 48\text{kHz}$ 、信号経路 = AINxx~SDATAO\_x

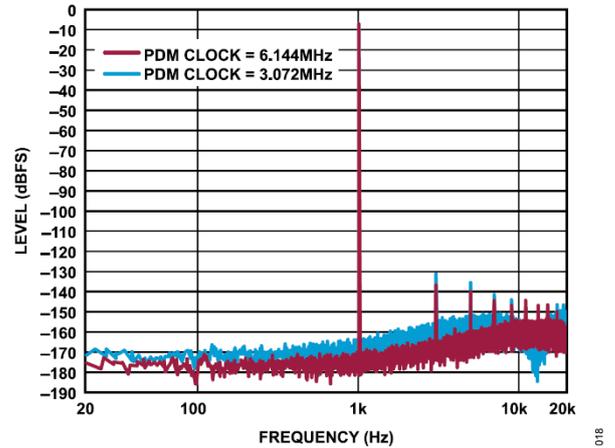


図 18. FFT、-7dBFS、 $f_s = 48\text{kHz}$ （全体を通して）、信号経路 = SDATAI\_x~FastDSP~PDM出力

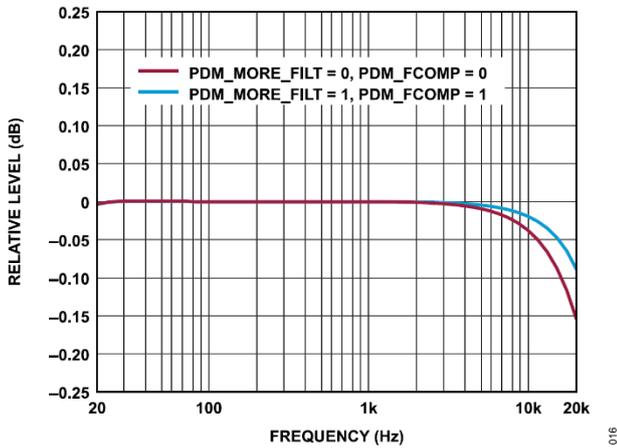


図 16. 周波数応答、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI\_x~PDM出力

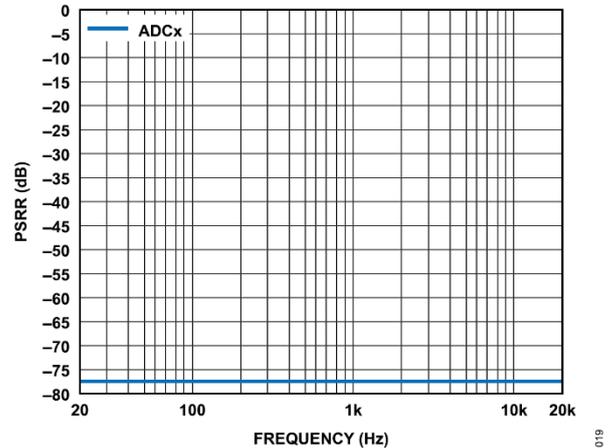


図 19. PSRR、信号経路 = AINxx~SDATAO\_x、 $f_s = 48\text{kHz}$ 、AVDDに100mV p-pのリップル入力、PGAなし

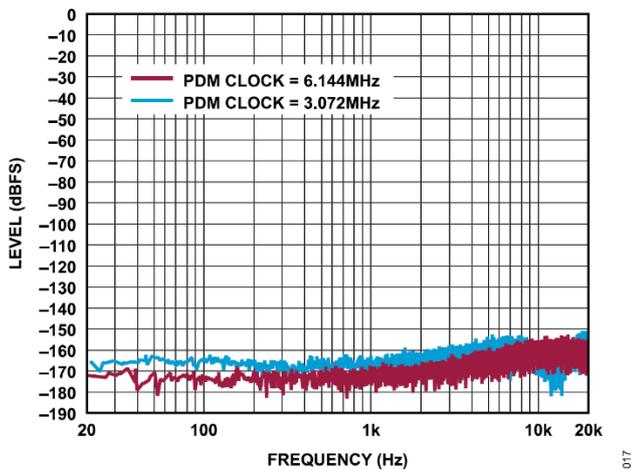


図 17. FFT、無信号、 $f_s = 48\text{kHz}$ （全体を通して）、信号経路 = SDATAI\_x~FastDSP~PDM出力

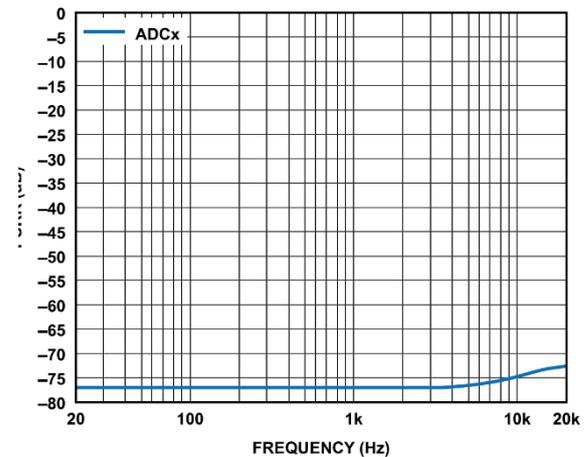


図 20. PSRR、信号経路 = AINxx~SDATAO\_x、 $f_s = 48\text{kHz}$ 、AVDDに100mV p-pのリップル入力、PGA = 0dB

代表的な性能特性

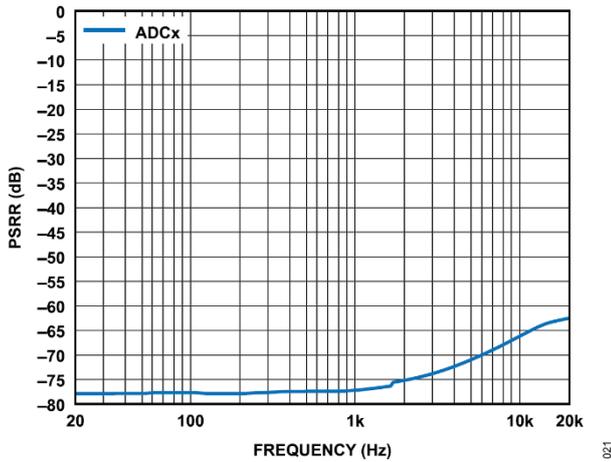


図 21. PSRR、信号経路 = AINxx~SDATAO\_x、 $f_s = 48\text{kHz}$ 、AVDDに100mV p-pのリプル入力、PGA = 10dB

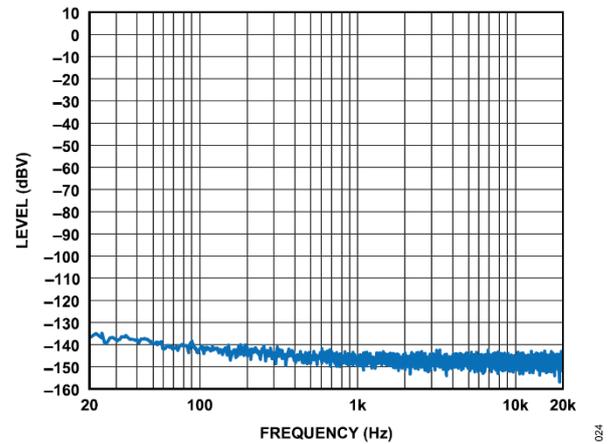


図 24. FFT、無信号、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI\_x~ライン出力モードで動作するDACの出力 (LOUT)、負荷 = 10k $\Omega$

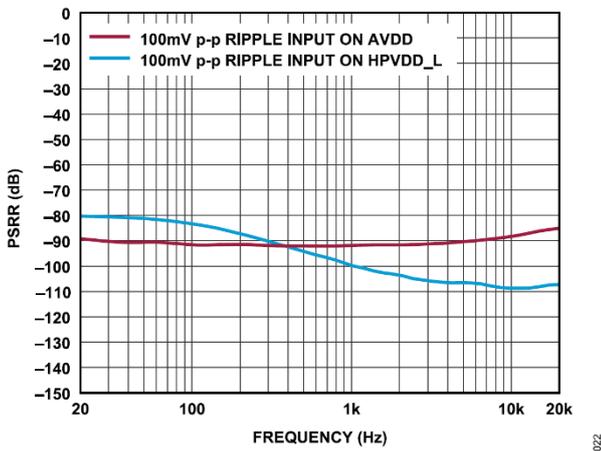


図 22. PSRR、信号経路 = SDATAI\_x~HPOUT、 $f_s = 48\text{kHz}$ 、HPVDDまたはHPVDD\_Lに100mV p-pのリプル入力 (LDOバイパス)

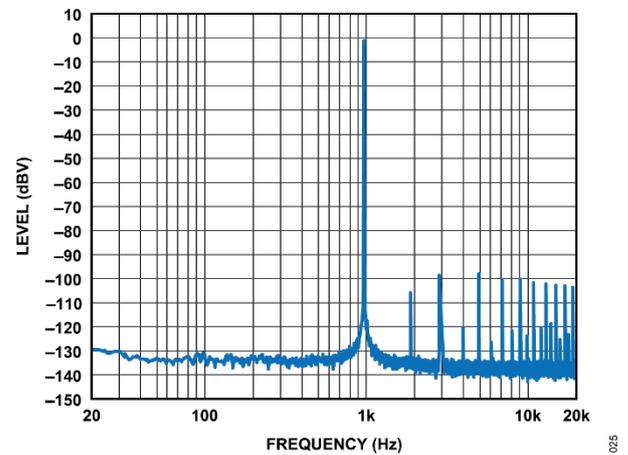


図 25. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI\_x~ヘッドフォン・モードで動作するDACの出力 (HPOUT)、負荷 = 32 $\Omega$

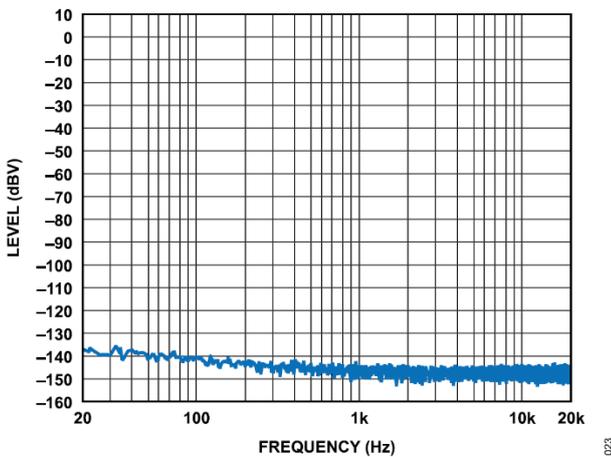


図 23. FFT、無信号、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI\_x~HPOUT、ヘッドフォン・モード、負荷 = 32 $\Omega$

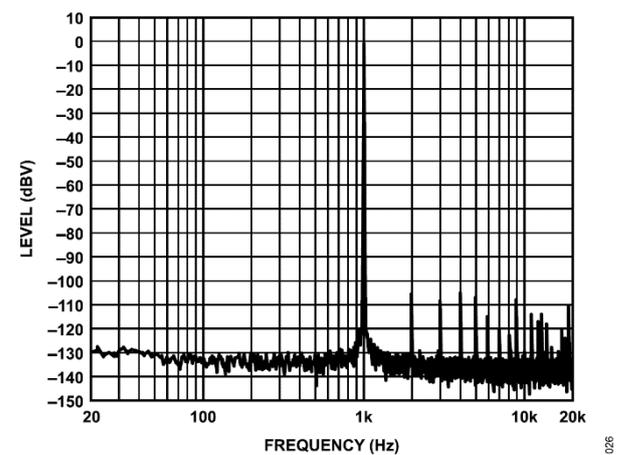


図 26. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI\_x~LOUT、ライン出力モード、負荷 = 10k $\Omega$

代表的な性能特性

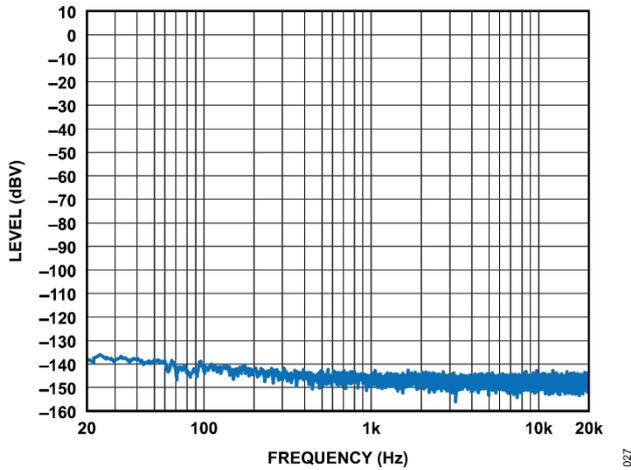


図 27. 無信号、 $f_s = 768\text{kHz}$ 、信号経路 = SDATA1\_x~インターポレータ~FastDSP~HPOUT、ヘッドフォン・モード、負荷 = 32Ω

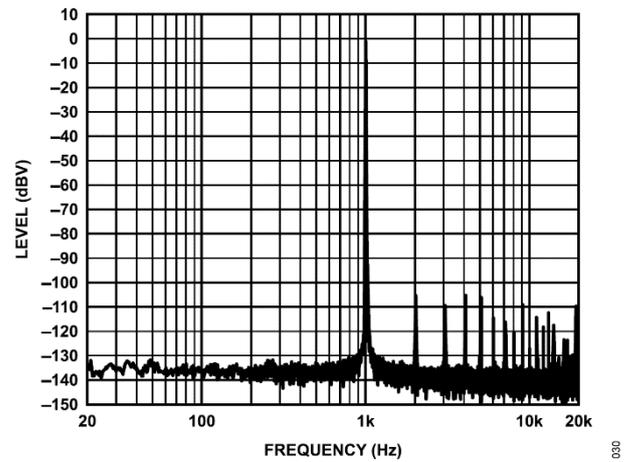


図 30. FFT、-1dBFS、 $f_s = 768\text{kHz}$ 、信号経路 = SDATA1\_x~インターポレータ~FastDSP~LOUT、ライン出力モード、負荷 = 10kΩ

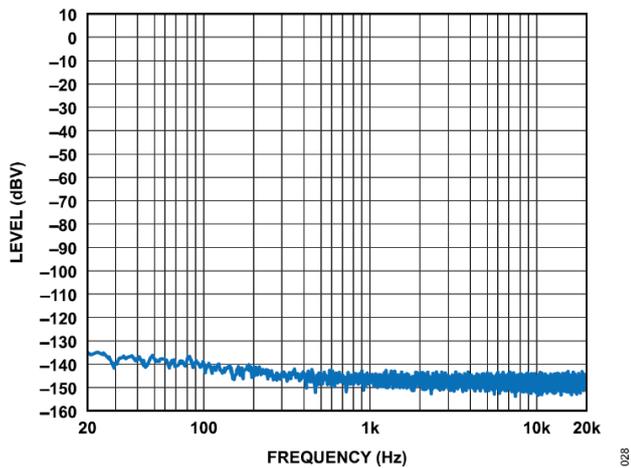


図 28. FFT、無信号、 $f_s = 768\text{kHz}$ 、信号経路 = SDATA1\_x~インターポレータ~FastDSP~LOUT、ライン出力モード、負荷 = 32Ω

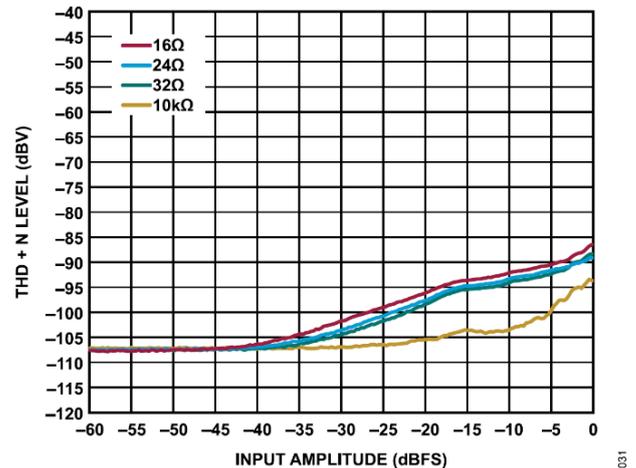


図 31. THD + Nレベルと入力振幅の関係、 $f_s = 48\text{kHz}$ 、16Ω、24Ω、32Ω、または10kΩ（通常）、信号経路 = SDATA1\_x~HPOUT/LOUT

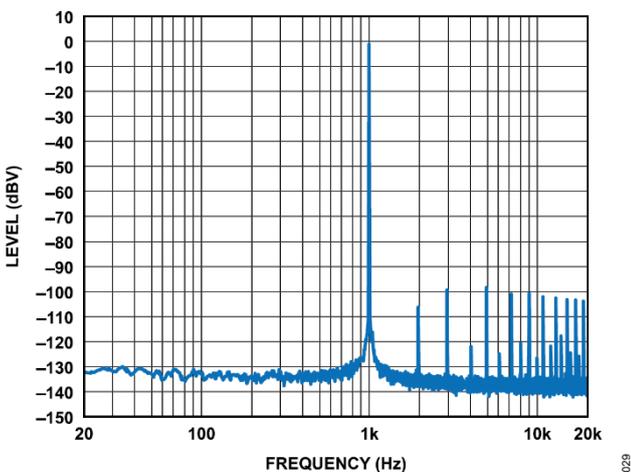


図 29. FFT、-1dBFS、 $f_s = 768\text{kHz}$ 、信号経路 = SDATA1\_x~インターポレータ~FastDSP~HPOUT、ヘッドフォン・モード、負荷 = 32Ω

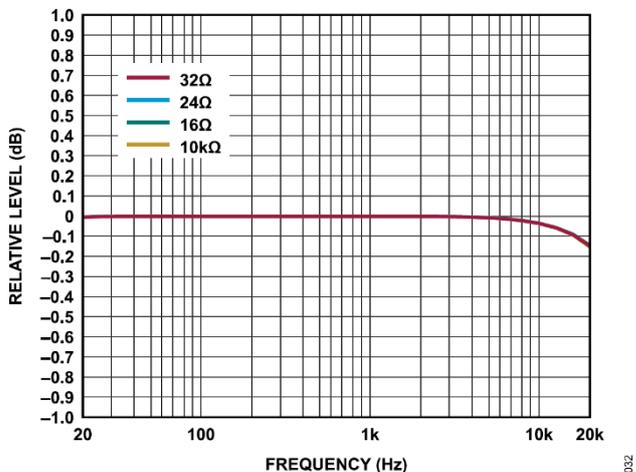


図 32. 相対レベルと周波数の関係、 $f_s = 48\text{kHz}$ 、信号経路 = SDATA1\_x~HPOUT/LOUT、16Ω、24Ω、32Ω、または10kΩ

代表的な性能特性

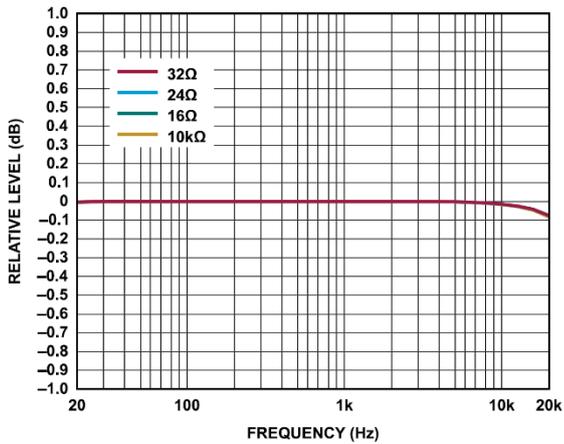


図 33. 相対レベルと周波数の関係、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI\_x ~ インターポレータ ~ FastDSP ~ HPOUT/LOUT、 $16\Omega \sim 10\text{k}\Omega$

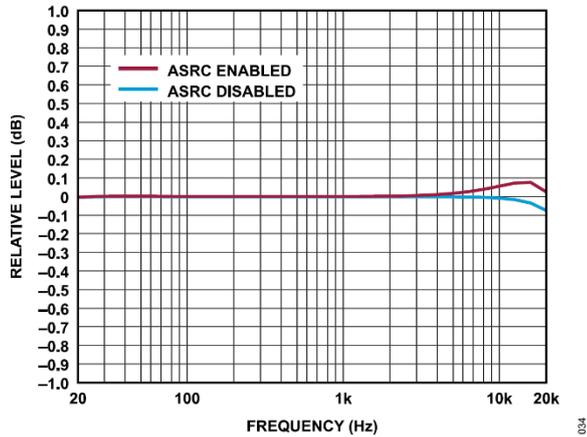


図 34. 相対レベルと周波数の関係、全体を通して  $f_s = 48\text{kHz}$  (FastDSP = 768 kHz は除く)、信号経路 = SDATAI\_x ~ ASRCI ~ イコライザ ~ インターポレータ ~ FastDSP ~ デシメータ ~ ASRCO ~ SDATAO\_x

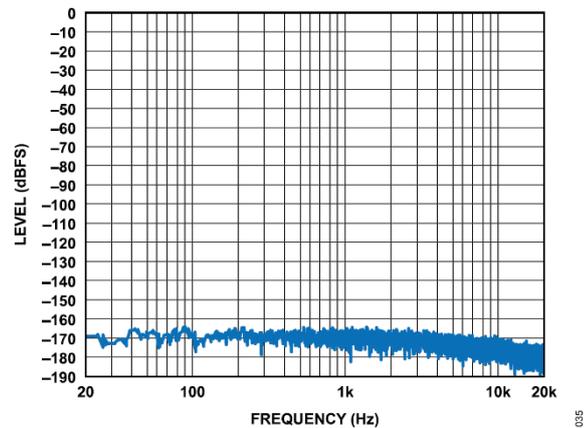


図 35. FFT、無信号、全体を通して  $f_s = 48\text{kHz}$  (FastDSP = 768 kHz は除く)、信号経路 = SDATAI\_x ~ ASRCI ~ イコライザ ~ インターポレータ ~ FastDSP ~ デシメータ ~ ASRCO ~ SDATAO\_x

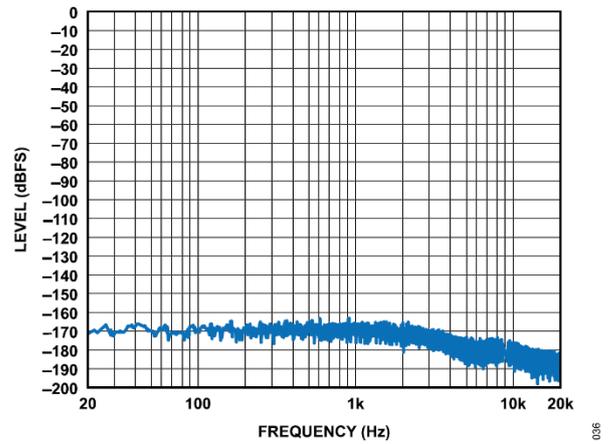


図 36. FFT、無信号、全体を通して  $f_s = 48\text{kHz}$  (FastDSP = 768 kHz は除く)、信号経路 = SDATAI\_x ~ イコライザ ~ インターポレータ ~ FastDSP ~ デシメータ ~ SDATAO\_x

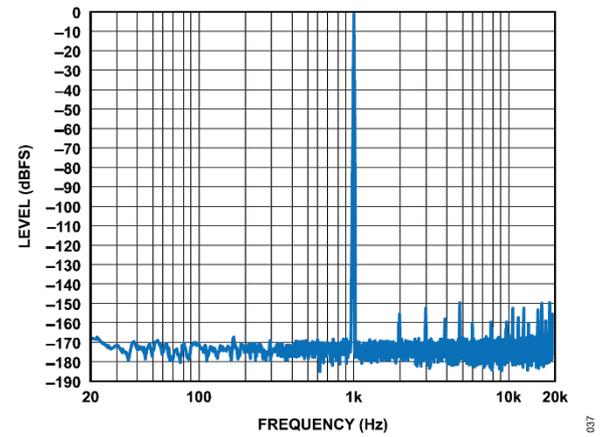


図 37. FFT、-1dBFS 入力、全体を通して  $f_s = 48\text{kHz}$  (FastDSP = 768 kHz は除く)、信号経路 = SDATAI\_x ~ ASRCI ~ イコライザ ~ インターポレータ ~ FastDSP ~ デシメータ ~ ASRCO ~ SDATAO\_x

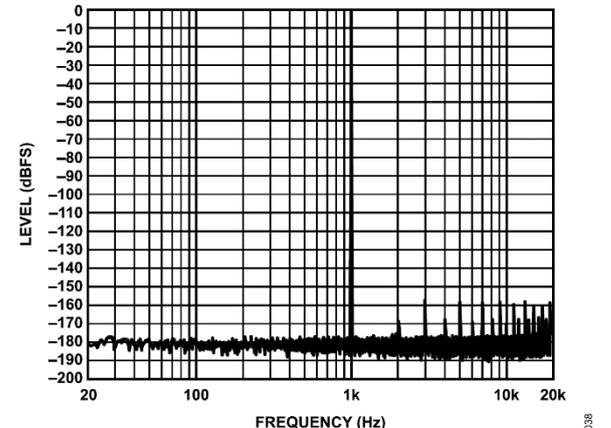


図 38. FFT、-1dBFS 入力、全体を通して  $f_s = 48\text{kHz}$  (FastDSP = 768 kHz は除く)、信号経路 = SDATAI\_x ~ イコライザ ~ インターポレータ ~ FastDSP ~ デシメータ ~ SDATAO\_x

代表的な性能特性

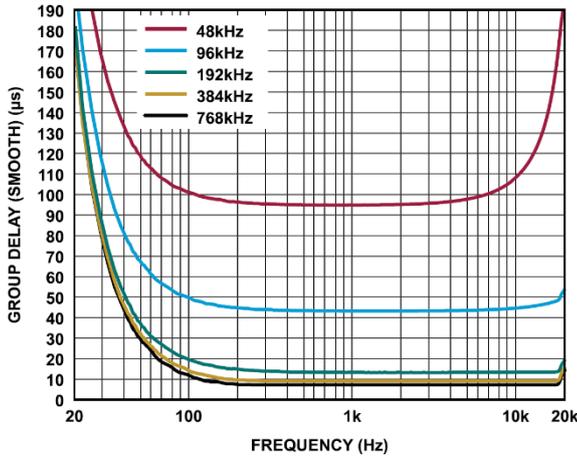


図 39. 群遅延 (スムージング) と周波数の関係、  
 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、差動モード、  
 信号経路 = AINxx~FastDSP~HPOUT/LOUT

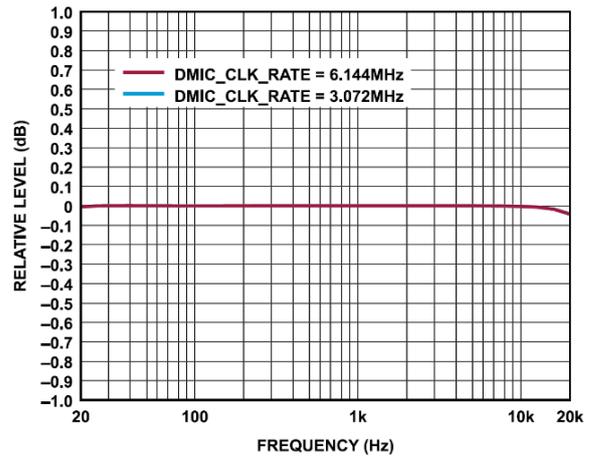


図 42. 相対レベルと周波数の関係、  
 $\text{DMIC\_CLK\_RATE} = 3.072\text{MHz}$  および  $6.144\text{MHz}$ 、  
 信号経路 = DMICxx~SDATAO\_x、FCOMP = EN

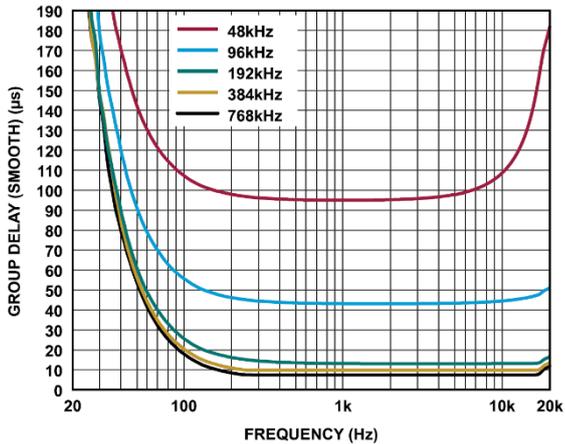


図 40. 群遅延 (スムージング) と周波数の関係、  
 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、シングルエンド・モード、  
 信号経路 = AINxx~FastDSP~HPOUT/LOUT

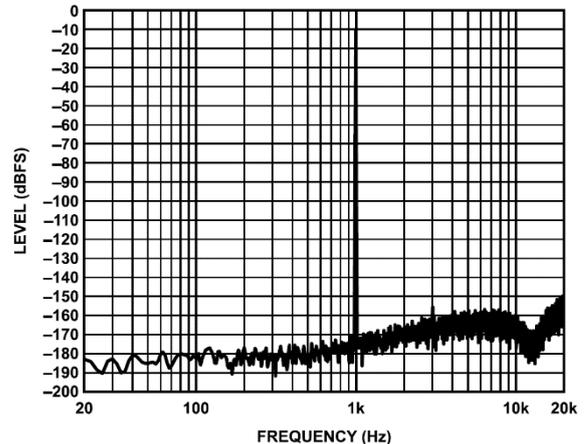


図 43. FFT、-10dBFS入力、 $\text{DMIC\_CLK\_RATE} = 3.072\text{MHz}$ 、  
 信号経路 = DMICxx~SDATAO\_x

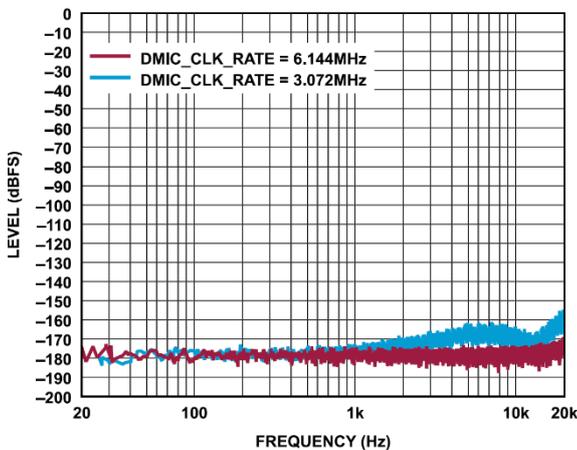


図 41. FFT、無信号、 $\text{DMIC\_CLK\_RATE} = 3.072\text{MHz}$   
 および  $6.144\text{MHz}$ 、信号経路 = DMICxx~SDATAO\_x

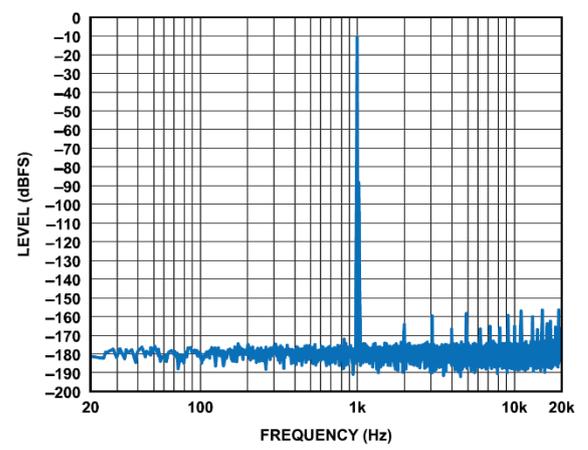


図 44. FFT、-10dBFS入力、 $\text{DMIC\_CLK\_RATE} = 6.144\text{MHz}$ 、  
 信号経路 = DMICxx~SDATAO\_x

代表的な性能特性

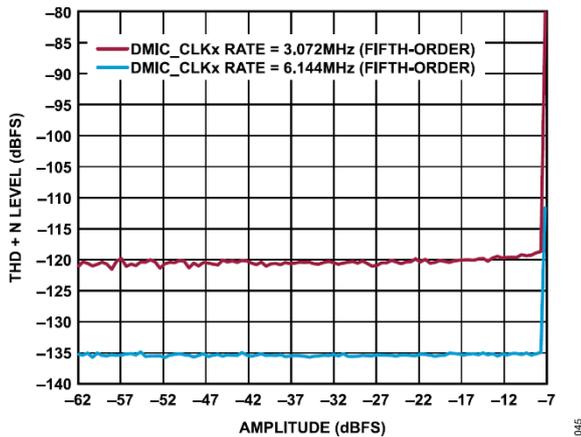


図 45. THD + Nレベルと振幅の関係、-10 dBFS、DMIC\_CLK\_RATE = 3.072MHzおよび6.144MHz (5次)、信号経路 = DMICxx~SDATAO\_x

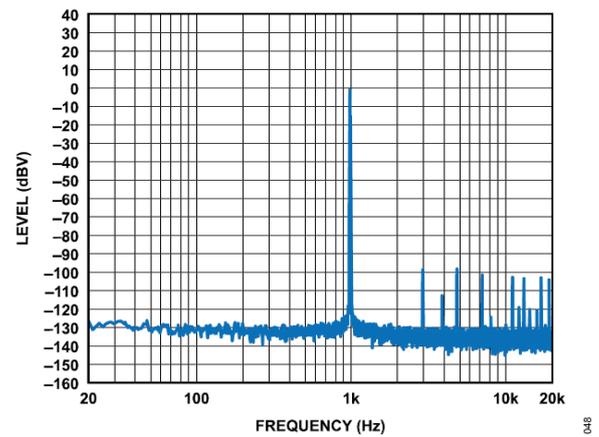


図 48. FFT、-1dBV入力、差動モード、ヘッドフォン・モード、負荷 = 32Ω、 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、信号経路 = AINx~HPOUT

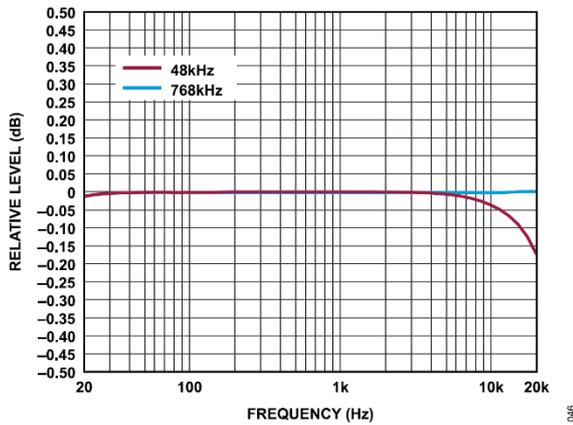


図 46. 相対レベルと周波数の関係、差動およびシングルエンド・モード、ヘッドフォンおよびライン出力モード、負荷 = 16Ω ~ 10kΩ、 $f_s = 48\text{kHz}$ および768kHz、信号経路 = AIN0~DAC

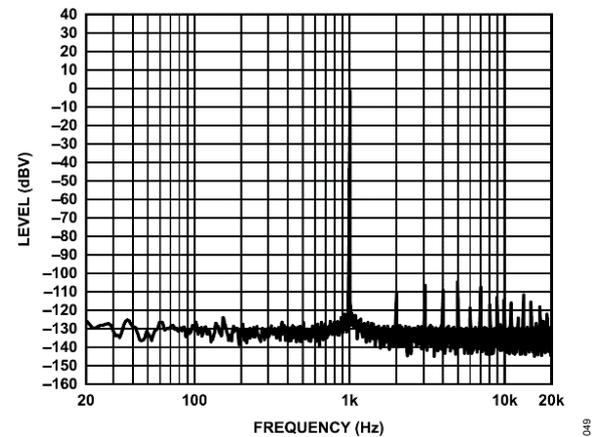


図 49. FFT、-1dBV入力、差動モード、ライン出力モード、負荷 = 10kΩ、 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、信号経路 = AINx~LOUT

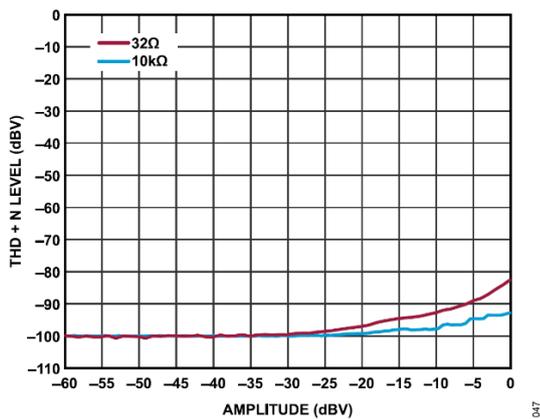


図 47. THD + Nレベルと振幅の関係、 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、負荷 = 10kΩおよび32Ω、信号経路 = AINx~HPOUT/LOUT

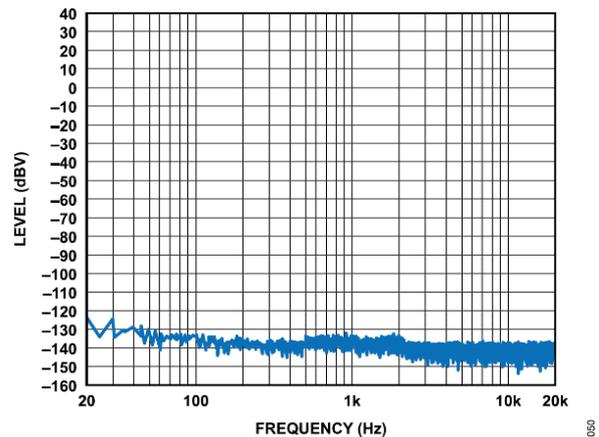


図 50. FFT、無信号、差動モード、負荷 = 32Ω ~ 10kΩ、 $f_s = 48\text{kHz} \sim 768\text{kHz}$ 、信号経路 = AINx~HPOUT/LOUT

## 動作原理

ADAU1860は、最適化されたオーディオ処理コアを備えた低消費電力のオーディオ・コーデックで、高品質オーディオ、低消費電力、小型サイズ、低遅延を必要とするノイズ・キャンセリング・アプリケーションに最適です。

3チャンネルADCでは106dBのS/N比が実現できます。DACでは110dBのS/N比と-95dBのTHD+Nを実現可能です。2つのシリアル・オーディオ・ポートは、I<sup>2</sup>S、左詰め、右詰め、時分割多重（TDM）の各モードに対応でき、3ステート出力であるためデジタル・オーディオ・データとインターフェースできます。アナログ動作電圧は1.8Vです。また、オプションの内部レギュレータを使用してデジタル電源電圧を生成できます。必要に応じ、レギュレータを停止して外部からデジタル電源電圧を供給することもできます。これはREG\_ENピンで決定できます。

入力信号経路は柔軟な設定が可能で、差動またはシングルエンドのアナログ・マイクロフォン入力と最大8個のデジタル・マイクロフォン入力を受け入れることが可能です。各入力信号には固有のPGAがあり、ボリュームの調整が可能です。

ADCおよびDACは高品質の24ビットΣ-Δコンバータで、12kHz～768kHzの範囲で選択可能なサンプリング・レートで動作します。またADCは音声ウェイクアップ・モードの場合、8kHzまたは16kHzのサンプリング・レートにも対応します。ADCとDACには、カットオフ周波数が1Hz、4Hz、8Hzのハイパス・フィルタがオプションで備わっており、また、細かいステップのデジタル・ソフト・ボリューム制御機能があります。

DAC出力は、インピーダンスが16Ω以上のヘッドフォン・イヤピース・スピーカを差動で駆動できます。また、出力が軽負荷の場合、LOUTモードに変更するオプションもあります。

Tensilica HiFi 3z DSPコアは、低消費電力オーディオ処理ができるように最適化されています。更に、Tensilica HiFi 3z DSPコアを用いることで、ADAU1860はより複雑なアプリケーションに適合できるよう柔軟なソリューションを提供できます。

FastDSPコアは、このコーデックをノイズ・キャンセリング用に最適化する、縮小命令セットを備えています。プログラム・ランダム・アクセス・メモリ（RAM）とパラメータRAMには、Lark Studioのグラフィカル・ユーザ・インターフェース（GUI）を用いて構築されたカスタム・オーディオ処理信号フローでロードできます。パラメータRAMに保存された値は、個々の信号処理ブロックを制御します。

さらに、ADAU1860はセルフ・ブート機能を備えており、クワッドSPIを介して外部のフラッシュ・メモリを使用し、起動時のレジスタ設定値と共に両方のコアのプログラムRAMおよびパラメータRAMをロードすることができます。外部フラッシュ・メモリは、全メモリがHiFi 3z DSPコアのバス・ファブリックに割り当てられています。

制御ポートを通じてコアのプログラミングと制御を行うには、Lark Studio GUIを用います。このGUIを使用して、信号フローの設計および調整と共に、ADAU1860のすべてのレジスタを設定することができます。デジタルまたはアナログのオーディオ処理の知識のある人なら誰でも、GUIでDSP信号フローを設計してそのフローを対象アプリケーションにエクスポートできます。また、このインターフェースは、経験のあるDSPプログラマによる設計の制御にも対応できる柔軟性とプログラマビリティを備えています。Lark Studio GUIでは、ユーザは、グラフィカル・ブロック

（バイクワッド・フィルタ、ボリューム調整、算術演算など）の接続や設計のコンパイルができ、また、制御ポートを介してプログラム・ファイルとパラメータ・ファイルをADAU1860のメモリにロードできます。また、このツールでは、ユーザが設計を外部フラッシュ・メモリにダウンロードしてセルフ・ブート動作を行うことも可能です。

ADAU1860は、内蔵のバイパス可能なフラクショナルPLLを用いることで、広い範囲の入力クロックから内部クロックを生成できます。PLLの入力は30kHz～36MHzが可能です。スタンドアロン動作の場合は、内蔵の水晶発振器を用いてクロックを生成できます。

ADAU1860は2.980mm × 2.679mmの56ボールWLCSPパッケージを採用しています。

システム・ブロック図

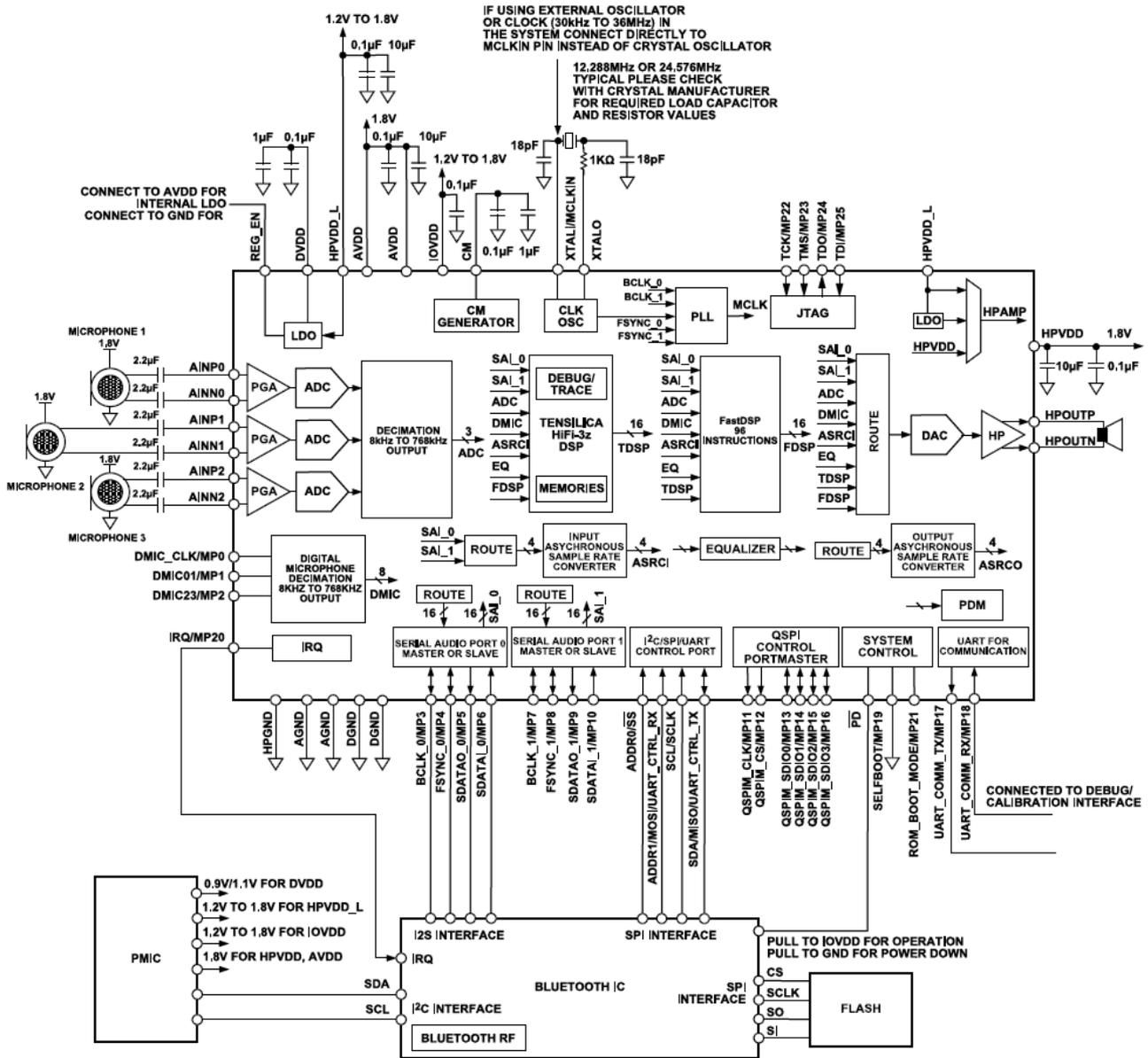


図 51. アナログ・マイクロフォンを取り付けたADAU1860のシステム・ブロック図

## アプリケーション情報

### 電源のバイパス・コンデンサ

各アナログおよびデジタル電源ピンは、1個の0.1 $\mu$ Fコンデンサを用いて、最も近い位置にある適切なグラウンド・ピンにバイパスします。図52において、VDDはすべての電源（DVDD、IOVDD、AVDD、HPVDD、HPVDD\_L）を示しています。また、常にコンデンサの両側接続部分をできるだけ短くし、ビアを用いずに1つのレイヤ上でパターンを配線してください。最大限の効果を得るために、コンデンサは電源ピンおよびグラウンド・ピンから等距離に配置します。等距離に配置することができない場合は、電源ピンに多少近づけて配置してください。放熱のための接続はコンデンサの反対側のグラウンド・プレーンで行ってください。

PCB上の各電源信号は、1つのバルクコンデンサ（10 $\mu$ F~47 $\mu$ F）でバイパスします。

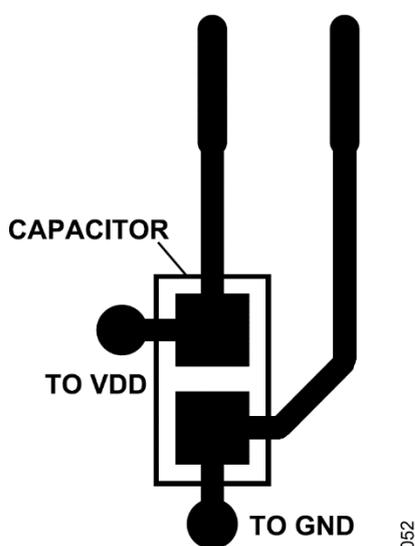


図 52. 電源バイパス・コンデンサの推奨レイアウト

### レイアウト

HPVDD電源およびHPVDD\_L電源はヘッドフォン・アンプ用です。ヘッドフォン・アンプをイネーブルする場合、HPVDDピンとHPVDD\_LピンへのPCBパターンは、その他のピンへのパターンよりも幅広にして、電流伝搬能力を高める必要があります。ヘッドフォン出力ラインには、幅広のパターンを使用してください。

### グラウンド接続

アプリケーションのレイアウトでは、単一のグラウンド・プレーンを使用してください。アナログ信号経路の部品はデジタル信号から離して配置してください。

