

## 自律グレード、6自由度の慣性センサー

### 特長

- ▶ 電圧および電流の高精度測定
- ▶ 最大16ビットの（有効）分解能を持つ4つのPWM制御チャンネル
  - ▶ 同期／非同期の整流動作が選択可能
  - ▶ プログラマブルなデッド・タイム補償
  - ▶ 62.5kHz～500kHzの範囲で2の累乗刻みで設定可能なスイッチング周波数
- ▶ 多相動作
  - ▶ チップ間のデジタル電流分担
  - ▶ チップ間の周波数同期
- ▶ デジタル制御ループ
  - ▶ プログラマブルPIDループ・フィルタ
  - ▶ 高速DCバス電圧フィードフォワード
- ▶ チャンネルごとにスペクトル分析機能を内蔵
  - ▶ 負荷インピーダンスの計測
- ▶ SPIポート制御およびステータス・インターフェース
  - ▶ プログラマブルなステータス変更時のホスト割込み
- ▶ CC、CV、CP、CRの各動作モード
  - ▶ 15ビットの設定分解能
  - ▶ 入出力の突入電流保護
- ▶ 外付けNTCサーミスタによる温度検出
  - ▶ 内部ダイ温度計測
- ▶ 入力電圧および電流のユーザ・キャリブレーション
- ▶ 0°C～85°Cで動作

### アプリケーション

- ▶ バッテリーのフォーメーションおよびテスト
- ▶ リサイクル機能付きの高効率バッテリー・テスト・システム
- ▶ バッテリー・コンディショニング（充電および放電）システム

### 概要

ADBT1001は、柔軟性が高く機能が豊富なデジタル・コントローラで、大容量バッテリーのテスト／フォーメーションや高精度バッテリー・テスト計測器などのアプリケーションを対象としています。ADBT1001は、最小のコンポーネント数、最大の柔軟性、最短の設計時間を提供できるよう最適化されており、差動リモート電圧検出、電流検出、パルス幅変調（PWM）生成、周波数同期、過電圧保護（OVP）、電流分担などの特長を備えています。プログラマブルな保護機能には、過電流保護（OCP）、OVP制限、外部過熱保護（OTP）があります。

パラメータはシリアル・ペリフェラル・インターフェース（SPI）でプログラミングでき、統合化ループ・フィルタ、PWM、信号タイミング、ソフト・スタート・タイミングを幅広く設定できます。SPIにより、多くのモニタリング機能およびシステム・テスト機能にアクセスできるほか、内蔵のチェックサムおよびプログラマブルな保護回路によって信頼性も向上しています。

包括的なグラフィカル・ユーザ・インターフェース（GUI）が用意されており、それを利用してシステムとチャンネルのシンプルな構成や安全機能のプログラミングを行うことができます。

ADBT1001は、100ピンのLQFP\_EPを採用しています。

### 代表的なアプリケーション図

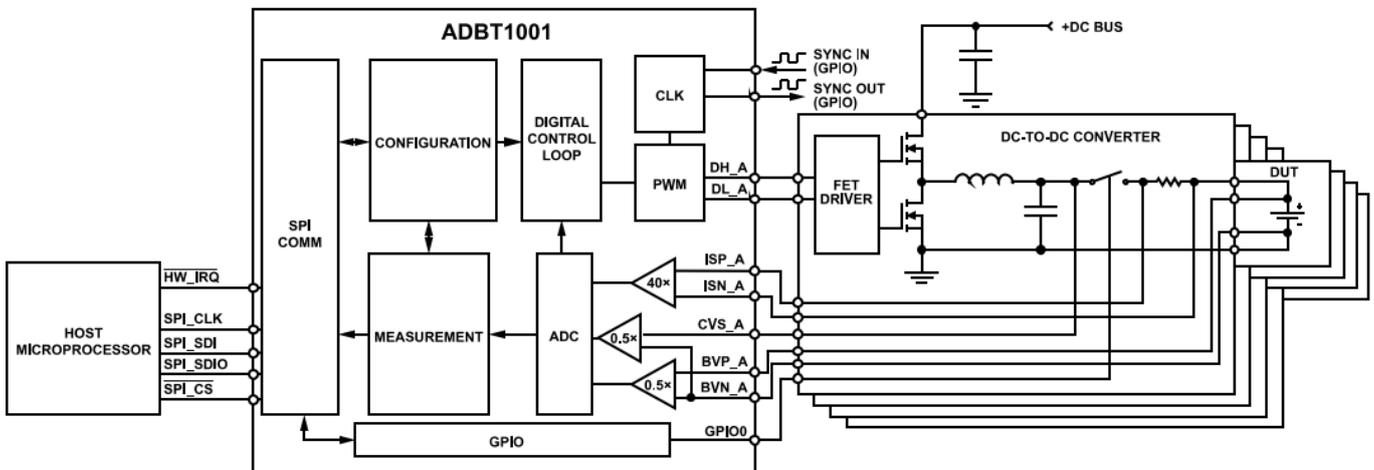


図 1.

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	シーケンサ.....	21
アプリケーション.....	1	命令の定義.....	21
概要.....	1	シーケンシング・モード.....	21
代表的なアプリケーション図.....	1	充電命令モードと放電命令モード.....	23
仕様.....	3	充電命令と放電命令の制限値.....	23
アナログ・フロント・エンドおよびコントローラの仕様.....	3	スルー・レート.....	24
絶対最大定格.....	8	並列動作.....	24
熱抵抗.....	8	フラグ.....	24
ハンダ処理.....	8	グローバル・レジスタの設定.....	25
静電放電（ESD）定格.....	8	チャンネルの静的な設定.....	25
ESDに関する注意.....	8	命令セットのアーキテクチャ.....	25
ピン配置およびピン機能の説明.....	9	シーケンサの動作例.....	29
代表的な性能特性.....	13	メモリマップレジスタ.....	30
動作原理.....	18	ホストSPIインターフェースの詳細.....	42
概要.....	18	SPIの概要.....	42
アナログ・フロント・エンド.....	19	通信プロトコル.....	42
デジタル・コントローラ.....	19	アプリケーション情報.....	44
ホストSPI.....	19	キャリブレーション.....	44
ホスト割込み要求.....	19	診断機能.....	44
クロッキング.....	19	動作に関する使用事例.....	44
GPIOXピン.....	19	外形寸法.....	49
補助ADC.....	19	オーダー・ガイド.....	49
クーロン効率測定への対応.....	20		
ブリチャージ動作への対応.....	20		

## 改訂履歴

6/2021—Revision 0: Initial Version

## 仕様

特に指定のない限り、AHVDD = 15V、AHVSS = -15V、VDDIO = AVDD = DVDD = 3.3V、 $T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$ 。

## アナログ・フロント・エンドおよびコントローラの仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
<b>CURRENT SENSE CHANNEL</b>					
Gain			40		V/V
Gain Error	出力電圧 ( $V_{OUT}$ ) = $\pm 2V$			0.2	%
Gain Drift				7	ppm/ $^\circ\text{C}$
System Input Offset Voltage <sup>1</sup>		-10		+10	LSB
System Input Offset Voltage Drift	RTI			0.235	LSB/ $^\circ\text{C}$
Input Bias Current	$V_{ICM}$ = リファレンス電圧 ( $V_{REF}$ ) / 2		30	500	nA
Input Differential Voltage Range		-62.5		+62.5	mV
Input Common-Mode Voltage Range		AHVSS + 5		AHVDD - 5	V
Differential Input Impedance	設計による		24		k $\Omega$
Common-Mode Input Impedance	設計による		246		k $\Omega$
Input Resistance	両入力ピン		492		k $\Omega$
Common-Mode Rejection Ratio (CMRR)		100	110		dB
CMRR Drift				0.05	ppm/ $^\circ\text{C}$
Small Signal -3 dB Bandwidth (Gain = 40) <sup>2</sup>	$T_A = 25^\circ\text{C}$ 、 $V_{OUT} = 100\text{mV p-p}$		600		kHz
Power Supply Rejection Ratio (PSRR)	電源電圧 ( $V_S$ ) = $\pm 5V \sim \pm 18V$	120			dB
Slew Rate	$V_{OUT} = \pm 2V$		0.6		V/ $\mu\text{s}$
Readout Data Signal-to-Noise Ratio (SNR)	MAF <sup>3</sup> = 16、FIR <sup>4</sup> オン				
Update Rate <sup>5</sup>					
31.25 kHz (OSR = 32)			78		dB
15.625 kHz (OSR = 64)			81		dB
7.8125 kHz (OSR = 128)			84		dB
3.90625 kHz (OSR = 256)			87	+60	dB
Full-Scale Input Range		-60		0.2	mV
<b>VOLTAGE SENSE AND CAPACITOR</b>					
<b>VOLTAGE SENSE CHANNEL</b>					
Gain			0.5		V/V
Gain Error	$V_{OUT} = \pm 2V$			0.2	%
Gain Drift				10	ppm/ $^\circ\text{C}$
System Input Offset Voltage <sup>1</sup>		-10		+10	LSB
Offset Voltage Drift				0.235	LSB/ $^\circ\text{C}$
Input Common-Mode Voltage Range		AHVSS + 5		AHVDD - 5	V
Differential Input Impedance	設計による	0.85	1		M $\Omega$
Common-Mode Input Impedance	設計による		375		k $\Omega$
Input Resistance	非反転ピン		750		k $\Omega$
	反転ピン		375		k $\Omega$
Small Signal -3 dB Bandwidth (G = 0.5) <sup>6</sup>	$T_A = 25^\circ\text{C}$ 、 $V_{OUT} = 100\text{mV p-p}$		200		kHz
CMRR					
BV <sub>x_x</sub>		80	90		dB
CVS <sub>x_x</sub>		78	90		dB

## 仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
CMRR Drift BV <sub>x_x</sub> CVS <sub>x_x</sub>				0.235 3	ppm/°C ppm/°C
PSRR		100	120		dB
Slew Rate			0.15		V/μs
Power Dissipation			30		mW
Readout Data SNR	MAF = 16、FIRオン				
Update Rate					
31.25 kHz (OSR = 32)			91		dB
15.625 kHz (OSR = 64)			92		dB
7.8125 kHz (OSR = 128)			93		dB
3.90625 kHz (OSR = 256)			93		dB
Full-Scale Input Range		-4.8		+4.8	V
BATTERY CURRENT AND VOLTAGE ADCS	V <sub>REF</sub> = 2.5V				
SNR	80%フルスケールの振幅で1kHzのサイン波		82		dB
Signal-to-Noise-and-Distortion (SINAD) Ratio			82		dB
Resolution			16		Bits
Differential Nonlinearity (DNL) <sup>7,8</sup>		-1		+1	LSB
Integral Nonlinearity (INL)	内部電圧リファレンス	-6		+6	LSB
Sampling Rate			1		MHz/Ch.
VOLTAGE REFERENCE (INTERNAL)					
Voltage Range		2.495	2.500	2.505	V
Temperature Coefficient			7	11	ppm/°C
RMS Noise	REFCAP = 1μF		7		μV rms
PULSE-WIDTH MODULATION (PWM)	外部CLK = 16MHz				
Resolution			16		Bits
Switching Frequency	f <sub>SW</sub>	62.5		500	kHz
Programmable Dead Time	最短		0		ns
	最長		992.2		ns
Dead Time Resolution <sup>9</sup>			7.8125		ns
Delay from External SYNC (Programmable)	最短 <sup>10</sup>		0		μs
	f <sub>SW</sub> = 62.5kHz時の最長 <sup>11</sup>		16		μs
Delay Resolution			7.8125		ns
Effective Phase Shift Resolution					
f <sub>SW</sub> = 62.5 kHz			0.176		Degrees
f <sub>SW</sub> = 125 kHz			0.352		Degrees
f <sub>SW</sub> = 250 kHz			0.703		Degrees
f <sub>SW</sub> = 500 kHz			1.406		Degrees
CHANNEL AC PERFORMANCE					
Loop Bandwidth (Cross over Frequency)			10	50	kHz
Constant Current (CC) to Constant Voltage (CV) Transition Time	f <sub>SW</sub> = 500kHz		2		μs
	f <sub>SW</sub> = 62.5kHz		16		μs
Channel to Channel Isolation			96		dB
Intrachannel Isolation			90		dB
Current and Voltage Readout Rate <sup>12</sup>	最小OSR <sup>13</sup>		31,250		Samples/sec
	最大OSR		15.26		Samples/sec
Output Data Resolution			18		Bits

## 仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
AUXILIARY ADC					
Resolution (Effective)			12		Bits
Sampling Rate	DCバス・モニタ・ディスエーブル		100,000		Samples/sec
	DCバス・モニタ・イネーブル		50,000		Samples/sec
Input Voltage Range <sup>14</sup>		0.1		2.4	V
Unity-Gain Offset		-1		+1	LSB
Unity-Gain Offset Drift				0.02	LSB/°C
Current Excitation (4-Bit Programmable)	最小		0		μA
	最大		750		μA
Resolution			50		μA
LOGIC INPUTS ( $\overline{\text{SPI\_CS}}$ , $\text{SPI\_SCK}$ , $\text{SPI\_SDIO}$ , $\text{SPI\_SDO}$ , $\overline{\text{FAULTx}}$ , $\text{GPIOx}$ , AND $\overline{\text{HW\_IRQ}}$ )	ヒステリシス = 600mV				
Input Voltage High ( $V_{IH}$ )		$V_{DDIO} \times 0.8$			V
Input Voltage Low ( $V_{IL}$ )				$V_{DDIO} \times 0.2$	V
Input Current High ( $I_{IH}$ )	$V_{IN} = V_{DDIO}$	-1			μA
Input Current Low ( $I_{IL}$ )	$V_{IN} = DVSS$			1	μA
Input Pull-Down Current ( $\overline{\text{HW\_IRQ}}$ Only)			15	115	μA
Input Capacitance			4		pF
LOGIC OPEN-DRAIN OUTPUTS ( $\text{SPI\_SDIO}$ , $\text{SPI\_SDO}$ , AND $\overline{\text{HW\_IRQ}}$ )	1mA負荷				
Output Low Voltage ( $V_{OL}$ )				0.4	V
Output High Leakage Current ( $I_{OH}$ )			±0.1	±1.0	μA
LOGIC OUTPUTS (GPIO)	1mA負荷				
Output Low Voltage ( $V_{OL}$ )				0.4	V
Output High Leakage Current ( $I_{OH}$ )			±0.1	±1.0	μA
Output High Voltage ( $V_{OH}$ )	$V_{DDIO} = 3.0V$		3		V
	$V_{DDIO} = 3.3V$		3.3		V
	$V_{DDIO} = 3.6V$		3.6		V
Slew Rate <sup>15</sup>	デフォルト設定				
Falling Edge			5.2		ns
Rising Edge			4		ns
Internal Oscillator Frequency			16		MHz
External Oscillator Frequency			16		MHz
Power Supplies					
AHVDD		4.5		30.7	V
Quiescent Current	アクティブおよびスタンバイ		3	4.2	mA
AHVSS		-26		-4.5	V
	アクティブおよびスタンバイ		4	6	mA
High Voltage Supply Range (AHVDD to AHVSS)		10.6		36	V
AVDD		3	3.3	3.6	V
	アクティブ		40	47	mA
	スタンバイ		3.6	4.5	
AVSS			0		mA
VDDIO			3.3		V
	アクティブおよびスタンバイ		2	6	μA
VDDDRV			3.3		V
	アクティブ		4.6	4.8	mA
	スタンバイ		26	30	μA

## 仕様

表 1. (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
DVDD			3.3		V
	アクティブ		21	22	mA
	スタンバイ		4.8	5.2	mA
Power Dissipation					
AHVDD	AHVDD = 12V、 アクティブおよびスタンバイ		50.4		mW
AHVSS	AHVSS = -12V、 アクティブおよびスタンバイ		63.6		mW
VDDIO	アクティブおよびスタンバイ		19.8		μW
AVDD	アクティブ		155		mW
	スタンバイ		14.9		mW
DVDD	アクティブ		72.6		mW
	スタンバイ		17.2		mW
VDDDRV	アクティブ		15.8		mW
	スタンバイ		99		μW
PWM DRIVE LOGIC					
DLx and DHx Drive Voltage <sup>16</sup>	PWM_DRV = 0				
V <sub>OH</sub>	0mA負荷	3	3.29	3.3	V
	15mA負荷	2.6	2.8	2.9	V
V <sub>OL</sub>	0mA負荷		17	25	mV
	15mA負荷	0.6	0.8	1	V
DL_x and DH_x Sink Resistance	PWM_DRV = 0	10	23	40	Ω
	PWM_DRV = 15	1.8	2.6	5	Ω
DL_x and DH_x Source Resistance	PWM_DRV = 0	30	41	55	Ω
	PWM_DRV = 15	2.2	3.2	5.1	Ω
Internal Pull-Down Resistance			1		MΩ
Drive Capacitive Load		10		100	pF

1 ADCの後段を製造時にキャリブレーション。

2 帯域幅はアナログのみ。読出しデータの帯域幅は、選択したオーバーサンプリング・レート (OSR) によって制限されます。

3 移動平均フィルタ (MAF) は、MAF\_CFGレジスタ (チャンネルごとに1つ) の3ビット・フィールドです。デフォルト値は8です。

4 読出し用フィルタの有限インパルス応答 (FIR) フィルタはバイパスされていません (デフォルト)。

5 読出し用フィルタの更新レートは、DSP\_READOUT\_FILT\_CFGレジスタの5ビット・フィールドで選択されます。

6 帯域幅はアナログのみです。読出しデータの帯域幅は、選択したOSRによって制限されます。

7 設計により確保されています。

8 ノー・ミス・コード。

9 同期モードの場合のみ。

10 PMU\_CHANNEL\_CFG1レジスタのCHANNEL\_A\_PHASE = 0x000。

11 PMU\_CHANNEL\_CFG1レジスタの11ビットのCHANNEL\_A\_PHASEは0x07FFで、他のチャンネルと同じです。

12 読出しの更新レートは、DSP\_READOUT\_FILT\_CFGレジスタの5ビット・フィールドで設定されます。チャンネルごとに1つ設定されます。

13 最小OSRは、全4チャンネルの電流および電圧データの最大読出しレートに基づきます。

14 公称2.5VのV<sub>REF</sub>に基づきます。

15 出力ピン (SPI\_SDIO、SPI\_SDO、GPIOx、EXTCLKIO、HW\_IRQ) には、3ビットのxxx\_SLEWビットフィールドを持つxxx\_PAD\_CFGレジスタがあります。デフォルト値は0x7で、これが最も高いスルー・レートです。

16 PWM\_DRVはPWM\_CFG1チャンネル・レジスタの4ビットのフィールドです。

## 仕様

表 2. SPIバスのタイミング図

Parameter	Symbol	Min	Typ	Max	Unit
TIMING REQUIREMENTS					
Set-Up SPI_CS to SPI_CLK Edge	$t_s$		4		ns
Minimum SPI_CLK Low Pulse Width	$t_{LO}$		31.25		ns
Minimum SPI_CLK High Pulse Width	$t_{HI}$		31.25		ns
Minimum SPI_CLK Period	$t_{CLK}$		62.5		ns
Data Input Setup Time Before SPI_CLK Edge	$t_{DS}$		4		ns
Data Input Hold Time After SPI_CLK Edge	$t_{DH}$		4		ns
Hold SCLK to SPI_CS Deactivate	$t_H$		4		ns
SWITCHING CHARACTERISTICS					
Data Output Valid After SPI_CLK Edge	$t_{ACCESS}$		4		ns
SPI_CS to SPI_SDIO/SPI_SDO High-Z	$t_Z$		4		ns

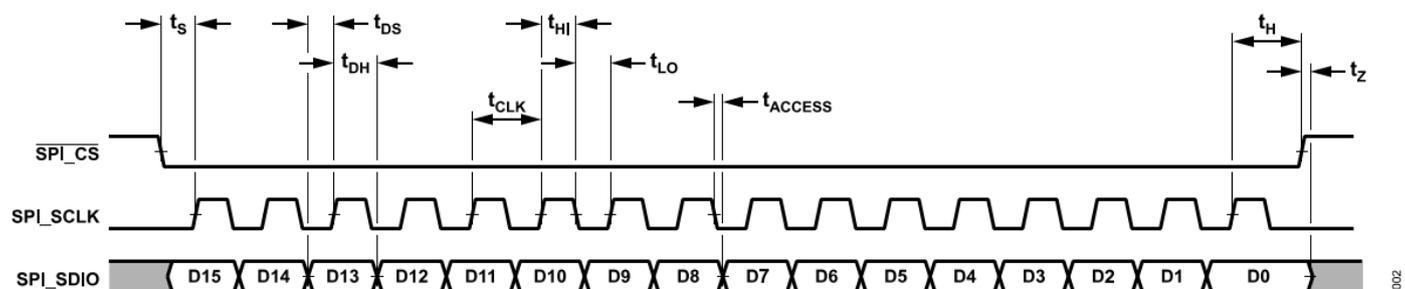


図 2. 3線式SPIバスのタイミング図

## 絶対最大定格

表3.

Parameter	Rating
Analog High Voltage Supply (Continuous), AHVDD - AHVSS	50 V
AHVDD - AVSS	50 V
AVSS - AHVSS	30 V
Input Pin Voltages (ISP_x, ISN_x, BVP_x, BVN_x, and CVS_x)	-0.3 V + AHVSS to AHVDD + 0.3 V
Digital Pins (Relative to DVSS)	-0.3 V to DVDD + 0.3 V
Analog Input Pins (AINx Relative to AIN_COM)	-0.3 V to AVDD + 0.3 V
DVSS and AVSS	-0.3 V to +0.3 V
DVDD, AVDD, and VDDDRV	-0.3 V to DVDD + 0.3 V
SPI_SCK, $\overline{\text{SPI\_CS}}$ , SPI_SDIO, and SPI_SDO	-0.3 V to DVDD + 0.3 V
REFIO	-0.3 V to AVDD + 0.3 V
Temperature	
Operating Range	0°C to +85°C
Storage Range	-65°C to +150°C
Junction	125°C
Peak Solder Reflow	
RoHS-Compliant Assemblies (20 sec to 40 sec)	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は、1立方フィートの密閉容器内で測定された自然対流下でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$ は、ジャンクションとケースの間の熱抵抗です。

表4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
SW-100-2	27.8	3.9	°C/W

## ハンダ処理

PCBのフットプリントをADBT1001用にレイアウトする場合や、デバイスをPCB上でハンダ処理する場合には、適切なガイドラインに従うことが重要です。これらのガイドラインの詳細については、EE-352のEEノートを参照してください。

## 静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル（CDM）。

## ADBT1001のESD定格

表5. ADBT1001、100ピンLQFP\_EP

ESD Model	Withstand Threshold	Class
HBM	1.5 kV	1C
CDM	750 V	1B

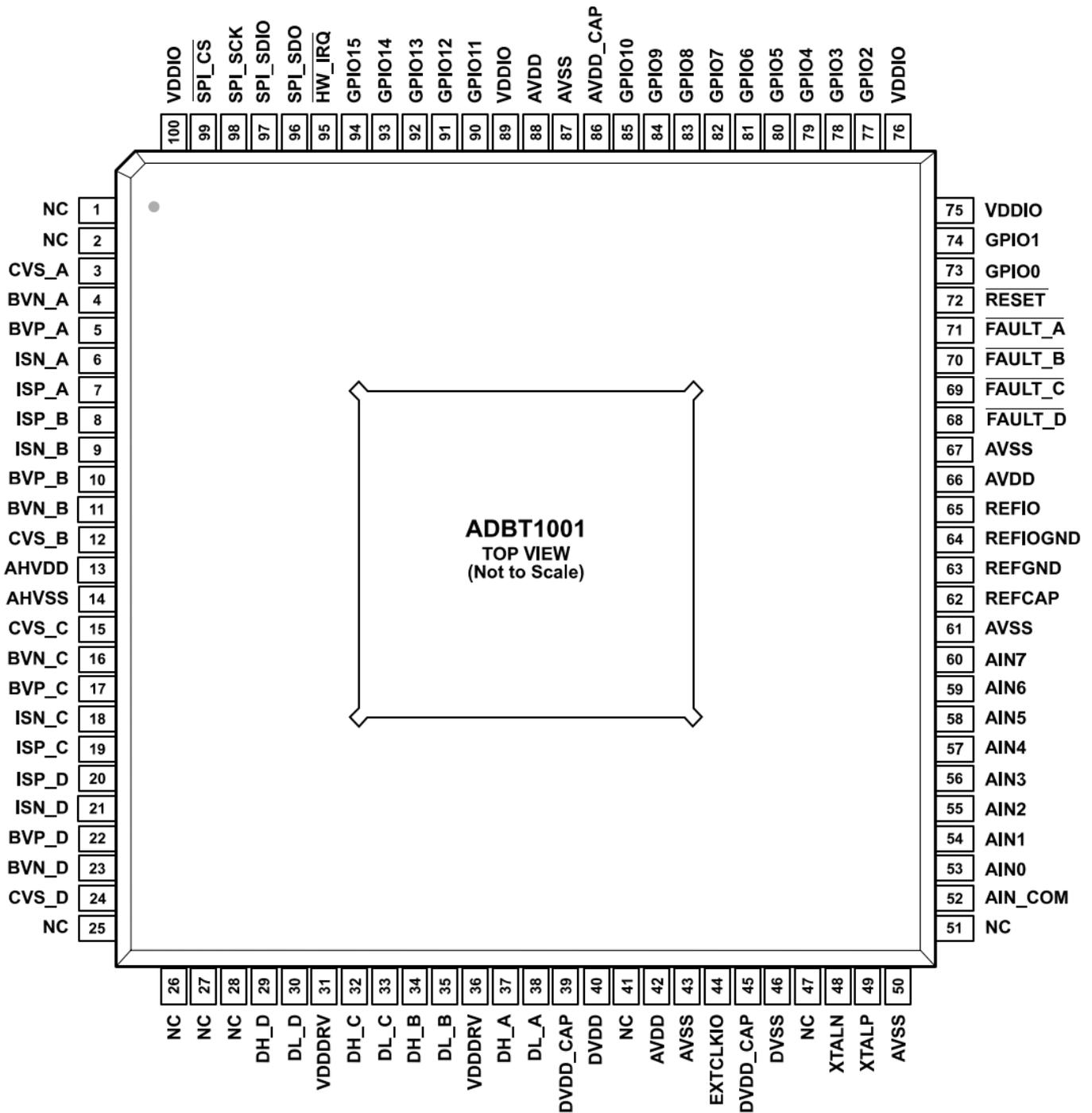
## ESDに関する注意



## ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. NC MEANS NO CONNECT.
2. EXPOSED PAD. DVSS FOR DVDD, VDDIO, AND VDDDRV.

図 3. ピン配置

## ピン配置およびピン機能の説明

表 6. ピン機能の説明

ピン番号	記号	説明
1	NC	接続なし。
2	NC	接続なし。
3	CVS_A	チャンネルAのコンデンサ電圧検出入力。
4	BVN_A	チャンネルAの電圧検出負側入力。
5	BVP_A	チャンネルAの電圧検出正側入力。
6	ISN_A	チャンネルAの電流検出負側入力。
7	ISP_A	チャンネルAの電流検出正側入力。
8	ISP_B	チャンネルBの電流検出正側入力。
9	ISN_B	チャンネルBの電流検出負側入力。
10	BVP_B	チャンネルBの電圧検出正側入力。
11	BVN_B	チャンネルBの電圧検出負側入力。
12	CVS_B	チャンネルBのコンデンサ電圧検出入力。
13	AHVDD	AFEの正側電源。
14	AHVSS	AFEの負側電源。必ずAVDDを供給してからAHVSSを供給するようにしてください。
15	CVS_C	チャンネルCのコンデンサ電圧検出入力。
16	BVN_C	チャンネルCの電圧検出負側入力。
17	BVP_C	チャンネルCの電圧検出正側入力。
18	ISN_C	チャンネルCの電流検出負側入力。
19	ISP_C	チャンネルCの電流検出正側入力。
20	ISP_D	チャンネルDの電流検出正側入力。
21	ISN_D	チャンネルDの電流検出負側入力。
22	BVP_D	チャンネルDの電圧検出正側入力。
23	BVN_D	チャンネルDの電圧検出負側入力。
24	CVS_D	チャンネルDのコンデンサ電圧検出入力。
25	NC	接続なし。
26	NC	接続なし。
27	NC	接続なし。
28	NC	接続なし。
29	DH_D	PWMの駆動信号（ハイレベル、チャンネルD）。
30	DL_D	PWMの駆動信号（ローレベル、チャンネルD）。
31	VDDDRV	PWMドライバの電源。
32	DH_C	PWMの駆動信号（ハイレベル、チャンネルC）。
33	DL_C	PWMの駆動信号（ローレベル、チャンネルC）。
34	DH_B	PWMの駆動信号（ハイレベル、チャンネルB）。
35	DL_B	PWMの駆動信号（ローレベル、チャンネルB）。
36	VDDDRV	PWMドライバの電源。
37	DH_A	PWMの駆動信号（ハイレベル、チャンネルA）。
38	DL_A	PWMの駆動信号（ローレベル、チャンネルA）。
39	DVDD_CAP	デジタル電源コンデンサ。DVDD_CAPとDVSSの間に10 $\mu$ Fのコンデンサを接続します。
40	DVDD	デジタル電源、3.3V（代表値）。
41	NC	接続なし。
42	AVDD	アナログ電源、3.3V（代表値）。必ずAVDDを供給してからAHVSSを供給するようにしてください。
43	AVSS	アナログ電源のリターン。
44	EXTCLKIO	外部発振器入力およびクロック出力。
45	DVDD_CAP	デジタル電源コンデンサ。DVDD_CAPとDVSSの間に10 $\mu$ Fのコンデンサを接続します。
46	DVSS	デジタル電源のリターン。
47	NC	接続なし。
48	XTALP	外部水晶発振器ハイサイド励起ピン。
49	XTALN	外部水晶発振器ローサイド励起ピン。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	説明
50	AVSS	アナログ電源のリターン。
51	NC	接続なし。
52	AIN_COM	アナログ入力、ADC共通。
53	AIN0	アナログ入力、ADCチャンネル0。
54	AIN1	アナログ入力、ADCチャンネル1。
55	AIN2	アナログ入力、ADCチャンネル2。
56	AIN3	アナログ入力、ADCチャンネル3。
57	AIN4	アナログ入力、ADCチャンネル4。
58	AIN5	アナログ入力、ADCチャンネル5。
59	AIN6	アナログ入力、ADCチャンネル6。
60	AIN7	アナログ入力、ADCチャンネル7。
61	AVSS	アナログ電源のリターン。
62	REFCAP	内部リファレンス・コンデンサ。
63	REFGND	内部リファレンス・グラウンド。
64	REFIOGND	リファレンス入出力用グラウンド。
65	REFIO	リファレンス入出力。REFIOとAVSSの間に10 $\mu$ Fを接続します。
66	AVDD	アナログ電源。必ずAVDDを供給してからAHVSSを供給するようにしてください。
67	AVSS	アナログ電源のリターン。
68	<u>FAULT_D</u>	フォルト検出入力、PWMチャンネルDシャットダウン。アクティブ・ロー。
69	<u>FAULT_C</u>	フォルト検出入力、PWMチャンネルCシャットダウン。アクティブ・ロー。
70	<u>FAULT_B</u>	フォルト検出入力、PWMチャンネルBシャットダウン。アクティブ・ロー。
71	<u>FAULT_A</u>	フォルト検出入力、PWMチャンネルAシャットダウン。アクティブ・ロー。
72	<u>RESET</u>	チップ・リセット。アクティブ・ロー。
73	GPIO0	汎用デジタル入出力0。
74	GPIO1	汎用デジタル入出力1。
75	VDDIO	入出力電源。
76	VDDIO	入出力電源。
77	GPIO2	汎用デジタル入出力2。
78	GPIO3	汎用デジタル入出力3。
79	GPIO4	汎用デジタル入出力4。
80	GPIO5	汎用デジタル入出力5。
81	GPIO6	汎用デジタル入出力6。
82	GPIO7	汎用デジタル入出力7。
83	GPIO8	汎用デジタル入出力8。
84	GPIO9	汎用デジタル入出力9。
85	GPIO10	汎用デジタル入出力10。
86	AVDD_CAP	アナログ電源リターン・コンデンサ。AVDD_CAPとAVSSの間に10 $\mu$ Fのコンデンサを接続します。
87	AVSS	アナログ電源のリターン。
88	AVDD	アナログ電源。必ずAVDDを供給してからAHVSSを供給するようにしてください。
89	VDDIO	デジタル入出力電源。
90	GPIO11	汎用デジタル入出力11。
91	GPIO12	汎用デジタル入出力12。
92	GPIO13	汎用デジタル入出力13。
93	GPIO14	汎用デジタル入出力14。
94	GPIO15	汎用デジタル入出力15。
95	<u>HW_IRQ</u>	ホスト割り込み要求。アクティブ・ロー。
96	SPI_SDO	ホストSPIマスタ入力/スレーブ出力（MISO）。
97	SPI_SDI	ホストSPIマスタ出力/スレーブ入力（MOSI）または双方向。
98	SPI_SCK	ホストSPIクロック。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明 (続き)

ピン番号	記号	説明
99	SPI_CS	ホストSPI選択。アクティブ・ロー。
100	VDDIO	入出力電源。
EPAD	DVSS	露出パッド。DVSSはDVDD、VDDIO、VDDDRV用です。

代表的な性能特性

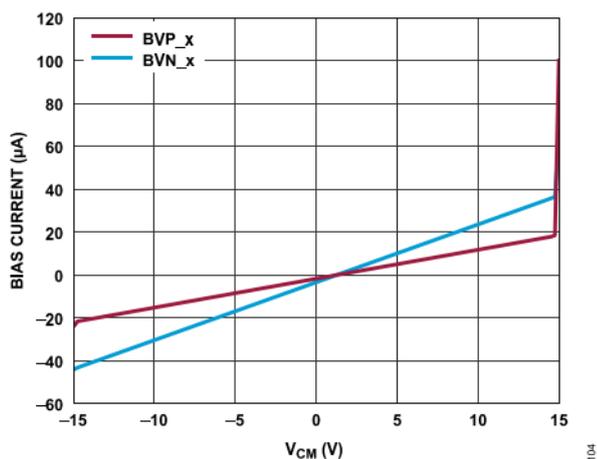


図 4. BVx\_xのバイアス電流とコモンモード電圧 (V<sub>CM</sub>) の関係

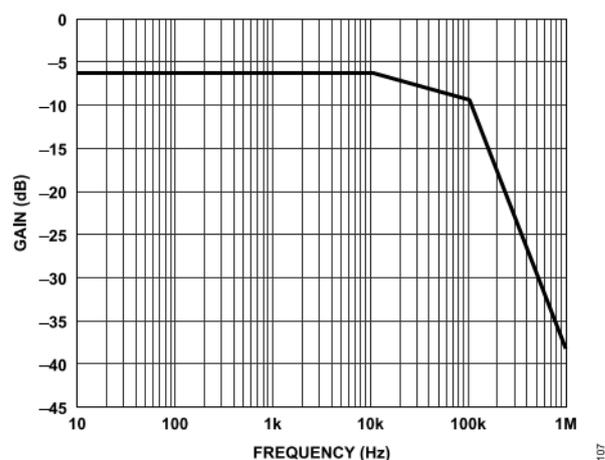


図 7. CVS\_xのゲインと周波数の関係

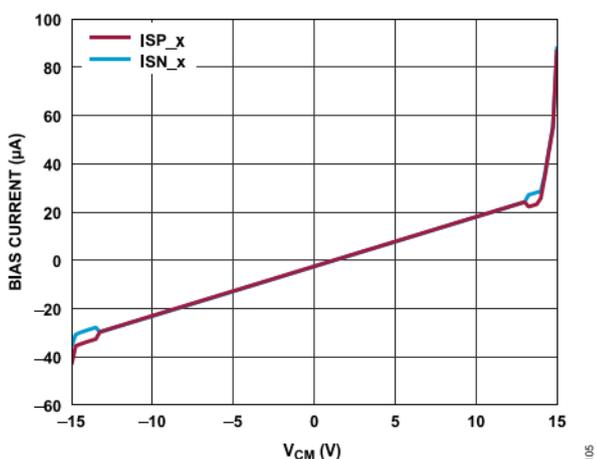


図 5. ISx\_xのバイアス電流とV<sub>CM</sub>の関係

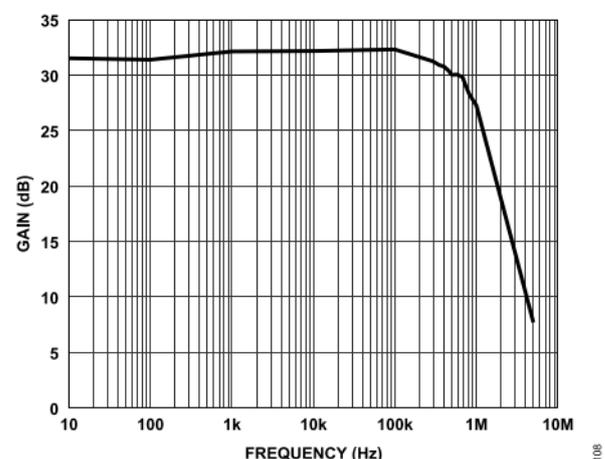


図 8. ISx\_xのゲインと周波数の関係

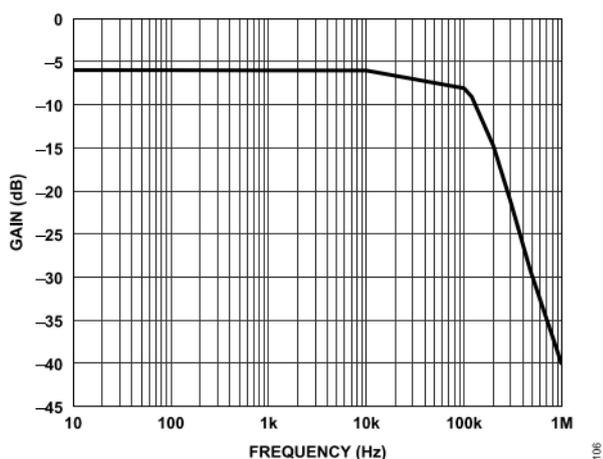


図 6. BVx\_xのゲインと周波数の関係

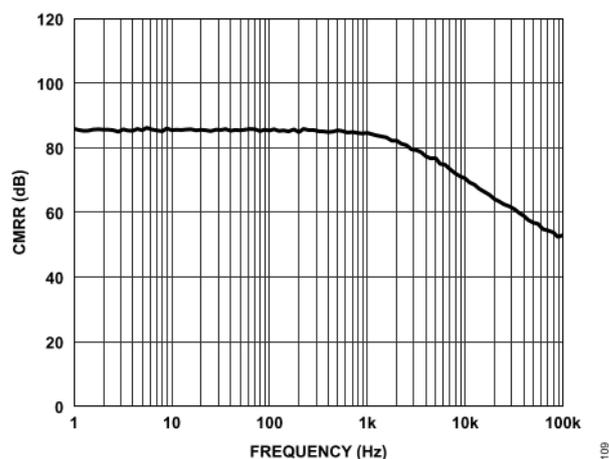


図 9. BVx\_xのCMRRと周波数の関係

代表的な性能特性

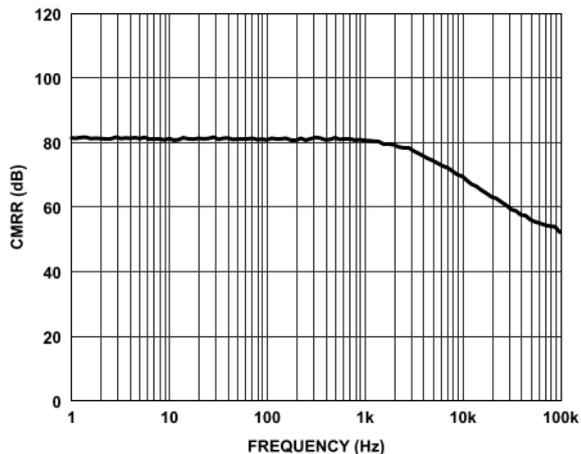


図 10. CVS\_xのCMRRと周波数の関係

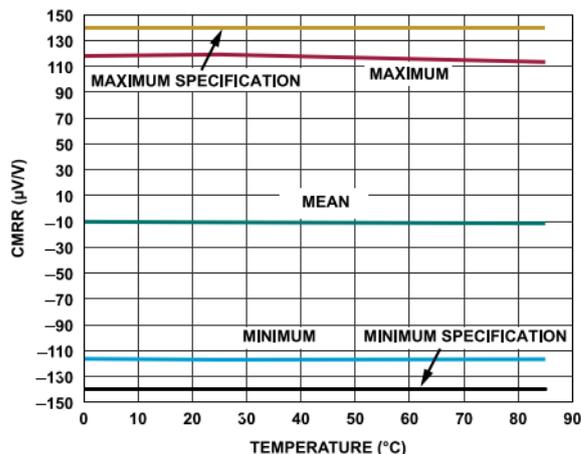


図 13. CVS\_xのCMRRと温度の関係

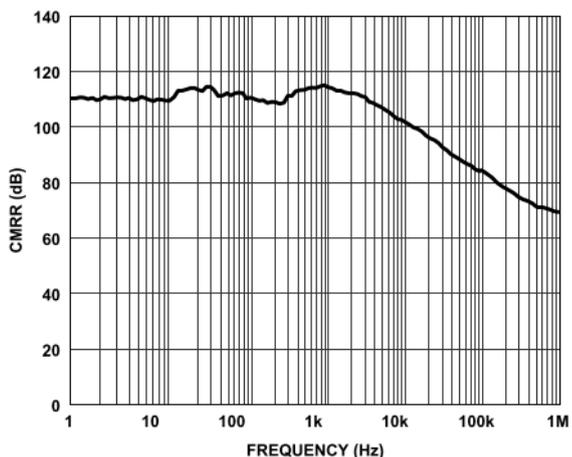


図 11. ISx\_xのCMRRと周波数の関係

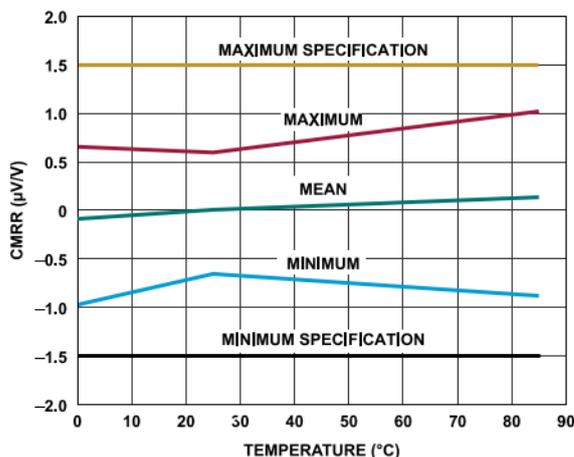


図 14. ISx\_xのCMRRと温度の関係

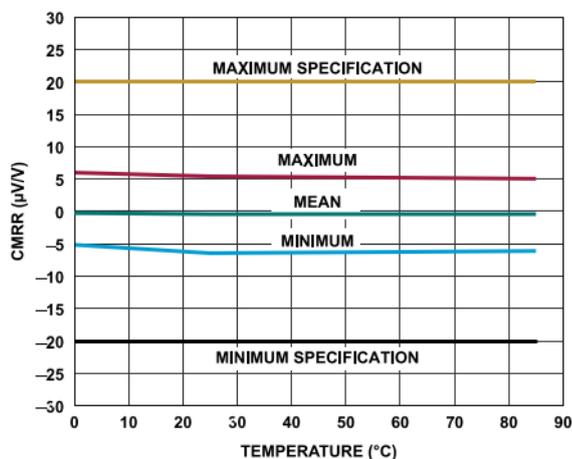


図 12. BVx\_xのCMRRと温度の関係

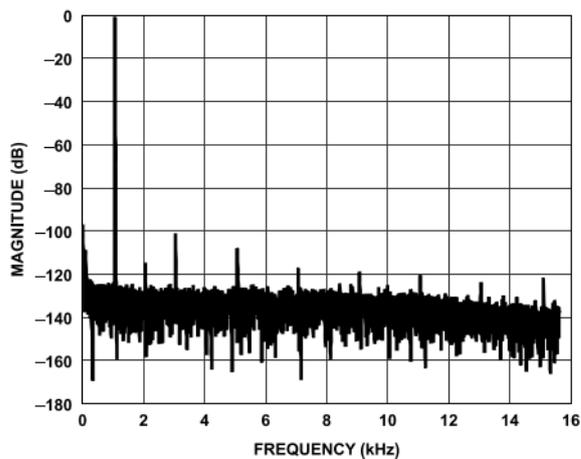


図 15. BVx\_xのアンプの高速フーリエ変換 (FFT)

代表的な性能特性

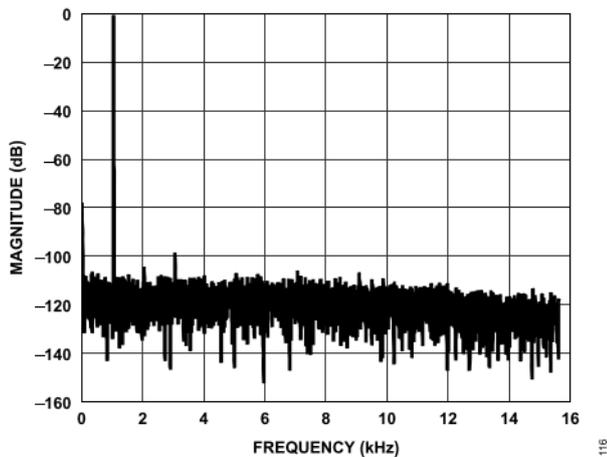


図 16. ISx\_xのアンプのFFT

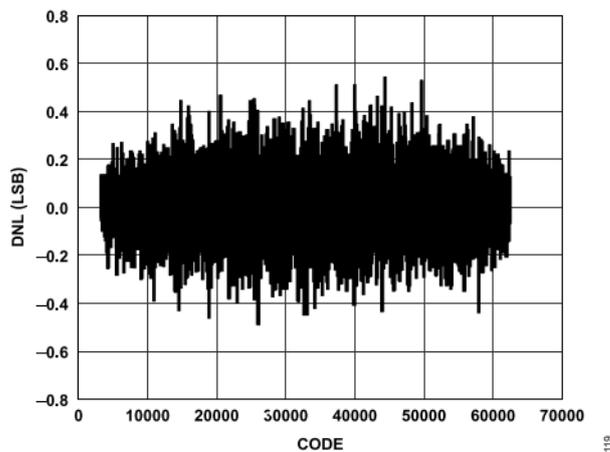


図 19. BVx\_xのアンプのフル・システムDNL

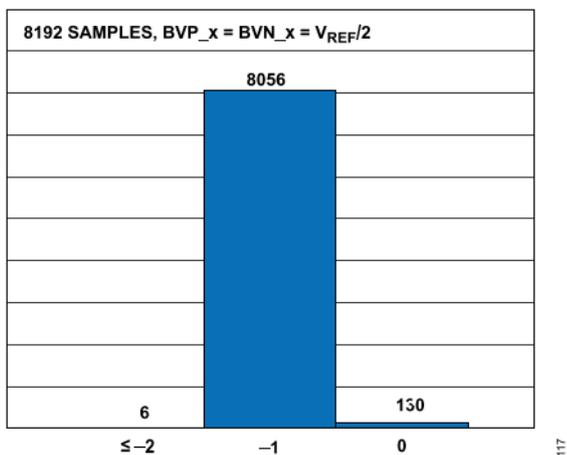


図 17. コード中央値におけるBVx\_xのチャンネルのヒストグラム・コード

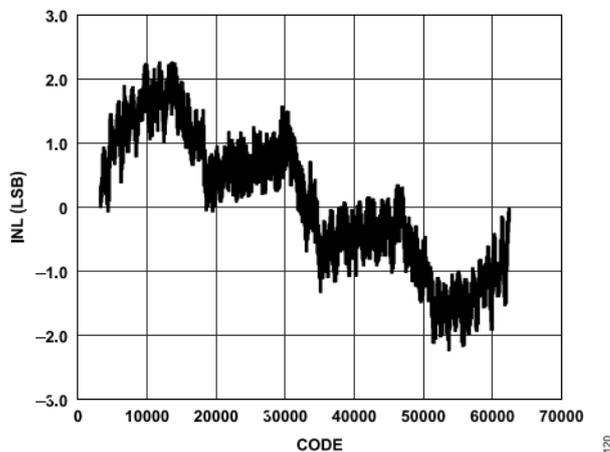


図 20. BVx\_xのアンプのフル・システムINL

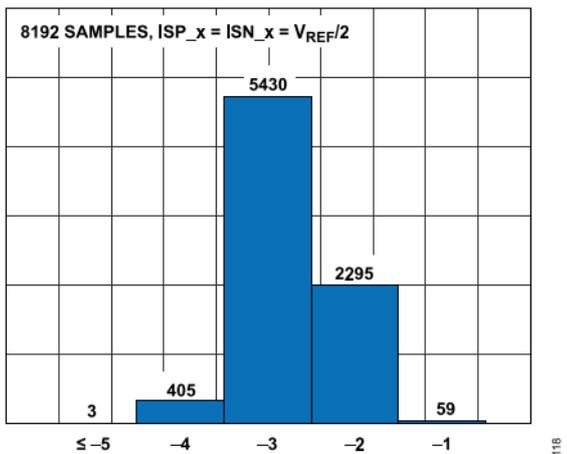


図 18. コード中央値におけるISx\_xのチャンネルのヒストグラム・コード

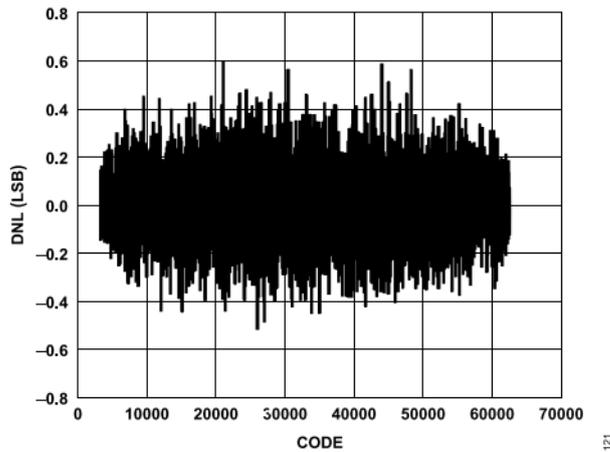


図 21. ISx\_xのアンプのフル・システムDNL

代表的な性能特性

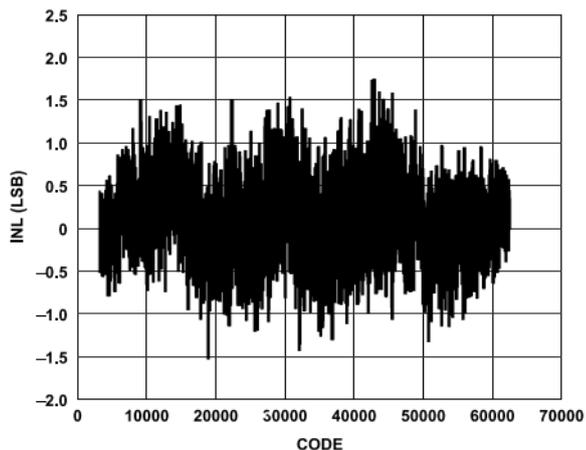


図 22. ISx\_xのアンプのフル・システムINL

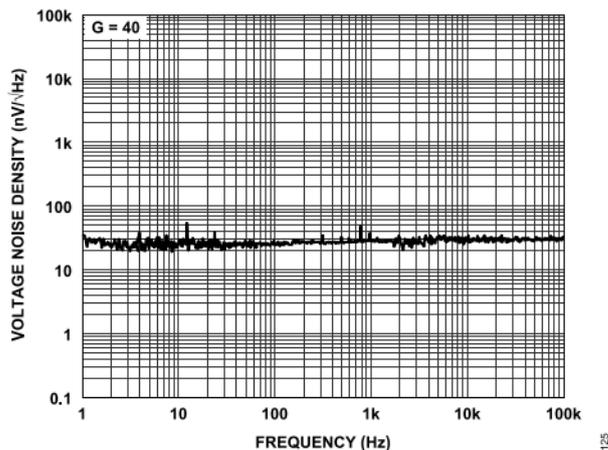


図 25. ISx\_xの電圧ノイズ密度と周波数の関係、G = 40

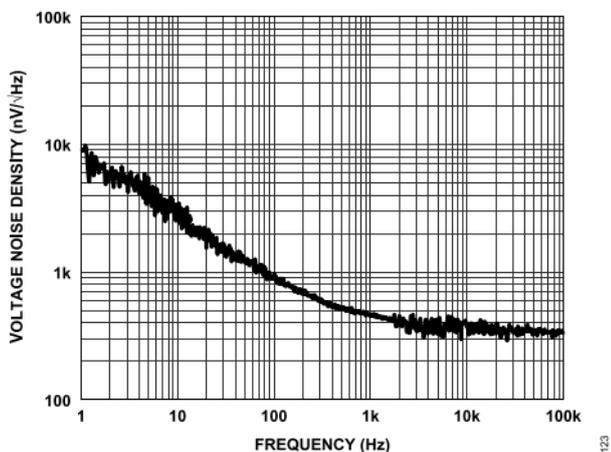


図 23. BVx\_xの電圧ノイズ密度と周波数の関係、G = 0.5

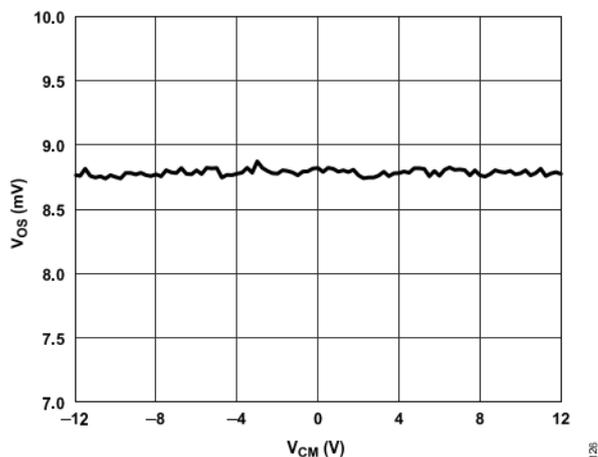


図 26. BVx\_xのアンプのVosとVCMの関係

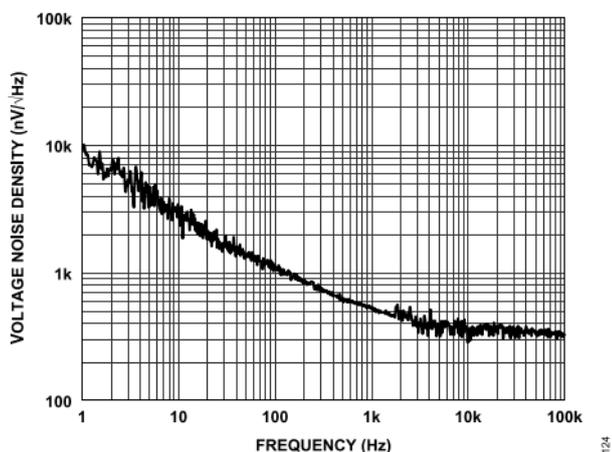


図 24. CVS\_xの電圧ノイズ密度と周波数の関係、G = 0.5

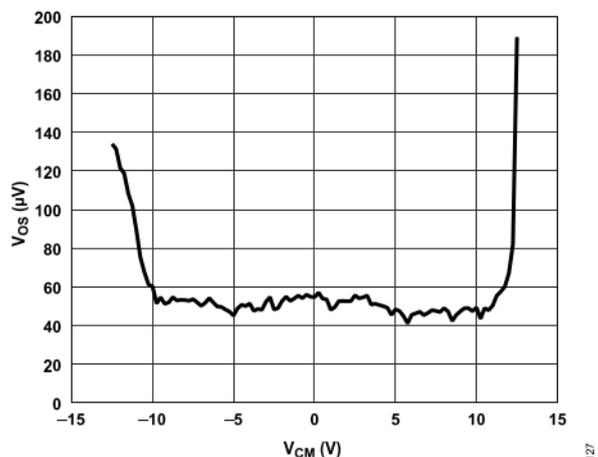


図 27. ISx\_xのアンプのオフセット電圧 (Vos) とVCMの関係

代表的な性能特性

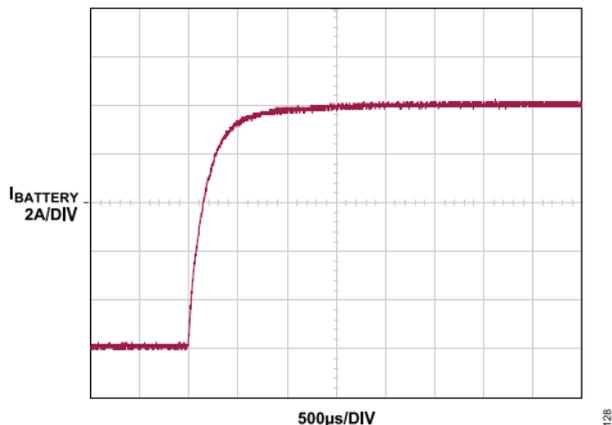


図 28. 同期モードでの10Aのステップ状充電例、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション (I<sub>BATTERY</sub>はバッテリー電流)

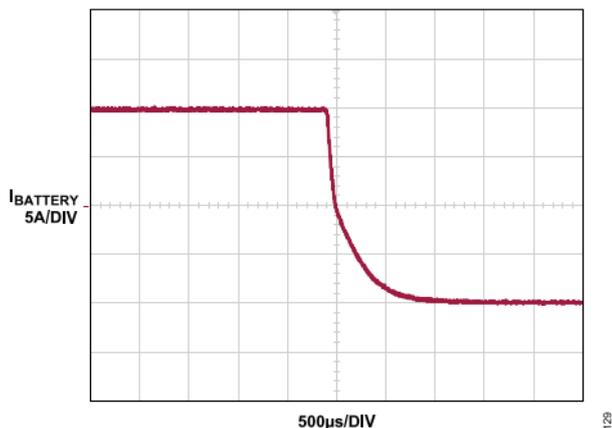


図 29. 同期モードでの充電から放電への変化例、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション

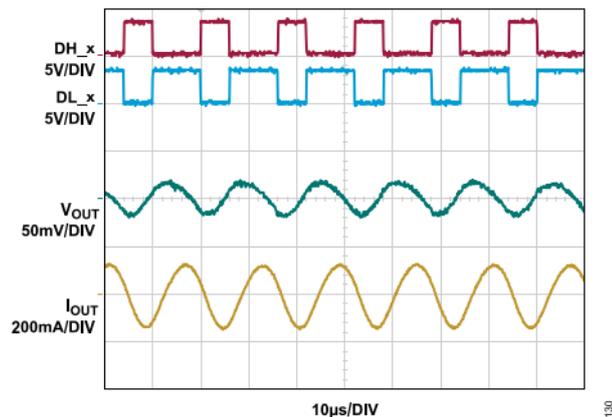


図 30. 62.5kHzでの10A CCの代表的なリップル、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション (I<sub>OUT</sub>は出力電流)

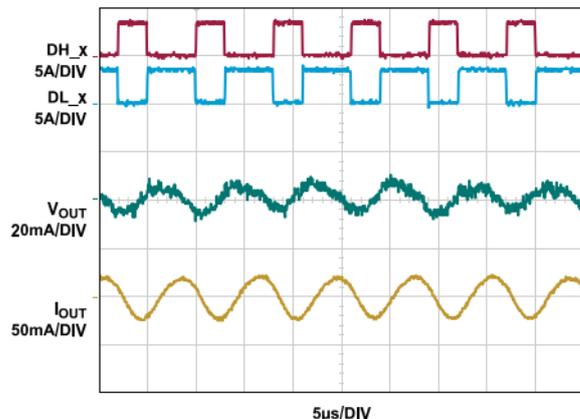


図 31. 125kHzでの10A CCの代表的なリップル、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション

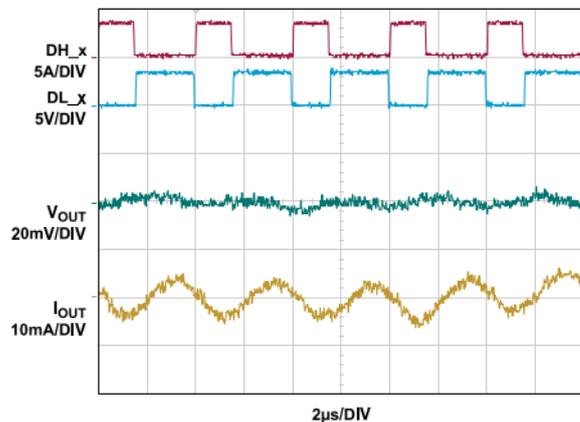


図 32. 250kHzでの10A CCの代表的なリップル、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション

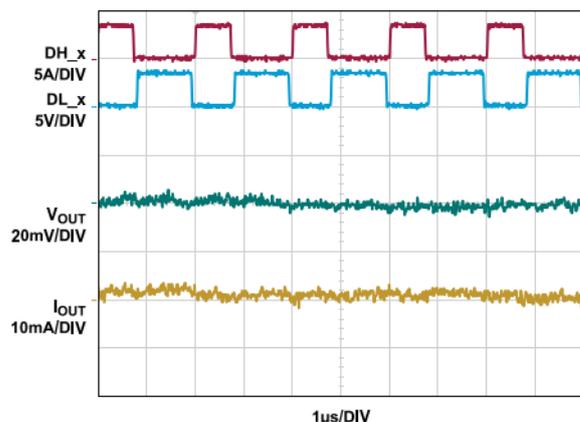


図 33. 500kHzでの10A CCの代表的なリップル、10AHのLiFePO<sub>4</sub>を使用した10Aのシステム・デモンストレーション

動作原理

概要

ADBT1001は高集積のデジタル・コントローラで、バッテリーのフォーメーションおよびテストのアプリケーションに焦点を置いた充放電の制御を4チャンネルで行うことができます。各チャンネル

は、高精度アナログ・フロント・エンド（AFE）で構成され、高精度ADC、ユーザ・プログラマブルなデジタル補償器、および高精度PWMを用いて、バッテリーの電流と電圧の両方を測定できます。また、8個の補助ADCチャンネルおよび16個のGPIOxピンも備えています。

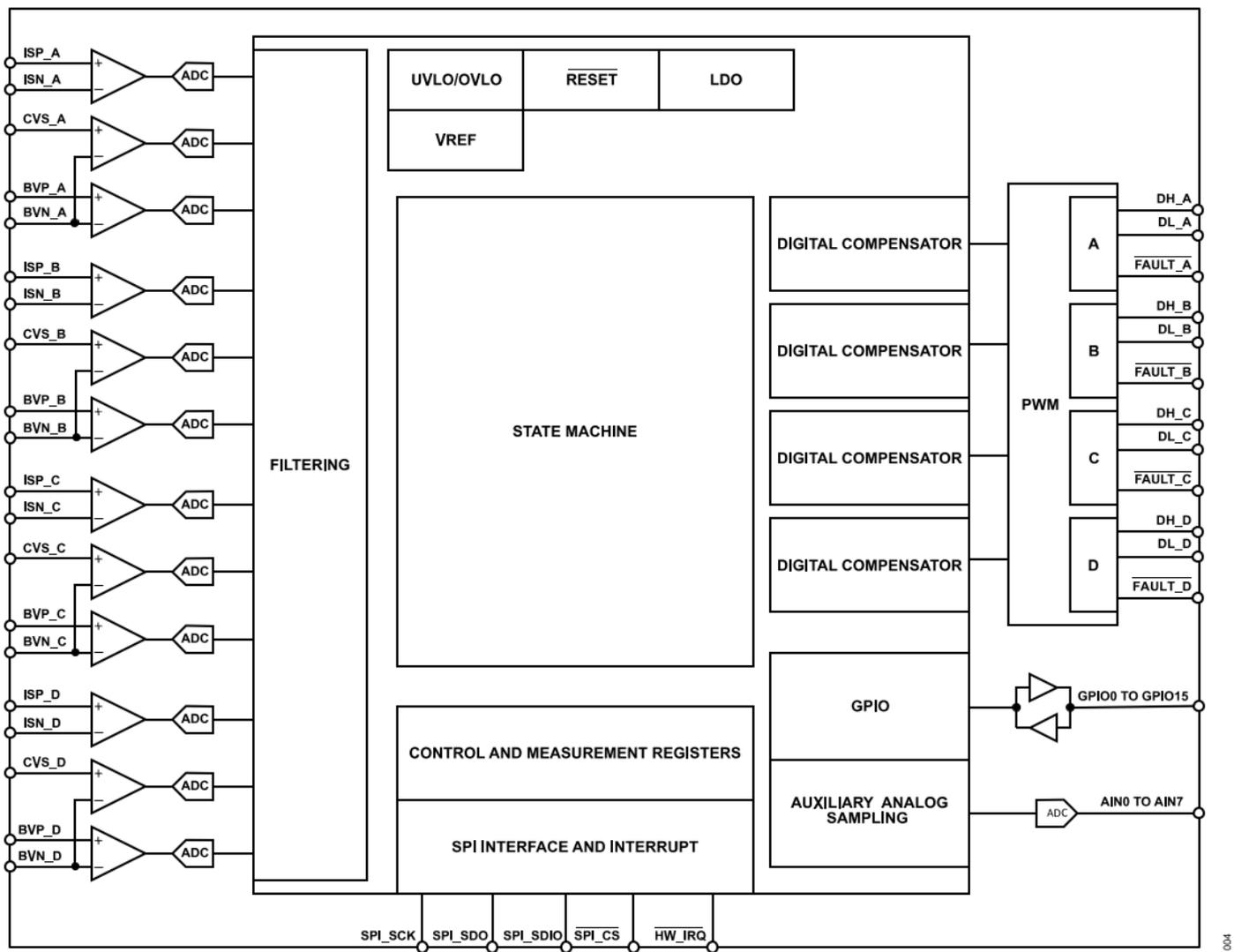


図 34. 機能ブロック図

## 動作原理

### アナログ・フロント・エンド

各チャンネルには、ゲインを40に固定した高精度電流検出差動アンプとゲインを0.5に固定した高精度電圧検出差動アンプがあります。同時サンプリングADCをペアにすることで、コンディショニングされた電流信号と電圧信号が12ビットのデジタル形式に変換され、その後、これらの信号はデジタル・コントローラに転送されます。

### デジタル・コントローラ

有限ステート・マシン (FSM) ベースのPID (比例・積分・微分) コントローラが、デジタル・ループ制御を行います。コントローラには、制御ループ補償用にユーザ・プログラマブルなフィルタ係数があります。電流と電圧の設定値はレジスタをベースとし、ホストSPIを介してユーザが設定します。電力と抵抗の設定値も使用できます。個別の電流制御ループと電圧制御ループがCCおよびCVをサポートし、また、定電力 (CP) 動作モードおよび定抵抗 (CR) 動作モードにも対応します。コントローラ出力は、16ビットのデジタルPWMのデューティ・サイクルを命令する場合に使用されます。コントローラの動作については、[シーケンサの動作例](#)のセクションで説明します。

### ホストSPI

制御は、3線式または4線式のSPIを介して外部ホストが行います。3線式SPIの場合はSPI\_CS、SPI\_SCK、SPI\_SDIOの各ピンを使用し、4線式SPIの場合はSPI\_CS、SPI\_SCK、SPI\_SDIO、SPI\_SDOの各ピンを使用します。このインターフェースは、メモリ・マップド・レジスタを通じてコントローラを設定するために用いられます。これらのレジスタを[表11](#)に示します。

### ホスト割込み要求

ホストに割込み要求を行うには、HW\_IRQ信号であるHW\_IRQを使用します。ホスト割込み要求を生成する内部イベントを選択するには、SPIポートでアクセス可能なレジスタ・セットを使用してください。イベント・オプションには、システム・エラー、チャンネル・データ・レディ、チャンネル電圧および電流のオーバーリミット検出、チャンネル動作完了、補助ADCのハイおよびロー閾値検出などがあります。

### クロッキング

ADBT1001では、すべての内部クロックを内部発振器、外付け16MHz水晶発振器、外付け16MHz発振器のいずれかから供給します。位相インターリーブを設定すると、入力リップルを最小限に抑えると共に、電流容量を増大するためにチャンネルが並列化されている場合の出力リップルも最小限に抑えるのに有効です。また、複数のデバイスを互いに同期させることで、4の倍数での並列動作が可能となります。マスタ・デバイスはEXTCLKIOピンに16MHzのクロックを出力し、このクロック信号がスレーブ・デバイスのEXTCLKIOピンの入力になります。

### GPIOピン

ADBT1001には16個のGPIOピンがあります。代表的なGPIOピンの使用法には、DCバスおよびバッテリー・アイソレーション・スイッチの制御や、デジタル・ソースからのデジタル入力の取得などがあります。GPIOピンは、以下に説明するメモリ・マップド・

レジスタ・セットを用いてユーザが設定できます。バッテリー・アイソレーション・スイッチに用いるGPIOピンは、シーケンサ制御用のグローバル・レジスタに割り当てることができます。この割り当てにより起動時のプリチャージ動作が容易になり、バッテリー接続時の逆電流を防ぐことができます。更に、GPIOピンは、複数のADBT1001デバイスを並列使用する場合に、デバイス間のデジタル電流分担の通信を行うよう設定できます。

GPIO\_PAD\_CFGレジスタを使用すると、スルー・レート、ヒステリシス、駆動強度などのGPIOピン・パラメータを設定できます。デフォルト・ビットフィールドであるGPIO\_SLEW、GPIO\_HYST、GPIO\_DRVには、それぞれ5ns、600mV、10Ωがデフォルトで設定されています。これらのデフォルト値には通常、ほとんどのアプリケーションでアクセス可能です。

GPIOピンを個別に入力または出力に設定するには、それぞれ16ビットのGPIO\_IEN\_CFGレジスタおよびGPIO\_OEN\_CFGレジスタを用います。各レジスタのビット[15:0]はGPIO0～GPIO15に対応します。

標準的なGPIOピンに設定された場合、これらのピンと相互作用する16ビット・レジスタが5個あります。それぞれの場合において、ビット0はGPIO0に対応し、ビット15はGPIO15に対応します。GPIO\_READレジスタを読み出すと、各GPIOピンの状態をモニタでき、GPIO\_WRITEレジスタに書き込むと出力ピンを1または0に設定できます。GPIO\_SET、GPIO\_CLEAR、GPIO\_TOGGLEの各レジスタは、標準的なGPIOピン出力に設定されたGPIOピンの設定、クリア、トグルを行うことができます。

基本的なユーザ制御GPIO動作の他、GPIOピンは特定の動作モードにも設定できます。この設定には、GPIO\_MODE\_CFG0レジスタ (GPIO0ピン～GPIO7ピン) およびGPIO\_MODE\_CFG1レジスタ (GPIO8ピン～GPIO15ピン) を用います。すべてのGPIO xピンは、標準的なGPIO入出力機能として設定するか、シーケンサによって制御することができます。シーケンサ制御は、プリチャージ動作の一部として用いられるバッテリー・アイソレーション・スイッチを制御するために使用されます。GPIO0～GPIO7に関する追加オプションとして、複数デバイスを並列使用の際にデバイス間通信を行うために用いられる、独自の機能があります。

特定のチャンネルでシーケンサによってGPIOピンを制御する場合、そのチャンネルのシーケンサがどのGPIOピンを制御するかを選択するために、チャンネルのGPIO\_CFGレジスタの4LSBも使用されます。

### 補助ADC

8チャンネルの12ビットADCを使用して、専用 (内部温度など) または汎用の外部測定を行うことができます。温度測定用の外部サーミスタで使用できるよう、8チャンネルのうち4チャンネルにはオプションの電流源がある点に注意してください。DCバス電圧もADCチャンネルで検出でき、この電圧をフィードフォワード制御メカニズムで用いることでDCバスのトランジェントの影響を低減できます。すべての補助ADC動作は、ユーザ設定可能です。

## 動作原理

### クーロン効率測定への対応

クーロン効率とは、放電時の容量と充電時の容量の比を指します。デバイスは、電流を時間積分することでこの効率測定に対応しています。積分結果はレジスタ・セットを通じてアクセスできます。

### プリチャージ動作への対応

新しいフォーメーション・サイクルまたはテスト・サイクルを行う前にセルに接続する場合、バッテリーから放電出力段へ大きな突入電流が流れる可能性があります。このデバイスでは、セルに接続する前にユーザが出力段をプリチャージできます。その詳細については、[プリチャージ動作](#)のセクションで説明します。

## シーケンサ

## 命令の定義

ADBT1001は、4個のチャンネルそれぞれで命令を実行することで動作します。各命令は制御ループを管理します。ADBT1001は、CC、CV、CP、CRの各動作モードで動作できます。

## シーケンシング・モード

ユーザの視点から見ると、命令を実行するシーケンシング・モードには、手動、半自動、自動の3つがあります。

## 手動モード

自動シーケンシング・モードでは、ホストの中央演算処理装置（CPU）がデバイスへの命令発行を担います。ユーザは、チャンネル・レジスタ・マップの次の命令領域（SEQ\_NEXT\_xxxで始まるレジスタ）に全命令を書き込みます。その後、ユーザが自己クリア開始ビットに書き込むことで、この命令の実行が開始されます。命令には、割り込みコントローラに対して発せられるフラグを

生成する、制限値またはタイムアウトが備わっています。ユーザは、割り込みを処理し、次の命令を書き込み、開始ビットをセットする必要があります。デバイスは、ホストCPUが割り込みを処理するまで、最後の命令を実行し続けます。

チャンネル内のレジスタ・マップは、命令用に固定されたレイアウトを備えています。このレイアウトにより、可能なフィールドはすべて、命令がその情報を使うかどうかに関わりなく、個別に利用可能になります。ホストCPUは、命令が予定したとおりに実行されるよう、必要なフィールドすべてに書き込みを行う必要があります。

命令の書き込みには、ダブル・バッファ・メカニズムが用いられます。開始ビットが書き込まれている場合にのみ、ステート・マシンに転送され実行される命令がそのチャンネルにコピーされます。この手法により、次の命令を前もって書き込むことができます。命令の実行に関するレジスタへのアクセスは、デバッグ機能として利用できます。

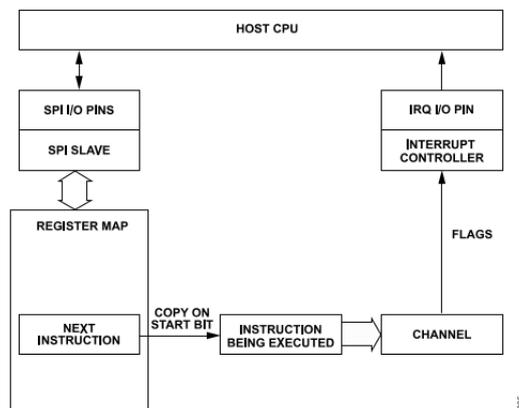


図35. 手動シーケンシング・モード

## シーケンサ

## 半自動モード

半自動モードでは、以下に示す条件が満たされた場合に次の命令のコピーが実行されます。

- ▶ 現在の命令が制限値（電圧や電流、時間）に達した場合。これは手動モードで割込みが生成されるのと同じ理由です。
- ▶ 新しい命令がレジスタ・マップに完全に書き込まれた場合。

同じ命令をシーケンシャルに実行するのを避けるため、以下に示すように、次の命令が完全にプログラムされたことを示すビットフィールドがあります。

- ▶ レジスタ・マップのセルフ・クリアNEXT\_INSTR\_READYビットを通じて、ユーザによりフラグがセットされます。
- ▶ 命令がレジスタ・マップからコピーされると常にフラグがクリアされます。

開始ビットによる命令コピーは、その前の命令の状態に関わらず実行されます。この動作により内部レジスタがクリアされます。その後、内部フラグがレジスタ・マップを通じてリードバックされ、デバッグが行われます。

## 自動モード

自動シーケンシング・モードでは、開始ビットを設定する前に、すべての命令を命令メモリにプログラムする必要があります。開始ビットは、命令ポインタをチャンネル・メモリの開始にリセットします。各命令には、現在の命令を終了し命令ポインタを次の命令に進める制限値またはタイムアウトが備わっています。すべての命令の実行が終了すると、チャンネルは割込みコントローラにフラグを発行します。命令シーケンスが終了すると、デバイスはDH信号およびDL信号でのアクティビティを抑制します。

チャンネル・メモリに保存された命令には、16ビット・ワードを用いる可変長ペイロードがあります。固定ヘッダは1ワード長です。ペイロードは、ヘッダで示された命令によって異なります。命令ポインタは予定されたペイロードに応じて進行します。ユーザは、用意されたGUIを利用して命令メモリをコード化することができます。

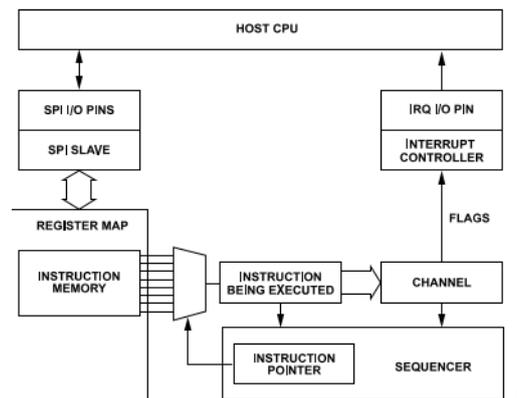


図 36. 自動シーケンシング・モード

## シーケンサ

## 充電命令モードと放電命令モード

デバイスには、チャンネルごとに電流ループと電圧ループの2つのPID制御ループがあります。与えられた時間で1つのPID制御ループのみが制御を行います。制御動作中のPID制御ループは、フィルタ処理されたADCサンプルと目標設定値の間の誤差が最小となるループです。VMEASはVチャンネルでの測定値である点に注意してください。

制御ループの動作を設定するには、以下の4つの独立なビットがあります。

- ▶ **CC**。Iチャンネルが制御され、ループ・ターゲットは電流設定値 (ISET) に設定されます。
- ▶ **CV**。Vチャンネルが制御され、ループ・ターゲットは電圧設定値 (VSET) に設定されます。
- ▶ **CP**。Iチャンネルが制御され、ループ・ターゲットは消費電力設定値 (PSET/VMEAS) に設定されます。
- ▶ **CR**。Iチャンネルが制御され、ループ・ターゲットは抵抗設定値 (VMEAS×GSET) に設定されます。

可能なモードの組み合わせは16通りあり、ループがバッテリーを充電しているか放電しているかを含めると32通りになります。

VSETビット (レジスタSEQ\_NEXT\_VSETの15LSB) は、絶対値またはVMEASからの差分値とすることができ、これは、VSET\_DELTAビット (レジスタSEQ\_NEXT\_VSETのMSB) で定めることができます。差分値を用いる主な目的は、VSET値を最後のVMEAS値から一定量オフセットさせることができるようにするためです。スタートアップ (つまりプリチャージ) プロシージャではオフセットがゼロのVSET\_DELTAビットを用いて現在のバッテリー電圧値を取得します。プリチャージ動作については、[プリチャージ動作](#)のセクションで説明します。

## 充電命令と放電命令の制限値

命令制限値を表す16ビットのプログラマブル・フィールドが3つあります。VLIMITはCC動作モードに関連したもので、CC充電またはCC放電の終了ポイントを通知するために使用できます。ILIMITはCV動作モードに関連したもので、CV充電またはCV放電の終了ポイントを通知するために使用できます。TLIMITは命令の時間を設定するため、または命令がもっと早く完了しなくてはならない場合のエラー・オーバーリミットを設定するために用いることができます。

## VLIMIT

VLIMITビット (レジスタSEQ\_VLIMIT) の動作の詳細を以下に説明します。

- ▶ VLIMIT閾値により、CCモードでの充電命令または放電命令の命令終了を通知できます。
- ▶ CVモードおよびCCモードのどちらの命令においても、VLIMITを超える前にILIMIT (レジスタSEQ\_ILIMITのビット[14:0]) を超えることで命令を終了させることのないようにすることで、VLIMITは早期の命令終了を回避します。更に、この閾値に達するまで、VチャンネルのPIDは制御を行うことができません

- ▶ VLIMIT\_DELTA (MSB) ビットがクリアされている場合、VLIMITビット (ビット[14:0]) は、正の絶対電圧値を表します。
- ▶ VLIMIT\_DELTAビットがセットされている場合、制限値は、命令の実行中最初のVMEAS値の読みしからのインクリメント (充電) またはデクリメント (放電) とみなされます。このビットの主な目的は、この命令をプログラミングする前にADCの値を読み出すことなく、この制限値を動的に設定することです。このビットは、VSET\_DELTAビット (レジスタSEQ\_VSET) に関連しています。
- ▶ 充電命令時に測定電圧がVLIMIT閾値以上になった場合に、VLIMITに達します。
- ▶ また、放電命令時に測定電圧がVLIMIT閾値以下になった場合に、VLIMITに達します。

## ILIMIT

ILIMITビット (レジスタSEQ\_ILIMIT) の動作の詳細を以下に説明します。

- ▶ ILIMIT閾値により、CVモードをアクティブにした場合の充電命令または放電命令の命令終了を通知できます。
- ▶ ILIMITビット (ビット[14:0]) は常に電流の絶対値の大きさを表します。
- ▶ 充電命令時に測定電流がILIMIT閾値以下になった場合に、ILIMITに達します。充電中の逆電流はこの制限をトリガします。
- ▶ バッテリー放電命令時に測定電流が負の値のILIMIT閾値以上になった場合に、ILIMITに達します。放電中の逆電流はこの制限をトリガします。

## TLIMIT

NEXT\_TLIMIT\_SCALEおよびNEXT\_TLIMIT\_VALのビットフィールド (レジスタSEQ\_NEXT\_TLIMIT) の使用方法を以下に説明します。

- ▶ TLIMITはタイムアウト・トリガ・イベントの目標値です。経過時間がTLIMIT以上になった場合にトリガがアサートされます。
- ▶ タイムアウト・トリガ・イベントは、命令が別の制限値により終了する必要がある場合にエラーを通知するために使用できます。または、命令が時間どおりに実行された場合に使用できます (エラーなし)。
- ▶ SEQ\_NEXT\_TLIMITのビット[15:0]は以下のようにコード化されます。
  - ▶ NEXT\_TLIMIT\_SCALEのビット[15:14]は時間単位で、3 = 分、2 = 分、1 = ミリ秒、0 = マイクロ秒です。
  - ▶ NEXT\_TLIMIT\_VALのビット[13:0]は整数値です。
- ▶ 時間単位は、分解能と最大時間値を設定します。分のスケールでは、分解能は分単位で最長時間は11.3日です。マイクロ秒のスケールでは、分解能はマイクロ秒単位で最長時間が約16.5ミリ秒です。

## シーケンサ

### ゼロ値制限の意味

次の制限値には特別な意味があります。

- ▶ TLIMIT\_VAL = 0は、タイムアウトがディスエーブルされ、フラグは生成されないことを意味します。
- ▶ ILIMIT = 0または低い値の場合、CV動作の完了までに長い時間を要する可能性があることを意味します。
- ▶ VLIMIT = 0の場合、CC動作は直ちに終了します。

### スルー・レート

このデバイスには目標値が設定されたスルー・レート機能があり、これによって命令と命令の間をスムーズに遷移できます。この機能を無効化すると制御ループのエラー信号にステップ状の波形が生じます。この機能を有効化すると、このステップ状の波形は滑らかに増減する波形に変換されます。

目標値のスルーイング機能が有効化されている場合、目標値はその測定値から命令の一部として設定された目標値へと、徐々に増加（または減少）します。レジスタ・マップには、ISETビットおよびVSETビットのスルー・レートが示されています。レートは、コードおよび時間の2つのフィールドで記述されます。コードの単位はADCのコードで、時間はPIDとPWM更新レートの範囲内です。

増減の開始点は、最初の測定値ですが、次の制限があります。

- ▶ 充電命令ではISETは負の値になることができません。逆電流がある場合、ISETは0から始まり、目標設定値まで徐々に増加します。
- ▶ 放電命令ではISETは正の値になることができません。正の電流がある場合、ISETは0から始まり目標設定値まで徐々に減少します。
- ▶ VSETは常に正です。

CCを用いる充電命令および放電命令はISETを徐々に増減します。CVの充電命令および放電命令はVSETを徐々に増減します。

### 並列動作

複数のチャンネルを並列に動作させることで、駆動電流を増加できます。複数のチャンネルが並列に動作する場合、1つのチャンネルがマスタに指定され、Iチャンネルの測定値 (IMEAS) をその他のチャンネルに伝送します。マスタ・チャンネルの動作については、[2チャンネル並列+2チャンネル独立の使用事例](#)のセクションおよび[4チャンネル並列の使用事例](#)のセクションで説明します。他のチャンネルはCCモードで動作し、マスタ・チャンネルからの未加工のIMEASを目標値にします。IMEAS値はゲインとオフセットについて補償される点に注意してください。

並列に動作するチャンネル群は複数のデバイスにまたがることも可能です。

1つのデバイスにおけるチャンネル間のIMEASの伝送は、1回のPIDサイクル内で行われます。異なるデバイスのチャンネル間でのIMEASの伝送は、8MHzのチップ間SPI通信レートに依存します。マスタ・デバイスとスレーブ・デバイス間の通信には、16ビットのIMEAS転送あたり2μsを要します。

### フラグ

フラグ・ブロックは、割り込みコントローラ・ブロックに送られるフラグを生成します。その後、ユーザは必要に応じて個々のフラグのマスクを (INT\_EN\_CH\_xレジスタで) 解除して割り込みを生成できます。フラグは、そのフラグを含むチャンネル割り込みステータス・レジスタが読み出されると、クリアされます。

INSTR\_DONEフラグは、命令が最後の制限値に達した場合、もしくは、REST命令の場合にはタイムアウトに達した場合に、セットされます。デバッグのために、このフラグはSEQ\_DONEフラグとは区別してください。自動モードでは、INSTR\_DONEフラグは新たな命令が読み込まれるとリセットされます。開始ビットでINSTR\_DONEフラグをリセットできるのは、手動モードの場合のみです。

自動モードの場合、最後の命令が終了するとSEQ\_DONEフラグがセットされます。手動モードの場合、このフラグは決してセットされず、開始ビットによってSEQ\_DONEフラグがリセットされます。

フラグが別の制限による終了またはHALT命令を示すものでない場合にタイムアウトに達すると、INSTR\_TIMEOUTフラグが生じます。

VMEAS\_OVER\_LMTフラグやIMEAS\_OVER\_LMTフラグが発生するのは、入力データ (低遅延のADC生データ) がユーザ指定のVMEASやIMEASのロー・レベルまたはハイ・レベル (具体的には、VMEAS\_OVER\_LIMITS\_LOW\_THLDまたはVMEAS\_OVER\_LIMITS\_HIGH\_THLD、およびIMEAS\_OVER\_LIMITS\_LOW\_THLDまたはIMEAS\_OVER\_LIMITS\_HIGH\_THLD) に達した場合です。また、ユーザは、連続的なオーバーリミット・サンプルの数を指定して検出することもできます。

INSTR\_USER\_IRQフラグがセットされるのは、シーケンサが、チャンネルのSEQ\_NEXT\_INSTレジスタにセットされたNEXT\_USER\_IRQビットで次の命令を読み出し、その命令の実行を終了した場合です。

INSTR\_ERRフラグは、命令の一部ではない様々なイベントの間に設定されます。命令エラーにより、チャンネルのレジスタ・マップにデバッグ・エラー・コードが書き込まれるため、ホストによって読み出すことができます。コードには、不正な命令やゼロ除算などが含まれます。

INSTR\_MODE\_TRANSフラグは、CCからCVへの遷移などのモード遷移を検出した場合にセットされます。

表7. シーケンサのフラグ

Flag	Description
Instruction Finished, INSTR_DONE	Instruction has ended. If in manual sequencing mode, the device expects a new instruction.
Sequence Finished, SEQ_DONE	Instruction halt was run or instruction pointer points outside of the instruction memory.
Timeout, INSTR_TIMEOUT	If instruction is set to flag timeouts, TLIMIT was met.
Measurement Current (IMEASUREMENT) Overlimit, IMEAS_OVER_LMT	IMEAS is outside of the globally programmed thresholds.

## シーケンサ

表7. シーケンサのフラグ (続き)

Flag	Description
Measurement Voltage (VMEASUREMENTS) Overlimit, VMEAS_OVER_LMT	VMEAS is outside of the globally programmed thresholds.
User Interrupt, INSTR_USER_IRQ	The instruction with the NEXT_USER_IRQ bit was executed.
Instruction Error, INSTR_ERR	Various motives. This flag is a read instruction error code.
Instruction Mode Transition, INSTR_MODE_TRANS	The instruction transitioned from one mode to another, such as from CC to CV mode in a CC to CV operation.

## グローバル・レジスタの設定

以下に示すグローバル・レジスタ設定リストは、チャンネル・レジスタ・マップの範囲外であり、これらの設定は4つのチャンネルすべてに影響します。

- ▶ PWMおよびループ更新レート。これはすべての変更で共通で、レートは500kHz、250kHz、125kHz、62.5kHzに設定できます。
- ▶ 並列動作のチャンネル設定。
- ▶ 割込みコントローラの設定。
- ▶ 補助ADCの設定と読み出し。

## チャンネルの静的な設定

以下のチャンネル静的設定は、チャンネル・レジスタ・マップの各々にあるものですが、これらの設定は命令を用いて制御することはできません。

- ▶ スルー・レート設定 (イネーブル・ビットは命令にあります)
- ▶ 測定オーバーリミット閾値 (チャンネルを自動的にオフするハード・リミット)
- ▶ PWM自動非同期モード遷移閾値
- ▶ デジタル・シグナル・プロセッサ (DSP) のデータパス設定は以下に従います。
  - ▶ 読み出し用フィルタのデシメーション・レート
  - ▶ 数値制御発振器 (NCO)
  - ▶ 周波数応答解析 (FRA) 復調器

## 命令セットのアーキテクチャ

チャンネル・シーケンサにプログラムできる命令は次のとおりです。メモリ内のワード・サイズは16ビット幅です。各命令にはヘッダとして1ワードがあり、ペイロードとしてゼロ以上のワードがあります。

レジスタの説明図を簡略化するために16ビット・ワードを2行に分割し、下位8ビットを最初に、上位8ビットを2番目に記載します。

手動シーケンシング・モードで実行される命令セットは限定されています。

Xの文字が付されたビットは、これらのビットがドント・ケアであることを示します。これらのビットには0を書き込むことを推奨します。

ヘッダのビット[1:0]は命令 (INST\_TYPE) を定義します。命令には、休止、停止、充電、放電などがあります。

CC、CV、CP、CRはヘッダ中のビットで、バッテリーの充電または放電の動作モードを表します。

DISABLE\_VL\_LIMITSは、命令終了条件を判定するためのVLIMITやILIMITの使用をディスエーブルします。このビットは、電圧または電流測定オーバーリミットのフラグ通知をすべてディスエーブルします。

PWM\_AUTO\_ASYNC\_ENABLEは、現在の測定に基づいて自動PWM非同期モード遷移をイネーブルもしくはディスエーブルします。

TLIMIT\_MODEは、時間制限が通常の終了条件であるかどうか、または、(制限値に達した場合に) このビットがフラグを発行するタイムアウト・エラーであるかどうかを示します。

SLEW\_ENは、ISETまたはVSETの目標値を増減する充電または放電時のプロシージャをイネーブルします。

GPIO\_VALはチャンネルに関連したGPIOxの値を設定します。標準的なアプリケーションでは、この関連GPIOxは、バッテリーと電圧レギュレータの接続または切り離しを行うスイッチを制御します。チャンネル・レジスタ・マップ内の静的レジスタは、このGPIO\_VALビットが制御するGPIOxを決定します。

LOOP\_STARTがセットされている場合、このビットはループの一部である最初の命令を表します。ハードウェアはアドレス・ポインタを保存します。セットされている場合、ペイロードの最初のワードはループの反復回数でなくてはなりません。内部ループ・カウンタが0の場合、命令はループ・カウンタにこの値を設定します。

LOOP\_ENDがセットされている場合、このビットはループの一部である最後の命令を表します。ループ・カウンタはデクリメントします。新しいループ・カウンタの値が0でない場合、プログラムはループの最初の命令にジャンプします。

V\_SELビットは、データをVチャンネルに供給するための以下に示すオプションを表します。

- ▶ バッテリ電圧測定 = 1'b0の場合、測定はBVP\_xピンとBVN\_xピンの間で行われます。
- ▶ コンデンサ電圧測定 = 1'b1の場合、測定はCVS\_xピンとBVN\_xピンの間で行われます。

PID\_COEF\_SETはPID係数について様々なオプションを表します。バッテリーが接続されていない場合の起動プロシージャ用に1つのセットを予約しておき、充電または放電命令用には別のセットを予約しておくことを推奨します。

USER\_IRQでは、命令完了時にユーザ定義の割込みを発行するよう、命令を設定できます。

## シーケンサ

表8. 命令のヘッダ

Header	7	6	5	4	3	2	1	0
Header LSB Bits	PWM_AUTO_ASYNC_ENABLE	DISABLE_VI_LIMITS	CR	CP	CC	CV	INST_TYPE[1:0]	
Header MSB Bits	TLIMIT_MODE	USER_IRQ	PID_COEF_SET	V_SEL	LOOP_END	LOOP_START	GPIO_VAL	SLEW_EN

## シーケンサ

## 停止 (HALT)

停止はINST\_TYPE = 2'b00でコード化されます。

この命令は、自動モードにおいてプログラムを停止し、チャンネルのSEQ\_DONEフラグを発行します。プログラム・ポインタは進行しません。PWM (DH\_x/DL\_x) 出力はロジック・ロー・レベルでオーバーライドされます。

停止命令に関連したペイロードはありません。

## 休止 (REST)

休止はINST\_TYPE = 2'b01でコード化されます。

休止命令中、PID出力はTLIMITで指定された時間保持され、後続の命令のために備えます。PWM出力はロジック・ロー・レベルでオーバーライドされます。GPIO\_VALを用いるとバッテリーを切り離せます。複数のチャンネルは、この命令の間、電圧測定や電流測定を行うデータ・アキュジション・システムとして用いることもできます。

休止命令のペイロードを表9に示します。TLIMITは必要なパラメータである点に注意してください。LOOP\_CNT値はLOOP\_STARTがセットされている場合に必要です。自動モードの場合のみ、命令にLOOP\_STARTビットをセットする場合には、LOOP\_CNT (8ビット・カウント) を含める必要があります。これより後のLOOP\_ENDビット・セットを伴う命令により、ループで反復される命令のリストの最後が定まります。

表9. 休止命令のペイロード

Payload	7	6	5	4	3	2	1	0	
Payload 0 LSB Bits								TLIMIT, Bits[7:0]	
Payload 0 MSB Bits								TLIMIT, Bits[15:8]	
Payload 1 LSB Bits								LOOP_CNT, Bits[7:0] (Only if LOOP_START is set)	
Payload 1 MSB Bits								X (Don't Care)	

## シーケンサ

## 充電動作と放電動作

これらの命令はADBT1001の主な目的であり、バッテリーの充放電を制御します。

ペイロードは、ヘッダでイネーブルされたビットフィールドによって異なります。

DH\_x出力とDL\_x出力はアクティブで、制御ループに基づきません。

VLIMIT\_DELTAビットとVSET\_DELTAビットは、VLIMITまたはVSETが最後のVチャンネル測定に基づくものであるかどうかを示します。

表10. 充電および放電命令のペイロード

Header or Payload	7	6	5	4	3	2	1	0
Header LSBs <sup>1</sup>								
Header MSBs <sup>1</sup>								
Payload 0 LSB Bits	ISET, Bits[7:0] (Only if CC is set)							
Payload 0 MSB Bits	X (Don't Care)	ISET, Bits[14:8] (Only if CC is set)						
Payload 1 LSB Bits	VSET, Bits[7:0] (Only if CV is set)							
Payload 1 MSB Bits	VSET_DELTA	VSET[14:8] (Only if CV is set)						
Payload 2 LSB Bits	PSET[7:0] (Only if CP is set)							
Payload 2 MSB Bits	PSET[15:8] (Only if CP is set)							
Payload 3 LSB Bits	GSET[7:0] (Only if CR is set)							
Payload 3 MSB Bits	GSET[15:8] (Only if CR is set)							
Payload 4 LSB Bits	ILIMIT, Bits[7:0] (Only if CV is set)							
Payload 4 MSB Bits	X (Don't Care)	ILIMIT, Bits[14:8] (Only if CV is set)						
Payload 5 LSB Bits	VLIMIT, Bits[7:0] (Only if CC is set)							
Payload 5 MSB Bits	VLIMIT_DELTA	VLIMIT, Bits[14:8] (Only if CC is set)						
Payload 6 LSB Bits	TLIMIT, Bits[7:0]							
Payload 6 MSB Bits	TLIMIT, Bits[15:8]							
Payload 7 LSB Bits	LOOP_CNT <sup>2</sup> , Bits[7:0] (Only if LOOP_START is set)							
Payload 7 MSB Bits	X (Don't Care)							

<sup>1</sup> この行の詳細については、命令セットのアーキテクチャのセクションおよび表8を参照してください。

<sup>2</sup> 自動モードでは、命令でLOOP\_STARTビットをセットする場合に、LOOP\_CNT (8ビット・カウント) を含める必要があります。これより後のLOOP\_ENDビット・セットを伴う命令により、ループで反復される命令のリストの最後が定まります。

## シーケンサ

## シーケンサの動作例

制限値と設定値がどのように関連するかを強調するため、CCからCVへ遷移する充電を例に取り、以下に説明します。

## CCからCVへ遷移する充電動作

CCからCVへ遷移する充電動作におけるISET、VSET、ILIMIT、VLIMITの利用方法を図37に示します。ISETは目標CC値、VSETは目標CV値です。ILIMITは充電サイクルのCV部分の終了点を示すバッテリー電流レベルです。VLIMITは、CVループがCCループでの制御と競合できるようになるまでの最低バッテリー電圧レベルです。

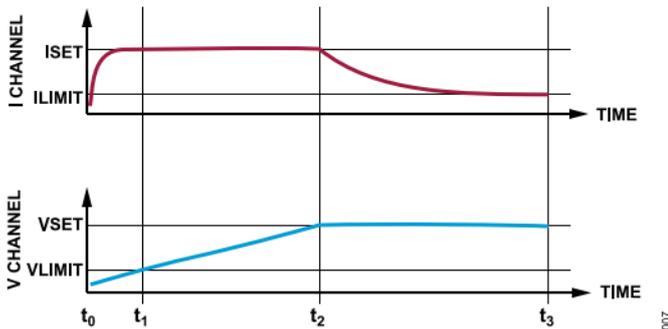


図37. CCからCVへ遷移する動作

充電動作は $t_0$ で始まります。充電電流は0で、バッテリー電圧は開始時にはオープン・サーキット電圧です。 $t_0$ から $t_1$ の間、CCループが制御を行います。 $t_1$ はバッテリー電圧がVLIMITを超える時間です。VLIMITがないと、充電が早期に停止してしまう可能性があります。開始時の初期バッテリー電流が0で、これはILIMIT未満の値であるためです。 $t_1$ から $t_2$ の間は、CCループとCVループの両方の制御が競合します。誤差の最も少ないループが制御を行います。 $t_2$ では、制御がCCループからCVループに遷移します。バッテリー電圧とVSETの間の誤差は0である点に注意してください。 $t_2$ から $t_3$ までの間は、CVループが制御を行い、充電電流は減少します。 $t_3$ で充電電流はILIMITに達します。手動シーケンサ・モードの場合、INSTR\_DONEフラグが生成され、次いでこれが割り込み要求を生成します。ホストは、この割り込み要求を処理する必要があり、命令を停止するか、新しい命令を開始します。それ以外の場合、手動モードでは、現在の命令を実行し続けます。半自動モードでは、別の命令が事前にロードされている場合、現在の命令制限値に達すると、この命令の実行を開始します。次の命令が事前にロードされていない場合は、手動モードと同様、同じ動作を実行し続けます。どちらの場合でも、INSTR\_DONEフラグがセットされ、これをホストの割り込みを生成するために用いることができます。自動モードでは、シーケンスの次の命令が実行されます。

## メモリマップレジスタ

表11. レジスタ・ブロックの一覧

Name	Block	Address
SPI_SLV_CTRL	SPI_SLV_CTRL	0x0000
SYSTEM_CTRL	MISC_CTRL_DIG	0x1000
ADC_CTRL	ADC_COMMON_SETTINGS	0x2800
CHANNEL_CTRLA	CHANNEL_REGMAP	0x3000
CHANNEL_CTRLB	CHANNEL_REGMAP	0x3200
CHANNEL_CTRLC	CHANNEL_REGMAP	0x3400
CHANNEL_CTRLD	CHANNEL_REGMAP	0x3600
CHANNEL_MEM0	SEQ_MEMORY	0x3800
CHANNEL_MEM1	SEQ_MEMORY	0x3A00
CHANNEL_MEM2	SEQ_MEMORY	0x3C00
CHANNEL_MEM3	SEQ_MEMORY	0x3E00

表11に、様々なADBT1001レジスタ・ブロックとその開始アドレスを示します。SPI\_SLV\_CTRLブロックには、SPIポートと通信プロトコルを設定するために用いられるレジスタのセットが含まれます。

SYSTEM\_CTRLブロックにはグローバル・レジスタのセットが含まれます。このセットには、システム設定、補助ADC設定、補助ADCデータ・リードバック、マルチチャンネル設定、割込み管理などが含まれます。

ADC\_CTRLブロックには、補助ADCチャンネルをイネーブルし、外部温度測定用に電流励起をイネーブルするために用いるいくつかのレジスタが含まれます。

4つのCHANNEL\_CTRLxブロックのそれぞれには、同じセットのレジスタが含まれますが、これらのアドレスはチャンネルごとに0x0200だけオフセットされています。これらの各チャンネル・ブロックは、チャンネル・シーケンサ動作、診断設定、データ・リードバックを設定します。

CHANNEL\_MEMxブロックにはレジスタは含まれません。その代わりに、これらのブロックには、自動モード動作を選択した場合のシーケンサ設定パラメータを保存する、16ビットで指定された場所が128個含まれます。

表12. SPI\_SLV\_CTRL (SPI\_SLV\_CTRL) レジスタの一覧

Address	Name	Description	Reset	Access
0x0	INTERFACE_CONFIG	Interface Configuration	0x06	R/W
0x1	STREAM_MODE	Configure Loop Count	0x00	R/W
0x2	INTERFACE_STATUS	Interface Status	0x00	R/W

表13. SYSTEM\_CTRL (MISC\_CTRL\_DIG) レジスタの一覧

Address	Name	Description	Reset	Access
0x1000	RST_CTRL	Software Reset Control Register	0x0000	R/W
0x1001	PMU_CLOCK_SEL	Power Management Unit (PMU) Clock Selection Register	0x0001	R/W
0x1002	PMU_CHANNEL_CFG0	Channel Enable Selection Register	0x0010	R/W
0x1003	PMU_CHANNEL_CFG1	Phase Adjustment for Channel A PWM Signal Register	0x0000	R/W
0x1004	PMU_CHANNEL_CFG2	Phase Adjustment for Channel B PWM Signal Register	0x0200	R/W
0x1005	PMU_CHANNEL_CFG3	Phase Adjustment for Channel C PWM Signal Register	0x0400	R/W
0x1006	PMU_CHANNEL_CFG4	Phase Adjustment for Channel D PWM Signal Register	0x0600	R/W
0x1010	RST_STA	Reset Status Register	0x0000	R/W
0x1012	PMU_CLOCK_STATUS	PMU Clock Status Register	0x0000	R
0x1013	PMU_OTP_STATUS	PMU OTP Status Register	0x0000	R
0x1014	PMU_CHANNEL_STATUS	PWM Locking Status Register	0x0000	R
0x101F	REV_ID_INFO	Revision ID Register	0x00B2	R
0x1020	SPI_SLV_PAD_CFG	SPI Slave Pad Configuration Register	0x0E2A	R/W
0x1021	FAULT_PAD_CFG	Fault Pad Configuration Register	0x0002	R/W
0x1022	GPIO_PAD_CFG	GPIO0 to GPIO1 Pad Configuration Register	0x0035	R/W
0x1023	EXTCLKIO_PAD_CFG	External Input and Output Clock Pad Configuration Register	0x0035	R/W
0x1024	HW_IRQ_PAD_CFG	Hardware Interrupt Pad Configuration Register	0x003D	R/W

## メモリマップレジスタ

表13. SYSTEM\_CTRL (MISC\_CTRL\_DIG) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x1025	GPIO_IEN_CFG	GPIO Input Enable Configuration Register	0x0000	R/W
0x1026	GPIO_OEN_CFG	GPIO Output Enable Configuration Register	0x0000	R/W
0x1027	GPIO_MODE_CFG0	GPIO0 to GPIO7 Mode Configuration Register	0x0000	R/W
0x1028	GPIO_MODE_CFG1	GPIO8 to GPIO15 Mode Configuration Register	0x0000	R/W
0x1029	GPIO_READ	GPIO Data Read Register	0x0000	R
0x102A	GPIO_WRITE	GPIO Data Write Register	0x0000	R/W
0x102B	GPIO_SET	GPIO Data Set Register	0x0000	W
0x102C	GPIO_CLEAR	GPIO Data Clear Register	0x0000	W
0x102D	GPIO_TOGGLE	GPIO Data Toggle Register	0x0000	W
0x1040	AIN0_FILT_CFG0	Configuration Register for Filtering Applied to AIN0	0x0000	R/W
0x1041	AIN0_FILT_CFG1	Configuration Register for Filtering Applied to AIN0	0x0000	R/W
0x1042	AIN0_FILT_CFG2	Configuration Register for Filtering Applied to AIN0	0x0010	R/W
0x1043	AIN1_FILT_CFG0	Configuration Register for Filtering Applied to AIN1	0x0000	R/W
0x1044	AIN1_FILT_CFG1	Configuration Register for Filtering Applied to AIN1	0x0000	R/W
0x1045	AIN1_FILT_CFG2	Configuration Register for Filtering Applied to AIN1	0x0010	R/W
0x1046	AIN2_FILT_CFG0	Configuration Register for Filtering Applied to AIN2	0x0000	R/W
0x1047	AIN2_FILT_CFG1	Configuration Register for Filtering Applied to AIN2	0x0000	R/W
0x1048	AIN2_FILT_CFG2	Configuration Register for Filtering Applied to AIN2	0x0010	R/W
0x1049	AIN3_FILT_CFG0	Configuration Register for Filtering Applied to AIN3.	0x0000	R/W
0x104A	AIN3_FILT_CFG1	Configuration Register for Filtering Applied to AIN3	0x0000	R/W
0x104B	AIN3_FILT_CFG2	Configuration Register for Filtering Applied to AIN3	0x0010	R/W
0x104C	AIN4_FILT_CFG0	Configuration Register for Filtering Applied to AIN4	0x0000	R/W
0x104D	AIN4_FILT_CFG1	Configuration Register for Filtering Applied to AIN4	0x0000	R/W
0x104E	AIN4_FILT_CFG2	Configuration Register for Filtering Applied to AIN4	0x0010	R/W
0x104F	AIN5_FILT_CFG0	Configuration Register for Filtering Applied to AIN5	0x0000	R/W
0x1050	AIN5_FILT_CFG1	Configuration Register for Filtering Applied to AIN5	0x0000	R/W
0x1051	AIN5_FILT_CFG2	Configuration Register for Filtering Applied to AIN5	0x0010	R/W
0x1052	AIN6_FILT_CFG0	Configuration Register for Filtering Applied to AIN6	0x0000	R/W

## メモリマップレジスタ

表13. SYSTEM\_CTRL (MISC\_CTRL\_DIG) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x1053	AIN6_FILT_CFG1	Configuration Register for Filtering Applied to AIN6	0x0000	R/W
0x1054	AIN6_FILT_CFG2	Configuration Register for Filtering Applied to AIN6	0x0010	R/W
0x1055	AIN7_FILT_CFG0	Configuration Register for Filtering Applied to AIN7	0x0000	R/W
0x1056	AIN7_FILT_CFG1	Configuration Register for Filtering Applied to AIN7	0x0000	R/W
0x1057	AIN7_FILT_CFG2	Configuration Register for Filtering Applied to AIN7	0x0010	R/W
0x1058	TEMP_AFE_FILT_CFG0	Configuration Register for Filtering Applied to Temperature AFE	0x0000	R/W
0x1059	TEMP_AFE_FILT_CFG1	Configuration Register for Filtering Applied to Temperature AFE	0x0000	R/W
0x105A	TEMP_AFE_FILT_CFG2	Configuration Register for Filtering Applied to Temperature AFE	0x0010	R/W
0x105B	TEMP_DSP_FILT_CFG0	Configuration Register for Filtering Applied to Temperature DSP	0x0000	R/W
0x105C	TEMP_DSP_FILT_CFG1	Configuration Register for Filtering Applied to Temperature DSP	0x0000	R/W
0x105D	TEMP_DSP_FILT_CFG2	Configuration Register for Filtering Applied to Temperature DSP	0x0010	R/W
0x105E	DC_BUS_FILT_CFG0	Configuration Register for Filtering Applied to DC Bus	0x0000	R/W
0x105F	DC_BUS_FILT_CFG1	Configuration Register for Filtering Applied to DC Bus	0x0000	R/W
0x1060	DC_BUS_FILT_CFG2	Configuration Register for Filtering Applied to DC Bus	0x0001	R/W
0x1061	DC_BUS_FILT_CFG3	DC Bus Filter Initial Delay in Multiples of 32 $\mu$ s Register	0x0000	R/W
0x1062	TEMP_INT_CAL_CFG	Configuration for Temperature Gain and Offset Internal Calibration Register	0x0000	R/W
0x1063	TEMP_CAL_0	Temperature Value for Calibration Point 0 Register	0x0000	R/W
0x1064	TEMP_CAL_1	Temperature Value for Calibration Point 1 Register	0x0000	R/W
0x1065	TEMP_CAL_2	Temperature Value for Calibration Point 2 Register	0x0000	R/W
0x1066	TEMP_CAL_3	Temperature Value for Calibration Point 3 Register	0x0000	R/W
0x106B	TEMP_CAL_INV_MSB_0	Slope Between Temperature 0 and Temperature 1 MSBs Register	0x0000	R/W
0x106C	TEMP_CAL_INV_LSB_0	Slope Between Temperature 0 and Temperature 1 LSBs Register	0x0000	R/W

## メモリマップレジスタ

表13. SYSTEM\_CTRL (MISC\_CTRL\_DIG) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x106D	TEMP_CAL_INV_MSB_1	Slope Between Temperature 1 and Temperature 2 MSBs Register	0x0000	R/W
0x106E	TEMP_CAL_INV_LSB_1	Slope Between Temperature 1 and Temperature 2 LSBs Register	0x0000	R/W
0x106F	TEMP_CAL_INV_MSB_2	Slope Between Temperature 2 and Temperature 3 MSBs Register	0x0000	R/W
0x1070	TEMP_CAL_INV_LSB_2	Slope Between Temperature 2 and Temperature 3 LSBs Register	0x0000	R/W
0x1071	TEMP_EXT_CAL_CFG0	Configuration for Temperature 1 Gain External Calibration Register	0x0000	R/W
0x1072	TEMP_EXT_CAL_CFG1	Configuration for Temperature 1 Gain External Calibration Register	0x0000	R/W
0x1080	AIN0_READOUT	Result of the Measure on the External Pin AIN0 Register	0x0000	R
0x1081	AIN1_READOUT	Result of the Measure on the External Pin AIN1 Register	0x0000	R
0x1082	AIN2_READOUT	Result of the Measure on the External Pin AIN2 Register	0x0000	R
0x1083	AIN3_READOUT	Result of the Measure on External Pin AIN3	0x0000	R
0x1084	AIN4_READOUT	Result of the Measure on the External Pin AIN4 Register	0x0000	R
0x1085	AIN5_READOUT	Result of the Measure on the External Pin AIN5 Register	0x0000	R
0x1086	AIN6_READOUT	Result of the Measure on the External Pin AIN6 Register	0x0000	R
0x1087	AIN7_READOUT	Result of the Measure on the External Pin AIN7 Register	0x0000	R
0x1088	TEMP_AFE_READOUT	Result of the Temperature Measure of the AFE Domain Register	0x0000	R
0x1089	TEMP_DSP_READOUT	Result of the Temperature Measure of the DSP Domain Register	0x0000	R
0x1090	DC_BUS_READOUT	Result of the DC Bus Filter Used for Correction in All PIDs Register	0x0000	R
0x1091	DC_BUS_CORR_FACTOR_READOUT	DC Bus Correction Factor for All Channels Register	0x8000	R
0x10A0	MC_CTRL	Multichannel Global Control Register	0x0000	R/W
0x10A1	MC_CFG0	Multichannel Mode, Slave Channels Configuration Register	0x0000	R/W
0x10A2	MC_CFG1	Multichannel Mode, External Communications Configuration Register	0x0020	R/W

## メモリマップレジスタ

表13. SYSTEM\_CTRL (MISC\_CTRL\_DIG) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x10A3	MC_PAD_CFG0	Multichannel Mode, Pad Configuration Register for Slave SPI	0x002A	R/W
0x10A4	MC_PAD_CFG1	Multichannel Mode, Pad Configuration Register for Master SPI	0x0DDD	R/W
0x10C0	SYSTEM_INT_EN	System Interrupt Enable Register	0x0000	R/W
0x10C1	INT_EN_CH_A	Channel A Interrupt Enable Register	0x0000	R/W
0x10C2	INT_EN_CH_B	Channel B Interrupt Enable Register	0x0000	R/W
0x10C3	INT_EN_CH_C	Channel C Interrupt Enable Register	0x0000	R/W
0x10C4	INT_EN_CH_D	Channel D Interrupt Enable Register	0x0000	R/W
0x10C5	INT_EN_AUX_ADC0	Auxiliary Measurements Interrupt Enable Register	0x0000	R/W
0x10C6	INT_EN_AUX_ADC1	Auxiliary Measurements Interrupt Enable Register	0x0000	R/W
0x10D0	SYSTEM_INT_ST	System Interrupt Status Register	0x0000	R/W
0x10D1	INT_ST_CH_A	Channel A Interrupt Status Register	0x0000	R/W
0x10D2	INT_ST_CH_B	Channel B Interrupt Status Register	0x0000	R/W
0x10D3	INT_ST_CH_C	Channel C Interrupt Status Register	0x0000	R/W
0x10D4	INT_ST_CH_D	Channel D Interrupt Status Register	0x0000	R/W
0x10D5	INT_ST_AUX_ADC0	Auxiliary Measurements Interrupt Status Register	0x0000	R/W
0x10D6	INT_ST_AUX_ADC1	Auxiliary Measurements Interrupt Status Register	0x0000	R/W

表14. ADC\_CTRL (ADC\_COMMON\_SETTINGS) レジスタの一覧

Address	Name	Description	Reset	Access
0x2800	AUX_ADC_CFG0	Current Values for External Thermistor Applied in AIN0 to AIN3 Pins Register	0x0000	R/W
0x2801	AUX_ADC_CFG1	Control for Auxiliary Inputs and Temperature Sensor Being Measured Register	0x4000	R/W
0x2803	ADC_COMMON_REG	AFE Chopping and Internal Reference Amplifier Settings Register	0x00DA	R/W

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧

Address	Name	Description	Reset	Access
0x3000	SEQ_CTRL	Channel Sequencer Control Register	0x0000	R/W
0x3001	SEQ_STATUS	Channel Sequencer Status Register	0x0000	R
0x3002	SEQ_MEM_PTR	Channel Sequencer Memory Address Pointer Register	0x0000	R
0x3003	SEQ_INST	Channel Sequencer Instruction Register	0x0000	R/W
0x3004	SEQ_ISET	Channel Sequencer Current Setpoint Register	0x0000	R/W
0x3005	SEQ_VSET	Channel Sequencer Voltage Setpoint Register	0x0000	R/W
0x3006	SEQ_PSET	Channel Sequencer Power Set Point Register	0x0000	R/W
0x3007	SEQ_GSET	Channel Sequencer Conductance Set Point Register	0x0000	R/W
0x3008	SEQ_ILIMIT	Channel Sequencer Current Limit Register	0x0000	R/W
0x3009	SEQ_VLIMIT	Channel Sequencer Voltage Limit Register	0x0000	R/W
0x300A	SEQ_TLIMIT	Channel Sequencer Time Limit Register	0x0000	R/W
0x300B	SEQ_NEXT_INST	Channel Sequencer Next Instruction Register	0x0000	R/W
0x300C	SEQ_NEXT_ISET	Channel Sequencer Next Current Set Point Register	0x0000	R/W
0x300D	SEQ_NEXT_VSET	Channel Sequencer Next Voltage Set Point Register	0x0000	R/W
0x300E	SEQ_NEXT_PSET	Channel Sequencer Next Power Set Point Register	0x0000	R/W
0x300F	SEQ_NEXT_GSET	Channel Sequencer Next Conductance Set Point Register	0x0000	R/W
0x3010	SEQ_NEXT_ILIMIT	Channel Sequencer Current-Limit Register	0x0000	R/W
0x3011	SEQ_NEXT_VLIMIT	Channel Sequencer Voltage Limit Register	0x0000	R/W
0x3012	SEQ_NEXT_TLIMIT	Channel Sequencer Next Time Limit Register	0x0000	R/W
0x3013	SLEW_RATE_CFG	Slew Rate Configuration for the Setpoints Register	0x0000	R/W
0x3014	GPIO_CFG	GPIO Configuration Associated to the Channel Register	0x0000	R/W
0x3015	OPEN_LOOP_CFG	Open-Loop Configuration Register	0x0000	R/W
0x3016	OPEN_LOOP_DC_VAL_MSB	Open-Loop DC Value (MSB) Register	0x0000	R/W
0x3017	OPEN_LOOP_DC_VAL_LSB	Open-Loop DC Value (LSB) Register	0x0000	R/W
0x3018	SLAVE_CFG	Slave Configuration Register	0x0008	R/W
0x3040	I_PID_KP_SET1_LSB	Current PID Proportional Coefficient (LSB) Register, Set to 1	0x0000	R/W

## メモリアップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x3041	I_PID_KP_SET1_MSB	Current PID Proportional Coefficient (MSB) Register, Set to 1	0x0010	R/W
0x3042	I_PID_KI_SET1_LSB	Current PID Integral Coefficient (LSB) Register, Set to 1	0x0000	R/W
0x3043	I_PID_KI_SET1_MSB	Current PID Integral Coefficient (MSB) Register, Set to 1	0x0000	R/W
0x3044	I_PID_KD_SET1_LSB	Current PID Derivative Coefficient (LSB) Register, Set to 1	0x0000	R/W
0x3045	I_PID_KD_SET1_MSB	Current PID Derivative Coefficient (MSB) Register, Set to 1	0x0000	R/W
0x3046	V_PID_KP_SET1_LSB	Voltage PID Proportional Coefficient (LSB) Register, Set to 1	0x0000	R/W
0x3047	V_PID_KP_SET1_MSB	Voltage PID Proportional Coefficient (MSB) Register, Set to 1	0x0010	R/W
0x3048	V_PID_KI_SET1_LSB	Voltage PID Integral Coefficient (LSB) Register, Set to 1	0x0000	R/W
0x3049	V_PID_KI_SET1_MSB	Voltage PID Integral Coefficient (MSB) Register, Set to 1	0x0000	R/W
0x304A	V_PID_KD_SET1_LSB	Voltage PID Derivative Coefficient (LSB) Register, Set to 1	0x0000	R/W
0x304B	V_PID_KD_SET1_MSB	Voltage PID Derivative Coefficient (MSB) Register, Set to 1	0x0000	R/W
0x304C	I_PID_KP_SET2_LSB	Current PID Proportional Coefficient (LSB) Register, Set to 2	0x0000	R/W
0x304D	I_PID_KP_SET2_MSB	Current PID Proportional Coefficient (MSB) Register, Set to 2	0x0010	R/W
0x304E	I_PID_KI_SET2_LSB	Current PID Integral Coefficient (LSB) Register, Set to 2	0x0000	R/W
0x304F	I_PID_KI_SET2_MSB	Current PID Integral Coefficient (MSB) Register, Set to 2	0x0000	R/W
0x3050	I_PID_KD_SET2_LSB	Current PID Derivative Coefficient (LSB) Register, Set to 2	0x0000	R/W
0x3051	I_PID_KD_SET2_MSB	Current PID Derivative Coefficient (MSB) Register, Set to 2	0x0000	R/W
0x3052	V_PID_KP_SET2_LSB	Voltage PID Proportional Coefficient (LSB) Register, Set to 2	0x0000	R/W
0x3053	V_PID_KP_SET2_MSB	Voltage PID Proportional Coefficient (MSB) Register, Set to 2	0x0010	R/W
0x3054	V_PID_KI_SET2_LSB	Voltage PID Integral Coefficient (LSB) Register, Set to 2	0x0000	R/W

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x3055	V_PID_KI_SET2_MSB	Voltage PID Integral Coefficient (MSB) Register, Set to 2	0x0000	R/W
0x3056	V_PID_KD_SET2_LSB	Voltage PID Derivative Coefficient (LSB) Register, Set to 2	0x0000	R/W
0x3057	V_PID_KD_SET2_MSB	Voltage PID Derivative Coefficient (MSB) Register, Set to 2	0x0000	R/W
0x3058	PID_CCCV_KTRANS_SET1	PID CC to CV Transition Coefficient, Set to 1	0x0000	R/W
0x3059	PID_CCCV_KTRANS_SET2	PID CC to CV Transition Coefficient, Set to 2	0x0000	R/W
0x305A	TEMP_EXT_CAL_0	Temperature Value for the External Calibration Point 0 Register	0x0000	R/W
0x305B	TEMP_EXT_CAL_1	Temperature Value for the External Calibration Point 1 Register	0x0000	R/W
0x305C	TEMP_EXT_CAL_2	Temperature Value for the External Calibration Point 2 Register	0x0000	R/W
0x305D	TEMP_EXT_CAL_3	Temperature Value for the External Calibration Point 3 Register	0x0000	R/W
0x305E	TEMP_EXT_CAL_4	Temperature Value for the External Calibration Point 4 Register	0x0000	R/W
0x305F	TEMP_EXT_CAL_5	Temperature Value for the External Calibration Point 5 Register	0x0000	R/W
0x3060	TEMP_EXT_CAL_INV_MSB_0	Slope Between the External Temperature 0 and Temperature 1 MSBs Register	0x0000	R/W
0x3061	TEMP_EXT_CAL_INV_LSB_0	Slope Between the External Temperature 0 and Temperature 1 LSBs Register	0x0000	R/W
0x3062	TEMP_EXT_CAL_INV_MSB_1	Slope Between the External Temperature 1 and Temperature 2 MSBs Register	0x0000	R/W
0x3063	TEMP_EXT_CAL_INV_LSB_1	Slope Between the External Temperature 1 and Temperature 2 LSBs Register	0x0000	R/W
0x3064	TEMP_EXT_CAL_INV_MSB_2	Slope Between the External Temperature 2 and Temperature 3 MSBs Register	0x0000	R/W
0x3065	TEMP_EXT_CAL_INV_LSB_2	Slope Between the External Temperature 2 and Temperature 3 LSBs Register	0x0000	R/W
0x3066	TEMP_EXT_CAL_INV_MSB_3	Slope Between the External Temperature 3 and Temperature 4 MSBs Register	0x0000	R/W
0x3067	TEMP_EXT_CAL_INV_LSB_3	Slope Between the External Temperature 3 and Temperature 4 LSBs Register	0x0000	R/W

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x3068	TEMP_EXT_CAL_INV_MSB_4	Slope Between the External Temperature 4 and Temperature 5 MSBs Register	0x0000	R/W
0x3069	TEMP_EXT_CAL_INV_LSB_4	Slope Between the External Temperature 4 and Temperature 5 LSBs Register	0x0000	R/W
0x306A	I_GAIN_EXT_CAL_T0	Current Gain External Calibration for Temperature 0, Signed 2.14 Register	0x4000	R/W
0x306B	I_GAIN_EXT_CAL_T1	Current Gain External Calibration for Temperature 1, Signed 2.14 Register	0x4000	R/W
0x306C	I_GAIN_EXT_CAL_T2	Current Gain External Calibration for Temperature 2, Signed 2.14 Register	0x4000	R/W
0x306D	I_GAIN_EXT_CAL_T3	Current Gain External Calibration for Temperature 3, Signed 2.14 Register	0x4000	R/W
0x306E	I_GAIN_EXT_CAL_T4	Current Gain External Calibration for Temperature 4, Signed 2.14 Register	0x4000	R/W
0x306F	I_GAIN_EXT_CAL_T5	Current Gain External Calibration for Temperature 5, Signed 2.14 Register	0x4000	R/W
0x3070	V_GAIN_INT_CAL_T0	Voltage Gain Internal Calibration for Temperature 0, Signed 2.14 Register	0x4000	R/W
0x3071	V_GAIN_INT_CAL_T1	Voltage Gain Internal Calibration for Temperature 1, Signed 2.14 Register	0x4000	R/W
0x3072	V_GAIN_INT_CAL_T2	Voltage Gain Internal Calibration for Temperature 2, Signed 2.14 Register	0x4000	R/W
0x3073	V_GAIN_INT_CAL_T3	Voltage Gain Internal Calibration for Temperature 3, Signed 2.14 Register	0x4000	R/W
0x3074	I_GAIN_INT_CAL_T0	Current Gain Internal Calibration for Temperature 0, Signed 2.14 Register	0x4000	R/W
0x3075	I_GAIN_INT_CAL_T1	Current Gain Internal Calibration for Temperature 1, Signed 2.14 Register	0x4000	R/W
0x3076	I_GAIN_INT_CAL_T2	Current Gain Internal Calibration for Temperature 2, Signed 2.14 Register	0x4000	R/W
0x3077	I_GAIN_INT_CAL_T3	Current Gain Internal Calibration for Temperature 3, Signed 2.14 Register	0x4000	R/W
0x3078	V_OFFSET_INT_CAL_T0	Voltage Offset Internal Calibration for Temperature 0, Signed 1.15 Register	0x0000	R/W
0x3079	V_OFFSET_INT_CAL_T1	Voltage Offset Internal Calibration for Temperature 1, Signed 1.15 Register	0x0000	R/W

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x307A	V_OFFSET_INT_CAL_T2	Voltage Offset Internal Calibration for Temperature 2, Signed 1.15 Register	0x0000	R/W
0x307B	V_OFFSET_INT_CAL_T3	Voltage Offset Internal Calibration for Temperature 3, Signed 1.15 Register	0x0000	R/W
0x307C	I_OFFSET_INT_CAL_T0	Current Offset Internal Calibration for Temperature 0, Signed 1.15 Register	0x0000	R/W
0x307D	I_OFFSET_INT_CAL_T1	Current Offset Internal Calibration for Temperature 1, Signed 1.15 Register	0x0000	R/W
0x307E	I_OFFSET_INT_CAL_T2	Current Offset Internal Calibration for Temperature 2, Signed 1.15 Register	0x0000	R/W
0x307F	I_OFFSET_INT_CAL_T3	Current Offset Internal Calibration for Temperature 3, Signed 1.15 Register	0x0000	R/W
0x3080	DSP_READOUT_FILTER_CFG	Configuration for the Readout Filters Register	0x0003	R/W
0x3081	MAF_CFG	Configuration for the Moving Average Filter Register	0x0003	R/W
0x3082	SDM_CFG	Configuration for the SDM Register	0x0002	R/W
0x3083	DC_BUS_CORRECTION_CFG	DC Bus Correction Configuration Register	0x0000	R/W
0x3084	PWM_CFG0	Configuration for the PWM 0 Register	0x050A	R/W
0x3085	PWM_CFG1	Configuration for the PWM 1 Register	0x0000	R/W
0x3086	PWM_CFG2	Configuration for the PWM 2 Register	0x0000	R/W
0x3087	PWM_CFG3	Configuration for the PWM 3 Register	0x0000	R/W
0x3088	NCO_CFG0	Configuration for the NCO 0 Register	0x0002	R/W
0x3089	NCO_CFG1	Configuration for the NCO 1 Register	0x8000	R/W
0x308A	NCO_PHASE_INCR_LSB	NCO Phase Increment LSBs Register	0x0000	R/W
0x308B	NCO_PHASE_INCR_MSB	NCO Phase Increment MSBs Register	0x0000	R/W
0x308C	NCO_PHASE_INIT_LSB	NCO Initial Phase LSBs Register	0x0000	R/W
0x308D	NCO_PHASE_INIT_MSB	NCO Initial Phase MSBs Register	0x0000	R/W
0x308E	DEMOD_CFG	Configuration for the FRA Demodulator Register	0x0000	R/W
0x308F	DEMOD_ACCUM_COUNT_LSB	Demodulator Integration Count LSBs Register	0x0000	R/W
0x3090	DEMOD_ACCUM_COUNT_MSB	Demodulator Integration Count MSBs Register	0x0000	R/W
0x3091	FAULT_CFG	Fault Configuration Register	0x0001	R/W

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x3092	MEAS_OVER_LIMITS_CFG	Overlimits Detection for the Voltage and Current Measurement ADC Raw Data Configuration Register	0x0000	R/W
0x3093	VMEAS_OVER_LIMITS_HIGH_THLD	High Overlimit Threshold for the Voltage Measurement ADC Raw Data Register	0x0000	R/W
0x3094	VMEAS_OVER_LIMITS_LOW_THLD	Low Overlimit Threshold for the Voltage Measurement ADC Raw Data Register	0x0000	R/W
0x3095	IMEAS_OVER_LIMITS_HIGH_THLD	High Overlimit Threshold for the Current Measurement ADC Raw Data Register	0x0000	R/W
0x3096	IMEAS_OVER_LIMITS_LOW_THLD	Low Overlimit Threshold for the Current Measurement ADC Raw Data Register	0x0000	R/W
0x3100	DSP_READOUT_DATA_0	Readout Data, MSBs of Voltage Data Register (Whenever there is a read on this register, the rest of the readout data registers are sampled.)	0x0000	R
0x3101	DSP_READOUT_DATA_1	Readout Data, MSBs of Current Data Register	0x0000	R
0x3102	DSP_READOUT_DATA_2	Readout Data, LSBs of the Voltage and Current Data and Tag Number Register	0x0000	R
0x3104	COULOMB_COUNT_0	Coulomb Integration Result for the Ongoing Instruction 0 Register (Whenever there is a read on this register, the rest of the COULOMB_COUNT_1 to COULOMB_COUNT_3 registers are sampled.)	0x0000	R
0x3105	COULOMB_COUNT_1	Coulomb Integration Result for the Ongoing Instruction 1 Register	0x0000	R
0x3106	COULOMB_COUNT_2	Coulomb Integration Result for the Ongoing Instruction 2 Register	0x0000	R
0x3107	COULOMB_COUNT_3	Coulomb Integration Result for the Ongoing Instruction 3 Register	0x0000	R
0x3108	COULOMB_COUNT_PREV_0	Coulomb Integration Result for the Previous Instruction 0 Register	0x0000	R
0x3109	COULOMB_COUNT_PREV_1	Coulomb Integration Result for the Previous Instruction 1 Register	0x0000	R
0x310A	COULOMB_COUNT_PREV_2	Coulomb Integration Result for the Previous Instruction.	0x0000	R
0x310B	COULOMB_COUNT_PREV_3	Coulomb Integration Result for the previous Instruction 3 Register	0x0000	R

## メモリマップレジスタ

表15. CHANNEL\_CTRLA (CHANNEL\_REGMAP) レジスタの一覧 (続き)

Address	Name	Description	Reset	Access
0x310C	DEMOD_XV_I_RESULT_0	FRA PID Output + NCO Demodulator Current Result 0 Register	0x0000	R
0x310D	DEMOD_XV_I_RESULT_1	FRA PID Output + NCO Demodulator Current Result 1 Register	0x0000	R
0x310E	DEMOD_XV_I_RESULT_2	FRA PID Output + NCO Demodulator Current Result 2 Register	0x0000	R
0x310F	DEMOD_XV_I_RESULT_3	FRA PID Output + NCO Demodulator Current Result 3 Register	0x0000	R
0x3110	DEMOD_XV_Q_RESULT_0	FRA PID Output + NCO Demodulator Quadrature Result 0 Register	0x0000	R
0x3111	DEMOD_XV_Q_RESULT_1	FRA PID Output + NCO Demodulator Quadrature Result 1 Register	0x0000	R
0x3112	DEMOD_XV_Q_RESULT_2	FRA PID Output + NCO Demodulator Quadrature Result 2 Register	0x0000	R
0x3113	DEMOD_XV_Q_RESULT_3	FRA PID Output + NCO Demodulator Quadrature Result 3 Register	0x0000	R
0x3114	DEMOD_YI_I_RESULT_0	FRA PID Output Demodulator Current Result 0 Register	0x0000	R
0x3115	DEMOD_YI_I_RESULT_1	FRA PID Output Demodulator Current Result 1 Register	0x0000	R
0x3116	DEMOD_YI_I_RESULT_2	FRA PID Output Demodulator Current Result 2 Register	0x0000	R
0x3117	DEMOD_YI_I_RESULT_3	FRA PID Output Demodulator Current Result 3 Register	0x0000	R
0x3118	DEMOD_YI_Q_RESULT_0	FRA PID Output Demodulator Quadrature Result 0 Register	0x0000	R
0x3119	DEMOD_YI_Q_RESULT_1	FRA PID Output Demodulator Quadrature Result 1 Register	0x0000	R
0x311A	DEMOD_YI_Q_RESULT_2	FRA PID Output Demodulator Quadrature Result 2 Register	0x0000	R
0x311B	DEMOD_YI_Q_RESULT_3	FRA PID Output Demodulator Quadrature Result 3 Register	0x0000	R

## ホストSPIインターフェースの詳細

### SPIの概要

ホストは、SPIポートを介してデバイスと通信します。SPIポートは、3線式インターフェース（1つの双方向データ信号を伴う）と一般的な4線式インターフェース（デフォルト）のどちらにも対応できます。これらのインターフェースは、INTERFACE\_CONFIGレジスタの設定により選択できます。

SPI\_SCKはシリアル・シフト・クロックとして機能し、ホストによって生成されます。デフォルトのクロック極性（CPOL）とクロック位相（CPHA）はどちらも0です。SPI\_SCKの上上がりエッジはホストからのデータをラッチするために用いられ、立下がりエッジはホストへのデータをラッチするために用いられます。最大クロック・レートは16MHzです。

SPI\_SDIOは4線式モードではデータ入力ピン、3線式モードでは双方向データ・ピンです。

SPI\_SDOはデータ出力専用ピンで、4線式モードで用いられます。なお、MSBファーストがデフォルト・モードですが、LSBファーストにも設定できます。

SPI\_CSはアクティブ・ローのSPIチップ・セレクト信号です。ローに低下するアサーションによって読出しまたは書込みの動作が開始されます。データ・ストリーミングも、自動レジスタ・アドレス・インクリメント（デフォルト）またはデクリメントで処理できます。

その他のSPI機能としては、巡回冗長検査（CRC）とアドレスのループ化があります。後者を利用すると、限られた連続レジスタ・アドレス範囲を超えてストリーミングができます。

### 通信プロトコル

すべての転送は、16ビット・ワードで行われます。各トランザクションの最初の16ビット・ワード（命令フェーズ）は15ビットのレジスタ・アドレスと1ビットのR/Wビットで構成されます。MSBのR/Wビットは、書込みの場合0、読出しの場合1です。

### 基本的な読出し動作

命令フェーズは、最初の16ビット・ワード転送で実行されます。図38に示す命令フェーズでMSBとなっているR/Wビットは、読出し動作の場合1にセットされています。他の15ビットはレジスタ・アドレスを指定します。ホストから転送される次の16ビットは、実行対象となる連続16ビット読出しの数を指定します。1回の16ビット・レジスタ読出しの場合、このフィールドは0または1にセットされます。33番目のSPI\_SCLK以降でデータが読み出されます。読出し数が2以上の場合、3つの基本単一ワードの16ビット転送を超えて必要な合計数まで、SPI\_CSをアサートする必要があります。

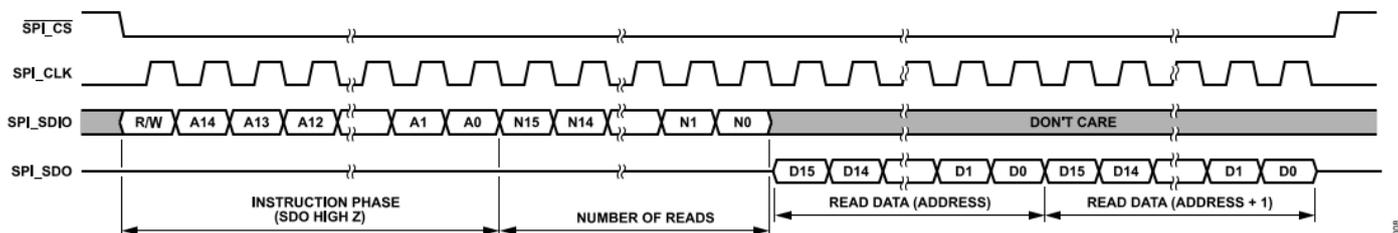


図38. 基本的な4線式読出し動作

## ホストSPIインターフェースの詳細

### 基本的な書き込み動作

基本的な書き込み動作のタイミングを図39に示します。書き込み動作の場合、命令フェーズでのR/Wビットは0です。直ちに書き込む必要のある16ビット・データは、16ビットの命令フェーズの後に続きます。その他のデータは、追加の16ビット・ワードをクロック

に同期して入力する間、 $\overline{\text{SPI\_CS}}$  をアサートしたままにすることによって書き込めます。データは、シーケンシャルなレジスタ・アドレスに転送されます。

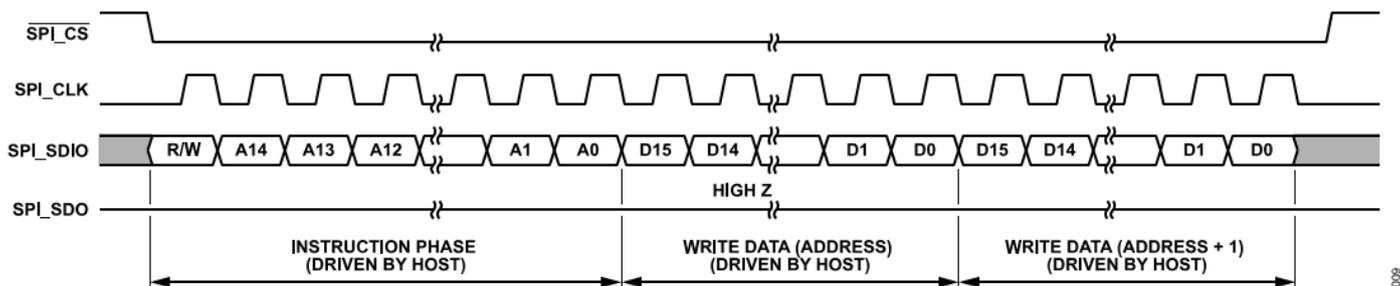


図39. 基本的な4線式書き込み動作

## アプリケーション情報

### キャリブレーション

#### システム・キャリブレーションの容易化

デバイスは、オフセットとゲインのスケールリング・キャリブレーション・データを含む各ADCチャンネルのレジスタなど、システム・キャリブレーションを容易にする手段を備えています。ユーザは、いくつかの温度において外部信号を与え、その結果を測定して、必要なオフセットおよびゲインのスケールリング値を計算できます。その後、ユーザはこれらの値をADCキャリブレーション・レジスタにプログラムすることができます。それにより、これらの値を使って、特定の温度範囲にわたるシステム誤差を補正できます。

### 診断機能

#### DC内部抵抗 (DCIR) 測定に対応

DCIR測定は、バッテリー電圧を正確に測定することで間接的に行うことができます。外部コントローラは、データ・サンプルを保存し、

電流のステップ変化をモニタし、RC時定数の時間が経過したことを判定し、電圧差を推定する必要があります。

$$DCIR = \Delta V / \Delta I \quad (1)$$

この測定時、過渡応答を取得するために出力データ・レートを増加させることができます。

### 動作に関する使用事例

#### 4チャンネル独立の使用事例

4チャンネル独立の使用事例では、各チャンネルがバッテリー電圧および電流を個別に独立して測定し、また、バッテリー電圧および電流を個別に制御します。更に、各チャンネルには個別に設定可能な電圧および電流設定値があります。

アプリケーション情報

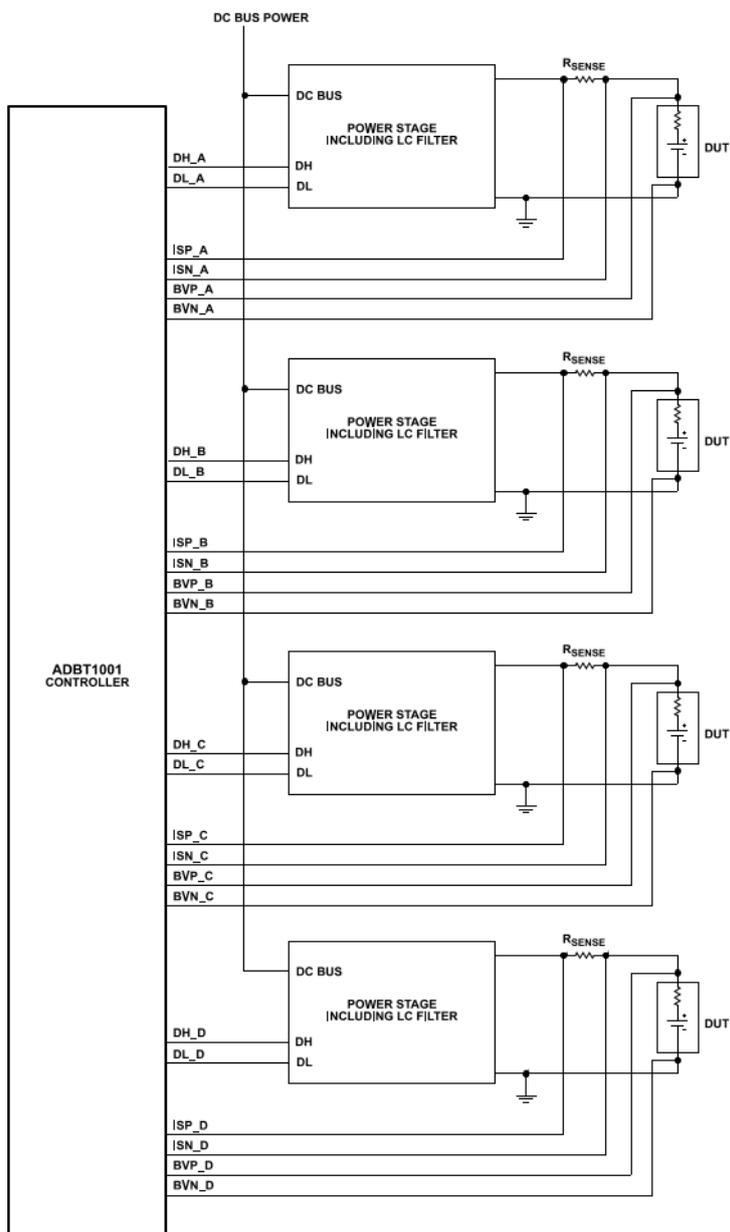


図40. 4チャンネル独立の使用事例

## アプリケーション情報

## 2チャンネル並列+2チャンネル独立の使用事例

この使用事例は、4チャンネルのうち2チャンネルを並列動作させて電流量を増やし、他の2チャンネルを独立チャンネルに設定するものです。各チャンネルがバッテリー電圧および電流を個別に独立して測定し、また、バッテリー電圧および電流を個別に制御します。2つの独立チャンネルには、それぞれ個別に設定された電

圧設定値と電流設定値があります。ただし、2つの並列チャンネルでは、マスタ・チャンネル（チャンネルA）が電圧および電流の両方の設定値を使用し、スレーブ・チャンネルは電流設定値のみを使用します。電流設定値は、マスタ・チャンネルの電流測定値から自動的に設定されるため、適切にトラッキングできます。ホストは、マスタ・チャンネルの電流設定値を、合計必要電流の半分の値にプログラムする必要があります。

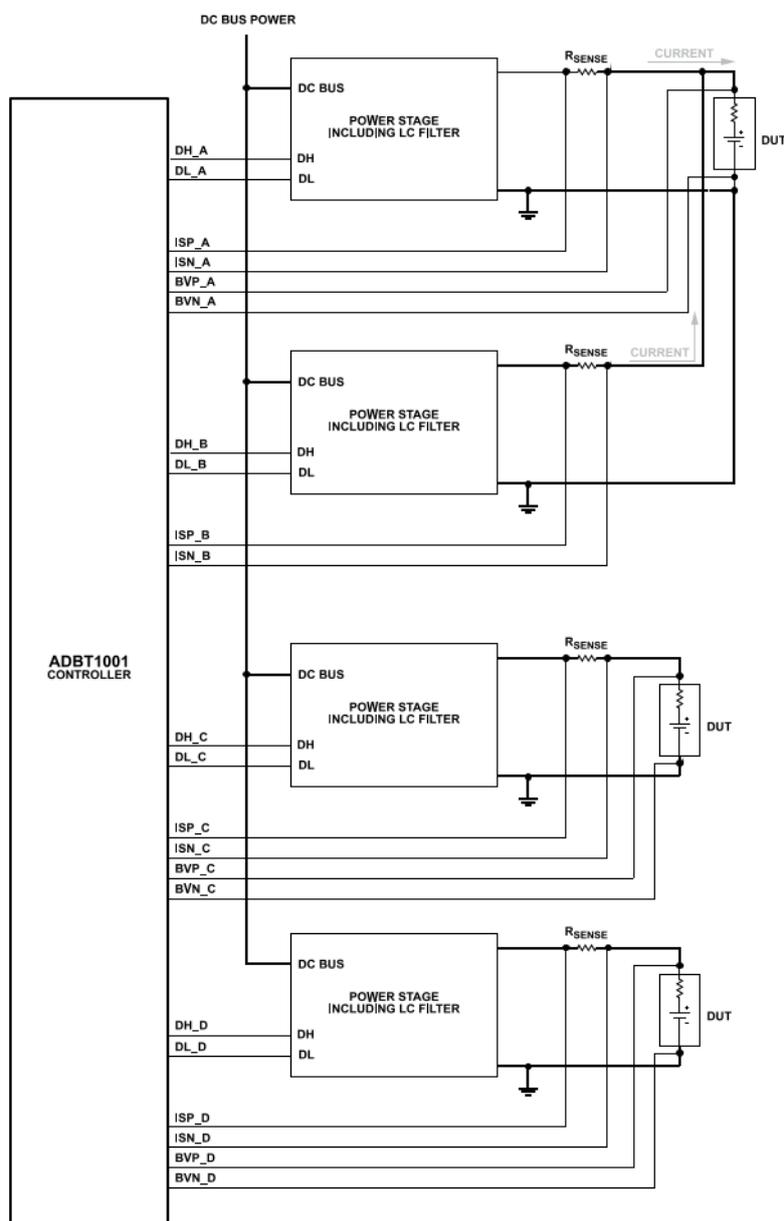


図41. 2チャンネル並列+2チャンネル独立の使用事例

## アプリケーション情報

### 4チャンネル並列の使用事例

この使用事例では、4チャンネルすべてが並列動作し、電流量を増加させます。各チャンネルがバッテリー電圧および電流を個別に独立して測定し、また、バッテリー電圧および電流を個別に制御します。マスタ・チャンネル（チャンネルA）は電圧および電流

の両方の設定値を使用し、スレーブ・チャンネルは電流設定値のみを使用します。電流設定値は、マスタ・チャンネルの電流測定値から自動的に設定されるため、適切にトラッキングできます。ホストは、マスタ・チャンネルの電流設定値を、合計必要電流の1/4の値にプログラムする必要があります。

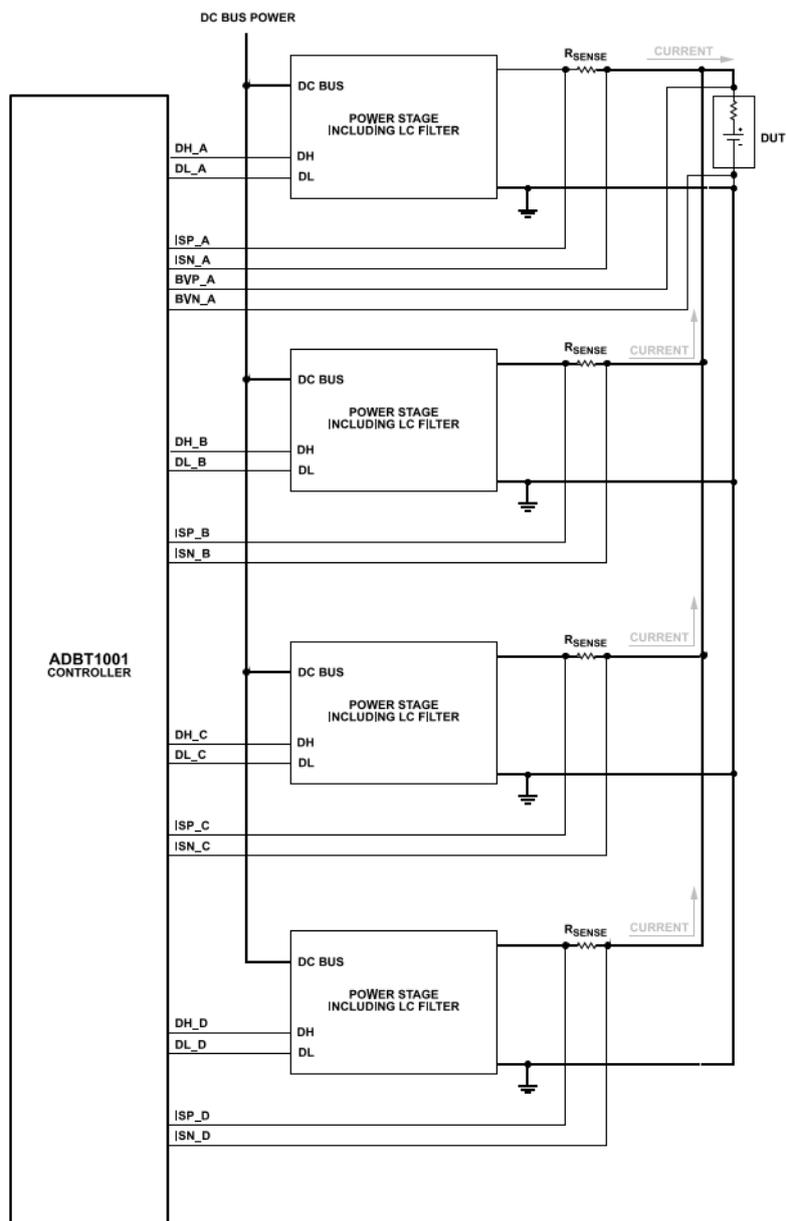


図42. 4チャンネル並列の使用事例

## アプリケーション情報

## プリチャージ動作

セルを電力段に接続する場合、電荷がセルから未充電の出力コンデンサ (図43のC1) に流れる際に大きな電流サージが発生する可能性があります。デバイスは、バッテリー電圧 (BVN\_xおよびBVP\_x) と電力段出力コンデンサ電圧 (CVS\_x) の両方を測定できます。これらの測定により、ユーザは、絶縁スイッチ (Q3およびQ4) が閉じる前にバッテリーの電位までC1をプリチャージできま

す。これにより、バッテリーを電力段に接続するときに、ほとんど、あるいはまったく、電流が流れません。

GPIOxピンは、絶縁スイッチの制御を行うよう設定できます。

セル電圧と出力コンデンサ電圧の両方の測定は、SPIポートとメモリ・マップド・レジスタ・セットを介して行うことができます。出力コンデンサ電圧を制御するにはVSETビットを使用します。

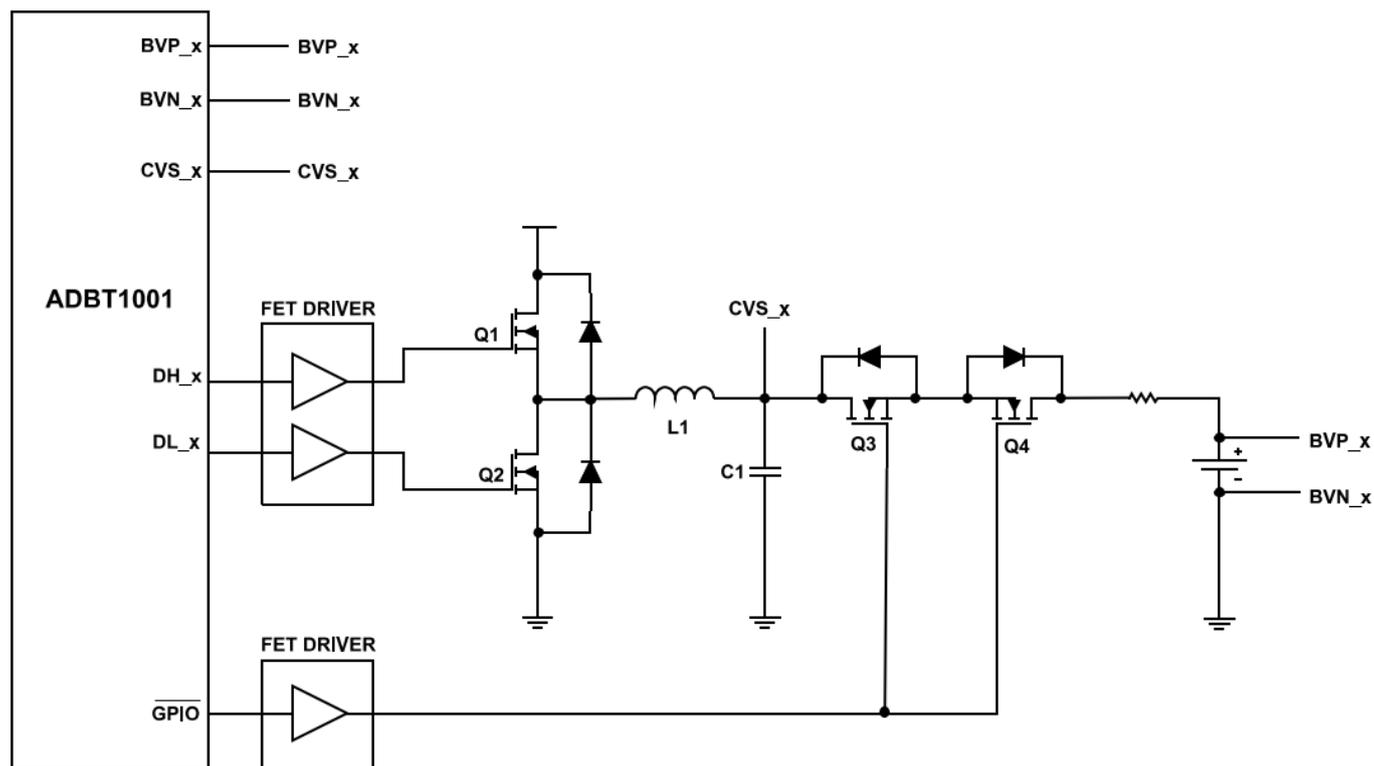


図43. プリチャージ機能の説明図

外形寸法

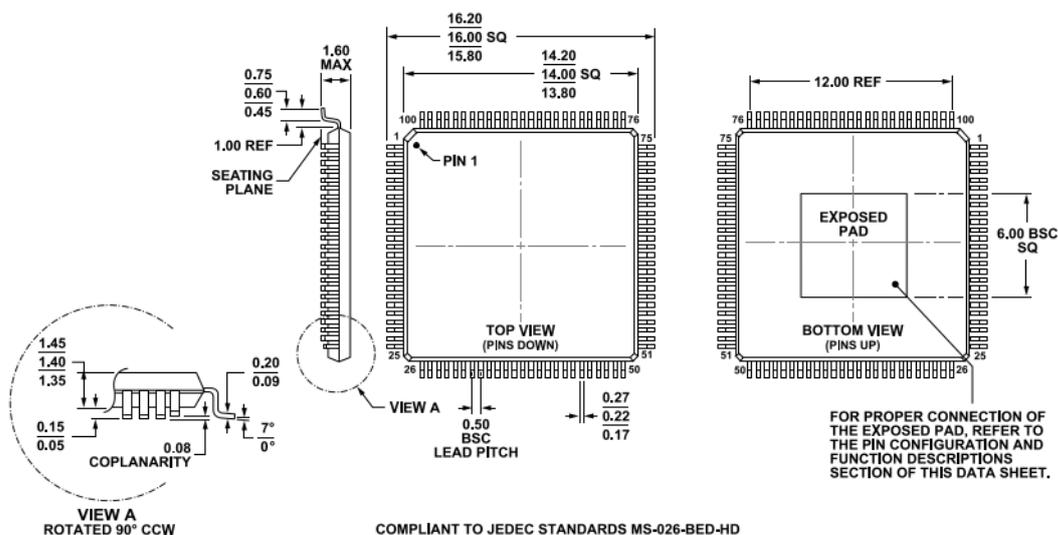


図44. 100ピン低プロファイル・クワッド・フラット・パッケージ、露出パッド [LQFP]  
14mm × 14 mmボディ  
(SW-100-2)  
寸法 : mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADBT1001BSWZ	0°C to 85°C	100-Lead Low Profile Quad Flat Package, Exposed Pad [LQFP]	(SW-100-2)
ADBT1001BSWZ-RL	0°C to 85°C	100-Lead Low Profile Quad Flat Package, Exposed Pad [LQFP]	(SW-100-2)

1 Z = RoHS準拠製品。