



# データシート

## ADE9103/ADE9112/ADE9113

### SPI を備えた 絶縁型シグマ・デルタ ( $\Sigma\Delta$ ) ADC

#### 特長

- ▶ 2 チャンネル (ADE9112) または 3 チャンネル (ADE9113) の絶縁型同時サンプリング  $\Sigma\Delta$  ADC (isoPower、絶縁型 DC/DC コンバータを内蔵)
- ▶ 3 チャンネル (ADE9103) の非絶縁型同時サンプリング  $\Sigma\Delta$  ADC
- ▶ 複数の ADE9103/ADE9112/ADE9113 デバイスの同期
- ▶ 双方向巡回冗長検査 (CRC) およびデジタイズ機能
- ▶ 備えた 4 線式 SPI
- ▶ SPI 読み出し可能な一意の部品 ID レジスタ
- ▶ 最大 4 つの ADE9103/ADE9112/ADE9113 デバイスを、単一の水晶振動子または外部クロックからクロック供給
- ▶ 障害検出および堅牢性のための  $\overline{\text{IRQ}}$  ハードウェア・ピンおよびレジスタ
- ▶ サンプリング・レート: 最大 32kSPS
- ▶ S/N 比 (SNR): 最大 95dB
- ▶ 電流チャンネルのアナログ入力電圧範囲:  $\pm 31.25\text{mV}_{\text{peak}}$
- ▶ 電圧チャンネルのシングルエンド・アナログ入力電圧範囲:  $\pm 500\text{mV}_{\text{peak}}$
- ▶ 内部電圧リファレンス温度係数:  $< 13\text{ppm}/^\circ\text{C}$  (代表値)
- ▶ ADC オフセット・ドリフト:  $< 2\text{nV}/^\circ\text{C}$  (代表値)
- ▶ AC 測定システムおよび DC 測定システムの両方に最適
- ▶ 絶縁型および非絶縁型測定用の 3.3V 単電源
- ▶ 沿面距離が 8.3mm で、ピッチが微細な SOIC パッケージを備えたコンパクトな 28 ピンのワイドボディ
- ▶ 温度範囲:  $-40^\circ\text{C} \sim +125^\circ\text{C}$
- ▶ CISPR 32 クラス B RF エミッション試験に合格
- ▶ ADE9112 および ADE9113 が安全および規制認証を取得
  - ▶ IEC 60747-17 適合証明書を取得見込み
  - ▶ 1 分間に 5000V RMS で、UL 1577 規格に適合見込み
  - ▶ IEC 61010-1 および IEC 62368-1 に適合見込み

#### アプリケーション

- ▶ シェント抵抗電流センサー・ベースの多相電力量計
- ▶ 電気自動車用電源装置
- ▶ DC 電力量計
- ▶ 電力品質モニタリング
- ▶ ソーラ用インバータ
- ▶ プロセス・モニタリング
- ▶ 保護用デバイス
- ▶ 絶縁センサー・インターフェイス

#### 概要

ADE9103/ADE9112/ADE9113 は、DC および多相シェント式電力量計アプリケーション用の高精度・同時サンプリング  $\Sigma\Delta$  A/D コンバータ (ADC) です。ADE9113<sup>1</sup> は、安全認証を受けた信号および電力のガルバニック絶縁を、3 つの同時サンプリング完全差動 24 ビット  $\Sigma\Delta$  ADC チャンネルと統合しています。ADE9112 は、単一の電圧チャンネルのみが必要な絶縁用途のために、2 つの完全差動  $\Sigma\Delta$  ADC チャンネルを備えています。ADE9103 は、中性線測定用などの絶縁が不要な用途で使用するための非絶縁型 3 チャンネル  $\Sigma\Delta$  ADC です。ADE9103/ADE9112/ADE9113 はすべて、電流センサーとしてシェント抵抗との併用に最も適した高ゲイン電流チャンネルを搭載しています。複数の ADE9103/ADE9112/ADE9113 デバイスを同期させて、同時サンプリングし、コヒーレントな出力を提供できます。

電流チャンネル ADC は、4kSPS のサンプル・レートで、1.65kHz の信号帯域幅にわたって 86dBFS の S/N 比 (SNR) と、13ppm/ $^\circ\text{C}$  のゲイン・ドリフト代表値を提供し、クラス 0.2 の精度まで実現します。電圧 ADC は、同じサンプル・レートおよび帯域幅にわたって 91dBFS の S/N 比を提供します。電流チャンネル (IP および IM) の高ゲインは、熱による損失を低減するために低抵抗シェントを使用するのに有益です。2nV/ $^\circ\text{C}$  の低いオフセット・ドリフトは、DC 電力量計測に要求される性能を満たします。

ADE9103/ADE9112/ADE9113 は、システム・コストの削減と堅牢性の向上を実現します。メインの ADE9103/ADE9112/ADE9113 は、単一の水晶振動子で最大 3 つの追加の ADE9103/ADE9112/ADE9113 のクロックを駆動できます。双方向のシリアル・ポート・インターフェイス (SPI) は、デジタイズ機能に対応しており、必要なマイクロコントローラのピン数を減らしながら、すべてのレジスタにアクセスできます。28 ピン SOIC\_W\_FP は、よりコンパクトなレイアウトを可能にします。有効なデータ転送は、双方向の巡回冗長検査 (CRC) によって保証され、 $\overline{\text{IRQ}}$  ピンはシステムに重大な障害を警告します。ADE9112 および ADE9113 は、高電圧コンデンサを追加した 2 層プリント回路基板 (PCB) および内部スティッチング・コンデンサを用いた 4 層 PCB で、CISPR 32 クラス B のエミッション試験に合格しています。

表 1. ADE9103/ADE9112/ADE9113 の製品比較

| Model   | 24-Bit Current Measurement Channel | 24-Bit Voltage Measurement Channel | Integrated Safety Isolation |
|---------|------------------------------------|------------------------------------|-----------------------------|
| ADE9103 | Yes                                | 2                                  | No                          |
| ADE9112 | Yes                                | 1                                  | Yes                         |
| ADE9113 | Yes                                | 2                                  | Yes                         |

<sup>1</sup> 米国特許 5,952,849、6,873,065、7,075,329、6,262,600、7,489,526、7,558,080、8,892,933、11,533,027 により保護されています。その他の特許は申請中です。

## 目次

|                      |    |                                           |    |
|----------------------|----|-------------------------------------------|----|
| 特長.....              | 1  | ステータス・レジスタ .....                          | 25 |
| アプリケーション .....       | 1  | 割込み.....                                  | 25 |
| 概要.....              | 1  | アプリケーション情報 .....                          | 26 |
| 代表的なアプリケーション回路 ..... | 3  | 多相電力量計 .....                              | 26 |
| 機能ブロック図 .....        | 4  | DC 電力量計測.....                             | 27 |
| 仕様.....              | 5  | 絶縁の磁界耐性.....                              | 28 |
| タイミング特性.....         | 9  | クロック .....                                | 29 |
| 絶縁特性.....            | 10 | パワーアップおよび初期化の手順 .....                     | 30 |
| 規制に対する認可 .....       | 11 | SPI 互換 .....                              | 33 |
| 絶対最大定格 .....         | 12 | 複数の ADE9103/ADE9112/ADE9113 デバイスの同期化..... | 37 |
| 熱抵抗.....             | 12 | パワー・マネージメント .....                         | 39 |
| 静電放電（ESD）定格 .....    | 12 | DC/DC コンバータ .....                         | 39 |
| ESD に関する注意.....      | 12 | ソフトウェア・リセット .....                         | 40 |
| ピン配置およびピン機能の説明 ..... | 13 | ハードウェア・リセット .....                         | 40 |
| 代表的な性能特性 .....       | 17 | パワーダウン・モード .....                          | 40 |
| テスト回路 .....          | 20 | レイアウトのガイドライン .....                        | 41 |
| 用語の定義.....           | 21 | ADE9113 評価用ボード .....                      | 41 |
| 動作原理.....            | 23 | ハードウェア識別子 .....                           | 41 |
| アナログ入力.....          | 23 | レジスタの一覧 .....                             | 42 |
| A/D 変換 .....         | 23 | レジスタの詳細 .....                             | 44 |
| リファレンス電圧.....        | 24 | 外形寸法.....                                 | 50 |
| 構成レジスタの完全性の保護 .....  | 25 | オーダー・ガイド .....                            | 50 |
| 構成レジスタの CRC .....    | 25 | 評価用ボード .....                              | 50 |

## 改訂履歴

11/2023—Revision 0: Initial Version

## 代表的なアプリケーション回路

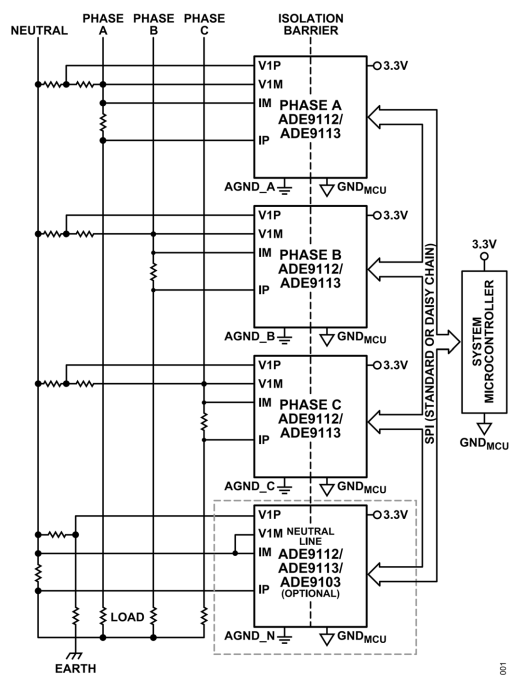


図 1. A 相、B 相、C 相、および MCU ドメインの間を絶縁した代表的なアプリケーション回路

## 機能ブロック図

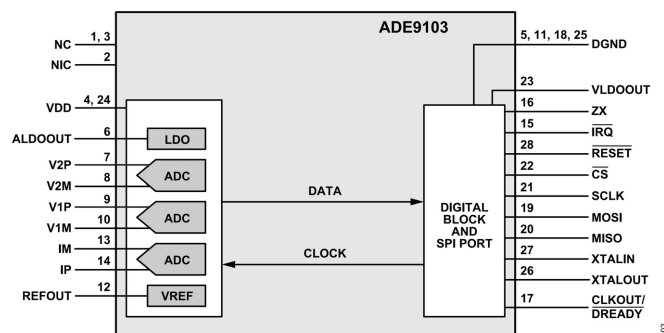


図 2. ADE9103 の機能ブロック図

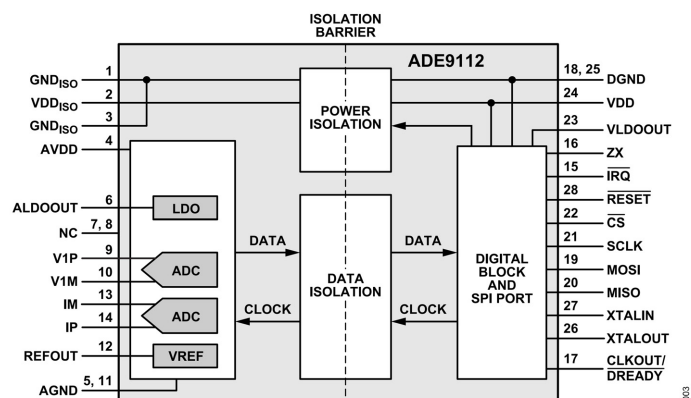


図 3. ADE9112 の機能ブロック図

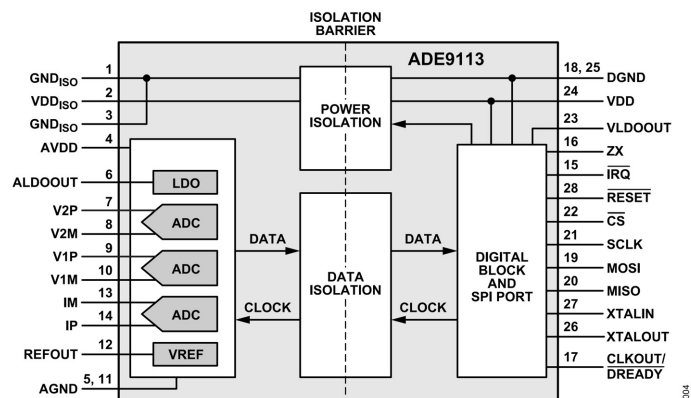


図 4. ADE9113 の機能ブロック図



## 仕様

特に指定のない限り、VDD = 3.3V ± 10%、AGND = 0V、DGND = 0V、内蔵リファレンス、XTALIN = 16.384MHz、T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40°C ~ +125°C、T<sub>A</sub> = 25°C（代表値）。

表 2. 仕様

| Parameter                                                                | Min     | Typ  | Max     | Unit   | Test Conditions/Comments                                                |
|--------------------------------------------------------------------------|---------|------|---------|--------|-------------------------------------------------------------------------|
| <b>POWER SUPPLY</b>                                                      |         |      |         |        |                                                                         |
| ADE9112/ADE9113                                                          |         |      |         |        |                                                                         |
| Normal Operation                                                         |         | 8    | 13      | mA     |                                                                         |
| Hold Reset Operation                                                     |         | 9.5  | 12.5    | μA     | RESET pin held low                                                      |
| ADE9103                                                                  |         |      |         |        |                                                                         |
| Normal Operation                                                         |         | 3.4  | 4.1     | mA     |                                                                         |
| Hold Reset Operation                                                     |         | 1.0  | 1.3     | mA     | RESET pin held low                                                      |
| VDD <sub>ISO</sub> Pin for ADE9112/ADE9113 Only                          |         | 2.05 |         | V      | Referenced to the GND <sub>ISO</sub> pin                                |
| <b>INTERNAL VOLTAGE REFERENCE</b>                                        |         |      |         |        |                                                                         |
| Voltage Reference (VREF)                                                 |         | 1.25 |         | V      | REFOUT pin                                                              |
| Temperature Coefficient                                                  |         |      |         |        | T <sub>A</sub> = -40°C to +125°C                                        |
| ADE9112/ADE9113                                                          |         | 12   | 23      | ppm/°C |                                                                         |
| ADE9103                                                                  |         | 13   | 28      | ppm/°C |                                                                         |
| <b>LOW DROPOUT (LDO) REGULATOR</b>                                       |         |      |         |        |                                                                         |
| Analog LDO                                                               |         | 1.8  |         | V      | Generated internally, and external decoupling only                      |
| Digital LDO                                                              |         | 1.8  |         | V      | ±5%, ALDOOUT pin                                                        |
|                                                                          |         |      |         |        | ±5%, VLDOOUT pin                                                        |
| <b>ZERO-CROSSING OUTPUT</b>                                              |         |      |         |        |                                                                         |
| Latency                                                                  |         | 80   |         | μs     |                                                                         |
| Jitter                                                                   |         | 30   |         | μs     |                                                                         |
| <b>TEMPERATURE RANGE</b>                                                 |         |      |         |        |                                                                         |
| Specified Performance                                                    | -40     |      | +125    | °C     |                                                                         |
| <b>ANALOG INPUTS</b>                                                     |         |      |         |        |                                                                         |
| Differential Voltage Range                                               |         |      |         |        |                                                                         |
| IP and IM Pins                                                           | -31.25  |      | +31.25  | mV     |                                                                         |
| Differential Voltage Range                                               |         |      |         |        |                                                                         |
| V1P and V1M Pins                                                         | -1000   |      | +1000   | mV     |                                                                         |
| V2P and V2M Pins                                                         | -1000   |      | +1000   | mV     |                                                                         |
| Single-Ended Voltage Range                                               |         |      |         |        |                                                                         |
| V1P and V1M Pins                                                         | -500    |      | +500    | mV     |                                                                         |
| V2P and V2M Pins                                                         | -500    |      | +500    | mV     |                                                                         |
| Maximum Voltage with Reference to DGND <sup>1</sup> or AGND <sup>2</sup> |         |      |         |        |                                                                         |
| IP and IM Pins                                                           | -40.625 |      | +40.625 | mV     |                                                                         |
| V1P, V2P, V1M, and V2M Pins                                              | -600    |      | +600    | mV     |                                                                         |
| Crosstalk <sup>3</sup>                                                   |         |      |         |        | Aggressor channels at full scale. See <a href="#">Crosstalk</a> section |
| V1 and V2 to I                                                           |         | -125 |         | dB     |                                                                         |
| V1 and I to V2                                                           |         | -125 |         | dB     |                                                                         |
| V2 and I to V1                                                           |         | -125 |         | dB     |                                                                         |
| Differential Input Impedance (DC)                                        |         |      |         |        |                                                                         |
| IP and IM                                                                | 2700    | 3900 |         | kΩ     |                                                                         |
| V1P, V1M, V2P, and V2M                                                   | 300     | 370  |         | kΩ     |                                                                         |
| ADC Offset                                                               |         |      |         |        | See <a href="#">ADC Offset</a> section                                  |
| IP and IM                                                                |         | 0.3  | ±10     | μV     |                                                                         |
| V1P, V1M, V2P, and V2M                                                   |         | -43  | ±160    | μV     |                                                                         |
| ADC Offset Drift                                                         |         |      |         |        | See <a href="#">ADC Offset Drift over Temperature</a> section           |
| IP and IM                                                                |         | 2    | 41      | nV/°C  |                                                                         |

## 仕様

表 2. 仕様（続き）

| Parameter                                                        | Min | Typ   | Max  | Unit   | Test Conditions/Comments                                                    |
|------------------------------------------------------------------|-----|-------|------|--------|-----------------------------------------------------------------------------|
| V1P and V1M                                                      |     |       |      |        |                                                                             |
| ADE9112/ADE9113                                                  |     | 87    | 212  | nV/°C  |                                                                             |
| ADE9103                                                          |     | 100   | 268  | nV/°C  |                                                                             |
| V2P and V2M                                                      |     |       |      |        |                                                                             |
| ADE9112/ADE9113                                                  |     | 115   | 245  | nV/°C  |                                                                             |
| ADE9103                                                          |     | 121   | 290  | nV/°C  |                                                                             |
| Gain Error                                                       |     |       |      |        |                                                                             |
| All Channels                                                     |     | ±0.1  | ±0.5 | %      | Not including anti-aliasing filter                                          |
| Gain Drift (Gain Amplifier, ADC, and Internal Voltage Reference) |     |       |      |        | See <a href="#">Gain Drift over Temperature</a> section                     |
| IP, -40°C to +125°C                                              |     |       |      |        |                                                                             |
| ADE9112/ADE9113                                                  |     | 12    | 24   | ppm/°C |                                                                             |
| ADE9103                                                          |     | 15    | 31   | ppm/°C |                                                                             |
| V1P and V2P, -40°C to +125°C                                     |     |       |      |        |                                                                             |
| ADE9112/ADE9113                                                  |     | 13    | 24   | ppm/°C |                                                                             |
| ADE9103                                                          |     | 15    | 30   | ppm/°C |                                                                             |
| POWER SUPPLY REJECTION (PSR)/COMMON-MODE REJECTION RATIO (CMRR)  |     |       |      |        | See the <a href="#">Power Supply Rejection (PSR)</a> section                |
| AC PSR                                                           |     |       |      |        | VDD = 3.3 V + 120 mV RMS (100 Hz), IP = V1P = V2P = AGND                    |
| IP and IM                                                        |     | -120  |      | dB     |                                                                             |
| V1P, V1M, V2P, and V2M                                           |     | -105  |      | dB     |                                                                             |
| DC PSR                                                           |     |       |      |        | VDD = 3.3 V ± 330 mV DC, IP = 3.125 mV peak, V1P = V2P = 100 mV peak        |
| IP and IM                                                        |     | -120  |      | dB     |                                                                             |
| V1P, V1M, V2P, and V2M                                           |     | -105  |      | dB     |                                                                             |
| AC CMRR                                                          |     |       |      |        | At 50 Hz and 60 Hz                                                          |
| IP and IM                                                        |     | -114  |      | dB     |                                                                             |
| V1P, V1M, V2P, and V2M                                           |     | -111  |      | dB     |                                                                             |
| Pass-Band Flatness (-0.1 dB)                                     |     |       |      |        |                                                                             |
| 32 kSPS Output                                                   |     | 1.5   |      | kHz    |                                                                             |
|                                                                  |     | 2.86  |      | kHz    | Compensation enabled, LPF_BW = 0                                            |
|                                                                  |     | 2.43  |      | kHz    | Compensation enabled, LPF_BW = 1                                            |
| 8 kSPS Output                                                    |     | 1.5   |      | kHz    |                                                                             |
|                                                                  |     | 2.87  |      | kHz    | Compensation enabled, LPF_BW = 0                                            |
|                                                                  |     | 2.44  |      | kHz    | Compensation enabled, LPF_BW = 1                                            |
| 4 kSPS Output                                                    |     | 0.77  |      | kHz    |                                                                             |
| 2 kSPS Output                                                    |     | 0.38  |      | kHz    |                                                                             |
| 1 kSPS Output                                                    |     | 0.20  |      | kHz    |                                                                             |
| Output Bandwidth (-3 dB)                                         |     |       |      |        | DATAPATH_CONFIG = 000 has no LPF and, therefore, bandwidth is not specified |
| 32 kSPS and 8 kSPS                                               |     | 3.3   |      | kHz    | LPF_BW = 0                                                                  |
|                                                                  |     | 2.7   |      | kHz    | LPF_BW = 1                                                                  |
| 4 kSPS                                                           |     | 1.65  |      | kHz    | LPF_BW = 0                                                                  |
|                                                                  |     | 1.35  |      | kHz    | LPF_BW = 1                                                                  |
| 2 kSPS                                                           |     | 0.825 |      | kHz    | LPF_BW = 0                                                                  |
|                                                                  |     | 0.675 |      | kHz    | LPF_BW = 1                                                                  |
| 1 kSPS                                                           |     | 0.413 |      | kHz    | LPF_BW = 0                                                                  |
|                                                                  |     | 0.338 |      | kHz    | LPF_BW = 1                                                                  |

## 仕様

表 2. 仕様（続き）

| Parameter                                               | Min   | Typ    | Max    | Unit | Test Conditions/Comments                                                                              |
|---------------------------------------------------------|-------|--------|--------|------|-------------------------------------------------------------------------------------------------------|
| <b>CURRENT CHANNEL</b>                                  |       |        |        |      |                                                                                                       |
| Signal-to-Noise Ratio (SNR)                             |       |        |        |      | At full-scale input, and see the <a href="#">Signal-to-Noise Ratio (SNR)</a> section                  |
| All 32 kSPS and 8 kSPS Outputs                          |       | 83     |        | dBFS |                                                                                                       |
| 4 kSPS Output                                           |       | 86     |        | dBFS |                                                                                                       |
| 2 kSPS Output                                           |       | 89     |        | dBFS |                                                                                                       |
| 1 kSPS Output                                           |       | 91     |        | dBFS |                                                                                                       |
| Signal-to-Noise-and-Distortion Ratio (SINAD)            |       |        |        |      | At full-scale input, and see the <a href="#">Signal-to-Noise-and-Distortion (SINAD) Ratio</a> section |
| All 32 kSPS and 8 kSPS Outputs                          |       | 83     |        | dBFS |                                                                                                       |
| 4 kSPS Output                                           |       | 86     |        | dBFS |                                                                                                       |
| 2 kSPS Output                                           |       | 89     |        | dBFS |                                                                                                       |
| 1 kSPS Output                                           |       | 90     |        | dBFS |                                                                                                       |
| Total Harmonic Distortion (THD)                         |       |        |        |      | At full-scale input, and see the <a href="#">Total Harmonic Distortion (THD)</a> section              |
| All Outputs                                             |       | -96    |        | dBFS |                                                                                                       |
| Spurious-Free Dynamic Range (SFDR)                      |       |        |        |      | At full-scale input, and see the <a href="#">Spurious-Free Dynamic Range (SFDR)</a> section           |
| All Outputs                                             |       | -96    |        | dBFS |                                                                                                       |
| <b>VOLTAGE CHANNEL</b>                                  |       |        |        |      |                                                                                                       |
| Signal-to-Noise Ratio (SNR)                             |       |        |        |      | At full-scale input, and see the <a href="#">Signal-to-Noise Ratio (SNR)</a> section                  |
| All 32 kSPS and 8 kSPS Outputs                          |       | 91     |        | dBFS |                                                                                                       |
| 4 kSPS Output                                           |       | 93     |        | dBFS |                                                                                                       |
| 2 kSPS Output                                           |       | 94     |        | dBFS |                                                                                                       |
| 1 kSPS Output                                           |       | 95     |        | dBFS |                                                                                                       |
| Signal-to-Noise-and-Distortion Ratio (SINAD)            |       |        |        |      | At full-scale input, and see the <a href="#">Signal-to-Noise-and-Distortion (SINAD) Ratio</a> section |
| All 32 kSPS and 8 kSPS Outputs                          |       | 88     |        | dBFS |                                                                                                       |
| 4 kSPS Output                                           |       | 90     |        | dBFS |                                                                                                       |
| 2 kSPS Output                                           |       | 91     |        | dBFS |                                                                                                       |
| 1 kSPS Output                                           |       | 91     |        | dBFS |                                                                                                       |
| Total Harmonic Distortion (THD)                         |       |        |        |      | At full-scale input, and see the <a href="#">Total Harmonic Distortion (THD)</a> section              |
| $\pm 0.5 V_{PEAK}$ Differential                         |       | -101   |        | dBFS |                                                                                                       |
| $\pm 1.0 V_{PEAK}$ Differential                         |       | -92    |        | dBFS |                                                                                                       |
| Spurious-Free Dynamic Range (SFDR)                      |       |        |        |      | At full-scale input, and see the <a href="#">Spurious-Free Dynamic Range (SFDR)</a> section           |
| $\pm 0.5 V_{PEAK}$ Differential                         |       | 100    |        | dBFS |                                                                                                       |
| $\pm 1.0 V_{PEAK}$ Differential                         |       | 94     |        | dBFS |                                                                                                       |
| <b>XTALIN</b>                                           |       |        |        |      |                                                                                                       |
| Input Clock Frequency, XTALIN                           | 15.84 | 16.384 | 16.547 | MHz  |                                                                                                       |
| XTALIN Duty Cycle                                       | 45    |        | 55     | %    |                                                                                                       |
| Using XTALOUT to Other Devices                          | 47.5  |        | 52.5   | %    |                                                                                                       |
| <b>XTALIN Logic Inputs</b>                              |       |        |        |      |                                                                                                       |
| Input High Voltage, VINH                                | 1.2   |        |        | V    |                                                                                                       |
| Input Low Voltage, VINL                                 |       |        | 0.5    | V    |                                                                                                       |
| Internal Capacitance on XTALIN and XTALOUT              |       | 4      |        | pF   |                                                                                                       |
| Internal Feedback Resistance Between XTALIN and XTALOUT |       | 2.7    |        | MΩ   |                                                                                                       |

## 仕様

表 2. 仕様（続き）

| Parameter                                          | Min | Typ | Max | Unit    | Test Conditions/Comments                 |
|----------------------------------------------------|-----|-----|-----|---------|------------------------------------------|
| Transconductance ( $g_m$ )                         | 6   | 10  |     | mA/V    |                                          |
| CLKOUT Delay                                       |     |     | 15  | ns      |                                          |
| LOGIC INPUTS—MOSI, SCLK, and $\overline{CS}$       |     |     |     |         |                                          |
| Input High Voltage, $V_{INH}$                      | 2.0 |     |     | V       |                                          |
| Input Low Voltage, $V_{INL}$                       |     |     | 0.8 | V       |                                          |
| Input Current, $I_{IN}$                            |     |     | 8.5 | $\mu A$ |                                          |
| Input Capacitance, $C_{IN}$                        |     |     | 10  | pF      |                                          |
| LOGIC OUTPUTS—CLKOUT/ $\overline{DREADY}$ AND MISO |     |     |     |         |                                          |
| Output High Voltage, $V_{OH}$                      | 2.4 |     |     | V       | Source current ( $I_{SOURCE}$ ) = 3.5 mA |
| Output Low Voltage, $V_{OL}$                       |     |     | 0.4 | V       | Sink current ( $I_{SINK}$ ) = 3.5 mA     |

<sup>1</sup> ADE9103 専用。<sup>2</sup> ADE9112/ADE9113 専用。<sup>3</sup> V1 は V1 電圧チャンネル（V1P ピンおよび V1M ピン）を表し、V2 は V2 電圧チャンネル（V2P ピンおよび V2M ピン）を表し、I は電流チャンネル（IP ピンおよび IM ピン）を表します。

## 仕様

## タイミング特性

特に指定のない限り、 $V_{DD} = 3.3V \pm 10\%$ 、 $AGND = 0V$ 、 $DGND = 0V$ 、オンチップ・リファレンス、 $XTALIN = 16.384MHz$ 、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +125^{\circ}C$ 。

表 3. SPI インターフェ이스のタイミング・パラメータ

| Parameter                                          | Symbol      | Min    | Max    | Unit |
|----------------------------------------------------|-------------|--------|--------|------|
| $\overline{CS}$ to SCLK Positive Edge              | $t_{SS}$    | 10     |        | ns   |
| SCLK Frequency <sup>1</sup>                        | $f_{SCLK}$  | 40     | 20,000 | kHz  |
| SCLK Low Pulse Width                               | $t_{SL}$    | 20     |        | ns   |
| SCLK High Pulse Width                              | $t_{SH}$    | 20     |        | ns   |
| Data Output Valid After $\overline{CS}$ Edge       | $t_{DAVFB}$ |        | 20     | ns   |
| Subsequent Data Output Valid After SCLK Edge       | $t_{DAVSB}$ |        | 20     | ns   |
| Data Input Setup Time Before SCLK Edge             | $t_{DSU}$   | 10     |        | ns   |
| Data Input Hold Time After SCLK Edge               | $t_{DHD}$   | 10     |        | ns   |
| Data Output Fall Time                              | $t_{DF}$    |        | 10     | ns   |
| Data Output Rise Time                              | $t_{DR}$    |        | 10     | ns   |
| SCLK Rise Time                                     | $t_{SR}$    |        | 5      | ns   |
| SCLK Fall Time                                     | $t_{SF}$    |        | 5      | ns   |
| MISO Disable After $\overline{CS}$ Rising Edge     | $t_{DIS}$   |        | 20     | ns   |
| $\overline{CS}$ High After SCLK Edge               | $t_{SFS}$   |        | 10     | ns   |
| $\overline{CS}$ High Time Between SPI Transactions | $t_{CH}$    |        |        |      |
| Nonisolated (NONISO) Side                          |             | 400    |        | ns   |
| Isolated (ISO) Side                                |             | 10,000 |        | ns   |

<sup>1</sup> 最小仕様と最大仕様は設計上保証されています。

## タイミング図

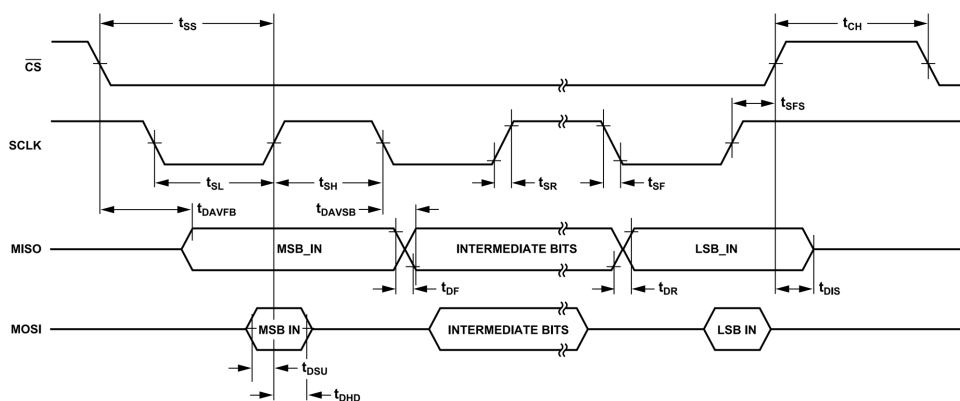


図 5. SPI のタイミング

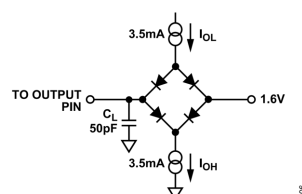


図 6. タイミング仕様評価用の負荷回路

## 仕様

## 絶縁特性

ADE9112/ADE9113 は、安全限界データ範囲内でのみ強化絶縁に適しています。安全性データの維持は、保護回路によって確保されます。

表 4. ADE9112 および ADE9113 の絶縁特性

| Parameter                                   | Symbol      | Conditions                                                                                                                             | Value                          | Unit       |
|---------------------------------------------|-------------|----------------------------------------------------------------------------------------------------------------------------------------|--------------------------------|------------|
| CLASSIFICATIONS                             |             |                                                                                                                                        |                                |            |
| Overvoltage Category per IEC 60664-1        |             | For Rated Mains Voltage $\leq 150 V_{RMS}$<br>For Rated Mains Voltage $\leq 300 V_{RMS}$<br>For Rated Mains Voltage $\leq 424 V_{RMS}$ | I to IV<br>I to IV<br>I to III |            |
| Climatic Classification                     |             |                                                                                                                                        | 40/125/21                      |            |
| Pollution Degree                            |             | Per DIN VDE 0110, Table 1                                                                                                              | 2                              |            |
| IEC 60747-17 HIGH VOLTAGE RATINGS           |             |                                                                                                                                        |                                |            |
| Maximum Working Isolation Voltage           | $V_{IOWM}$  | Continuous RMS voltage                                                                                                                 | 424                            | $V_{RMS}$  |
| Maximum Repetitive Isolation Voltage        | $V_{IORM}$  | Repetitive peak voltage                                                                                                                | 600                            | $V_{PEAK}$ |
| Maximum Transient Isolation Voltage         | $V_{IOTM}$  | Nonrepetitive transient voltages                                                                                                       | 7071                           | $V_{PEAK}$ |
| Maximum Withstanding Isolation Voltage      | $V_{ISO}$   | Maximum isolation withstanding AC RMS voltage for one minute                                                                           | 5000                           | $V_{RMS}$  |
| Maximum Surge Isolation Voltage, Reinforced | $V_{IOSM}$  | Tested in oil, 1.2 $\mu s$ /50 $\mu s$ waveform per IEC 61000-4-5, $V_{TEST} = 1.3 \times V_{IOSM} = 10,400 V_{PEAK}$                  | 8000                           | $V_{PEAK}$ |
| Maximum Impulse Voltage                     | $V_{IMP}$   | Tested in air, 1.2 $\mu s$ /50 $\mu s$ waveform per IEC 61000-4-5                                                                      | 7071                           | $V_{PEAK}$ |
| Input to Output Test Voltage                | $V_{PR}$    |                                                                                                                                        | 1125                           | $V_{PEAK}$ |
| Apparent Charge                             | $q_{pd}$    | Test method B1, $V_{PR} = 1.875 \times V_{IORM}$ , $t = 1$ sec                                                                         | 5                              | pC         |
| PACKAGE CHARACTERISITICS                    |             |                                                                                                                                        |                                |            |
| External Clearance                          | CLR         | Measured from input terminals to output terminals, shortest distance through air                                                       | 8.3                            | mm         |
| External Creepage                           | CPG         | Measured from input terminals to output terminals, shortest distance along body                                                        | 8.3                            | mm         |
| Internal Clearance                          | DTI         | Distance through thin film insulation                                                                                                  | 21.5                           | $\mu m$    |
| Comparative Tracking Index                  | CTI         |                                                                                                                                        | >400                           | V          |
| Material Group                              |             |                                                                                                                                        | II                             |            |
| Resistance (Input to Output) <sup>1</sup>   | $R_{IO}$    | $V_{IO} = 500 V$ , $T_A = 25^\circ C$                                                                                                  | $10^{12}$                      | $\Omega$   |
|                                             | $R_{IO\_S}$ | $V_{IO} = 500 V$ , $T_A = T_S$                                                                                                         | $10^9$                         | $\Omega$   |
| Capacitance (Input to Output) <sup>1</sup>  | $C_{IO}$    | $f_{TEST} = 1$ MHz                                                                                                                     | 1.3                            | pF         |
| SAFETY LIMITING VALUES                      |             |                                                                                                                                        |                                |            |
| Maximum Ambient Safety Temperature          | $T_S$       |                                                                                                                                        | 150                            | $^\circ C$ |
| Maximum Input Power Dissipation             | $P_S$       | Total Power Dissipation at $25^\circ C$                                                                                                | 1.90                           | W          |

<sup>1</sup> デバイスは 2 端子デバイスとして測定されます。

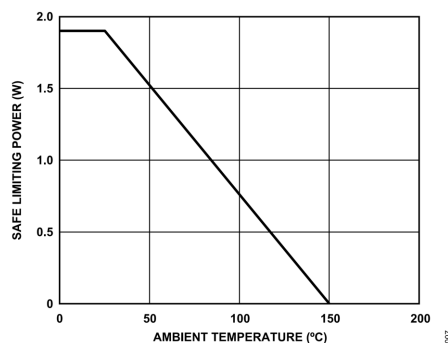


図 7. 熱デレーティング曲線、安全限界値の依存性、IEC 60747-17 に準拠

## 仕様

## 規制に対する認可

ADE9112 と ADE9113 は、表 5 に示した規制機関による認可を受けています。認定証明書は、[デジタル・アイソレーションの安全および規制認証](#)のウェブ・ページで入手できます。

具体的なクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 5 を参照してください。

表 5. ADE9112 および ADE9113 の規制に対する認可

| Regulatory Agency | Standard Certification/Approval                                                                                                                                                                                                                                                                                                      | File      |
|-------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|
| VDE               | Certified according to DIN EN IEC 60747-17 (VDE 0884-17):2021-10 and EN IEC 60747-17:2020+AC:2021<br>Reinforced insulation, see <a href="#">Table 4</a> for characteristics                                                                                                                                                          | (Pending) |
| UL                | Recognized under the UL1577 Component Recognition Program<br>Single protection, 5000 V RMS isolation voltage                                                                                                                                                                                                                         | (Pending) |
| CSA               | Approved under CSA component acceptance<br>CSA 62368-1-19, EN 62368-1:2020, and IEC 62368-1:2018 third edition:<br>Basic insulation at 830 V RMS<br>Reinforced insulation at 415 V RMS<br>CSA 61010-1-12 + A1 and IEC 61010-1 third edition + A1:<br>Basic insulation at 600 V RMS mains<br>Reinforced insulation at 300 V RMS mains | (Pending) |



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6. ADE9103 の絶対最大定格

| Parameter                                                                           | Rating                |
|-------------------------------------------------------------------------------------|-----------------------|
| VDD to DGND                                                                         | -0.3 V to +3.7 V      |
| Analog Input Voltage                                                                |                       |
| IP and IM to DGND                                                                   | -1.4 V to +1.4 V      |
| V1P and V1M, to DGND                                                                | -2.0 V to +2.0 V      |
| V2P and V2M to DGND                                                                 | -1 V to +1 V          |
| Digital Input Voltage to DGND                                                       |                       |
| MISO, SCLK, $\overline{\text{CS}}$ , $\overline{\text{RESET}}$ , and XTALIN to DGND | -0.3 V to VDD + 0.3 V |
| Digital Output Voltage to DGND                                                      |                       |
| $\overline{\text{IRQ}}$ , ZX, CLKOUT, MOSI, SCLK, and XTAL-OUT to DGND              | -0.3 V to VDD + 0.3 V |
| Temperature                                                                         |                       |
| Operating                                                                           | -40°C to +125°C       |
| Storage Range                                                                       | -65°C to +150°C       |
| Lead (Soldering, 10 sec) <sup>1</sup>                                               | 260°C                 |
| Moisture Sensitivity Level                                                          | MSL3                  |

<sup>1</sup> RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを、アナログ・デバイスでは推奨しています。この規格の最新バージョンについては、JEDEC にお問い合わせください。

表 7. ADE9112/ADE9113 の絶対最大定格

| Parameter                                                                           | Rating                                           |
|-------------------------------------------------------------------------------------|--------------------------------------------------|
| VDD to DGND and AVDD to AGND                                                        | -0.3 V to +3.7 V                                 |
| Analog Input Voltage                                                                |                                                  |
| IP and IM to AGND                                                                   | -1.4 V to +1.4 V                                 |
| V1P and V1M to AGND                                                                 | -2.0 V to +2.0 V                                 |
| V2P and V2M to AGND                                                                 | -1 V to +1 V                                     |
| Digital Input Voltage to DGND                                                       |                                                  |
| MISO, SCLK, $\overline{\text{CS}}$ , $\overline{\text{RESET}}$ , and XTALIN to DGND | -0.3 V to VDD + 0.3 V                            |
| Digital Output Voltage to DGND                                                      |                                                  |
| $\overline{\text{IRQ}}$ , ZX, CLKOUT, MOSI, SCLK, and XTALOUT to DGND               | -0.3 V to VDD + 0.3 V                            |
| Common-Mode Transients <sup>1</sup>                                                 | -150 kV/ $\mu\text{s}$ to +150 kV/ $\mu\text{s}$ |
| Temperature                                                                         |                                                  |
| Operating Range                                                                     | -40°C to +125°C                                  |
| Storage Range                                                                       | -65°C to +150°C                                  |
| Lead (Soldering, 10 sec) <sup>2</sup>                                               | 260°C                                            |
| Moisture Sensitivity Level                                                          | MSL3                                             |

<sup>1</sup> 絶縁バリアを越えるコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

<sup>2</sup> RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを、アナログ・デバイスでは推奨しています。この規格の最新バージョンについては、JEDEC にお問い合わせください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$  は、ジャンクションとケースの間の熱抵抗です。

表 8. 熱抵抗

| Package Type | $\theta_{JA}$ | $\theta_{JC}$ | Unit |
|--------------|---------------|---------------|------|
| RN-28-1      | 65.69         | 36.19         | °C/W |

## 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

## ADE9103 の ESD 定格

表 9. ADE9103、28 ピン SOIC\_W\_FP

| ESD Model | Withstand Threshold (V) | Class |
|-----------|-------------------------|-------|
| HBM       | $\pm 4000$              | 3A    |
| CDM       | $\pm 1250$              | C3    |

## ADE9112/ADE9113 の ESD 定格

表 10. ADE9112/ADE9113、28 ピン SOIC\_W\_FP

| ESD Model <sup>1</sup> | Withstand Threshold (V) | Class |
|------------------------|-------------------------|-------|
| HBM                    | $\pm 4000$              | 3A    |
| CDM                    | $\pm 1250$              | C3    |

<sup>1</sup> ローカル VDD および AGND、ならびに DGND および GND<sub>ISO</sub> ピンに関する。

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能の説明

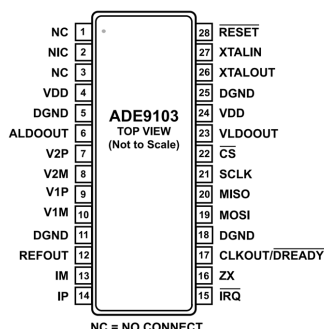


図 8. ADE9103 のピン配置

表 11. ADE9103 のピン機能の説明

| ピン番号          | 記号                             | 説明                                                                                                                                                                                                                                                                                                                                                                                                                          |
|---------------|--------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1, 3          | NC                             | 接続なし。ピン 1 とピン 3 は一緒に内部接続されています。これらの NC ピンは内部接続されていません。                                                                                                                                                                                                                                                                                                                                                                      |
| 2             | NIC                            | 内部接続されていません。NIC ピンは内部接続されていません。                                                                                                                                                                                                                                                                                                                                                                                             |
| 4, 24         | VDD                            | 1 次側電源電圧。VDD ピンは ADE9103 に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3V \pm 10\%$ に維持してください。VDD ピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、最も近接した DGND ピンヘデカップリングします。                                                                                                                                                                                                                                                  |
| 5, 11, 18, 25 | DGND                           | グラウンド・リファレンス。                                                                                                                                                                                                                                                                                                                                                                                                               |
| 6             | ALDOOUT                        | アナログ LDO レギュレータの $1.8V$ 出力。ALDOOUT ピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、DGND のピン 5 ヘデカップリングします。ALDOOUT ピンには外部負荷回路を接続しないでください。                                                                                                                                                                                                                                                                               |
| 7             | V2P                            | V2 電圧チャンネル用の正のアナログ入力。V2P と V2M は、仕様規定されている動作に対し、 $V_{xM}$ ピンに対する最大シングルエンド信号レベルが $\pm 500mV$ の差動電圧入力です。V2P および V1P ピンは、 <a href="#">図 27</a> に示すように、関連する入力回路と共に使用します。V2 電圧チャンネルを使用しない場合は、V2P ピンを V2M ピンに接続します。                                                                                                                                                                                                               |
| 8             | V2M                            | V2 電圧チャンネル用の負のアナログ入力。                                                                                                                                                                                                                                                                                                                                                                                                       |
| 9             | V1P                            | V1 電圧チャンネル用の正のアナログ入力。電圧チャンネルは電圧トランスジューサと共に使用されます。V1P と V1M は、仕様規定されている動作に対し、 $V_{xM}$ ピンに対する最大シングルエンド信号レベルが $\pm 500mV$ の差動電圧入力です。V1P および V2P ピンは、 <a href="#">図 27</a> に示すように、関連する入力回路と共に使用します。V1 電圧チャンネルを使用しない場合は、V1P ピンを V1M ピンに接続します。                                                                                                                                                                                   |
| 10            | V1M                            | V1 電圧チャンネル用の負のアナログ入力。                                                                                                                                                                                                                                                                                                                                                                                                       |
| 12            | REFOUT                         | 電圧リファレンス出力。REFOUT ピンから内部電圧リファレンスにアクセスできます。内蔵リファレンスの公称値は $1.25V$ です。REFOUT ピンは、 $4.7\mu F$ のコンデンサを $100nF$ のセラミック・コンデンサに並列接続して、DGND のピン 11 ヘデカップリングします。REFOUT ピンには外部負荷回路を接続しないでください。                                                                                                                                                                                                                                         |
| 13            | IM                             | 電流チャンネルの負のアナログ入力。電流チャンネルはシャントと共に使用します。IM と IP は、最大差動レベルが $\pm 31.25mV$ の擬似差動電圧入力です。 <a href="#">図 27</a> に示すように、IM ピンと IP ピンを関連する入力回路と共に使用します。                                                                                                                                                                                                                                                                              |
| 14            | IP                             | 電流チャンネルの正のアナログ入力。                                                                                                                                                                                                                                                                                                                                                                                                           |
| 15            | $\overline{IRQ}$               | 割込み要求出力。 $\overline{IRQ}$ ピンはアクティブ・ローのロジック出力です。                                                                                                                                                                                                                                                                                                                                                                             |
| 16            | ZX                             | ゼロ交差出力ピン。                                                                                                                                                                                                                                                                                                                                                                                                                   |
| 17            | CLKOUT/<br>$\overline{DREADY}$ | クロック出力 (CLKOUT)。CLKOUT 機能を選択すると (詳細は、 <a href="#">複数の ADE9103/ADE9112/ADE9113 デバイスの同期化</a> のセクションを参照)、ADE9103 は、XTALIN ピンでメイン・クロックに同期してデジタル信号を生成します。CLKOUT を用いて、他の ADE9103/ADE9112/ADE9113 デバイスにクロック供給します。データ・レディ、アクティブ・ロー ( $\overline{DREADY}$ )。DREADY 機能を選択すると (詳細については、 <a href="#">複数の ADE9103/ADE9112/ADE9113 デバイスの同期化</a> のセクションを参照)、ADE9103 は、ADC 出力周波数に同期してアクティブ・ロー信号を生成します。この信号を用いて、ADE9103 の ADC 出力の読み出しを開始します。 |
| 19            | MOSI                           | SPI ポート用データ入力。                                                                                                                                                                                                                                                                                                                                                                                                              |
| 20            | MISO                           | SPI ポート用データ出力。電磁環境適合性 (EMC) の堅牢性を高めるために、 $10k\Omega$ のプルアップ抵抗を VDD 電源電圧に接続します (詳細については、 <a href="#">SPI 互換</a> のセクションを参照)。                                                                                                                                                                                                                                                                                                  |
| 21            | SCLK                           | SPI ポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します ( <a href="#">クロック</a> のセクションを参照)。                                                                                                                                                                                                                                                                                                                                         |
| 22            | $\overline{CS}$                | SPI ポート用チップ選択 (アクティブ・ロー)。                                                                                                                                                                                                                                                                                                                                                                                                   |
| 23            | VLDOOUT                        | デジタル LDO レギュレータの $1.8V$ 出力。VLDOOUT ピンは、 $4.7\mu F$ のコンデンサと $100nF$ のセラミック・コンデンサを並列に接続して、DGND のピン 25 ヘデカップリングします。VLDOOUT ピンには外部負荷回路を接続しないでください。                                                                                                                                                                                                                                                                              |

ピン配置およびピン機能の説明

表 11. ADE9103 のピン機能の説明（続き）

| ピン番号 | Mnemonic                  | 説明                                                                                                                                                                                                                                                                                                                           |
|------|---------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 26   | XTALOUT                   | 水晶振動子出力。水晶振動子は必ず、表 2 のトランスコンダクタンス（ $g_m$ ）に基づいて選択する必要があります。水晶振動子は、XTALIN ピンと XTALOUT ピンの間に接続して、ADE9103 のクロック源を供給します。                                                                                                                                                                                                         |
| 27   | XTALIN                    | メイン・クロック入力。このロジック入力には外部クロックを入力できます。適切に構成された別の ADE9103/ADE9112/ADE9113（詳細については、複数の ADE9103/ADE9112/ADE9113 デバイスの同期化のセクションを参照）の CLKOUT/DREADY 信号は、XTALIN ピンで供給できます。あるいは、水晶振動子を XTALIN ピンと XTALOUT ピンの間に接続して、ADE9103 にクロック源を供給できます。仕様規定されている動作のクロック周波数は 16.384MHz ですが、16MHz までのより低い周波数を使用することができます。詳細については、クロックのセクションを参照してください。 |
| 28   | $\overline{\text{RESET}}$ | アクティブ・ローのリセット入力。ハードウェア・リセットを開始するには、このピンを必ず、1.5 $\mu$ s 以上の間、ローにする必要があります。                                                                                                                                                                                                                                                    |

## ピン配置およびピン機能の説明

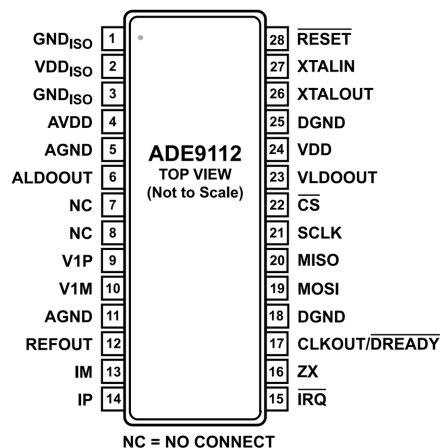


図 9. ADE9112 のピン配置

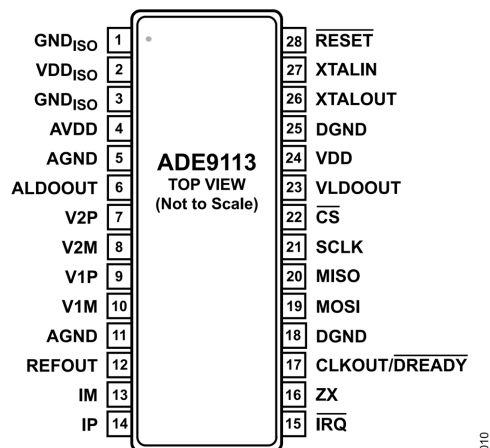


図 10. ADE9113 のピン配置

表 12. ADE9112 および ADE9113 のピン機能の説明

| ピン番号    |         |                    |                                                                                                                                                                                                              |
|---------|---------|--------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ADE9112 | ADE9113 | 記号                 | 説明                                                                                                                                                                                                           |
| 1, 3    | 1, 3    | GND <sub>ISO</sub> | GND <sub>ISO</sub> パドルに接続された絶縁型 DC/DC コンバータのグラウンド。GND <sub>ISO</sub> を、フェライト・フィルタ・ネットワークを介して AGND に接続します。                                                                                                    |
| 2       | 2       | VDD <sub>ISO</sub> | DC/DC コンバータの電圧出力。VDD <sub>ISO</sub> では、低 ESR の 100nF バイパス・コンデンサを GND <sub>ISO</sub> に接続する必要があります。VDD <sub>ISO</sub> を、フェライト・フィルタ・ネットワークを介して AVDD に接続します。                                                     |
| 4       | 4       | AVDD               | 絶縁側の電源。AVDD では、4.7μF と 100nF のバイパス・コンデンサを AGND に接続する必要があります。                                                                                                                                                 |
| 5, 11   | 5, 11   | AGND               | グラウンド・リファレンス。                                                                                                                                                                                                |
| 6       | 6       | ALDOOUT            | アナログ LDO レギュレータの 1.8V 出力。ALDOOUT ピンは、4.7μF のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、AGND のピン 5 ヘデカップリングします。ALDOOUT ピンには外部負荷回路を接続しないでください。                                                                          |
| 7       |         | NC                 | 接続なし。NC ピンは内部接続されています。NC ピンはフローティング状態にしておくか、ピン 8 に接続します。                                                                                                                                                     |
| 8       |         | NC                 | 接続なし。NC ピンは内部接続されています。NC ピンはフローティング状態にしておくか、ピン 7 に接続します。                                                                                                                                                     |
|         | 7       | V2P                | V2 電圧チャンネル用の正のアナログ入力。電圧チャンネルは電圧トランスジューサと共に使用されます。V2P と V2M は、仕様規定されている動作に対し、VxM ピンに対する最大シングルエンド信号レベルが±500mV の差動電圧入力です。V2P および V1P ピンは、図 27 に示すように、関連する入力回路と共に使用します。V2 電圧チャンネルを使用しない場合は、V2P ピンを V2M ピンに接続します。 |
|         | 8       | V2M                | V2 電圧チャンネル用の負のアナログ入力。                                                                                                                                                                                        |
| 9       | 9       | V1P                | V1 電圧チャンネル用の正のアナログ入力。V1P と V1M は、仕様規定されている動作に対し、VxM ピンに対する最大シングルエンド信号レベルが±500mV の差動電圧入力です。V1P および V2P ピンは、図 27 に示すように、関連する入力回路と共に使用します。V1 電圧チャンネルを使用しない場合は、V1P ピンを V1M ピンに接続します。                             |
| 10      | 10      | V1M                | V2 電圧チャンネル用の負のアナログ入力。                                                                                                                                                                                        |
| 12      | 12      | REFOUT             | 電圧リファレンス出力。REFOUT ピンから内部電圧リファレンスにアクセスできます。オンチップ・リファレンスの公称値は 1.25V です。REFOUT ピンは、4.7μF のコンデンサを 100nF のセラミック・コンデンサに並列接続して、AGND のピン 11 ヘデカップリングします。REFOUT ピンには外部負荷回路を接続しないでください。                                |
| 13      | 13      | IM                 | 電流チャンネルの負のアナログ入力。電流チャンネルはシャントと共に使用します。IM と IP は、最大差動レベルが ±31.25mV の擬似差動電圧入力です。図 27 に示すように、IM ピンと IP ピンを関連する入力回路と共に使用します。                                                                                     |
| 14      | 14      | IP                 | 電流チャンネルの正のアナログ入力。                                                                                                                                                                                            |
| 15      | 15      | IRQ                | 割込み要求出力。IRQ ピンはアクティブ・ローのロジック出力です。                                                                                                                                                                            |
| 16      | 16      | ZX                 | ゼロ交差出力ピン。                                                                                                                                                                                                    |

## ピン配置およびピン機能の説明

表 12. ADE9112 および ADE9113 のピン機能の説明（続き）

| ピン番号    |         | 記号                        | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                      |
|---------|---------|---------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ADE9112 | ADE9113 |                           |                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| 17      | 17      | CLKOUT/<br>DREADY         | クロック出力（CLKOUT）。CLKOUT 機能を選択すると（詳細は、 <a href="#">複数の ADE9103/ADE9112/ADE9113 デバイスの同期化</a> のセクションを参照）、ADE9112 と ADE9113 は、XTALIN ピンでメイン・クロックに同期してデジタル信号を生成します。CLKOUT を用いて、ボード上の他の ADE9112 デバイスおよび ADE9113 デバイスにクロック供給します。データ・レディ、アクティブ・ロー（DREADY）。DREADY機能を選択すると（詳細は、 <a href="#">複数の ADE9103/ADE9112/ADE9113 デバイスの同期化</a> のセクションを参照）、ADE9112 と ADE9113 は、ADC 出力周波数に同期してアクティブ・ロー信号を生成します。この信号を用いて、ADE9112 および ADE9113 の ADC 出力の読出しを開始します。 |
| 18, 25  | 18, 25  | DGND                      | グラウンド・リファレンス。                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 19      | 19      | MOSI                      | SPI ポート用データ入力。                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 20      | 20      | MISO                      | SPI ポート用データ出力。10kΩ のプルアップ抵抗を VDD 電源電圧に接続して、EMC 耐性を向上させます（詳細は、 <a href="#">SPI 互換</a> のセクションを参照）。                                                                                                                                                                                                                                                                                                                                        |
| 21      | 21      | SCLK                      | SPI ポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します（ <a href="#">クロック</a> のセクションを参照）。                                                                                                                                                                                                                                                                                                                                                      |
| 22      | 22      | $\overline{\text{CS}}$    | SPI ポート用のチップ選択（アクティブ・ロー）。                                                                                                                                                                                                                                                                                                                                                                                                               |
| 23      | 23      | VLDOOUT                   | デジタル LDO レギュレータの 1.8V 出力。VLDOOUT ピンは、4.7μF のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、DGND のピン 25 ヘデカップリングします。VLDOOUT ピンには外部負荷回路を接続しないでください。                                                                                                                                                                                                                                                                                                    |
| 24      | 24      | VDD                       | 1 次側電源電圧。VDD ピンは <a href="#">ADE9113</a> に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を 3.3V ± 10% に維持してください。VDD ピンは、4.7μF のコンデンサと 100nF のセラミック・コンデンサを並列に接続して、DGND のピン 25 ヘデカップリングします。                                                                                                                                                                                                                                                             |
| 26      | 26      | XTALOUT                   | 水晶振動子出力。水晶振動子は必ず、 <a href="#">表 2</a> のトランスコンダクタンス（g <sub>m</sub> ）に基づいて選択する必要があります。水晶振動子は、XTALIN ピンと XTALOUT ピンの間に接続して、ADE9112 と ADE9113 にクロック源を供給します。                                                                                                                                                                                                                                                                                 |
| 27      | 27      | XTALIN                    | メイン・クロック入力。このロジック入力には外部クロックを入力できます。適切に構成された別の ADE9112/ADE9113（詳細については、 <a href="#">複数の ADE9103/ADE9112/ADE9113 デバイスの同期化</a> のセクションを参照）の CLKOUT/DREADY 信号は、XTALIN ピンで供給できます。あるいは、水晶振動子を、XTALIN ピンと XTALOUT ピンの間に接続して、ADE9112 と ADE9113 にクロック源を供給することもできます。仕様規定されている動作のクロック周波数は 16.384MHz ですが、16MHz までのより低い周波数を使用できます。詳細については <a href="#">クロック</a> のセクションを参照してください。                                                                       |
| 28      | 28      | $\overline{\text{RESET}}$ | アクティブ・ローのリセット入力。ハードウェア・リセットを開始するには、 $\overline{\text{RESET}}$ ピンを必ず、1.5μs 以上の間、ローにする必要があります。                                                                                                                                                                                                                                                                                                                                            |

## 代表的な性能特性

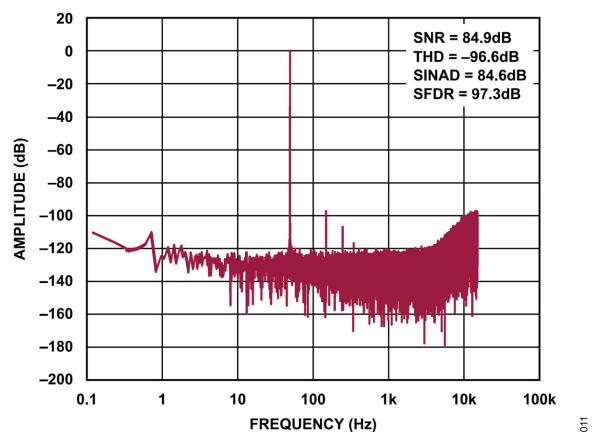


図 11. 電流チャンネル FFT (高速フーリエ変換)、32kSPS Sinc3 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 000b)

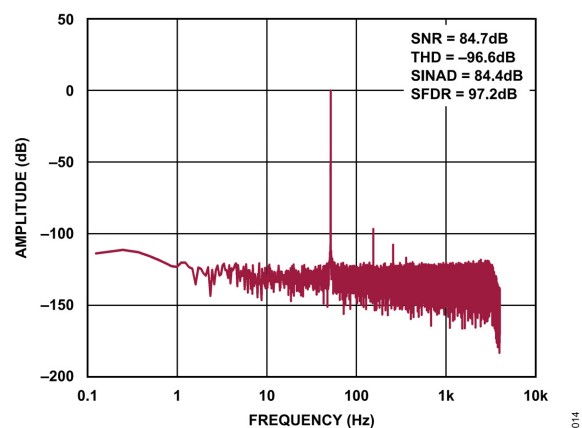


図 14. 電流チャンネル FFT、8kSPS Sinc3 + 補償 + LPF 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 100b)

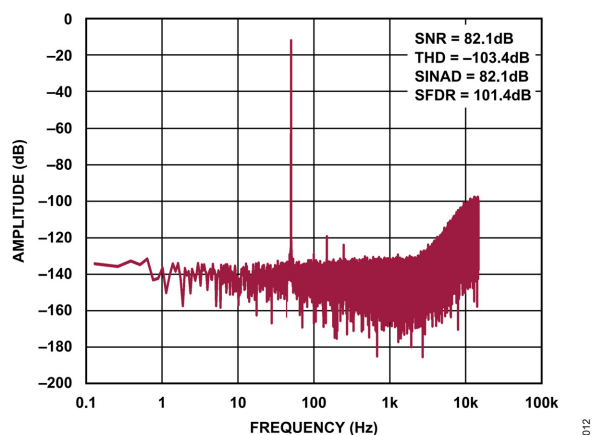


図 12. 電圧チャンネル V1 FFT、32kSPS Sinc3 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 000b)

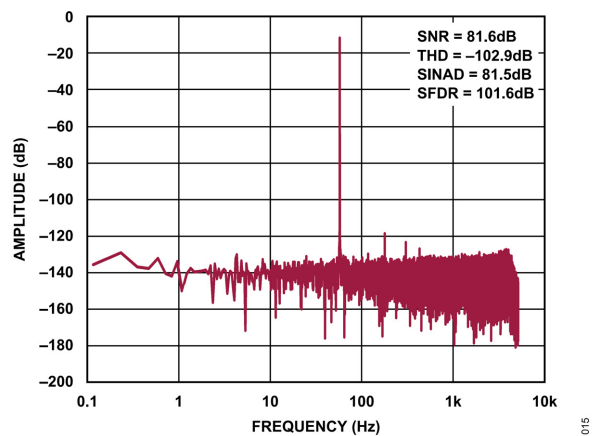


図 15. 電圧チャンネル V1 FFT、8kSPS Sinc3 + 補償 + LPF 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 100b)

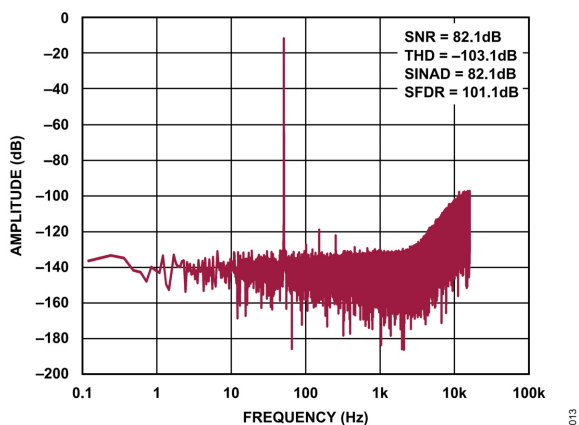


図 13. 電圧チャンネル V2 FFT、32kSPS Sinc3 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 000b)

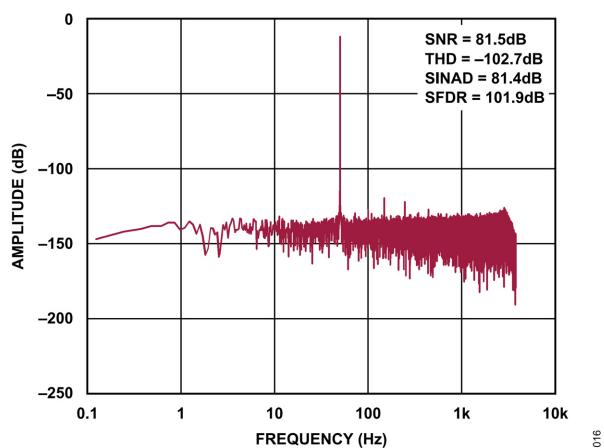


図 16. 電圧チャンネル V2 FFT、8kSPS Sinc3 + 補償 + LPF 出力 (レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 100b)

## 代表的な性能特性

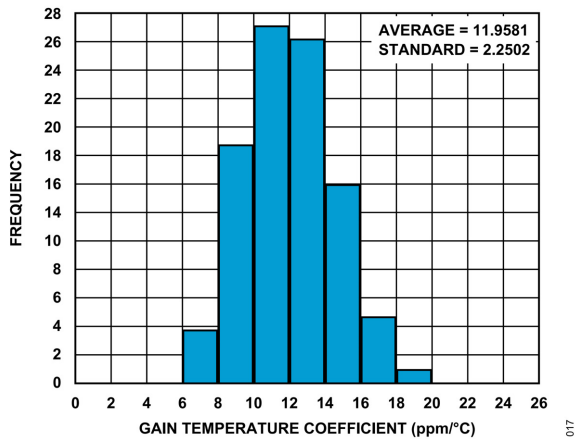


図 17. ADE9112 と ADE9113 の電流チャンネル・ゲイン温度係数ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

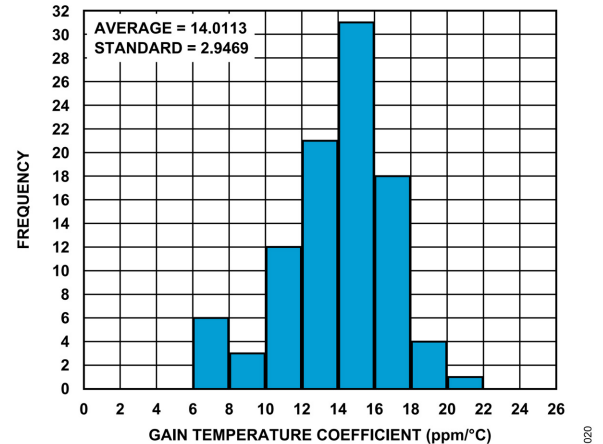


図 20. ADE9103 の電圧チャンネル V1 および V2 ゲイン温度係数ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

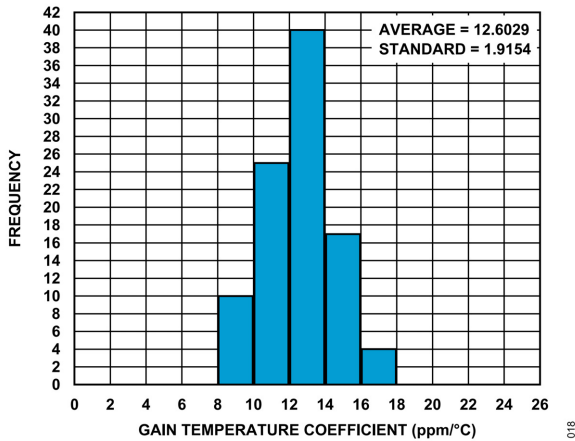


図 18. ADE9112 と ADE9113 の電圧チャンネル V1 および V2 ゲイン温度係数ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

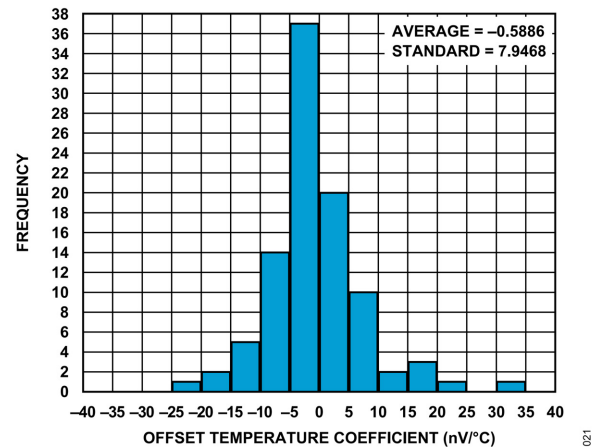


図 21. ADE9112 と ADE9113 の電流チャンネル・オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

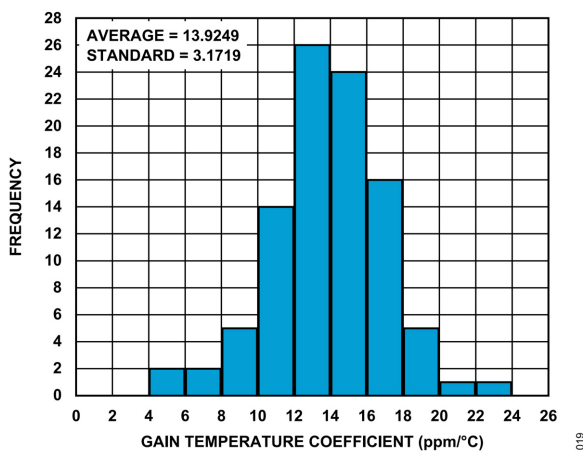


図 19. ADE9103 の電流チャンネル・ゲイン温度係数ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

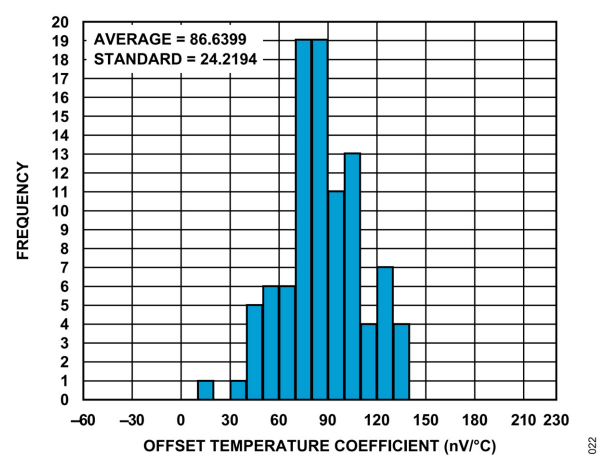


図 22. ADE9112 と ADE9113 の電圧チャンネル V1 オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

## 代表的な性能特性

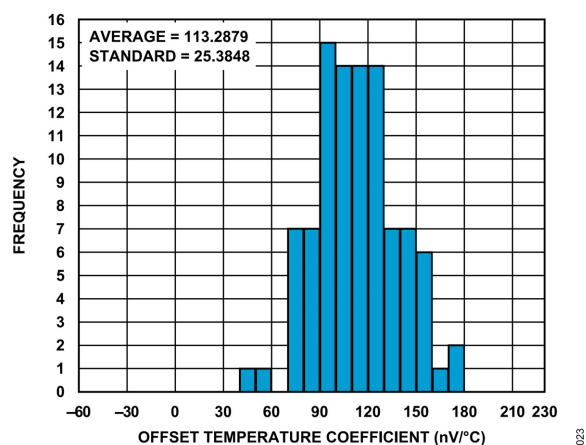


図 23. ADE9112 と ADE9113 の電圧チャンネル V2 オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

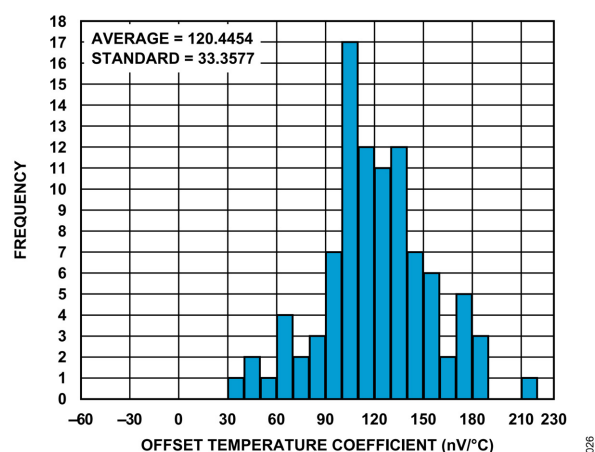


図 26. ADE9103 の電圧チャンネル V2 オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

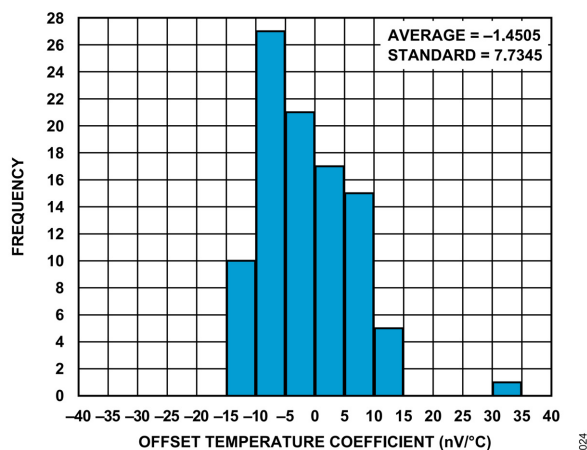


図 24. ADE9103 の電流チャンネル・オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）

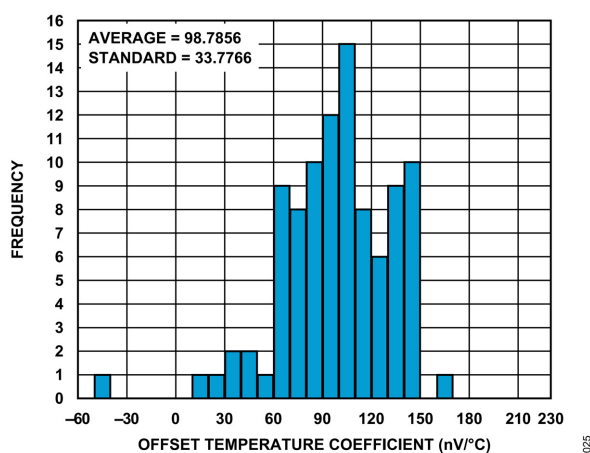


図 25. ADE9103 の電圧チャンネル V1 オフセット・ドリフト・ヒストグラム、8kSPS Sinc3 + LPF 出力（レジスタ CONFIG\_FILT、DATAPATH\_CONFIG ビット = 011b）



## テスト回路

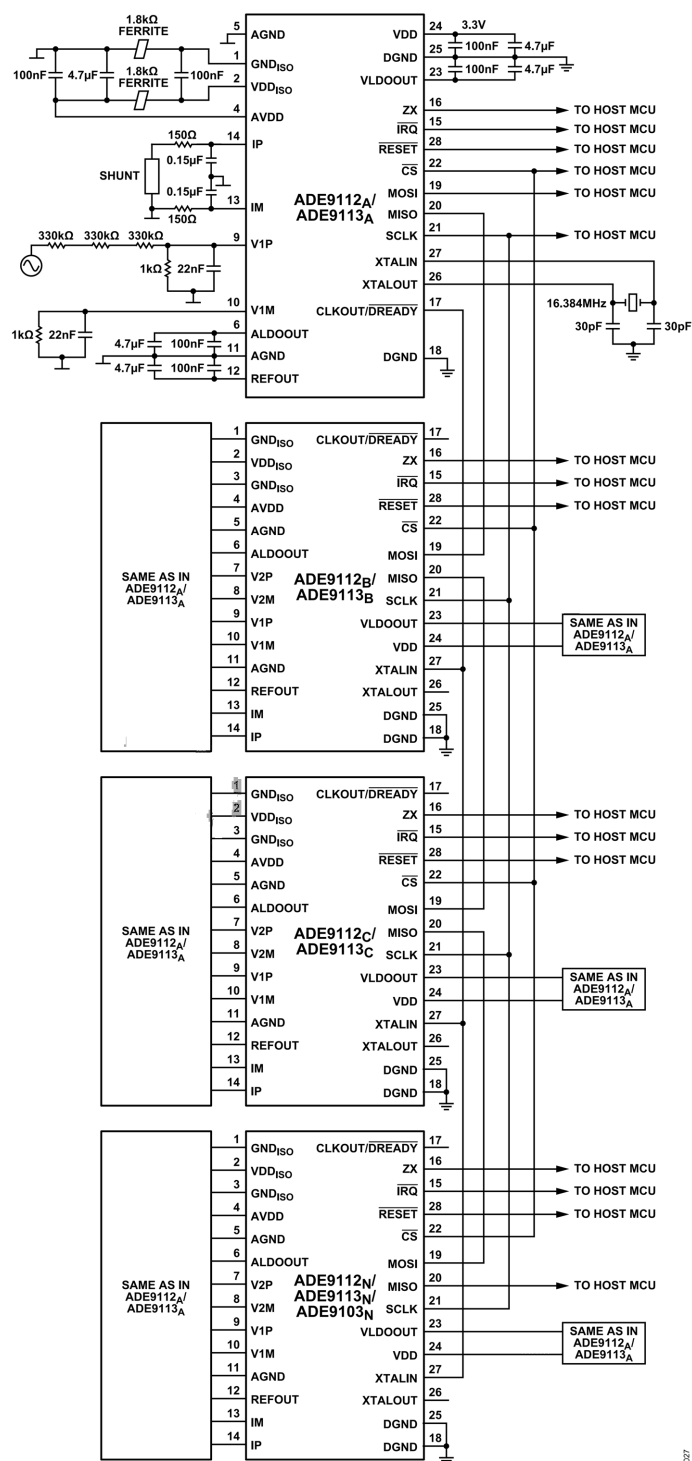


図 27. テスト回路

## 用語の定義

## IP ピンと IM ピンの間、V1P ピンと V1M ピンの間、V2P ピンと V2M ピンの間の信号電圧範囲

ADE9103 と ADE9113 は、3 つの完全差動 ADC を搭載し、ADE9112 は 2 つの完全差動 ADC を有しているため、測定と ADC の使用方法の柔軟性が高くなります。このアプリケーションでは通常、電流に対してシャント・センサーを使用し、電圧に対して分圧器を使用します。これは、入力に印加される信号が擬似差動と見なせることを意味します。電流チャンネル上の入力範囲は、IM ピンが AGND のピン 11 に接続されたときにフルスケール応答を生成するために、ADC に印加しなければならないピーク to ピーク擬似差動電圧を表します。電圧チャンネル上の入力範囲は、信号が VxP と VxM の両方に印加されてフルスケール応答を生成する差動と、VxM ピンが AGND に接続されたときに信号が VxP ピンのみに印加されてフルスケール応答の 1/2 を生成する擬似差動の 2 つの方法で表されます。擬似差動の場合、IM ピンと VxM ピンは、アンチエイリアス・フィルタを用いて AGND に接続されます。図 28 に、IP と IM の間の入力電圧範囲を示し、図 29 に、V1P と V1M の間、および V2P と V2M の間の入力電圧範囲を示します。

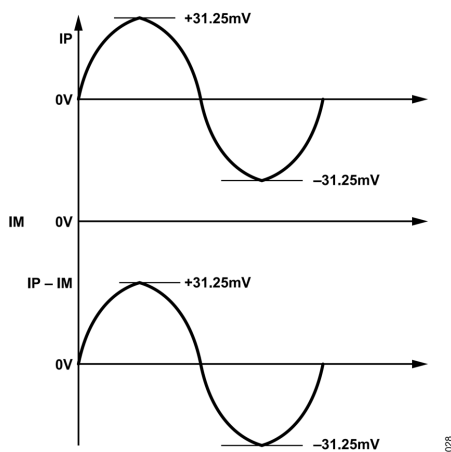


図 28. IP ピンと IM ピンの間の擬似差動入力電圧範囲

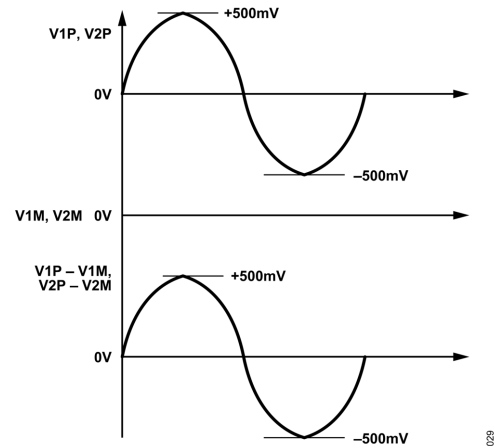


図 29. V1P ピンと V1M ピンの間、および V2P ピンと V2M ピンの間の擬似差動入力電圧範囲

## VxM および IM の最大電圧範囲

この範囲は、ADE9112 および ADE9113 の AGND のピン 11、または ADE9103 の DGND のピン 11 を基準とした V1P ピン、V1M ピン、V2P ピン、IP ピン、および IM ピンでの最大許容電圧を表します。

## クロストーク

クロストークは、通常は回路間の容量を介した信号の漏れを表します。電流チャンネルにおけるクロストークの測定は、IP ピンと IM ピンをローカル・グラウンド・リファレンスのピン 11 に設定し、V1P 電圧チャンネル・ピンと V1M 電圧チャンネル・ピンの間、および V2P 電圧チャンネル・ピンと V2M 電圧チャンネル・ピンの間にフルスケールの差動電圧を供給し、電流チャンネルの出力を測定して行います。V1 電圧チャンネルにおけるクロストークの測定は、V1P ピンと V1M ピンをローカル・グラウンド・リファレンスのピン 11 に設定し、IP ピンと IM ピンの間、および V2P ピンと V2M ピンの間にフルスケールの差動電圧を供給し、V1 電圧チャンネルの出力を測定して行います。V2 電圧チャンネルにおけるクロストークの測定は、V2P ピンと V2M ピンをローカル・グラウンド・リファレンスのピン 11 に設定し、IP ピンと IM ピンの間、および V1P ピンと V1M ピンの間にフルスケールの差動電圧を供給し、V2 電圧チャンネルの出力を測定して行います。クロストークは、グラウンド接続された ADC の出力値と ADC フルスケール出力値の比に等しい値です。ADC 出力は 2 秒間収集され、クロストークの単位はデシベルです。

## グラウンドに対する入力インピーダンス (DC)

グラウンドに対する入力インピーダンスは、各 ADC 入力ピン (IP、IM、V1P、V2P、V1M、および V2M) において、ADE9112 および ADE9103 上の AGND のピン 11、および ADE9103 上の DGND のピン 11 に対して測定されたインピーダンスを表します。

## ADC オフセット

ADC オフセット・エラーは、両方の入力 ADE9112 および ADE9113 の AGND、および ADE9103 の DGND に接続された状態での平均 ADC 出力コード測定値です。

## 用語の定義

### 温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化量です。このオフセットは、 $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+125^{\circ}\text{C}$  で測定されます。温度に対するオフセット・ドリフトは次のように計算します。

$$\text{Drift}_{-40 \text{ to } +125} = \left| \frac{\text{Offset}(-40) - \text{Offset}(+125)}{(-40 - 125)} \right|$$

オフセット・ドリフトは  $\text{nV}/^{\circ}\text{C}$  で表されます。

### ゲイン誤差

ADC におけるゲイン誤差は、（オフセットを差し引いた）ADC 出力コード測定値と、内部電圧リファレンスを使用される場合の出力コード理想値との差を表します（[A/D 変換](#)のセクションを参照）。この差はコード理想値のパーセンテージとして表されます。これは、電流チャンネルの 1 つまたは電圧チャンネルの 1 つの全体的なゲイン誤差を表します。

### 温度に対するゲイン・ドリフト

この温度係数には、ADC ゲインの温度変動と内部電圧リファレンスの温度変動が含まれています。これは、電流チャンネルの 1 つまたは電圧チャンネルの 1 つの全体的な温度係数を表します。内部電圧リファレンス使用時は、 $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+125^{\circ}\text{C}$  での ADC ゲインを測定し、次式に従って温度係数を計算します。

$$\text{Drift}_{-40 \text{ to } +125} = \left| \frac{\text{Gain}(-40) - \text{Gain}(+125)}{\text{Gain}(+25) \times (-40 - 125)} \right|$$

ゲイン・ドリフトは  $\text{ppm}/^{\circ}\text{C}$  で表されます。

### 電源電圧変動除去比（PSR）

PSR は、計測誤差を、電源が変動したときの示度のパーセンテージとして定量化したものです。AC の PSR 測定では、入力ピンの電圧が  $0\text{V}$  のときに公称電源電圧（ $3.3\text{V}$ ）での示度を得ます。AC 信号（ $50\text{Hz}$  または  $100\text{Hz}$  で  $120\text{mV RMS}$ ）が電源に加えたときに、同じ入力信号レベルで 2 番目の示度を得ます。この AC 信号によって生じる誤差は、示度のパーセンテージ（PSRR）で表されます。PSR =  $20 \log_{10}(\text{PSRR})$ 。

DC の PSR 測定では、IP ピンと IM ピンの間の電圧が  $3.125\text{mV}_{\text{peak}}$  で、V1P ピンと V1M ピンの間の電圧、および V2P ピンと V2M ピンの間の電圧が  $100\text{mV}_{\text{peak}}$  のときに、公称電源電圧（ $3.3\text{V}$ ）での示度を得ます。電源を  $\pm 10\%$  変化させると、同じ入力信号レベルで別の示度が得られます。これによって加わった誤差は、示度のパーセンテージ（PSRR）として表されます。従って、PSR =  $20 \log_{10}(\text{PSRR})$  となります。

### 同相モード除去比（CMRR）

CMRR は、チャンネルの差動ゲインをコモン・モード・ゲインで除算した値と定義されます。

IP – IM =  $31.25\text{mV}_{\text{peak}}$  差動電圧を印加し、FFT を用いて基本波を単位 dB で測定します。

ローカル・グラウンド・リファレンスのピン 11 のコモン・モードまでの IP = IM =  $31.25\text{mV}_{\text{peak}}$  を印加し、FFT を用いて基本波を単位 dB で測定します。

VxP – VxM =  $100\text{mV}_{\text{peak}}$  差動電圧を印加し、FFT を用いて基本波を単位 dB で測定します。

ローカル・グラウンド・リファレンスのピン 11 のコモン・モードまでの VxP = VxM =  $100 \text{ mV}_{\text{peak}}$  を印加し、FFT を用いて基本波を単位 dB で測定します。

### S/N 比（SNR）

S/N 比は、高調波と DC を除く、帯域幅内の他のすべてのスペクトル成分の実効値総和に対する実際の入力信号の実効値の比です。波形サンプルは、窓関数の使用を避けるために、約 8 秒にわたってコヒーレントにサンプリングされます。S/N 比の値は、フルスケールを基準にしたデシベル（dBFS）で表されます。

### 信号／ノイズ + 歪み（SINAD）比

SINAD は、高調波を含むが DC を除く、帯域幅内の他のすべてのスペクトル成分の実効値総和に対する実際の入力信号の実効値の比です。波形サンプルは、窓関数の使用を避けるために、約 8 秒にわたってコヒーレントにサンプリングされます。SINAD 値は、フルスケールを基準にしたデシベル（dBFS）で表されます。

### 全高調波歪み（THD）

THD は、基本波の実効値に対するすべての高調波（ノイズ成分を除く）の実効値総和の比です。波形サンプルは、窓関数の使用を避けるために、約 8 秒にわたってコヒーレントにサンプリングされます。S/N 比の値は、フルスケールを基準にしたデシベル（dBFS）で表されます。

### スプリアスフリー・ダイナミック・レンジ（SFDR）

SFDR は、波形サンプルの測定帯域幅にわたるピーク・スプリアス成分の実効値に対する実際の入力信号の実効値の比です。波形サンプルは、窓関数の使用を避けるために、約 8 秒にわたってコヒーレントにサンプリングされます。SFDR 値は、フルスケールを基準にしたデシベル（dBFS）で表されます。

## 動作原理

## アナログ入力

ADE9113 には、1 つの電流チャンネルと 2 つの電圧チャンネルの計 3 つのアナログ入力があります。ADE9112 には第 2 電圧チャンネルはありません。電流チャンネルには、2 つの完全差動電圧入力ピン IP と IM があり、 $\pm 31.25\text{mV}$  の最大差動信号を入力できます。

最大 IP 電圧 ( $V_{IP}$ ) 信号レベルも  $\pm 31.25\text{mV}$  です。IM 入力で許容される最大 IM 電圧 ( $V_{IM}$ ) 信号レベルは  $\pm 25\text{mV}$  です。図 30 に、電流チャンネルの入力の回路図と、最大 IM ピン電圧との関係を示します。

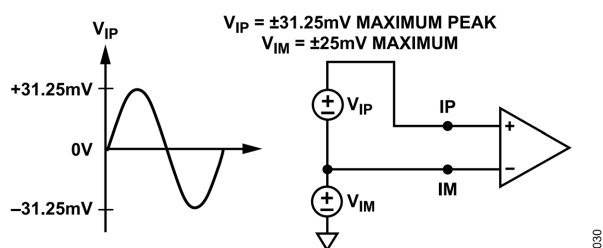


図 30. 最大入力レベル、電流チャンネル

電流チャンネルは、シャントの両端の電圧を検出することに留意してください。この場合、シャントの 1 つの極が電力量計のグラウンドになるため（図 35 参照）、電流チャンネルは電圧チャンネル構成（図 31 参照）と同様に擬似差動構成で使用されます。

V1 電圧チャンネルおよび V2 電圧チャンネルは完全に差動ですが、最も一般的には、擬似差動セットアップにおいて使用されます。これらの差動電圧入力の最大入力電圧は  $\pm 1000\text{mV}$  です。擬似差動セットアップの場合、電圧入力は、V1M または V2M に対して  $\pm 500\text{mV}$  の最大入力電圧を有します。VxP ピンまたは VxM ピンで許容される最大信号は  $\pm 600\text{mV}$  です。図 31 に、電圧チャンネル入力の回路図と、最大 VxM 電圧との関係を示します。

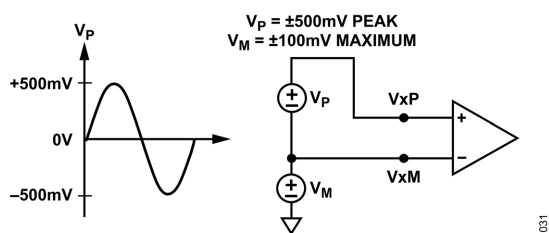


図 31. 最大入力レベル、電圧チャンネル

## A/D 変換

ADE9103/ADE9112/ADE9113 は、3 つの 2 次マルチビット  $\Sigma\Delta$  ADC を搭載しています。簡略化のため、図 32 のブロック図は 1 次の  $\Sigma\Delta$  ADC を示しています。このコンバータは  $\Sigma\Delta$  変調器とデジタル・ローパス・フィルタで構成されており、デジタル・アイソレーション・ブロックで分離されています。

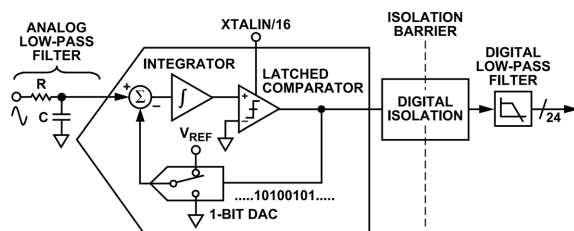


図 32. 1 次  $\Sigma\Delta$  ADC

$\Sigma\Delta$  変調器は、入力信号を、サンプリング・クロックで決まるレートで 1 と 0 の連続シリアル・ストリームに変換します。ADE9103/ADE9112/ADE9113 では、サンプリング・クロックは XTALIN/16 ( $XTALIN = 16.384\text{MHz}$  のとき  $1.024\text{MHz}$ ) に等しくなります。帰還ループ内の 1 ビット DAC は、シリアル・ストリームによって駆動されます。DAC 出力は入力信号から減算されます。ループ・ゲインが十分に高い場合、DAC 出力（したがってビット・ストリーム）の平均値は入力信号レベルの平均値に近づく可能性があります。単一サンプリング間隔内のどのような入力値に対しても、1 ビット ADC からのデータは事実上無意味です。有意な結果は、多数のサンプルが平均化された場合にのみ得られます。この平均化は、データがデジタル・アイソレータを通過した後に、ADC の第 2 の部分であるデジタル LPF で完了します。変調器からの多数のビットを平均化することにより、LPF は、入力信号レベルに比例した 24 ビットのデータワードを生成できます。

$\Sigma\Delta$  変換器は、本質的には 1 ビットの変換手法から得られる高分解能を実現するために、2 つの手法を使用します。第 1 の手法はオーバーサンプリングです。オーバーサンプリングとは、対象帯域幅の何倍もの高い速度（周波数）で信号をサンプリングすることを意味します。例えば、 $XTALIN = 16.384\text{MHz}$  の場合、ADE9103/ADE9112/ADE9113 におけるサンプリング・レートは  $1.024\text{MHz}$  であり、対象帯域幅は  $40\text{Hz} \sim 3.3\text{kHz}$  です。オーバーサンプリングは、広い帯域幅にわたって量子化ノイズ（サンプリングによるノイズ）を拡散する効果があります。このノイズがより広い帯域幅にわたってより薄く拡散すると、図 33 に示すように、対象帯域幅における量子化ノイズが低減します。

しかし、オーバーサンプリングだけでは、対象帯域の S/N 比 (SNR) を向上するには十分ではありません。例えば、S/N 比をわずか 6dB (1 ビット) 増加させるには、オーバーサンプリング比を 4 とする必要があります。オーバーサンプリング比を適度なレベルに保つために、ノイズの大部分がより高い周波数になるように量子化ノイズをシェーピングできます。ノイズ・シェーピングは、高分解能を実現するための第 2 の手法です。 $\Sigma\Delta$  変調器では、ノイズは、量子化ノイズに対してハイパス型の応答をする積分器によってシェーピングされます。その結果、ノイズの大半は、デジタル LPF によって除去できるより高い周波数にあります。このノイズ・シェーピングを図 33 に示します。

## 動作原理

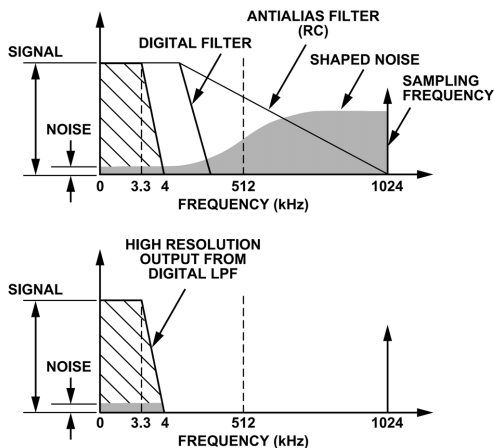


図 33. アナログ変調器でのオーバーサンプリングおよびノイズ・シェーピングによるノイズ低減

対象帯域幅は、入力クロック周波数および ADC 出力周波数 (CONFIG\_FILT レジスタによって選択可能。詳細は [ADC 出力値](#) のセクションを参照) の関数です。

## アンチエイリアシング・フィルタ

図 32 に、ADC への入力におけるアナログ LPF (RC) を示します。このフィルタは、ADE9103/ADE9112/ADE9113 の外側に配置され、エイリアシングを防止する役割があります。エイリアシングは、図 34 に示すように、サンプリングされたすべてのシステムのアーチファクトです。エイリアシングは、ADC への入力信号の周波数成分であり、その周波数成分が、ADC のサンプリング・レート・の半分より高く、サンプリング・レート・の半分より低い周波数でサンプリングされた信号に現れるものを指します。サンプリング周波数の半分より高い周波数成分 (ナイキスト周波数 (512kHz) と呼ばれる) は、512kHz 以下にまでイメージングされ、つまり折り返されます。これは、アーキテクチャに関係なく、すべての ADC で起きます。図 34 では、1.024MHz のサンプリング周波数に近い周波数のみが、電力量計測の対象帯域幅、すなわち、40Hz~3.3kHz、または 40Hz~2kHz に移動します。高周波 (1.024MHz 付近) のノイズを減衰させ、対象帯域の歪みを防ぐには、LPF の使用が必須です。1.024MHz のサンプリング周波数で減衰が十分に高くなるように、コーナー周波数が 7kHz の RC フィルタを 1 つ使用することを推奨します。このフィルタの 20dB/decade の減衰は通常、エイリアシングの影響を除去するのに十分な大きさです。

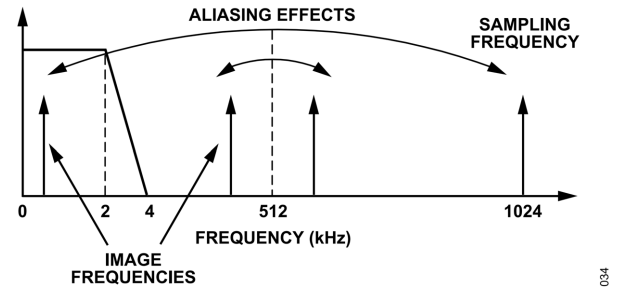


図 34. エイリアシングの影響

## ADC の伝達関数

ADE9103/ADE9112/ADE9113 のすべての ADC は、24 ビットの符号付き出力コードを生成します。フルスケール入力信号が電流チャンネルで  $\pm 31.25\text{mV}$ 、電圧チャンネルで  $\pm 1000\text{mV}$  であり、内部リファレンスが 1.25V である場合、ADC 出力コード公称値は 6,710,886 であり、ゲイン誤差に基づいた値ですが、この値を中心に、ADE9103/ADE9112/ADE9113 のそれぞれで異なります。電流チャンネルでは  $\pm 31.25\text{mV}$ 、電圧チャンネルでは  $\pm 1000\text{mV}$  の差動 ( $\pm 500\text{mV}$  の擬似差動) の公称値範囲を超えないようにします。ADC の性能は、これらの制限内の入力信号に対してのみ保証されます。

## ADC 出力値

符号付き 24 ビット ADC 出力値は、それぞれ後続の 3 つのレジスタに格納されます。電流チャンネル ADC 出力は、I\_WAV ビットのビット[23:0]に格納され、V1 電圧チャンネル ADC 出力は、V1\_WAV ビットのビット[23:0]に格納され、V2 電圧チャンネル出力は、V2\_WAVbits ビットのビット[23:0]に格納されます (表 19 参照)。出力周波数は 32kHz (XTALIN/512)、8kHz (XTALIN/2048)、4kHz (XTALIN/4096)、2kHz (XTALIN/8192)、または 1kHz (XTALIN/16384) で、XTALIN は 16.384MHz です。

マイクロコントローラは、ショート・トランザクションでは一度に 1 つずつ、ロング・トランザクションでは一度にすべての ADC 出力レジスタを読み出します。詳細は、[SPI ロング動作](#)のセクションと [SPI ショート動作](#)のセクションを参照してください。

## リファレンス電圧

REFOUT ピンの公称リファレンス電圧は 1.25V です。このリファレンス電圧は、ADE9103/ADE9112/ADE9113 の ADC に使用されます。オン・チップ DC/DC コンバータは外部負荷を供給できないため、ADE9112 および ADE9113 の REFOUT ピンを、スタンドアロンの外部電圧リファレンスでオーバードライブできません。

ADE9103/ADE9112/ADE9113 リファレンスの電圧は、温度によりわずかにドリフトします。表 2 に、各 ADC チャンネルの温度仕様に対するゲイン・ドリフトを示します。ゲイン・ドリフトには、ADC ゲインの温度変動と内部電圧リファレンスの温度変動があります。



## 動作原理

### 構成レジスタの完全性の保護

構成ロック機能は、ADE9103/ADE9112/ADE9113 構成レジスタを不要な変更から保護します。この機能を有効にするには、ロック・キー 0xD4 を WR\_LOCK レジスタ（アドレス 0x01F）に書込みます。この機能を無効にするには、アンロック・キー 0x5E を書込みます。

この機能が有効か無効かを判断するには、WR\_LOCK レジスタをリード・バックします。このレジスタは、現在の状態に対応するロック・キーまたはアンロック・キーとしてリード・バックします。

この機能を有効にすると、アドレス 0x001 からアドレス 0x018 への書込みが防止されます。

### 構成レジスタの CRC

16 ビットの CRC は、約 8ms ごとに構成レジスタで計算されます。計算結果は CRC\_RESULT ビットに格納され、上位バイトと下位バイトの CRC\_RESULT\_HI と CRC\_RESULT\_LO に分割されます。CRC\_RESULT ビットのデフォルト値は、デフォルトの構成レジスタの CRC 結果です。CRC 結果に変化があった場合、STATUS0 内の CRC\_CHG ビットがセットされます。構成レジスタ、アドレス 0x001 からアドレス 0x01F、およびその他の重要な予約済みレジスタは、この CRC の対象となります。

構成レジスタの CRC 計算は、CONFIG\_CRC レジスタの CRC\_FORCE ビットに書込むことによって、8ms ごとにスケジューリングされた計算をバイパスして、コマンドで実行することもできます。CRC\_FORCE ビットは計算が完了すると自動的にクリアされ、CRC\_DONE ビットは計算が完了するとセットされます。詳細は、表 20 を参照してください。

### ステータス・レジスタ

ADE9103/ADE9112/ADE9113 の STATUS0 レジスタ、STATUS1 レジスタ、および STATUS2 レジスタ内のビットは、デバイスの状態を示します。

パワーアップ時、またはハードウェアあるいはソフトウェアのリセット後に、ADE9103/ADE9112/ADE9113 は、STATUS0 レジスタのビット 5 (RESET\_DONE) を 1 にセットしてリセット期間の終了を伝え、IC が SPI トランザクションの準備ができたことを示します。次に、STATUS0 のビット 4 (COM\_UP) が 1 にセットされて、IC 全体が起動し、ADC 波形データを送信する準備ができたことを示します。

STATUS0 レジスタの COMFLT\_ERR ビット（ビット 0）は、絶縁バリアを越えた通信障害がいつ発生したかを示します。このステータス・ビットは、COM\_FLT\_TYPE および COM\_FLT\_COUNT レジスタと共に使用されます。COM\_FLT\_TYPE は、絶縁バリアを越えて検出されたエラーのタイプに関する詳細を提供し、COM\_FLT\_COUNT は、ISO 側から NONISO 側へのエラー訂正コード (ECC) または物理レイヤ (PHY) エラーの数を追跡します。絶縁バリアを越えた ECC により、1 ビット検出と 1 ビット訂正が可能になり、バリアを越えた通信の堅牢性が向上します。ADE9103 には絶縁はありませんが、内部通信の ECC 機能は依然として存在します。

STATUS0 および STATUS1 レジスタは、SPI レジスタ読出しの実行により読出すことができます。STATUS0 および STATUS1 は、ロング SPI 読出し動作の一部として読出すこともできます。詳細は、SPI ロング動作のセクションと SPI ショート動作のセクションを参照してください。

STATUS2 レジスタは、検出および訂正された内部エラーに対する洞察を与えます。書込み 1 コマンドで変更を確認する以外に、追加の処置は不要です。STATUS2 のビットが継続的にセットされている場合は、ADE9103/ADE9112/ADE9113 が回復不可能な状態にあることを示している可能性があります。

STATUSx レジスタの個々のビットの詳細については、表 20 のセクションのビット・フィールドの説明を参照してください。

### 割込み

割込みピン ( $\overline{\text{IRQ}}$ ) は、MASKx レジスタを介して STATUSx レジスタに接続されており、重大な障害を検出して信頼性の高い堅牢なシステムの構築に役立ちます。ADE9103/ADE9112/ADE9113 には、事象の発生を示す 2 つの方法があります。STATUS0 レジスタ、STATUS1 レジスタおよび STATUS2 レジスタと  $\overline{\text{IRQ}}$  ピンです。STATUS0 レジスタ、STATUS1 レジスタおよび STATUS2 レジスタの詳細は、ステータス・レジスタと表 20 に記載されています。

MASK0 レジスタは、STATUS0 レジスタ内のどの事象が  $\overline{\text{IRQ}}$  ピンをトリガするかを設定します。MASK1 レジスタは、STATUS1 レジスタのどの事象が STATUS0 レジスタの STATUS1X ビットをトリガするかを設定します。同様に、MASK2 レジスタは、STATUS2 のどの事象が STATUS0 レジスタの STATUS2X ビットをトリガするかを設定します。すなわち、MASK0、MASK1、MASK2 の組み合わせでは、STATUS0 レジスタ、STATUS1 レジスタ、STATUS2 レジスタの任意のビットが  $\overline{\text{IRQ}}$  ピンをトリガできます。

RESET\_DONE 割込みはマスク不能であり、常に  $\overline{\text{IRQ}}$  ピンをトリガします。STATUS0 レジスタ内の EFUSE\_MEM\_ERR ビットは、マスク不能ビットのもう 1 つの例です。STATUS2 内のビットは、MASK2 レジスタでマスク可能です。これらの障害はすべて、リセットなどの ISO 側の処置を引き起こすためです。

## アプリケーション情報

## 多相電力計

ADE9103/ADE9112/ADE9113 は、2 つ、3 つ、または 4 つの ADE9103/ADE9112/ADE9113 デバイスが、SPI を備えたメイン・デバイス（通常はマイクロコントローラ）によって管理される 3 相電力量計システムで使用するよう設計されています。ADE9112 および ADE9113 の統合された信号・電力絶縁は、相電流・電圧検出（しばしば、ハイサイド検出と呼ばれる）に必要です。絶縁により、作業者に高電圧に対する安全バリアが提供され、各相に接続された ADC と共有マイクロコントローラとの間で高電圧オフセットを越えた SPI 通信が可能になります。ADE9103 は、安全絶縁を必要としない中性線測定に使用できます。

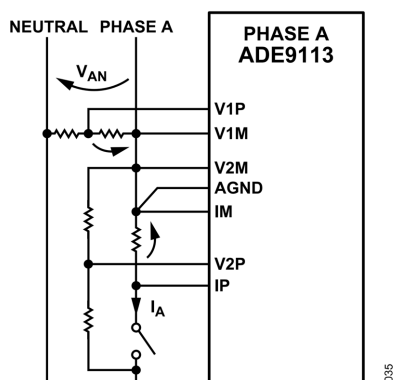


図 35. A 相の電流および電圧検出

図 35 に 3 相電力量計の A 相を示します。A 相電流  $I_A$  は、シャントを用いて検出されます。シャントの端子は、ADE9112 および ADE9113 の IM ピンに接続され、ADE9112 および ADE9113 の絶縁側のグラウンド・リファレンスになります。A 相と中性線の電圧  $V_{AN}$  は、抵抗分圧器で検出されます。V1M ピン、IM ピンおよび AGND ピンは 1 つのノードとして接続されています。ADE9112 および ADE9113 の ADC によって測定される電圧は、単相電力量計における従来型手法である  $V_{AN}$  および  $I_A$  とは逆であることに留意してください。B 相と C 相をモニタする他の ADE9112/ADE9113 デバイスも同様の方法で接続します。

V2 電圧チャンネル（V2P ピンおよび V2M ピン）は 2 次電圧測定用で、ADE9103 と ADE9113 でのみ使用できます。図 35 において、V2 電圧チャンネルは、リレーの両端間の電圧を測定して、リレーの状態を検証するために使用されます。V2 電圧チャンネルを、ADE9103 デバイスおよび ADE9113 デバイスで使用しない場合は、V2P ピンを V2M ピンに接続します。ADE9112 の場合、ピン 7 とピン 8 は接続されておらず、これらのピンは必ず、フローティング状態のままにするか、結合する必要があります。

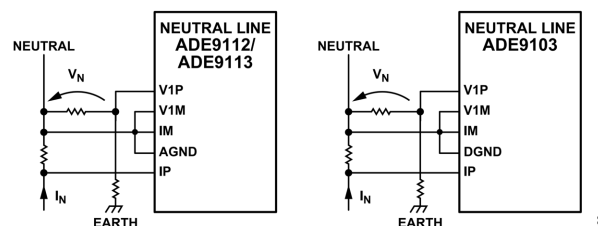
図 36. 中性線のモニタリングと  
中性線・グラウンド間電圧のモニタリング

図 36 に、3 相システムの中性線をモニタリングする場合の ADE9103/ADE9112/ADE9113 入力の接続方法を示します。中性電流はシャントを用いて検出され、シャント両端の電圧は完全差動入力 IP および IM で測定されます。グラウンド・中性線間電圧は、シングルエンド入力の V1P および V1M で分圧器により検出されます。

図 37 に、4 つの ADE9103/ADE9112/ADE9113 デバイスおよびマイクロコントローラを用いる 3 相電力量計のブロック図を示します。1 つの 16.384MHz 水晶振動子が、A 相の電流および電圧を検出する ADE9112 および ADE9113 にクロック供給します。B 相、C 相および中性線の電流・電圧を検出する ADE9112/ADE9113 デバイスは、ADE9112 および ADE9113 の CLKOUT/DREADY ピンで生成される信号によってクロック供給されます。このピンは、A 相の電流・電圧を検出するために配置されています。別の構成として、マイクロコントローラは、XTALIN ピンですべての ADE9103/ADE9112/ADE9113 デバイスに対して 16.384MHz のクロックを生成できます。XTALIN ピンは、表 2 に記載されているように、15.84MHz ~ 16.547MHz の範囲内の周波数を持つクロックを入力できることに留意してください。

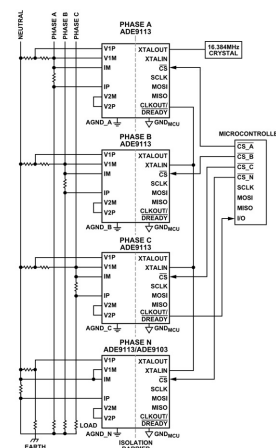


図 37. 4 つのデバイスを用いた 3 相電力量計

マイクロコントローラは、SPI ポートを用いて ADE9103/ADE9112/ADE9113 デバイスと通信します。 $\overline{CS\_A}$ 、 $\overline{CS\_B}$ 、 $\overline{CS\_C}$ 、および  $\overline{CS\_N}$  の 4 つの入出力ピンは、SPI  $\overline{CS}$  信号を生成します。マイクロコントローラの SCLK ピン、MOSI ピン、および MISO ピンは、SPI 設定に対応した各 ADE9103/ADE9112/ADE9113 デバイスの対応する SCLK ピン、MOSI ピン、および MISO ピンに直接接続されます（図 38 および図 39 を参照）。SPI デイジーチェーン構成の場合、すべての ADE9103/ADE9112/ADE9113 からの  $\overline{CS}$  信号は接続されており、これは、マイクロコントローラ・ピンを他の目的のために空けておくのに有益です。



## アプリケーション情報

図 37 において、C 相の電流・電圧を検知する ADE9103/ADE9112/ADE9113 の CLKOUT/DREADY ピンは、マイクロコントローラの入出力ピンに接続されます。CLKOUT/DREADY は、ADC 変換データが利用可能な場合、256CLKIN サイクル ( $\text{CLKIN} = 16.384\text{MHz}$  で  $15.625\mu\text{s}$ ) のアクティブ・ロー・パルスを提供します。すべての ADE9103/ADE9112/ADE9113 デバイスの ADC 出力が使用可能になったとき、およびマイクロコントローラがそれらの読出しを開始したときに、信号を送信します。複数の ADE9103/ADE9112/ADE9113 デバイスの同期の詳細については、複数の ADE9103/ADE9112/ADE9113 デバイスの同期化のセクションを参照してください。

ADE9103/ADE9112/ADE9113 デバイスが適切に機能するように、パワーアップ時、またはハードウェアまたはソフトウェアのリセット後に、単一の水晶振動子を用いる複数のデバイスを搭載したシステムのパワーアップ手順のセクション、またはマイクロコントローラから生成されたクロック信号を使用する複数のデバイスを搭載したシステムのパワーアップ手順のセクションで説明されている手順に従ってください。

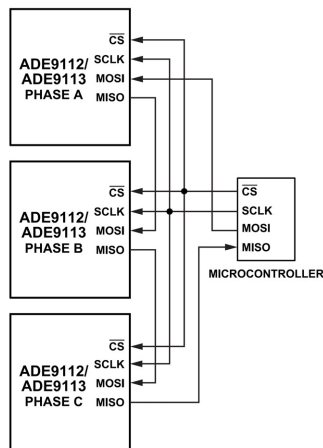


図 38. デイジーチェーン接続された 3 つの ADE9103/ADE9112/ADE9113 デバイスとマイクロコントローラ間の SPI 接続

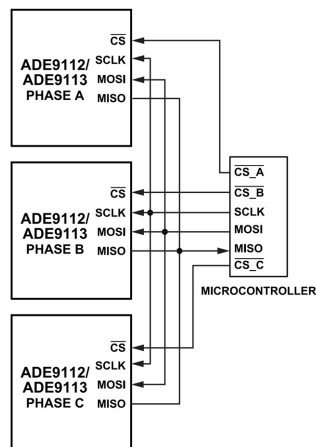


図 39. 3 つの ADE9103/ADE9112/ADE9113 デバイスとマイクロコントローラ間の SPI 接続

## DC 電力量計測

ADE9103/ADE9112/ADE9113 は DC 電力量計測アプリケーションでも使用できます。

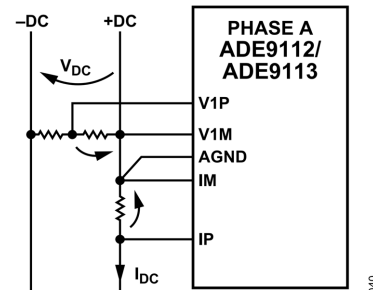


図 40. DC 電流・電圧検出

図 40 に、DC 電圧・電流センサーとしての ADE9112 と ADE9113 を示します。DC 電流  $I_{DC}$  は、シャントを用いて検出されます。シャントの端子は、ADE9112 および ADE9113 の IM ピンに接続され、ADE9112 および ADE9113 の絶縁側のグラウンド AGND (ピン 11) になります。DC+ と DC- 間の電圧  $V_{DC}$  は抵抗分圧器で検出され、V1P ピンは IM ピンおよび AGND ピンにも接続されます。ADE9112 および ADE9113 の ADC によって測定される電圧は、単相電力量計測における従来型手法である  $V_{DC}$  および  $I_{DC}$  とは逆であることに留意してください。

V2P および V2M 電圧チャンネルは 2 次電圧測定用であり、ADE9113 でのみ使用できます。ADE9112 のように V2P を使用しない場合は、V2P を V2M に接続します。

ADE9112 および ADE9113 を超える動作電圧能力を必要とする DC アプリケーションでは、ADE9103 を離散信号および電源絶縁と直列接続して使用できます。

## DC オフセット・モード

ADE9103/ADE9112/ADE9113 には、電流チャンネル (IP と IM) の入力を、外部ピンを切断した状態で内部で短絡して、IC 以外の回路の影響を受けずにオフセット測定を実行できるモードがあります。この短絡は、給電中にいつでも起き得ます。

DC オフセット・モードを使用するには、次の手順を実行します。

1. CONFIG\_ISO\_ACC レジスタ (アドレス 0x005) 内の ISO\_WR\_ACC\_EN ビット (ビット 0) を 1 にセットします。
2. 200 $\mu\text{s}$  以上の間、待ちます。
3. DC\_OFFSET\_MODE レジスタ (アドレス 0x0CC) を 1 にセットします。
4. システムの適切なセトリング・タイムを待ち、波形データを取り込み、オフセット測定を実行します。
5. DC\_OFFSET\_MODE レジスタ (アドレス 0x0CC) を 0 にセットします。
6. CONFIG\_ISO\_ACC レジスタ (アドレス 0x005) 内の ISO\_WR\_ACC\_EN ビット (ビット 0) を 0 にクリアします。

## アプリケーション情報

この機能を用いると、前の手順で入力短絡をイネーブルにし、ディスエーブルにしたときに、波形が不連続になることがあります。測定に必要な速度と精度に基づいた適切な長さのセトリング・タイムを許容することが必須です。

## 絶縁の磁界耐性

ADE9112 と ADE9113 は、空芯トランスを用いているため、DC 磁界に対する耐性があります。トランスの受信側コイル内の誘導電圧がデコーダを誤ってセットまたはリセットする値まで十分大きくなると、ADE9112 および ADE9113 の AC 磁界耐性が限界に達します。この状態が発生する条件は、次に示す解析によって求めることができます。ADE9112 および ADE9113 の公称電源電圧が 3.3V であるため、その動作条件を調べます。

トランス出力におけるパルスの振幅は 1.0V を超えます。デコーダの検出閾値は約 0.5V のため、誘導電圧が許容されるマージンは 0.5V となります。受信側コイルの両端に誘導される電圧は、次式で求めます。

$$V = \left(-\frac{dB}{dt}\right) \sum_{n=1}^N \pi r_n^2$$

ここで、

$B$  は、AC 磁界:  $B(t) = B \times \sin(\omega t)$ 。

$N$  は受信側コイルの巻き数です。

$r_n$  は受信側コイルの巻き数  $n$  回目の半径です。

ADE9112/ADE9113 内の受信側コイルの幾何形状と、誘導電圧  $V_{THR}$  がデコーダにおける 0.5V マージンの最大 50% という要件が与えられると、最大許容外部磁界  $B$  を計算できます (次式と図 41 を参照)。

$$B = \frac{V_{THR}}{2\pi f \times \sum_{n=1}^N \pi r_n^2}$$

ここで、

$f$  は磁界の周波数です。

$B$  は AC 磁界の振幅です。

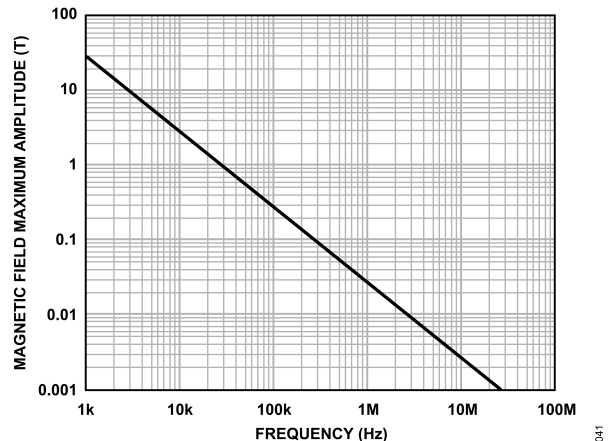


図 41. 最大許容外部磁界

例えば、10kHz の磁界周波数において、2.8T の最大許容磁界は、受信側コイルに 0.25V の電圧を誘導します。この電圧は検出閾値の約 50% であるため、出力が誤って遷移することはありません。同様に、そのような事象が送信パルス中に発生し、最も厳しい場合の極性である場合、受信パルスが 1.0V 以上から 0.75V に減少しますが、これはデコーダの検出閾値 0.5V よりも依然として十分に大きい値です。

前述の磁界の値は、ADE9112/ADE9113 のトランスから所定の距離だけ離れた特定の電流値に対応します。

$$I = \frac{B}{\mu_0} \times 2\pi d = \frac{V \times d}{\mu_0 \times f \times \sum_{n=1}^N \pi r_n^2}$$

ここで、 $\mu_0$  は空気の透磁率で、 $4\pi \times 10^{-7} \text{H/m}$ 。

図 42 では、これらの許容電流の大きさを、選択された距離に対する周波数の関数として表しています。図 50 に示すように、ADE9112/ADE9113 の耐性は非常に大きく、影響を受ける可能性があるのは、コンポーネントの近くで高周波数で動作する極めて大きな電流による場合のみです。前述の 10kHz の例の場合、コンポーネントの動作に影響を与えるには、69kA の振幅を持つ電流を、ADE9112/ADE9113 から 5mm 離れた位置に配置する必要があります。

強い磁界と高周波が合わされると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値がトリガされてしまうことに留意してください。こうしたパターンのレイアウトでは、それが起きないように注意してください (レイアウトのガイドラインのセクションを参照)。

## アプリケーション情報

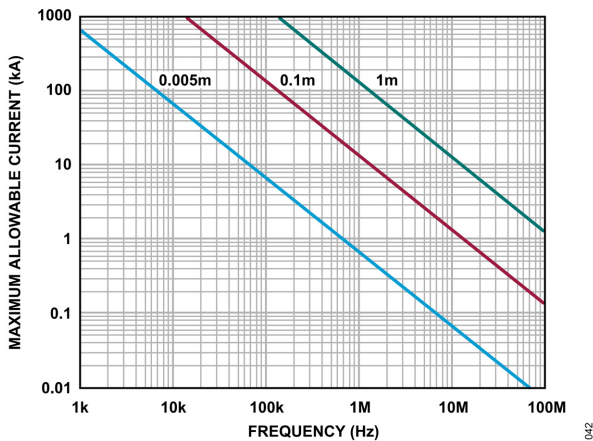


図 42. 電流と ADE9112/ADE9113 の間隔と最大許容電流の関係

## クロック

XTALIN ピンにデジタル・クロック信号を供給して、ADE9103/ADE9112/ADE9113 にクロック供給します。ADE9103/ADE9112/ADE9113 は、XTALIN = 16.384MHz の場合に指定されていますが、15.84MHz~16.547MHz の周波数は許容されます。

あるいは、表 2 の最小トランスコンダクタンスよりも 5 倍小さい臨界トランスコンダクタンスを有する 16.384MHz の水晶振動子を、XTALIN ピンと XTALOUT ピンの間に接続して、ADE9103/ADE9112/ADE9113 用のクロック源を供給できます (図 43 参照)。

XTALIN ピンと XTALOUT ピンの合計容量 (TC) は次のとおりです。

$$TC = C_L1 + C_p1 = C_L2 + C_p2$$

ここで、

$C_L1$  および  $C_L2$  は、それぞれ XTALIN と DGND の間および XTALOUT と DGND の間のセラミック・コンデンサです。

$C_p1$  および  $C_p2$  は、水晶振動子を ADE9103/ADE9112/ADE9113 に接続するワイヤの寄生容量、および ADE9103/ADE9112/ADE9113 内の任意の内部容量です。

水晶振動子の負荷容量の関数となる  $C1$  コンデンサおよび  $C2$  コンデンサの値は、以下のとおりです。

$$C_L1 = C_L2 = 2 \times C_L - C_p1 = 2 \times C_L - C_p2$$

水晶振動子に要求される負荷容量 ( $C_L$ ) が 18pF の場合、

$$TC = 18 \times 2 = 36 \text{ pF}$$

$C_p1 = C_p2 = 4 \text{ pF}$  (表 2 の XTALIN と XTALOUT および PCB 寄生容量より)

$$C_L1 = C_L2 = TC - C_{px}$$

$$C_L1 = C_L2 = 36 \text{ pF} - 4 \text{ pF} - \text{parasitic capacitor} = 32 \text{ pF}$$

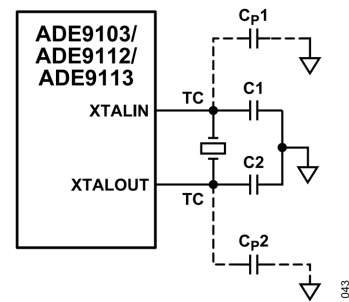


図 43. 水晶振動子回路

## アプリケーション情報

## パワーアップおよび初期化の手順

パワーアップ時、あるいはハードウェアまたはソフトウェアのリセット後に、1つまたは複数の ADE9103 または ADE9112 または ADE9113 のデバイスによって形成されるシステムを管理するマイクロコントローラに対して、以下の手順を必ず実行する必要があります。

## デバイスが1つだけのシステムのパワーアップ手順

マイクロコントローラが管理し、水晶振動子がクロック供給する1つのスタンドアロン型 ADE9103/ADE9112/ADE9113 デバイスの場合、パワーアップ手順は次のとおりです (図 44 参照)。

1. 水晶振動子を、XTALIN ピンと XTALOUT ピンの間に適切な負荷容量を用いて接続します。
2. ADE9103/ADE9112/ADE9113 デバイスに VDD を供給します。ADE9103/ADE9112/ADE9113 デバイスが正常に機能し始めるためには、電源電圧が必ず、約 2.5V レベルから 16ms 以内に  $3.3V - 10\%$  に達する必要があります。その後、ADE9103/ADE9112/ADE9113 デバイスが機能し始めます。
3. DC/DC コンバータがパワーアップし、ADE9112 および ADE9113 の絶縁側に給電します。その後、 $\Sigma\Delta$  変調器が機能し始めます。表 12 に記載されている VDD<sub>ISO</sub> ピン、ALDOOUT ピン、および REFOUT ピンの推奨コンデンサを用いる場合、このプロセスの実行には約 62ms かかります。

この時間が経過すると、ADE9112 および ADE9113 の絶縁側は完全に機能します。ADE9103 は絶縁されておらず、完全に VDD から給電されますが、パワーアップのタイミングは同じままです。

4. ADE9103/ADE9112/ADE9113 デバイスがいつコマンドの受け入れ準備ができたかを判断するには、ビット 5 (RESET\_DONE) が 1 にセットされるまで STATUS0 レジスタを読み出します。これは、ADE9103/ADE9112/ADE9113 が機能し始めてから約 32ms 後に発生し、ADE9103/ADE9112/ADE9113 の非絶縁側が完全に機能し、デフォルト設定値を使用していることを示しています。
5. 必要なレジスタを初期化します。
6. WR\_LOCK レジスタを 0xD4 にセットして、ユーザ・アクセス可能な内部構成レジスタを保護します。構成レジスタの完全性の保護のセクションを参照してください。
7. ADC 変換データが利用可能になると、ADE9103/ADE9112/ADE9113 は、STATUS0 レジスタのビット 4 (COMM\_UP) をセットし、256 XTALIN サイクル (XTALIN = 16.384MHz の場合 15.625 $\mu$ s) の間、CLKOUT/DREADY ピンでアクティブ・ローの信号の生成を開始します。DREADY 機能は、デフォルトでは CLKOUT/DREADY ピンでイネーブルになっています。

マイクロコントローラは、ロング SPI トランザクションごとに、応答パケットの CRC だけでなく、I\_WAV、V1\_WAV、V2\_WAV、STATUS0、STATUS1 のレジスタを読み出します。SPI パースト・モードの詳細については、SPI ロング動作のセクションを参照してください。

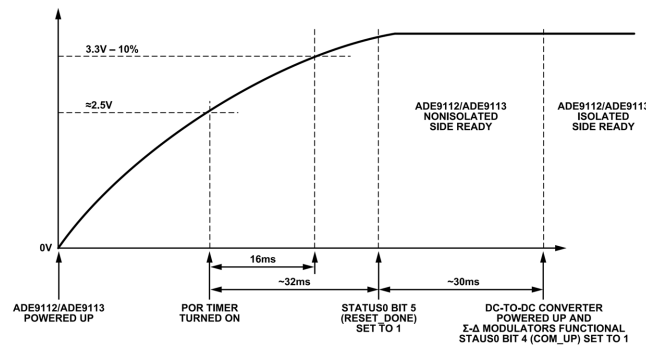


図 44. 1つまたは複数の ADE9112 デバイスおよび ADE9113 デバイスを搭載し、それぞれが水晶振動子からクロック供給されているシステムのパワーアップ手順

## アプリケーション情報

## 単一の水晶振動子を用いる複数のデバイスを搭載したシステムのパワーアップ手順

多相電力量計のセクションで詳述されている多相電力量計で、単一の水晶振動子が使用される場合のパワーアップ手順は次のとおりです (図 45 参照)。

1. ADE9103/ADE9112/ADE9113 デバイスに VDD を供給します。A 相の ADE9112/ADE9113 (図 45 で ADE9112<sub>A</sub>/ADE9113<sub>A</sub> と表示) デバイスが正しく機能し始めることを保証するために、電源電圧は必ず、約 2.5V レベルから 16ms 以内に 3.3V – 10% に達する必要があります。ADE9112<sub>A</sub>/ADE9113<sub>A</sub> デバイスは、16.384MHz の水晶振動子によってクロック供給され、その後機能し始めます。その他の ADE9103/ADE9112/ADE9113 デバイスはまだクロック供給されていません。
2. DC/DC コンバータがパワーアップし、ADE9112<sub>A</sub>/ADE9113<sub>A</sub> の絶縁側に給電します。その後、 $\Sigma\Delta$  変調器が機能し始めます。表 12 に記載されている VDD<sub>ISO</sub> ピン、ALDOOUT ピン、および REFOUT ピンの推奨コンデンサを用いる場合、このプロセスの実行には約 62ms かかります。この時間が経過すると、ADE9112<sub>A</sub>/ADE9113<sub>A</sub> の絶縁側は完全に機能します。
3. ADE9112<sub>A</sub>/ADE9113<sub>A</sub> デバイスがいつコマンドを受け入れる準備ができていたかを判断するために、ビット 5 (RESET\_DONE) が 1 にセットされるまで STATUS0 レジスタを読み出します。これは、ADE9112<sub>A</sub>/ADE9113<sub>A</sub> が機能し始めてから約 32ms 後に発生し、ADE9112<sub>A</sub>/ADE9113<sub>A</sub> のコントローラ側が完全に機能し、デフォルト設定値を使用していることを示しています。
4. ビット 0 (CLKOUT\_EN) を 1 にセットして、ADE9112<sub>A</sub>/ADE9113<sub>A</sub> の CONFIG0 レジスタを初期化します。これで、CLKOUT 信号は CLKOUT/ $\overline{\text{DREADY}}$  ピンに供給され、他の相の ADE9103/ADE9112/ADE9113 デバイスはクロック供給されます。

5. その他の ADE9112 デバイスおよび ADE9113 デバイスの DC/DC コンバータがパワーアップし、絶縁側に給電します。その後、 $\Sigma\Delta$  変調器が機能し始めます。表 12 に記載されている VDD<sub>ISO</sub> ピン、ALDOOUT ピン、および REFOUT ピンの推奨コンデンサを用いる場合、このプロセスの実行には約 62ms かかります。これで、ADE9112 デバイスおよび ADE9113 デバイスの絶縁側が完全に機能するようになりました。ADE9103 は絶縁されておらず、完全に VDD から給電されますが、パワーアップのタイミングは同じままです。
6. ビット 5 (RESET\_DONE) が 1 にセットされるまで、残りの ADE9103/ADE9112/ADE9113 デバイスの STATUS0 レジスタを読み出します。これは、非絶縁側がデフォルト設定で完全に機能していることを示し、クロック信号が供給されてから約 32ms 後に発生します。
7. 残りのすべての ADE9103/ADE9112/ADE9113 デバイスのレジスタを初期化します。1 つの ADE9112/ADE9113 デバイス (例えば、C 相。図 45 では ADE9112<sub>C</sub>/ADE9113<sub>C</sub>) を選択し、CLKOUT/ $\overline{\text{DREADY}}$  ピンを、マイクロコントローラの外部割込み入出力ピンに接続します。CLKOUT/ $\overline{\text{DREADY}}$  ピンの  $\overline{\text{DREADY}}$  機能を使用するには、ADE9112<sub>C</sub>/ADE9113<sub>C</sub> の CONFIG0 レジスタのビット 0 (CLKOUT\_EN) を必ず、デフォルト値の 0 のままにしておく必要があります。
8. SYNC\_SNAP = 0x02 書き込みブロードキャストを実行して、電力量計のすべての ADE9103/ADE9112/ADE9113 デバイスを同期させます (複数の ADE9103/ADE9112/ADE9113 デバイスの同期化のセクションを参照)。
9. WR\_LOCK = 0xD4 書き込みブロードキャストを実行して、すべての ADE9103/ADE9112/ADE9113 デバイスの構成レジスタを保護します。構成レジスタの完全性の保護のセクションを参照してください。

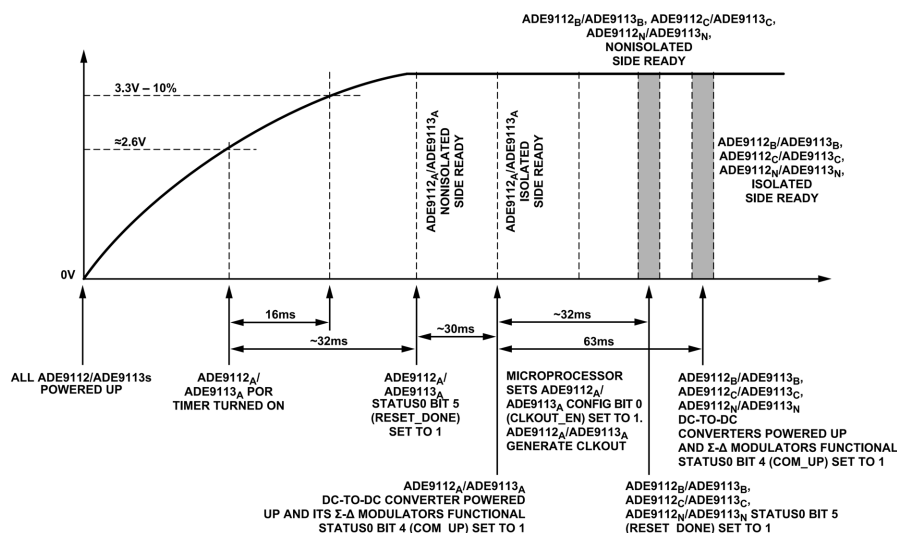


図 45. 複数のデバイスを搭載するシステムのパワーアップ手順  
(水晶振動子からクロック供給されるのは A 相の ADE9112<sub>A</sub>/ADE9113<sub>A</sub> のみ)



## アプリケーション情報

## マイクロコントローラから生成されたクロック信号を使用する複数のデバイスを搭載したシステムのパワーアップ手順

マイクロコントローラがすべての ADE9103/ADE9112/ADE9113 デバイスで使用するクロック信号を生成する多相電力量計の場合、パワーアップ手順は次のとおりです。

1. ADE9103/ADE9112/ADE9113 デバイスに VDD を供給します。ADE9103/ADE9112/ADE9113 デバイスが正常に機能し始めるためには、電源電圧が必ず、約 2.5V レベルから 16 ミリ秒以内に 3.3V - 10% に達する必要があります。
2. マイクロコントローラからすべての ADE9103/ADE9112/ADE9113 デバイスへのクロック信号を生成します。
3. DC/DC コンバータがパワーアップし、ADE9112/ADE9113 デバイスの絶縁側に給電します。その後、 $\Sigma\Delta$  変調器が機能し始めます。表 12 に記載されている VDD<sub>ISO</sub> ピン、LDO ピン、および REFOUT ピンの推奨コンデンサを用いる場合、このプロセスには約 62ms かかります。この時間が経過すると、ADE9112/ADE9113 デバイスの絶縁側は完全に機能します。ADE9103 は絶縁されておらず、完全に VDD から給電されますが、パワーアップのタイミングは同じままです。
4. ビット 5 (RESET\_DONE) が 1 にセットされるまで、ADE9103/ADE9112/ADE9113 デバイスの STATUS0 レジスタを読み出します。これは、ADE9103/ADE9112/ADE9113 デバイスの非絶縁側がデフォルト設定で完全に機能することを示します。これは、クロック信号が供給されてから約 32ms 後に発生します。
5. ビット 0 (CLKOUT\_EN) を 0 にクリアして ADE9103/ADE9112/ADE9113 デバイスの CONFIG0 レジスタを初期化し、CLKOUT/DREADY ピンで不要なクロックが生成されないようにします。ADE9112/ADE9113 デバイス（例えば、C 相。ADE9112c/ADE9113c）を 1 つ選択し、CLKOUT/DREADY ピンをマイクロコントローラの外部割込み出力ピンに接続します。
6. SYNC\_SNAP = 0x02 ブロードキャストを実行して、電力量計のすべての ADE9103/ADE9112/ADE9113 デバイスを同期させます（詳細については、複数の ADE9103/ADE9112/ADE9113 デバイスの同期化のセクションを参照）。
7. WR\_LOCK = 0xD4 書き込みブロードキャストを実行して、すべての ADE9103/ADE9112/ADE9113 デバイスの構成レジスタを保護します。構成レジスタの完全性の保護のセクションを参照してください。

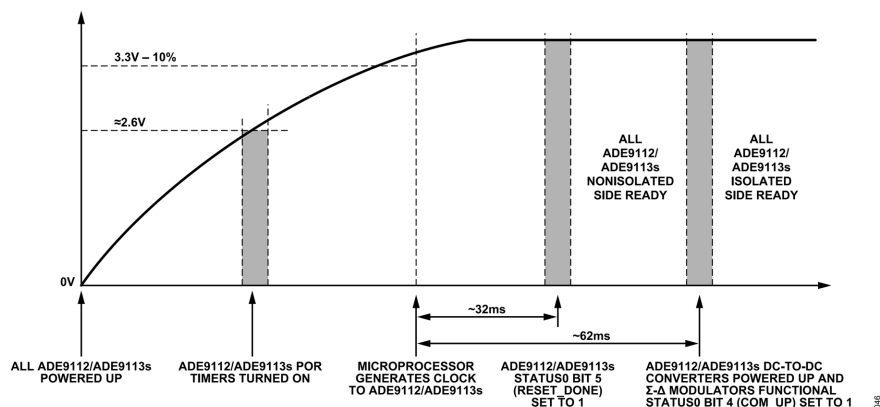


図 46. マイクロコントローラからクロック供給される複数の ADE9112/ADE9113 デバイスを搭載したシステムのパワーアップ手順



アプリケーション情報

SPI 互換

ADE9103/ADE9112/ADE9113 の SPI は、SPI バス上のメインの通信デバイスの下位デバイスであり、このインターフェイスは SCLK、MOSI、MISO、 $\overline{\text{CS}}$  の信号から構成されます。データ転送のためのシリアル・クロックは、SCLK ロジック入力から与えます。すべてのデータ転送動作は、シリアル・クロックに同期します。各 SPI トランザクションは、MISO ロジック上の最大 16 バイトの前のコマンドに対する応答と、MOSI ロジック上のトランザクションの最後の 4 バイトとしてのコマンド・パケットで構成されます。コマンド・パケットのビット[7:0]として、8 ビットの CRC が必要です。不正な CRC はエラーになります。エラー応答は CONFIG0 レジスタでディスエーブルにできます。CRC 計算の詳細については、[コマンド・パケットの CRC](#) のセクションを参照してください。

この応答には、コマンド・パケットで指定されたロング形式とショート形式の両方があります。ワードの最上位ビットから先に、シフト・インとシフト・アウトが行われます。このインターフェイスでサポートされるシリアル・クロック周波数の最大値は 20MHz、最小値は 40kHz です。 $\overline{\text{CS}}$  ロジック入力は、チップ選択入力です。データ・トランザクション全体について  $\overline{\text{CS}}$  入力をローにします。この応答の 16 ビット CRC の詳細については、[応答パケットの CRC](#) のセクションを参照してください。

表 13. SPI ロング読出し応答

| Bits      | Details       |
|-----------|---------------|
| [127:120] | CMD ECHO, IRQ |
| [119:96]  | ADC0          |

表 13. SPI ロング読出し応答（続き）

| Bits    | Details         |
|---------|-----------------|
| [95:88] | STATUS0         |
| [87:64] | ADC1            |
| [63:56] | STATUS1         |
| [55:32] | ADC2            |
| [31:24] | DATA (ADDR + 1) |
| [23:16] | DATA (ADDR)     |
| [15:0]  | CRC_CCITT       |

表 14. SPI ロング書き込み応答

| Bits      | Details       |
|-----------|---------------|
| [127:120] | CMD ECHO, IRQ |
| [119:96]  | ADC0          |
| [95:88]   | STATUS0       |
| [87:64]   | ADC1          |
| [63:56]   | STATUS1       |
| [55:32]   | ADC2          |
| [31:24]   | WR_ADDR       |
| [23:16]   | RD_DATA       |
| [15:0]    | CRC_CCITT     |

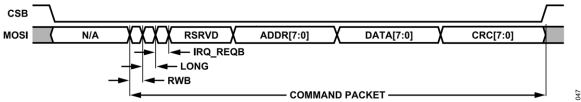


図 47. SPI コマンド・パケット構造

|            |          |            |         |            |         |            |                 |             |          |
|------------|----------|------------|---------|------------|---------|------------|-----------------|-------------|----------|
| LONG READ  | CMD ECHO | ADC0[31:0] | STATUS0 | ADC1[31:0] | STATUS1 | ADC2[31:0] | DATA (ADDR + 1) | DATA (ADDR) | CRC_CCIT |
| LONG WRITE | CMD ECHO | ADC0[31:0] | STATUS0 | ADC1[31:0] | STATUS1 | ADC2[31:0] | WR_ADDR         | RD_DATA     | CRC_CCIT |

図 48. SPI ロング読出し・書き込み応答

## アプリケーション情報

## SPI ロング動作

すべてのロング動作は、MISO データ・ライン上の 128 ビット応答で構成されます。読出しまたは書込みに関係なく、すべてのトランザクションには、コマンド応答、STATUS0、STATUS1、ADC0、ADC1、ADC2、および CRC\_CCITT が含まれます。残りのビットは、前のコマンドが読出しまたは書込みのいずれかによって決まります。詳細は表 15 を参照してください。デジチェーン SPI 構成を使用する場合は、ロング SPI トランザクションが必要です。

ADE9103/ADE9112/ADE9113 SPI を用いた読出し動作は、メインが  $\overline{CS}$  ピンをローに設定し、SCLK 信号を出力し始めると開始されます。メインは、トランザクションの最後の 32 クロック・サイクルでコマンド・パケットを送信します。表 15 に、コマンド・パケットのビット構成を示します。ビット 31 ( $R/\overline{W}$ ) は動作のタイプを決定します。読出しの場合は、 $R/\overline{W}$  を必ず 1 に設定する必要があります。書込みの場合は、 $R/\overline{W}$  を必ず 0 にクリアする必要があります。ビット 30 (LONG) は、次の動作での応答のサイズを決定します。ロング応答の場合は、LONG を必ず 1 に設定する必要があります。ショート応答の場合は、LONG を必ず 0 にクリアする必要があります。ビット[29:24]は未使用であり、必ず 0x00 に設定する必要があります。ビット[23:16] (ADDR) は、読出しまたは書込みを行うレジスタのアドレスを表します。ADE9103/ADE9112/ADE9113 の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。この動作の間、MISO ラインには前のコマンド・パケットに対する応答が含まれます。メイン・デバイスは、128 SCLK サイクルを完了した後に、 $\overline{CS}$  ラインおよび SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になります。次のトランザクションの間、ADE9103/ADE9112/ADE9113 ラインは、MISO で 128 ビットの読出し応答を出力します。この動作には、ADDR および ADDR+1 に読出されたデータが含まれます。図 49 に、ロング読出し動作と、それに続く応答を示します。各 MISO 応答は、前に受信したコマンドに応答します。

ADE9103/ADE9112/ADE9113 SPI を用いた書込み動作は、メインが  $\overline{CS}$  ピンをローに設定し、SCLK 信号を出力し始めると開始されます。メインは、トランザクションの最後の 32 クロック・サイクルでコマンド・パケットを送信します。 $R/\overline{W}$  を必ず 0 にクリアする必要があります。LONG を必ず 1 に設定する必要があります。ADDR は、読出しまたは書込みされるレジスタのアドレスを表します。DATA は、ADDR のアドレスに書き込まれるデータを表します。ADE9103/ADE9112/ADE9113 の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。この動作の間、MISO ラインには前のコマンド・パケットに対する応答が含まれます。メイン・デバイスは、128 SCLK サイクルを完了した後に、 $\overline{CS}$  ラインおよび SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になり、書込みは 1 回の動作で完了します。次のトランザクションの間、ADE9103/ADE9112/ADE9113 ラインは、MISO で 128 ビットの書込み応答を出力します。この応答には、前の動作で書き込まれたアドレスのリード・バックが含まれます。SPI 書込み動作の詳細については、図 50 を参照してください。

表 15. SPI 読出し／書込み動作のコマンド・バイト

| ビット位置   | ビット名             | 説明                                                                  |
|---------|------------------|---------------------------------------------------------------------|
| 31      | $R/\overline{W}$ | SPI 読出し動作を実行する場合、このビットを 1 にセットします。SPI 書込み動作を実行場合は、このビットを 0 にクリアします。 |
| 30      | LONG             | ロング・フレーム構造の場合は、このビットを 1 にセットします。ショート・フレーム構造の場合は、このビットを 0 にセットします。   |
| [29:24] | RSRVD            | 0x00 にプログラムします。                                                     |
| [23:16] | ADDR             | 読出しまたは書込みされるレジスタのアドレス。                                              |
| [15:8]  | DATA             | 書込み動作が実行された場合のデータ・ペイロード。                                            |
| [7:0]   | CRC              | ビット[31:8]に対する CRC 計算。                                               |

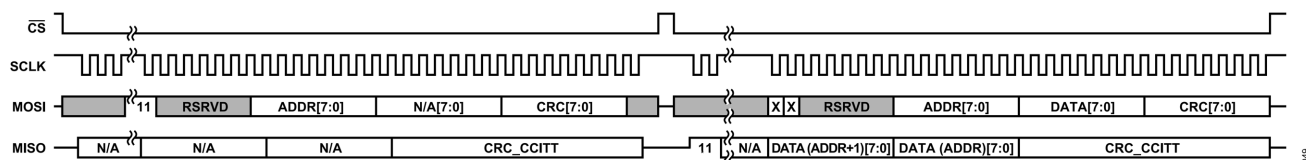


図 49. ロング読出し SPI トランザクション

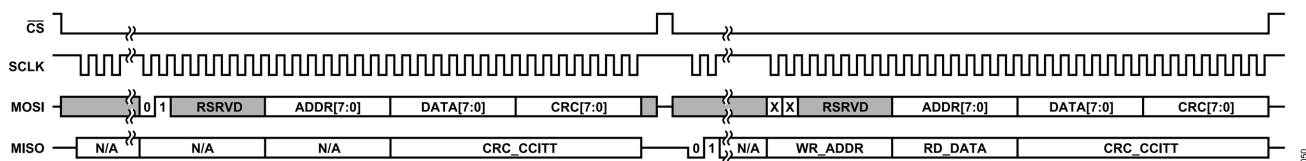


図 50. ロング書込み SPI トランザクション

## アプリケーション情報

## SPI ショート動作

ショート動作は、32 ビットまたは 48 ビットのいずれかで構成できます。コマンド・パケットは常に、MOSI データ・ライン上のトランザクションの最後の 32 ビットまたは 48 ビットです。コマンド応答は常に、MISO データ・ラインの最初の 8 ビットです。CRC\_CCITT は、メインが SCLK で 48 サイクルを送信する場合にのみ、最後の 16 ビットとなります。デジチェーンは 128 ビットの応答を必要とするため、ショート SPI トランザクションは専用 SPI 構成とのみ互換性があります。

ADE9103/ADE9112/ADE9113 SPI を用いたショート読み出し動作は、メインが  $\overline{CS}$  ピンをローに設定し、SCLK 信号を出力し始めると開始されます。ビット 31 (R/W) を必ず 1 にセットする必要があります。ビット 30 (LONG) を必ず 0 にクリアする必要があります。ビット[23:16] (ADDR) は、読みまたは書き込みを行うレジスタのアドレスを表します。ADE9103/ADE9112/ADE9113 の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。この動作の間、MISO ラインには前のコマンド・パケットに対する応答が含まれます。メイン・デバイスは、32 SCLK サイクルまたは 48 SCLK サイクルを完了した後に、 $\overline{CS}$  ラインおよび SCLK ラインをハイに設定し、通信が終了します。MISO データ・ラインは、 $\overline{CS}$  がアサートされていないときに高インピーダンス状態に設定されます。次のトランザクションの間、ADE9103/ADE9112/ADE9113 ラインは、MISO で 32 ビットまたは 48 ビットの読み出し応答を出力します。この動作には、前の動作で要求された ADDR と ADDR + 1、および

STATUS0 のデータが含まれます。SPI ショート読み出し動作の詳細については、図 51 を参照してください。

任意の x\_WAV\_x レジスタを読み出す場合、STATUS0 は除外され、x\_WAV\_x のすべての 24 ビットが代わりに使用されます。

ADE9103/ADE9112/ADE9113 SPI を用いたショート書き込み動作は、メインが  $\overline{CS}$  ピンをローに設定し、SCLK 信号を出力し始めると開始されます。ビット 31 (R/W) を必ず 0 にクリアする必要があります。ビット 30 (LONG) を必ず 0 にクリアする必要があります。ビット[23:16] (ADDR) は、読みまたは書き込みを行うレジスタのアドレスを表します。ビット[15:8] (DATA) は、ADDR 内のアドレスに書込まれるデータを表します。ADE9103/ADE9112/ADE9113 の SPI は、SCLK のローからハイへの遷移でデータをサンプリングします。この動作の間、MISO ラインには前のコマンド・パケットに対する応答が含まれます。メイン・デバイスは、32 SCLK サイクルまたは 48 SCLK サイクルを完了した後に、 $\overline{CS}$  ラインおよび SCLK ラインをハイに設定し、通信が終了します。データ・ラインの MOSI および MISO は高インピーダンス状態になります。書き込みは 1 回の動作で完了します。次のトランザクションの間、ADE9103/ADE9112/ADE9113 ラインは、32 ビットまたは 48 ビットの書き込み応答を MISO に出力します。この応答には、前の動作で書き込まれたアドレスのリードバックと STATUS0 が含まれます。SPI ショート書き込み動作の詳細については、図 52 を参照してください。

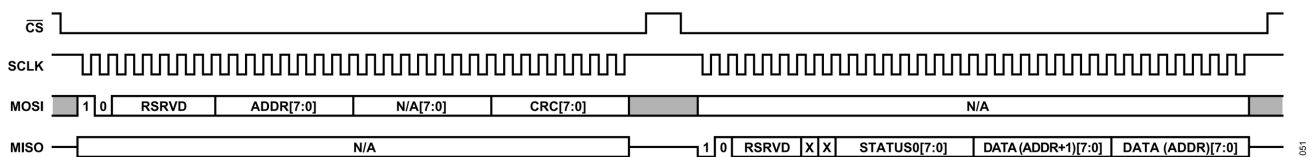


図 51. ショート読み出しトランザクション

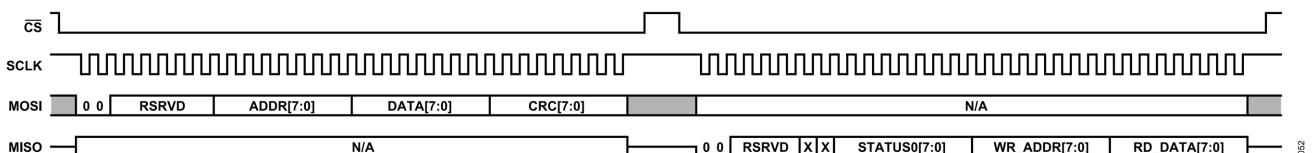


図 52. ショート書き込みトランザクション

## アプリケーション情報

## SPI フォーマットの遷移

専用 SPI 構成を用いる場合、SPI トランザクション長にはロングとショート の 2 種類があります。各コマンド・パケット内では、次の SPI トランザクション長が図 47 のように定義されます。ADE9103/ADE9112/ADE9113 と通信するメインは必ず、次の SPI トランザクションのサイズがいくつかを追跡して、適切な数の SCLK パルスを出力する必要があります。ロングとショートの間遷移があるシナリオは次のとおりです。

1. マイクロコントローラ・ユニット (MCU) によって受信された最初の正常なコマンドがロングです。
2. MCU はロングをディスエーブルにします。
3. MCU は、レジスタ初期化をすべて、ショート SPI トランザクションとして実行します。
4. 最後の初期化コマンドでは、ロングがイネーブルになり、MCU は、ADC サンプルを読込む前に  $\overline{\text{DREADY}}$  を待ちます。

## 複数のデバイス

複数の ADE9103/ADE9112/ADE9113 との通信は、デジチェーンと専用 SPI の 2 つの方法により実現できます。この方法は、ADE9103/ADE9112/ADE9113 のハードウェア構成によって決定され、構成を追加する必要はありません。

デジチェーンを用いる場合、各 SPI トランザクションは必ず、正確に 128 ビットに、ADE9103/ADE9112/ADE9113 デバイスの接続数を乗算したものにする必要があります。トランザクション全体は、接続された ADE9103/ADE9112/ADE9113 デバイスを介してシフトされ、各デバイスは、 $\overline{\text{CS}}$  がハイに遷移する瞬間における MOSI データ・ライン上の入力の最後の 32 ビットであるコマンド・パケットのみを解釈します。各 ADE9103/ADE9112/ADE9113 は、MISO 上で送信される 128 ビット応答を生成します。

デジチェーンは、2 つから 4 つまでの ADE9112 デバイスおよび ADE9113 デバイスで構成できます。デバイスは、タイミング図のために番号付けされており、メイン MOSI 入力の 0 からインクリメントします。図 53 に、4 つの ADE9103/ADE9112/ADE9113 デバイスとの一般的なトランザクションを示します。

専用 SPI 方式を使用しながら、各 ADE9103/ADE9112/ADE9113 には専用の  $\overline{\text{CS}}$  ロジックがあります。すべての ADE9103/ADE9112/ADE9113 デバイスは、MOSI および MISO のデータ・ラインを共有しています。トランザクションには、ショートとロングがあります。個々の ADE9103/ADE9112/ADE9113 の通信は、単一のデバイスのみが使用されている場合と同様に機能します。図 54 に、専用 SPI を用いた 4 つの ADE9103/ADE9112/ADE9113 デバイスとの一般的なトランザクションを示します。

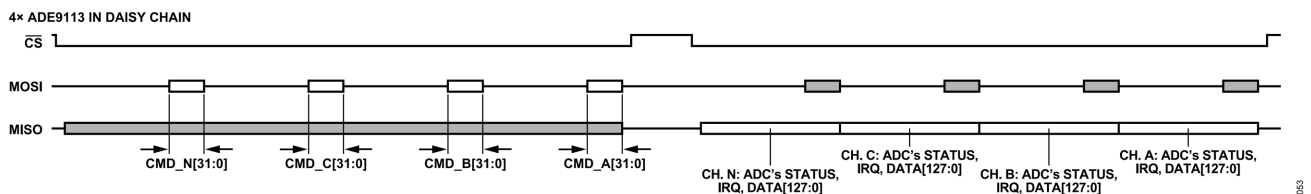


図 53. 複数のデバイス - デジチェーン

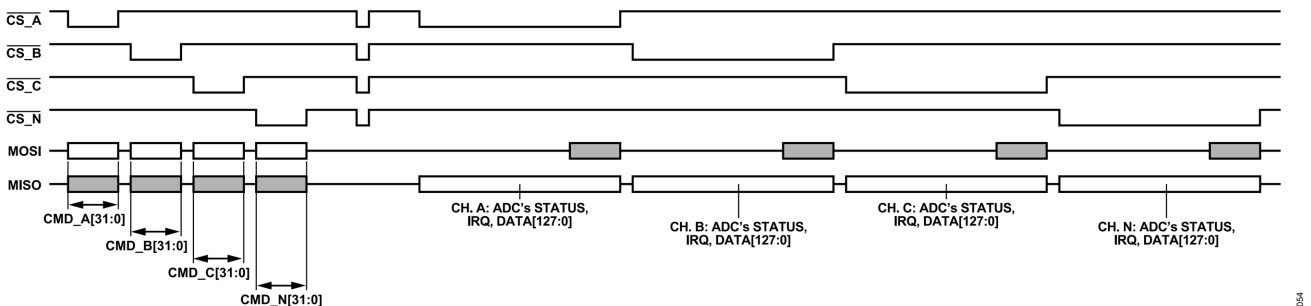


図 54. 複数のデバイス - 専用 SPI

## アプリケーション情報

## SPI デバッグ機能

ADE9103/ADE9112/ADE9113 には、SPI 通信のデバッグに役立つスタティック・モードとカウント・モードの 2 つのモードがあります。この 2 つのモードは、CONFIG0 レジスタのビット[3:2]、STREAM\_DBG に書込むと、イネーブルにできます。スタティック・モードでは、ADC レジスタはスタティックになり、書込まれるまでその値を保持します。レジスタ値は、ショート SPI トランザクションとロング SPI トランザクションのいずれでも、通常どおり読出しができます。ADC レジスタに値を書込んで保持するには、次の手順を実行します。

1. STREAM\_DBG を、カウント・モード (10b) に等しくなるよう設定します。
2. DREADYを待ちます。
3. 次のDREADYの前に、必要な値を ADC レジスタに書込みます。
4. STREAM\_DBG を、スタティック・モード (01b) に等しくなるよう設定します。

各トランザクションで既知の ADC 値を出力することによって、データが適切に送信されていることを検証できます。

カウント・モードは、CONFIG\_FILT レジスタ内のビット[2:0]、DATAPATH\_CONFIG に設定された ADC 変換レートで、ADC レジスタ内の値をインクリメントさせます。このモードにより、波形ストリーミング・インターフェイスの検証が可能になります。読出しカウントが中断されていないことを検証すると、データが失われたり重複したりしていないことを確認できます。カウント・モードに入ると、ADC レジスタの最後の値からインクリメントが開始されます。具体的な値でカウント・モードを開始するには、次の手順を実行します。

1. STREAM\_DBG を、カウント・モード (10b) に等しくなるよう設定します。
2. DREADYを待ちます。
3. 次のDREADYの前に、必要な値を ADC レジスタに書込みます。
4. 後続の各DREADYトリガで、ADC レジスタ値がインクリメントします。

いずれかのデバッグ・モードを終了するには、STREAM\_DBG をノーマル・モードに設定します。

表 16. STREAM\_DBG ビットの構成

| STREAM_DBG | Data Mode   |
|------------|-------------|
| 00         | Normal mode |
| 01         | Static mode |
| 10         | Count mode  |

## コマンド・パケットの CRC

コマンド・パケットで必要とされる 8 ビット CRC は、ビット [31:8]にわたって計算され、以下のように 0x7 の多項式、0x0 の初期値、および 0x55 の最終 XOR を有します。

$$x^8 + x^2 + x + 1$$

例えば、CONFIG0 レジスタの CRC\_EN\_SPI\_WRITE ビットをディスエーブルにする書込みコマンドは、MOSI ラインで次のデータを送信します。0x40 02 00 F9。ここで、0xF9 は CRC です。

ADE9103/ADE9112/ADE9113 は、各計算の後に CRC を計算して、通信が成功したことを検証します。CRC 計算値が CRC 受信値と一致しない場合、STATUS0 の SPI\_CRC\_ERR ビット (ビット 1) がセットされ、コマンドは処理されません。この動作は、CONFIG0 レジスタの CRC\_EN\_SPI\_WRITE ビット (ビット 1) でディスエーブルにできます。

## 応答パケットの CRC

ADE9113 からの各応答は、 $x^{16}x^{12}x^5+1$  の多項式を有する CCITT-16 CRC によって保護され、初期値は 0xffff であり、これは CCITT-False と呼ばれ、ゼロ入力でゼロ以外の出力を保証します。

## 複数の ADE9103/ADE9112/ADE9113 デバイスの同期化

複数の ADE9103/ADE9112/ADE9113 をクロック供給するには 2 つの方法があります。これらについては、[パワーアップおよび初期化の手順](#)のセクションで説明します。前述のように、複数の ADE9103/ADE9112/ADE9113 を初期化すると、すべてのデバイスで使用するクロック周波数が同じになります。電力量計内のすべての ADE9103/ADE9112/ADE9113 デバイスを構成し、同じ出力サイクルで得られたコヒーレントな ADC 出力サンプルを提供するためには、すべての ADE9103/ADE9112/ADE9113 デバイスは必ず、共有クロック周波数に加えて、同じ ADC 出力周波数を有している必要があります。CONFIG\_FILT レジスタ内の DATAPATH\_CONFIG ビット (ビット[2:0]) は、ADC 出力周波数を選択するため、必ず同じ値に初期化する必要があります (詳細については、[ADC 出力値](#)のセクションを参照)。

すべての ADE9103/ADE9112/ADE9113 デバイスの ADC 出力が同期してサンプルを生成することを保証するために、MCU は ALIGN を実行することができ、これは専用 SPI またはデジタイザチェーンのいずれかで使用できます。専用 SPI で動作させるには、SYNC\_SNAP レジスタで PREP\_BROADCAST=1 にセットします。デジタイザチェーン SPI で動作させるには、SYNC\_SNAP レジスタで PREP\_BROADCAST=0 にします。

ADE9103/ADE9112/ADE9113 には、XTALIN 周波数で機能する 14 ビットのカウンタが内蔵されています。このカウンタは、ADC 出力期間および CLKOUT/DREADYピンと同期しています。新しい出力期間が始まると、カウンタは、CONFIG\_FILT レジスタの DATAPATH\_CONFIG ビットで決定された値から減少し始めます。表 17 に、これらの値の詳細を示します。このカウンタをモニタリングすると、ADE9103/ADE9112/ADE9113 デバイスが同期していないかがわかるようになります。



## アプリケーション情報

表 17. DATAPATH\_CONFIG ビットの関数としてのカウンタの初期値

| Bits[2:0], DATAPATH_CONFIG, in<br>CONFIG_FILT Register | ADC Output Frequency (kHz) | Counter C <sub>0</sub> Initial Value<br>(XTALIN = 16.384 MHz) | Counter C <sub>0</sub> Initial Value as a<br>Function of XTALIN |
|--------------------------------------------------------|----------------------------|---------------------------------------------------------------|-----------------------------------------------------------------|
| 000                                                    | 32                         | 511                                                           | XTALIN/32000 - 1                                                |
| 001                                                    |                            |                                                               | XTALIN/32000 - 1                                                |
| 010                                                    |                            |                                                               | XTALIN/32000 - 1                                                |
| 011                                                    | 8                          | 2047                                                          | XTALIN/8000 - 1                                                 |
| 100                                                    |                            |                                                               | XTALIN/8000 - 1                                                 |
| 101                                                    | 4                          | 4095                                                          | XTALIN/4000 - 1                                                 |
| 110                                                    | 2                          | 8191                                                          | XTALIN/2000 - 1                                                 |
| 111                                                    | 1                          | 16383                                                         | XTALIN/1000 - 1                                                 |

カウンタの値は、SYNC\_SNAP レジスタに ALIGN または SNAPSHOT がセットされた後の最初の立下がりCSエッジでラッチされます。すべての ADE9103/ADE9112/ADE9113 デバイスに対するブロードキャスト書込みは、各 ADE9103/ADE9112/ADE9113 のカウンタがすべて同時にラッチされることを保証します。ALIGN または SNAPSHOT ビットは、1 XTALIN サイクル後に 0 にクリアされます。カウンタの値は、すべての ADE9103/ADE9112/ADE9113 デバイスにわたる ADC 出力同期の尺度になります。理想的には、それらの値は完全に等しくなっており、すべての ADE9103/ADE9112/ADE9113 デバイスが完全に同期していることを示す必要があります。実際には、MCU によって生成された SPI クロックと ADE9103/ADE9112/ADE9113 の XTALIN との間に不確実性があるため、カウンタ間の±1 のカウンタ差は許容可能です。14 ビット・カウンタは、図 55 に示すように、2つの 8 ビット・レジスタ SNAPSHOT\_COUNT\_HI および SNAPSHOT\_COUNT\_LO を介してアクセスされます。

ADE9103/ADE9112/ADE9113 デバイスのうちの1つの内部カウンタが、他の ADE9103/ADE9112/ADE9113 デバイスのいずれかのカウンタの値と相関する値を有していない場合、1つのデバイスの ADC 出力は、他のデバイスからの ADC 出力と同期しなくなります。ADE9103/ADE9112/ADE9113 は、ALIGN を介してすべての ADE9103/ADE9112/ADE9113 デバイスを再同期する方法を提供します。デジタイゼーション SPI 構成で ALIGN を実行するには、次の手順を実行します。

1. すべての ADE9103/ADE9112/ADE9113 デバイスの SYNC\_SNAP に書込み、ALIGN の準備をします。PREP\_BROADCAST = 0、ALIGN = 1、SNAPSHOT = 0 にセットします。
2. すべての ADE9103/ADE9112/ADE9113 デバイスのCS信号を同時にトグルします。これは、SCLK トグルのないヌル SPI コマンドまたは有効なコマンドの一部とすることができます。
3. 更新が有効になるまで、DREADY を 3 サイクル待ちます。

専用 SPI を用いて ALIGN を実行するには、手順 1 で PREP\_BROADCAST = 1 にセットします。ALIGN が実行されると、すべての相が ADC 出力歪みを示します。このコマンドは、パワーアップ時、あるいはハードウェアまたはソフトウェアの

リセット後に実行して、精度への影響を最小限に抑えることを推奨します。

デジタイゼーション SPI 構成を用いるすべてのデバイスのカウンタのみを検証するには、次の手順を実行します。

1. すべての ADE9103/ADE9112/ADE9113 デバイスの SYNC\_SNAP に書込み、ALIGN の準備をします。PREP\_BROADCAST = 0、ALIGN = 0、SNAPSHOT = 1 にセットします。
2. すべての ADE9103/ADE9112/ADE9113 デバイスのCS信号を同時にトグルします。これは、SCLK トグルのないヌル SPI コマンドまたは有効なコマンドの一部とすることができます。
3. SNAPSHOT\_COUNT\_HI レジスタおよび SNAPSHOT\_COUNT\_LO レジスタを介して ADC 同期カウンタをリード・バックします。
4. 各 ADE9103/ADE9112/ADE9113 カウンタからの値を比較し、これらの値のカウント差が±1 以内にあることを確認します。

ALIGN ブロードキャストが、スタートアップ手順中ではなく、アクティブにサンプリングしている間に実行される場合、波形サンプルに不連続性が生じ、最大 3 つのサンプルに影響を与えます。この不連続性は、RMS 計算中にフルスケール入力の半分で最大 0.1%の誤差を生じる可能性があります。同期は通常、SNAPSHOT\_COUNT\_HI レジスタと SNAPSHOT\_COUNT\_LO レジスタのカウント差が±1 以上を示さない限り、パワー・アップ時に実行する必要があります。短時間での連続的な同期は推奨しません。

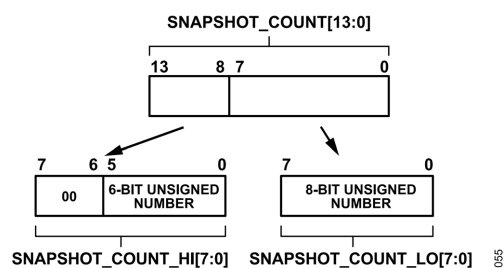


図 55. 2つの 8 ビット・レジスタを用いて通信されるカウンタ値



## パワー・マネージメント

## DC/DC コンバータ

ADE9112 および ADE9113 の DC/DC コンバータ部は、最新の電源設計に共通する原理に基づいて動作します。ADE9112 および ADE9113 の内蔵 DC/DC コンバータは、VDD ピンから給電され、RESET ピンがアサートされない限り、連続的にアクティブです。通常動作では、VDD を 2.97V~3.63V に維持します。

VDD 電源を、チップスケールの空芯トランスの 1 次側を駆動する発振回路に供給します。別のチップスケールの空芯トランスを用いて、フィードバック回路が VDD<sub>ISO</sub> を測定し、その情報を VDD ドメインに戻します。VDD ドメインでは、パルス幅変調 (PWM) 制御ブロックが AC 電源を制御して、図 56 に示すように、浮動 VDD<sub>ISO</sub> 電源電圧を 2.0V に維持します。次に、この絶縁型電圧電源は、外部フェライト・フィルタ・ネットワークを介して、AVDD ピンで 1.8V 内蔵 LDO レギュレータに供給されます。

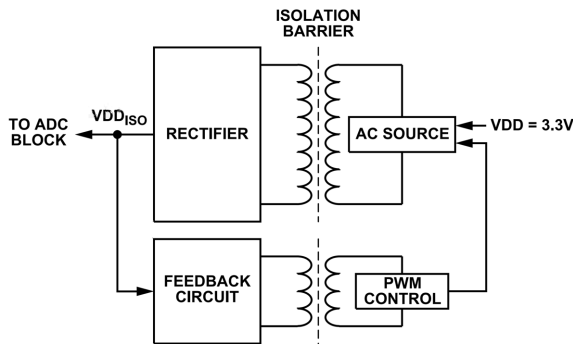


図 56. 絶縁型 DC/DC コンバータのブロック図

通常動作中、エミッションの周波数は、EMI\_CONFIG レジスタに記載されているように、300MHz~420MHz の間でホッピングしています（表 20 参照）。EMI\_CONFIG レジスタは、AC 電源の周波数拡散を制御するための 4 種類のモードを提供します。EMI\_HI\_LIMIT、EMI\_MID\_LIMIT および EMI\_LO\_LIMIT は、420MHz、360MHz および 300MHz の周波数限界に対応した値を格納する読み出し専用レジスタです。EMI\_LO\_MASK と EMI\_HI\_MASK により、鋸歯状波周波数スイープおよびランプ波周波数スイープから周波数を除去可能になります。除去される周波数の範囲には、EMI\_LO\_MASK と EMI\_HI\_MASK が含まれます。EMI\_LO\_LIMIT レジスタおよび EMI\_HI\_LIMIT レジスタは、マスクすべき所望の値を計算するためのリファレンスとして使用できます。EMI\_LO\_LIMIT レジスタおよび EMI\_HI\_LIMIT レジスタを用いて、所望の周波数範囲について EMI\_LO\_LIMIT と EMI\_HI\_LIMIT を計算するための式は、以下のとおりです。

$$\text{EMI\_LO\_MASK} = \text{ROUNDUP} \left[ \frac{\text{EMI\_LO\_LIMIT} - \text{EMI\_HI\_LIMIT}}{300 \text{ MHz} - 420 \text{ MHz}} \times (f_{\text{LO\_MASK}} - 300 \text{ MHz}) + \text{EMI\_LO\_LIMIT} \right] \quad (1)$$

$$\text{EMI\_HI\_MASK} = \text{ROUNDDOWN} \left[ \frac{\text{EMI\_LO\_LIMIT} - \text{EMI\_HI\_LIMIT}}{300 \text{ MHz} - 420 \text{ MHz}} \times (f_{\text{HI\_MASK}} - 300 \text{ MHz}) + \text{EMI\_LO\_LIMIT} \right] \quad (2)$$

パワー・マネージメント

EMI\_LO\_MASK = EMI\_HI\_MASK の場合、周波数マスキングはディスエーブルになります。図 57 に示されるように、EMI\_LO\_MASK または EMI\_HI\_MASK 内のより小さい値は、より高い周波数に対応し、より大きい値は、より低い周波数に対応します。新しい値が EMI\_LO\_MASK または EMI\_HI\_MASK に書込まれるとき、進行中のランプ波は中断しません。鋸歯状波が最小または最大に戻るとき、またはランプ波の方向が変わるときに、新しい値がロードされます。エラーが起きないようにするには、次のシナリオを回避します。

- 1. EMI\_LO\_MASK に書込まれた値が EMI\_HI\_MASK より小さい場合。
- 2. EMI\_LO\_MASK が EMI\_LO\_LIMIT と等しく、EMI\_HI\_MASK が EMI\_HI\_LIMIT と等しい場合。

これらのシナリオでは、エミッションはもはやスペクトル拡散ではなく、360MHz での単一トーンであり、PCB レイアウトでの管理がより困難なより強いエミッションを引き起こします。

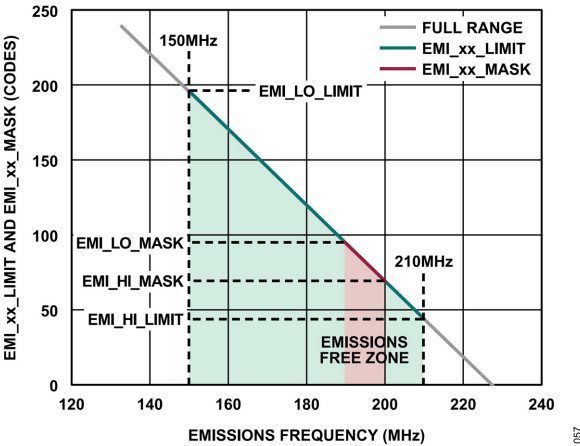


図 57. マスキングをイネーブルにした場合の使用可能な周波数範囲

表 18. アドレス 0x009、EMI\_CONFIG、ビット[2:0]、電磁干渉 (EMI) 周波数ホッピングの選択

| ビット [2:0] | モード                                | 説明                                           |
|-----------|------------------------------------|----------------------------------------------|
| 000       | Sawtooth frequency rising          | 周波数は下限から始まり、上限まで上昇した後、下限に戻ります。               |
| 001       | Sawtooth frequency falling         | 周波数は上限から始まり、下限まで下降した後、上限に戻ります。               |
| 010       | Ramp                               | 周波数は下限と上限の間で上下します。                           |
| 011       | Random hopping frequency (default) | 周波数は、推奨モードである 360MHz の中心周波数付近でランダムにホッピングします。 |

ソフトウェア・リセット

SWRST レジスタ (アドレス 0x001) は、ソフトウェア・リセット機能を管理します。このレジスタのデフォルト値は 0x00 です。このレジスタが 0xD6 にセットされている場合、ADE9103/ADE9112/ADE9113 はソフトウェア・リセット状態になります。この状態では、内部レジスタはすべてデフォルト値にリセットされます。DC/DC コンバータは機能し続けます。ソフトウェア・リセットが終了すると、SWRST レジスタは自動的に 0 にクリアされ、STATUS0 レジスタのビット 5 (RESET\_DONE) が 1 にセットされます。構成レジスタが WR\_LOCK = 0xD4 レジスタ書き込みを用いて保護されている場合は、まず WR\_LOCK = 0x5E を書込んでレジスタのロックを解除し、次に SWRST レジスタに 0xD6 を書込んでソフトウェア・リセットを開始します。この時点で、パワーアップおよび初期化の手順のセクションで説明されている手順のいずれかに必ず従って、ADE9103/ADE9112/ADE9113 を正しく初期化する必要があります。

ハードウェア・リセット

ADE9103/ADE9112/ADE9113 には専用のリセット・ピン (RESET) があります。ハードウェア・リセットが起こるのは、RESET ピンが 1.5μs 以上の間、ロー (デフォルト状態は弱いプルアップ) になったときです。

ハードウェア・リセット中は、すべてのレジスタがデフォルト値にセットされ、DC/DC コンバータと LDO レギュレータはシャットダウンされます。この手順は、多相電力量計内のすべての ADE9103/ADE9112/ADE9113 デバイスに対して同時に実行できます。リセット期間の最後に、ADE9103/ADE9112/ADE9113 は、STATUS0 レジスタのビット 5 (RESET\_DONE) を 1 にセットします。この時点で、パワーアップおよび初期化の手順のセクションで説明されている手順のいずれかに必ず従って、ADE9103/ADE9112/ADE9113 を正しく初期化する必要があります。

パワーダウン・モード

ADE9112 および ADE9113 の ADC を機能させる必要がなく、デバイスの消費電流を低減することが望ましい状況があります。RESET ピンをローに保持すると、強制的に低消費電力モードになります。低消費電力モードでは、VLDOOUT、水晶発振器、および絶縁型電源がディスエーブルになります。

ADE9103 で RESET ピンをローにすると、デジタル・ブロック、SPI ポート、およびクロッキングのみが低消費電力モードに設定されます。ただし、アナログ回路ブロックへの給電は維持されます。

2 つ以上の ADE9103/ADE9112/ADE9113 を搭載したシステムでは、RESET ピンは、すべての ADE9103/ADE9112/ADE9113 の合計電流を低下させるために一緒に接続されます。

## レイアウトのガイドライン

ADE9103/ADE9112/ADE9113 を用いるときに従うべきレイアウトのガイドラインの詳細については、ADE9113 の製品ページを参照してください。

## ADE9113 評価用ボード

ADE9113 を用いて構築された評価用ボードにより、本 IC の迅速な評価が可能になります。これは、システム実証プラットフォーム (EVAL-SDP-CB1Z) または外付け MCU ボードと組み合わせて使用します。ADE9103、ADE9112、および/または ADE9113 を評価するには、ADE9113 の製品ページから、EVAL-ADE9113KTZ 評価用ボードとシステム実証プラットフォームの両方を必ず注文する必要があります。ADE9113 の機能は ADE9103 および ADE9112 と同様であるため、EVAL-ADE9113KTZ を使用すると、3 つの IC すべてを評価できます。

## ハードウェア識別子

VERSION\_PRODUCT アドレス 0x07E は、ADE9103/ADE9112/ADE9113 のバージョンを識別し、SILICON\_REVISION アドレス 0x07D は、ADE9103/ADE9112/ADE9113 のリビジョンを識別し、UNIQUE\_PART\_ID\_x のアドレス 0x075～アドレス 0x07A は、ADE9103/ADE9112/ADE9113 の ID を識別します。

UNIQUE\_PART\_ID\_5～UNIQUE\_PART\_ID\_0 のレジスタは、各デバイスの 48 ビットの一意の ID 番号であり、これらのデバイスが利用された後でも、すべてのデバイスのトレーサビリティを可能にします。

## レジスタの一覧

表 19 において、R はレジスタが読出し可能であること、W はレジスタが書込み可能であること、W1C は 1 を書込んでクリアすることを意味します。

表 19. レジスタの一覧

| アドレス  | レジスタ名             | 説明                                                  | デフォルト値            | アクセス |
|-------|-------------------|-----------------------------------------------------|-------------------|------|
| 0x001 | SWRST             | ソフトウェア・リセット。                                        | 0x00              | W    |
| 0x002 | CONFIG0           | ADC の設定。                                            | 0x02              | R/W  |
| 0x003 | CONFIG_FILT       | デジタル・フィルタの設定。                                       | 0x00              | R/W  |
| 0x005 | CONFIG_ISO_ACC    | 絶縁型 (ISO) レジスタ空間へのアクセスを有効化。ISO 側はピン 1~ピン 14 がある側です。 | 0x00              | R/W  |
| 0x006 | CRC_RESULT_HI     | バックグラウンド・レジスタ・マップ CRC の最上位バイト。                      | 0xDD              | R    |
| 0x007 | CRC_RESULT_LO     | バックグラウンド・レジスタ・マップ CRC の最下位バイト。                      | 0x8D              | R    |
| 0x008 | EFUSE_REFRESH     | eFuse リフレッシュ。                                       | 0x00              | R/W  |
| 0x009 | EMI_CONFIG        | 絶縁型周波数ホッピング法を設定。                                    | 0x03              | R/W  |
| 0x00A | EMI_HI_MASK       | エミッション・マスク、高周波数の境界。                                 | 0x00              | R/W  |
| 0x00B | EMI_LO_MASK       | エミッション・マスク、低周波数の境界。                                 | 0x00              | R/W  |
| 0x00C | EMI_HI_LIMIT      | 工場出荷時に格納された高周波数の限界。420MHz でのエミッションに対応。              | 0x00              | R    |
| 0x00D | EMI_MID_LIMIT     | 工場出荷時に格納された中心周波数の値。360MHz でのエミッションに対応。              | 0x00              | R    |
| 0x00E | EMI_LO_LIMIT      | 工場出荷時に格納された低周波数の限界。300MHz でのエミッションに対応。              | 0x00              | R    |
| 0x00F | MASK0             | 割込みマスク 0 レジスタ。STATUS0 のマスク・レジスタ。                    | 0x00              | R/W  |
| 0x010 | MASK1             | 割込みマスク 1 レジスタ。STATUS1 のマスク・レジスタ。                    | 0x00              | R/W  |
| 0x011 | MASK2             | 割込みマスク 2 レジスタ。STATUS2 のマスク・レジスタ。                    | 0x10              | R/W  |
| 0x012 | CONFIG_ZX         | ゼロ交差の設定。                                            | 0x00              | R/W  |
| 0x013 | SCRATCH           | SPI R/W テスト用ソフトウェア・デバッグ・レジスタ。                       | 0x00              | R/W  |
| 0x014 | SYNC_SNAP         | ADC 同期レジスタ。                                         | 0x00              | R/W  |
| 0x017 | SNAPSHOT_COUNT_HI | システム・タイミング・コントローラ・カウンタの最上位バイト。                      | 0x00              | R    |
| 0x018 | SNAPSHOT_COUNT_LO | システム・タイミング・コントローラ・カウンタの最下位バイト。                      | 0x00              | R    |
| 0x01F | WR_LOCK           | 構成ロック・レジスタ。                                         | 0x5E              | R/W  |
| 0x020 | STATUS0           | 高優先度割込みのラッチ状態。                                      | 0x00              | R/W  |
| 0x021 | STATUS1           | 低優先度割込みのラッチ状態。                                      | 0x00              | R/W  |
| 0x022 | STATUS2           | 絶縁型 ADC 割込みのラッチ状態。                                  | 0x00              | R/W  |
| 0x023 | COM_FLT_TYPE      | ISO から NONISO への通信障害タイプ。                            | 0x00              | R    |
| 0x024 | COM_FLT_COUNT     | ISO から NONISO への通信障害カウント。                           | 0x00              | R    |
| 0x025 | CONFIG_CRC        | バックグラウンド・レジスタ・マップ CRC の設定。                          | 0x00              | R/W  |
| 0x026 | I_WAV_HI          | 電流チャンネル波形データの最上位バイト。                                | 0x00              | R/W  |
| 0x027 | I_WAV_MD          | 電流チャンネル波形データの中位バイト。                                 | 0x00              | R/W  |
| 0x028 | I_WAV_LO          | 電流チャンネル波形データの最下位バイト。                                | 0x00              | R/W  |
| 0x029 | V1_WAV_HI         | V1 チャンネル波形データの最上位バイト。                               | 0x00              | R/W  |
| 0x02A | V1_WAV_MD         | V1 チャンネル波形データの中位バイト。                                | 0x00              | R/W  |
| 0x02B | V1_WAV_LO         | V1 チャンネル波形データの最下位バイト。                               | 0x00              | R/W  |
| 0x02C | V2_WAV_HI         | V2 チャンネル波形データの最上位バイト。                               | 0x00              | R/W  |
| 0x02D | V2_WAV_MD         | V2 チャンネル波形データの中位バイト。                                | 0x00              | R/W  |
| 0x02E | V2_WAV_LO         | V2 チャンネル波形データの最下位バイト。                               | 0x00              | R/W  |
| 0x075 | UNIQUE_PART_ID_5  | 一意の部品 ID の最上位バイト (バイト 5)。                           | 0x00              | R    |
| 0x076 | UNIQUE_PART_ID_4  | 一意の部品 ID のバイト 4。                                    | 0xFF <sup>1</sup> | R    |
| 0x077 | UNIQUE_PART_ID_3  | 一意の部品 ID のバイト 3。                                    | 0xFF <sup>1</sup> | R    |
| 0x078 | UNIQUE_PART_ID_2  | 一意の部品 ID のバイト 2。                                    | 0xFF <sup>1</sup> | R    |
| 0x079 | UNIQUE_PART_ID_1  | 一意の部品 ID のバイト 1。                                    | 0xFF <sup>1</sup> | R    |
| 0x07A | UNIQUE_PART_ID_0  | 一意の部品 ID の最下位バイト (バイト 0)。                           | 0xFF <sup>1</sup> | R    |
| 0x07D | SILICON_REVISION  | ISO および NONISO シリコンのリビジョン値。                         | 0x22              | R    |
| 0x07E | VERSION_PRODUCT   | 製品バージョン識別子。                                         | 0x00              | R    |

レジスタの一覧

表 19. レジスタの一覧（続き）

| アドレス  | レジスタ名          | 説明                  | デフォルト値 | アクセス |
|-------|----------------|---------------------|--------|------|
| 0x0CC | DC_OFFSET_MODE | 電流チャンネル入力のショートを有効化。 | 0x00   | R/W  |

<sup>1</sup> デフォルト値は個々の IC に固有の値です。

## レジスタの詳細

表 20. レジスタの詳細

| アドレス  | レジスタ名            | ビット   | ビット名                                                                                                                                                 | 設定値  | 説明                                                                                                                                                                                                              | リセット | アクセス |
|-------|------------------|-------|------------------------------------------------------------------------------------------------------------------------------------------------------|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|
| 0x001 | SWRST            | [7:0] | SWRST                                                                                                                                                | 0xD6 | ソフトウェア・リセット。<br>ソフトウェア・リセット・コマンド。ソフトウェアが、すべてのレジスタをデフォルト値にリセットします。デバイス電源を再投入して、ハードウェア機能の修正が必要になる場合があります。                                                                                                         | 0x0  | W    |
| 0x002 | CONFIG0          | [7:4] | RESERVED                                                                                                                                             |      | 予約済み。                                                                                                                                                                                                           | 0x0  | R    |
|       |                  | [3:2] | STREAM_DBG                                                                                                                                           | 00   | ストリーム・デバッグ。ストリーム・デバッグ・モードでは、x_WAV_x ADC 出力レジスタの設定により、通信インターフェイスのデバッグを簡略化できます。                                                                                                                                   | 0x0  | R/W  |
|       |                  |       |                                                                                                                                                      | 01   | ノーマル・モード。x_WAV_x レジスタは ADC の結果を格納します。                                                                                                                                                                           |      |      |
|       |                  |       |                                                                                                                                                      | 10   | スタティック・モード。x_WAV_x レジスタはスタティックで、その値を保持します。x_WAV_x レジスタは、新しい値に変更するために書き込みができます。x_WAV_x レジスタはスタティックになり、x_WAV_x レジスタへのレジスタ書き込みが新しい値で実行されるまで、その値を保持します。このスタティック・モードが機能する前に、まずカウント・モードの設定でプログラミングを必ずイネーブルにする必要があります。 |      |      |
|       |                  |       |                                                                                                                                                      | 11   | カウント・モード。データは ADC 変換レートでインクリメントします。x_WAV_x レジスタへの書き込みアクセスをイネーブルにし、DREADYパルスごとに x_WAV_x レジスタをインクリメントします。                                                                                                         |      |      |
| 1     | CRC_EN_SPI_WRITE |       | SPI 書き込みでの CRC チェックを有効化。                                                                                                                             | 0x1  | R/W                                                                                                                                                                                                             |      |      |
| 0     | CLKOUT_EN        |       | CLKOUT イネーブル。このビットを 1 にセットして、デバイスが残りの ADE9103/ADE9112/ADE9113 デバイスにクロック供給しているときに CLKOUT をイネーブルにします。外部クロックを受信する場合は、このビットを 0 にクリアします。この場合のピンはDREADYです。 | 0x0  | R/W                                                                                                                                                                                                             |      |      |
| 0x003 | CONFIG_FILT      | 7     | RESERVED                                                                                                                                             |      | 予約済み。                                                                                                                                                                                                           | 0x0  | R    |
|       |                  | 6     | V2_ADC_INVERT                                                                                                                                        |      | V2 チャンネル入力を反転。反転ビットは、逆方向に接続されたセンサー出力の補正に使用できます。                                                                                                                                                                 | 0x0  | R/W  |
|       |                  | 5     | V1_ADC_INVERT                                                                                                                                        |      | V1 チャンネル入力を反転。 <a href="#">V2_ADC_INVERT</a> の説明を参照してください。                                                                                                                                                      | 0x0  | R/W  |
|       |                  | 4     | I_ADC_INVERT                                                                                                                                         |      | 電流チャンネル入力を反転。 <a href="#">V2_ADC_INVERT</a> の説明を参照してください。                                                                                                                                                       | 0x0  | R/W  |
|       |                  | 3     | LPF_BW                                                                                                                                               | 1    | フィルタ帯域幅の設定。ADC のデジタル LPF の帯域幅を選択。ADC 出力周波数が帯域幅の選択に与える影響の詳細については、 <a href="#">A/D 変換</a> のセクションを参照してください。                                                                                                        | 0x0  | R/W  |
|       |                  |       |                                                                                                                                                      | 0    | 8kSPS の出力データレートで 2.7kHz の帯域幅。                                                                                                                                                                                   |      |      |
|       |                  |       |                                                                                                                                                      |      | 8kSPS の出力データ・レートで 3.3kHz の帯域幅。                                                                                                                                                                                  |      |      |
|       |                  | [2:0] | DATAPATH_CONFIG                                                                                                                                      | 000  | デジタル信号処理の設定。                                                                                                                                                                                                    | 0x0  | R/W  |
|       |                  |       |                                                                                                                                                      | 001  | Sinc3、32kHz サンプリング。                                                                                                                                                                                             |      |      |
|       |                  |       |                                                                                                                                                      | 010  | Sinc3、LPF イネーブル、32kHz サンプリング。                                                                                                                                                                                   |      |      |
|       |                  |       |                                                                                                                                                      | 011  | Sinc3、補償イネーブル、LPF イネーブル、32kHz サンプリング。                                                                                                                                                                           |      |      |
|       |                  |       |                                                                                                                                                      | 100  | Sinc3、LPF イネーブル、8kHz サンプリング。                                                                                                                                                                                    |      |      |
|       |                  | 101   | Sinc3、補償イネーブル、LPF イネーブル、8kHz サンプリング。                                                                                                                 |      |                                                                                                                                                                                                                 |      |      |
|       |                  | 110   | Sinc3、LPF イネーブル、4kHz サンプリング。                                                                                                                         |      |                                                                                                                                                                                                                 |      |      |
|       |                  | 111   | Sinc3、LPF イネーブル、2kHz サンプリング。                                                                                                                         |      |                                                                                                                                                                                                                 |      |      |
| 0x005 | CONFIG_ISO_ACC   | [7:1] | RESERVED                                                                                                                                             |      | 予約済み。                                                                                                                                                                                                           | 0x0  | R    |
|       |                  | 0     | ISO_WR_ACC_EN                                                                                                                                        |      | DC_OFFSET_MODE レジスタへの書き込みアクセスをイネーブル。                                                                                                                                                                            | 0x0  | R/W  |
| 0x006 | CRC_RESULT_HI    | [7:0] | CRC_RESULT[15:8]                                                                                                                                     |      | レジスタ・マップの CRC。                                                                                                                                                                                                  | 0xDD | R    |
| 0x007 | CRC_RESULT_LO    | [7:0] | CRC_RESULT[7:0]                                                                                                                                      |      | レジスタ・マップの CRC。                                                                                                                                                                                                  | 0x8D | R    |
| 0x008 | EFUSE_REFRESH    | [7:1] | RESERVED                                                                                                                                             |      | 予約済み。                                                                                                                                                                                                           | 0x0  | R    |
|       |                  | 0     | EFUSE_REFRESH                                                                                                                                        |      | eFuse メモリのリフレッシュを強制実行。このビットは、ハードウェア・リセットのペナルティを負うことなく、eFuse メモリ・エラーからの回復方法として使用できます。このビットは、eFuse リフレッシュが完了すると自動的にクリアされます。                                                                                       | 0x0  | R/W  |



## レジスタの詳細

表 20. レジスタの詳細（続き）

| アドレス  | レジスタ名         | ビット   | ビット名          | 設定値 | 説明                                                                                                                                          | リセット | アクセス |
|-------|---------------|-------|---------------|-----|---------------------------------------------------------------------------------------------------------------------------------------------|------|------|
| 0x009 | EMI_CONFIG    | [7:3] | RESERVED      |     | 予約済み。                                                                                                                                       | 0x0  | R    |
|       |               | [2:0] | EMI_CONFIG    | 000 | EMI 周波数ホッピングの選択。ADE9103 では機能しません。                                                                                                           | 0x3  | R/W  |
|       |               |       |               | 001 | 鋸歯状波の周波数の立上がり。周波数は、EMI_LO_LIMIT によって定義された周波数で開始し、EMI_HI_LIMIT によって定義されたより高い周波数までランブした後に、EMI_LO_LIMIT に戻ります。                                 |      |      |
|       |               |       |               | 010 | 鋸歯状波の周波数の立下がり。周波数は、EMI_HI_LIMIT によって定義された周波数で開始し、EMI_LO_LIMIT によって定義されたより低い周波数までランブした後に、EMI_LO_LIMIT に戻ります。                                 |      |      |
|       |               |       |               | 011 | ランダム・ホッピング周波数。絶縁型電力発振器の周波数は、EMI_MID_LIMIT のキャリブレーション済み中心周波数の付近でトリム・コードが±63 変動します。                                                           |      |      |
| 0x00A | EMI_HI_MASK   | [7:0] | EMI_HI_MASK   |     | エミッション・マスク、高周波数の境界。ADE9103 では機能しません。                                                                                                        | 0x0  | R/W  |
| 0x00B | EMI_LO_MASK   | [7:0] | EMI_LO_MASK   |     | エミッション・マスク、低周波数の境界。ADE9103 では機能しません。                                                                                                        | 0x0  | R/W  |
| 0x00C | EMI_HI_LIMIT  | [7:0] | EMI_HI_LIMIT  |     | 工場出荷時に格納された高周波数の限界。この格納された値は、約 420MHz のエミッションに対応し、EMI_xx_MASK の設定に使用できます。ADE9103 では機能しません。                                                  | 0x0  | R    |
| 0x00D | EMI_MID_LIMIT | [7:0] | EMI_MID_LIMIT |     | 工場出荷時に格納された中心周波数の値。この格納された値は、約 360MHz のエミッションに対応し、EMI_xx_MASK の設定に使用できます。ADE9103 では機能しません。                                                  | 0x0  | R    |
| 0x00E | EMI_LO_LIMIT  | [7:0] | EMI_LO_LIMIT  |     | 工場出荷時に格納された低周波数の限界。この格納された値は、約 300MHz のエミッションに対応し、EMI_xx_MASK の設定に使用できます。ADE9103 では機能しません。                                                  | 0x0  | R    |
| 0x00F | MASK0         | 7     | STATUS1X      |     | STATUS1 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。割込みソースがIRQピンを駆動できるように、ハイにマスクします。                            | 0x0  | R/W  |
|       |               | 6     | STATUS2X      |     | STATUS2 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。マスク・ビットの機能については、 <a href="#">STATUS1X</a> の説明を参照してください。     | 0x0  | R/W  |
|       |               | 5     | RESERVED      |     | 予約済み。                                                                                                                                       | 0x0  | R    |
|       |               | 4     | COM_UP        |     | COM_UP 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。マスク・ビットの機能については、 <a href="#">STATUS1X</a> の説明を参照してください。      | 0x0  | R/W  |
|       |               | 3     | CRC_CHG       |     | CRC_CHG 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。マスク・ビットの機能については、 <a href="#">STATUS1X</a> の説明を参照してください。     | 0x0  | R/W  |
|       |               | 2     | RESERVED      |     | 予約済み。                                                                                                                                       | 0x0  | R    |
|       |               | 1     | SPI_CRC_ERR   |     | SPI_CRC_ERR 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。マスク・ビットの機能については、 <a href="#">STATUS1X</a> の説明を参照してください。 | 0x0  | R/W  |
|       |               | 0     | COMFLT_ERR    |     | COM_FLT_ERR 割込みマスク。対応するステータス・ビットについては、 <a href="#">STATUS0 レジスタ</a> の詳細な説明を参照してください。マスク・ビットの機能については、 <a href="#">STATUS1X</a> の説明を参照してください。 | 0x0  | R/W  |
| 0x010 | MASK1         | [7:4] | RESERVED      |     | 予約済み。                                                                                                                                       | 0x0  | R    |
|       |               | 3     | V2_WAV_OVRNG  |     | V2 チャンネルのオーバーレンジ割込みマスク。                                                                                                                     | 0x0  | R/W  |
|       |               | 2     | V1_WAV_OVRNG  |     | V1 チャンネルのオーバーレンジ割込みマスク。                                                                                                                     | 0x0  | R/W  |
|       |               | 1     | I_WAV_OVRNG   |     | 電流チャンネルのオーバーレンジ割込みマスク。                                                                                                                      | 0x0  | R/W  |
|       |               | 0     | ADC_SYNC_DONE |     | ADC 同期完了の更新割込みマスク。                                                                                                                          | 0x0  | R/W  |

## レジスタの詳細

表 20. レジスタの詳細（続き）

| アドレス  | レジスタ名             | ビット   | ビット名                 | 設定値                  | 説明                                                                                                                                  | リセット | アクセス |
|-------|-------------------|-------|----------------------|----------------------|-------------------------------------------------------------------------------------------------------------------------------------|------|------|
| 0x011 | MASK2             | 7     | RESERVED             |                      | 予約済み。                                                                                                                               | 0x0  | R    |
|       |                   | 6     | ISO_CLK_STBL_ERR     |                      | クロック安定性のエラー割込みマスク。                                                                                                                  | 0x0  | R/W  |
|       |                   | 5     | ISO_PHY_CRC_ERR      |                      | データ・リンク CRC のエラー割込みマスク。                                                                                                             | 0x0  | R/W  |
|       |                   | 4     | ISO_EFUSE_MEM_ERR    |                      | eFuse メモリエラー割込みマスク。                                                                                                                 | 0x1  | R/W  |
|       |                   | 3     | ISO_DIG_MOD_V2_OVF   |                      | デジタル変調器の V2 チャンネルのオーバーフロー割込みマスク。                                                                                                    | 0x0  | R/W  |
|       |                   | 2     | ISO_DIG_MOD_V1_OVF   |                      | デジタル変調器の V1 チャンネルのオーバーフロー割込みマスク。                                                                                                    | 0x0  | R/W  |
|       |                   | 1     | ISO_DIG_MOD_I_OVF    |                      | デジタル変調器の電流チャンネルのオーバーフロー割込みマスク。                                                                                                      | 0x0  | R/W  |
|       |                   | 0     | ISO_TEST_MMR_ERR     |                      | テスト・メモリ・マップド・レジスタ（MMR）がフィールド検出された割込みマスク。                                                                                            | 0x0  | R/W  |
| 0x012 | CONFIG_ZX         | [7:4] | RESERVED             |                      | 予約済み。                                                                                                                               | 0x0  | R    |
|       |                   | [3:2] | ZX_EDGE_SEL          | 00                   | ゼロ交差エッジの選択。ゼロ交差（ZX）回路のエッジ動作を選択。<br>ZX ピンは入力信号の符号を反映。ZX ピンは、負から正の ZX になるとハイになり、正から負の ZX になるとローになります。                                 | 0x0  | R/W  |
|       |                   |       |                      | 01                   | 正の勾配でゼロ交差を検出。負から正へゼロ交差するとき、512μs の高パルス幅が生成されます。                                                                                     |      |      |
|       |                   |       |                      | 10                   | 負の勾配を持つゼロ交差を検出。正から負へゼロ交差するとき、512μs の高パルス幅が生成されます。                                                                                   |      |      |
|       |                   |       |                      | 11                   | 正または負の勾配を持つゼロ交差を検出。01 と 10 を組み合わせます。                                                                                                |      |      |
|       |                   | [1:0] | ZX_CHANNEL_CONFIG    | 00<br>01<br>10<br>11 | ゼロ交差チャンネルの選択。<br>ゼロ交差出力をディセーブル。<br>ZX ピンの電流チャンネルからの出力ゼロ交差機能。<br>ZX ピンの V1 チャンネルからの出力ゼロ交差機能。<br>ZX ピンの V2 チャンネルからの出力ゼロ交差機能。          | 0x0  | R/W  |
| 0x013 | SCRATCH           | [7:0] | SCRATCH              |                      | SPI R/W テスト用ソフトウェア・デバッグ・レジスタ。R/W であるがチップ上に他の機能がないレジスタを提供することにより、SPI およびユーザ・ソフトウェアの開発を実現。                                            | 0x0  | R/W  |
| 0x014 | SYNC_SNAP         | [7:3] | RESERVED             |                      | 予約済み。                                                                                                                               | 0x0  | R    |
|       |                   | 2     | PREP_BROADCAST       |                      | ADC 準備ブロードキャスト。このビットは、専用 SPI で動作し、ALIGN または SNAPSHOT を準備している場合にのみ設定。MISO ピンは、ブロードキャストを可能にするためにトライステートにされます。このビットは、完了すると自動的にクリアされます。 | 0x0  | R/W  |
|       |                   | 1     | ALIGN                |                      | ADC アライメント。ブロードキャスト SPI 書き込み動作によって ALIGN ビットが 1 にセットされると、システム内のすべてのデバイスが、同じ瞬間に ADC 出力を生成します。ビットは、1 XTALIN サイクル後に 0 にクリアします。         | 0x0  | R/W  |
|       |                   | 0     | SNAPSHOT             |                      | ADC スナップショット。ブロードキャスト SPI 書き込み動作によって SNAPSHOT ビットが 1 にセットされると、内部カウンタがラッチされます。ビットは、1 XTALIN サイクル後に 0 にクリアします。                        | 0x0  | R/W  |
| 0x017 | SNAPSHOT_COUNT_HI | [7:6] | RESERVED             |                      | 予約済み。                                                                                                                               | 0x0  | R    |
|       |                   | [5:0] | SNAPSHOT_COUNT[13:8] |                      | システム・タイミング・コントローラ・カウンタ。同期動作で使用するシステム・タイミング・コントローラ・カウンタのスナップショット値。                                                                   | 0x0  | R    |

## レジスタの詳細

表 20. レジスタの詳細（続き）

| アドレス  | レジスタ名             | ビット   | ビット名                | 設定値          | 説明                                                                                                                                                                                           | リセット | アクセス  |
|-------|-------------------|-------|---------------------|--------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|-------|
| 0x018 | SNAPSHOT_COUNT_LO | [7:0] | SNAPSHOT_COUNT[7:0] |              | システム・タイミング・コントローラ・カウンタ。同期動作で使用するシステム・タイミング・コントローラ・カウンタのスナップショット値。                                                                                                                            | 0x0  | R     |
| 0x01F | WR_LOCK           | [7:0] | WR_LOCK             | 0xD4<br>0x5E | 構成レジスタの書き込みロック。ロック機能を有効にすると、アドレス 0x001 の書き込み可能なレジスタをアドレス 0x018 に変更できなくなります。<br>ロック・キー。レジスタ・マップがロックされている場合、ロック・キーの値の読み出しができます。<br>ロック解除キー。レジスタ・マップがロック解除されている場合は、この位置から任意の値の書き込みまたは読み出しができます。 | 0x5E | R/W   |
| 0x020 | STATUS0           | 7     | STATUS1X            |              | STATUS1 インジケータ。対応する MASK1 ビットがセットされている STATUS1 ビット・フィールドの論理和。この条件が満たされると、STATUS1X がアサートされます。このビット・フィールドをクリアするには、STATUS1 のソース駆動割込みを、1 を書き込んでクリア（W1C）により必ずクリアする必要があります。                        | 0x0  | R     |
|       |                   | 6     | STATUS2X            |              | STATUS2 インジケータ。STATUS2 レジスタ以外については、 <a href="#">STATUS1X</a> の説明を参照してください。                                                                                                                   | 0x0  | R     |
|       |                   | 5     | RESET_DONE          |              | リセット完了割込み。マスク不能割込み。この割込みは、IC が構成の準備ができたことを伝えます。                                                                                                                                              | 0x0  | R/W1C |
|       |                   | 4     | COM_UP              |              | 絶縁を越えた通信が確立されました。ADE9103/ADE9112/ADE9113 は、完全に動作可能であり、ADC 波形データを送信する準備ができています。                                                                                                               | 0x0  | R/W1C |
|       |                   | 3     | CRC_CHG             |              | レジスタ・マップ・バックグラウンド CRC の変更割込み。CRC に含まれるレジスタの値が変更されています。この変更は、ユーザ・ソフトウェアの再構成の結果である場合もありますが、そうでない場合は、ソフトウェア・リセットを発行して、ADE9103/ADE9112/ADE9113 を再構成します。                                          | 0x0  | R/W1C |
|       |                   | 2     | EFUSE_MEM_ERR       |              | eFuse メモリ・エラー。マスク不能割込み。eFuse メモリに訂正不能なエラーがありました。このビット・フィールドは W1C ではなく、ユーザのアクションは EFUSE_REFRESH を用いて eFuse メモリのリフレッシュを要求することです。                                                               | 0x0  | R     |
|       |                   | 1     | SPI_CRC_ERR         |              | SPI 書き込み CRC のエラー割込み。CRC エラーが、ADE9103/ADE9112/ADE9113 によって受信された前の SPI コマンドで検出され、このエラー・ビットは SPI 読みし応答でセットされます。                                                                                | 0x0  | R/W1C |
|       |                   | 0     | COMFLT_ERR          |              | 絶縁通信障害割込み。絶縁を越えた通信で障害がありました。エラーの詳細については、 <a href="#">COM_FLT_TYPE レジスタ</a> と <a href="#">COM_FLT_COUNT レジスタ</a> を参照してください。                                                                   | 0x0  | R/W1C |
| 0x021 | STATUS1           | [7:4] | RESERVED            |              | 予約済み。                                                                                                                                                                                        | 0x0  | R     |
|       |                   | 3     | V2_WAV_OVRNG        |              | ADC V2 チャンネル波形オーバーレンジ。V2 チャンネル ADC が最大レンジを超え、出力 V2_WAV が 7549748d にクランプされました。                                                                                                                | 0x0  | R/W1C |
|       |                   | 2     | V1_WAV_OVRNG        |              | ADC V1 チャンネル波形オーバーレンジ。V1 チャンネル ADC が最大レンジを超え、出力 V1_WAV が 7549748d にクランプされました。                                                                                                                | 0x0  | R/W1C |
|       |                   | 1     | I_WAV_OVRNG         |              | ADC 電流チャンネル波形オーバーレンジ。電流チャンネル ADC が最大レンジを超え、出力 I_WAV が 7549748d にクランプされました。                                                                                                                   | 0x0  | R/W1C |
|       |                   | 0     | ADC_SYNC_DONE       |              | ADC 同期レジスタへの SPI 書き込み。SYNC_SNAP レジスタに書き込まれると、この割込みがトリガされます。                                                                                                                                  | 0x0  | R/W1C |
| 0x022 | STATUS2           | 7     | RESERVED            |              | 予約済み。                                                                                                                                                                                        | 0x0  | R     |
|       |                   | 6     | ISO_CLK_STBL_ERR    |              | ISO ADC クロック安定性エラーの検出。                                                                                                                                                                       | 0x0  | R/W1C |
|       |                   | 5     | ISO_PHY_CRC_ERR     |              | ISO PHY エラーまたはデータ・リンク CRC またはエラー訂正コード（ECC）エラーが検出されました。NONISO から ISO への通信でエラーが検出されました。エラーが繰り返し発生しない限り、処置は不要です。                                                                                | 0x0  | R/W1C |
|       |                   | 4     | ISO_EFUSE_MEM_ERR   |              | ISO eFuse メモリ・エラー。ISO ダイで訂正不能な eFuse エラーが発生し、ダイが自動的に再初期化されました。エラーが繰り返し発生しない限り、処置は不要です。                                                                                                       | 0x0  | R/W1C |
|       |                   | 3     | ISO_DIG_MOD_V2_OVF  |              | ISO デジタル変調器の V2 チャンネルのオーバーフローが検出されました。ISO ダイ上の変調器が自動的にリセットされます。                                                                                                                              | 0x0  | R/W1C |
|       |                   | 2     | ISO_DIG_MOD_V1_OVF  |              | ISO デジタル変調器の V1 チャンネルのオーバーフローの検出。ISO ダイ上の変調器が自動的にリセットされます。                                                                                                                                   | 0x0  | R/W1C |
|       |                   | 1     | ISO_DIG_MOD_I_OVF   |              | ISO ダイで ISO デジタル変調器の電流チャンネルのオーバーフローが検出されました。ISO ダイ上の変調器が自動的にリセットされます。                                                                                                                        | 0x0  | R/W1C |
|       |                   | 0     | ISO_TEST_MMR_ERR    |              | ISO ダイのレジスタ変更の検出および訂正。ISO ダイ上のウォッチドッグは、レジスタ値が変更されたことを検出し、ウォッチドッグはその変更を自動訂正しました。                                                                                                              | 0x0  | R/W1C |

## レジスタの詳細

表 20. レジスタの詳細（続き）

| アドレス  | レジスタ名                | ビット   | ビット名                      | 設定値 | 説明                                                                                                                                                              | リセット             | アクセス  |
|-------|----------------------|-------|---------------------------|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|-------|
| 0x023 | COM_FLT_<br>TYPE     | [7:3] | RESERVED                  |     | 予約済み。                                                                                                                                                           | 0x0              | R     |
|       |                      | 2     | ISO_STATUS_<br>RD_ECC_ERR |     | ISO から NONISO へのステータス読出しエラーの検出。ISO ダイから NONISO ダイへのステータスの転送でエラーが検出されました。シングル・ビット ECC エラーが訂正されます。STATUS0 レジスタの COMFLT_ERR ビット (Bit) が 1 に書込まれると、このフィールドはクリアされます。 | 0x0              | R     |
|       |                      | 1     | ISO_PHY_ERR               |     | ISO から NONISO への通信での PHY エラーの検出。ISO インターフェイスで誤ったパルス数が検出されました。STATUS0 レジスタのビット 0 (COMFLT_ERR) が 1 に書込まれると、このフィールドはクリアされます。                                       | 0x0              | R     |
|       |                      | 0     | ISO_ECC_ERR               |     | ISO から NONISO への通信での ECC エラーの検出。シングル・ビット ECC エラーのみが検出され、シングル・ビット・エラーも訂正されることに留意してください。STATUS0 レジスタのビット 0 (COMFLT_ERR) が 1 に書込まれると、このフィールドはクリアされます。              | 0x0              | R     |
| 0x024 | COM_FLT_<br>COUNT    | [7:0] | COM_FLT_<br>COUNT         |     | ISO から NONISO への通信での ECC または PHY エラー・カウント。STATUS0 レジスタのビット 0 (COMFLT_ERR) が 1 に書込まれると、このカウンタはクリアされます。カウンタは、255 に達してもロール・オーバーしません。                               | 0x0              | R     |
| 0x025 | CONFIG_<br>CRC       | [7:2] | RESERVED                  |     | 予約済み。                                                                                                                                                           | 0x0              | R     |
|       |                      | 1     | CRC_DONE                  |     | CRC 完了フラグ。CRC_FORCE によって開始された CRC 再計算が完了したことを示します。または、スケジュールされた CRC 再計算が更新された CRC フラグを生成した場合、このフラグはアサートされます。                                                    | 0x0              | R/W1C |
|       |                      | 0     | CRC_FORCE                 |     | バックグラウンド・レジスタ・マップの CRC 再計算の強制実行。CRC の再計算が完了すると自動的にクリアされます。                                                                                                      | 0x0              | R/W   |
| 0x026 | I_WAV_HI             | [7:0] | I_WAV[23:16]              |     | ADC 電流チャンネル波形データ。                                                                                                                                               | 0x0              | R/W   |
| 0x027 | I_WAV_MD             | [7:0] | I_WAV[15:8]               |     | ADC 電流チャンネル波形データ。                                                                                                                                               | 0x0              | R/W   |
| 0x028 | I_WAV_LO             | [7:0] | I_WAV[7:0]                |     | ADC 電流チャンネル波形データ。                                                                                                                                               | 0x0              | R/W   |
| 0x029 | V1_WAV_HI            | [7:0] | V1_WAV[23:16]             |     | ADC V1 チャンネル波形データ。                                                                                                                                              | 0x0              | R/W   |
| 0x02A | V1_WAV_MD            | [7:0] | V1_WAV[15:8]              |     | ADC V1 チャンネル波形データ。                                                                                                                                              | 0x0              | R/W   |
| 0x02B | V1_WAV_LO            | [7:0] | V1_WAV[7:0]               |     | ADC V1 チャンネル波形データ。                                                                                                                                              | 0x0              | R/W   |
| 0x02C | V2_WAV_HI            | [7:0] | V2_WAV[23:16]             |     | ADC V2 チャンネル波形データ。このレジスタの値は、ADE9112 では常に 0x0 です。                                                                                                                | 0x0              | R/W   |
| 0x02D | V2_WAV_MD            | [7:0] | V2_WAV[15:8]              |     | ADC V2 チャンネル波形データ。このレジスタの値は、ADE9112 では常に 0x0 です。                                                                                                                | 0x0              | R/W   |
| 0x02E | V2_WAV_LO            | [7:0] | V2_WAV[7:0]               |     | ADC V2 チャンネル波形データ。このレジスタの値は、ADE9112 では常に 0x0 です。                                                                                                                | 0x0              | R/W   |
| 0x075 | UNIQUE_<br>PART_ID_5 | [7:0] | UNIQUE_<br>PART_ID[47:40] |     | 一意の部品 ID。                                                                                                                                                       | 0xX <sup>1</sup> | R     |
| 0x076 | UNIQUE_<br>PART_ID_4 | [7:0] | UNIQUE_<br>PART_ID[39:32] |     | 一意の部品 ID。                                                                                                                                                       | 0xX <sup>1</sup> | R     |
| 0x077 | UNIQUE_<br>PART_ID_3 | [7:0] | UNIQUE_<br>PART_ID[31:24] |     | 一意の部品 ID。                                                                                                                                                       | 0xX <sup>1</sup> | R     |
| 0x078 | UNIQUE_<br>PART_ID_2 | [7:0] | UNIQUE_<br>PART_ID[23:16] |     | 一意の部品 ID。                                                                                                                                                       | 0xX <sup>1</sup> | R     |

レジスタの詳細

表 20. レジスタの詳細（続き）

| アドレス  | レジスタ名            | ビット   | ビット名                 | 設定値 | 説明                                                                                                                                             | リセット              | アクセス |
|-------|------------------|-------|----------------------|-----|------------------------------------------------------------------------------------------------------------------------------------------------|-------------------|------|
| 0x079 | UNIQUE_PART_ID_1 | [7:0] | UNIQUE_PART_ID[15:8] |     | 一意の部品 ID。                                                                                                                                      | 0xFF <sup>1</sup> | R    |
| 0x07A | UNIQUE_PART_ID_0 | [7:0] | UNIQUE_PART_ID[7:0]  |     | 一意の部品 ID。                                                                                                                                      | 0xFF <sup>1</sup> | R    |
| 0x07D | SILICON_REVISION | [7:4] | NONISO_CHIP_REV      |     | NONISO チップのシリコン・リビジョン。                                                                                                                         | 0x1 <sup>2</sup>  | R    |
|       |                  | [3:0] | ISO_CHIP_REV         |     | ISO チップのシリコン・リビジョン。                                                                                                                            | 0x2 <sup>2</sup>  | R    |
| 0x07E | VERSION_PRODUCT  | [7:0] | VERSION_PRODUCT      |     | バージョン製品。                                                                                                                                       | 0xFF <sup>3</sup> | R    |
|       |                  |       |                      | 0   | ADE9113。                                                                                                                                       |                   |      |
|       |                  |       |                      | 1   | ADE9112。                                                                                                                                       |                   |      |
|       |                  |       |                      | 3   | ADE9103。                                                                                                                                       |                   |      |
| 0x0CC | DC_OFFSET_MODE   | [7:0] | DC_OFFSET_MODE       |     | DC オフセット・モード。このモードは、電流チャンネル入力の短絡をイネーブルにします。入力を短絡するには、レジスタに 1 を書込みます。短絡をディスエーブルにするには、0 を書込みます。このレジスタは必ず、まず CONFIG_ISO_ACC レジスタでロックを解除する必要があります。 |                   |      |

<sup>1</sup> デフォルト値は個々の IC に固有の値です。  
<sup>2</sup> シリコン・リビジョンごとに変更されることがあります。  
<sup>3</sup> デフォルト値は製品のバージョンに従います。

## 外形寸法

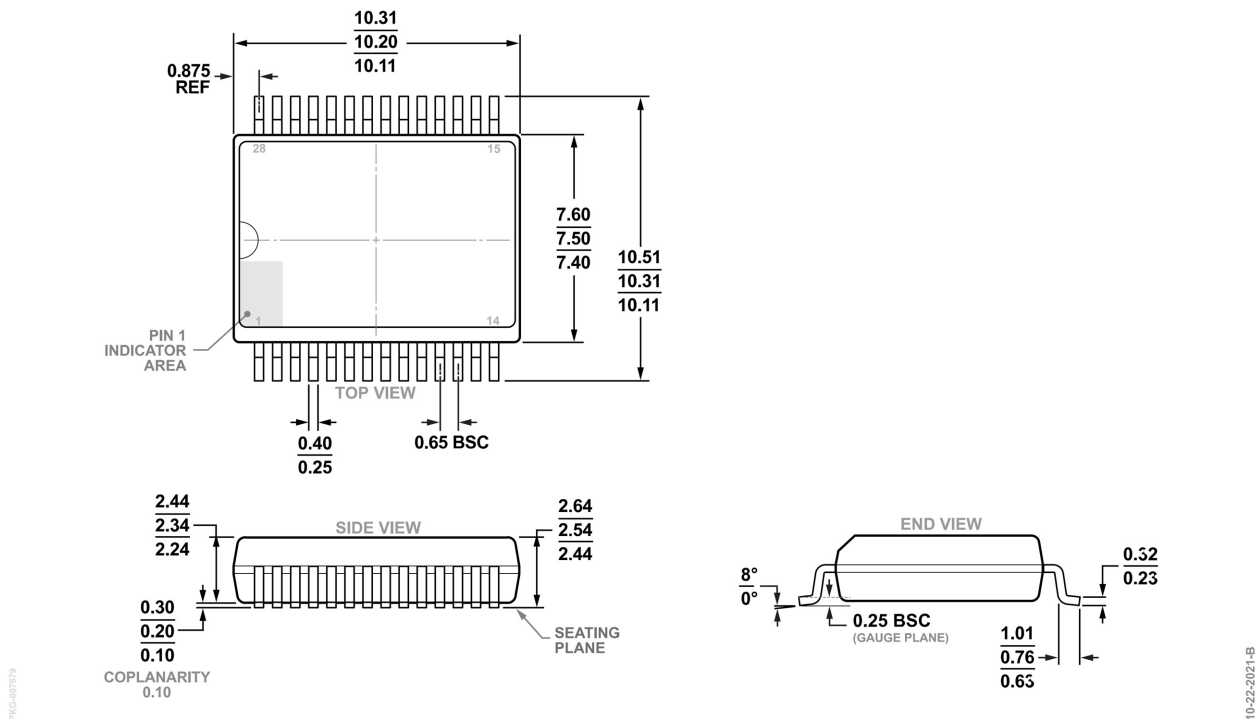


図 58. 28 ピン標準スモール・アウトライン、ワイド・ボディ、ファイン・ピッチ [SOIC\_W\_FP]  
(RN-28-1)  
単位: mm

更新: 2023 年 10 月 25 日

## オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description | Packing Quantity | Package Option |
|--------------------|-------------------|---------------------|------------------|----------------|
| ADE9103ARNZ        | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Tube, 46         | RN-28-1        |
| ADE9103ARNZ-REEL   | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Reel, 1000       | RN-28-1        |
| ADE9112ARNZ        | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Tube, 46         | RN-28-1        |
| ADE9112ARNZ-REEL   | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Reel, 1000       | RN-28-1        |
| ADE9113ARNZ        | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Tube, 46         | RN-28-1        |
| ADE9113ARNZ-REEL   | -40°C to +125°C   | 28-Lead SOIC_W_FP   | Reel, 1000       | RN-28-1        |

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

表 21. 評価用ボード

| Model <sup>1</sup> | Description                             |
|--------------------|-----------------------------------------|
| EVAL-ADE9113KTZ    | Evaluation Kit (Includes All Subboards) |
| EVAL-SDP-CB1Z      | Evaluation Syhstem Controller Board     |

<sup>1</sup> EVAL-SDP-CB1Z は、EVAL-ADE9113KTZ 評価用ボードを管理するコントローラ・ボードです。両方のボードは必ず、一緒にオーダーする必要があります。