



データシート

ADE9430

高性能の多相電力量および クラス S 電力品質モニタリング用 IC

特長

- ▶ 7 つの高性能 24 ビットシグマ・デルタ ($\Sigma\Delta$) ADC
 - ▶ 101dB SNR (8kSPS、PGA = 1)
 - ▶ 広い入力電圧範囲: $\pm 1V$ 、707mV 実効値のフルスケール (ゲイン = 1)
 - ▶ 差動入力
- ▶ $\pm 25\text{ppm}/^\circ\text{C}$ の最大チャンネル・ドリフト (ADC、内部 V_{REF} 、および PGA のドリフトを含む) により、ダイナミック入力レンジが 10000:1 で精度クラス 0.2 の測定を標準的な外付け部品で実現
- ▶ オプションの ADSW-PQ-CLS 電力品質ライブラリを使用し、次の項目を含む、完全な IEC 61000-4-30 クラス S 電力品質規格に対応
 - ▶ 電源周波数 (10 秒平均値)
 - ▶ 電源のマグニチュード
 - ▶ ディップおよびスウェル
 - ▶ 遮断
 - ▶ 急激な電圧変化
 - ▶ フリッカ
 - ▶ 主電源信号電圧
 - ▶ 過小偏差および過大偏差
 - ▶ 電圧および電流
 - ▶ マグニチュード
 - ▶ 高調波
 - ▶ 次数間高調波
 - ▶ 非平衡
 - ▶ THD
 - ▶ 波形記録
- ▶ ARM® Cortex マイクロコントローラに対応するオプションの ADSW-PQ-CLS 電力品質ライブラリ
- ▶ VRMS 1 サイクルおよび IRMS 1 サイクルをサイクルごとにリフレッシュ
- ▶ VRMS および IRMS をサンプルごとにフィルタリングおよび更新
- ▶ 10 サイクル実効値/12 サイクル実効値
- ▶ ライン周波数を計算するための周期レジスタ (相ごとに 1 つ)
- ▶ ゼロ交差およびゼロ交差タイムアウト
- ▶ 位相角測定
- ▶ CT をサポート
- ▶ CT のマルチポイント位相補償およびゲイン補償
- ▶ 外部アナログ積分器を追加したロゴスキー・コイル
- ▶ リサンプリングされた連続データが利用可能
- ▶ 波形バッファ
- ▶ 高度な測定機能セット
 - ▶ 総合および基本波有効電力、無効電力 (VAR)、電力 (VA)、ワット時、VAR 時、および VA 時

- ▶ 総合および基本波の IRMS および VRMS
- ▶ 力率
- ▶ 有効電力量の規格に対応: IEC 62053-21、IEC 62053-22、EN50470-3、OIML R46、ANSI C12.20
- ▶ 無効電力量の規格に対応: IEC 62053-23、IEC 62053-24
- ▶ 高速通信ポート: 20MHz SPI
- ▶ 12 ビット逐次比較レジスタ (SAR) ADC 使用の温度センサーを内蔵
- ▶ $\pm 3^\circ\text{C}$ の精度 ($-40\sim+85^\circ\text{C}$)

アプリケーション

- ▶ 電力量および電力モニタリング
- ▶ 規格準拠の電力品質モニタリング
- ▶ 保護用デバイス
- ▶ 装置の状態監視
- ▶ スマート配電ユニット
- ▶ 多相電力量計

目次

特長	1	電力量直線性の再現性.....	17
アプリケーション	1	温度に対する実効値の直線性の変化と、周波数に対する実効 値誤差の変化	18
概要	3	S/N 比 (SNR) 性能.....	20
代表的なアプリケーション回路.....	4	テスト回路	21
仕様	5	用語の定義	22
タイミング特性.....	8	動作原理.....	23
絶対最大定格.....	9	測定.....	23
熱抵抗	9	電力品質の測定	29
静電放電 (ESD) 定格.....	9	アプリケーション情報.....	34
ESD に関する注意.....	9	波形バッファ	34
ピン配置およびピン機能の説明.....	10	割込みとイベント	34
代表的な性能特性.....	12	内部データへのアクセス	34
電源および温度に対する電力量の直線性	12	外形寸法.....	35
周波数と力率に対する電力量誤差の変化	15	オーダー・ガイド	35
		評価用ボード	35

改訂履歴

5/2022—Revision 0: Initial Version

概要

ADE9430 は、必要な機能をすべて内蔵した高精度の多相電力量および電力品質モニタリング・デバイスです。優れたアナログ性能とデジタル信号処理 (DSP) コアにより、広いダイナミック・レンジにわたって正確な電力量モニタリングが可能です。内蔵のハイエンド・リファレンスにより全温度範囲で低ドリフトが確保されており、プログラマブル・ゲイン・アンプ (PGA) と A/D コンバータ (ADC) を含むチャンネル全体の総合ドリフトは最大で $\pm 25 \text{ ppm}/^\circ\text{C}$ 以下です。

ADE9430 は、実効値、周波数、位相角、力率、有効電力、無効電力、皮相電力および電力量の基本測定値だけでなく、瞬時の総合測定値を提供することにより、必要なあらゆる電力品質モニタリング機能を提供します。オプションの ADSWPQ-CLS 電力品質ライブラリを使用すると、ディップおよびスウェルのモニタリング、電源周波数、電圧全高調波歪み (VTHD)、電流全高調波歪み (ITHD) などの高度な電力品質機能が有効になります。1 サイクル実効値、10 サイクル実効値/12 サイクル実効値、およびオプションの ADSW-PQ-CLS 電力品質ライブラリ機能は、IEC 61000-4-30 クラス S に従って計算されます。ADSW-PQ-CLS を利用するには、[Software Request Form | Analog Devices](#) のソフトウェア・リクエスト・フォームに入力します。ここで、ターゲット・テクノロジーは電力品質モニタリングとし、プロセッサ/システム・オン・チップ (SoC) は ADE9430 とする必要があります。

ADE9430 は、10 サイクルまたは 12 サイクルごとに 1024 ポイントのリサンプリングされた波形を提供します。リサンプリングにより、外部プロセッサでの少なくとも 40 個の高調波の高速フーリエ変換 (FFT) の計算が簡素化されます。

ADE9430 では、アクイジション・エンジンと計算エンジンの緊密な統合化によって、電力量および電力品質モニタリング・システムの実装および認証が容易になります。内蔵の ADC と DSP エンジンが様々なパラメータを計算し、ユーザ・アクセス可能なレジスタを介してデータを提供し、あるいは割込みピンを介してイベントを示します。7 個の専用 ADC チャンネルを備えた ADE9430 は、3 相システムや、最大 3 つの単相システムに使用することができます。このデバイスは、電流測定用の外部アナログ積分器と併用すると、カレント・トランス (CT) またはロズキー・コイルに対応できます。

ADE9430 により、電力品質モニタリング・システムの計算の複雑さはほとんどなくなります。ADE9430 では、シンプルなホスト・マイクロコントローラとオプションの ADSW-PQ-CLS 電力品質ライブラリを組み合わせることで、スタンドアロンのモニタリングまたは保護システムの設計、あるいはデータをクラウドにアップロードする低コストのノードの設計が可能になります。

このデータシートでは、CF4/EVENT/DREADY などの多機能ピンは、ピン名全体を表記するか、あるいは、その機能のみが関連する場合はピンの単一機能 (例えばEVENT) のみを表記しています。

代表的なアプリケーション回路

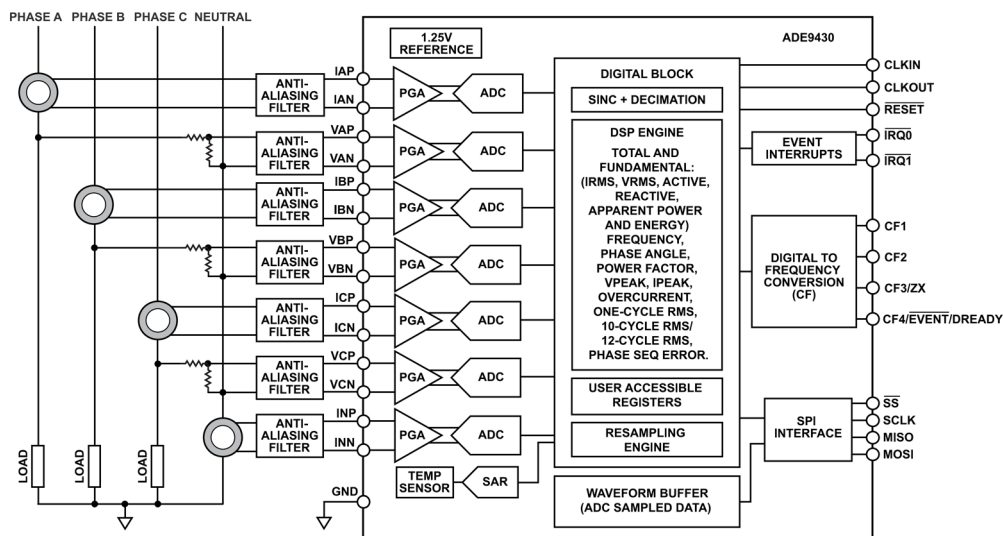


図 1. 代表的なアプリケーション回路

001

仕様

特に指定がない限り、VDD = 2.97~3.63V、GND = AGND = DGND = 0V、内部リファレンス、CLKIN = 24.576MHz 水晶発振器 (XTAL)、T_{MIN} ~ T_{MAX} = -40~+85°C、T_A = 25°C (代表値)。

表 1.

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
ACCURACY (MEASUREMENT ERROR PER PHASE)					
Total Active Energy		0.1		%	ダイナミック・レンジが 5000:1 に対して、10 秒間の累積
		0.2		%	ダイナミック・レンジが 10,000:1 に対して、20 秒間の累積
Total Reactive Energy		0.1		%	ダイナミック・レンジが 5000:1 に対して、10 秒間の累積
		0.2		%	ダイナミック・レンジが 10,000:1 に対して、20 秒間の累積
Total Apparent Energy		0.1		%	ダイナミック・レンジが 1000:1 に対して、2 秒間の累積
		0.5		%	ダイナミック・レンジが 5000:1 に対して、10 秒間の累積
Fundamental Active Energy		0.1		%	ダイナミック・レンジが 5000:1 に対して、2 秒間の累積
		0.2		%	ダイナミック・レンジが 10,000:1 に対して、10 秒間の累積
Fundamental Reactive Energy		0.1		%	ダイナミック・レンジが 5000:1 に対して、2 秒間の累積
		0.2		%	ダイナミック・レンジが 10,000:1 に対して、10 秒間の累積
Fundamental Apparent Energy		0.1		%	ダイナミック・レンジが 5000:1 に対して、2 秒間の累積
		0.5		%	ダイナミック・レンジが 10,000:1 に対して、10 秒間の累積
IRMS and VRMS		0.1		%	ダイナミック・レンジが 1000:1 に対して
		0.5		%	ダイナミック・レンジが 5000:1 に対して
Fundamental IRMS, VRMS		0.1		%	ダイナミック・レンジが 1000:1 に対して
		0.5		%	ダイナミック・レンジが 5000:1 に対して
Active Power, VAR, VA		0.2		%	ダイナミック・レンジが 1000:1 に対して
		0.4		%	ダイナミック・レンジが 3000:1 に対して
Power Factor (PF) Error		±0.001		%	ダイナミック・レンジが 5000:1 に対して
128-Point per Line Cycle or 1024 Point over 10 Cycles Resampled Data		0.1		%	マグニチュード応答を受信するために FFT が実行されます。この誤差は、リサンプリング・アルゴリズムの歪みによって引き起こされる最も厳しい条件でのマグニチュードの誤差です。入力信号は、フルスケールの半分での、50Hz の基本波と 9 次高調波です。
		-72		dB	最大スプリアス信号の振幅。入力信号は、フルスケールの半分での、50Hz の基本波と 9 次高調波です。
		1.25		%	マグニチュード応答を受信するために FFT が実行されます。この誤差は、リサンプリング・アルゴリズムの歪みによって引き起こされる最も厳しい条件でのマグニチュードの誤差です。入力信号は、フルスケールの半分での、50Hz の基本波と 31 次高調波です。
		-38		dB	最大スプリアス信号の振幅。入力信号は、フルスケールの半分での、50Hz の基本波と 31 次高調波です。
10 Cycle/12 Cycle IRMS and VRMS ¹		0.2		%	データはハイパス・フィルタ (HPF) の前で取得。入力での DC オフセットなし。ダイナミック・レンジ 100:1。
VRMS and IRMS 1 Cycle		0.2%		%	データは HPF の前で取得。入力での DC オフセットなし。ダイナミック・レンジ 100:1。
Line Period Measurement		0.001		Hz	50Hz での分解能
Current to Current, Voltage to Voltage, and Voltage to Current Angle Measurement		0.018		Degrees	50Hz での分解能
ADC					
PGA Gain Settings (PGA_GAIN)		1, 2, or 4		V/V	PGA ゲイン設定は、PGA_GAIN レジスタと呼ばれます。
Differential Input Voltage Range (VxP to VxN, IxP to IxN)	-1/Gain		+1/Gain	V	707mV 実効値、V _{REF} = 1.25V の場合、この電圧は 5300 万コードに相当。
Maximum Operating Voltage on Analog Input Pins (VxP, VxN, IxP, and IxN)	-0.6		+0.6	V	グラウンドに対するピンの電圧 (GND = AGND = DGND = REF _{GND})
Signal-to-Noise Ratio (SNR) ² PGA = 1		96		dB	32kSPS、sinc4 出力、入力電圧 (V _{IN}) = フルスケールの半分から -0.5dB

仕様

表 1.

パラメータ	最小値	代表値	最大値	単位	テスト条件／コメント
PGA = 4		101		dB	8kSPS、sinc4 + 無限インパルス応答 (IIR)、ローパス・フィルタ (LPF) 出力、 V_{IN} = フルスケールの半分から -0.5dB
		93		dB	32kSPS、sinc4 出力
		96		dB	8kSPS、sinc4 + IIR LPF 出力
Total Harmonic Distortion (THD) ² PGA = 1		-101	-95	dB	32kSPS、sinc4 出力、 V_{IN} = フルスケールの半分から -0.5dB
		-101	-95	dB	8kSPS、sinc4 + IIR LPF 出力、 V_{IN} = フルスケールの半分から -0.5dB
PGA = 4		-107	-99	dB	32kSPS、sinc4 出力
		-107	-99	dB	8kSPS、sinc4 + IIR LPF 出力
Signal-to-Noise and Distortion Ratio PGA = 1		95		dB	32kSPS、sinc4 出力、 V_{IN} = フルスケールの半分から -0.5dB
		98		dB	8kSPS、sinc4 + IIR LPF 出力、 V_{IN} = フルスケールの半分から -0.5dB
PGA = 4		93		dB	32kSPS、sinc4 出力
		96		dB	8kSPS、sinc4 + IIR LPF 出力
Spurious-Free Dynamic Range (SFDR) ² PGA = 1		100		dB	32kSPS、sinc4 出力、 V_{IN} = フルスケールの半分から -0.5dB
		100		dB	8kSPS、sinc4 + IIR LPF 出力、 V_{IN} = フルスケールの半分から -0.5dB
Output Pass Band (0.1dB)					
Sinc4 Outputs		1.344		kHz	32kSPS、sinc4 出力
Sinc4 + IIR LPF Outputs		1.344		kHz	8kSPS 出力
Output Bandwidth (-3 dB) ²					
Sinc4 Outputs		7.2		kHz	32kSPS、sinc4 出力
Sinc4 + IIR LPF Outputs		3.2		kHz	8kSPS 出力
Crosstalk ²		-120		dB	50Hz または 60Hz、用語の定義のセクションを参照してください。
AC Power Supply Rejection Ratio (AC PSRR) ²		-120		dB	50Hz、用語の定義のセクションを参照してください。
Common-Mode Rejection Ratio (AC CMRR) ²		115		dB	100Hz および 120Hz
Gain Error		±0.3	±1	%Typ	用語の定義のセクションを参照してください。
Gain Drift ²		±3		ppm/°C	用語の定義のセクションを参照してください。
Offset		±0.040	±3.8	mV	用語の定義のセクションを参照してください。
Offset Drift ²		0	±2	μV/°C	用語の定義のセクションを参照してください。
Channel Drift (PGA, ADC, and Internal Voltage Reference (V_{REF}))		±7	±25	ppm/°C	PGA = 1、内部 V_{REF}
Differential Input Impedance (DC)		±7	±25	ppm/°C	PGA = 2、内部 V_{REF}
		±7	±25	ppm/°C	PGA = 4、内部 V_{REF}
		165	185	kΩ	PGA = 1、用語の定義のセクションを参照してください。
		80	90	kΩ	PGA = 2
INTERNAL VOLTAGE REFERENCE		40	45	kΩ	PGA = 4
Voltage Reference		1.250		V	公称値 = 1.25V ± 1mV T_A = 25°C、REF ピン
Temperature Coefficient ²		±5	±20	ppm/°C	T_A = -40°C ~ +85°C (デバイスの特性評価中にテスト)
EXTERNAL VOLTAGE REFERENCE					
Input Voltage (REF)		1.2 or 1.25		V	REFGND は GND、AGND、DGND に接続する必要があります。1.25V の外部リファレンスを推奨。このデータシートに記載されている「フルスケール値の半分」は、1.25V の電圧リファレンスの場合のものです。
Input Impedance		7.5		kΩ	

仕様

表 1.

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
TEMPERATURE SENSOR					
Temperature Accuracy		±2		°C	−10°C〜+40°C
		±3		°C	−40°C〜+85°C
Temperature Readout Step Size			0.3	°C	
CRYSTAL OSCILLATOR					すべての仕様で、CLKIN = 24.576MHz ± 30ppm を使用
Input Clock Frequency	24.33	24.576	24.822	MHz	
Internal Capacitance on CLKIN and CLKOUT		4		pF	
Internal Feedback Resistance Between CLKIN and CLKOUT		2.45		MΩ	
Transconductance (g_m)	5	8		mA/V	
EXTERNAL CLOCK INPUT					
Input Clock Frequency	24.330	24.576	24.822	MHz	±1%
Duty Cycle ²	45:55	50:50	55:45	%	
CLKIN Logic Input Voltage					3.3V に対応可能
High, V_{INH}	1.2			V	$V_{DD} = 2.97 \sim 3.63V$
Low, V_{INL}			0.5	V	$V_{DD} = 2.97 \sim 3.63V$
LOGIC INPUTS (PM0, PM1, $\overline{RESET}$, MOSI, SCLK, and $\overline{SS}$)					
Input Voltage					
V_{INH}	2.4			V	
V_{INL}			0.8	V	
Input Current, I_{IN}			15	μA	$V_{IN} = 0V$
Internal Capacitance, C_{IN}			10	pF	
LOGIC OUTPUTS					
MISO, $\overline{IRQ0}$, and $\overline{IRQ1}$					
Output Voltage					
High, V_{OH}	2.4			V	ソース電流 (I_{SOURCE}) = 4mA
Low, V_{OL}			0.8	V	シンク電流 (I_{SINK}) = 4mA
C_{IN}			10	pF	
CF1, CF2, CF3, and CF4					
Output Voltage					
V_{OH}	24			V	$I_{SOURCE} = 7mA$
V_{OL}			0.8	V	$I_{SINK} = 8mA$
C_{IN}			10	pF	
LOW DROPOUT (LDO) REGULATORS					
Analog Supply Voltage (AV_{DD})		1.9		V	
Digital Supply Voltage (DV_{DD})		1.7		V	
POWER SUPPLY					
V_{DD}	2.97	3.3	3.63	V	パワーオン・リセット (POR) レベルは 2.4〜2.6V
Supply Current (I_{DD})					
Power Save Mode 0 (PSM0)		15	17	mA	通常動作モード
		14.5	16.5	mA	通常動作モード、6 個の ADC が有効
Power Save Mode 3 (PSM3)		90	300	nA	アイドル状態、 $V_{DD} = 3.3V$ 、 $AV_{DD} = 0V$ 、 $DV_{DD} = 0V$

¹ IEC 61000-4-30 クラス S を実現可能。² デバイスの特性評価時にテスト。

仕様

タイミング特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit
$\overline{SS}$ to SCLK Edge	t_{SS}	10			ns
SCLK Frequency	f_{SCLK}			20	MHz
SCLK Low Pulse Width	t_{SL}	20			ns
SCLK High Pulse Width	t_{SH}	20			ns
Data Output Valid After SCLK Edge	t_{DAV}			20	ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	10			ns
Data Input Hold Time After SCLK Edge	t_{DHD}	10			ns
Data Output Fall Time	t_{DF}			10	ns
Data Output Rise Time	t_{DR}			10	ns
SCLK Fall Time	t_{SF}			10	ns
SCLK Rise Time	t_{SR}			10	ns
MISO Disable Time After $\overline{SS}$ Rising Edge	t_{DIS}			100	ns
$\overline{SS}$ High After SCLK Edge	t_{SFS}	0			ns

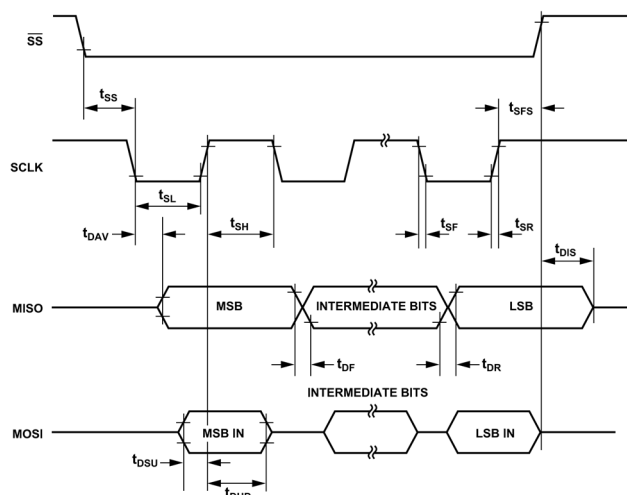


図 2. シリアル・ポート・インターフェース (SPI) のタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
VDD to GND	-0.3V to +3.96V
Analog Input Voltage to GND, IAP, IAN, IBP, IBN, ICP, ICN, INP, INN, VAP, VAN, VBP, VBN, VCP, VCN	-2V to +2V
Reference Input Voltage to REFGND	-0.3V to +2V
Digital Input Voltage to GND	-0.3V to VDD + 0.3V
Digital Output Voltage to GND	-0.3V to VDD + 0.3V
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Range	-65°C to +150°C
Junction	125°C
Lead (Soldering, 10 sec) ¹	260°C

¹ RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを、アナログ・デバイスでは推奨しています。この規格の最新バージョンについては、JEDEC にお問い合わせください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} と θ_{JC} は最も厳しい条件、すなわち、表面実装パッケージ用の回路基板にデバイスをハンダ付けした状態で規定しています。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-40-7 ¹	27.14	3.13	°C/W

¹ ジャンクション-空気間の測定には、4×4 の標準 JEDEC ビアを持つ 2S2P JEDEC テスト・ボードを使用しています。ジャンクション-ケース間の測定には、4×4 の標準 JEDEC ビアを持つ 1S0P JEDEC テスト・ボードを使用しています。JEDEC 規格 JESD51-2 を参照。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内に限られます。

ANSI/ESDA/JEDEC JS-001-2012 準拠の人体モデル（HBM）。

JESD22-C101E 準拠の電界誘導帯電デバイス・モデル（FICDM）。

ANSI/ESD STMD5.2 MM 定格に準拠したマシン・モデル（MM）は特性評価専用です。

ADE9430 の ESD 定格

表 5. ADE9430、40 ピン LFCSP

ESD Model ¹	Withstand Threshold	Class
HBM	3.75 kV	2
FICDM	1.25 kV	IV
MM	300 V	Not applicable

¹ RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを、アナログ・デバイスでは推奨しています。この規格の最新バージョンについては、JEDEC にお問い合わせください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

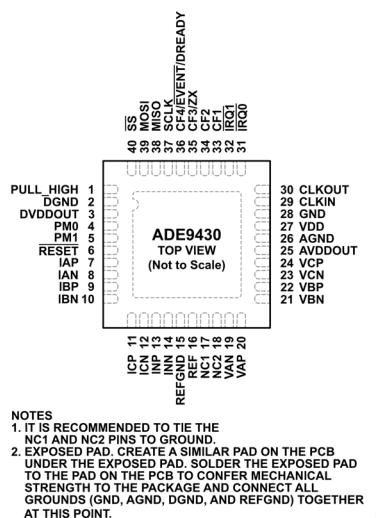


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	PULL_HIGH	ハイにプルアップ。このピンは VDD に接続します。
2	DGND	デジタル・グラウンド。このピンは、ADE9430 デジタル回路のグラウンド基準になります。ADE9430 のデジタル・リターン電流は小さいため、このピンは、システム全体のアナログ・グラウンド・プレーンに接続することもできます。すべてのグラウンド（GND、AGND、DGND、および REFGND）を 1 点に接続してください。
3	DVDDOUT	デジタル LDO レギュレータの 1.8V 出力。このピンは、0.1μF のセラミック・コンデンサと 4.7μF のセラミック・コンデンサを並列に接続してデカップリングします。
4	PM0	電力モード・ピン 0。PM0 は、PM1 との組み合わせによって電力モードを決定します。通常動作時は PM0 と PM1 を接地します。
5	PM1	電力モード・ピン 1。PM1 は、PM0 との組み合わせによって電力モードを決定します。通常動作時は PM0 と PM1 を接地します。
6	RESET	リセット入力、アクティブ・ロー。ハードウェア・リセットをトリガするには、このピンを少なくとも 1μs の間、ローに維持する必要があります。
7, 8	IAP, IAN	アナログ入力、チャンネル IA。IAP（正）入力と IAN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
9, 10	IBP, IBN	アナログ入力、チャンネル IB。IBP（正）入力と IBN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
11, 12	ICP, ICN	アナログ入力、チャンネル IC。ICP（正）入力と ICN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
13, 14	INP, INN	アナログ入力、チャンネル IN。INP（正）入力と INN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
15	REFGND	グラウンド・リファレンス、内部電圧リファレンス。すべてのグラウンド（GND、AGND、DGND、および REFGND）を 1 点に接続してください。
16	REF	電圧リファレンス。REF ピンから内部電圧リファレンスにアクセスできます。内部リファレンスの公称値は 1.25V です。このピンには、1.2V～1.25V の外部リファレンス源を接続することもできます。いずれの場合も、0.1μF のセラミック・コンデンサと 4.7μF のセラミック・コンデンサを並列に接続して、REF を REFGND にデカップリングします。リセットすると、内部リファレンスが有効になります。外部回路で内部電圧リファレンスを使用するには、バッファが必要です。
17	NC1	未接続。このピンはグラウンドに接続することを推奨します。
18	NC2	未接続。このピンはグラウンドに接続することを推奨します。
19, 20	VAN, VAP	アナログ入力、チャンネル VA。VAP（正）入力と VAN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
21, 22	VBN, VBP	アナログ入力、チャンネル VB。VBP（正）入力と VBN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
23, 24	VCN, VCP	アナログ入力、チャンネル VC。VCP（正）入力と VCN（負）入力は、最大差動レベル±1V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
25	AVDDOUT	アナログ LDO レギュレータの 1.9V 出力。AVDDOUT は、0.1μF のセラミック・コンデンサと 4.7μF のセラミック・コンデンサを並列に接続してデカップリングします。このピンには外部の能動回路を接続しないでください。
26	AGND	アナログ・グラウンド・リファレンス。すべてのグラウンド（GND、AGND、DGND、および REFGND）を 1 点に接続してください。

ピン配置およびピン機能の説明

表 6. ピン機能の説明

ピン番号	記号	説明
27	VDD	電源電圧。VDD ピンは電源電圧を供給します。VDD は、0.1μF のセラミック・コンデンサと 10μF のセラミック・コンデンサを並列に接続して、GND にデカップリングしてください。
28	GND	電源グラウンド・リファレンス。すべてのグラウンド（GND、AGND、DGND、および REFGND）を 1 点に接続してください。
29	CLKIN	水晶発振器／クロック入力。クロック源を供給するには、CLKIN と CLKOUT に水晶発振器を接続します。あるいは、このロジック入力に外部クロックを入力することもできます。
30	CLKOUT	水晶発振器出力。クロック源を供給するには、CLKIN と CLKOUT に水晶発振器を接続します。外部回路を駆動するために CLKOUT を使用する時は、外部バッファを接続してください。
31	$\overline{\text{IRQ0}}$	割込み要求出力。このピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントについては、 割込みとイベント のセクションを参照してください。
32	$\overline{\text{IRQ1}}$	割込み要求出力。このピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントについては、 割込みとイベント のセクションを参照してください。
33	CF1	キャリブレーション周波数ロジック出力 1。CF1、CF2、CF3、および CF4 出力は、CFMODE レジスタの CFxSEL ビットに基づいて電力情報を提供します。これらの出力は動作およびキャリブレーションに使用します。フルスケール出力周波数は、CFxDEN レジスタへの書き込みによってスケールリングしてください（ デジタル／周波数変換 - CFx 出力 のセクションと ADE9430 リファレンス技術マニュアルを参照）。
34	CF2	CF ロジック出力 2。このピンは CF2 を示します。
35	CF3/ZX	CF ロジック出力 3／ゼロ交差。このピンは、CF3 またはゼロ交差を示します。
36	CF4/EVENT/DREADY	CF ロジック出力 4／イベント・ピン／データ・レディ。このピンは CF4 イベント、または新しいデータの準備ができたことを示します。
37	SCLK	SPI ポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します（ 内部データへのアクセス のセクションを参照）。SCLK ピンは、例えば光アイソレータ出力など、エッジ遷移時間が長いクロック・ソースに使用するためのシュミット・トリガ入力を備えています。
38	MISO	SPI ポート用データ出力。
39	MOSI	SPI ポート用データ入力。
40	$\overline{\text{SS}}$	SPI ポート用チップ選択。
	EPAD	露出パッド。露出パッドの下に PCB に、同様のパッドを作成してください。機械的強度を確保するために露出パッドを PCB 上のパッドにハンダ付けし、すべてのグラウンド（GND、AGND、DGND、REFGND）をこのポイントにまとめて接続します。

代表的な性能特性

電源および温度に対する電力量の直線性

総合電力量は、振幅がフルスケールの 50% で周波数が 50Hz の正弦波電圧、フルスケールの 100% から 0.01% または 0.02% までの可変振幅で周波数 50Hz の正弦波電流から得られる値です。基本波電力量は、別途指定のない限り、振幅がフルスケールの 50% で 5 次高調波と同相の基本波電圧成分、フルスケールの 100% から 0.01% までの可変振幅の 50Hz 成分の電流、基本波の 40% の一定振幅を持つ 5 次高調波で得られる値です。

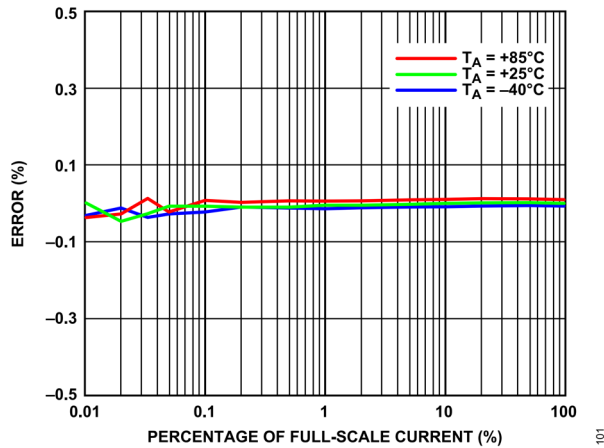


図 4. フルスケール電流のパーセンテージで表した総合有効電力量誤差の温度に対する変化（力率 = 1）

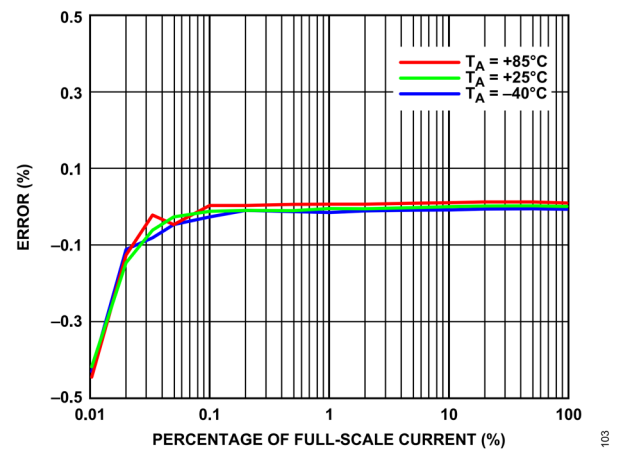


図 6. フルスケール電流のパーセンテージで表した総合皮相電力量誤差の温度に対する変化（力率 = 1）

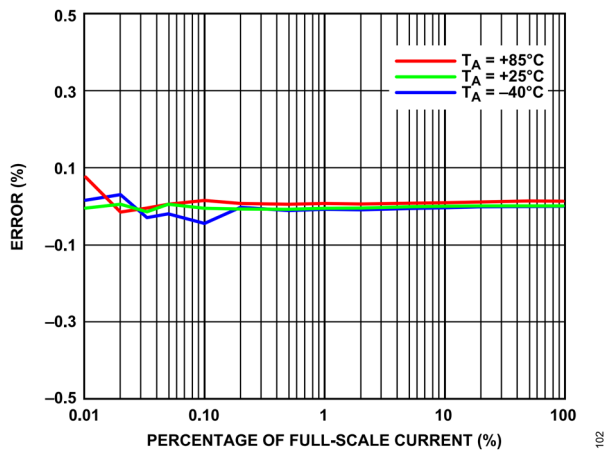


図 5. フルスケール電流のパーセンテージで表した総合有効電力量誤差の温度に対する変化（力率 = 0）

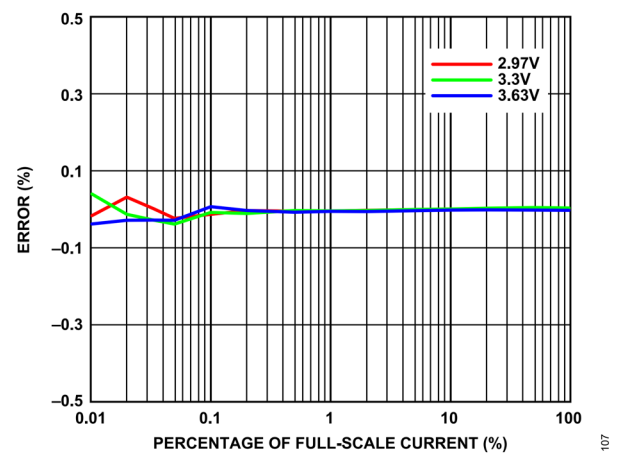


図 7. フルスケール電流のパーセンテージで表した総合有効電力量誤差の電源電圧に対する変化（力率 = 1、 $T_A = 25^\circ\text{C}$ ）

代表的な性能特性

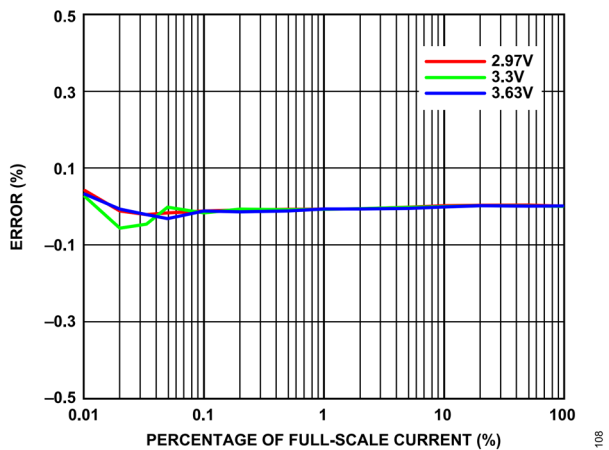


図 8. フルスケール電流のパーセンテージで表した
総合無効電力量誤差の電源電圧に対する変化
(力率 = 0、 $T_A = 25^\circ\text{C}$)

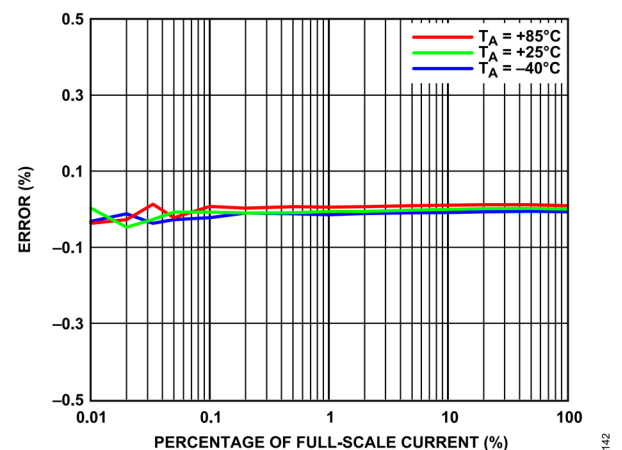


図 11. フルスケール電流のパーセンテージで表した
基本波無効電力量誤差の温度に対する変化 (力率 = 0)

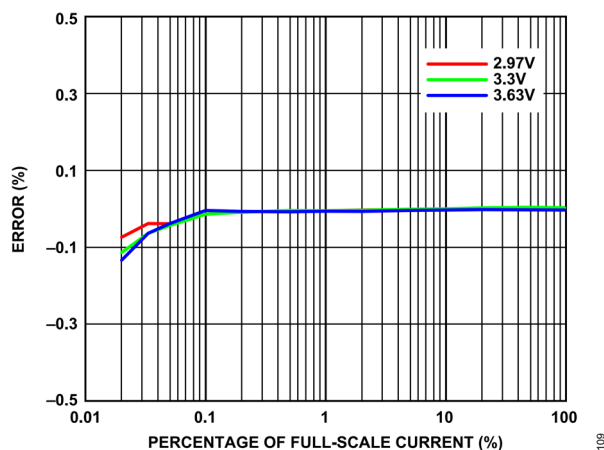


図 9. フルスケール電流のパーセンテージで表した
総合皮相電力量誤差の電源電圧に対する変化
(力率 = 1、 $T_A = 25^\circ\text{C}$)

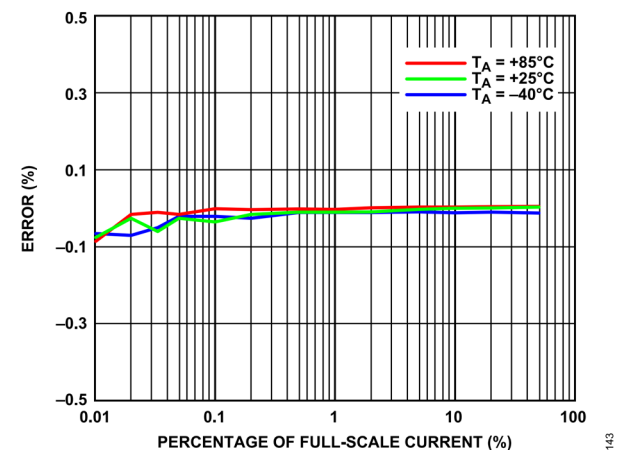


図 12. フルスケール電流のパーセンテージで表した
基本波皮相電力量誤差の温度に対する変化 (力率 = 1)

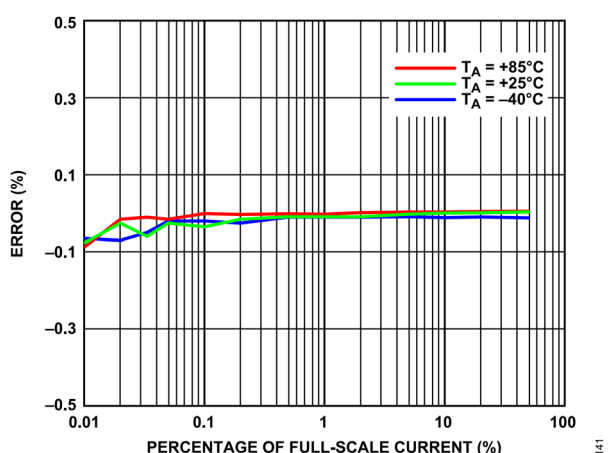


図 10. フルスケール電流のパーセンテージとして
表した基本波有効電力量誤差の温度に対する変化 (力率 = 1)

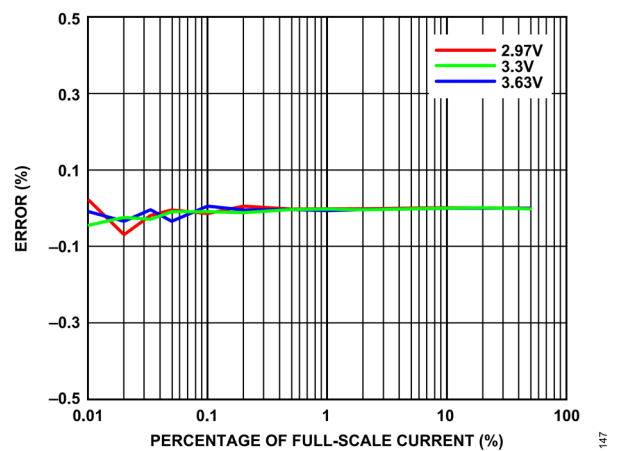


図 13. フルスケール電流のパーセンテージで表した
基本波有効電力量誤差の電源電圧に対する変化
(力率 = 1、 $T_A = 25^\circ\text{C}$)

代表的な性能特性

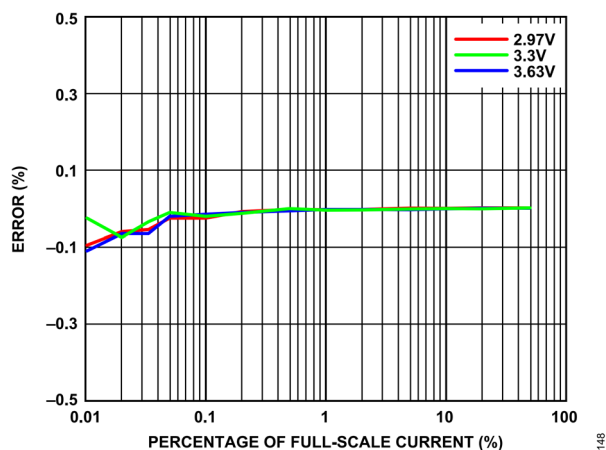


図 14. フルスケール電流のパーセンテージで表した
基本波無効電力量誤差の電源電圧に対する変化
(力率 = 0、 $T_A = 25^\circ\text{C}$)

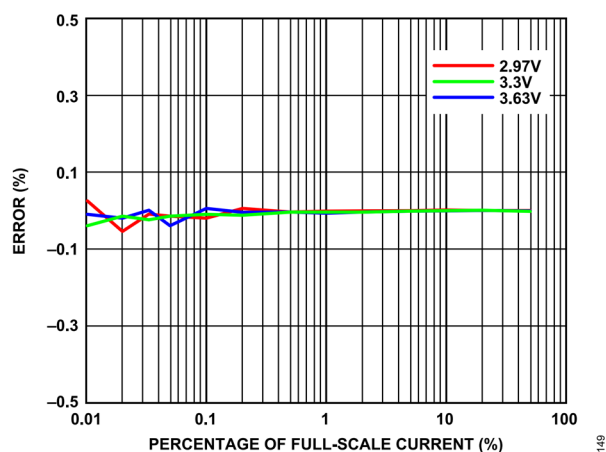


図 15. フルスケール電流のパーセンテージで表した
基本波皮相電力量誤差の電源電圧に対する変化
(力率 = 1、 $T_A = 25^\circ\text{C}$)

代表的な性能特性

周波数と力率に対する電力量誤差の変化

総合電力量は、振幅がフルスケールの 50% の正弦波電圧、フルスケールの 10% の一定振幅を持つ正弦波電流、45~65Hz の可変周波数から得られる値です。基本波電力量は、別途指定のない限り、振幅がフルスケールの 50% で 5 次高調波と同相の 50Hz 成分の基本波電圧成分、フルスケールの 10% の一定振幅を持つ電流、基本波の 40% の一定振幅を持つ 5 次高調波で得られる値です。

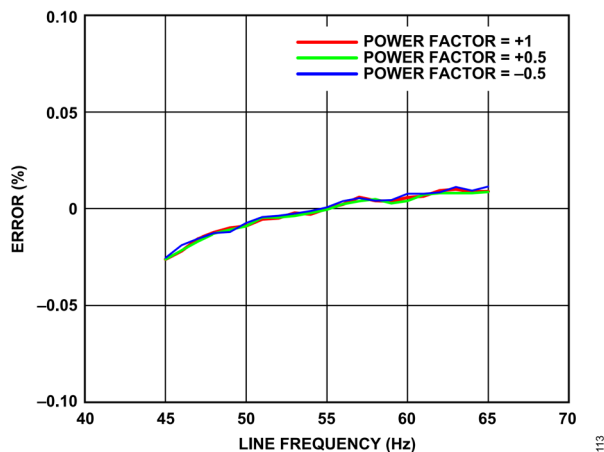


図 16. 総合有効電力量誤差とライン周波数の関係
(力率 = -0.5、力率 = +0.5、力率 = +1)

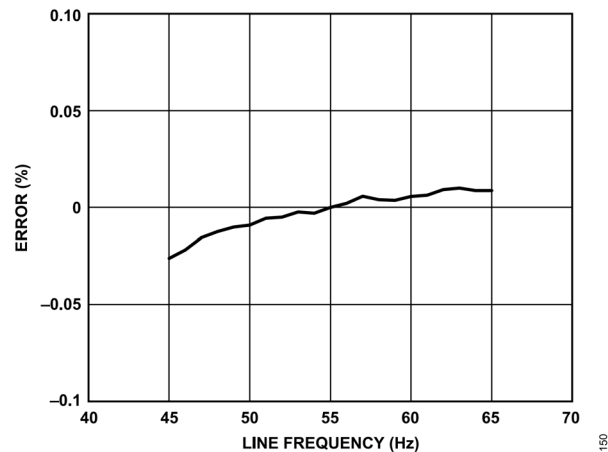


図 18. 総合皮相電力量誤差とライン周波数の関係

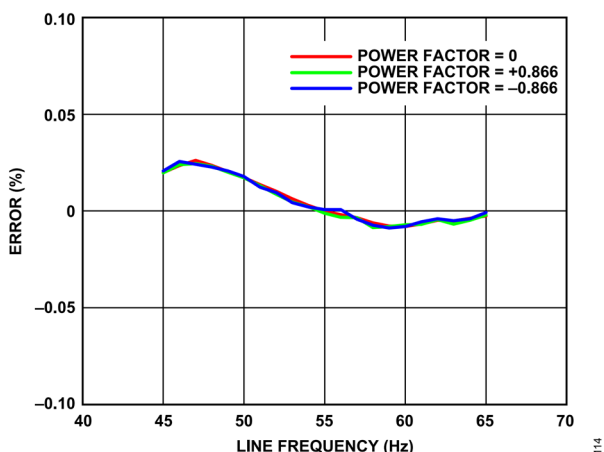


図 17. 総合無効電力量誤差とライン周波数の関係
(力率 = -0.866、力率 = 0、力率 = +0.866)

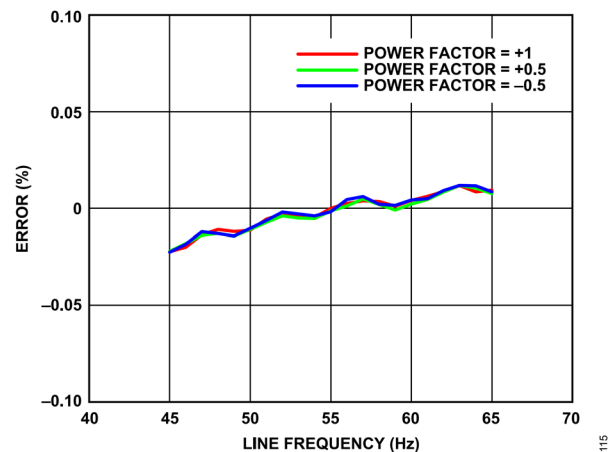


図 19. 基本波有効電力量誤差とライン周波数の関係
(力率 = -0.5、力率 = +0.5、力率 = +1)

代表的な性能特性

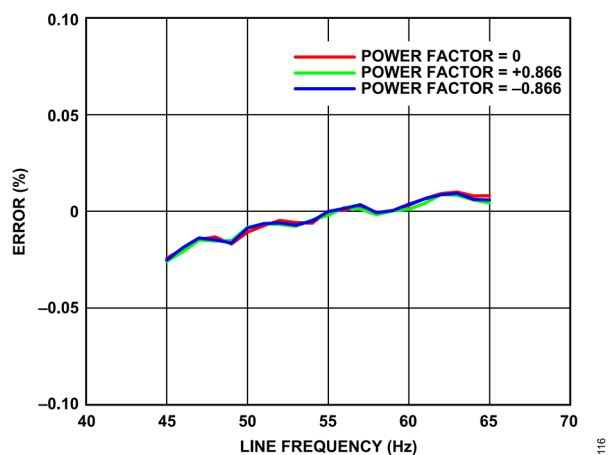


図 20. 基本波無効電力量誤差とライン周波数の関係
(力率 = -0.866、力率 = 0、力率 = +0.866)

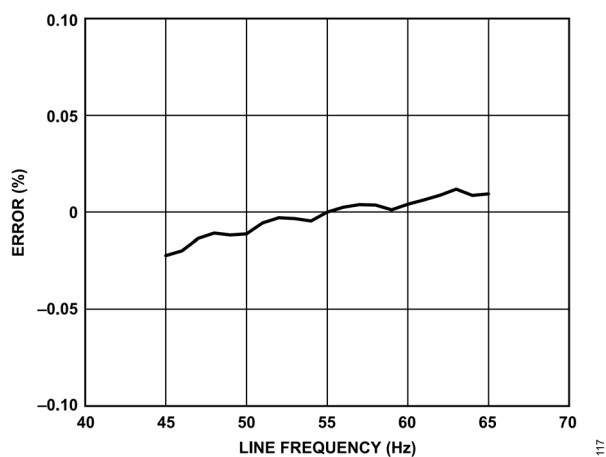


図 21. 基本波皮相電力量誤差とライン周波数の関係

代表的な性能特性

電力量直線性の再現性

総合電力量は、振幅がフルスケールの 50% で周波数が 50Hz の正弦波電圧、フルスケールの 100% から 0.01% までの可変振幅を持つ正弦波電流、および周波数 50Hz から得られる値です。基本波電力量は、振幅がフルスケールの 50% で 5 次高調波と同相の基本波電圧成分、フルスケールの 100% から 0.01% までの可変振幅を持つ 50Hz 成分の電流、基本波の 40% の一定振幅を持つ 5 次高調波で得られる値です。特に指定のない限り、測定は 25°C で 30 回反復。

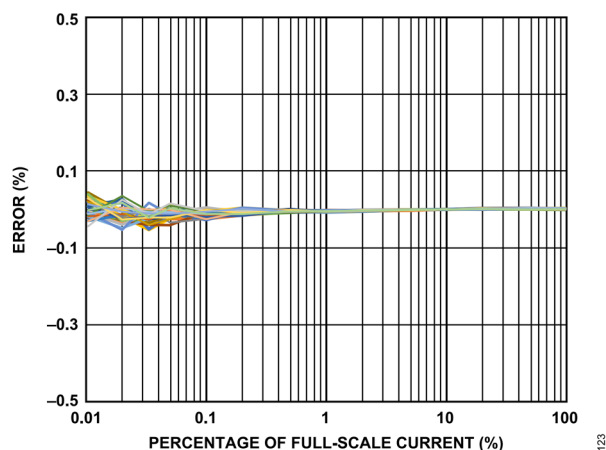


図 22. フルスケール電流のパーセンテージで表した
総合有効電力量誤差、力率 = 1
(フルスケール電流の 0.01% における標準偏差 $\sigma = 0.02\%$)

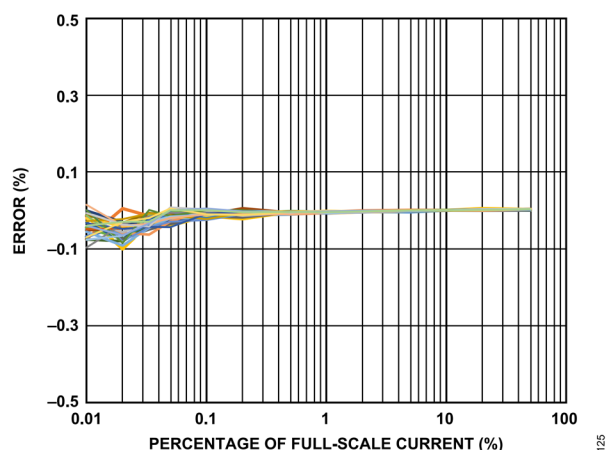


図 24. フルスケール電流のパーセンテージで表した
基本波有効電力量誤差、力率 = 1
(フルスケール電流の 0.01% における標準偏差 $\sigma = 0.03\%$)

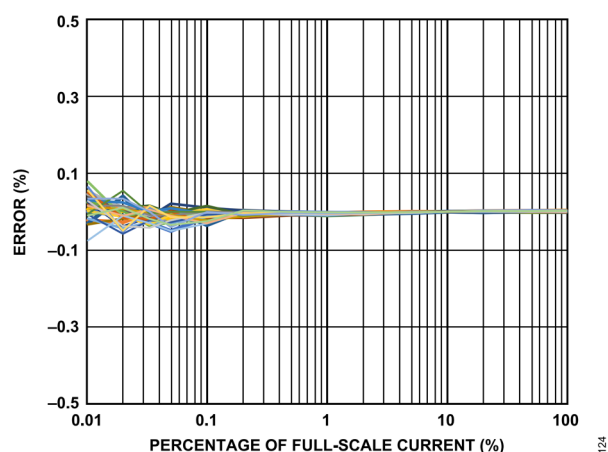


図 23. フルスケール電流のパーセンテージで表した
総合無効電力量誤差、力率 = 0
(フルスケール電流の 0.01% における標準偏差 $\sigma = 0.03\%$)

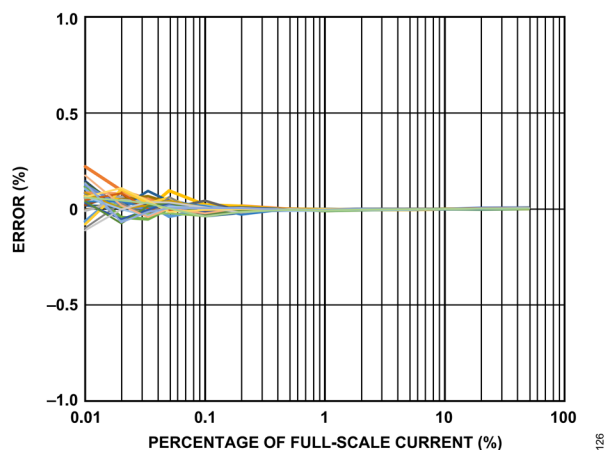


図 25. フルスケール電流のパーセンテージで表した
基本波無効電力量誤差、力率 = 0
(フルスケール電流の 0.01% における標準偏差 $\sigma = 0.04\%$)

代表的な性能特性

温度に対する実効値の直線性の変化と、周波数に対する実効値誤差の変化

実効値の直線性は、振幅 50Hz を使用してフルスケールの 100% から 0.01% までの可変振幅を持つ正弦波電流および電圧で得られる値です。周波数に対する総実効値誤差は、フルスケールの 10% の正弦波電流振幅と、フルスケールの 50% の電圧振幅で得られる値です。周波数に対する基本実効値誤差は、別途指定のない限り、フルスケールの 10% の正弦波電流振幅、フルスケールの 50% の電圧振幅、基本波の 40% の一定振幅を持つ 5 次高調波で得られます。

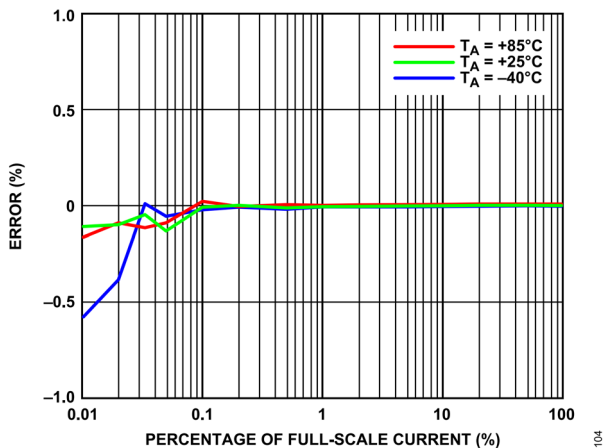


図 26. フルスケールのパーセンテージで表した電流実効値誤差の温度に対する変化

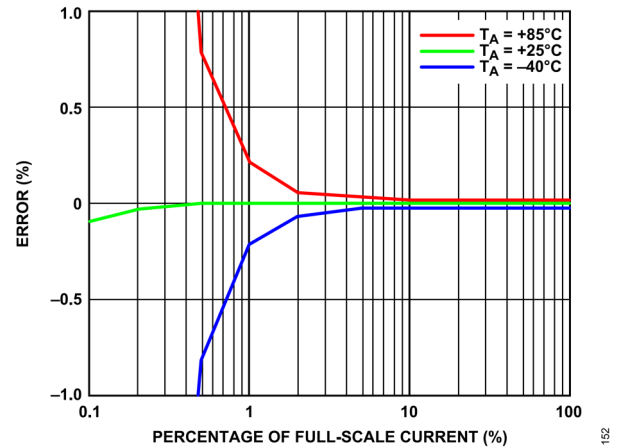


図 28. フルスケール電流のパーセンテージで表した 10 サイクル電流実効値 / 12 サイクル電流誤差の温度に対する変化 (データはハイパス・フィルタの前で抽出、オフセット・キャリブレーション、CONFIG0 レジスタの RMS_SRC_SEL ビット = 1)

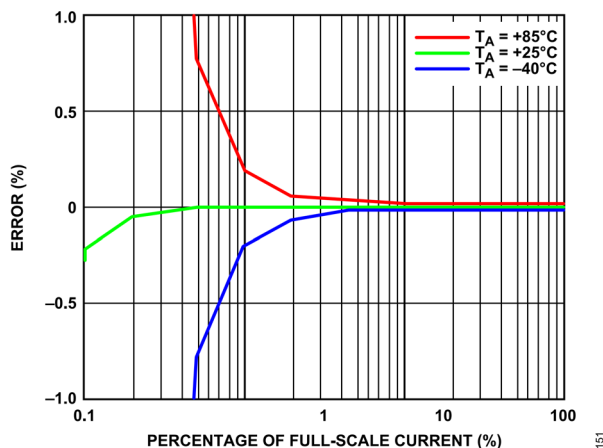


図 27. フルスケール電流のパーセンテージで表した 1 サイクル電流実効値誤差の温度に対する変化 (データはハイパス・フィルタの前で抽出、オフセットをキャリブレーション、CONFIG0 レジスタのビット RMS_SRC_SEL = 1)

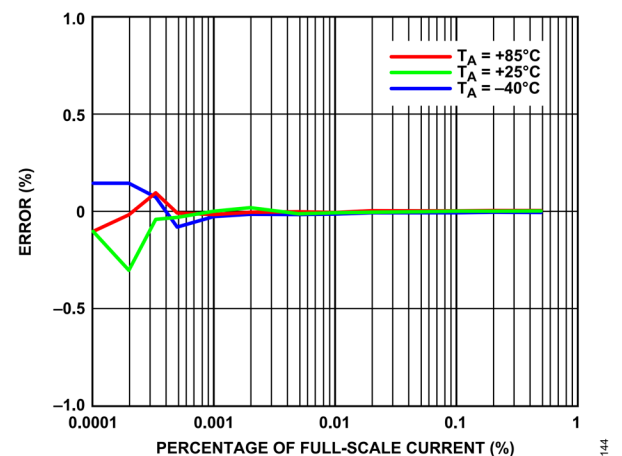


図 29. フルスケール電流のパーセンテージで表した基本電流実効値誤差の温度に対する変化

代表的な性能特性

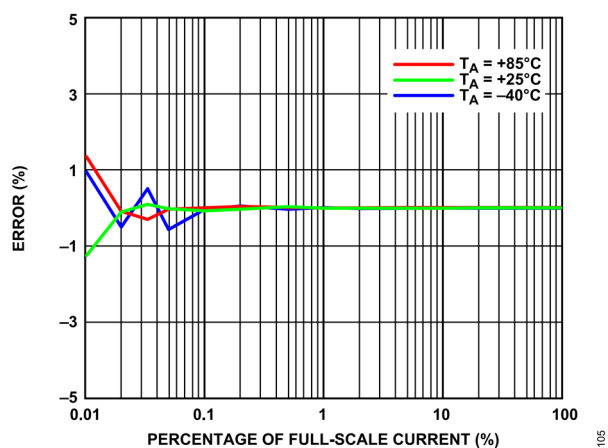


図 30. フルスケール電流のパーセンテージで表した
1 サイクル電流実効値誤差の温度に対する変化
(データはハイパス・フィルタの後で抽出、
CONFIG0 レジスタのビット RMS_SRC_SEL = 0)

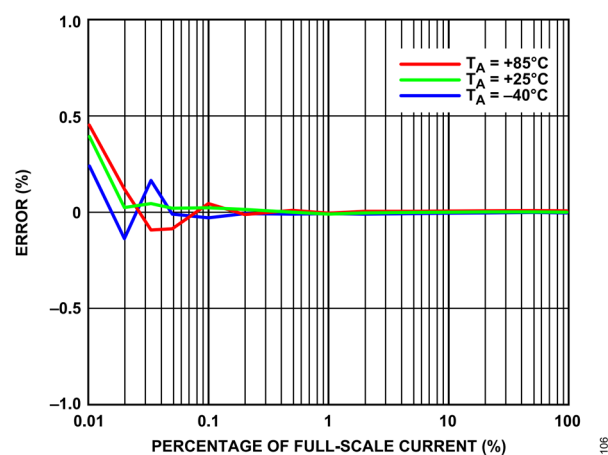


図 31. フルスケール電流のパーセンテージで表した
10 サイクル電流実効値 / 12 サイクル電流誤差の温度に対する
変化 (データはハイパス・フィルタの後で抽出、
CONFIG0 レジスタの RMS_SRC_SEL ビット = 0)

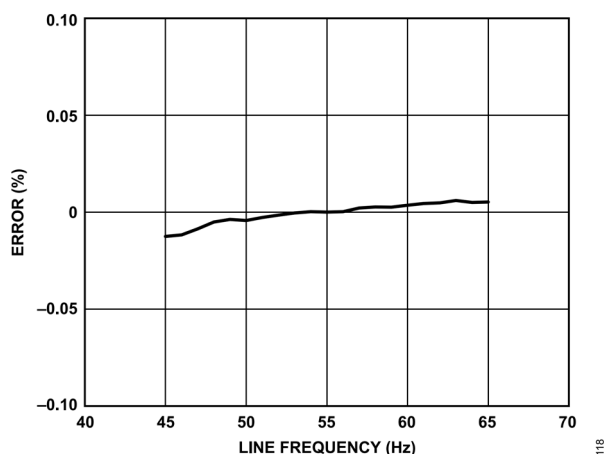


図 32. 電流実効値誤差とライン周波数の関係

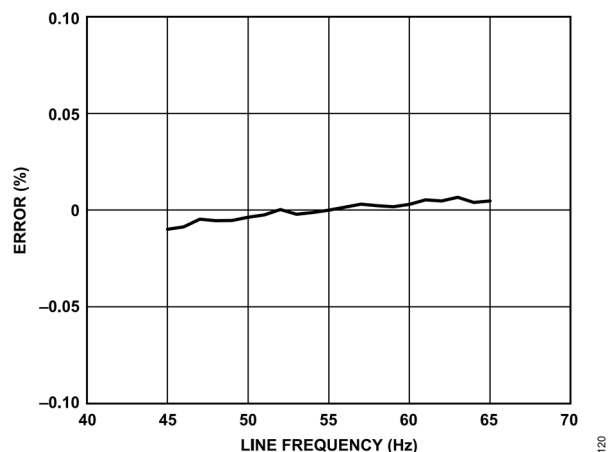


図 33. 基本波電流実効値誤差とライン周波数の関係

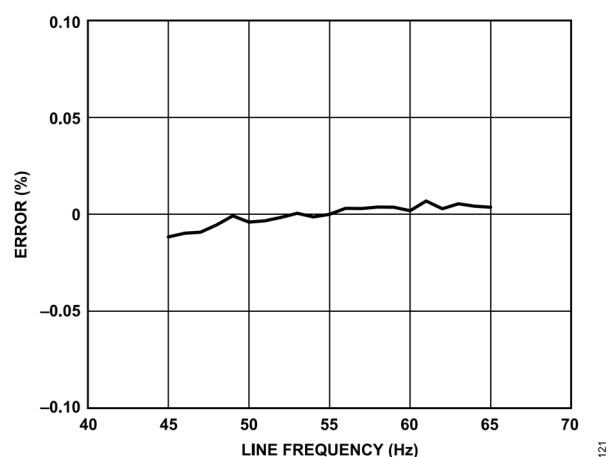


図 34. 1 サイクル電流実効値誤差とライン周波数の関係
(データはハイパス・フィルタの後で抽出、
CONFIG0 レジスタのビット RMS_SRC_SEL = 0)

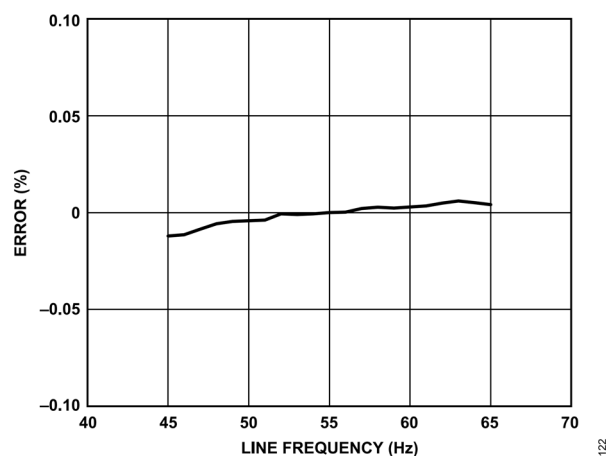


図 35. 10 サイクル電流実効値 / 12 サイクル電流誤差と
ライン周波数の関係 (データはハイパス・フィルタの後で抽出、
CONFIG0 レジスタのビット RMS_SRC_SEL = 0)

代表的な性能特性

S/N 比 (SNR) 性能

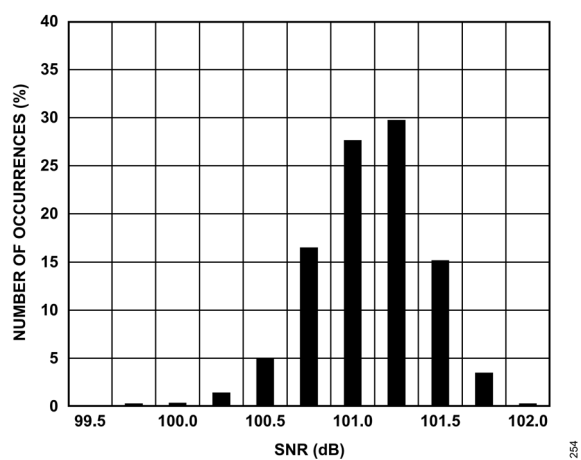


図 36. 1000 個のデバイスの ADC SNR の SNR ヒストグラム
($T_A = 25^\circ\text{C}$ 、PGA_GAIN = 1、
データ・レート 8kSPS でテスト)

テスト回路

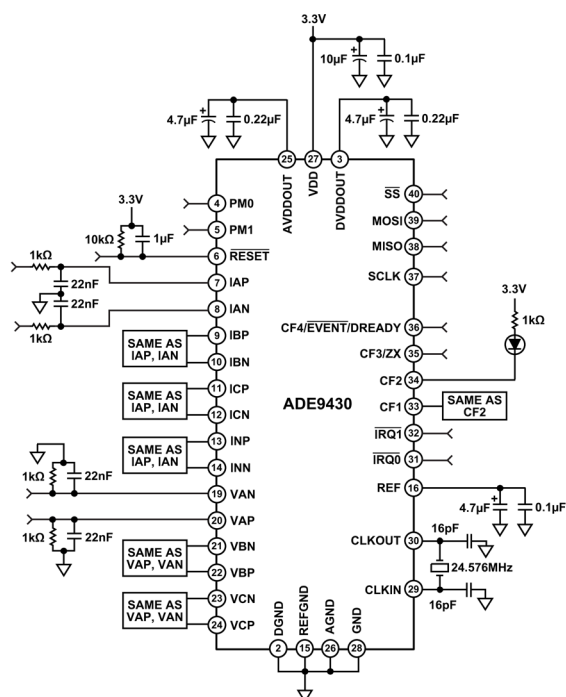


図 37. テスト回路

用語の定義

クロストーク

クロストークの測定は、1 つのチャンネルを接地し、他のすべてのチャンネルでフルスケールの 50Hz または 60Hz 信号を加えて行います。クロストークは、接地された ADC 出力値と、その ADC フルスケール出力値の比です。ADC 出力は 100 秒間収集され、クロストークの単位はデシベルです。

差動入力インピーダンス dc

差動入力インピーダンス dc は、I_{xP} と I_{xN} のペア間、または V_{xP} と V_{xN} のペア間のインピーダンスを表します。その値は、表 1 に示すように、選択した PGA ゲインの値と共に変化します。

ADC オフセット

ADC オフセットは、両方の入力をグラウンドに接続した状態で測定した ADC 出力コードの平均と、理想 ADC 出力コード 0 の差です。ADC オフセットは mV で表されます。

温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化です。これを -40°C、+25°C、+85°C で測定し、次式に従って温度に対するオフセット・ドリフトを計算します。

$$Drift = \max \left(\left| \frac{Offset(-40^{\circ}C) - Offset(+25^{\circ}C)}{(-40^{\circ}C - +25^{\circ}C)} \right|, \left| \frac{Offset(+85^{\circ}C) - Offset(+25^{\circ}C)}{(+85^{\circ}C - +25^{\circ}C)} \right| \right) \quad (1)$$

オフセット・ドリフトは $\mu V/^{\circ}C$ で表されます。

ADC ゲイン誤差

ADC ゲイン誤差は、外部電圧リファレンスに 1.2V を使用した場合の、ADC 出力コード測定値（からオフセットを引いた値）と出力コード理想値の差を表します。この差はコード理想値に対するパーセンテージで表され、1 つのチャンネルの総合ゲイン誤差を表します。

温度に対する ADC ゲイン・ドリフト

この温度係数には、外部電圧リファレンスに 1.2V を使用した場合の ADC ゲインの温度に対する変化が含まれます。この係数は、1 つの電流または電圧チャンネルの総合温度係数を表します。1.2V の外部電圧リファレンス使用時は、-40°C、+25°C、+85°C における ADC ゲインを測定し、次式に従って温度係数を計算します。

$$Drift = \max \left(\left| \frac{Gain(-40^{\circ}C) - Gain(+25^{\circ}C)}{Gain(+25^{\circ}C) \times (-40^{\circ}C - +25^{\circ}C)} \right|, \left| \frac{Gain(+85^{\circ}C) - Gain(+25^{\circ}C)}{Gain(+25^{\circ}C) \times (+85^{\circ}C - +25^{\circ}C)} \right| \right) \quad (2)$$

ゲイン・ドリフトは ppm/ $^{\circ}C$ で表されます。

AC 電源電圧変動除去比 (PSRR)

AC PSRR は、DC 電源電圧を公称値 (V_{NOM}) にして AC 変調を行い、入力を接地した場合の測定誤差を、示度に対するパーセンテージとして定量化するものです。AC PSRR を測定するには、公称電源電圧 3.3V (V_1) で 20 秒間サンプルを収集し、別の AC 信号 (50Hz で 330mV ピーク) を電源に加えて、2 セット目 (V_2) を収集します。以上より、PSRR は、 $PSRR = 20 \log_{10}(V_2/V_1)$ で表されます。

S/N 比 (SNR)

S/N 比は、50Hz 信号を入力して 2 秒間サンプルを収集することによって計算します。ADC 出力帯域幅 (-3dB) として示された帯域幅までの、各周波数の振幅を計算します。S/N 比を決定するには、50Hz での信号を他のすべての周波数における電力の合計と比較し、その高調波からの電力を除去します。S/N 比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINAD は、50Hz 信号を入力して 2 秒間サンプルを収集することによって計算します。ADC 出力帯域幅 (-3dB) として示された帯域幅までの、各周波数の振幅を計算します。SINAD を決定するには、50Hz での信号を他のすべての周波数における電力の合計と比較します。SINAD の単位はデシベルです。

全高調波歪み (THD)

THD は、50Hz 信号を入力して 2 秒間以上サンプルを収集することによって計算します。ADC 出力帯域幅 (-3dB) として示された帯域幅までの、各周波数の振幅を計算します。THD を決定するには、この帯域幅までの 50Hz 高調波の振幅の 2 乗和平方根を取ります。THD の単位はデシベルです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、50Hz 信号を入力して 2 秒間以上サンプルを収集することによって計算します。ADC 出力帯域幅 (-3dB) として示された帯域幅までの、各周波数の振幅を計算します。SFDR を決定するには、50Hz の高調波ではない最大信号の振幅を記録します。SFDR の単位はデシベルです。

ADC 出力パスバンド

ADC 出力パスバンドは 0.1dB 以内の帯域幅であり、sinc4 および sinc4 + IIR LPF のデジタル・フィルタリングによって得られます。

ADC 出力帯域幅

ADC 出力帯域幅は -3dB 以内の帯域幅で、sinc4 および sinc4 + IIR LPF のデジタル・フィルタリングによって得られます。

動作原理

測定

電流チャンネル

ADE9430 には、3 つの相電流チャンネルと 1 つの中性電流チャンネルがあります。IA、IB、IC の相電流チャンネルのデータパスを図 38 に、中性電流チャンネルのデータパスを図 39 に示し

ます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

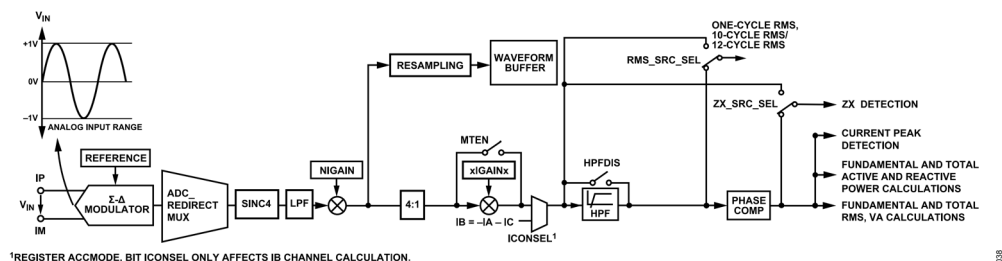


図 38. 電流チャンネル (IA、IB、IC) データパス

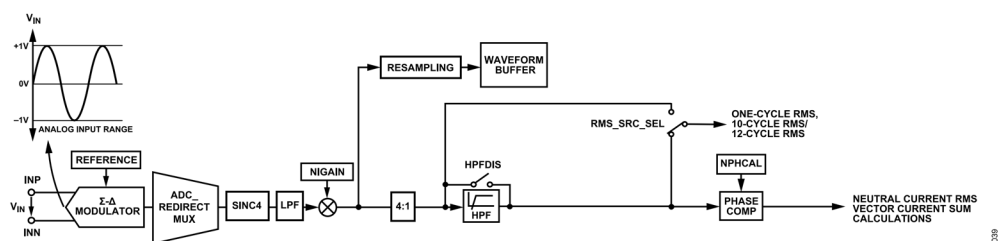


図 39. 中性電流チャンネル (IN) データパス

動作原理

ADC_REDIRECT マルチプレクサ

ADE9430 は、ADC 出力を任意のデジタル処理データパスにリダイレクトできるマルチプレクサを備えています（図 40 参照）。

デフォルトでは、各変調器はそれに対応するデータパスにマップされます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

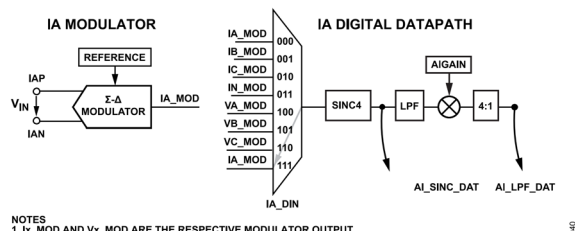


図 40. ADC_REDIRECT 変調器から
デジタル・データパスへのマルチプレクサ

電流チャンネル・ゲイン xIGAIN

ADE9430 は、電流チャンネルごとに 1 個の電流ゲイン・キャリブレーション・レジスタ（AIGAIN、BIGAIN、CIGAIN、NIGAIN）を備えています。

下の式に示すように、電流チャンネル・ゲインは xIGAIN と共に変化します。

$$\text{Current Channel Gain} = (1 + (xIGAIN/2^{27}))$$

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

ICONSEL を使用した IB 計算

ACCMODE レジスタの ICONSEL ビットに書き込み、 $I_B = -I_A - I_C$ を計算します。この設定は、一部の 3 線式デルタ構成でカレント・トランスのコスト削減に役立ちます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

ハイパス・フィルタ

ハイパス・フィルタは、正確な実効値および電力量測定のために DC オフセットを除去します。このフィルタはデフォルトでイネーブルされており、コーナ周波数は 1.25Hz です。

すべての電流チャンネルと電圧チャンネルでハイパス・フィルタをディスエーブルするには、CONFIG0 レジスタの HPFDIS ビットを設定します。コーナ周波数は、CONFIG2 レジスタの HPF_CRN ビットで設定されます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

位相補償

ADE9430 は、各電流チャンネル用の位相補償レジスタ、APHCALx、BPHCALx、CPHCALx、NPHCAL を備えています。

位相キャリブレーション範囲は 50Hz で $-15^\circ \sim +2.25^\circ$ 、60Hz で $-15^\circ \sim +2.7^\circ$ です。

所定の位相補正角度（ ϕ ）°に対する xPHCALx 値の計算には、以下の式を使用します。位相補正角度（ ϕ ）°は、カレント・トランスに見られるように、電圧より遅れている電流を補正する場合は正で、電圧より進んでいる電流を補正する場合は負です。

$$xPHCALx = \left(\frac{\sin(\phi - \omega) + \sin\omega}{\sin(2\omega - \phi)} \right) \times 2^{27} \quad (3)$$

$$\omega = 2\pi \times f_{LINE} / f_{DSP}$$

ここで、

f_{LINE} はライン周波数。

f_{DSP} は 8kHz。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

位相およびゲインのマルチポイント・キャリブレーション

ADE9430 では、IA、IB、IC 電流チャンネルで、ヒステリシスを含めてゲインおよび位相のマルチポイント補償を行うことができます。ゲインおよび位相のマルチポイント補償は、リサンプリングされたデータには適用されません。電流チャンネルのゲインおよび位相の補償は、入力電流の実効値振幅（xIRMS）の計算値の関数として変化します。各チャンネルには、5 個のゲイン・レジスタ（xIGAIN0～xIGAIN4）と 5 個の位相キャリブレーション・レジスタ（xPHCAL0～xPHCAL4）があります。ゲインと位相のマルチポイント・キャリブレーションを有効にするには、CONFIG0 レジスタの MTEN ビットをセットします。デフォルトでは MTEN = 0 です。

ゲインおよび位相のキャリブレーション係数は、図 41 に示すように、xIRMS 電流振幅と、MTTHR_Lx および MTTHR_Hx のレジスタ値に基づいて適用されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

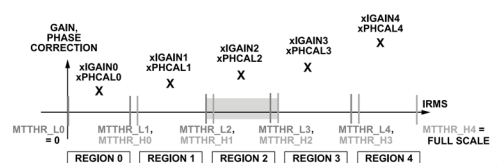


図 41. 位相およびゲインのマルチポイント・キャリブレーション

電圧チャンネル

ADE9430 には 3 つの電圧チャンネルがあります。VA、VB および VC 電圧チャンネルのデータパスを図 42 に示します。xVGAIN レジスタは、各相の電圧チャンネルをキャリブレーションします。xVGAIN レジスタのスケールリングは xIGAIN レジスタと同じです。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

動作原理

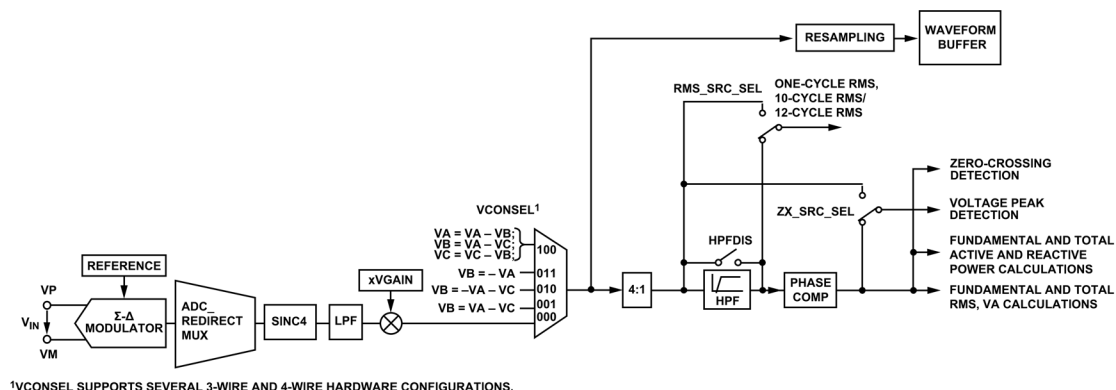


図 42. 電圧チャンネルのデータパス

実効値と電力の測定

ADE9430 は、実効値電流、実効値電圧、有効電力、無効電力、皮相電力の総合値と基本波値を計算します。基本アルゴリズムでは、ACCMODE レジスタ内の SELFREQ ビットと VLEVEL レジスタ内の公称電圧を使って、ネットワーク周波数を初期化する必要があります。VLEVEL 値は次式を使って計算します。

$$VLEVEL = x \times 1,144,084$$

ここで x はダイナミック・レンジで、公称入力信号とフルスケールの比で表されます。

例えば、信号がフルスケールの 1/2 にある場合、 $x = 2$ です。

$$VLEVEL = 2 \times 1,144,084$$

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

総合実効値と基本波実効値

ADE9430 は、すべての相チャンネルで、電流および電圧の総合実効値と基本波実効値の測定ができます。図 43 にデータパスを示します。

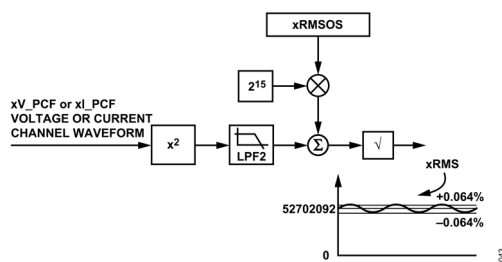


図 43. フィルタベースの総合実効値 (RMS 値)

各チャンネルに 1 つずつの総合実効値の計算結果 (AIRMS、BIRMS、CIRMS、NIRMS、AVRMS、BVRMS、CVRMS) は、8kSPS ごとに更新されます。AIFRMS、BIFRMS、CIFRMS、AVFRMS、BVRFRMS、および CVFRMS レジスタに格納される基本波実効値の計算結果も、8kSPS ごとに更新されます。中性チャンネルの基本波実効値を求めることはできません。

フルスケールの xRMS と xFRMS 値は、10 進法で 52,702,092 です。

測定された総合および基本波実効値は、ゲインとオフセットをキャリブレーションすることができます。ゲイン・キャリブレーションは、それぞれの電流および電圧チャンネル・データパスで行ってください。次式は、オフセット・キャリブレーション・レジスタによって対応する実効値レジスタ内の結果がどのように変更されるかを示しています。

$$xRMS = \sqrt{xRMS_0^2 + 2^{15} \times xRMOSOS} \quad (4)$$

ここで、 $xRMS_0$ は、オフセット・キャリブレーション前の xRMS レジスタの初期値です。

$$xFRMS = \sqrt{xFRMS_0^2 + 2^{15} \times xFRMOSOS} \quad (5)$$

また、ADE9430 は合計値 $I_A + I_B + I_C \pm I_N$ の実効値を計算して、その結果を ISUMRMS に保存します。CONFIG0 レジスタの ISUM_CFG ビットは、総和に含まれる成分を設定します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

総合および基本波有効電力

ADE9430 は、すべての相チャンネルの総合および基本波有効電力を測定することができます。A 相の総合有効電力の計算については、図 44 を参照してください。

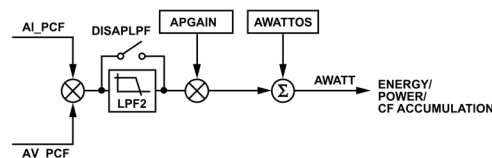


図 44. A 相の総合有効電力 AWATT の計算

各チャンネルに 1 つの有効電力計算 (AWATT、BWATT、CWATT) は、8kSPS ごとに更新されます。基本波有効電力も、8kSPS ごとに更新されて、AFWATT、BFWATT および CFWATT レジスタに格納されます。フルスケール入力の場合、xWATT および xFWATT の値は 10 進法で 20,694,066 です。

動作原理

通常動作時は LPF2 をイネーブルしてください (DISAPLPF = 0)。瞬時総合有効電力を得るには、CONFIG0 レジスタの DISAPLPF を設定して、LFP2 をディスエーブルします。リセット時の DISAPLPF はゼロです。

総合測定値と基本波測定値は、ゲインとオフセットをキャリブレーションすることができます。以下の式は、ゲインおよびオフセット・キャリブレーション・レジスタがどのようにして対応電力レジスタの結果を変更するかを示しています。

$$xWATT = \left(1 + \frac{xPGAIN}{2^{27}}\right)xWATT_0 + xWATTOS \quad (6)$$

$$x_{FWATT} = \left(1 + \frac{x_{PGAIN}}{2^{27}}\right) x_{FWATT_0} + x_{FWATTOS} \quad (7)$$

$xPGAIN$ は、有効電力、無効電力、および皮相電力の総合および基本波成分に共通するゲインです。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

総合および基本波無効電力

ADE9430 は、すべてのチャンネルの総合および基本波無効電力を測定することができます。図 45 に総合無効電力の計算方法を示します。

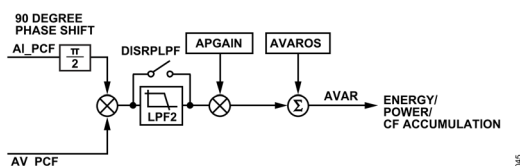


図 45. 総合無効電力 AVAR の計算

無効電力の計算値は、チャンネルごとに 1 つあり (AVAR、BVAR、CVAR)、これらは 8kSPS ごとに更新されます。基本波無効電力も、8kSPS ごとに更新されて、AFVAR、BFVAR および CFVAR レジスタに格納されます。フルスケール入力の場合、xVAR および xFVAR の値は 20.694.066 です。

通常動作時は LPF2 をイネーブルしてください (DISRPLPF=0)。瞬時総合無効電力を得るには、CONFIG0 レジスタの DISRPLPF をセットすることによって LFP2 をディスエーブルします。リセット時の DISRPLPF はゼロです。

以下の式は、ゲインおよびオフセット・キャリブレーション・レジスタがどのようにして対応電力レジスタの結果を変更するかを示しています。

$$xVAR = \left(1 + \frac{xPGAIN}{2^{27}}\right)xVAR_0 + xVAR_{OS} \quad (8)$$

$$x_{FVAR} = \left(1 + \frac{x_{PGAIN}}{2^{27}}\right)x_{FVAR_0} + x_{FVAROS} \quad (9)$$

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

総合および基本波皮相電力

ADE9430 は、すべてのチャンネルの総合および基本波皮相電力を測定することができます。A 相の総合皮相電力の計算方法については、[図 46](#)を参照してください。

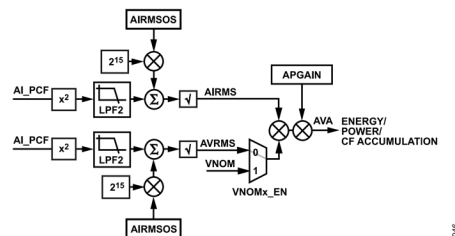


図 46. A 相の総合皮相電力 AVA の計算

総合皮相電力の計算値は、チャンネルごとに 1 つあり (AVA、BVA、CVA)、これらは 8kSPS ごとに更新されます。基本波皮相電力も 8kSPS ごとに更新されて、AFVA、BFVA および CFVA レジスタに格納されます。フルスケール入力の場合、xVA および xFA の値は 10 進法で 20.694.066 です。

ADE9430 には、必要電圧実効値に対応する値に設定できるレジスタ (VNOM) があります。CONFIG0 レジスタの VNOMx_EN ビットを設定した場合、xVA 計算時に VNOM は xIRMS を乗算します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

無負荷検出、電力量積算、電力積算機能

ADE9430 は、3 つの相すべての有効電力量、無効電力量、皮相電力量の総合値および基本波値を計算します。ADE9430 は、ACCMODE レジスタの WATTACC ビットと VARACC ビットを使って、有効電力量と無効電力量の符号付き積算値、絶対積算値、正の積算値、または負のみの積算値を保持することができます。デフォルトの積算モードは符号付きです。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

無負荷検出機能

ADE9430 は、ノイズによる電力量積算を防ぐために、相および電力量ごとに無負荷検出機能を備えています。ユーザ定義の時間間隔に対して積算された電力量がユーザ定義の閾値以下の場合、電力量レジスタに積算される電力量がゼロになります。EP_CFG レジスタの NOLOAD_TMR ビットは無負荷時間間隔を決定し、ACT_NL_LVL、REACT_NL_LVL および APP_NL_LVL レジスタにはユーザ定義の無負荷閾値が格納されます。無負荷ステータスは、PHNOLOAD レジスタ、IRQ1 割込み、および EVENT ピンで利用できます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

動作原理

電力量の積算

電力量は、42 ビット符号付き内部電力量レジスタに 8kSPS で積算されます。内部レジスタには、ユーザが定義した数のサンプル、または EP_CFG レジスタの EGY_TMR_MODE ビットによって設定された数のハーフ・ライン・サイクルを積算することができます。ハーフ・ライン・サイクル積算をイネーブルする時は、ZX_LP_SEL レジスタの ZX_SEL ビットを使って、ゼロ交差ソースを設定してください。サンプルまたはハーフ・ライン・サイクルの数は、EGY_TIME レジスタで設定します。EGY_TIME の最大値は 8191d です。フルスケール入力では、この内部レジスタは 13.3 秒でオーバーフローします。50Hz 信号の場合は、ハーフ・ライン・サイクル積算時のオーバーフローを防ぐために、EGY_TIME を 1329 (10 進法) 以下にする必要があります。

サンプルまたはハーフ・ライン・サイクルの数が EGY_TIME+1 個になると、STATUS0 レジスタで EGYRDY ビットが設定されて、電力量レジスタが更新されます。内部電力量レジスタからのデータは、EP_CFG レジスタの EGY_LD_ACCUM ビットの設定に応じて、ユーザ電力量レジスタに追加またはラッチされます。

電力量レジスタは符号付きの 45 ビット幅で、図 47 に示すように、2 つの 32 ビット・レジスタに分割されます。ユーザ電力量は、EP_CFG レジスタの RD_RST_EN ビットを使って、読出し時にリセットできます。フルスケール入力時は、ユーザ電力量レジスタは 106.3 秒でオーバーフローします。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

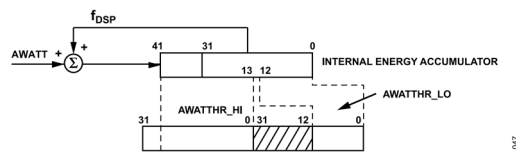


図 47. 内部電力量レジスタを AWATTHR_HI と AWATTHR_LO に分割

動作原理

電力の積算

ADE9430 は、3 つの相すべての有効電力、無効電力および皮相電力の総合値および基本波値を、それぞれの 32 ビット符号付きレジスタ、すなわち xWATT_ACC と xFWATT_ACC、xVAR_ACC と xFVAR_ACC、および xVA_ACC と xFVA_ACC に積算します。積算するサンプルの数は、PWR_TIME レジスタを使って設定します。STATUS0 レジスタの PWRRDY ビットは、PWR_TIME + 1 個のサンプルが 8kSPS で積算された後に設定されます。PWR_TIME レジスタの最大値は 8191 (10 進法) で、最大電力積算時間は 1.024 秒です。

PHSIGN レジスタの xSIGN ビットは、時間 PWR_TIME の間に積算された電力の符号を示します。PWR_SIGN_SEL [1:0] を使用すれば、総合または基本波電力量に従って電力符号を変更するかどうかをユーザが選択できます。積算した電力の符号を変更すると、STATUS0 レジスタの対応する REVx ビットが設定されて、IRQ0 が割込みを生成します。

ADE9430 では、ユーザが、総合有効電力と VAR 電力を別々の正の値と負の値にして、PWATT_ACC および NWATT_ACC レジスタと、PVAR_ACC および NVAR_ACC レジスタに積算することができます。PWR_TIMER で設定した電力更新時間が経過すると、新しい積算がゼロから開始されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

デジタル／周波数変換 - CFx 出力

ADE9430 には 4 つのパルス出力があり、これらは、CF1 から CF4 までの出力ピンの電力量積算値に比例します。図 48 に、CFx パルス生成のブロック図を示します。CF3 は ZX と多重化され、CF4 は $\overline{\text{EVENT}}$ および DREADY と多重化されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

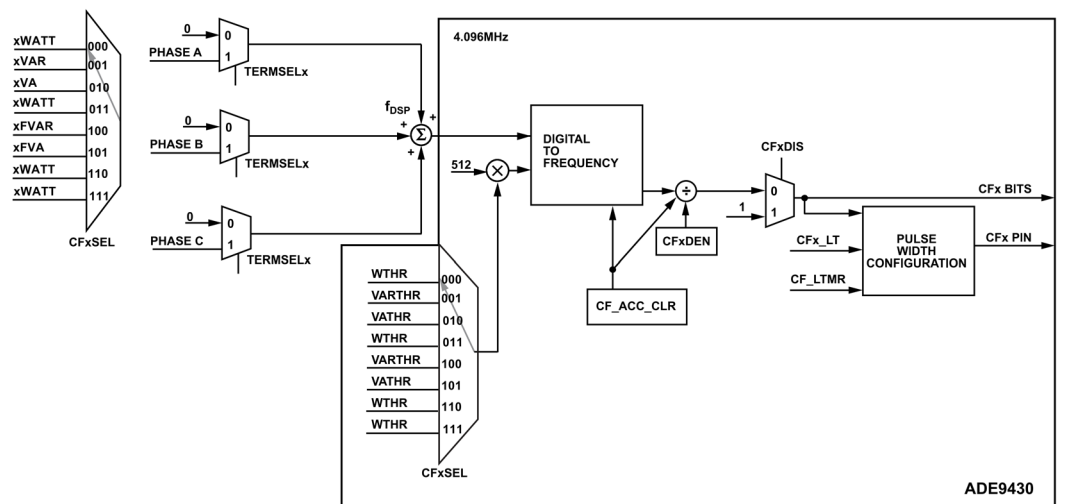


図 48. CFx のデジタル／周波数変換

動作原理

エネルギーおよび位相の選択

CFMODE レジスタの CFxSEL ビットで、どのタイプの電力量を CFx ピンに出力するかを選択します。COMPMODE レジスタの TERMSELx ビットは、どの相の電力量を CFx 出力にするかを選択します。

例えば、CF1SEL = 000、TERMSEL1 = 111 とすると、CF1 には、A 相、B 相、C 相の総合有効電力が出力されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

CFx パルス幅の設定

CF_LCFG レジスタの CFx_LT ビットと CF_LTMR ビットの値は、パルス幅を決定します。

閾値 (xTHR) = 0x00100000、CFxDEN = 2 としたときの最大 CFx は 78.9kHz です。推奨設定値は xTHR = 0x00100000 です。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

CFx パルス符号

PHSIGN レジスタの SUMxSIGN ビットは、最後の CFx パルスに送られた電力量の合計が、正か負かを示します。STATUS0 レジスタおよび EVENT_STATUS レジスタの REVPSUMx ビットは、CFx 極性の符号が変わったかどうかを示します。この機能は、IRQ0 に割込みを生成します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

CFx 積算器のクリア

デジタル/周波数変換器内の積算値と CFDEN カウンタをクリアするには、CONFIG1 レジスタの CF_ACC_CLR ビットに 1 を書き込みます。CF_ACC_CLR ビットは自動的にクリアされます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

電力品質の測定

ゼロ交差検出

ADE9430 は、VA、VB、VC、IA、IB および IC 入力信号のゼロ交差検出機能を備えています。中性電流チャンネル IN には、ゼ

ロ交差検出回路は含まれていません。図 49 と図 50 に、ゼロ交差検出前の電流チャンネルと電圧チャンネルのデータパスを示します。

ハイパス・フィルタ前または位相補償後のデータを選択してゼロ交差検出への入力を設定するには、CONFIG0 レジスタの ZX_SRC_SEL ビットを使用します。ZX_SRC_SEL は、リセットすると、デフォルトでゼロになります。

ノイズからの保護のために、LPF1 出力電圧の絶対値が閾値 ZXTHRSH より小さい場合、電圧チャンネルのゼロ交差イベント (ZXVA、ZXVB、ZXVC) は生成されません。電流チャンネルのゼロ交差検出力 (ZXIA、ZXIB、ZXIC) は、すべての入力信号レベルに対してアクティブです。

ゼロ交差閾値 ZXTHRSH は、次式を使って計算します。

ZXTHRSH =

$$\frac{(V_PCF \text{ at Full Scale}) \times (LPF1 \text{ Attenuation})}{x \times 32 \times 2^8} \quad (10)$$

ここで、

$V_PCF \text{ at Full Scale}$ は $\pm 74,532,013$ (10 進法)。

$LPF1 \text{ Attenuation}$ は 50Hz で 0.86、60Hz で 0.81。

x はダイナミック・レンジで、この値以下では電圧チャンネルのゼロ交差をブロックする必要があります。

ADE9430 は、ZX_LP_SEL レジスタの ZX_SEL ビットを設定することによって、3 つの相すべての結合ゼロ交差を $(V_A + V_B - V_C)/2$ として計算することができます。VCONSEL が 0 でない場合は、結合ゼロ交差回路の VB 成分がゼロに設定されます。

ゼロ交差検出回路には、2 つの異なる出力レート (8kSPS と 1024kSPS) があります。8kSPS のゼロ交差信号はライン周期を計算し、STATUS1 レジスタの ZXx ビットを更新して、ゼロ交差タイムアウト、位相シーケンス誤差検出、リサンプリング、電力量積算の各機能のモニタリングを行います。1024kSPS のゼロ交差信号は角度を計算して、CF3/ZX ピンのゼロ交差出力を更新します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

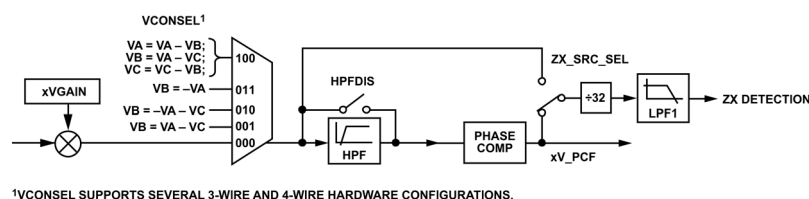


図 49. ゼロ交差検出前の電圧チャンネル・シグナル・チェーン

動作原理

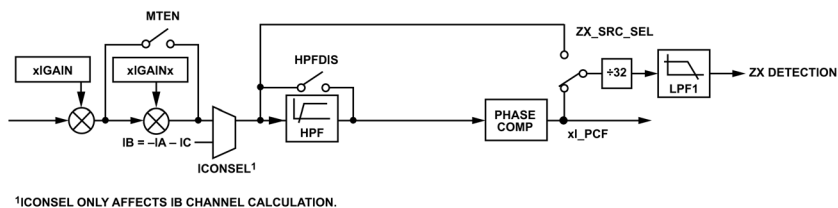


図 50. ゼロ交差検出前の電流チャンネル・シグナル・チェーン

CF3/ZX

CF3/ZX ピンは、CONFIG1 レジスタの CF3_CFG ビットを使ってゼロ交差を出力することができます。ゼロ交差のソースを設定するには、ZX_LP_SEL レジスタの ZX_SEL ビットを使用します。CF3/ZX 出力ピンは、負から正への遷移が検出されるとローからハイになり、正から負への遷移が検出されるとハイからローになります。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

ゼロ交差タイムアウト

(ZXTOOUT+1)/8000 秒が経過してもゼロ交差が受信されなかった場合は、STATUS1 レジスタの対応する ZXTOx ビットが設定されて、 $\overline{\text{IRQ1}}$ ピンに割り込みが生成されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

ライン周期計算

ADE9430 は、A 相、B 相および C 相電圧の各ライン周期とそれらの結合電圧信号を計算し、その結果をそれぞれ APERIOD、BPERIOD、CPERIOD および COM_PERIOD レジスタに格納します。

ライン周期 t_L は、以下の式に従い xPERIOD レジスタから計算します。

$$t_L = \frac{xPERIOD + 1}{8000 \times 2^{16}} \text{ (sec)} \quad (11)$$

周期計算値が 40~70Hz の範囲を外れている場合、あるいはその相のゼロ交差が検出されなかった場合は、ACCMODE レジスタの SELFREQ ビットに応じて、xPERIOD レジスタが強制的に 50Hz または 60Hz に対応するように設定されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

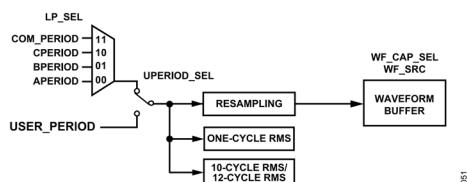


図 51. リサンプリングのためのライン周期選択

角度測定

ADE9430 は 9 つの角度測定機能を備えています。ANGL_IA_IB、ANGL_IB_IC、ANGL_IA_IC は、各電流間の位相角を提供します。ANGL_VA_VB、ANGL_VB_VC、ANGL_VA_VC は各電圧間の位相角を提供します。ANGL_VA_IA、ANGL_VB_IB、ANGL_VC_IC は、各電圧と電流間の位相角を提供します。角度レジスタの示度を度数に変換するには、以下の式を使います。

50Hz システムの場合：

$$\text{Angle (Degrees)} = \text{ANGL_x_y} \times 0.017578125$$

60Hz システムの場合：

$$\text{Angle (Degrees)} = \text{ANGL_x_y} \times 0.02109375$$

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

位相シーケンス誤差検出

ADE9430 は、位相シーケンスのモニタリングを行い、シーケンス誤差が生じた場合、もしくは位相が ZXTHRS 以下に低下した場合は、STATUS1 レジスタの SEQERR ビットを設定します。SEQ_CYC は、シーケンス誤差の発生をモニタリングするサイクル数を決定します。 $\overline{\text{IRQ1}}$ で割り込みを生成するには、MASK1 レジスタの SEQERR ビットを設定します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

1 サイクル実効値測定

1 サイクル実効値は、1 ライン・サイクルにわたって実行される実効値測定であり、ゼロ交差と同期していない期間ごとに更新されます。この測定は、すべての相の電圧と電流、および中性電流に対して行われます。1 サイクル実効値測定はすべて同じ時間間隔で行われ、STATUS0 レジスタの RMSONERDY ビットによる指示に従って、同時に更新されます。測定結果は、AIRMSONE、BIRMSONE、CIRMSONE、NIRMSONE、AVRMSONE、BVRMSONE、CVRMSONE レジスタに格納されます。フルスケール入力での xRMSONE レジスタの示度は 52,702,092d です。

CONFIG0 レジスタの RMS_SRC_SEL ビットを設定して、1 サイクル測定用にハイパス・フィルタ前のデータを選択することを推奨します。

動作原理

ZX_LP_SEL レジスタの LP_SEL ビットは、1 サイクル実効値測定に使用するサンプルの数を、どのライン周期測定が設定するかを選択します。あるいは、CONFIG2 レジスタの UPERIOD_SEL ビットを設定して、ライン周期測定用に USER_PERIOD レジスタに必要な周期を設定します。入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMSONEOS を使用することができます。

図 52 にシグナル・チェーンを示します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

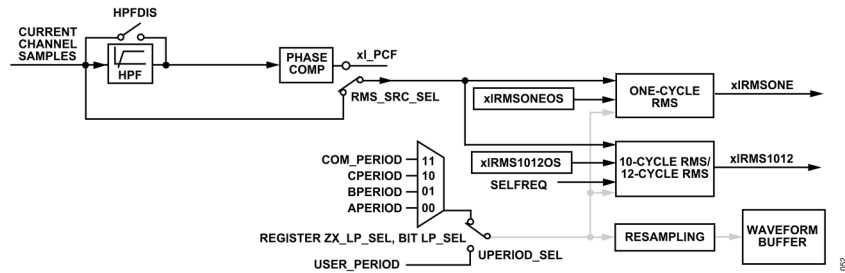


図 52. 1 サイクル実効値、10 サイクル実効値および 12 サイクル実効値の測定

動作原理

10 サイクル実効値/12 サイクル実効値

10 サイクル実効値/12 サイクル実効値の測定は、50Hz 回路では 10 サイクルで、60Hz 回路では 12 サイクルで行われます。ACCMODE レジスタの SELFREQ ビットは、回路の周波数が 50Hz か 60Hz かを選択します。次に、CONFIG2 レジスタの UPERIOD_SEL ビットは、USER_PERIOD レジスタのライン期間測定値、または、ユーザ設定値を使用するかどうかを選択して、計算に使用するサンプル数を設定します。

入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMS1012OS を使用することができます。フルスケール入力での xRMS1012 レジスタの示度は 52,702,092d です。

図 52 にシグナル・チェーンを示します。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

過電流表示

ADE9430 は、過電流イベントを検知するために、電流チャンネルの 1 サイクル値のモニタリングを行います。1 サイクル実効値電流が OILVL レジスタのユーザ設定閾値より大きい場合は、STATUS1 レジスタの OI ビットが設定されます。過電流イベントは、 $\overline{\text{IRQ1}}$ ピンに割り込みを生成します。

CONFIG3 レジスタの OC_EN ビットは、どの相の過電流イベントをモニタするかを選択します。OISTATUS レジスタの OIPHASE ビットは、どの電流チャンネルが閾値を超えたかを示します。過電流値は、対応する OIA、OIB、または OIC レジスタに保存されます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

ピーク検出

ADE9430 は、xI_PCF および xV_PCF 波形の電流及び電圧チャンネルで測定されたピーク値を記録します。CONFIG3 レジスタの PEAKSEL ビットを使用すれば、どの相をモニタリングするかをユーザが選択できます。

IPEAK レジスタはピーク電流値を IPEAKVAL ビットに保存して、どの相電流が IPPHASE ビットの値に達したかを示します。IPEAKVAL = $xI_PCF/2^5$ です。

同様に、VPEAK はピーク電圧値を VPEAKVAL ビットに保存します。VPEAKVAL = $xV_PCF/2^5$ です。読出し後、VPEAK レジスタと IPEAK レジスタはリセットされます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

力率

力率計算値は各チャンネルに 1 つずつで (APF、BPF、CPF)、1.024 秒ごとに更新されます。

APF 計算の符号は AWATT の符号に従います。力率が進んでいるか遅れているかを判定するには、図 53 に示すように、総合または基本波無効電力量の符号と、xPF または xWATT 値の符号を参照します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

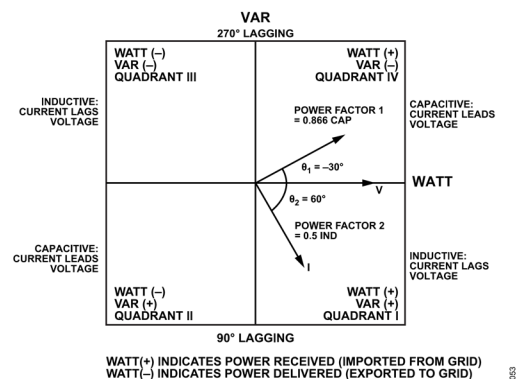


図 53. 容量性負荷と誘導性負荷における有効電力と VAR の符号

力率の結果は 5.27 フォーマットで保存されます。最大の力率値は 0x07FF FFFF で、これは力率 1 に相当します。力率-1 は 0xF800 0000 として保存されます。xPF レジスタ値から力率を求めるには、次式を使います。

$$\text{Power Factor} = xPF \times 2^{-27}$$

全高調波歪み (THD)

THD の計算は、ADSW-PQ-CLS 電力品質ライブラリの IA、IB、IC、VA、VB および VC チャンネルで行うことができます。ADSW-PQ-CLS を利用するには、[Software Request Form | Analog Devices](#) のソフトウェア・リクエスト・フォームに入力します。ここで、ターゲット・テクノロジーは電力品質モニタリングとし、プロセッサ/システム・オン・チップ (SoC) は ADE9430 とする必要があります。

リサンプリング

ADE9430 は、入力データを再サンプリングして、SELFREQ によって選択された 10/12 サイクルに対して 1024 ポイントを提供します。リサンプリングされたデータは、波形バッファ内のすべての電流チャンネルと電圧チャンネルに使用できます。リサンプリングされたそれぞれの波形サンプルは、16 ビット符号付き整数として波形バッファに保存されます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

温度

温度示度は TEMP_RSLT レジスタに格納されます。温度範囲を摂氏に変換するには、次式を使います。

$$\text{Temperature (}^{\circ}\text{C)} = \text{TEMP_RSLT} \times (-\text{TEMP_GAIN}/65536) + (\text{TEMP_OFFSET}/32)$$

各デバイスの製造時には、TEMP_TRIM レジスタの TEMP_GAIN ビットと TEMP_OFFSET ビットがプログラムされます。温度セ

動作原理

ンサーを設定するには、TEMP_CFG レジスタをプログラムしてください。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

アプリケーション情報

波形バッファ

ADE9430 は、2048 個の 32 ビット・メモリ・ロケーションで構成される波形バッファを備えています。

10 または 12 ライン・サイクルあたり 1024 ポイントの連続リサンプリング波形は DSP によって処理されます。データ・レートはライン周期により異なります。波形バッファは、チャンネルあたり約 100ms の波形データを保持します。

波形バッファ内容の読出しには SPI バースト読出しモードを使用します。デフォルト値は、波形バッファのすべてのチャンネルをバースト出力します。

波形バッファは、バッファの半分が埋まり、最後のアドレスが埋まると、 $\overline{\text{IRQ0}}$ で割込みを生成します。波形バッファを使用するには、DSP をオンにする必要があります。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

割込みとイベント

ADE9430 には、ホスト・プロセッサへの割込みとして使用できるピンが 3 本あります ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、CF4/ $\overline{\text{EVENT/DREADY}}$)。 $\overline{\text{IRQ0}}$ ピンと $\overline{\text{IRQ1}}$ ピンは、イネーブルされた割込みが発生するとローになり、それぞれ STATUS0 レジスタと STATUS1 レジスタで対応するステータス・ビットを設定することによって、そのイベントがアクノレッジされるまで、ローのままになります。 MASK0 および MASK1 レジスタのビットは、それぞれの割込みを設定します。 $\overline{\text{EVENT}}$ 機能は、CF4 および DREADY オプションと多重化でき、イネーブルされた信号の状態を追跡し、これらの内部信号によってローになったりハイになったりします。 CONFIG1 レジスタの CF4_CFG ビットは、CF4/ $\overline{\text{EVENT/DREADY}}$ ピン機能を設定します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

内部データへのアクセス

SPI プロトコルの概要

ADE9430 には SPI 互換のインターフェースがあり、SCLK、MOSI、MISO、 $\overline{\text{SS}}$ の 4 つのピンで構成されています。ADE9430 は常に SPI スレーブであり、SPI 通信を開始することはありません。SPI は、16 ビットおよび 32 ビットの読出しおよび書込み動作を行うことができます。このインターフェースがサポートする最大シリアル・クロック周波数は 20MHz です。

ADE9430 の一部のレジスタと波形バッファは SPI バースト読出し機能を備えており、1 つの CMD_HDR を送信した後で複数のレジスタを読み出すことができます。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

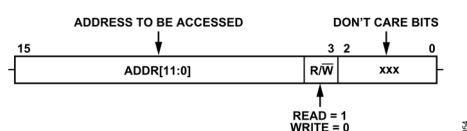


図 54. コマンド・ヘッダ CMD_HDR

ADE9430 の SPI ポートは、メインによって受信されるデータの完全性をチェックできるように、その MOSI ピンから送信したデータの 16 ビット巡回冗長検査 (CRC-16) の計算を行います。最後のレジスタ読出し時に MOSI ピンから送信したデータの CRC は、16 ビット・レジスタの CRC_SPI で提供され、SPI トランザクションの一部として SPI 読出しデータに付加することができます。

追加通信検証レジスタ

ADE9430 には、SPI 動作を検証できる 3 個のレジスタが含まれています。LAST_CMD (アドレス 0x4AE)、LAST_DATA_16 (アドレス 0x4AC)、および LAST_DATA_32 (アドレス 0x423) レジスタは、受信した CMD_HDR と、最後に読み出されたデータまたは送信されたデータを記録します。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

設定レジスタの CRC

ADE9430 の設定レジスタの CRC 機能は、外部と内部からアクセスできる特定のレジスタ値のモニタリングを行います。また、オプションで 15 個のレジスタも組み込まれており、CRC_OPTEN レジスタを使って個別に選択することができます。その結果は、CRC_RSLT レジスタに保存されます。モニタリングされるレジスタのいずれかが CRC_RSLT レジスタの値を変更する場合、ADE9430 は $\overline{\text{IRQ1}}$ で割込みを生成します。

詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

設定ロック

設定ロック機能は、ADE9430 の設定が変更されるのを防ぎます。この機能を有効にするには、WR_LOCK レジスタに 0x3C64 を書き込みます。この機能を無効にするには、WR_LOCK レジスタに 0x4AD1 を書き込みます。

この機能がアクティブかどうかを確認するには、WR_LOCK レジスタを読み込みます。保護が有効な場合は 1、無効な場合は 0 として読み込まれます。

この機能を有効にすると、アドレス 0x000 からアドレス 0x073 までの、およびアドレス 0x400 からアドレス 0x4FE までのアドレスの書込みが防止されます。詳細については、ADE9430 リファレンス技術マニュアルを参照してください。

外形寸法

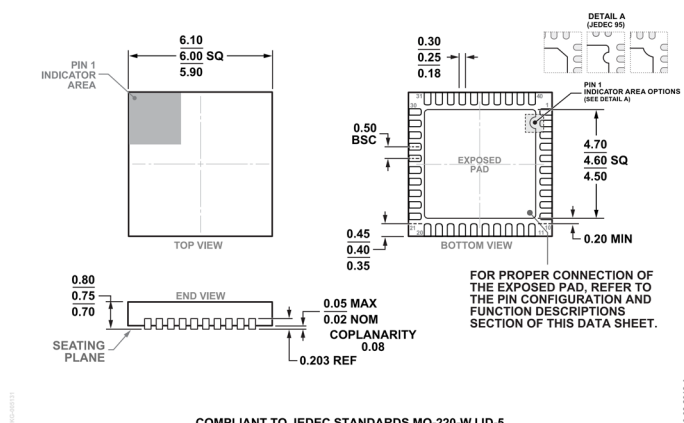


図 55.40 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
6mm × 6mm ボディ、0.75mm パッケージ高
(CP-40-7)
単位：mm

更新：2022 年 5 月 16 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADE9430ACPZ	−40°C to +85°C	40-Lead LFCSP (6 mm × 6 mm with EPAD)	Tray, 490	CP-40-7
ADE9430ACPZ-RL	−40°C to +85°C	40-Lead LFCSP (6 mm × 6 mm with EPAD)	Reel, 2500	CP-40-7

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADE9430ARDZ	Evaluation Board

¹ Z = RoHS 準拠製品。