



# 変換ループ、PLL VCO モジュール

データシート

ADF4401A

## 特長

- RF 出力周波数範囲：62.5MHz~8000MHz
- VCO 周波数範囲：4GHz~8GHz
- 8GHz の出力で 9fs rms のジッタ
- 6GHz の RF 出力で 17dBm の IF 出力電力
- RF 出力に対して 90dBc の LO<sub>IN</sub>
- 90dBc のスプリアスフリー・ダイナミック・レンジ (SFDR)
- 低位相ノイズ、電圧制御発振器
- 1、2、4、8、16、32、または 64 分周設定可能な出力
- 3.3V のアナログ電源、デジタル電源、およびミキサー電源
- 5V のアンプおよび VCO 電源
- RF 出力ミュート機能
- 18.00mm × 18.00mm、80 端子 LGA\_CAV
- ADIsimPLL 設計ツールによるサポート

## アプリケーション

- 計測器および測定
- ATE (自動試験装置)
- 航空宇宙/防衛

## 概要

ADF4401A は、電圧制御発振器 (VCO) とキャリブレーション・フェーズ・ロック・ループ (PLL) 回路を備えた完全集積型のシステム・イン・パッケージ (SiP) 変換ループ (オフセット・ループとも呼ばれる) モジュールです。ジッタに対して非常に敏感なアプリケーション用に設計されたこのソリューションは、プリント回路基板 (PCB) 上に設計された従来のディスクリット部品による変換ループ・ソリューションと比較して、スペースを節約し、複雑さを低減させることができます。回路を 1 つのパッケージに収めた集積度の高いソリューションと、スプリアス成分を減衰させる優れた絶縁性能を利用することで、市場投入までの時間を大幅に短縮できます。ADF4401A は、競争の激しいシステムを設計するエンジニアに向けた周波数合成ソリューションを提供します。

ADF4401A で周波数合成ソリューションを構成するには、外部位相検出器または位相周波数検出器 (PFD) と、外部局部発振器 (LO) が必要です。

## 機能ブロック図

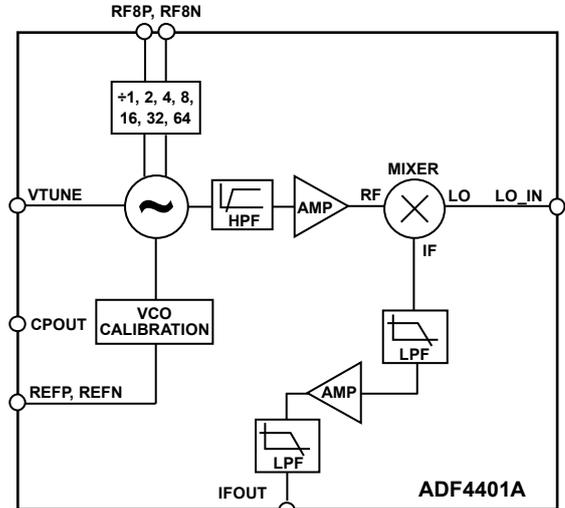


図 1.

ADF4401A は、帰還ループに集積型のダウンコンバージョン・ミキシング段を実装しており、ループ・ゲインを 1 に設定して、帯域内位相ノイズを最小限に抑えることができます。周波数ダウンコンバージョン段と、アナログ・デバイセズが提供する低ノイズ、高集積、広帯域 VCO 技術を組み合わせることによって、8GHz の出力で 9fs rms の広帯域ジッタ性能を実現します。出力ジッタ性能は、外部オフセット LO の性能に大きく依存します。

ADF4401A モジュールでは、内蔵の PFD および VCO キャリブレーション回路を使用して、適切な VCO 帯域を選択します。ユーザは、キャリブレーション回路を無効にして、外部 PFD を使用してループをクローズすることも可能です。すべての内蔵レジスタは、シリアル・ポート・インターフェース (SPI) を介して制御されます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F  
電話 052 (569) 6300

## 目次

特長 .....	1	MUXOUT と VCO キャリブレーションの ロック検出.....	15
アプリケーション.....	1	ダブル・バッファ .....	16
機能ブロック図.....	1	VCO.....	16
概要 .....	1	出力段.....	16
改訂履歴 .....	2	SPI .....	16
仕様 .....	3	アプリケーション情報 .....	18
タイミング特性.....	6	デバイス設定.....	18
絶対最大定格.....	7	VCO キャリブレーションの実際例.....	19
熱抵抗.....	7	VCO キャリブレーション時間.....	20
静電放電 (ESD) 定格.....	7	局部発振器 (LO_IN) .....	20
ESD に関する注意.....	7	外部位相検出器.....	21
ピン配置およびピン機能の説明.....	8	位相検出器のリファレンス.....	21
代表的な性能特性.....	10	電源 .....	21
動作原理 .....	13	PCB 設計時のガイドライン .....	21
回路の説明.....	14	出力マッチング .....	21
RF アンプ.....	14	レジスタの一覧.....	22
ダウンコンバージョン・ミキサー.....	14	レジスタの詳細.....	23
IF アンプ.....	14	外形寸法.....	39
キャリブレーション・リファレンス入力.....	14	オーダー・ガイド.....	39
RF N 分周器.....	14		
PFD とチャージ・ポンプ .....	15		

## 改訂履歴

12/2020—Revision 0: Initial Version

## 仕様

特に指定のない限り、電源電圧 ( $V_{DD}$ ) =  $VCC_{PLL}$  =  $VCC_{CAL}$  =  $VRF_{INT}$  =  $VRF_{OUT}$  =  $VCC_{DIV}$  =  $VCC_{NDIV}$  =  $VCC_{REG}$  =  $VCC_{MIX}$  =  $3.3V \pm 5\%$ 、 $VCC_{VCO}$  =  $VCC_{RF}$  =  $VCC_{IF1}$  =  $VCC_{IF2}$  =  $5V \pm 5\%$ 、 $GND$  =  $0V$ 、 $dBm$  は  $50\Omega$  を基準とする、 $T_A$  =  $-25^\circ C \sim +85^\circ C$ 。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>RF OUTPUT CHARACTERISTICS</b>					
RF Output Frequency	62.5		8000	MHz	
RF Output Power (RF_OUT_POWER = 11)		8		dBm	RF8N = 1GHz、3.3nH のインダクタを VRF_OUT に接続、シングルエンド
		1		dBm	RF8N = 8GHz、3.3nH のインダクタを VRF_OUT に接続、シングルエンド
RF Output Power Variation		$\pm 1$		dB	RF8P または RF8N = 5GHz
RF Output Power Variation (over Frequency)		$\pm 4$		dB	RF8P または RF8N = 1GHz~8GHz
Harmonic Content (RF8P and RF8N)					
Second Harmonic		-25		dBc	VCO 基本出力
		-25		dBc	VCO 分周出力
Third Harmonic		-12		dBc	VCO 基本出力
		-15		dBc	VCO 分周出力
LO_IN to RF Output		90		dBc	
Spurious-Free Dynamic Range		90		dBc	搬送波のオフセットが 100MHz 以内
		-90		dBc	100MHz を超える搬送波のオフセット、RF 出力 ( $RF_{OUT}$ ) > 1GHz
<b>EXTERNAL LO</b>					
LO_IN Frequency (Doubler Disabled)	3.0		9.0	GHz	
LO_IN Frequency (Doubler Enabled)	1.5		4.5	GHz	
External LO Power (LO_IN)	-3	0	+3	dBm	
External LO Port Return Loss		8		dB	
VCO Frequency Feedthrough		-23		dBm	LO_IN で測定
Other Spurious Feedthrough		-40		dBm	LO_IN で測定
Input Power for 1 dB Output Compression (P1dB)		6		dBm	
<b>INTERMEDIATE FREQUENCY (IF) OUTPUT</b>					
IF Output Frequency ( $f_{IF}$ )	50		1000	MHz	
IF Output Power		17		dBm	6GHz の RF 出力、内部 RF 設定 = 1、LO 電力 = 0dBm、LO_IN = 6.6GHz、 $f_{IF}$ = 600MHz
		12		dBm	内部 RF 設定 = 0、LO 電力 = 0dBm、LO_IN = 6.6GHz、 $f_{IF}$ = 600MHz
LO_IN to IFOUT Isolation		-82		dBc	内部 RF 設定 = 0、LO_IN = 0dBm
Other Spurious Signals on IFOUT		-20		dBc	主な成分は IFOUT の高調波
IF Output Return Loss		-9		dB	
Mismatch for Compliant Operation		-10		dB	
		-2		dB	$\leq 900MHz$ $> 900MHz$
<b>LOGIC INPUTS</b>					
Input High Voltage ( $V_{INH}$ )	1.5			V	CS、SDIO、SCLK、X2_EN、CE は 3V ロジック
Input Low Voltage ( $V_{INL}$ )		0.4		V	
Input High Current ( $I_{INH}$ ) and Input Low Current ( $I_{INL}$ )		$\pm 1$		$\mu A$	CS、SDIO、SCLK、CE
		$\pm 100$		$\mu A$	X2_EN
Input Capacitance ( $C_{IN}$ )		3.0		pF	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>LOGIC OUTPUTS</b>					
Output High Voltage ( $V_{OH}$ )	$AV_{DD} - 0.4$			V	3.3V 出力を選択
	1.5	1.875		V	1.8V 出力を選択
Output High Current ( $I_{OH}$ )			500	$\mu A$	
Output Low Voltage ( $V_{OL}$ )			0.4	V	出力ロー電流 ( $I_{OL}$ ) = 500 $\mu A$
<b>POWER SUPPLIES</b>					
$AV_{DD}$ (Except VCO, Mixer, and Amplifier)	3.15	3.3	3.45	V	VCC_PLL、VCC_CAL、VRF_OUT、VRF_INT、VCC_DIV、VCC_NDIV、および VCC_REG は $AV_{DD}$ としてグループ化され、同じ電圧 $AV_{DD}$ と等しいことが必要
VCC_MIX	3.15	3.3	3.45	V	
VCC_VCO	4.75	5	5.25	V	
VCC_RF	4.75	5	5.25	V	電圧は VCC_VCO と等しいことが必要
VCC_IF1	4.75	5	5.25	V	
VCC_IF2	4.75	5	5.25	V	
Calibration PLL Supply Current ( $I_{PLL}$ )		88		mA	VCC_CAL、VCC_NDIV、VCC_PLL、VCC_REG キャリブレーション・モード
		26		mA	変換ループ・モード
Output Divider Supply Current ( $I_{CC\_DIV}$ )		63		mA	RF 出力をディスエーブル、内部 RF をイネーブル
Divider = 1		75		mA	RF 出力と内部 RF をイネーブル
Divider = 2		89		mA	
Divider = 4		103		mA	
Divider = 8		112		mA	
Divider = 16		117		mA	
Divider = 32		121		mA	
Divider = 64		124		mA	
RF Output Supply Current ( $I_{RF\_OUT}$ )		4		mA	RF 出力をディスエーブル
		17		mA	RF_OUT_POWER = -4dBm
		31		mA	RF_OUT_POWER = -1dBm
		44		mA	RF_OUT_POWER = 2dBm
		57		mA	RF_OUT_POWER = 5dBm
Internal RF Supply Current ( $I_{RF\_INT}$ )		<1		$\mu A$	内部 RF をディスエーブル
		14		mA	POUT_AUX = 0 の低出力
		28		mA	POUT_AUX = 1 の高出力
VCO Supply Current ( $I_{CC\_VCO}$ )		140	200	mA	
RF Amplifier Current ( $I_{CC\_RF}$ )		76	90	mA	
$I_{CC\_IF1}$ Amplifier Current		76	90	mA	
$I_{CC\_IF2}$ Amplifier Current		76	90	mA	
Mixer Supply Current ( $I_{CC\_MIX}$ )					
LO Doubler Disabled		120	140	mA	
LO Doubler Enabled		136	160	mA	
3.3 V Total Current		386	473	mA	RF 出力をイネーブル、RF 出力設定 3、RF 分周器設定 1、内部 RF 設定 1、キャリブレーション PLL をイネーブル、ミキサー-LO ダブラをイネーブル
		308		mA	RF 出力をイネーブル、RF 出力設定 3、RF 分周器設定 1、内部 RF 設定 1、キャリブレーション PLL をディスエーブル、ミキサー-LO ダブラをディスエーブル
5 V Total Current		368	470	mA	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
<b>CALIBRATION PLL SPECIFICATIONS</b>					
内部 PLL を周波数チューニング用に使用する場 合、PLL とチャージ・ポンプの仕様は、VCO とし てのみ使用するときには適用されません					
<b>REFP and REFN Characteristics</b>					
Input Frequency	10		500	MHz	
<b>Input Sensitivity</b>					
Single-Ended Mode	0.4		$AV_{DD}$	V p-p	REFP を $AV_{DD}/2$ でバイアス、AC カップリングに より $AV_{DD}/2$ バイアスを確保
Differential Mode	0.4		1.8	V p-p	LVDS (低電圧差動伝送) および LVPECL (低電圧 ポジティブ・エミッタ結合ロジック) 互換、REFP および REFN は 2.1V にバイアス、AC カップリン グにより 2.1V バイアスを確保
<b><math>C_{IN}</math></b>					
Single-Ended Mode		6.9		pF	
Differential Mode		1.4		pF	
<b>Input Current</b>					
			$\pm 150$	$\mu A$	シングルエンド・リファレンスに設定
			300	$\mu A$	差動リファレンスに設定
Phase Detector Frequency			125	MHz	
<b>CHARGE PUMP (CALIBRATION ONLY)</b>					
<b>Charge Pump Current (<math>I_{CP}</math>), Sink and Source</b>					
High Value		5.6		mA	
Low Value		0.35		mA	
<b>VCO CHARACTERISTICS</b>					
VCO Frequency	4		8	GHz	
<b>Fundamental VCO Phase Noise Performance</b>					
		-117		dBc/Hz	オープンループ状態での VCO ノイズ
		-139		dBc/Hz	4.0GHz 搬送波から 100kHz オフセット
		-156		dBc/Hz	4.0GHz 搬送波から 1MHz オフセット
		-162		dBc/Hz	4.0GHz 搬送波から 10MHz オフセット
		-112		dBc/Hz	4.0GHz 搬送波から 100MHz オフセット
		-136		dBc/Hz	5.7GHz 搬送波から 100kHz オフセット
		-153		dBc/Hz	5.7GHz 搬送波から 1MHz オフセット
		-161		dBc/Hz	5.7GHz 搬送波から 10MHz オフセット
		-109		dBc/Hz	5.7GHz 搬送波から 100MHz オフセット
		-133		dBc/Hz	8.0GHz 搬送波から 100kHz オフセット
		-152		dBc/Hz	8.0GHz 搬送波から 1MHz オフセット
		-162		dBc/Hz	8.0GHz 搬送波から 10MHz オフセット
				dBc/Hz	8.0GHz 搬送波から 100MHz オフセット
VTUNE Input Range	1.2		2.75	V	
VCO 3 dB Tuning Port Bandwidth		100		MHz	
INTEGRATED RMS JITTER (100 Hz to 100 MHz) <sup>1</sup>		9		fs	8GHz 出力、LO_IN ノイズと REF_PFD ノイズを含 む

<sup>1</sup> RF8N = 6.5GHz, LO\_IN = 6GHz, 外部 PFD (REF\_PFD) = 500MHz を基準とします。LO\_IN 信号および REF\_PFD 信号として SMA100B を使用しています。

タイミング特性

図 2、図 3、図 4 を参照してください。

表 2. SPI のタイミング

パラメータ	Min	Typ	Max	単位	説明
$f_{SCLK}$			50	MHz	SCLK 周波数
$t_{SCLK}$	20			ns	SCLK の周期
$t_{HIGH}$	10			ns	SCLK パルス幅、ハイ
$t_{LOW}$	10			ns	SCLK パルス幅、ロー
$t_{DS}$	5			ns	SDIO のセットアップ・タイム
$t_{DH}$	5			ns	SDIO のホールド・タイム
$t_{ACCESS}$	10			ns	SCLK 立下がりエッジから SDIO が有効になるまでの伝搬遅延
$t_z$	10			ns	$\overline{CS}$ 立上がりエッジから SDIO ハイ・インピーダンスまでの時間
$t_s$	5			ns	$\overline{CS}$ 立下がりエッジから SCLK 立上がりエッジまでのセットアップ・タイム
$t_h$	5			ns	SCLK 立上がりエッジから $\overline{CS}$ 立上がりエッジまでのホールド・タイム

タイミング図

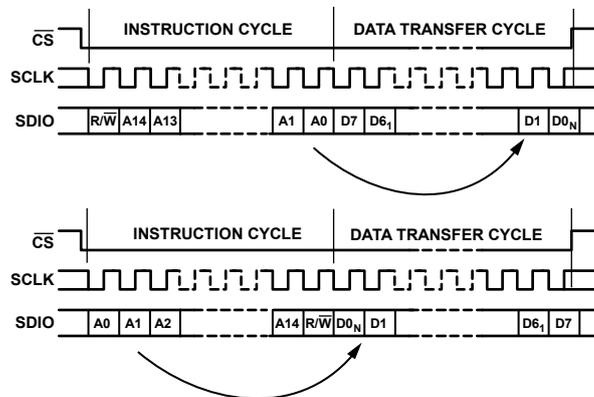


図 2. SPI タイミング、MSB ファースト (上) および LSB ファースト (下)

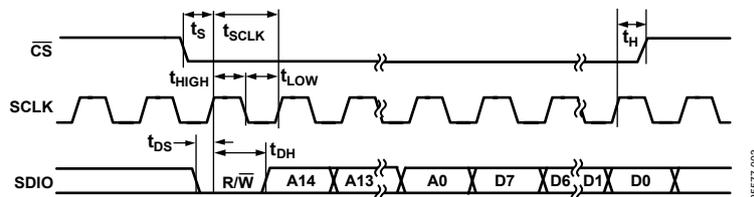


図 3. SPI 書き込み動作のタイミング

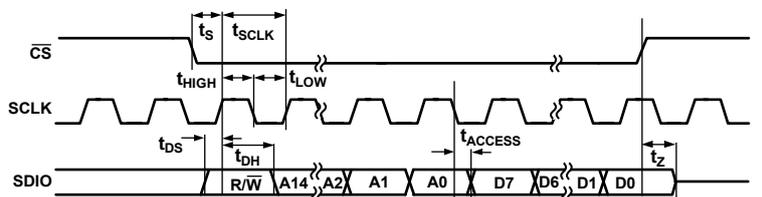


図 4. SPI 読出し動作のタイミング

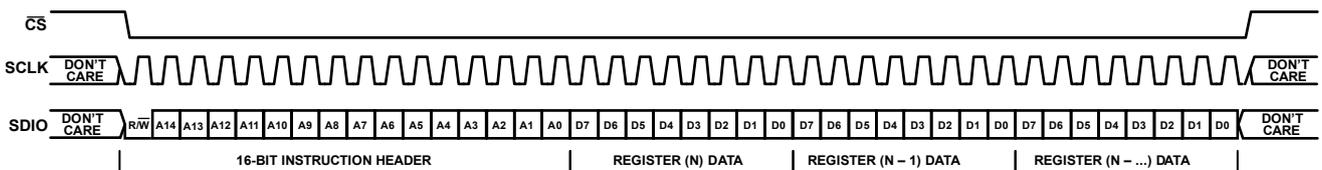


図 5. 3 線式、MSB ファースト、降順データ、ストリーミング

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$AV_{DD}$ Rails to GND <sup>1</sup>	-0.3 V to +3.6 V
$AV_{DD}$ Rails to Each Other	-0.3 V to +0.3 V
VCC_VCO to $AV_{DD}$	-0.3 V to $AV_{DD} + 2.8$ V
VCC_RF, VCC_IF1, VCC_IF2, and VCC_VCO to GND <sup>1</sup>	-0.3 V to +5.5 V
VCC_MIX to $AV_{DD}$	-0.3 V to VCC_MIX + 0.3 V
VCC_MIX to GND <sup>1</sup>	-0.3 V to +3.6 V
CPOUT to GND <sup>1</sup>	-0.3 V to $AV_{DD} + 0.3$ V
VTUNE to GND <sup>1</sup>	-0.3 V to $AV_{DD} + 0.3$ V
Digital Input and Output Voltage to GND <sup>1</sup>	-0.3 V to $AV_{DD} + 0.3$ V
Analog Input and Output Voltage to GND <sup>1</sup>	-0.3 V to $AV_{DD} + 0.3$ V
REFP and REFN to GND <sup>1</sup>	-0.3 V to $AV_{DD} + 0.3$ V
REFP to REFN	$\pm 2.1$ V
Temperature	
Operating Range	-25°C to +85°C
Storage Range	-65°C to +125°C
Maximum Junction	125 °C
Reflow Soldering	
Peak	260 °C
Time at Peak	30 sec
Transistor Count	
CMOS	152000
Bipolar	8000

<sup>1</sup> GND = 0V。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$  は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CE-80-1 <sup>1</sup>	27.9	12.1	°C/W

<sup>1</sup> テスト条件 1：熱抵抗のシミュレーション値は、熱抵抗パッドをグラウンド・プレーンにハンダ付けした 4 層 PCB を使用して測定しています。

## 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものであります。

ANSI/ESDA/JEDDEC JS-001 準拠の人体モデル（HBM）。ANSI/ESDA/JEDDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

## ADF4401A の ESD 定格

表 5. ADF4401A、80 端子 LGA\_CAV

ESD Model	Withstand Threshold (V)	Class
HBM	$\pm 500$ <sup>1</sup>	1B
CDM	$\pm 125$ <sup>2</sup>	C0B

<sup>1</sup> IFOUT を除くすべてのピンの定格値は  $\pm 2500$  V の HBM 等級検査レベル（クラス 2）です。

<sup>2</sup> IFOUT、LO\_IN、RF8P、RF8N を除くすべてのピンの定格値は  $\pm 500$  V の CDM 等級検査レベル（クラス C2A）です。RF8P ピンと RF8N ピンの定格値は  $\pm 250$  V の CDM 等級検査レベル（クラス C1）です。

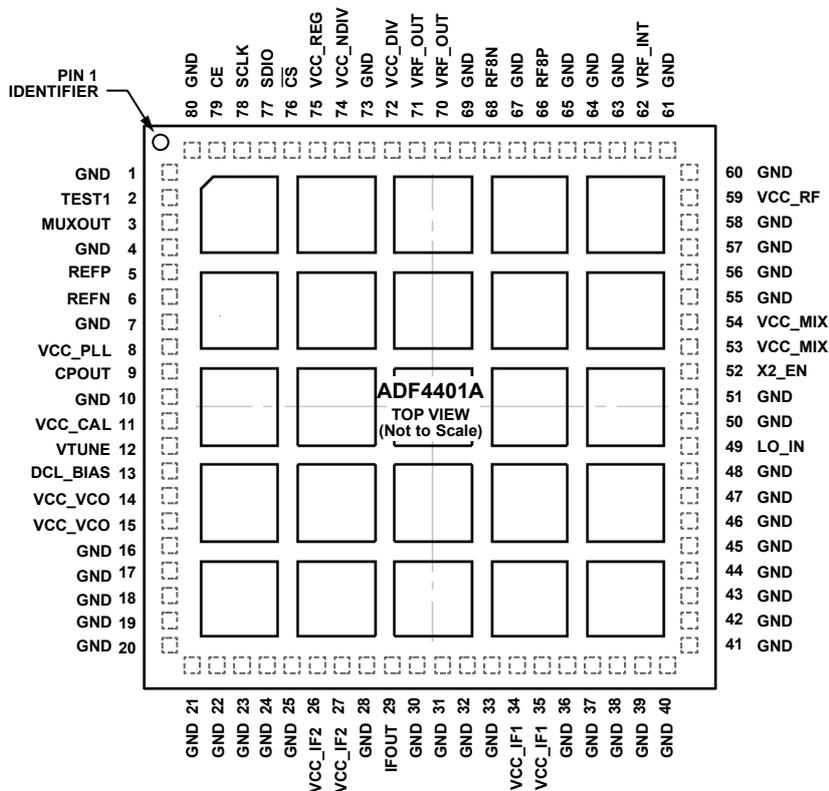
## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されずそのまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
1. THE LAND GRID ARRAY (LGA) HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS AND TO GND.

25577-006

図 6. ピン配置、上面図

表 6. ピン機能の説明

ピン番号	記号	説明
1, 4, 7, 10, 16 to 25, 28, 30 to 33, 36 to 48, 50, 51, 55 to 58, 60, 61, 63, 64, 65, 67, 69, 73, 80	GND	グラウンド。すべてのグラウンド・ピンを互いに接続します。
2	TEST1	内部テスト・ピン。GND に接続します。
3	MUXOUT	マルチプレクサ出力。MUXOUT ピンにより、キャリブレーション PLL のデジタル・ロック検出とスケールリングされた RF に外部からアクセスできます。このピンは、4 線式 SPI モードでレジスタ設定を出力するように設定できます。
5	REFP	リファレンス入力。REFP の信号は、キャリブレーション PLL のリファレンスとして使用します。
6	REFN	相補リファレンス入力。使用しない場合、このピンは GND に AC カップリングします。
8	VCC_PLL	アナログ電源。VCC_PLL ピンの電圧範囲は 3.15V~3.45V です。
9	CPOUT	チャージ・ポンプ出力。イネーブルすると、この出力は外部ループ・フィルタに $\pm I_{CP}$ を供給します。ループ・フィルタの出力は VTUNE に接続され、内部 VCO を駆動します。
11	VCC_CAL	内部キャリブレーション・モニタ回路用電源。VCC_CAL ピンの電圧範囲は 3.15V~3.45V です。このピンは $AV_{DD}$ と同じ値、すなわち、公称 3.3V でなければなりません。
12	VTUNE	VCO への制御入力。この電圧は出力周波数を決定し、CPOUT 出力電圧をフィルタ処理して得られます。
13	DCL_BIAS	VCO ノイズのロールオフ用内部補償ノード。DCL_BIAS ピンは、100nF を使用して内部で GND に接続されていますが、必要に応じて更に大きなコンデンサを GND との間に接続できます。
14, 15	VCC_VCO	VCO の電源。VCC_VCO ピンの電圧範囲は 4.75V~5.25V です。このピンのできるだけ近くにデカップリング・コンデンサを配置し、アナログ・グラウンド・プレーンに接続します。最適な性能を得るために、この電源はクリーンで低ノイズでなければなりません。
26, 27	VCC_IF2	IFOUT ピンに接続された IF アンプの 5V 電源。

ピン番号	記号	説明
29	IFOUT	増幅、ダウンコンバートされたミキサーからの出力。IFOUT ピンは外部位相検出器または PFD に接続します。
34, 35	VCC_IF1	ミキサーの IF 出力に接続された IF アンプの 5V 電源。
49	LO_IN	ダウンコンバージョン・ミキサーの外部 RF 入力。電力範囲は、 $-3\text{dBm}$ ~ $+3\text{dBm}$ です。LO_IN は、VCO 回路と RF 出力から絶縁してください。このピンは内部で $50\Omega$ に整合されており、AC カップリングする必要があります。
52	X2_EN	ミキサー・ダブラ・イネーブル。X2_EN をロジック・ハイにすると、LO_IN の周波数を 2 倍にしてダウンコンバージョン・ミキサーに送ります。
53, 54	VCC_MIX	ダウンコンバージョン・ミキサー用の電源。VCC_MIX ピンの電圧範囲は $3.15\text{V}$ ~ $3.45\text{V}$ です。このピンは $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
59	VCC_RF	ミキサーの RF 入力に接続された RF アンプの 5V 電源。
62	VRF_INT	ミキサーを駆動する PLL および VCO 補助 RF 出力用電源。VRF_INT ピンの電圧範囲は $3.15\text{V}$ ~ $3.45\text{V}$ です。このピンは $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
66	RF8P	RF 出力。出力レベルはプログラマブルです。VCO の基本出力または分周出力を取り出せます。プルアップ・インダクタを VRF_OUT と接続することで出力電力レベルを上昇させます。
68	RF8N	相補 RF 出力。出力レベルはプログラマブルです。VCO の基本出力または分周出力を取り出せます。プルアップ・インダクタを VRF_OUT と接続することで出力電力レベルを上昇させます。
70, 71	VRF_OUT	PLL および VCO メイン RF 出力用電源。VRF_OUT ピンの電圧範囲は $3.15\text{V}$ ~ $3.45\text{V}$ です。このピンは $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
72	VCC_DIV	VCO 出力段および分周器の電源。VCC_DIV ピンの電圧は $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
74	VCC_NDIV	N 分周器電源。VCC_NDIV ピンの電圧は $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
75	VCC_REG	$1.8\text{V}$ デジタル・ロジックのレギュレータ入力。VCC_REG ピンの電圧は $\text{AV}_{\text{DD}}$ と同じ値、すなわち、公称 $3.3\text{V}$ でなければなりません。
76	CS	チップ・セレクト、CMOS 入力。CS がハイになると、シフト・レジスタに格納されているデータが、アドレス・ビットで選択されているレジスタにロードされます。
77	SDIO	シリアル・データ入出力。この入力は、高インピーダンスの CMOS 入力です。
78	SCLK	シリアル・クロック入力。データは、クロックの立上がりエッジで 24 ビット・シフト・レジスタにクロック入力されます。この入力は、高インピーダンスの CMOS 入力です。
79	CE	チップ・イネーブル。3.3V または $\text{AV}_{\text{DD}}$ に接続します。CE ピンがロジック・ローになると PLL と VCO 回路がシャットダウンします。
	EPAD	露出パッド。ランド・グリッドアレイ (LGA) には露出パッドがあり、機械的な理由により PCB の金属面にハンダ付けすると共に、GND にハンダ付けする必要があります。

代表的な性能特性

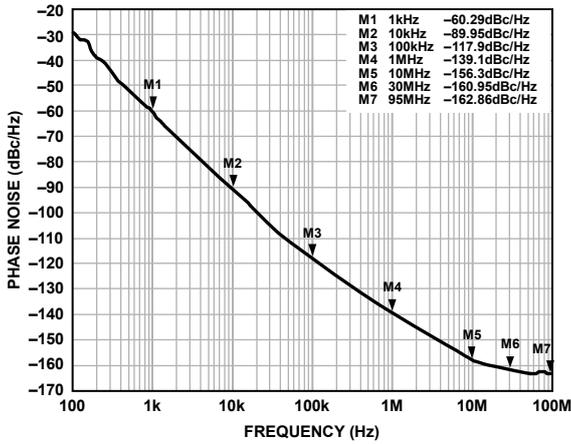


図 7. オープンループ VCO 位相ノイズ、4.0GHz、VCC\_VCO = 5V

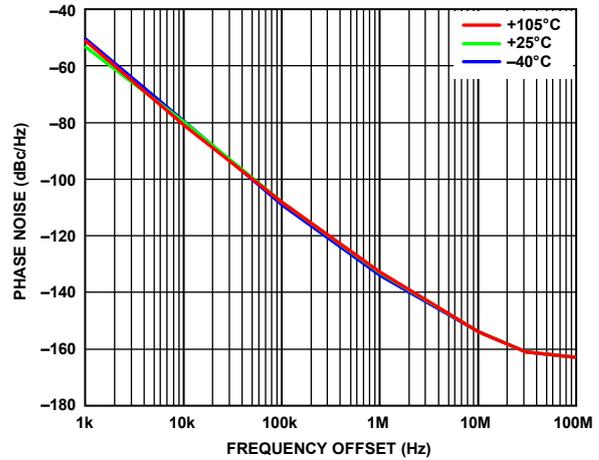


図 10. オープンループ VCO 位相ノイズの温度特性、8.0GHz、VCC\_VCO = 5V

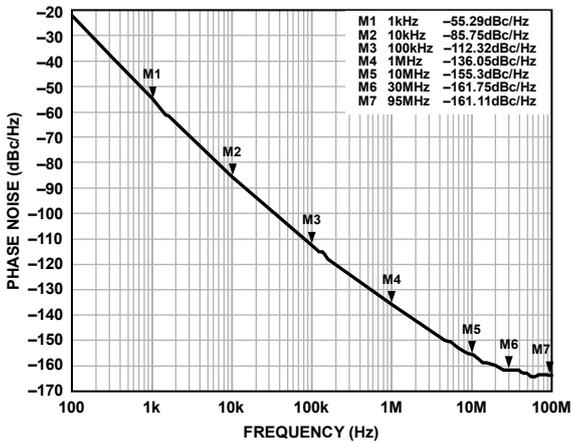


図 8. オープンループ VCO 位相ノイズ、5.7GHz、VCC\_VCO = 5V

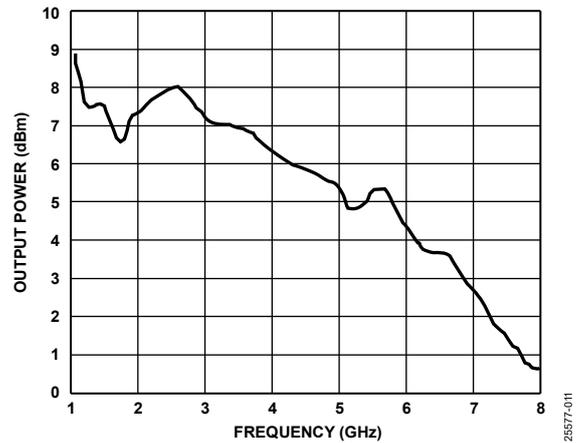


図 11. RF8N シングルエンド出力電力、ボードおよびケーブルの損失を除外、(3.3nH インダクタ、10pF AC カップリング・コンデンサによる低周波数での電力制限)、最大電力設定値

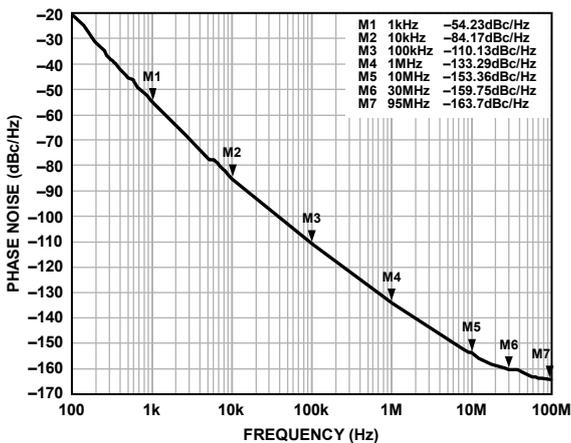


図 9. オープンループ VCO 位相ノイズ、8.0GHz、VCC\_VCO = 5V

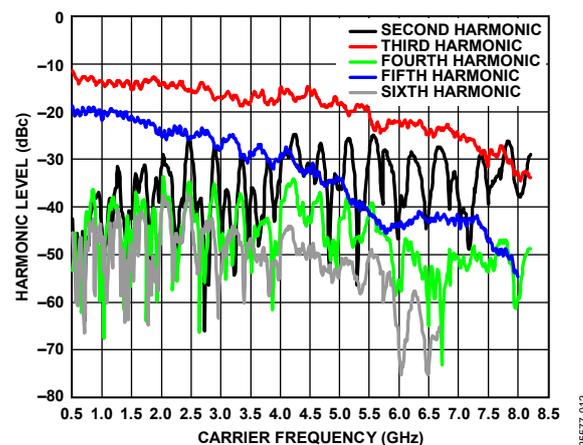


図 12. RF8P および RF8N の出力高調波、ボードおよびケーブルの損失を除外、バランによる結合

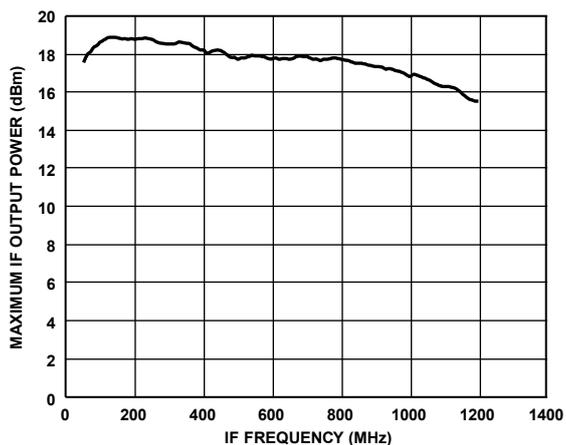


図 13. 最大 IF 出力電力と IF 周波数の関係

25577-013

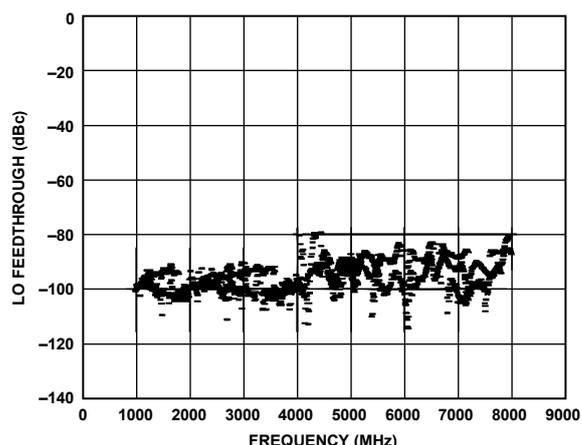


図 16. RF8N への LO\_IN フィードスルー

25577-016

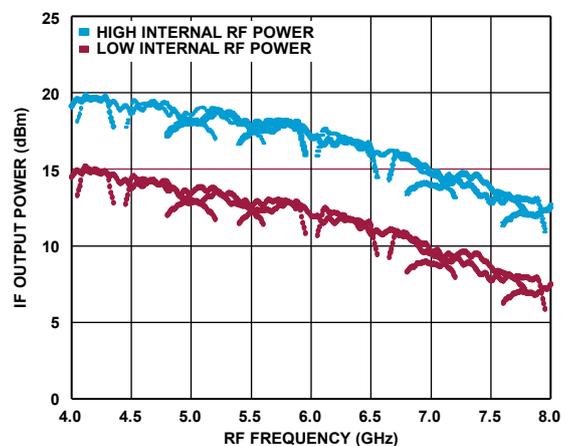


図 14. 異なる LO\_IN 周波数での IF 出力電力と RF 周波数の関係

25577-014

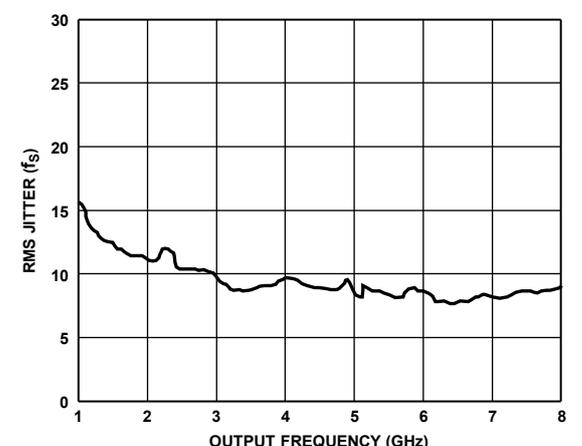


図 17. RMS ジッタと出力周波数の関係

25577-017

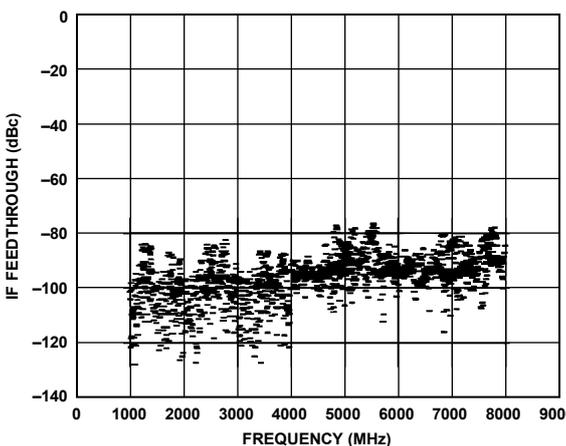


図 15. RF8N への IFOUT フィードスルー

25577-015

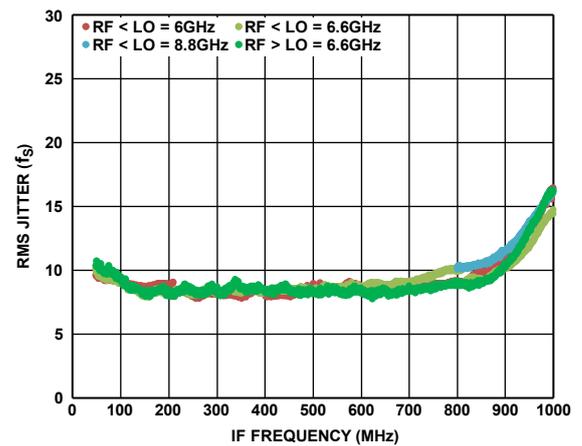


図 18. RMS ジッタと IF 周波数の関係

25577-018

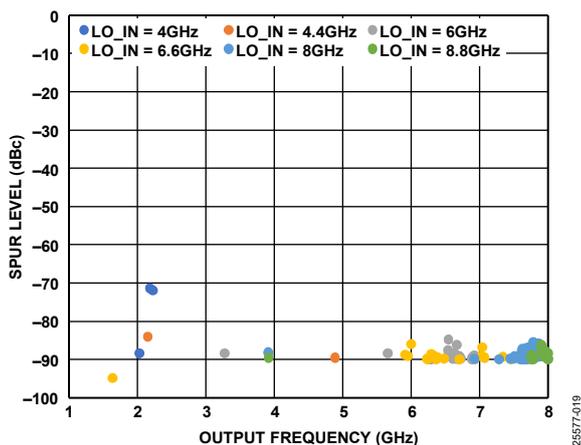


図 19. RF 出力のスプリアス信号、搬送波からのオフセットが±100MHz 以下

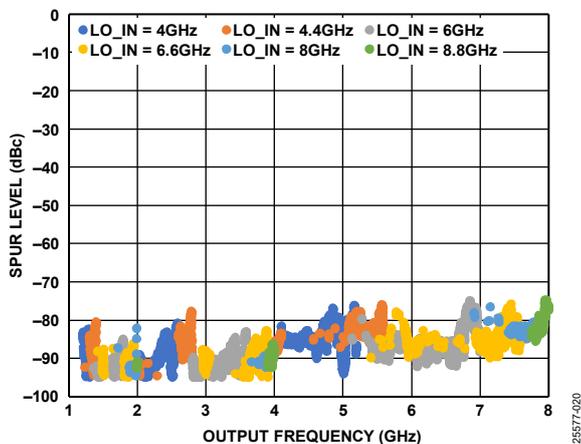


図 20. RF 出力のスプリアス信号、搬送波からのオフセットが±100MHz 以上

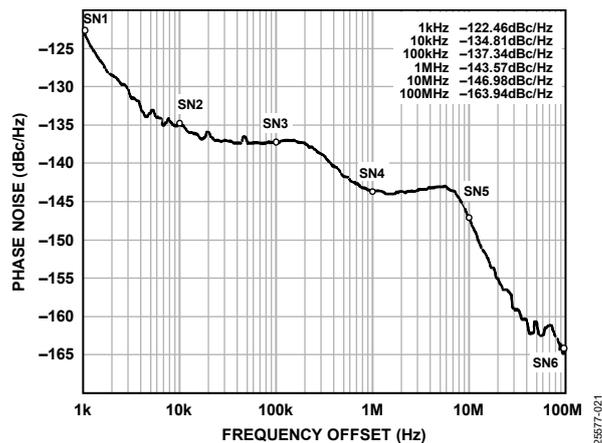


図 21. 6.45GHz 出力でのクローズドループ位相ノイズ、LO\_IN = 6GHz、SMA100B を外部 LO として使用、外部位相検出器を基準。

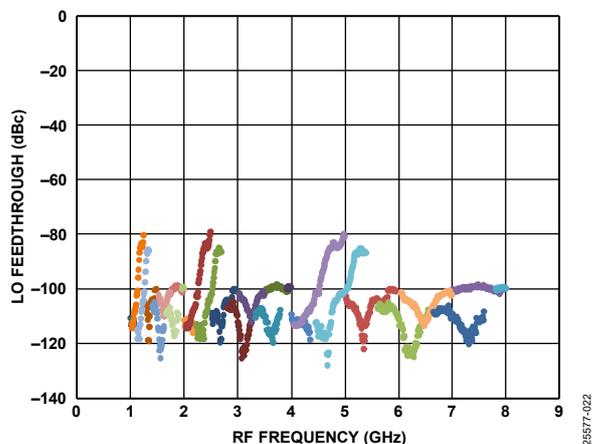


図 22. 異なる LO\_IN 周波数での IFOUT への LO\_IN フィードスルー

## 動作原理

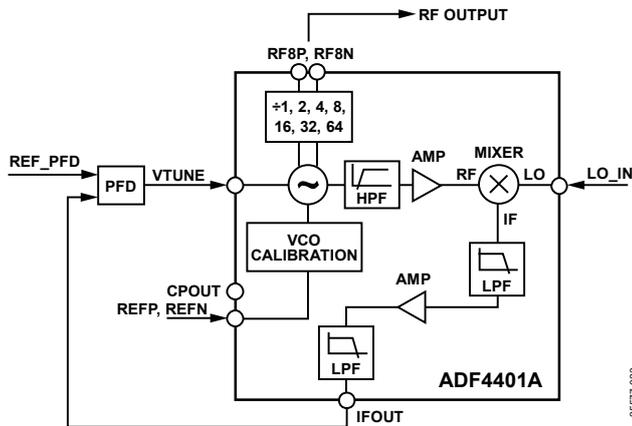


図 23. ADF4401A 変換ループのブロック図

ADF4401A は、VCO およびキャリブレーション PLL 回路、ダウンコンバージョン・ミキサー、RF アンプ、IF アンプを内蔵した SiP 変換ループ（オフセット・ループ）モジュールです。この SiP は、外部 PFD の低 REF\_PFD 周波数を 4GHz~8GHz の高周波数範囲に変換します。変換後の周波数は LO\_IN ピンによって決定します。

PLL 回路の位相ノイズは、PLL のノイズ・フロアとして知られるフラット・ノイズ成分と、PLL 1/f ノイズとして知られる 1/f ノイズ・プロファイル成分の 2 つの成分で表すことができます。

N 分周器の値が低い PLL 回路を使用することで、それに応じた低位相ノイズ性能を備える周波数シンセサイザの設計が可能になります。詳細については、RF N 分周器のセクションを参照してください。

変換ループ・シンセサイザは、分周数 N によって必要なチャンネル間隔に分離し、PLL の位相ノイズを最適化します。この変換ループ・シンセサイザの回路では、N = 1 が使用されています。

図 23 に示すように、ADF4401A は外部 PFD の REF\_PFD 周波数に対して 4GHz~8GHz という高い RF 出力周波数範囲をロックします。内蔵ミキサーと LO\_IN ピンは、この PLL 回路の分周機能を果たします。内蔵 RF アンプによって必要な LO の絶縁を実現し、IF アンプによって必要な外部 IFOUT レベルを提供します。

外部 PFD における式は、帰還ループの LO を使用し、ハイサイド・インジェクション (IF = LO - RF) で次のようになります。

$$REF\_PFD/R = (LO\_IN - RF8x)/N$$

ここで、

R は R 分周器、

N は N 分周器です。

ローサイド・インジェクション (IF = RF - LO) では次式のようにになります。

$$REF\_PFD/R = (RF8x - LO\_IN) / N$$

この回路では、R および N = 1 です。以上より、出力周波数は  $RF8x = LO\_IN \pm REF\_PFD$  となります。

## 回路の説明

### RF アンプ

ADF4401A は、VCO 出力段とミキサの RF 入力との間に RF アンプ段を内蔵しています (図 24 参照)。RF アンプの主な機能は、ミキサに必要な駆動レベルを提供することと、RF 出力と LO の絶縁性を向上させることです。ハイパス・フィルタ (HPF) により、RF 出力のスペクトル純度を確保し、RF 出力での IF フィードスルーを最小限に抑えます。

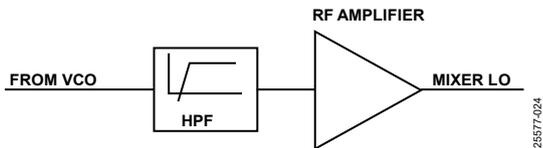


図 24. RF アンプ

### ダウンコンバージョン・ミキサ

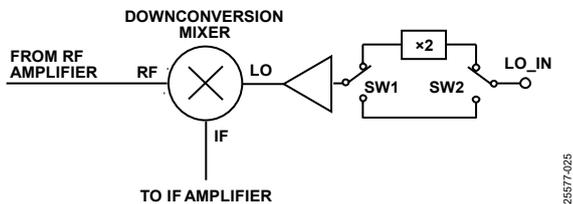


図 25. ダウンコンバージョン・ミキサ

変換ループ用に選択するミキサは、以下の要求を満たすがあります。

- 所望の周波数範囲で動作
- RF と LO 間の高いアイソレーション
- 低ノイズ指数

LO\_IN ピンはミキサの LO 入力に接続します。LO パスにはオプションのダブラがあり、ダウンコンバージョン・ミキサの駆動に LO\_IN 周波数を使用するか LO\_IN の 2 倍の周波数を使用するか選択できます。このダブラにより、外部 LO 周波数に要求される条件が大幅に軽減されます。

### IF アンプ

ADF4401A は、ミキサの出力と IFOUT ピンとの間に IF アンプ段を内蔵しています (図 26 参照)。IF アンプはミキサの LO/IF 絶縁を向上させると共に、IFOUT に必要な 15dBm の駆動レベルを提供します。IF アンプの前後に配置されたローパス・フィルタ (LPF) によって、ミキサからの不要な高周波成分を取り除きます。

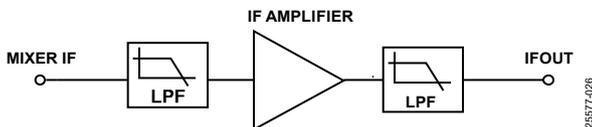


図 26. IF アンプ

### キャリブレーション・リファレンス入力

図 27 にキャリブレーション PLL のリファレンス入力段を示します。性能を最大限に引き出すため、このリファレンス入力を使用して最適な VCO 帯域を選択します。適切な帯域が選択されると、リファレンス入力をシャットダウンして、VCO を外部 PFD 回路にロックできます。

リファレンス入力は、シングルエンド信号と差動信号の両方に対応できます。入力モードの選択にはリファレンス・モード・ビット (REG0022、ビット 6) を使用します。リファレンス入力に差動信号を使用するには、REG0022、ビット 6 を 1 に設定します。差動信号を使用する場合、SW1 と SW2 が開き、SW3 と SW4 が閉じ、差動トランジスタのペアを駆動する電流源がオンになります。差動信号はバッファされ、CMOS コンバータへのエミッタ結合ロジック (ECL) に供給されます。

シングルエンド信号をリファレンスとして使用する場合は、リファレンス信号を REFP に接続し、REG0022、ビット 6 を 0 に設定します。シングルエンド信号を使用する場合、SW1 と SW2 が閉じ、SW3 と SW4 が開き、差動トランジスタのペアを駆動する電流源がオフになります。

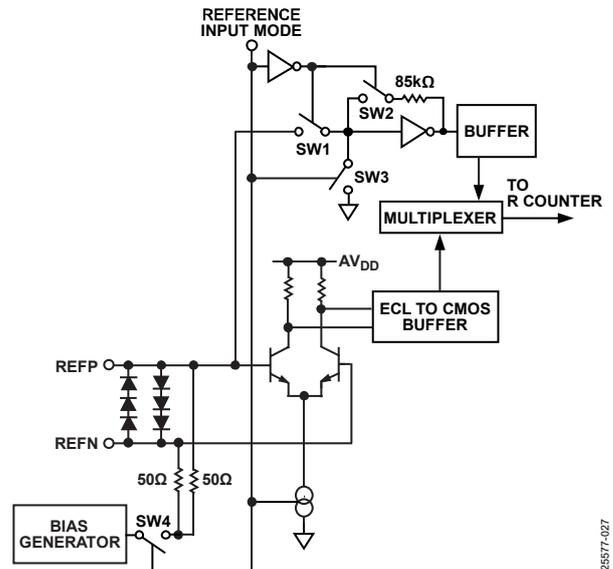


図 27. リファレンス入力段、差動モード

### RF N 分周器

RF N 分周器により、キャリブレーション PLL フィードバック・パスで分周比の設定が可能になります。分周比は、RF N 分周器を構成している整数値 N (INT)、メイン・フラクショナル値 (FRAC1)、補助フラクショナル値 (FRAC2)、および補助モジュラス値 (MOD2) で決まります。

### INT、FRAC1、FRAC2、MOD1、MOD2、および R カウンタの関係

INT、FRAC1、FRAC2、MOD1、MOD2 の値を R カウンタと組み合わせると、PDF 周波数 ( $f_{PDF}$ ) の分周値を間隔として出力周波数を生成できます。詳細については、[VCO キャリブレーションの実例](#)のセクションを参照してください。

次式を使用して、VCO 出力周波数 ( $f_{VCO\_OUT}$ ) を計算します。

$$f_{VCO\_OUT} = f_{PDF} \times N \quad (1)$$

$f_{PFD}$  は次式で計算します。

$$f_{PFD} = REF_{IN} \times \frac{1}{R \times (1+T)} \quad (2)$$

ここで、 $REF_{IN}$  はリファレンス周波数入力。  
 $R$  は 5 ビット・バイナリのプログラマブル・リファレンス・カウンタのプリセット分周比 (1~32)。  
 $T$  は  $REF_{IN}$  の 2 分周ビット (0 または 1)。

所望のフィードバック・N カウンタの値は次式で計算します。

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

ここで、 $INT$  は 16 ビットのインテジャー値。インテジャー・モードの場合、4/5 プリスケーラでは  $INT = 16 \sim 32,767$ 、8/9 プリスケーラでは  $64 \sim 65,535$ 。フラクショナル・モードの場合、4/5 プリスケーラでは  $INT = 23 \sim 32,767$ 、8/9 プリスケーラでは  $75 \sim 65,535$ 。  
 $FRAC1$  は 1 次モジュラスの分子 (0~33,554,431)。  
 $FRAC2$  は 14 ビット補助モジュラスの分子 (0~16,383)。  
 $MOD2$  は、プログラマブルな 14 ビット補助フラクショナル・モジュラス (2~16,383)。  
 $MOD1$  は、 $2^{25} = 33,554,432$  の固定値を持つ 25 ビットの 1 次モジュラス。

式 1、式 2、式 3 より、残留周波数誤差のない優れた周波数分解能が得られます。

式 3 を適用するには、以下の手順を実行します。

1.  $f_{VCO\_OUT}/f_{PFD}$  の除算により  $N$  を計算します。この数の整数値が  $INT$  になります。
2.  $N$  の全部の値から  $INT$  を引きます。
3. 差に  $2^{25}$  を乗算します。この数の整数値が  $FRAC1$  になります。
4. チャンネル間隔周波数 ( $f_{CHSP}$ ) に基づく  $MOD2$  を次式で計算します。

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

ここで、 $f_{CHSP}$  は目的のチャンネル間隔周波数。  
 $GCD(f_{PFD}, f_{CHSP})$  は PFD 周波数とチャンネル間隔周波数の最大公約数。

5.  $FRAC2$  を次式により計算します。

$$FRAC2 = ((N - INT) \times 2^{25} - FRAC1) \times MOD2 \quad (5)$$

非整数の  $FRAC2$  と  $MOD2$  は、以下の場合にチャンネル間隔に対するゼロ周波数誤差の出力になります。

$$f_{PFD}/GCD(f_{PFD}, f_{CHSP}) = MOD2 < 16,383 \quad (6)$$

ゼロ周波数誤差が不要な場合、 $MOD1$  と  $MOD2$  の分母は共に作用して 39 ビットの分解能モジュラスを生成します。

## R カウンタ

5 ビット R カウンタにより、入力リファレンス周波数 ( $REFP$  と  $REFN$  への入力) を分周して、PFD のリファレンス・クロックを生成できます。1~32 の分周比が可能です。

## PFD とチャージ・ポンプ

キャリブレーション PFD は内部の R カウンタと N カウンタから入力を受け取り、それらの位相と周波数の差に比例した出力を生成します。図 28 に、PFD の簡略化した回路図を示します。PFD には、アンチバックラッシュ・パルスの幅を設定する固定の遅延要素が含まれています。このパルスは、PFD 伝達関数内での不感帯の発生を確実に防止し、リファレンス・スプリアス・レベルを一定にします。VCO が正の調整勾配であるため、このデバイスでは位相検出器の極性を正に設定します。

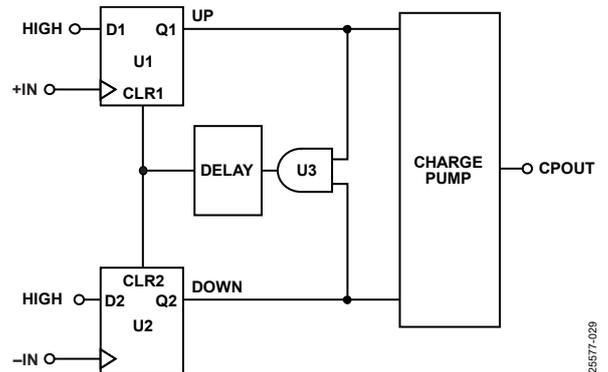


図 28. PFD の簡略化した回路図

## MUXOUT と VCO キャリブレーションのロック検出

ADF4401A の出力マルチプレクサにより、チップ上の様々な内部ポイントにアクセスできます。MUXOUT 部のブロック図を図 29 に示します。ロック検出インジケータはキャリブレーション PLL にのみ使用されます。

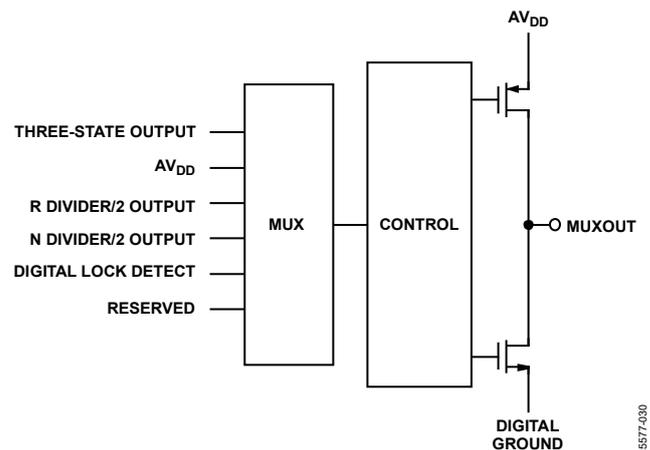


図 29. MUXOUT の回路図

## ダブル・バッファ

ADF4401A では、FRAC1 値、FRAC2 値、MOD2 値、リファレンス・ダブル、リファレンス 2 分周 (RDIV2)、R カウンタ値、およびチャージ・ポンプ電流設定がダブル・バッファ付きとなっています。ADF4401A がダブル・バッファ設定で新しい値を使用する前に、2 つのイベントを実行する必要があります。1 つ目が、該当するレジスタへの書き込みによって新しい値をデバイスにラッチさせることで、2 つ目が、REG0010 レジスタに新しい書き込みを実行することです。

例えば、MOD2 値が正しくロードされるようにするには、MOD2 値が更新されるたびに REG0010 に書き込む必要があります。

## VCO

ADF4401A の VCO コアは、コア A、コア B、コア C、コア D の 4 つの個別の VCO コアで構成され、それぞれ 256 の重複する帯域を使用するため、小さな VCO 感度 ( $K_V$ ) で広い周波数範囲をカバーし、最適な位相ノイズとスプリアス性能が得られます。

REG0010 レジスタが更新されて自動キャリブレーションがイネーブルされるたびに、VCO と帯域選択ロジックによって適切な VCO と帯域が自動的に選択されます。VTUNE ピンはループ・フィルタの出力から切り離され、内部リファレンス電圧に接続されます。

R カウンタ出力は、帯域選択ロジック用のクロックとして使用されます。帯域選択後、通常の PLL 動作が再開されます。N 分周器が VCO 出力から駆動される場合、すなわち  $K_V$  値が D で除算される場合の  $K_V$  の公称値を平均値と共に図 30 に示します。D は、N 分周器が RF 出力分周器から駆動される場合、出力分周器の値です。

チューニング電圧 VTUNE が帯域内および帯域間で変化するのに応じて、VCO の  $K_V$  は変動します。広い周波数範囲をカバーする（および出力分周比が変化する）広帯域アプリケーションでは、80MHz/V の値が平均値に最も近いため最も正確な  $K_V$  になります。

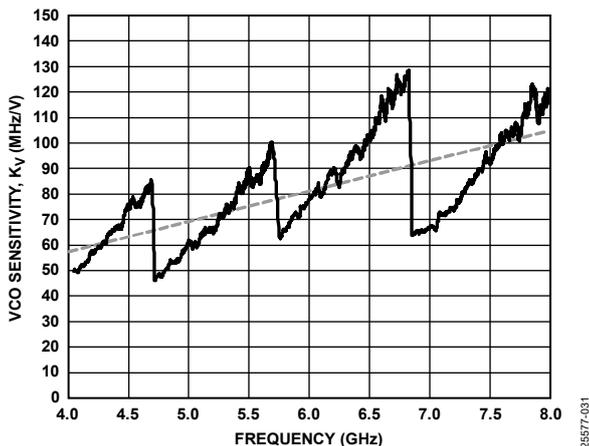


図 30. VCO 感度  $K_V$  の周波数特性

## 出力段

図 31 に示すように、ADF4401A の RF8P ピンと RF8N ピンは、VCO のバッファ付き出力で駆動されるバイポーラ NPN 差動ペアのコレクタに接続します。ADF4401A は、VRF\_OUT ピンに接続された  $50\Omega$  の内部抵抗を備えています。消費電力と出力電力の間の条件を最適化するために、REG0025、ビット [1:0] を使用して差動ペアのテール電流を設定できます。4 つの電流レベルが設定可能です。これらのレベルから、約  $-4\text{dBm}$ 、 $-1\text{dBm}$ 、 $2\text{dBm}$ 、 $5\text{dBm}$  の出力電力レベルが得られます。 $-4\text{dBm}$  と  $-1\text{dBm}$  のレベルは、 $50\Omega$  負荷への AC カップリングによって実現できます。 $2\text{dBm}$  と  $5\text{dBm}$  のレベルを得るには、外部シャント・インダクタを VRF\_OUT に接続する必要があります。さもなければ、出力段で圧縮が生じる可能性があります。インダクタでは  $50\Omega$  抵抗よりも動作周波数が狭くなります。正確な電力レベルについては、代表的な性能特性のセクションを参照してください。電力レベルを更に高くするには外部シャント・インダクタを追加します。この場合、内部バイアスのみの場合よりも帯域幅が狭くなります。未使用の相補出力は、使用する出力と同様の回路で終端します。

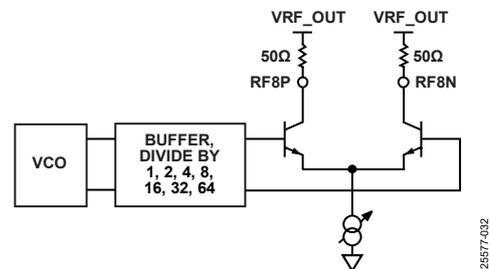


図 31. 出力段

## SPI

ADF4401A の SPI により、必要に応じて 3 線式または 4 線式の SPI ポートを介してデバイスを設定できます。このインターフェースにより、高い柔軟性が得られると共に、カスタマイズが可能になります。SPI は、SCLK、SDIO、CS、および MUXOUT の 4 本の制御ラインで構成されています。MUXOUT は 4 線式 SPI モードのシリアル・データ出力です。SPI ポートのタイミング条件を表 2 に詳述します。

SPI プロトコルは、読み書きビットと 15 個のレジスタ・アドレス・ビット、それに続く 8 個のデータ・ビットで構成されています。アドレスとデータの両方のフィールドは、デフォルトで MSB を先頭にし LSB で終了するように構成されます。SPI 書き込みのタイミング図を図 3 に、読出しのタイミング図を図 4 に示します。最上位ビットの順序は、REG0000 レジスタのビット 1 (LSB\_FIRST) の設定によって変更が可能で、関連するタイミング図を図 2 に示します。

ADF4401A の書き込みサイクル用入力ロジック・レベルは、1.8V ロジック・レベルと互換性があります。読出しサイクルでは、LEV\_SEL ビットの設定により、SDIO ピンと MUXOUT ピンの両方を 1.8V (デフォルト) または 3.3V の出力レベルに設定できます。

### SPI ストリーム・モード

ADF4401A はストリーム・モードをサポートしています。このモードでは、レジスタ・アドレス（命令ワード）の書込みを行うことなく、データ・ビットがシリアルにレジスタにロードされるか、レジスタから読み出されます。ストリーム・モードは、大量のデータを転送する必要があるとき、または一部のレジスタを繰り返し更新する必要があるときに、タイム・クリティカルなアプリケーションで役立ちます。

スレーブ・デバイスがこのアドレスへのデータの読書きを開始すると、CSがアサートされ、シングル・バイトの書込みがイネーブル（REG0001 レジスタのビット 7）にならない限り継続します。スレーブ・デバイスは、アドレス拡張ビット（REG0000 レジスタのビット 2）の設定に応じて、アドレスを自動的にインクリメントまたはデクリメントします。

命令ヘッダはロジック 0 で始まって書込みシーケンスであることを示し、レジスタをアドレス指定します。次に、CSがアサートされることなく、レジスタ（N、N-1、N-2）のデータが連続してロードされます。

レジスタは 8 ビットで構成され、レジスタが 8 ビット以上を必要とする場合は、シーケンシャル・レジスタ・アドレスが使用されます。この構成により、ストリーム・モードの使用が可能になり、ロードが簡単になります。例えば、FRAC1WORD は REG0017、REG0016、REG0015、および REG0014 レジスタに格納されます（MSB から LSB）。これらのレジスタは、図 5 に示すように、REG0016 レジスタを使用し、その後の 24 ビット・データ全体を送信することによってロードできます。

## アプリケーション情報

### デバイス設定

ADF4401A を設定するための推奨手順は以下のとおりです。

1. SPI を設定。
2. 初期化シーケンスを実行。
3. 内部 PLL の周波数更新シーケンスを実行。
4. 内部 PLL から外部 PFD にモードを変更。
5. 変換ループの周波数更新シーケンスを実行。

#### ステップ 1：SPI を設定

SPI を初期化します。表 7 の値を REG0000 レジスタと REG0001 レジスタに書き込みます。

表 7. SPI のセットアップ

アドレス	設定	メモ
0x00	0x18	4 線式 SPI
0x01	0x00	ストーリング、マスタ・リードバック制御

#### ステップ 2：初期化シーケンス

アドレス 0x7C からアドレス 0x10 へ、逆の順序で各レジスタに書き込みます。適切な値を選択して必要な周波数を生成します。必要な出力周波数を生成した後、周波数更新シーケンスを実施します。

#### ステップ 3：周波数更新シーケンス（内部 PLL）

周波数を更新するには、MOD2、FRAC1、FRAC2、および INT を更新する必要があります。更新シーケンスは以下のようになります。

1. REG001A（新規 MOD2WORD [13:8]）
2. REG0019（新規 MOD2WORD [7:0]）
3. REG0018（新規 FRAC2WORD [13:7]）
4. REG0017（新規 FRAC2WORD [6:0]）
5. REG0016（新規 FRAC1WORD [23:16]）
6. REG0015（新規 FRAC1WORD [15:8]）
7. REG0014（新規 FRAC1WORD [7:0]）
8. REG0011（新規 BIT\_INTEGER\_WORD [15:8]）
9. REG0010（新規 BIT\_INTEGER\_WORD [7:0]）

周波数の変更は、REG0010 レジスタへの書き込みによって実行されます。

変更しないレジスタは更新する必要はありません。例えば、インテジャー-N PLL の設定（フラクション部分は未使用）の場合、手順 1 から手順 7 を省略します。この場合、必要な更新は REG0011 レジスタと REG0010 レジスタだけです。

#### ステップ 4：外部 PFD の動作

VTUNE 入力を外部 PFD に切り替え、変換ループ・モジュールを使用して VCO をロックします。

性能を改善するため、REG001E、ビット 2 = 1 に設定して内部 PLL をオフにすることを推奨します。

また、周波数の切替え速度を最小にする必要がある場合は、内部 PLL を起動したままで、次の手順を実行します。

1. 内部 PLL のチャージ・ポンプをトライステートにする。REG003E、ビット [3:2] = 0。
2. フラクショナル N 型  $\Sigma$ - $\Delta$  エンジンにディスエーブル、REG002B、ビット 0 = 1。
3. R 分周器を 0 に設定。REG001F、ビット [4:0] = 0。
4. N 分周器を最大値 65535 に設定。REG0010、ビット [7:0] = 255 および REG0011、ビット [7:0] = 255。

#### ステップ 5：周波数更新シーケンス（変換ループ）

必要に応じて、外部 PFD 周波数と外部 LO 周波数を変更します。周波数を更新するには、内部 PFD を再度イネーブルし、VTUNE を切り替え、内部 PFD を使用して新しい周波数で VCO をロックする必要があります。その後、VTUNE 入力を外部 PFD に切り替え、変換ループ・モジュールを使用して VCO を新しい周波数にロックします。

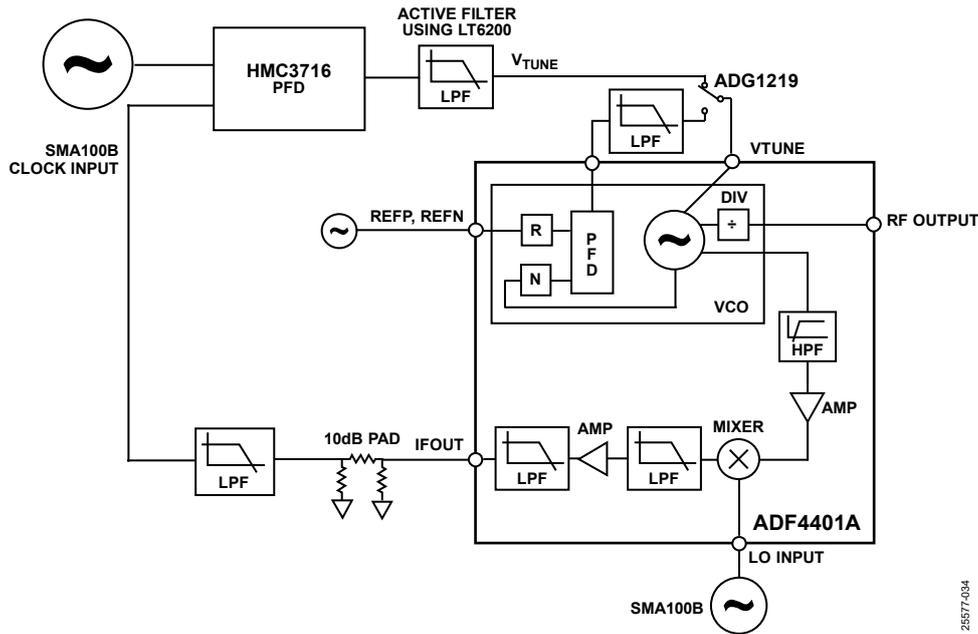


図 32. ADF4401A の評価セットアップ・ブロック図

### VCO キャリブレーションの実例

VCO キャリブレーションには、内部 PLL ブロック（内部 PFD と内部 N および R 分周器）を使用します。このセクションでは、すべてのパラメータは内部 PLL に関するものです。次式を使って ADF4401A シンセサイザを設定します。

$$f_{RFOUT} = \left( INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times \frac{f_{PFD}}{RF \text{ Divider}} \quad (7)$$

ここで、  
 $f_{RFOUT}$  は RF 出力周波数。  
 $INT$  はインテジャー分周係数。  
 $FRAC1$  はフラクショナル。  
 $FRAC2$  は補助フラクショナル。  
 $MOD1$  は固定の 25 ビット・モジュラス。  
 $MOD2$  は補助モジュラス。  
 $RF \text{ Divider}$  は VCO 周波数を分周する出力分周比。

$$f_{PFD} = REF_{IN} \times (1 / (R \times (1 + T))) \quad (8)$$

ここで、  
 $REF_{IN}$  はリファレンス周波数入力。  
 $R$  はリファレンス分周係数。  
 $T$  はリファレンス 2 分周ビット (0 または 1)。

例えば、2112.8MHz の  $f_{RFOUT}$  が必要とされるユニバーサル・モバイル・テレコミュニケーション・システム (UMTS) では、122.88MHz の  $REF_{IN}$  を使用できます。ADF4401A の VCO は 4GHz ~ 8GHz の周波数範囲で動作します。したがって、RF を 2 分周する必要があります (VCO 周波数 = 4225.6MHz、 $RF_{OUT}$  = VCO 周波数/RF 分周比 = 4225.6MHz/2 = 2112.8MHz)。

フィードバック・パスも重要です。この例では、VCO 出力は出力分周器の前でフィードバックされています (図 33 を参照)。

この例では、122.88MHz のリファレンス信号を 2 分周して 61.44MHz の  $f_{PFD}$  を生成します。必要なチャンネル間隔周波数は 200kHz です。

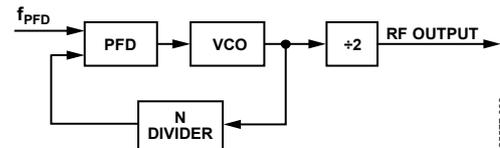


図 33. 出力分周器の前に配置されたクロードループ

この実例で使用されている値は次のとおりです。

$$N = f_{VCO\_OUT} / f_{PFD} = 4225.6\text{MHz} / 61.44\text{MHz} = 68.7760416666666667 \quad (9)$$

ここで、  
 $N$  は目的のフィードバック・カウンタ  $N$  の値。  
 $f_{VCO\_OUT}$  は出力分周器を使用しない VCO の出力周波数。  
 $f_{PFD}$  は位相周波数検出器の周波数。

$$INT = INT (VCO \text{ 周波数} / f_{PFD}) = 68 \quad (10)$$

$$FRAC = 0.7760416666666667 \quad (11)$$

ここで、 $FRAC$  は  $N$  のフラクショナル部。

$$MOD1 = 33,554,432 \quad (12)$$

$$FRAC1 = INT (MOD1 \times FRAC) = 26,039,637 \quad (13)$$

$$\text{剰余} = 0.3333333333 \text{ または } 1/3 \quad (14)$$

$$MOD2 = f_{PFD} / \text{GCD} (f_{PFD}, f_{CHSP}) = 61.44\text{MHz} / \text{GCD} (61.44\text{MHz}, 200\text{kHz}) = 1536 \quad (15)$$

ここで、GCD は最大公約数演算子。

$$FRAC2 = \text{剰余} \times 1536 = 512 \quad (16)$$

式 8 から、

$$f_{PFD} = (122.88\text{MHz} \times (1/2)) = 61.44\text{MHz} \quad (17)$$

$$2112.8\text{MHz} = 61.44\text{MHz} \times ((INT + (FRAC1 + FRAC2/MOD2)/2^{25}))/2 \quad (18)$$

ここで、

$INT = 68$ 。

$FRAC1 = 26,039,637$ 。

$MOD2 = 1536$ 。

$FRAC2 = 512$ 。

$RF$  分周比 = 2。

## VCO キャリブレーション時間

VCO キャリブレーション・セトリング時間はいくつかの設定値に分割されます。周波数変更に必要な合計ロック時間は、シンセサイザ・ロック、VCO 帯域の選択、自動レベル・キャリブレーション (ALC)、およびキャリブレーション PLL セトリング時間の 4 つの別々の時間を合計したものです。

### シンセサイザ・ロック

シンセサイザ・ロックのタイムアウトにより、帯域選択回路に対して VCO チューニング電圧 ( $V_{TUNE}$ ) を決める VCO キャリブレーション DAC の値を安定させることができます。SYNTH\_LOCK\_TIMEOUT と timeout によって、VCO キャリブレーションのプロセスが次のフェーズ (VCO 帯域の選択) に進むまでに DAC が最終電圧に安定するための許容時間を選択します。

PFD 周波数はこのロジック用のクロックであり、この時間は次式を使用して設定します。

$$\frac{SYNTH\_LOCK\_TIMEOUT \times 1024 + timeout}{f_{PFD}} \quad (19)$$

ここで、

$SYNTH\_LOCK\_TIMEOUT$  は REG0033 で設定。

$Timeout$  は REG0031 と REG0032 で設定。

この時間の計算値は  $20\mu\text{s}$  以上でなければなりません。

$SYNTH\_LOCK\_TIMEOUT$  ビットの最小値は 2、最大値は 31 です。 $timeout$  ビットの最小値は 2、最大値は 1023 です。

### VCO 帯域の選択

$VCO\_BAND\_DIV$  (REG0030 レジスタで設定) および  $f_{PFD}$  を使用して、次式のように VCO 帯域選択クロックを生成します。

$$f_{BSC} = \frac{f_{PFD}}{VCO\_BAND\_DIV} \quad (20)$$

ここで、 $f_{BSC}$  は帯域選択クロック周波数。

この周波数の計算値は  $2.4\text{MHz}$  未満でなければなりません。

1 つの VCO コアと帯域キャリブレーションのステップには 16 クロック・サイクルが必要で、全帯域の選択プロセスには 11 ステップかかるため、次式が得られます。

$$11 \times \frac{16 \times VCO\_BAND\_DIV}{f_{PFD}} \quad (21)$$

$VCO\_BAND\_DIV$  の最小値は 1、最大値は 255 です。

### 自動レベル・キャリブレーション

ALC 機能を使用して、ADF4401A の VCO コアに適切なバイアス電流を選択します。各ステップで VCO バイアス電圧を安定させるために必要な時間は次式で設定します。

$$\frac{VCO\_ALC\_TIMEOUT \times 1024 + timeout}{f_{PFD}} \quad (22)$$

ここで、

$VCO\_ALC\_TIMEOUT$  と  $timeout$  は REG0034 レジスタ、REG0032 レジスタ、REG0031 レジスタで設定します。

この時間の計算値は  $50\mu\text{s}$  以上でなければなりません。

次式に示すように、ALC 全体では 63 ステップが必要です。

$$63 \times \frac{VCO\_ALC\_TIMEOUT \times 1024 + timeout}{f_{PFD}} \quad (23)$$

$VCO\_ALC\_TIMEOUT$  の最小値は 2、最大値は 31 です。

### キャリブレーション PLL のセトリング時間

ループの安定に必要な時間は、ローパス・フィルタの帯域幅に反比例します。セトリング時間は ADIsimPLL 設計ツールで正確にモデル化されています。

### キャリブレーション・ロック時間の実際例

$f_{PFD} = 61.44\text{MHz}$  と仮定します。

$$VCO\_BAND\_DIV = \text{Ceiling}(f_{PFD}/2,400,000) = 26 \quad (24)$$

ここで、 $\text{Ceiling}()$  は最も近い整数に切り上げます。

$$SYNTH\_LOCK\_TIMEOUT \times 1024 + timeout > 1228.8 \quad (25)$$

$$VCO\_ALC\_TIMEOUT \times 1024 + timeout > 3072 \quad (26)$$

これらの基準を満たす適切な値はいくつかあります。最小仕様を考慮すると、以下の値が最適です。

- $SYNTH\_LOCK\_TIMEOUT = 2$  (最小値)
- $VCO\_ALC\_TIMEOUT = 3$
- $Timeout = 2$

キャリブレーション・プロセスをバイパスすることによって、このデータシートに記載されている値よりもはるかに短いロック時間が可能です。詳細については、AN-2005 アプリケーション・ノートを参照してください。

### 局部発振器 (LO\_IN)

ADF4401A では外部 LO の選択が非常に重要です。分周機能はミキサによって置き換えられるため、外部 LO の位相ノイズが PLL ループ帯域幅内の搬送波周波数を変調させ、位相ノイズの測定値において支配的になります。このため、電圧制御表面弾性波 (SAW) 発振器 (VCSO)、コム・ジェネレータ、誘電体共振発振器 (DRO) などの高性能な LO 源のみが推奨されます。

## 外部位相検出器

極めて低ノイズの搬送波周波数を生成するオフセット・ループ PLL アーキテクチャの能力の利点を生かすには、高い周波数で動作できる位相検出器または PFD を使用して、インバンド・ノイズ応答を低下させる可能性のある分周器の必要性を最小限に抑えることが重要です。

ADF4401A の IF 範囲には、1.3GHz の位相比較周波数を持つ [HMC3716](#) が最適です。このような周波数と位相の両方を比較できる回路性能により、周波数を目的の出力周波数に誘導するための追加回路が不要になります。

ミキサも位相検出器として使用できますが、ミキサの検出範囲内（目的周波数±外部ループ帯域幅）に周波数を誘導するには追加回路が必要です。

## 位相検出器のリファレンス

低ノイズ LO 源と高周波数、低ノイズの位相検出器を選択することに加えて、外部位相検出器のリファレンス周波数もとても重要です。ほとんどのアプリケーションにおいて、外部位相検出器のリファレンスには高速スイッチングと高分解能が必要となります。このため、DDS（ダイレクト・デジタル・シンセサイザ）を強く推奨します。[AD9162](#) のようなデバイスが ADF4401A の IF 範囲をカバーし、最適です。

## 電源

最適性能を実現するには、[ADM7150](#) のような低ノイズ・レギュレータをすべての電源ピンに接続してください。

## PCB 設計時のガイドライン

すべての GND ピンを最上層のできるだけ大きなベタ銅箔またはプレーン面に接続してください。外部部品と ADF4401A の間のグラウンド接続が断線しないようにしてください。

最適な放熱性を確保するため、ビアを使用して GND 銅箔面と PCB 内層のグラウンド・プレーンを接続してください。このような GND ビアを多数配置することにより、PCB 内層プレーンとのグラウンド接続および熱経路を最適化できます。サーマル・ビアの位置と密集度には注意を払ってください。ADF4401A は、電力処理を行う内蔵部品の近くにビアがあるため、内部 GND プ

レーンに接続することによる放熱効果のメリットを生かすことができます。サーマル・ビアの最適な数は PCB の設計に依存します。例えば、小径のビア・ホールを使用する PCB は、大きなビア・ホールを使用する基板にくらべて多くのサーマル・ビアが必要になります。

ADF4401A のようなマイクロ波 PLL や VCO シンセサイザの場合は、基板の層構成とレイアウトに注意が必要です。FR4 材料は、3GHz を超えると信号の電力損失が発生する可能性があるため使用しないでください。代わりに、Rogers 4350、Rogers 4003、または Rogers 3003 の誘電体材料が適しています。

不連続性を最小限に抑え、信号の完全性を最大限に確保するため、RF 出力のパターンに注意を払う必要があります。ビアの配置とグラウンディングは重要です。

## 出力マッチング

必要に応じて、RF8P ピンと RF8N ピンは次段の回路に AC カップリングできます。ただし、より大きな出力電力が必要な場合は、プルアップ・インダクタを VRF\_OUT に接続して出力電力レベルを上昇させます（[図 34](#) 参照）。

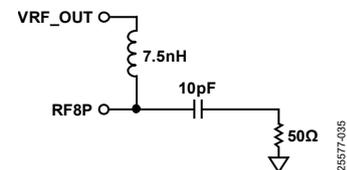


図 34. 最適な出力段

差動出力が不要な場合は、未使用の出力を終端するか、バランを使用して出力を結合します。

2GHz を下回る周波数では、7.5nH のインダクタの代わりに 100nH のインダクタを RF8P ピンと RF8N ピンに接続してください。

RF8P ピンと RF8N ピンは差動回路を形成します。可能であれば各出力に同じ（または類似の）部品を使用します。例えば、同じ値のシャント・インダクタ、バイパス・コンデンサ、および終端を使用します。

## レジスタの一覧

表 8. ADF4401A のレジスタ一覧

Reg	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	RW	
0x00	[7:0]	SOFT_RESET_R	LSB_FIRST_R	ADDRESS_ASCENSION_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDRESS_ASCENSION	LSB_FIRST	SOFT_RESET	0x18	R/W	
0x01	[7:0]	SINGLE_INSTRUCTION	STALLING	MASTER_READBACK_CONTROL	RESERVED					0x00	R/W	
0x10	[7:0]	BIT_INTEGER_WORD[7:0]								0x32	R/W	
0x11	[7:0]	BIT_INTEGER_WORD[15:8]								0x00	R/W	
0x12	[7:0]	RESERVED	EN_AUTOCAL	PRE_SEL	RESERVED					0x40	R/W	
0x14	[7:0]	FRAC1WORD[7:0]								0x00	R/W	
0x15	[7:0]	FRAC1WORD[15:8]								0x00	R/W	
0x16	[7:0]	FRAC1WORD[23:16]								0x00	R/W	
0x17	[7:0]	FRAC2WORD[6:0]							FRAC1WORD[24]	0x00	R/W	
0x18	[7:0]	RESERVED	FRAC2WORD[13:7]							0x00	R/W	
0x19	[7:0]	MOD2WORD[7:0]								0xE8	R/W	
0x1A	[7:0]	RESERVED			MOD2WORD[13:8]					0x03	R/W	
0x1E	[7:0]	CP_CURRENT				PD_POL	PD	RESERVED	CNTR_RESET	0x48	R/W	
0x1F	[7:0]	RESERVED				R_WORD				0x01	R/W	
0x20	[7:0]	MUXOUT				MUXOUT_EN	LEV_SEL	RESERVED			0x14	R/W
0x22	[7:0]	RESERVED	REFIN_MODE	RESERVED	RDIV2	RESERVED					0x00	R/W
0x24	[7:0]	FB_SEL	DIV_SEL			RESERVED					0x80	R/W
0x25	[7:0]	RESERVED			RF_DIVSEL_DB	RESERVED		RF_EN	RF_OUT_POWER	0x07	R/W	
0x27	[7:0]	LD_BIAS			LDP	RESERVED					0xC5	R/W
0x28	[7:0]	DOUBLE_BUFF	RESERVED				LD_COUNT		LOL_EN	0x03	R/W	
0x2B	[7:0]	RESERVED			LSB_P1	VAR_MOD_EN	RESERVED	SD_LOAD_ENB	RESERVED	SD_EN_FRACO	0x01	R/W
0x2C	[7:0]	RESERVED	ALC_RECT_SELECT_VCO1	ALC_REF_DAC_LO_VCO1	ALC_REF_DAC_NOM_VCO1			VTUNE_CALSET_EN	DISABLE_ALC	0x44	R/W	
0x2D	[7:0]	RESERVED				ALC_RECT_SELECT_VCO2	ALC_REF_DAC_LO_VCO2	ALC_REF_DAC_NOM_VCO2			0x11	R/W
0x2E	[7:0]	RESERVED				ALC_RECT_SELECT_VCO3	ALC_REF_DAC_LO_VCO3	ALC_REF_DAC_NOM_VCO3			0x12	R/W
0x2F	[7:0]	RESERVED				ALC_RECT_SELECT_VCO4	ALC_REF_DAC_LO_VCO4	ALC_REF_DAC_NOM_VCO4			0x94	R/W
0x30	[7:0]	VCO_BAND_DIV								0x3F	R/W	
0x31	[7:0]	TIMEOUT[7:0]								0xA7	R/W	
0x32	[7:0]	ADC_MUX_SEL	RESERVED	ADC_FAST_CONV	ADC_CTS_CONV	ADC_CONVERSION	ADC_ENABLE	TIMEOUT[9:8]			0x04	R/W
0x33	[7:0]	RESERVED				SYNTH_LOCK_TIMEOUT				0x0C	R/W	
0x34	[7:0]	VCO_FSM_TEST_MODES				VCO_ALC_TIMEOUT				0x9E	R/W	
0x35	[7:0]	ADC_CLK_DIVIDER								0x4C	R/W	
0x36	[7:0]	ICP_ADJUST_OFFSET								0x30	R/W	
0x37	[7:0]	SI_BAND_SEL								0x00	R/W	
0x38	[7:0]	SI_VCO_SEL				SI_VCO_BIAS_CODE				0x00	R/W	
0x39	[7:0]	RESERVED	VCO_FSM_TEST_MUX_SEL				SI_VTUNE_CAL_SET				0x07	R/W
0x3A	[7:0]	ADC_OFFSET								0x55	R/W	
0x3E	[7:0]	RESERVED				CP_TMODE			RESERVED		0x0C	R/W
0x3F	[7:0]	RESERVED								0x80	R/W	
0x40	[7:0]	RESERVED								0x50	R/W	
0x41	[7:0]	RESERVED								0x28	R/W	
0x47	[7:0]	RESERVED								0xC0	R/W	
0x52	[7:0]	RESERVED								0xF4	R/W	
0x6E	[7:0]	VCO_DATA_READBACK[7:0]								0x00	R	
0x6F	[7:0]	VCO_DATA_READBACK[15:8]								0x00	R	
0x72	[7:0]	RESERVED	AUX_FREQ_SEL	POUT_AUX		PDB_AUX	RESERVED				0x32	R/W
0x73	[7:0]	RESERVED					ADC_CLK_DISABLE	PD_NDIV	LD_DIV	0x00	R/W	
0x7C	[7:0]	RESERVED								LOCK_DETECT_READBACK	0x00	R

## レジスタの詳細

アドレス : 0x00、デフォルト : 0x18、レジスタ名 : REG0000

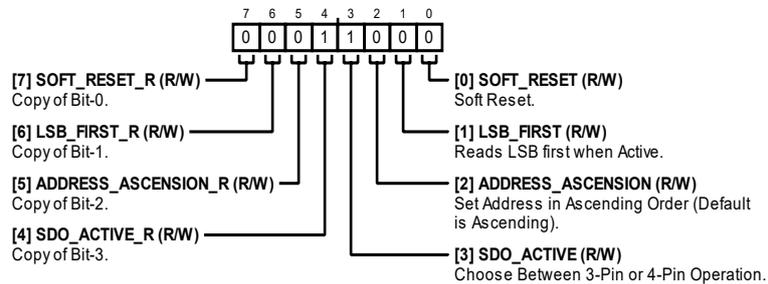


表 9. REG0000 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	SOFT_RESET_R	ビット 0 のコピー。	0x0	R/W
6	LSB_FIRST_R	ビット 1 のコピー。	0x0	R/W
5	ADDRESS_ASCENSION_R	ビット 2 のコピー。	0x0	R/W
4	SDO_ACTIVE_R	ビット 3 のコピー。	0x1	R/W
3	SDO_ACTIVE	3 ピン動作か 4 ピン動作かを選択。 0 : 3 ピン。 1 : 4 ピン。SDIO ピンをイネーブルすると、SDIO ピンは入力専用になります。	0x1	R/W
2	ADDRESS_ASCENSION	アドレスを昇順に設定 (デフォルトは昇順)。 0 : 降順 1 : 昇順	0x0	R/W
1	LSB_FIRST	アクティブのとき LSB ファーストで読み出す。	0x0	R/W
0	SOFT_RESET	ソフト・リセット。 0 : 通常動作。 1 : ソフト・リセット。	0x0	R/W

アドレス : 0x01、デフォルト : 0x00、レジスタ名 : REG0001

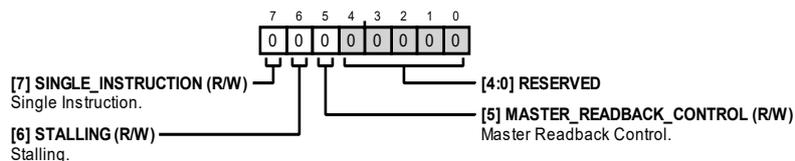


表 10. REG0001 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	SINGLE_INSTRUCTION	単一命令。SINGLE_INSTRUCTION ビットを 1 に設定すると、SPI ストリーム・モードは無効になります。	0x0	R/W
6	STALLING	ストーリング。	0x0	R/W
5	MASTER_READBACK_CONTROL	マスタ・リードバック制御。	0x0	R/W
[4:0]	RESERVED	予備。	0x0	R

アドレス : 0x10、デフォルト : 0x32、レジスタ名 : REG0010



表 11. REG0010 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	BIT_INTEGER_WORD[7:0]	16 ビットのインテジャー・ワード。(内部 PLL 用の) 整数値 N を設定します。FRAC1、FRAC2、MOD2 などの PLL N カウンタへの更新は、このビット・フィールドによってダブル・バッファされます。	0x32	R/W

アドレス : 0x11、デフォルト : 0x00、レジスタ名 : REG0011

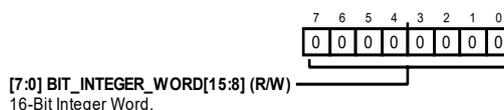


表 12. REG0011 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	BIT_INTEGER_WORD[15:8]	16 ビットのインテジャー・ワード。整数値 N を設定します。	0x0	R/W

アドレス : 0x12、デフォルト : 0x40、レジスタ名 : REG0012

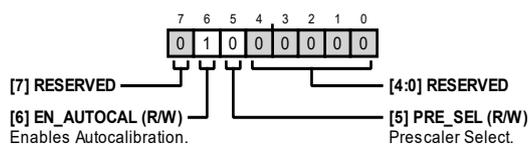


表 13. REG0012 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	EN_AUTOCAL	自動キャリブレーションのイネーブル。 0 : VCO 自動キャリブレーションをディセーブル。 1 : VCO 自動キャリブレーションをイネーブル。	0x1	R/W
5	PRE_SEL	プリスケラ選択。キャリブレーション PLL のデュアル・モジュラス・プリスケラを PRE_SEL ビットで設定します。N 分周器の入力にあるプリスケラは、N 分周器が処理できるように VCO 信号を分周します。プリスケラの設定は RF 周波数と INT の最小値および最大値に影響します。 0 : 4/5 プリスケラ。 1 : 8/9 プリスケラ。	0x0	R/W
[4:0]	RESERVED	予備。	0x0	R

アドレス : 0x14、デフォルト : 0x00、レジスタ名 : REG0014

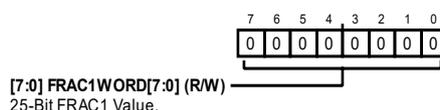


表 14. REG0014 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[7:0]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x15、デフォルト : 0x00、レジスタ名 : REG0015

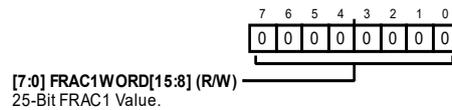


表 15. REG0015 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[15:8]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x16、デフォルト : 0x00、レジスタ名 : REG0016

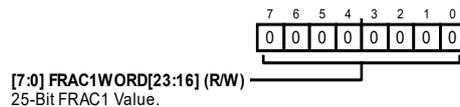


表 16. REG0016 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	FRAC1WORD[23:16]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x17、デフォルト : 0x00、レジスタ名 : REG0017

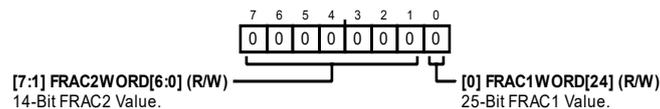


表 17. REG0017 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:1]	FRAC2WORD[6:0]	14 ビットの FRAC2 値。FRAC2 値を設定します。	0x0	R/W
0	FRAC1WORD[24]	25 ビットの FRAC1 値。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x18、デフォルト : 0x00、レジスタ名 : REG0018

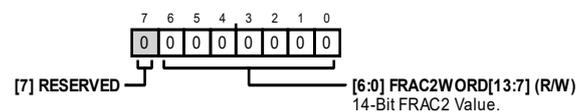


表 18. REG0018 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
[6:0]	FRAC2WORD[13:7]	14 ビットの FRAC2 値。FRAC2 値を設定します。	0x0	R/W

アドレス : 0x19、デフォルト : 0xE8、レジスタ名 : REG0019

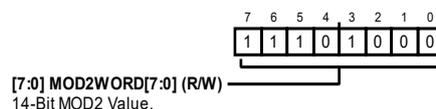


表 19. REG0019 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	MOD2WORD[7:0]	14 ビットの MOD2 値。MOD2 値を設定します。	0xE8	R/W

アドレス : 0x1A、デフォルト : 0x03、レジスタ名 : REG001A

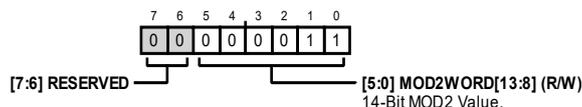


表 20. REG001A のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	MOD2WORD[13:8]	14 ビットの MOD2 値。MOD2 値を設定します。	0x3	R/W

アドレス : 0x1E、デフォルト : 0x48、レジスタ名 : REG001E

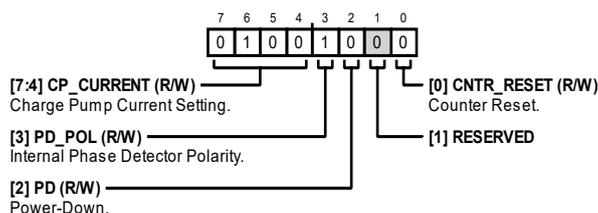


表 21. REG001E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	CP_CURRENT	チャージ・ポンプ電流設定。チャージ・ポンプ電流を設定します。CP_CURRENT ビットは、ループ・フィルタ設計で使用するチャージ・ポンプの電流を設定します。 0 : 0.35mA。 1 : 0.70mA。 10 : 1.05mA。 11 : 1.4mA。 100 : 1.75mA。 101 : 2.1mA。 110 : 2.45mA。 111 : 2.8mA。 1000 : 3.15mA。 1001 : 3.5mA。 1010 : 3.85mA。 1011 : 4.2mA。 1100 : 4.55mA。 1101 : 4.9mA。 1110 : 5.25mA。 1111 : 5.6mA。	0x4	R/W
3	PD_POL	内部位相検出器の極性。非反転ループ・フィルタを使用する場合は、位相検出器の極性を正に設定します。反転ループ・フィルタを使用する場合は、位相検出器の極性を負に設定します。 0 : 負の位相検出器極性。 1 : 正の位相検出器極性。	0x1	R/W
2	PD	パワーダウン。1 に設定すると、VCO/PLL のすべての内部 PLL ブロックがパワーダウンします。VCO と乗算器はパワーアップしたままです。レジスタの値は失われません。ADF4401A がキャリブレーション・モードに戻った (0 に設定) 後、キャリブレーション・ループを再ロックするには REG0010 への書き込みが必要です。 0 : キャリブレーション・モード。 1 : 変換ループ・モード。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	CNTR_RESET	カウンタ・リセット。1 に設定すると、N 分周器と R カウンタがリセットされます。PFD に信号は入力されません。 0 : 通常動作。 1 : カウンタ・リセット。	0x0	R/W

アドレス : 0x1F、デフォルト : 0x01、レジスタ名 : REG001F

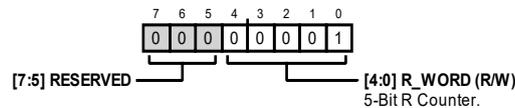


表 22. REG001F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	R_WORD	5 ビット R カウンタ。	0x1	R/W

アドレス : 0x20、デフォルト : 0x14、レジスタ名 : REG0020

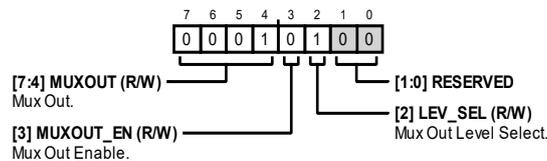


表 23. REG0020 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	MUXOUT	マルチプレクサ出力。MUXOUT_EN = 1 のときのマルチプレクサ出力信号の設定に使用します。 0 : トライステート、ハイ・インピーダンス出力 (MUXOUT_EN = 0 の場合にのみ機能)。 1 : キャリブレーション PLL のデジタル・ロック検出。 10 : チャージ・ポンプ起動。 11 : チャージ・ポンプ停止。 100 : R 分周器出力/2。 101 : N 分周器出力/2。 110 : VCO テスト・モード。 111 : 予備。 1000 : ハイ。 1001 : VCO キャリブレーション R 帯域/2。 1010 : VCO キャリブレーション N 帯域/2。	0x1	R/W
3	MUXOUT_EN	マルチプレクサ出力イネーブル。4 線式 SPI を使用する場合は 0 に設定します。 0 : 4 線式 SPI では、MUXOUT ピンはシリアル・データ出力として設定されます。マルチプレクサ出力機能はディスエーブルされます。 1 : MUXOUT ピンはマルチプレクサ出力機能として設定されます。	0x0	R/W
2	LEV_SEL	マルチプレクサ出力レベルの選択。マルチプレクサ出力でのロジックの電圧レベルを選択します。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x1	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス : 0x22、デフォルト : 0x00、レジスタ名 : REG0022

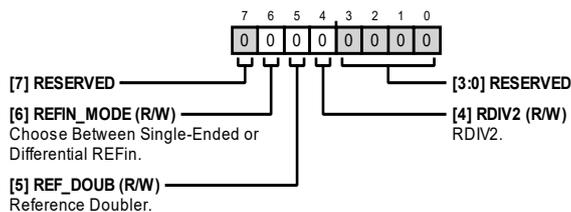


表 24. REG0022 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	REFIN_MODE	REF <sub>IN</sub> をシングルエンドにするか差動にするかを選択。 0 : シングルエンド REF <sub>IN</sub> 。 1 : 差動 REF <sub>IN</sub> 。	0x0	R/W
5	REF_DOUB	予備。	0x0	R/W
4	RDIV2	RDIV2。リファレンス・クロックの2分周制御。この機能を使用して、50%デューティ・サイクルの信号を PFD に供給できます。 0 : RDIV2 ディスエーブル。 1 : RDIV2 イネーブル。	0x0	R/W
[3:0]	RESERVED	予備。	0x0	R

アドレス : 0x24、デフォルト : 0x80、レジスタ名 : REG0024

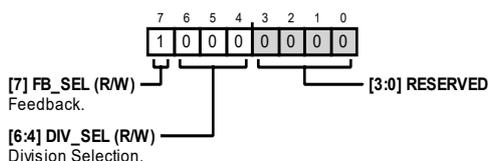


表 25. REG0024 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	FB_SEL	フィードバック。 0 : N カウンタへの分周フィードバック。 1 : N カウンタへの基本フィードバック。	0x1	R/W
[6:4]	DIV_SEL	分周選択。 0 : 1 分周。 1 : 2 分周。 10 : 4 分周。 11 : 8 分周。 100 : 16 分周。 101 : 32 分周。 110 : 64 分周。 111 : 予備。	0x0	R/W
[3:0]	RESERVED	予備。	0x0	R

アドレス : 0x25、デフォルト : 0x07、レジスタ名 : REG0025

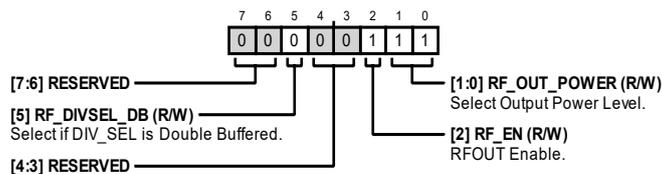


表 26. REG0025 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	RF_DIVSEL_DB	DIV_SEL をダブル・バッファ付きにするかどうかを選択。	0x0	R/W
[4:3]	RESERVED	予備。	0x0	R/W
2	RF_EN	RF <sub>OUT</sub> イネーブル。 0 : RF <sub>OUT</sub> をディスエーブル。 1 : RF <sub>OUT</sub> をイネーブル。	0x1	R/W
[1:0]	RF_OUT_POWER	出力電力レベルの選択。 0 : -4dBm。 1 : -1dBm。 10 : 2dBm。 11 : 5dBm。	0x3	R/W

アドレス : 0x27、デフォルト : 0xC5、レジスタ名 : REG0027

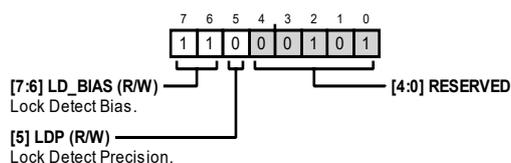


表 27. REG0027 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	LD_BIAS	ロック検出バイアス。ロック検出器のウィンドウ・サイズは、ロック検出器のバイアスをロック検出器の精度と共に調整することによって設定します。 0 : LDP = 0 の場合、ロック検出遅延は 5ns。 1 : 6ns。 10 : 8ns。 11 : ロック検出遅延は 12ns (ブリードが大きい場合)	0x3	R/W
5	LDP	ロック検出精度。選択した INT または FRAC 操作に応じて、デジタル・ロック検出器の感度を制御します。 0 : FRAC モード (5ns)。 1 : INT モード (2.4ns)。	0x0	R/W
[4:0]	RESERVED	予備。	0x5	R/W

アドレス : 0x28、デフォルト : 0x03、レジスタ名 : REG0028

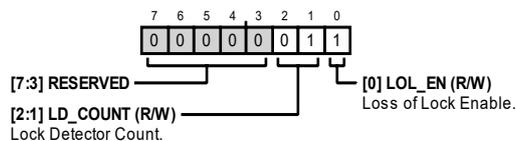


表 28. REG0028 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:3]	RESERVED	予備。	0x0	R
[2:1]	LD_COUNT	ロック検出器カウント。ロック検出器の初期値。このフィールドは、デジタル・ロック検出をハイにアサートする前のロック・ウィンドウ内の PFD カウント数を設定します。 0 : 1024 サイクル 1 : 2048 サイクル 10 : 4096 サイクル 11 : 8192 サイクル	0x1	R/W
0	LOL_EN	ロック喪失イネーブル。ロック喪失をイネーブルした場合、デジタル・ロック検出がアサートされ、リファレンス信号が失われるとデジタル・ロック検出はローになります。ロック喪失機能を有効にするために 1 に設定することを推奨します。 0 : 無効。 1 : ロック喪失イネーブル。	0x1	R/W

アドレス : 0x2B、デフォルト : 0x01、レジスタ名 : REG002B

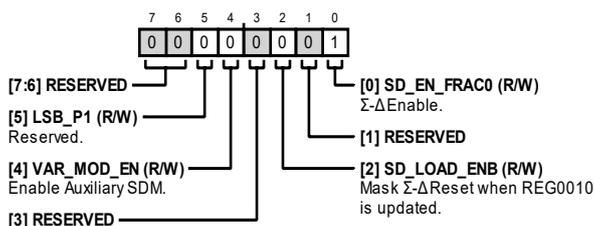


表 29. REG002B のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:6]	RESERVED	予備。	0x0	R
5	LSB_P1	予備。	0x0	R/W
4	VAR_MOD_EN	補助 SDM のイネーブル。通常動作では 0 に設定します。	0x0	R/W
3	RESERVED	予備。	0x0	R
2	SD_LOAD_ENB	REG0010 の更新時にマスク $\Sigma$ - $\Delta$ リセット。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	SD_EN_FRAC0	$\Sigma$ - $\Delta$ イネーブル。INT モードでは (FRAC1 = FRAC2 = 0 のとき) 1 に設定し、FRAC モードでは 0 に設定します。 0 : $\Sigma$ - $\Delta$ をイネーブル (フラクショナル・モードの場合)。 1 : $\Sigma$ - $\Delta$ をディスエーブル (インテジャー・モードの場合)。	0x1	R/W

アドレス : 0x2C、デフォルト : 0x44、レジスタ名 : REG002C

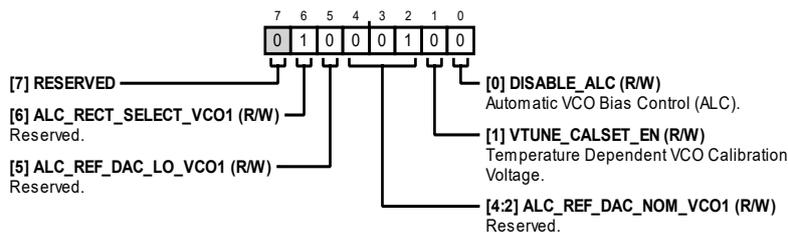


表 30. REG002C のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	ALC_RECT_SELECT_VCO1	予備。	0x1	R/W
5	ALC_REF_DAC_LO_VCO1	予備。	0x0	R/W
[4:2]	ALC_REF_DAC_NOM_VCO1	予備。	0x1	R/W
1	VTUNE_CALSET_EN	温度依存 VCO キャリブレーション電圧。 0 : 温度依存 VCO キャリブレーション電圧をディスエーブル。 1 : 温度依存 VCO キャリブレーション電圧をイネーブル。	0x0	R/W
0	DISABLE_ALC	自動 VCO バイアス制御 (ALC)。 0 : ALC を有効化。 1 : ALC を無効化。	0x0	R/W

アドレス : 0x2D、デフォルト : 0x11、レジスタ名 : REG002D

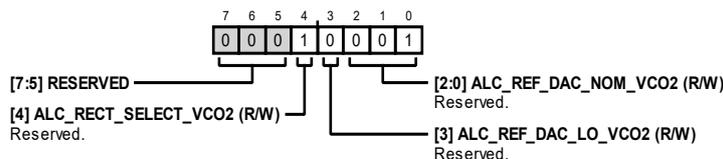


表 31. REG002D のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ALC_RECT_SELECT_VCO2	予備。	0x1	R/W
3	ALC_REF_DAC_LO_VCO2	予備。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO2	予備。	0x1	R/W

アドレス : 0x2E、デフォルト : 0x10、レジスタ名 : REG002E

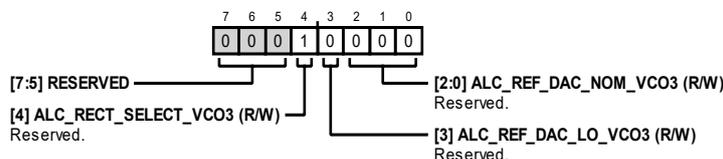


表 32. REG002E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	ALC_RECT_SELECT_VCO3	予備。	0x1	R/W
3	ALC_REF_DAC_LO_VCO3	予備。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO3	予備。	0x0	R/W

アドレス : 0x2F、デフォルト : 0x92、レジスタ名 : REG002F

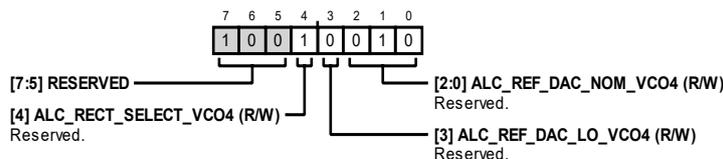


表 33. REG002F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。通常動作では 0x4 に設定します。	0x4	R/W
4	ALC_RECT_SELECT_VCO4	予備。	0x1	R/W
3	ALC_REF_DAC_LO_VCO4	予備。	0x0	R/W
[2:0]	ALC_REF_DAC_NOM_VCO4	予備。	0x2	R/W

アドレス : 0x30、デフォルト : 0x3F、レジスタ名 : REG0030

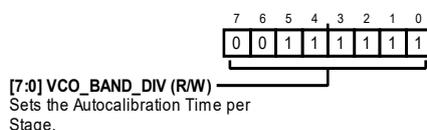


表 34. REG0030 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_BAND_DIV	1 段あたりの自動キャリブレーション時間の設定。詳細については、 <a href="#">VCO キャリブレーション時間のセクション</a> を参照してください。	0x3F	R/W

アドレス : 0x31、デフォルト : 0xA7、レジスタ名 : REG0031

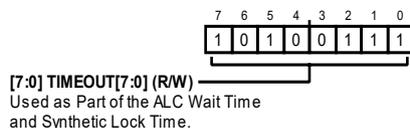


表 35. REG0031 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	TIMEOUT[7:0]	ALC 待機時間および合成ロック時間の一部として使用されます。詳細については、 <a href="#">VCO キャリブレーション時間のセクション</a> を参照してください。	0xA7	R/W

アドレス : 0x32、デフォルト : 0x04、レジスタ名 : REG0032

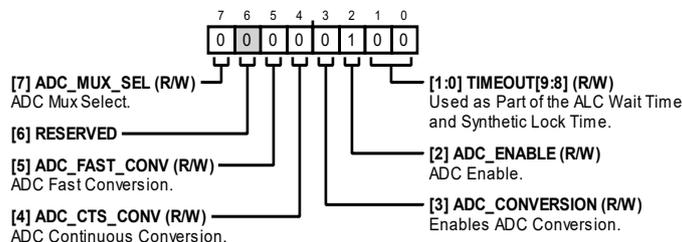


表 36. REG0032 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	ADC_MUX_SEL	ADC マルチプレクスの選択。 0 : 絶対温度電圧に比例した (PTAT) 電圧を ADC に入力。 1 : VTUNE 電圧に比例した電圧を ADC に入力。	0x0	R/W
6	RESERVED	予備。	0x0	R

ビット	ビット名	説明	デフォルト	アクセス
5	ADC_FAST_CONV	ADC 高速変換 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
4	ADC_CTS_CONV	ADC 逐次変換。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
3	ADC_CONVERSION	ADC 変換のイネーブル。 0 : ADC 変換を実行しない。 1 : ADC がイネーブルの場合、REG0000 への書込みで ADC 変換を実行。	0x0	R/W
2	ADC_ENABLE	ADC イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W
[1:0]	TIMEOUT[9:8]	ALC 待機時間および合成ロック時間の一部として使用されます。詳細については、 <a href="#">VCO キャリブレーション時間</a> のセクションを参照してください。	0x0	R/W

アドレス : 0x33、デフォルト : 0x0C、レジスタ名 : REG0033

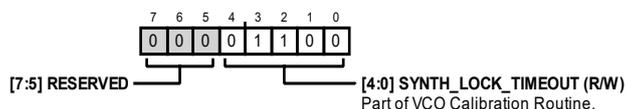


表 37. REG0033 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SYNTH_LOCK_TIMEOUT	VCO キャリブレーション・ルーチンの一部。詳細については、 <a href="#">VCO キャリブレーション時間</a> のセクションを参照してください。	0xC	R/W

アドレス : 0x34、デフォルト : 0x9E、レジスタ名 : REG0034

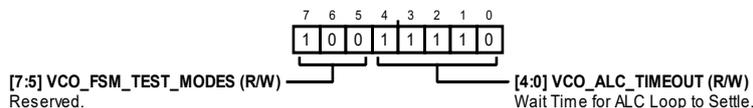


表 38. REG0034 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	VCO_FSM_TEST_MODES	予備。	0x4	R/W
[4:0]	VCO_ALC_TIMEOUT	ALC ループが安定するまでの待機時間。詳細については、 <a href="#">VCO キャリブレーション時間</a> のセクションを参照してください。	0x1E	R/W

アドレス : 0x35、デフォルト : 0x4C、レジスタ名 : REG0035

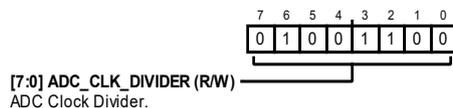


表 39. REG0035 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ADC_CLK_DIVIDER	ADC クロック分周器。ADC クロック = $f_{\text{PFD}} / ((\text{ADC\_CLK\_DIVIDER} \times 4) + 2)$ 。ADC クロックは 100kHz に設定してください。詳細については、AN-2005 を参照してください。	0x4C	R/W

アドレス : 0x36、デフォルト : 0x30、レジスタ名 : REG0036

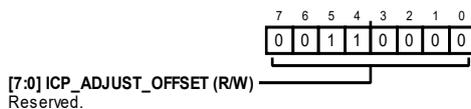


表 40. REG0036 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ICP_ADJUST_OFFSET	予備。	0x30	R/W

アドレス : 0x37、デフォルト : 0x00、レジスタ名 : REG0037

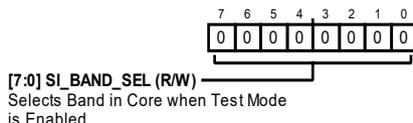


表 41. REG0037 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	SI_BAND_SEL	テスト・モード有効時のコア内帯域を選択。	0x0	R/W

アドレス : 0x38、デフォルト : 0x00、レジスタ名 : REG0038

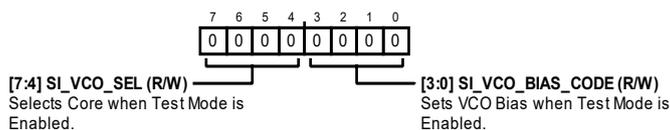


表 42. REG0038 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	SI_VCO_SEL	テスト・モード有効時のコアを選択。 0 : すべてのコアをオフ。 1 : VCO コア D。 10 : VCO コア C。 100 : VCO コア B。 1000 : VCO コア A。	0x0	R/W
[3:0]	SI_VCO_BIAS_CODE	テスト・モード有効時の VCO バイアスを設定。 0000 : 最大 VCO バイアス (約 3.2V)。 1111 : 最大 VCO バイアス (約 1.8V)。	0x0	R/W

アドレス : 0x39、デフォルト : 0x07、レジスタ名 : REG0039

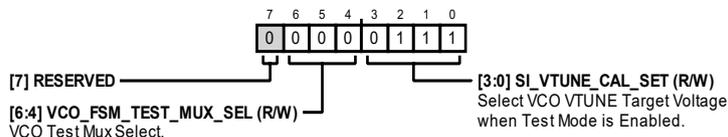


表 43. REG0039 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	VCO_FSM_TEST_MUX_SEL	VCO テスト・マルチプレクサ選択。 0 : ビジー。 1 : N 帯域。 10 : R 帯域。 11 : 予備。 100 : タイムアウト・クロック。	0x0	R/W

ビット	ビット名	説明	デフォルト	アクセス
		101 : 最小バイアス。 110 : ADC ビジー。 111 : ロジック・ロー。		
[3:0]	SI_VTUNE_CAL_SET	テスト・モード有効時の VCO VTUNE の目標電圧を選択します。 0 : 0.58V。 1 : 0.73V。 10 : 0.88V。 11 : 1.03V。 100 : 1.18V。 101 : 1.33V。 110 : 1.48V。 111 : 1.63V。 1000 : 1.78V。 1001 : 1.93V。 1010 : 2.08V。 1011 : 2.23V。 1100 : 2.38V。 1101 : 2.53V。 1110 : 2.68V。 1111 : 2.83V。	0x7	R/W

アドレス : 0x3A、デフォルト : 0x55、レジスタ名 : REG003A

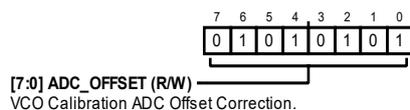


表 44. REG003A のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	ADC_OFFSET	VCO キャリブレーション ADC のオフセット補正。	0x55	R/W

アドレス : 0x3E、デフォルト : 0x0C、レジスタ名 : REG003E

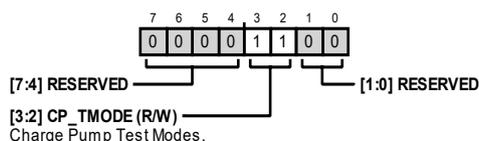


表 45. REG003E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:2]	CP_TMODE	チャージ・ポンプ・テスト・モード 0 : CP トライステート。 11 : 通常動作。	0x3	R/W
[1:0]	RESERVED	予備。	0x0	R

アドレス : 0x3F、デフォルト : 0x80、レジスタ名 : REG003F

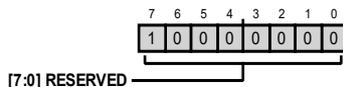


表 46. REG003F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	RESERVED	予備。	0x80	R/W

アドレス : 0x40、デフォルト : 0x50、レジスタ名 : REG0040

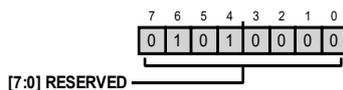


表 47. REG0040 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:5]	RESERVED	予備。	0x50	R

アドレス : 0x41、デフォルト : 0x28、レジスタ名 : REG0041

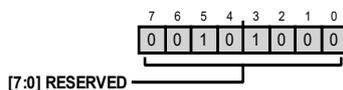


表 48. REG0041 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	RESERVED	予備。	0x28	R/W

アドレス : 0x47、デフォルト : 0xC0、レジスタ名 : REG0047

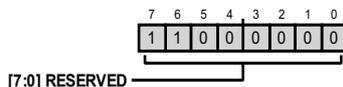


表 49. REG0047 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	RESERVED	予備。	0xC0	R

アドレス : 0x52、デフォルト : 0xF4、レジスタ名 : REG0052

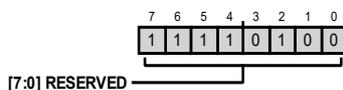


表 50. REG0052 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	RESERVED	予備。	0xF4	R

## アドレス : 0x6E、デフォルト : 0x00、レジスタ名 : REG006E

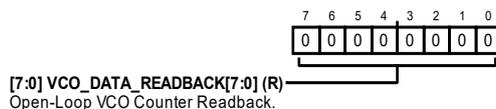


表 51. REG006E のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_DATA_READBACK[7:0]	オープンループ VCO カウンタのリードバック。	0x0	R

## アドレス : 0x6F、デフォルト : 0x00、レジスタ名 : REG006F



表 52. REG006F のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:0]	VCO_DATA_READBACK[15:8]	オープンループ VCO カウンタのリードバック。	0x0	R

## アドレス : 0x72、デフォルト : 0x32、レジスタ名 : REG0072

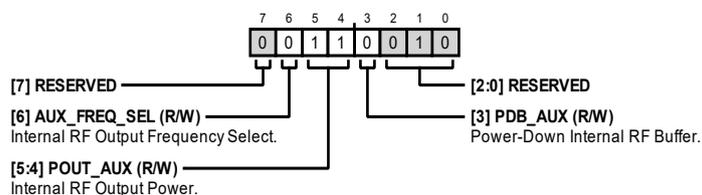


表 53. REG0072 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
7	RESERVED	予備。	0x0	R
6	AUX_FREQ_SEL	内部 RF 出力周波数の選択。ダウンコンバージョン・ミキサの VCO 基本周波数または分周周波数を選択します。 0 : 分周出力。 1 : VCO 出力。	0x0	R/W
[5:4]	POUT_AUX	内部 RF 出力電力。ミキサ経路を駆動する補助 RF ポートの電力を設定します。 0 : 低出力。 1 : 高出力。	0x1	R/W
3	PDB_AUX	内部 RF バッファのパワーダウン。通常動作時は、このビットを 1 に設定します。	0x1	R/W
[2:0]	RESERVED	予備。	0x2	R

## アドレス : 0x73、デフォルト : 0x00、レジスタ名 : REG0073

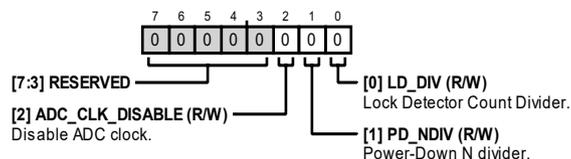


表 54. REG0073 のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:3]	RESERVED	予備。	0x0	R
2	ADC_CLK_DISABLE	ADC クロックをディスエーブル。ADC_ENABLE 設定により、このビットは上書きされます。	0x0	R/W
1	PD_NDIV	N 分周器をパワーダウン。	0x0	R/W
0	LD_DIV	ロック検出器カウント分周比。REG0028 レジスタの LD_COUNT ビットを 32、64、128、256 として選択できるように、ロック検出器のカウント・サイクルを 32 分周します。	0x0	R/W

アドレス : 0x7C、デフォルト : 0x00、レジスタ名 : REG007C

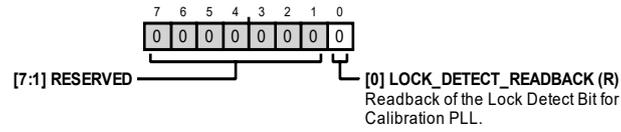


表 55. REG007C のビットの説明

ビット	ビット名	説明	デフォルト	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	LOCK_DETECT_READBACK	キャリブレーション PLL のロック検出ビットをリードバック。	0x0	R

外形寸法

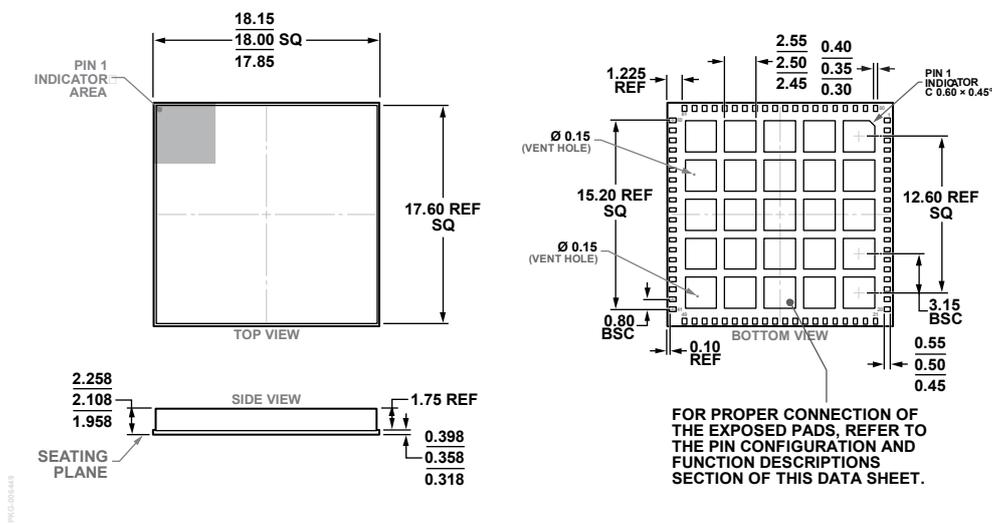


図 35. 80 端子チップ・アレイ・スモール・アウトライン・リードなしキャビティ [LGA\_CAV]  
 18.00mm × 18.00mm ボディ、2.108mm パッケージ高  
 (CE-80-1)  
 寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADF4401ABCEZ	-25°C to +85°C	80-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV]	CE-80-1
EV-ADF4401ASD2Z		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品