

0.56Ω オン抵抗、高密度オクタール SPST スイッチ

特長

- ▶ オン抵抗：0.56Ω（代表値）
- ▶ 大きな連続電流：最大 768mA
- ▶ 信号範囲全域での R_{ON} 平坦性：0.004Ω
- ▶ THD：1kHz で -122dB
- ▶ デジタル信号および電源のスルー配線ピン
- ▶ 受動部品を内蔵
- ▶ エラー検出と SPI インターフェイス
- ▶ ブレーク・ビフォア・メークのスイッチング動作が確保されているため、スイッチを外部で配線することによりマルチプレクサ構成が可能
- ▶ $\pm 15V$ と $+12V$ で全てを仕様規定
- ▶ 1.8V ロジックとの互換性あり、 $2.7V \leq V_L \leq 3.3V$ （1.8V デバイスへの SPI リードバックを除く）
- ▶ 4mm × 5mm 30 端子 LGA

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ 計測器
- ▶ データ・アキュイジション
- ▶ リレー部品の置き換え
- ▶ アビオニクス（航空電子機器）
- ▶ オーディオ/ビデオでのスイッチング
- ▶ 通信システム

機能ブロック図

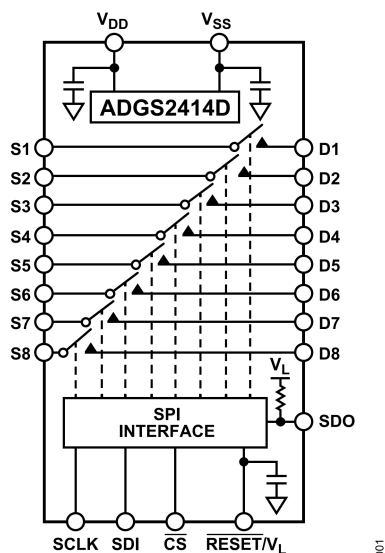


図 1. 機能ブロック図

概要

ADGS2414D は、8 個の独立した低オン抵抗の単極単投（SPST）スイッチを内蔵し、4mm × 5mm の 30 ピン LGA パッケージを採用しています。

ADGS2414D は、プリント回路基板のスペースに制約があるシステムや、既存システムのフォーム・ファクタによって拡張が制限されるシステムにおいて、チャンネルの高密度化を実現します。

SPI デイジーチェーン・モードを使用して複数の ADGS2414D を組み合わせ、大規模スイッチ・マトリクスや高ファンアウト・アプリケーションなどのチャンネル数が非常に多いシステムを設計する場合に、独自のスルー配線ピンによりスペースを大幅に削減できます。電源デカップリング・コンデンサと SDO プルアップ抵抗を内蔵しているため、スペースを更に削減し、プリント回路基板を簡略化します。

各スイッチ・チャンネルのオン抵抗が低い（代表値 0.56Ω）ため、放熱性が重要となるシステムでも電流密度を高くできます。また、スイッチ・チャンネルのオン抵抗プロファイルがアナログ入力範囲の全域で非常に平坦なため、高精度アナログ信号のスイッチング時に良好な線形性と低歪みが得られます。

各スイッチは、 $V_{SS} \sim V_{DD} - 2V$ の入力信号範囲を備えています。各スイッチは、オンになると双方向に等しく良好に導通し、オフ状態では電源電圧までの信号レベルをブロックします。

SPI は、巡回冗長検査（CRC）エラーの検出、無効な読出し／書込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

製品のハイライト

1. SPI を搭載しているので、パラレル変換やロジック配線パターンの必要がなく、汎用入出力（GPIO）チャンネル数を削減します。
2. デイジーチェーン・モードでは、複数のデバイスを使用する場合にロジック配線パターンを追加する必要がありません。
3. デジタル信号および電源のスルー配線により配線が容易になり、チャンネル密度を増加できます。
4. 受動部品が内蔵されているため、外付けの受動部品は不要です。
5. CRC エラーの検出、無効な読出し／書込みアドレスの検出、SCLK カウント・エラーの検出により、デジタル・インターフェイスの信頼性が確保されます。
6. CRC エラー検出、無効な読出し／書込みアドレスの検出、SCLK エラー検出などの機能があるため、安全性が不可欠なシステムにおいて ADGS2414D を使用できます。
7. ADGS1414D とピン互換の置き換えデバイスです。

目次

特長.....	1	エラー・フラグ・レジスタのクリア.....	22
アプリケーション.....	1	バースト・モード.....	22
機能ブロック図.....	1	ソフトウェア・リセット.....	22
概要.....	1	デイジーチェーン・モード.....	22
製品のハイライト.....	1	パワーオン・リセット.....	24
仕様.....	3	アプリケーション情報.....	25
動作電源電圧.....	3	高電圧、高周波の信号のトラッキング.....	25
±15V 両電源.....	3	システム・チャンネル密度.....	25
12V 単電源.....	5	スルー配線ピン.....	25
チャンネルごとの連続電流（Sx または Dx）.....	7	内蔵の受動部品.....	25
タイミング特性.....	8	ブ레이크・ビフォア・メーク・スイッチング機能.....	26
タイミング図.....	9	デジタル入力バッファ.....	26
絶対最大定格.....	10	電源レール.....	26
熱抵抗.....	10	電源の推奨事項.....	26
静電放電（ESD）定格.....	10	1.8V ロジックに対応可能.....	26
ESD に関する注意.....	10	レジスタの一覧.....	27
ピン配置およびピン機能の説明.....	11	レジスタの詳細.....	28
代表的な性能特性.....	12	スイッチ・データ・レジスタ.....	28
テスト回路.....	16	エラー設定レジスタ.....	28
用語の定義.....	20	エラー・フラグ・レジスタ.....	29
動作原理.....	21	バースト・イネーブル・レジスタ.....	29
アドレス・モード.....	21	ソフトウェア・リセット・レジスタ.....	30
エラー検出機能.....	21	外形寸法.....	31
巡回冗長検査（CRC）エラーの検出.....	21	オーダー・ガイド.....	31
SCLK カウント・エラー検出.....	22	評価用ボード.....	31
無効な読み出し／書き込みアドレス・エラー.....	22		

改訂履歴

12/2023—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電源電圧

Supply Voltage	Min	Max	Unit
Dual Supply	±4.5	±16.5	V
Single Supply	+5	+20	V

±15V 両電源

特に指定のない限り、 $V_{DD} = +15V \pm 10\%$ 、 $V_{SS} = -15V \pm 10\%$ 、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 。

表 2. ±15V 両電源

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			$V_{DD} - 2V$ to V_{SS}	V	$V_{DD} = +13.5V$, $V_{SS} = -13.5V$
On Resistance, R_{ON}	0.56			Ω typ	Source voltage, (V_S) = -13.5 V to +10 V, source current, (I_S) = -100 mA, see Figure 29
	0.7	0.85	1.0	Ω max	
	0.6			Ω typ	$V_S = -13.5V$ to +11 V, $I_S = -100$ mA
	0.75	0.9	1.05	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.045			Ω typ	$V_S = -13.5V$ to +11 V, $I_S = -100$ mA
	0.12	0.14	0.16	Ω max	
On Resistance Flatness, $R_{FLAT(ON)}$	0.004			Ω typ	$V_S = -13.5V$ to +10 V, $I_S = -100$ mA
	0.035	0.035	0.035	Ω max	
	0.04			Ω typ	$V_S = -13.5V$ to +11 V, $I_S = -100$ mA
	0.08	0.1	0.1	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±1.7			nA typ	$V_{DD} = +16.5V$, $V_{SS} = -16.5V$ $V_S = \pm 10V$, drain voltage, $V_D = \mp 10V$, see Figure 30
	±4.0	+40/-5.5	+120/-5.5	nA max	
Drain Off Leakage, I_D (Off)	±1.7			nA typ	$V_S = \pm 10V$, $V_D = \mp 10V$, see Figure 30
	±4.0	+40/-5.5	+120/-5.5	nA max	
Channel On Leakage, I_D (On), I_S (On)	±0.1			nA typ	$V_S = V_D = \pm 10V$, see Figure 31
	±1.3	±3.0	+12.5/-3.0	nA max	
DIGITAL OUTPUT					
Output Voltage					
Low, V_{OL}			0.4	V max	Sink current, $I_{SINK} = 1$ mA
			0.3	V max	$I_{SINK} = 100$ μ A
High, V_{OH}			$V_L - 1.25V$	V min	Source current, $I_{SOURCE} = 1$ mA
			$V_L - 0.125V$	V min	$I_{SOURCE} = 100$ μ A
Digital Output Capacitance, C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3V < V_L \leq 5.5V$
			1.35	V min	$2.7V \leq V_L \leq 3.3V$
Low, V_{INL}			0.8	V max	$3.3V < V_L \leq 5.5V$
			0.8	V max	$2.7V \leq V_L \leq 3.3V$
Input Current					
Low, I_{INL} or High, I_{INH}	0.001			μ A typ	Input voltage, V_{IN} = ground voltage, V_{GND} or V_L
			±0.1	μ A max	

仕様

表 2. $\pm 15\text{V}$ 両電源 (続き)

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Digital Input Capacitance, C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	600			ns typ	Load resistance, $R_{\text{L}} = 300\ \Omega$, load capacitance, $C_{\text{L}} = 35\ \text{pF}$, $V_{\text{S}} = 10\ \text{V}$, see Figure 38
Off Time, t_{OFF}	701	723	749	ns max	$R_{\text{L}} = 300\ \Omega$, $C_{\text{L}} = 35\ \text{pF}$, $V_{\text{S}} = 10\ \text{V}$, see Figure 38
	196			ns typ	
	250	252	254	ns max	
Break-Before-Make Time Delay, t_{D}	429			ns typ	$R_{\text{L}} = 300\ \Omega$, $C_{\text{L}} = 35\ \text{pF}$, Source 1 voltage, $V_{\text{S}1} =$ Source 2 voltage, $V_{\text{S}2} = 10\ \text{V}$, see Figure 37
Charge Injection, Q_{INJ}	349	358	385	ns min	$V_{\text{S}} = 0\ \text{V}$, source resistance $R_{\text{S}} = 0\ \Omega$, $C_{\text{L}} = 1\ \text{nF}$, see Figure 39
	-1.8			nC typ	
Off Isolation	-76			dB typ	$R_{\text{L}} = 50\ \Omega$, $C_{\text{L}} = 5\ \text{pF}$, frequency, $f = 100\ \text{kHz}$, see Figure 33
Channel to Channel Crosstalk	-85			dB typ	$R_{\text{L}} = 50\ \Omega$, $C_{\text{L}} = 5\ \text{pF}$, $f = 100\ \text{kHz}$, see Figure 32
Total Harmonic Distortion + Noise, THD + N	0.002			% typ	$R_{\text{L}} = 1\ \text{k}\Omega$, 20 V p-p, $f = 20\ \text{Hz}$ to 20 kHz, see Figure 34
Total Harmonic Distortion, THD	-122			dB typ	$R_{\text{L}} = 1\ \text{k}\Omega$, 20 V p-p, $f = 1\ \text{kHz}$
	-96			dB typ	$R_{\text{L}} = 1\ \text{k}\Omega$, 20 V p-p, $f = 20\ \text{kHz}$
	-80			dB typ	$R_{\text{L}} = 1\ \text{k}\Omega$, 20 V p-p, $f = 100\ \text{kHz}$
	171			MHz typ	$R_{\text{L}} = 50\ \Omega$, $C_{\text{L}} = 5\ \text{pF}$, see Figure 35
-3 dB Bandwidth	171			MHz typ	$R_{\text{L}} = 50\ \Omega$, $C_{\text{L}} = 5\ \text{pF}$, $f = 1\ \text{MHz}$, see Figure 35
Insertion Loss	-0.06			dB typ	$R_{\text{L}} = 50\ \Omega$, $C_{\text{L}} = 5\ \text{pF}$, $f = 1\ \text{MHz}$, see Figure 35
Source Capacitance, C_{S} (Off)	76			pF typ	$V_{\text{S}} = 0\ \text{V}$, $f = 1\ \text{MHz}$
Drain Capacitance, C_{D} (Off)	76			pF typ	$V_{\text{S}} = 0\ \text{V}$, $f = 1\ \text{MHz}$
C_{D} (On), C_{S} (On)	28			pF typ	$V_{\text{S}} = 0\ \text{V}$, $f = 1\ \text{MHz}$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	330			μA typ	$V_{\text{DD}} = +16.5\ \text{V}$, $V_{\text{SS}} = -16.5\ \text{V}$
			440	μA max	All switches open
	350			μA typ	All switches closed, $V_{\text{L}} = 5.5\ \text{V}$
			460	μA max	
	350			μA typ	All switches closed, $V_{\text{L}} = 2.7\ \text{V}$
			460	μA max	
Load Current, I_{L}					
	Inactive	6.3		μA typ	Digital inputs = 0 V or V_{L}
			8.5	μA max	
		2.5		μA typ	Digital inputs = 0 V or 3 V
			4.0	μA max	
	Inactive, SCLK = 1 MHz	14		μA typ	$\overline{\text{CS}} = V_{\text{L}}$ and SDI = 0 V or V_{L} , $V_{\text{L}} = 5\ \text{V}$
SCLK = 50 MHz		7		μA typ	$\overline{\text{CS}} = V_{\text{L}}$ and SDI = 0 V or V_{L} , $V_{\text{L}} = 3\ \text{V}$
		390		μA typ	$\overline{\text{CS}} = V_{\text{L}}$ and SDI = 0 V or V_{L} , $V_{\text{L}} = 5\ \text{V}$
		210		μA typ	$\overline{\text{CS}} = V_{\text{L}}$ and SDI = 0 V or V_{L} , $V_{\text{L}} = 3\ \text{V}$
	Inactive, SDI = 1 MHz	15		μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V_{L} , $V_{\text{L}} = 5\ \text{V}$
SDI = 25 MHz		7.5		μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V_{L} , $V_{\text{L}} = 3\ \text{V}$
		230		μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V_{L} , $V_{\text{L}} = 5\ \text{V}$
		120		μA typ	$\overline{\text{CS}}$ and SCLK = 0 V or V_{L} , $V_{\text{L}} = 3\ \text{V}$
	Active at 50 MHz	7.0		mA typ	Digital inputs toggle between 0 V and V_{L} , $V_{\text{L}} = 5.5\ \text{V}$
			9.0	mA max	

仕様

表 2. $\pm 15\text{V}$ 両電源（続き）

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Negative Supply Current, I_{SS}	3.3			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 2.7\text{ V}$
			5.0	mA max	
	180			$\mu\text{A typ}$	Digital inputs = 0 V or V_L
			250	$\mu\text{A max}$	

12V 単電源

特に指定のない限り、 $V_{DD} = 12\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $V_L = 2.7\text{V} \sim 5.5\text{V}$ 、 $\text{GND} = 0\text{V}$ 。

表 3. 12V 単電源

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$
Analog Signal Range			0 V to $V_{DD} - 2\text{ V}$	V	
R_{ON}	0.56			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 7.3\text{ V}$, $I_S = -100\text{ mA}$
	0.7	0.85	1.0	$\Omega\text{ max}$	
	0.6			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 8.3\text{ V}$, $I_S = -100\text{ mA}$
	0.75	0.9	1.05	$\Omega\text{ max}$	
ΔR_{ON}	0.45			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 8.3\text{ V}$, $I_S = -100\text{ mA}$
	0.12	0.14	0.16	$\Omega\text{ max}$	
$R_{FLAT (ON)}$	0.004			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 7.3\text{ V}$, $I_S = -100\text{ mA}$
	0.035	0.035	0.035	$\Omega\text{ max}$	
	0.04			$\Omega\text{ typ}$	$V_S = 0\text{ V to } 8.3\text{ V}$, $I_S = -100\text{ mA}$
	0.08	0.1	0.1	$\Omega\text{ max}$	
LEAKAGE CURRENTS					$V_{DD} = 13.2\text{ V}$, $V_{SS} = 0\text{ V}$
$I_S (\text{Off})$	± 1.7			nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$
	± 4.0	+40/-5.5	+120/-5.5	nA max	
$I_D (\text{Off})$	± 1.7			nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$
	± 4.0	+40/-5.5	+120/-5.5	nA max	
$I_D (\text{On}), I_S (\text{On})$	± 0.1			nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$
	± 1.3	± 3	+12.5/-3.0	nA max	
DIGITAL OUTPUT					
Output Voltage					
Low, V_{OL}			0.4	V max	$I_{SINK} = 1\text{ mA}$
			0.3	V max	$I_{SINK} = 100\text{ }\mu\text{A}$
High, V_{OH}			$V_L - 1.25\text{ V}$	V min	$I_{SOURCE} = 1\text{ mA}$
			$V_L - 0.125\text{ V}$	V min	$I_{SOURCE} = 100\text{ }\mu\text{A}$
C_{OUT}	4			pF typ	
DIGITAL INPUTS					
Input Voltage					
High, V_{INH}			2	V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			1.35	V min	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, V_{INL}			0.8	V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$
			0.8	V max	$2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Input Current					
Low, I_{INL} or High, I_{INH}	0.001			$\mu\text{A typ}$	$V_{IN} = V_{GND}$ or V_L
			± 0.1	$\mu\text{A max}$	
C_{IN}	4			pF typ	
DYNAMIC CHARACTERISTICS					

仕様

表 3. 12V 単電源（続き）

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
t_{ON}	473			ns typ	$R_L = 300\ \Omega$, $C_L = 35\ \text{pF}$, $V_S = 8\ \text{V}$
	550	551	556	ns max	
t_{OFF}	297			ns typ	$R_L = 300\ \Omega$, $C_L = 35\ \text{pF}$, $V_S = 8\ \text{V}$
	348	352	356	ns max	
t_D	245			ns typ	$R_L = 300\ \Omega$, $C_L = 35\ \text{pF}$, $V_{S1} = V_{S2} = 8\ \text{V}$
	195	200	207	ns min	
Q_{INJ}	-1.1			nC typ	$V_S = 6\ \text{V}$, $R_S = 0\ \Omega$, $C_L = 1\ \text{nF}$
Off Isolation	-61			dB typ	$R_L = 50\ \Omega$, $C_L = 5\ \text{pF}$, $f = 100\ \text{kHz}$
Channel to Channel Crosstalk	-85			dB typ	$R_L = 50\ \Omega$, $C_L = 5\ \text{pF}$, $f = 100\ \text{kHz}$
THD + N	0.005			% typ	$R_L = 1\ \text{k}\Omega$, 6 V p-p, $f = 20\ \text{Hz}$ to 20 kHz
THD	-111			dB typ	$R_L = 1\ \text{k}\Omega$, 6 V p-p, $f = 1\ \text{kHz}$
	-85			dB typ	$R_L = 1\ \text{k}\Omega$, 6 V p-p, $f = 20\ \text{kHz}$
	-71			dB typ	$R_L = 1\ \text{k}\Omega$, 6 V p-p, $f = 100\ \text{kHz}$
-3 dB Bandwidth	114			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\ \text{pF}$
Insertion Loss	-0.06			dB typ	$R_L = 50\ \Omega$, $C_L = 5\ \text{pF}$, $f = 1\ \text{MHz}$
C_S (Off)	100			pF typ	$V_S = 6\ \text{V}$, $f = 1\ \text{MHz}$
C_D (Off)	100			pF typ	$V_S = 6\ \text{V}$, $f = 1\ \text{MHz}$
C_D (On), C_S (On)	37			pF typ	$V_S = 6\ \text{V}$, $f = 1\ \text{MHz}$
POWER REQUIREMENTS					
I_{DD}	330			μA typ	$V_{DD} = 13.2\ \text{V}$
			440	μA max	All switches open
	350			μA typ	All switches closed, $V_L = 5.5\ \text{V}$
			460	μA max	
	350			μA typ	All switches closed, $V_L = 2.7\ \text{V}$
			460	μA max	
I_L					
Inactive	6.3			μA typ	Digital inputs = 0 V or V_L
			8.5	μA max	
	2.5			μA typ	Digital inputs = 0 V or 3 V
			4.0	μA max	
Inactive, SCLK = 1 MHz	14			μA typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 5\ \text{V}$
	7			μA typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 3\ \text{V}$
SCLK = 50 MHz	390			μA typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 5\ \text{V}$
	210			μA typ	$\overline{CS} = V_L$ and SDI = 0 V or V_L , $V_L = 3\ \text{V}$
Inactive, SDI = 1 MHz	15			μA typ	$\overline{CS}$ and SCLK = 0 V or V_L , $V_L = 5\ \text{V}$
	7.5			μA typ	$\overline{CS}$ and SCLK = 0 V or V_L , $V_L = 3\ \text{V}$
SDI = 25 MHz	230			μA typ	$\overline{CS}$ and SCLK = 0 V or V_L , $V_L = 5\ \text{V}$
	120			μA typ	$\overline{CS}$ and SCLK = 0 V or V_L , $V_L = 3\ \text{V}$
Active at 50 MHz	7.0			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 5.5\ \text{V}$
			9.0	mA max	
	3.3			mA typ	Digital inputs toggle between 0 V and V_L , $V_L = 2.7\ \text{V}$
			5.0	mA max	

仕様

チャンネルごとの連続電流（Sx または Dx）

表 4. 8 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$ ($\theta_{JA} = 56.74^\circ\text{C/W}$)	439	232	112	mA maximum
$V_{DD} = +12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 56.74^\circ\text{C/W}$)	439	232	112	mA maximum

¹ Sx は S1～S8 ピン、Dx は D1～D8 ピンを表します。

表 5. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹				
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$ ($\theta_{JA} = 56.74^\circ\text{C/W}$)	768	313	122	mA maximum
$V_{DD} = +12\text{ V}$, $V_{SS} = 0\text{ V}$ ($\theta_{JA} = 56.74^\circ\text{C/W}$)	768	313	122	mA maximum

¹ Sx は S1～S8 ピン、Dx は D1～D8 ピンを表します。

仕様

タイミング特性

特に指定のない限り、 $V_L = 2.7V \sim 5.5V$ 、 $GND = 0V$ 、すべての仕様で $T_{MIN} \sim T_{MAX}$ 。タイミング図については図 2～図 4 を参照してください。

表 6. タイミング特性

Parameter	Limit	Unit	Test Conditions/Comments
TIMING CHARACTERISTICS			
t_1	20	ns min	SCLK period
t_2	8	ns min	SCLK high pulse width
t_3	8	ns min	SCLK low pulse width
t_4	10	ns min	$\overline{CS}$ falling edge to SCLK active edge
t_5	6	ns min	Data setup time
t_6	8	ns min	Data hold time
t_7	10	ns min	SCLK active edge to rising edge
t_8	20	ns max	$\overline{CS}$ falling edge to SDO data available
t_9^1	30	ns max	SCLK falling edge to SDO data available
t_{10}	30	ns max	$\overline{CS}$ rising edge to SDO returns to high
t_{11}	20	ns min	$\overline{CS}$ high time between SPI commands
t_{12}	8	ns min	$\overline{CS}$ falling edge to SCLK becomes stable
t_{13}	8	ns min	$\overline{CS}$ rising edge to SCLK becomes stable

¹ 20pF の負荷を接続して測定。SDO 使用時の最大 SCLK 周波数は t_9 で決まります。

仕様

タイミング図

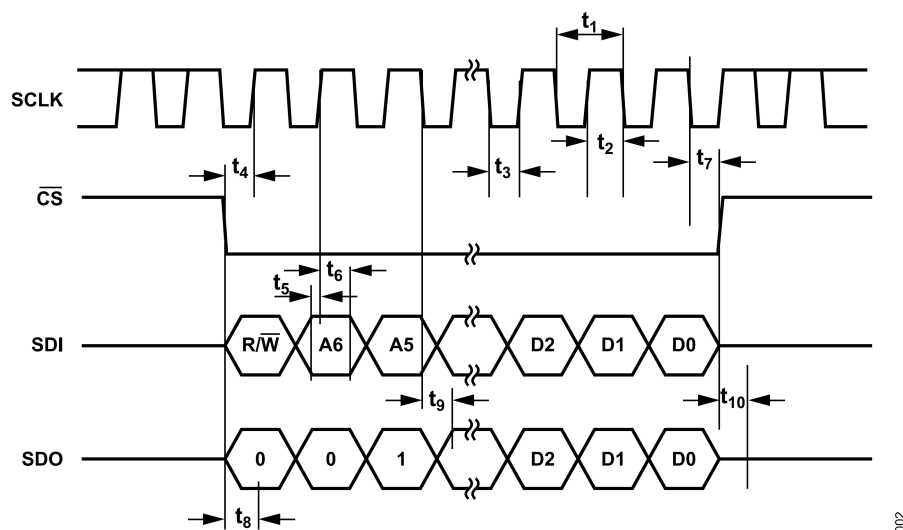


図 2. アドレス・モードのタイミング図

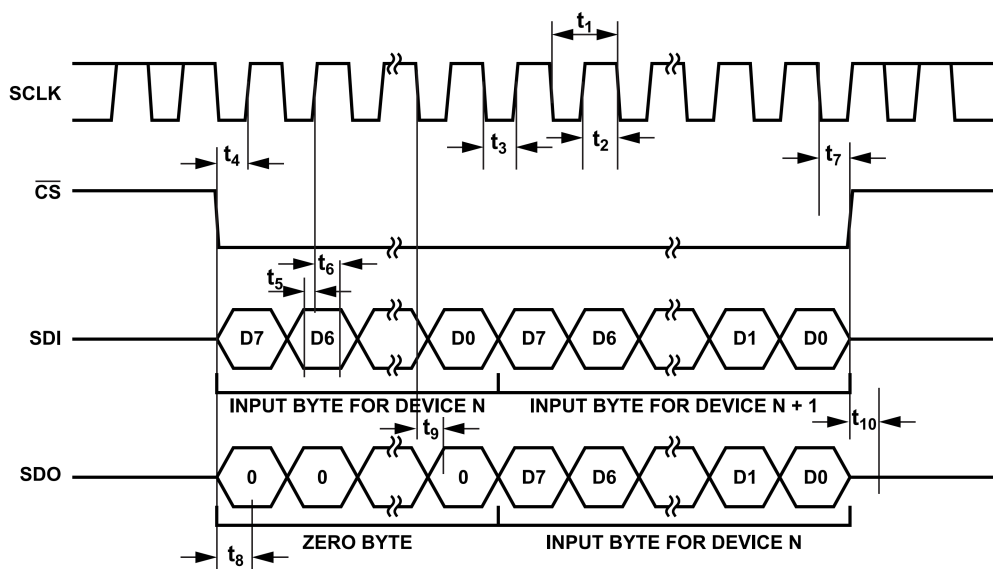
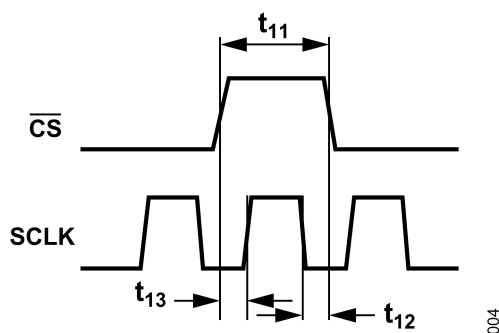


図 3. デイジーチェーンのタイミング図

図 4. SCLK と $\overline{CS}$ のタイミング関係

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	35 V
V_{DD} to GND	-0.3 V to +25 V
V_{SS} to GND	+0.3 V to -25 V
V_L to GND	
For $V_{DD} \leq 5.5$ V	-0.3 V to $V_{DD} + 0.3$ V
For $V_{DD} > 5.5$ V	-0.3 V to +6 V
SDO	-0.3 V to $V_L + 0.3$ V or 6 mA, whichever occurs first
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3 V to +6 V
Peak Current, S_x or D_x ²	1180 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, S_x or D_x ²	Data ³ + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak Temperature, Pb Free	As per JEDEC J-STD-020

¹ デジタル S_x ピンおよび D_x ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² S_x は $S1 \sim S8$ ピン、 D_x は $D1 \sim D8$ ピンを表します。

³ 表 4 および表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。 θ_{JCB} は、ジャンクションとケース底面の間の値です。

表 8. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JCB}	Unit
CC-30-3	56.81	29.82	°C/W

¹ 熱抵抗のシミュレーション値は、9 個のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADGS2414D の ESD 定格

表 9. ADGS2414D、30 端子 LGA

Package Type	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

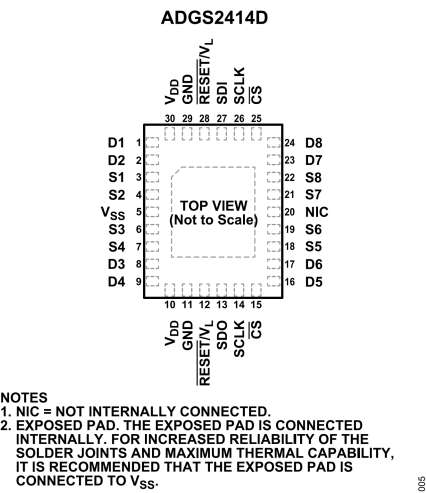
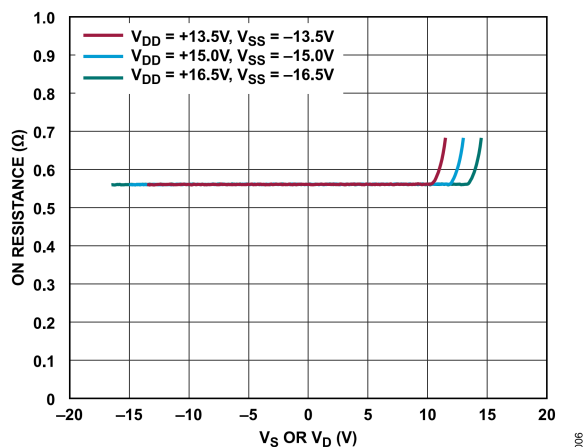
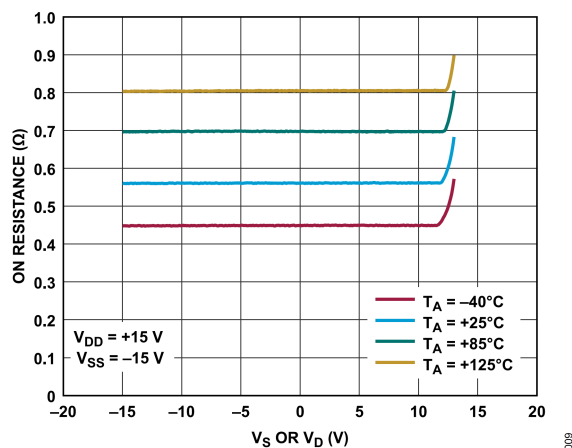
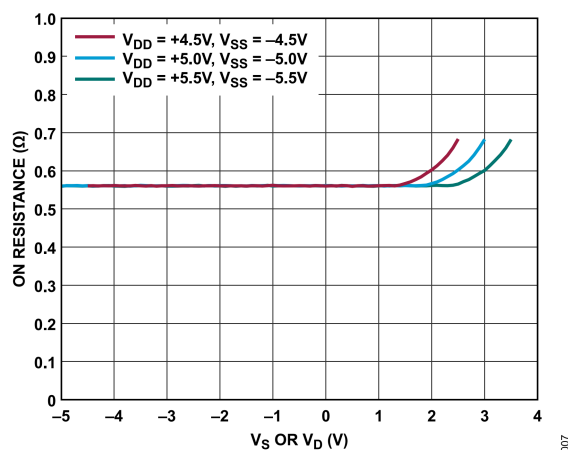
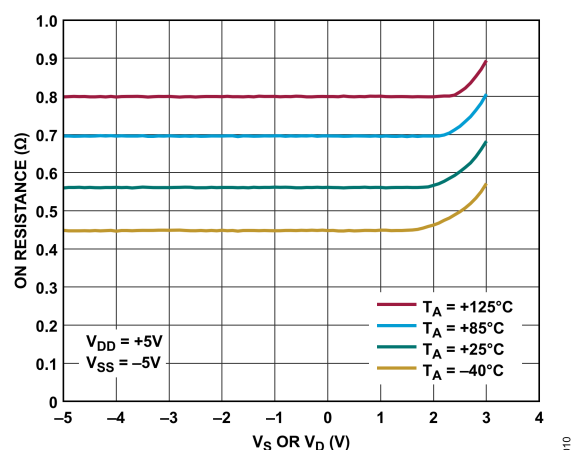
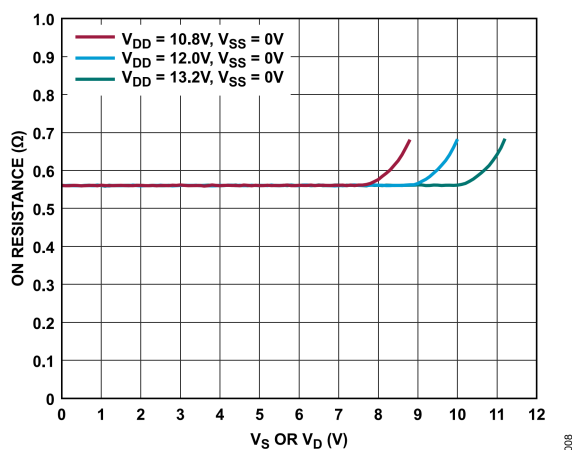
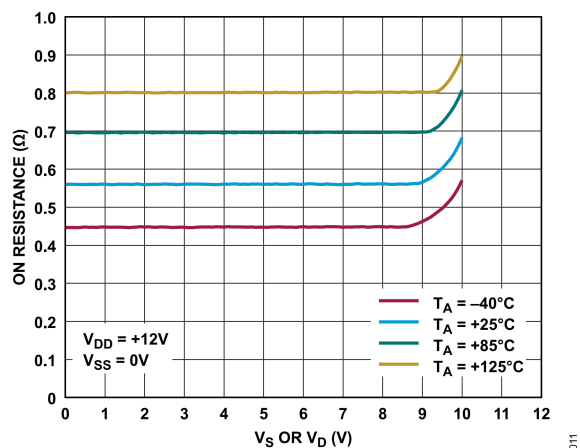


図 5. ピン配置

表 10. ピン機能の説明

ピン番号	記号	説明
1	D1	ドレイン端子 1。D1 ピンは、入力または出力に設定できます。
2	D2	ドレイン端子 2。D2 ピンは、入力または出力に設定できます。
3	S1	ソース端子 1。S1 ピンは、入力または出力に設定できます。
4	S2	ソース端子 2。S2 ピンは、入力または出力に設定できます。
5	V _{SS}	負電源の電位。単電源アプリケーションでは、V _{SS} ピンをグラウンドに接続します。
6	S3	ソース端子 3。S3 ピンは、入力または出力に設定できます。
7	S4	ソース端子 4。S4 ピンは、入力または出力に設定できます。
8	D3	ドレイン端子 3。D3 ピンは、入力または出力に設定できます。
9	D4	ドレイン端子 4。D4 ピンは、入力または出力に設定できます。
10, 30	V _{DD}	正電源の電位。どちらの V _{DD} ピンも内部接続されています。
11, 29	GND	グラウンド (0V) リファレンス。どちらの GND ピンも内部接続されています。
12, 28	RESET/V _L	RESET/ロジック電源入力 (V _L)。通常動作では、2.7V~5.5V の電源でRESET/V _L を駆動します。ハードウェア・リセットを完了するには、RESET/V _L をローにプルダウンします。リセット後、すべてのスイッチは解放になり、該当するレジスタがデフォルト値に設定されます。RESET と V _L は内部接続されています。
13	SDO	シリアル・データ出力。多数のデバイスをデジチェーン接続したり、診断のためにレジスタに保存されているデータをリードバックしたりするには、SDO ピンを使用します。シリアル・データは SCLK の立下がりエッジで伝搬されます。
14, 26	SCLK	シリアル・クロック入力。SCLK の立上がりエッジでデータがキャプチャされます。最大 50MHz のレートでデータを転送できます。どちらの SCLK ピンも内部接続されています。
15, 25	CS	アクティブ・ローの制御入力。CS は、入力データに対するフレーム同期信号です。どちらの CS ピンも内部接続されています。
16	D5	ドレイン端子 5。D5 ピンは、入力または出力に設定できます。
17	D6	ドレイン端子 6。D6 ピンは、入力または出力に設定できます。
18	S5	ソース端子 5。S5 ピンは、入力または出力に設定できます。
19	S6	ソース端子 6。S6 ピンは、入力または出力に設定できます。
20	NIC	内部接続なし。
21	S7	ソース端子 7。S7 ピンは、入力または出力に設定できます。
22	S8	ソース端子 8。S8 ピンは、入力または出力に設定できます。
23	D7	ドレイン端子 7。D7 ピンは、入力または出力に設定できます。
24	D8	ドレイン端子 8。D8 ピンは、入力または出力に設定できます。
27	SDI	シリアル・データ入力。SCLK の立上がりエッジでデータがキャプチャされます。
	EPAD	露出パッド。露出パッドは内部接続されています。ハンダ接続の信頼性を向上させ最大限の熱性能を得るため、この露出パッドを V _{SS} に接続することを推奨します。

代表的な性能特性

図 6. ±15V 両電源でのオン抵抗と V_S または V_D の関係図 9. 様々な温度でのオン抵抗と V_S または V_D の関係、
±15V 両電源図 7. ±5V 両電源でのオン抵抗と V_S または V_D の関係図 10. 様々な温度でのオン抵抗と V_S または V_D の関係、
±5V 両電源図 8. +12V 単電源でのオン抵抗と V_S または V_D の関係図 11. 様々な温度でのオン抵抗と V_S または V_D の関係、
+12V 単電源

代表的な性能特性

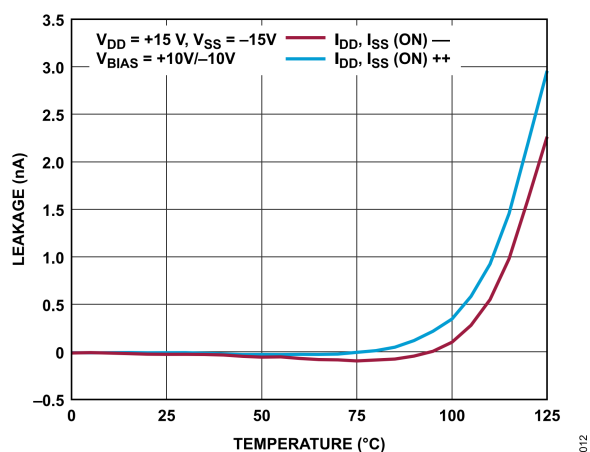


図 12. オン・リーク電流の温度特性、±15V 両電源

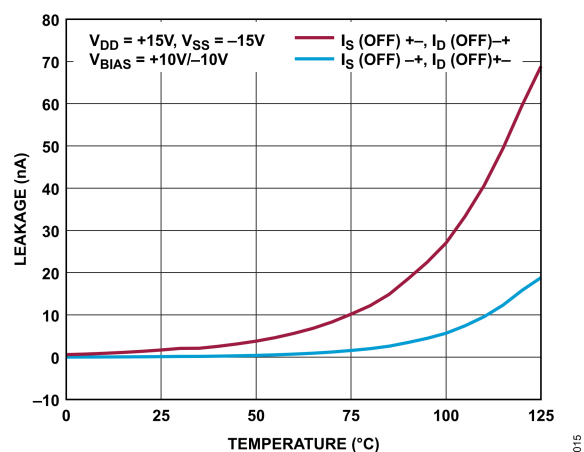


図 15. オフ・リーク電流の温度特性、±15V 両電源

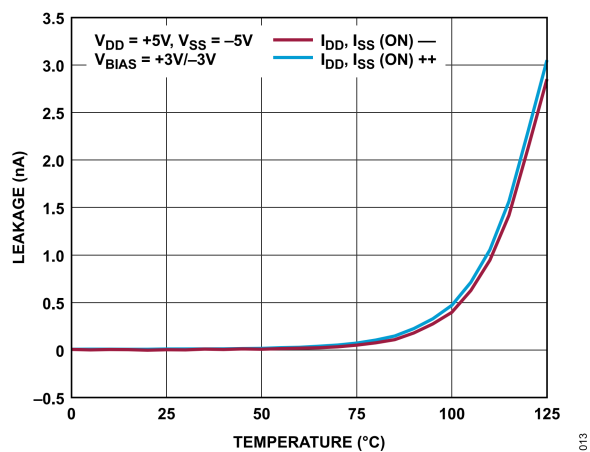


図 13. オン・リーク電流の温度特性、±5V 両電源

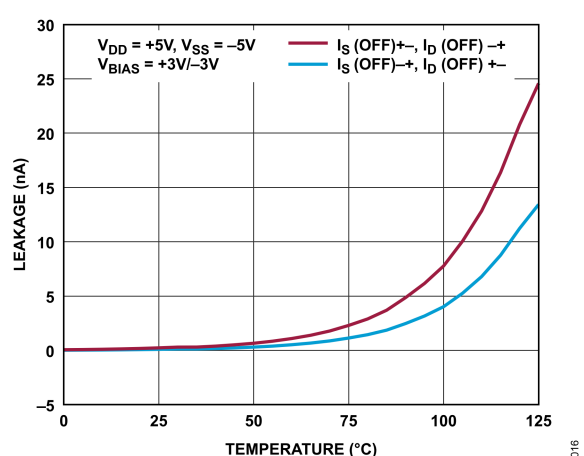


図 16. オン・リーク電流の温度特性、±5V 両電源

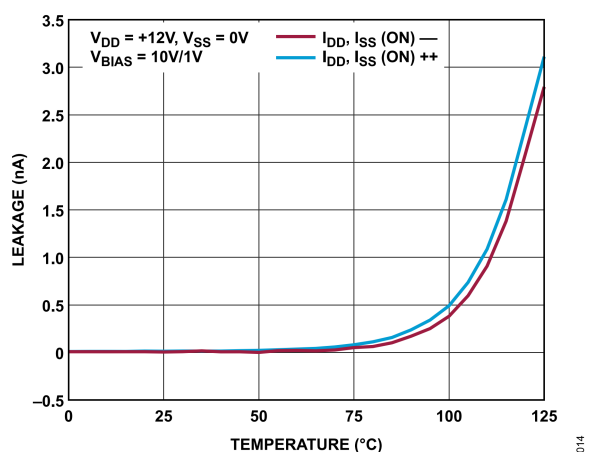


図 14. オン・リーク電流の温度特性、+12V 単電源

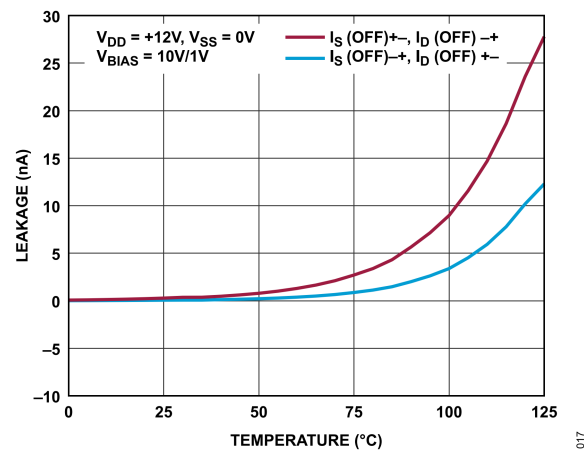


図 17. オン・リーク電流の温度特性、+12V 単電源

代表的な性能特性

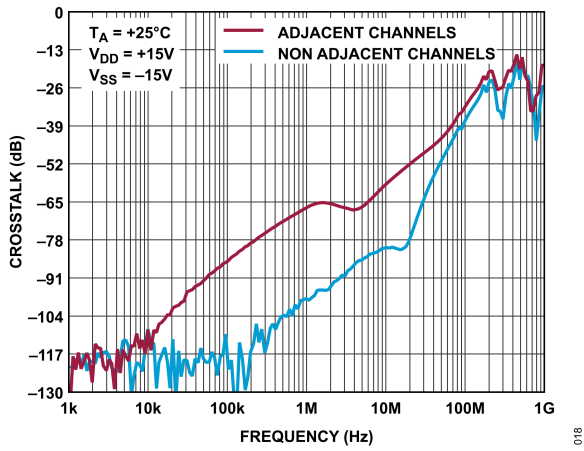


図 18. クロストークの周波数特性、±15V 両電源

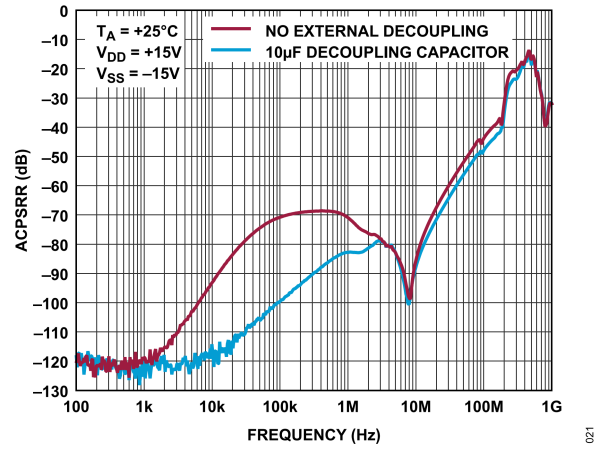


図 21. AC 電源電圧変動除去比 (AC PSRR) の周波数特性、±15V 両電源

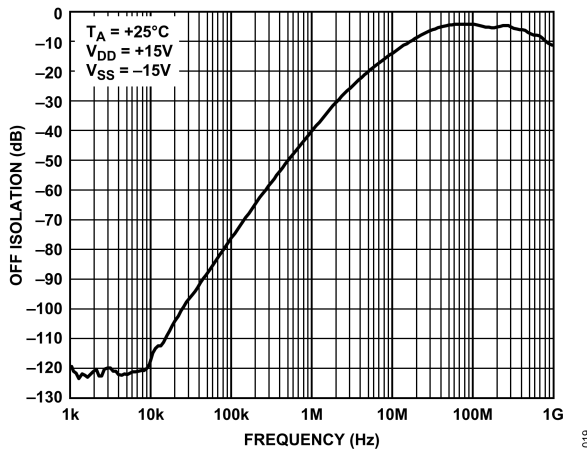


図 19. オフ・アイソレーションの周波数特性、±15V 両電源

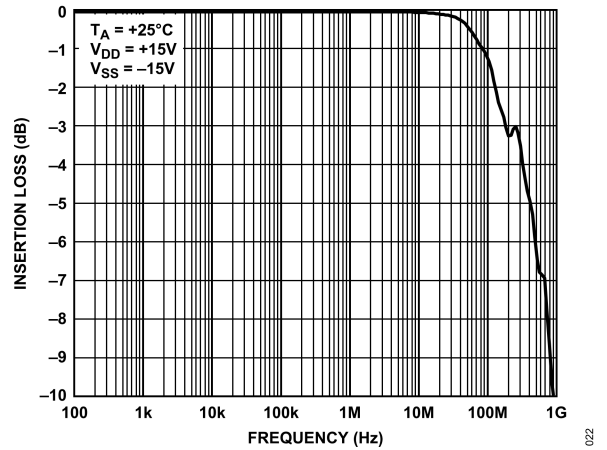


図 22. 挿入損失の周波数特性、±15V 両電源

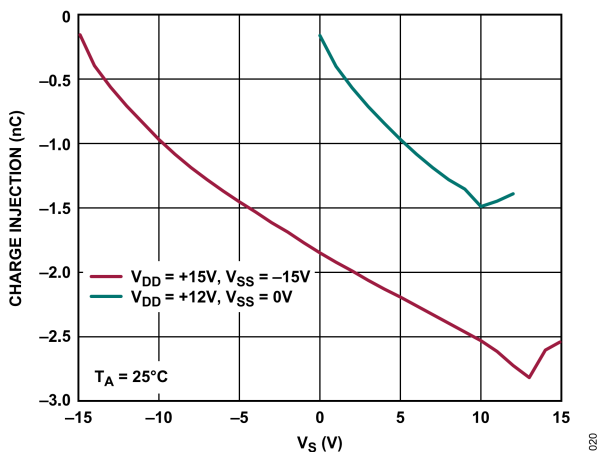


図 20. チャージ・インJECTIONと V_S の関係

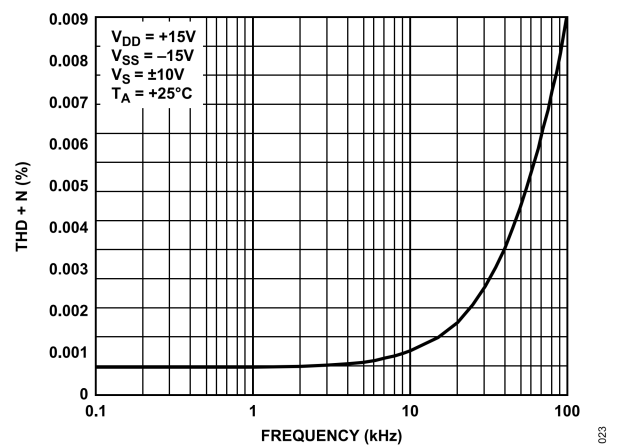


図 23. THD + N の周波数特性、±15V 両電源

代表的な性能特性

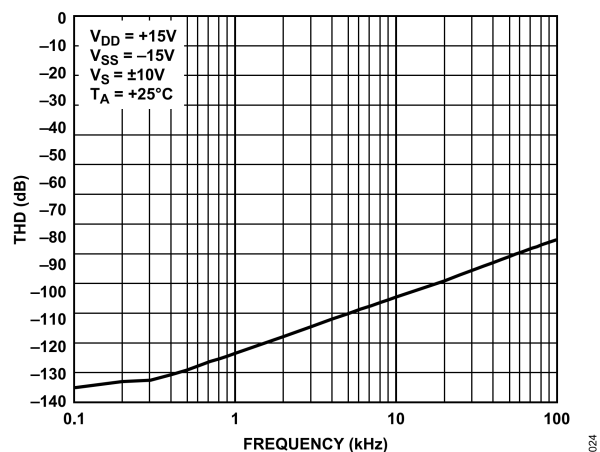


図 24. THD の周波数特性、±15V 両電源

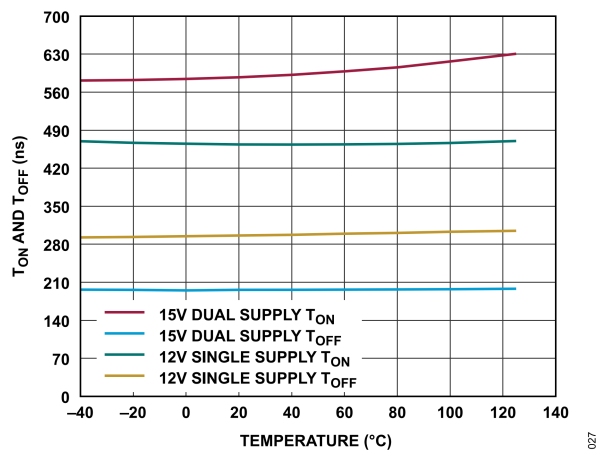
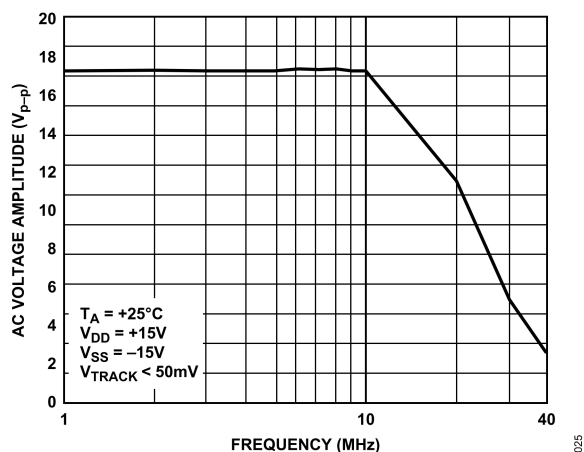
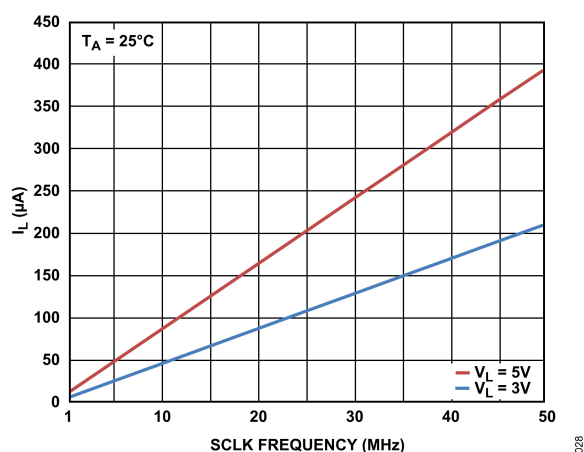
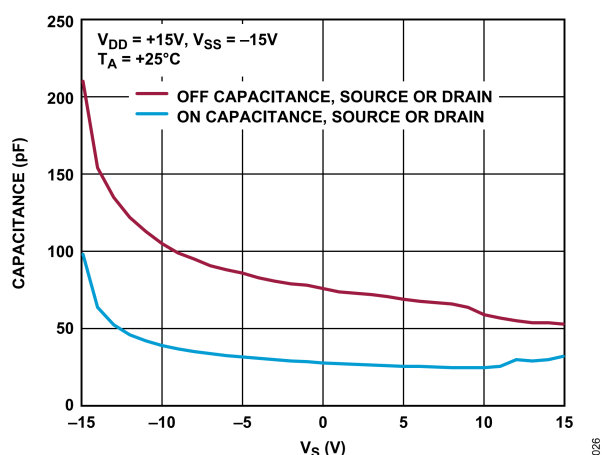
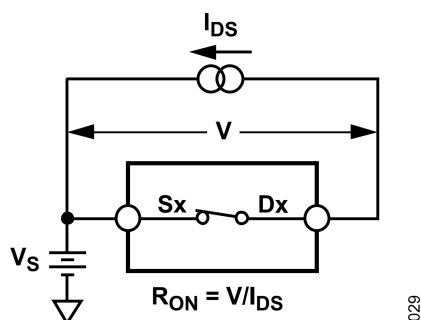
図 27. T_{ON}/T_{OFF} 時間の温度特性、
単電源 (SS) と両電源 (DS)

図 25. 大 AC 信号電圧の周波数特性

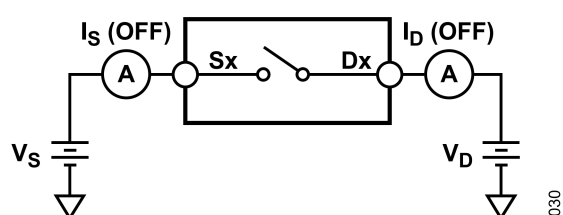
図 28. $\overline{CS}$ がハイの場合の I_L の SCLK 周波数特性図 26. 容量と V_S の関係、±15V 両電源

テスト回路



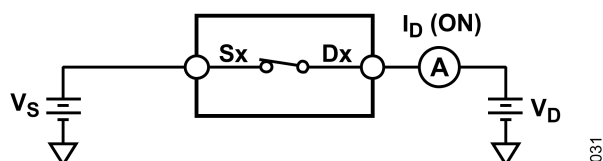
029

図 29. オン抵抗 (I_{DS} = ドレイン・ソース間電流)



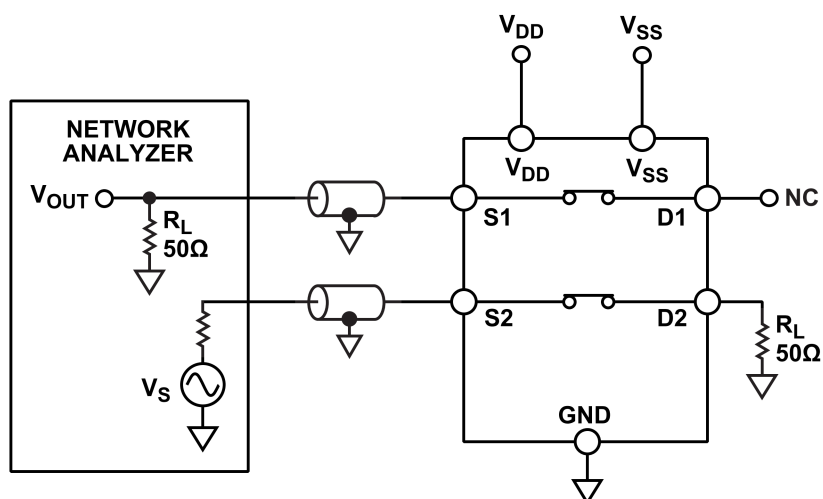
030

図 30. オフ・リーク電流



031

図 31. オン・リーク電流

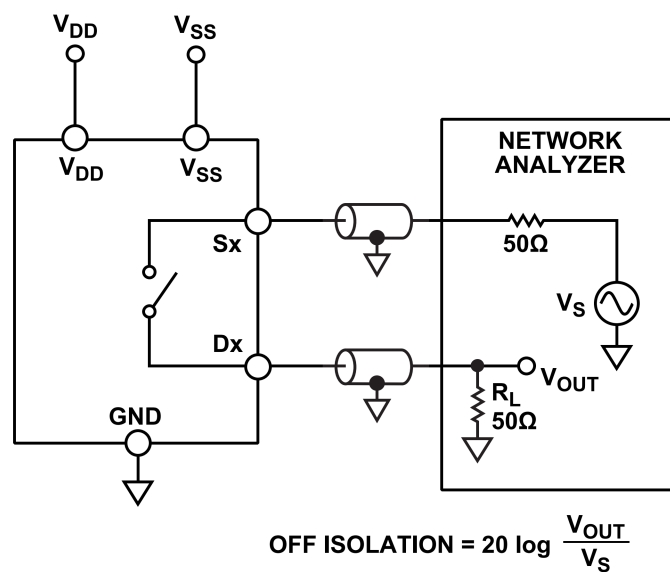


$$\text{CHANNEL TO CHANNEL CROSSTALK} = 20 \log \frac{V_{OUT}}{V_S}$$

032

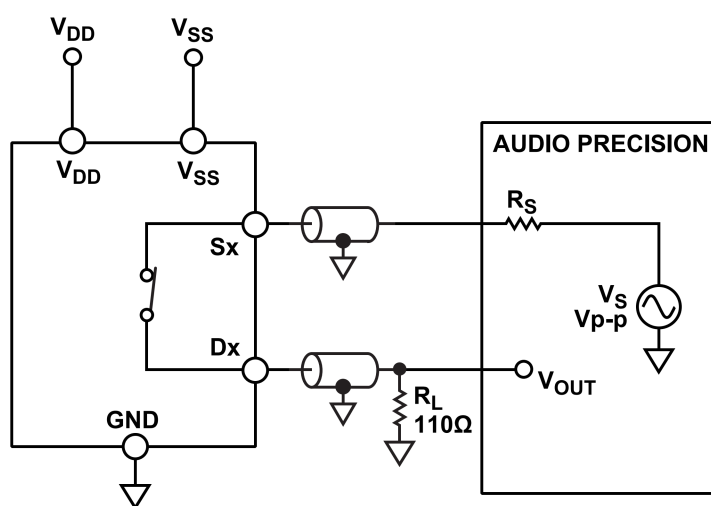
図 32. チャンネル間クロストーク

テスト回路



033

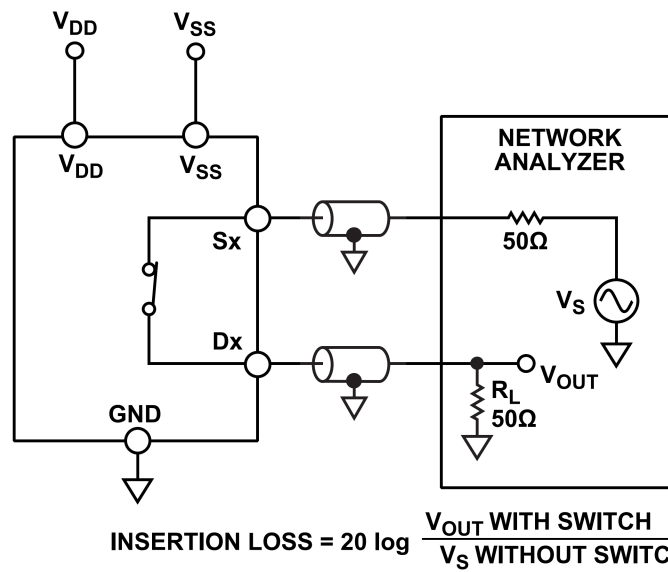
図 33. オフ・アイソレーション



034

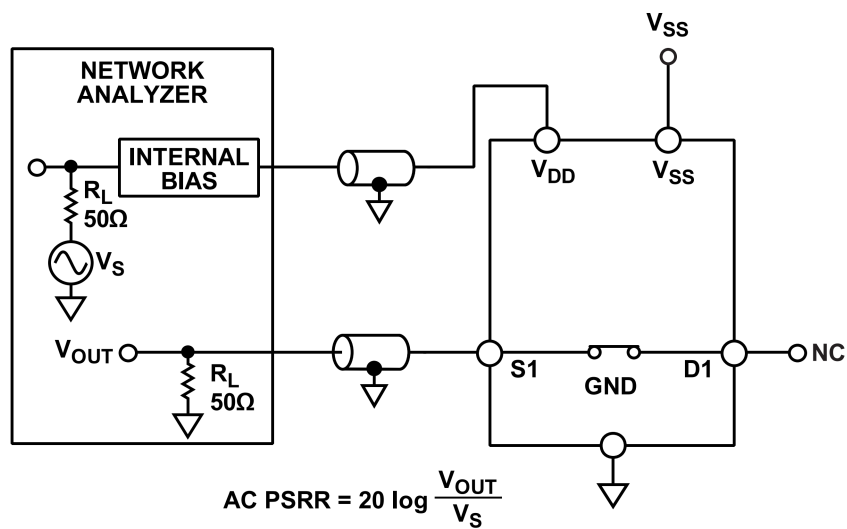
図 34. THD + N

テスト回路



035

図 35. -3dB 帯域幅



NOTES

1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.

036

図 36. AC PSRR

テスト回路

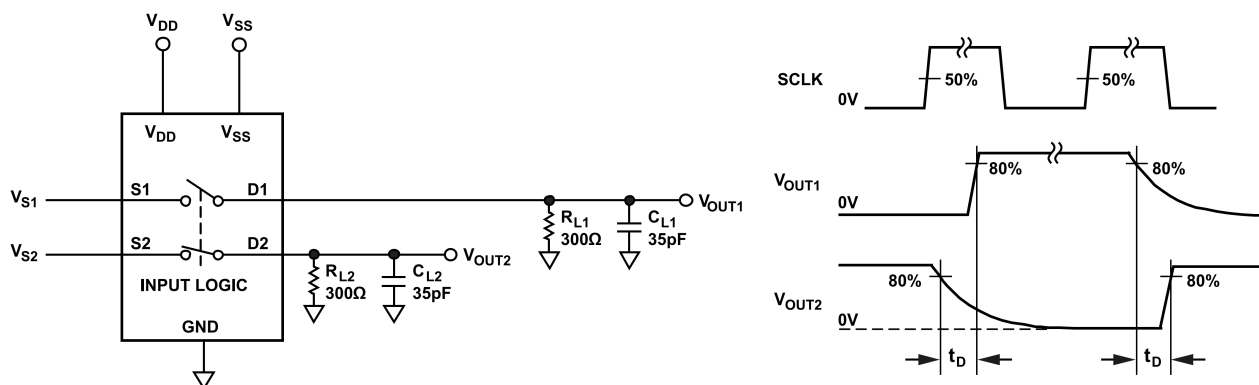


図 37. ブレーク・ビフォア・メーカーの遅延時間、 t_D

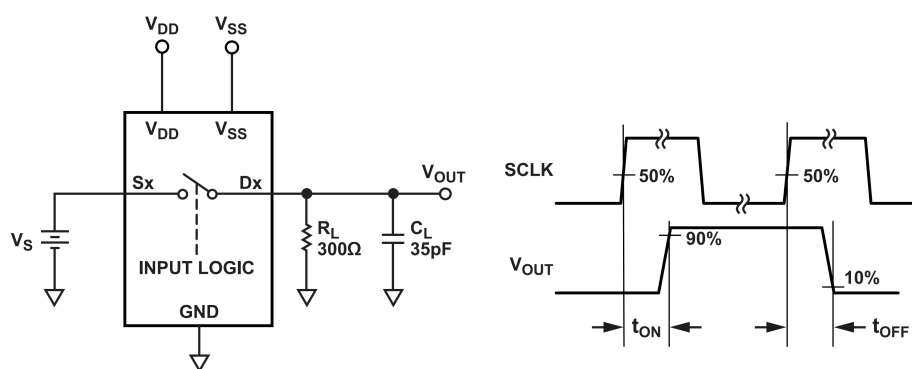


図 38. スイッチング時間、 t_{ON} および t_{OFF}

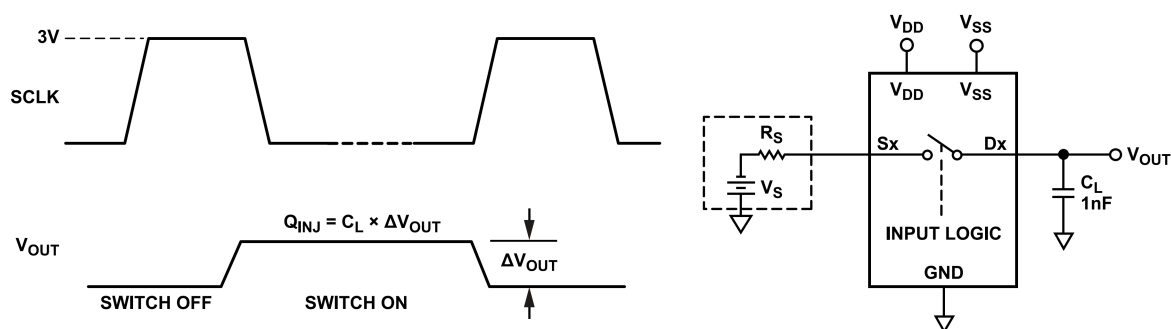


図 39. チャージ・インJECTION、 Q_{INJ} (ΔV_{OUT} = 出力電圧の変化)

用語の定義

I_{DD}

正電源の電流。

I_{SS}

負電源の電流。

V_D、V_S

端子 D_x と端子 S_x のアナログ電圧。

R_{ON}

端子 D_x と端子 S_x の間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT(ON)}

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

C_{OUT}

デジタル出力容量。

t_{ON}

デジタル制御入力印加されてから出力がオンになるまでの遅延。

t_{OFF}

デジタル制御入力印加されてから出力がオフになるまでの遅延。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルス大きさ。

クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

-3dB 帯域幅

出力が 3dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源電圧変動除去比 (AC PSRR)

変調振幅に対する出力信号の振幅の比。AC PSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V_{p-p} のサイン波で変調されます。

動作原理

ADGS2414Dは、エラー検出機能を備えたシリアル制御、オクタル SPST スイッチのセットです。SPI モード 0 および SPI モード 3 を ADGS2414D と組み合わせることができ、最大 50MHz の SCLK 周波数で動作します。ADGS2414D のデフォルトのモードはアドレス・モードです。このモードでは、 $\overline{\text{CS}}$ によって分割される 16 ビットの SPI コマンドでデバイスのレジスタにアクセスできます。CRC エラー検出が有効な場合は、SPI コマンドは 24 ビット・コマンドになります。その他のエラー検出機能には、SCLK カウント・エラーや無効な読出し／書込みエラーがあります。これらの SPI エラーが発生したかどうかを検出するには、エラー・フラグ・レジスタを読み出します。また、ADGS2414D は、バースト・モードとデジタイゼーション・モードでも動作します。

ADGS2414D のインターフェイス・ピンは、 $\overline{\text{CS}}$ 、SCLK、SDI、および SDO です。SPI を使用する場合は $\overline{\text{CS}}$ をローにします。データは SCLK の立上がりエッジ発生時に SDI でキャプチャされ、SCLK の立下がりエッジ発生時に SDO で伝搬されます。

アドレス・モード

アドレス・モードは、ADGS2414D のパワーアップ時のデフォルト・モードです。アドレス・モードでは、 $\overline{\text{CS}}$ 立下がりエッジと後続の $\overline{\text{CS}}$ 立上がりエッジによって単一の SPI フレームが指定されます。SPI フレームは、16 SCLK サイクルで構成されます。アドレス・モードのタイミング図を図 40 に示します。最初の SDI ビットは、SPI コマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが 0 に設定されている場合は、書込みコマンドが実行されます。最初のビットが 1 に設定されている場合は、読出しコマンドが実行されます。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、アドレス指定されたレジスタへ提供するデータです。読出しコマンド実行中のクロック・サイクルでは、SDO がアドレス指定されたレジスタに含まれるデータを伝搬するため、最後の 8 ビットは無視されます。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI の読出し中に 8～15 番目の SCLK 立下がりエッジで SDO に伝搬されます。レジスタへの書込みは、SPI の書込み中に 16 番目の SCLK 立上がりエッジで発生します。

SPI コマンドの実行中、SDO は最初の 8 ビットで 8 つのアライメント・ビットを送信します。SDO で観察されるアライメント・ビットは、0x25 です。

エラー検出機能

SPI では、プロトコルと通信のエラーを検出できます。不正な SCLK カウント・エラー検出、無効な読出し／書込みアドレス・エラー検出、CRC エラー検出の 3 つのエラー検出機能があります。これらのエラー検出機能には、それぞれ、対応するイネーブル・ビットがエラー設定レジスタにあります。更に、エラー・フラグ・レジスタには、各エラー検出機能に対応するエラー・フラグ・ビットがあります。

巡回冗長検査（CRC）エラーの検出

CRC エラー検出機能では、有効な SPI フレームが 8 つの SCLK サイクル分だけ拡張されます。8 つの追加サイクルは、SPI フレームの CRC バイトを送信するために必要です。CRC バイトは、16 ビットのペイロードを使用して SPI ブロックによって計算されます。ペイロードは、R/ $\overline{\text{W}}$ ビット、レジスタ・アドレスのビット[6:0]、レジスタ・データのビット[7:0]で構成されます。SPI ブロックで使用される CRC 多項式は、 $x^8 + x^2 + x^1 + 1$ 、シード値は 0 です。CRC を有効にした場合のタイミング図については、図 41 を参照してください。レジスタへの書込みは、CRC エラー・チェックを有効にした場合に 24 番目の SCLK 立上がりエッジで発生します。

SPI の書込み中に、マイクロコントローラまたは CPU（中央処理装置）は、SDI 経由で CRC バイトを出力します。SPI ブロックは、24 番目の SCLK 立上がりエッジ直前に CRC バイトをチェックします。同じエッジで、SPI から不正な CRC バイトが受信されると、レジスタへの書込みは阻止されます。不正な CRC バイトが検出された場合、エラー・フラグ・レジスタの CRC エラー・フラグがアサートされます。

SPI の読出しを実行中、CRC バイトは SDO からマイクロコントローラに出力されます。

CRC エラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

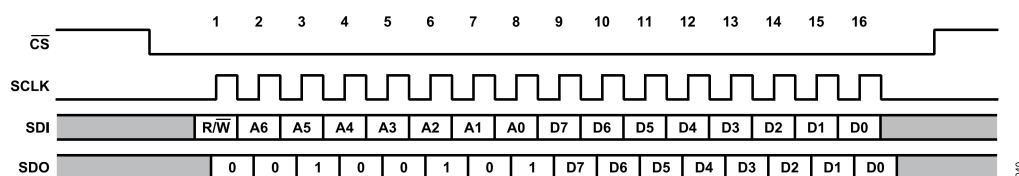


図 40. アドレス・モードのタイミング図

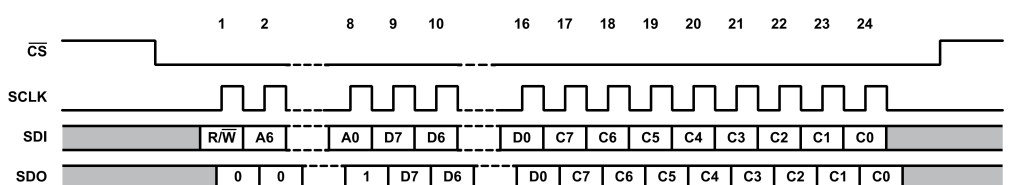


図 41. CRC が有効な場合のタイミング図

動作原理

SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラまたは CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 以外の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書き込みは発生しません。ADGS2414D によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書き込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 です。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

無効な読出し／書き込みアドレス・エラー

存在しないレジスタ・アドレスが読出しまたは書き込みのターゲットになると、無効な読出し／書き込みアドレス・エラーが検出されます。更に、このエラーは、読出し専用レジスタに書出しが試行された場合にもアサートされます。無効な読出し／書き込みアドレス・エラーが発生すると、エラー・フラグ・レジスタの無効な読出しおよび書き込みアドレス・エラー・フラグがアサートされます。無効な読出し／書き込みアドレスのエラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書き込みは発生しません。無効な読出し／書き込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

バースト・モード

SPI では、 $\overline{CS}$ ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・インエプル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。更に、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 42 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し／書き込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードでのエラー・チェック機能と同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の $\overline{CS}$ フレーム

内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

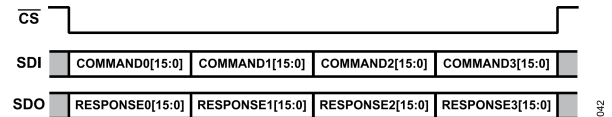


図 42. バースト・モード・フレーム

ソフトウェア・リセット

アドレス・モードの場合、レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド（つまり 0xA3 と 0x05）を書き込むことでソフトウェア・リセットを起動できます。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

デジチェーン・モード

デジチェーン設定では、複数の ADGS2414D デバイスを接続できます。図 43 に、このセットアップを示します。すべてのデバイスが同じ $\overline{CS}$ 、SCLK、 V_L ラインを共有し、また、デバイスの SDO は次のデバイスの SDI に接続され、シフト・レジスタが作成されます。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デジチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デジチェーン・モードでは設定を変更できません。

アドレス・モードの場合、ADGS2414D は、16 ビットの SPI コマンド、0x2500 を送信することによってのみ、デジチェーン・モードに移行できます（図 44 を参照）。ADGS2414D がこのコマンドを受信すると、デバイスの SDO が同じコマンドを送信します。パターンには SDO のアライメント・ビットが 0x25 であることが理由です。この場合、デジチェーン接続された複数のデバイスを単一の SPI フレームでデジチェーン・モードに移行できます。デジチェーン・モードを終了するには、ハードウェア・リセットが必要です。

代表的なデジチェーン SPI フレームのタイミング図については、図 45 を参照してください。 $\overline{CS}$ がハイになると、デバイス 1 はコマンド 0、ビット [7:0] をスイッチ・データ・レジスタに書き込み、デバイス 2 はコマンド 1、ビット [7:0] をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デジチェーン・モードに移行した後、チェーン内の各デバイスに搭載された SDO によって送信される最初の 8 ビットは 0x00 です。 $\overline{CS}$ がハイになっても、内部シフト・レジスタ値は 0 にリセットされません。

SCLK 立上がりエッジでは、SDI からデータが読み取られます。一方、SCLK 立下がりエッジでは、SDO からデータが伝搬されます。

動作原理

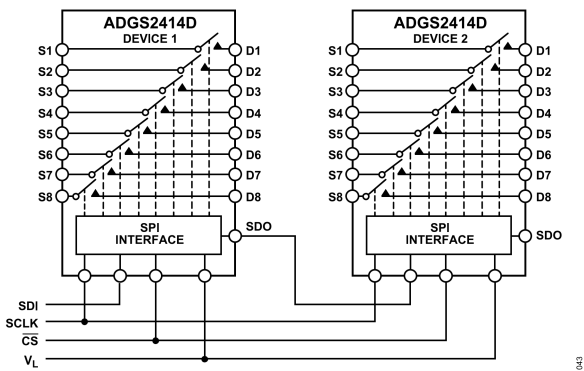


図 43. デイジーチェーン構成で接続された 2 個の ADGS2414D デバイス

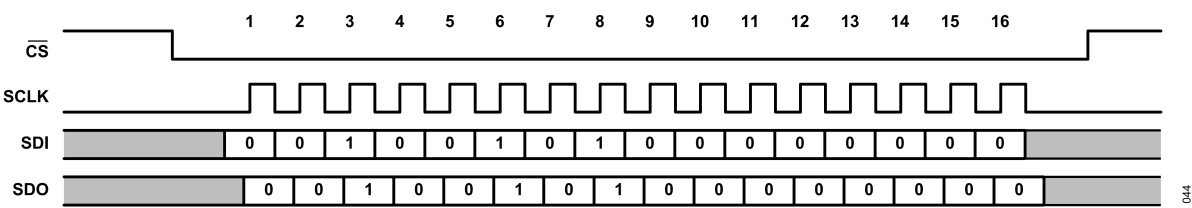
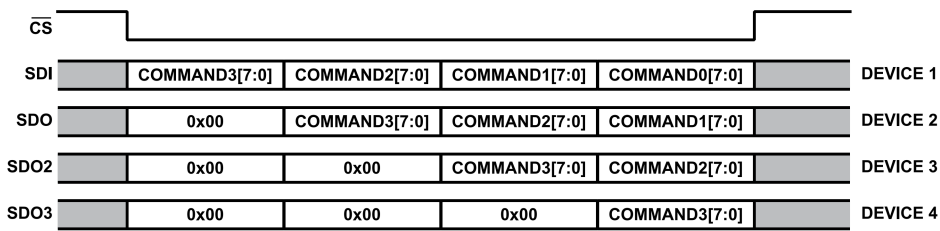


図 44. デイジーチェーン・モードに移行する SPI コマンド



NOTES
1. SDO2 AND SDO3 ARE THE OUTPUT COMMANDS FROM DEVICE 2 AND DEVICE 3, RESPECTIVELY.

図 45. デイジーチェーン・モードで 4 個の ADGS2414D デバイスが接続される SPI フレームの例

動作原理

パワーオン・リセット

ADGS2414D のデジタル・セクションは、 V_L の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後にも発生します。 V_L の電源投入またはリセットの後、少なくとも $120\mu\text{s}$ 経過してから SPI コマンドを発行するようにしてください。 $120\mu\text{s}$ の初期化フェーズでは、 V_L がドロップアウトしないよう注意してください。ドロップアウトすると、ADGS2414D が異常な動作をする可能性があるためです。

アプリケーション情報

高電圧、高周波の信号のトラッキング

図 25 に、ADGS2414D が安定して動作できる電圧範囲とそれに対応する周波数を示します。この図のトラッキング電圧 (V_{TRACK}) は、ソース電圧とドレイン電圧の差を示しており、その値は与えられた振幅および周波数に対し 50mV 未満です。電圧が高く周波数が高い信号の場合、周波数は 10MHz 未満である必要があります。必要な周波数が 10MHz を超える場合は、信号の完全性を維持するため信号範囲を適宜小さくしてください。

システム・チャンネル密度

ADGS2414D の機能セットでは、大きなシステム・チャンネル密度が可能です。これらの機能には、デジタル信号および電源のスルー配線ピンや、内蔵受動部品があります。

スルー配線ピン

複数の ADGS2414D デバイスを 1 つのシステムで使用する場合、スルー配線ピンによってレイアウトのチャンネル密度を増大できます。スルー配線ピンを使用すると、デバイス間の電源やデジタル・ラインの受け渡しが容易にできます。 V_{DD} 、 $\overline{\text{RESET}}/V_{\text{L}}$ 、GND の電源ラインや SCLK、 $\overline{\text{CS}}$ 、SDI、SDO のデジタル・ライ

ンは、パッケージの上部と下部の両方のピンで使用できます。これらのスルー配線ピンによって PCB 配線が簡素化でき、多数の ADGS2414D を相互に接続する場合にビアの必要性を減少できます。図 46 に、デジチェーン・モードに構成された 4 個の ADGS2414D デバイスのスルー配線ピンを使用して、レイアウトの全体的なサイズを縮小した例を示します。

内蔵の受動部品

図 46 のレイアウトには外付けの受動部品がないことに注意してください。ADGS2414D では、 V_{DD} 、 V_{SS} 、 $\overline{\text{RESET}}/V_{\text{L}}$ の電源用にデカップリング・コンデンサが内蔵されています。そのため、デカップリング・コンデンサを外付けする必要がなく、ADGS2414D システム全体のフットプリントを縮小できます。ノイズに非常に敏感なアプリケーション用にデカップリングを追加する必要がある場合は、外付けのデカップリング・コンデンサを追加してください。図 21 に、外付けデカップリング・コンデンサがある場合とない場合での AC PSRR 性能を示します。また、ADGS2414D には、 V_{L} と SDO ピンの間にプルアップ抵抗が内蔵されています。

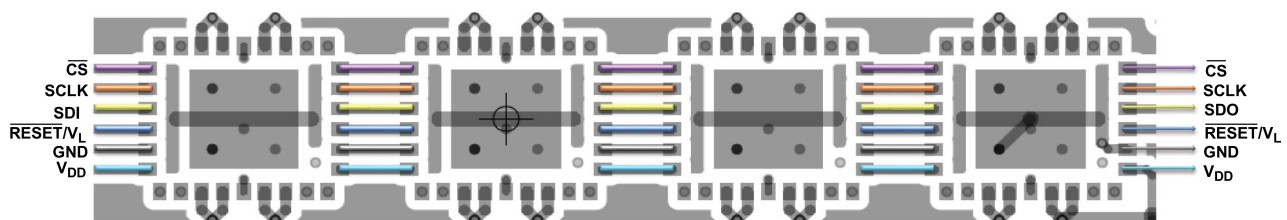


図 46. 配線ピンを使用し、外付けの受動部品を使用しないレイアウト例

アプリケーション情報

ブレーク・ビフォア・メーカー・スイッチング機能

ADGS2414Dは、ブレーク・ビフォア・メーカーのスイッチング動作を行います。この機能により、デバイスをマルチプレクサ・アプリケーションで使用できます。デバイスをマルチプレクサとして使用するには、図 47 に示すように、デバイスを目的のマルチプレクサ構成に外部配線します。

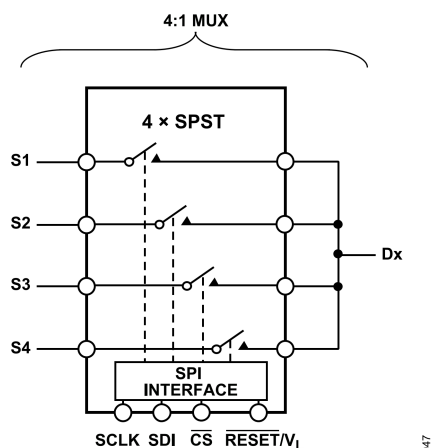


図 47. 4:1 Mux に構成された SPI コントロール・スイッチ

デジタル入力バッファ

デジタル入力ピン（ $\overline{CS}$ 、SCLK、SDI）には入力バッファがあります。これらのバッファは、常にアクティブです。そのため、 $\overline{CS}$ がアクティブであるかどうかに関係なく、SCLK または SDI がトグルすると、 V_L 電源から電流が流れます。この電流引き込みの代表値については、仕様のセクションと図 28 を参照してください。

電源レール

ADGS2414D は、 $\pm 4.5V \sim \pm 16.5V$ の両極性電源で動作します。 V_{DD} と V_{SS} の電源が対称である必要はありません。ただし、 $V_{DD} - V_{SS}$ の電圧が 33V を超えてはいけません。ADGS2414D は、 V_{SS} を GND に接続して 5V $\sim$ 20V の単電源で動作することもできます。 V_L に供給できる電圧範囲は 2.7V $\sim$ 5.5V です。デバイスは $\pm 15V$ と $+12V$ のアナログ電圧範囲で仕様規定されています。

電源の推奨事項

アナログ・デバイスでは、高性能シグナル・チェーンの条件を満たせるよう、広範なパワー・マネジメント製品を提供しています。

バイポーラ電源ソリューションの例を図 48 に示します。LT3463（デュアル・スイッチング・レギュレータ）は、典型的なシグナル・チェーンでの ADGS2414D、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。図 48 に示すように、オプションで 2 つの低ドロップアウト・レギュレータ（LDO）、ADP7142（正の LDO）と ADP7182（負の LDO）があります。これらの LDO を使用すると、極めて小さなノイズにも敏感なアプリケーションで LT3463 の出力リップルを削減できます。

ADP7142 を使用すると、ADGS2414D 内のデジタル回路に電力を供給するのに必要な V_L 電圧を生成できます。

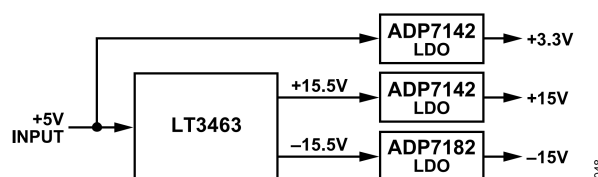


図 48. バイポーラ電源ソリューション

表 11. 推奨されるパワー・マネジメント・デバイス

製品	説明
LT3463	ショットキー・ダイオード内蔵のデュアル・マイクロパワー・DC/DC コンバータ
ADP7142	40V、200mA、低ノイズ、CMOS、LDO リニア電圧レギュレータ
ADP7182	-28V、-200mA、低ノイズ、LDO リニア電圧レギュレータ

1.8V ロジックに対応可能

ADGS2414D の SDI、 $\overline{CS}$ 、SCLK の各デジタル入力ピンは、 V_L が 2.7V $\sim$ 3.3V の場合、1.8V ロジックに対応可能です。

SDO デジタル出力レベルは、 V_L の電圧に比例します。例えば、 $V_L = 3V$ の場合、SDO のロジック・ハイは、約 3V です。1.8V ロジックを使用するコントローラ・デバイスで ADGS2414D から SPI リードバックを実行する場合、コントローラのデジタル・ピンが 1.8V を超えるデジタル入力信号を許容できない場合、問題が発生する可能性があります。

図 49 は、ADG3231 レベル変換器を使用して、マイクロコントローラや FPGA（フィールド・プログラマブル・ゲート・アレイ）などの 1.8V ロジック・ポートを持つデバイスで 1.8V の SPI リードバックを実行する方法を示すものです。ADGS2414D の SDO とマイクロコントローラまたは FPGA の間に ADG3231 を配置します。ADG3231 の電源 V_{CC1} に ADGS2414D の V_L の電圧を供給し、 V_{CC2} をマイクロコントローラまたは FPGA の 1.8V 電源に接続します。このようにすることで、ADG3231 は SDO のロジック・レベルを V_L から 1.8V に変換します。

このソリューションが必要となるのは、1.8V のマイクロコントローラまたは FPGA が 1.8V を超えるデジタル入力信号を許容できない場合のみです。

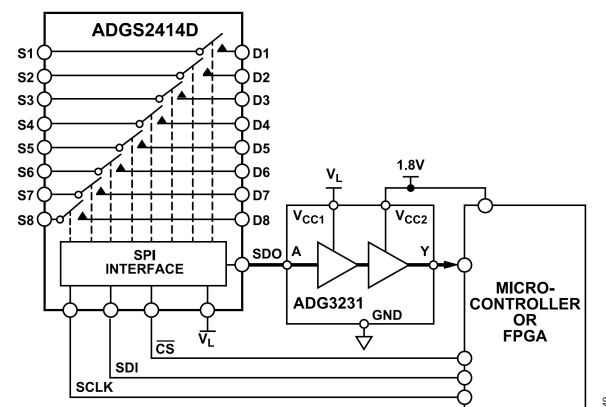


図 49. ADG3231 を使用して 1.8V SPI リードバックを実行

レジスタの一覧

表 12. レジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R $\bar{W}$
0x01	SW_DATA	SW8_EN	SW7_EN	SW6_EN	SW5_EN	SW4_EN	SW3_EN	SW2_EN	SW1_EN	0x00	R $\bar{W}$
0x02	ERR_CONFIG	Reserved					RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x06	R $\bar{W}$
0x03	ERR_FLAGS	Reserved					RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x00	R
0x05	BURST_EN	Reserved							BURST_MODE_EN	0x00	R $\bar{W}$
0x0B	SOFT_RESETB	SOFT_RESETB								0x00	$\bar{W}$

レジスタの詳細

スイッチ・データ・レジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : SW_DATA

スイッチ・データ・レジスタを使用して、ADGS2414D の 8 個のスイッチのステータスを制御します。

表 13. SW_DATA のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
7	SW8_EN	0 1	スイッチ 8 の SW8_EN ビットをイネーブル。 スイッチ 8 オープン。 スイッチ 8 クローズ。	0x0	R $\overline{W}$
6	SW7_EN	0 1	スイッチ 7 の SW7_EN ビットをイネーブル。 スイッチ 7 オープン。 スイッチ 7 クローズ。	0x0	R $\overline{W}$
5	SW6_EN	0 1	スイッチ 6 の SW6_EN ビットをイネーブル。 スイッチ 6 オープン。 スイッチ 6 クローズ。	0x0	R $\overline{W}$
4	SW5_EN	0 1	スイッチ 5 の SW5_EN ビットをイネーブル。 スイッチ 5 オープン。 スイッチ 5 クローズ。	0x0	R $\overline{W}$
3	SW4_EN	0 1	スイッチ 4 の SW4_EN ビットをイネーブル。 スイッチ 4 オープン。 スイッチ 4 クローズ。	0x0	R $\overline{W}$
2	SW3_EN	0 1	スイッチ 3 の SW3_EN ビットをイネーブル。 スイッチ 3 オープン。 スイッチ 3 クローズ。	0x0	R $\overline{W}$
1	SW2_EN	0 1	スイッチ 2 の SW2_EN ビットをイネーブル。 スイッチ 2 オープン。 スイッチ 2 クローズ。	0x0	R $\overline{W}$
0	SW1_EN	0 1	スイッチ 1 の SW1_EN ビットをイネーブル。 スイッチ 1 オープン。 スイッチ 1 クローズ。	0x0	R $\overline{W}$

エラー設定レジスタ

アドレス : 0x02、リセット : 0x06、レジスタ名 : ERR_CONFIG

エラー設定レジスタを使用して、必要に応じて関連するエラー検出機能を有効または無効にします。

表 14. ERR_CONFIG のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		ビット[7:3]は予備。ビット[7:3]は 0 に設定します。	0x0	R
2	RW_ERR_EN	0 1	RW_ERR_EN ビットをイネーブルして、無効な読出しおよび書き込みアドレスを検出。 ディスエーブル。 イネーブル。	0x1	R $\overline{W}$
1	SCLK_ERR_EN	0 1	SCLK_ERR_EN ビットをイネーブルして、SPI フレームの正しい SCLK サイクル数を検出。CRC が無効で、バースト・モードが無効の場合、SCLK サイクルの回数は 16 になるはず。CRC が有効で、バースト・モードが無効の場合、SCLK サイクルの回数は 24 になるはず。CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 の倍数になります。CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 の倍数になります。 ディスエーブル。 イネーブル。	0x1	R $\overline{W}$

レジスタの詳細

表 14. ERR_CONFIG のビットの説明（続き）

ビット	ビット名	設定	説明	デフォルト	アクセス
0	CRC_ERR_EN	0 1	CRC_ERR_EN ビットをイネーブルして、CRC エラーを検出。有効な場合の SPI フレームは 24 ビットです。 ディスエーブル。 イネーブル。	0x0	R $\overline{W}$

エラー・フラグ・レジスタ

アドレス : 0x03、リセット : 0x00、レジスタ名 : ERR_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16 ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R $\overline{W}$ アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 15. ERR_FLAGS のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	Reserved		ビット[7:3]は予備。ビット[7:3]は 0 に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読み出しおよび書き込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI 読み出しでエラー・フラグがアサートされます。また、SPI 書き込みのアドレスが存在しない場合、または読み出し専用である場合にも、エラー・フラグがアサートされます。 エラーなし。 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのエラー・フラグ。 エラーなし。 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタ書き込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。 エラーなし。 エラー。	0x0	R

バースト・イネーブル・レジスタ

アドレス : 0x05、リセット : 0x00、レジスタ名 : BURST_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。バースト・モードを有効にすると、 $\overline{CS}$ をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 16. BURST_EN のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	Reserved		ビット[7:1]は予備。ビット[7:1]は 0 に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 ディスエーブル。 イネーブル。	0x0	R $\overline{W}$

レジスタの詳細

ソフトウェア・リセット・レジスタ

アドレス : 0x0B、リセット : 0x00、レジスタ名 : SOFT_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに 0xA3、0x05 の順に連続的に書き込みを実行すると、デバイスのレジスタはデフォルト状態にリセットされます。

表 17. SOFT_RESETB のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、SOFT_RESETB レジスタに 0xA3、0x05 の順に連続的に書き込みを実行します。	0x0	$\overline{W}$

外形寸法

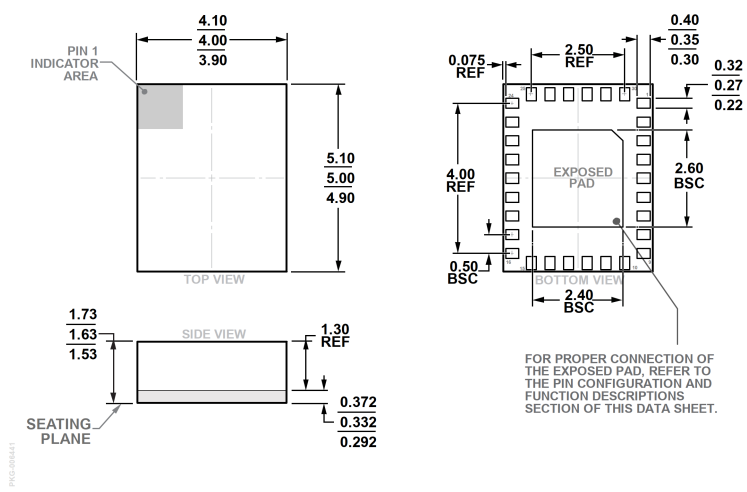


図 50.30 端子ランド・グリッド・アレイ [LGA] (CC-30-3)
4mm × 5mm ボディ、1.63mm パッケージ高
単位：mm

更新：2023 年 8 月 19 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADGS2414DBCCZ	-40°C to +125°C	30-lead LGA (4 mm x 5 mm x 1.63mm)	Tray, 490	CC-30-3
ADGS2414DBCCZ-RL7	-40°C to +125°C	30-lead LGA (4 mm x 5 mm x 1.63mm)	Reel, 1000	CC-30-3

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EV-ADGS2414DSDZ	Evaluation Board

¹ Z = RoHS 準拠製品。