

## 堅牢で低消費電力の産業用10BASE-T1L PHY

### 特長

- ▶ 10BASE-T1L IEEE 802.3cg-2019規格準拠
- ▶ 1.0V p-pおよび2.4V p-pで最長1700mのケーブル長に対応
- ▶ 1.0V p-pおよび2.4V p-pの送信レベルに対応
- ▶ 本質的安全アプリケーションをサポート
- ▶ 低消費電力：39mW（両電源、1.0V p-p）
- ▶ 診断機能
  - ▶ TDRによるケーブル・フォルト検出
  - ▶ MSEIによるリンク品質インジケータ
  - ▶ フレーム・ジェネレータおよびフレーム・チェッカ
  - ▶ 複数のループバック・モード
  - ▶ IEEEテスト・モードに対応
- ▶ MII、RMIIおよびRGMII MACインターフェース
- ▶ MDIO管理インターフェース
- ▶ ピン・ストラップを使用したアンマネージド構成
- ▶ 25MHzの水晶発振器または外部クロック入力（RMII用は50MHz）
- ▶ 単電源または両電源（1.8Vまたは3.3V）動作
- ▶ 3.3V/2.5V/1.8V MACインターフェースVDDIO電源
- ▶ 電源モニタとPORを内蔵
- ▶ EMC試験規格
  - ▶ IEC 61000-4-4 EFT（±4kV）
  - ▶ IEC 61000-4-2 ESD（±4kVの接触放電）
  - ▶ IEC 61000-4-2 ESD（±8kVの気中放電）
  - ▶ IEC 61000-4-5サージ（±4kV）
  - ▶ IEC 61000-4-6伝導耐性（10V/m）
  - ▶ IEC 61000-4-3、放射耐性（クラスA）
  - ▶ EN 55032放射エミッション（クラスB）
- ▶ 小型パッケージ：40ピン、6mm × 6mm LFCSP
- ▶ 温度範囲
  - ▶ 工業用：-40°C~+85°C
  - ▶ 拡張：-40°C~+105°C

### アプリケーション

- ▶ プロセス制御
- ▶ ファクトリ・オートメーション
- ▶ ビルディング・オートメーション
- ▶ フィールド機器およびスイッチ

アナログ・デバイセズでは、文化的に適切な用語および言語を提供するよう、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いいたします。

### Rev. B

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

### 機能ブロック図

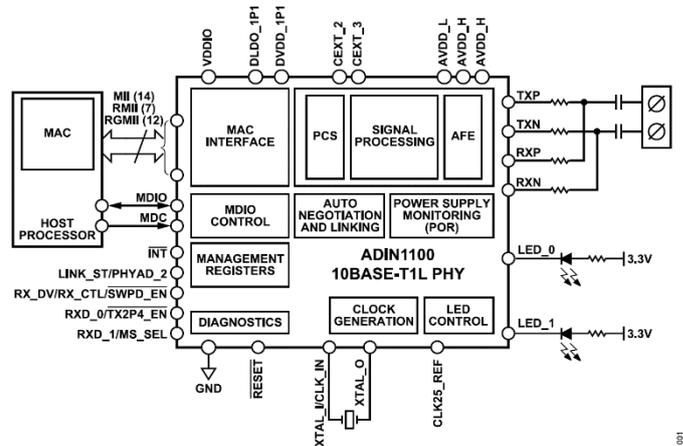


図 1. 機能ブロック図

### 概要

ADIN1100は、産業用イーサネット・アプリケーション向けに設計された低消費電力で単一ポートの10BASE-T1Lトランシーバーで、長距離伝送用の10Mbpsシングル・ペア・イーサネット（SPE）に対するIEEE® 802.3cg-2019™イーサネット規格に準拠しています。ADIN1100では、イーサネットPHYコアと、関連するすべてのアナログ回路、入出力クロック・バッファリング、管理インターフェース・コントロール・レジスタ、サブシステム・レジスタ、MACインターフェース、および、リセット/クロック制御およびピン配置を管理するコントロール・ロジックが統合されています。

ADIN1100は、オートネゴシエーションをイネーブルして最大1700メートルのケーブル伝送距離に対応し、39mWの超低消費電力を実現しています。

PHYコアは、IEEE 802.3cg規格で定義されている1.0V p-pと2.4V p-pの動作モードに対応し、また、1.8Vまたは3.3Vの単電源レールで動作可能で、1.0V p-pの送信電圧レベルに対応する低電圧オプションを備えています。

ADIN1100には電圧源モニタリング回路およびパワーオン・リセット（POR）回路が内蔵されており、システム・レベルの堅牢性を高めています。

MDIOインターフェースは、ホスト・プロセッサまたはMACとADIN1100の間の通信を行うために2線式シリアル・インターフェースを提供し、それによってPHYコアの管理レジスタにある制御情報とステータス情報へのアクセスを可能にします。インターフェースは、IEEE 802.3規格の条項22と条項45の両方の管理フレーム構造に準拠しています。

## 目次

特長	1	10BASE-T1Lリンクの確立	26
アプリケーション	1	アンマネージドPHY動作	26
機能ブロック図	1	マネージドPHY動作	26
概要	1	オンチップ診断	29
仕様	4	ループバック・モード	29
タイミング特性	7	フレーム・ジェネレータとフレーム・チェッカ	30
パワーアップのタイミング	7	フレーム・ジェネレータおよびチェッカのリンク・テスト	30
管理インターフェースのタイミング	7	テスト・モード	32
絶対最大定格	8	時間領域反射率測定 (TDR)	32
熱抵抗	8	アプリケーション情報	34
静電放電 (ESD) 定格	8	システム・レベルのパワー・マネージメント	34
ESDに関する注意	8	コンポーネントの推奨事項	35
ピン配置およびピン機能の説明	9	電磁両立性 (EMC) と電磁耐性 (EMI)	37
代表的な性能特性	12	MDIOインターフェース	38
動作原理	13	条項22	38
電源ドメイン	13	条項45	39
MACインターフェース	13	推奨レジスタ操作	40
送信振幅の設定	14	レジスタの一覧	41
マスタ/スレーブ設定	14	イーサネット条項22レジスタの詳細	41
オートネゴシエーション	15	イーサネット条項45レジスタの詳細	43
管理インターフェース	18	PCBレイアウトに関する推奨事項	79
リセット動作	19	ランド・パターン	79
ステータスLED	20	コンポーネントの配置とルーティング	79
リンク・ステータス・ピン	22	水晶発振器の配置とルーティング	79
パワーダウン・モード	22	PCBの層構成	79
ハードウェア構成ピン	23	外形寸法	80
概要	23	オーダー・ガイド	80
アンマネージド・アプリケーション	23	評価用ボード	80
マネージド・アプリケーション	23		
ハードウェア構成ピンの機能	23		

## 改訂履歴

## 8/2023—Rev. A to Rev. B

Changes to General Description Section	1
--	---

## 1/2023—Rev. 0 to Rev. A

Changes to Features Section	1
Changes to Clock Input Voltage Range Parameter; Table 1	4
Changes to Table 2	5
Changes to Single-Supply Applications Section	13
Changes to Long Reach and Trunk/Spur Applications Section	13
Changes to High Voltage Transmit Level Request Advertisement Section	15
Changes to Determination of Transmit Level Resolution Section	16
Change to Table 11	16
Changes to Master/Slave Advertisement Section	17
Changes to Forced Master/Slave Configuration Advertisement Section	17

## 目次

Changes to Determination of Master/Slave Configuration Section .....	17
Changes to Autonegotiation Fail Section.....	18
Changes to Power-On Reset Section .....	19
Changes to Overview Section.....	20
Changes to Table 13 .....	20
Changes to LED Pin Multiplexing Section.....	20
Changes to Power-Down Modes Section.....	22
Changes to Overview Section and Table 14 .....	23
Changes to Table 17 .....	24
Changes to Transmit Amplitude Section .....	24
Changes to Set Transmit Amplitude Level Section .....	26
Change to Disable Software Power-Down Mode After Reset Section .....	26
Changes to Enable 1.0 V p-p Transmit Level Only Section .....	27
Changes to Set 2.4 V p-p Transmit Level as Preferred Section .....	27
Changes to Read Link Partner Advertised Transmit Level Section .....	28
Change to Completion of Autonegotiation Section .....	28
Added Time Domain Reflectometry (TDR) Section and Figure 16; Renumbered Sequentially .....	32
Added Fault Detection with the TDR Engine Section .....	33
Added TDR Offset Calibration Section.....	33
Added Cable Calibration Section .....	33
Added Length/Distance to Fault Accuracy Section .....	33
Changes to Component Recommendations Section.....	35
Changed Crystal Section to External Crystal Oscillator for RMII and RGMII Modes Section .....	36
Deleted External Clock Input Section and Figure 23; Renumbered Sequentially .....	36
Added External 25 MHz Clock Input for MII and RGMII Modes Section, Figure 24, and Table 27; Renumbered Sequentially .....	36
Added External 50 MHz Clock Input for RMII Mode Section, Figure 25, and Table 28 .....	36
Added PCB Parasitic Capacitance Considerations Section and Table 29 .....	37
Changed Register Summary Section to MDIO Interface Section .....	38
Added Register Summary Section.....	41
Change to Table 44.....	43
Change to Frame Checker False Carrier Count Register Section .....	75
Change to Frame Checker Odd Nibble Frame Count Register Section .....	75
Changes to Ordering Guide .....	80

**9/2021–Revision 0: Initial Version**

## 仕様

特に指定のない限り、AVDD\_H = AVDD\_L = VDDIO = 3.3V、DVDD\_1P1は内部低ドロップアウト（LDO）レギュレータから供給（DVDD\_1P1 = DLDO\_1P1）、すべての仕様値の温度範囲は、-40°C ~ +105°C。

表 1. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
DIGITAL INPUTS/OUTPUTS					MACインターフェース、MDC、MDIO、 $\overline{\text{INT}}$ 、LINK_ST/PHYAD_2、 $\overline{\text{RESET}}$ 、LED_xの各ピンに適用
VDDIO = 3.3 V					
Input Low Voltage ( $V_{\text{IL}}$ )			0.8	V	
Input High Voltage ( $V_{\text{IH}}$ )	2.0			V	
Output Low Voltage ( $V_{\text{OL}}$ )			0.4	V	出力ロー電流 ( $I_{\text{OL}}$ ) (最小) = 2mA
Output High Voltage ( $V_{\text{OH}}$ )	2.4			V	出力ハイ電流 ( $I_{\text{OH}}$ ) (最小) = 2mA
VDDIO = 2.5 V					
$V_{\text{IL}}$			0.7	V	
$V_{\text{IH}}$	1.7			V	
$V_{\text{OL}}$			0.4	V	$I_{\text{OL}}$ (最小) = 2mA
$V_{\text{OH}}$	2.0			V	$I_{\text{OH}}$ (最小) = 2mA
VDDIO = 1.8 V					
$V_{\text{IL}}$			0.3 × VDDIO	V	
$V_{\text{IH}}$	0.7 VDDIO			V	
$V_{\text{OL}}$			0.2 × VDDIO	V	$I_{\text{OL}}$ (最小) = 2mA
$V_{\text{OH}}$	0.8 × VDDIO			V	$I_{\text{OH}}$ (最小) = 2mA
$\overline{\text{RESET}}$ Deglitch Time	0.3	0.5	1	μs	
LED/LINK STATUS OUTPUT					
Output Drive Current			8	mA	VDDIO = 3.3V
			6	mA	VDDIO = 2.5V
			4	mA	VDDIO = 1.8V
CLOCKS					
External Crystal (XTAL)					XTAL_I/CLK_INピンおよびXTAL_Oピンで 사용되는外部水晶発振器の条件
Crystal Frequency		25		MHz	
Crystal Frequency Tolerance	-30		+30	ppm	
Crystal Drive Level		<200		μW	
Crystal ESR			60	Ω	
XTAL_I, XTAL_O Input Capacitance ( $C_{\text{IN,EQ}}$ )		1.5		pF	XTAL_I/CLK_INピンおよびXTAL_Oピンへの等価並列差動入力容量
Crystal Load Capacitance ( $C_{\text{L}}$ ) <sup>1</sup>		10	18	pF	PCBパターン容量とXTAL_IおよびXTAL_Oの $C_{\text{IN,EQ}}$ を含む
Start-up Time			2	ms	水晶発振器のみ
Clock Input (CLK_IN)					
Clock Input Frequency		25		MHz	XTAL_I/CLK_INピンに適用される外部クロックの条件、メディア非依存インターフェース (MII) モード
		50		MHz	縮小メディア非依存インターフェース (RMII) モード
Clock Input Voltage Range	0.8		2.5	V p-p	
Clock Input Duty Cycle	45		55	%	
XTAL_I Input Impedance ( $Z_{\text{IN,EQ}}$ )					
Driving Point Resistance (RP) <sup>2</sup>		6		kΩ	Rp  Cp
Driving Point Capacitance (CP) <sup>2</sup>		3		pF	
Jitter Tolerance (RMS)			40	ps	

表 1. 一般仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
CLK25_REF Clock Output					
CLK25_REF Frequency		25		MHz	
V <sub>OH</sub>		1.05		V	負荷 = 10pF
V <sub>OL</sub>		0		V	負荷 = 10pF
CLK25_REF Duty Cycle	45		55	%	負荷 = 10pF
LongTerm Jitter (RMS)			40	ps	

1 負荷容量 (C<sub>L</sub>) = ((C1 × C2)/(C1 + C2) + C<sub>STRAY</sub>)。ここで、C<sub>STRAY</sub>は配線とパッケージの寄生容量を含む浮遊容量です。

2 R<sub>p</sub>およびC<sub>p</sub>は、ACグラウンドへの等価並列RC回路の値 (R<sub>p</sub>||C<sub>p</sub>) で、XTAL\_I/CLK\_INピンの駆動点のインピーダンスをモデル化しています。

表 2. 10BASE-T1Lの仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
<b>POWER REQUIREMENTS</b>					
Supply Voltage Range					
AVDD_H	3.13	3.3	3.46	V	2.4V p-pまたは1.0V p-pの送信レベル
AVDD_L	1.71	1.8 or 3.3	3.46	V	
AVDD_H, AVDD_L	1.71	1.8	3.46	V	1.0Vp-pの送信レベル
DVDD_1P1	1.0	1.1	1.2	V	
VDDIO	1.71	1.8, 2.5, or 3.3	3.46	V	
1.0 V p-p Transmit Level (Single Supply)					
AVDD_x Supply Current, I <sub>AVDD</sub>		25		mA	
Power Consumption		45		mW	100%データ・スループット、フル・アクティブ
		11		mW	ソフトウェア・パワーダウン・モード
1.0 V p-p Transmit Level (Dual Supply)					
AVDD_x Supply Current, I <sub>AVDD</sub>		16		mA	
DVDD_1P1 Supply Current, I <sub>DVDD</sub>		9		mA	
Power Consumption		39		mW	100%データ・スループット、フル・アクティブ
2.4 V p-p Transmit Level (Single Supply)					
Supply Current, I <sub>AVDD</sub>		33		mA	
Power Consumption		109		mW	100%データ・スループット、フル・アクティブ
		22		mW	ソフトウェア・パワーダウン・モード
2.4 V p-p Transmit Level (Dual Supply)					
AVDD_x Supply Current, I <sub>AVDD</sub>		16.5		mA	
VDDIO Supply Current, I <sub>VDDIO</sub>		15		mA	
Power Consumption		81		mW	100%データ・スループット、フル・アクティブ
		11		mW	ソフトウェア・パワーダウン・モード
2.4 V p-p Transmit Level (Triple Supply)					
AVDD_x Supply Current, I <sub>AVDD</sub>		16.5		mA	
VDDIO Supply Current, I <sub>VDDIO</sub>		6		mA	
DVDD_1P1 Supply Current, I <sub>DVDD</sub>		9		mA	
Power Consumption		75		mW	100%データ・スループット、フル・アクティブ
<b>ANALOG INPUTS AND OUTPUTS</b>					
MDI Gain Offset	-7.5		+3.5	%	
<b>TIMING/LATENCY</b>					
MII Latency					

表 2. 10BASE-T1Lの仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Transmit (TX) Latency		<1.8		μs	18ビット・フレーム
Receiver (RX) Latency		<3.2		μs	32ビット・フレーム
Total Latency		≤5		μs	

## タイミング特性

### パワーアップのタイミング

表 3.

Parameter	Description	Min	Typ	Max	Unit
$t_{RAMP}$	Power supply ramp time			40	ms
$t_1$	Minimum time interval to internal power good <sup>1</sup>	20		43	ms
$t_2$	Hardware configuration latch time	6	8	14	$\mu$ s
$t_3$	Management interface active			50	ms

<sup>1</sup> 最小タイム・インターバルは、立上がり閾値に到達する最後の電源を基準とします。特定の電源シーケンスは必要ありません。

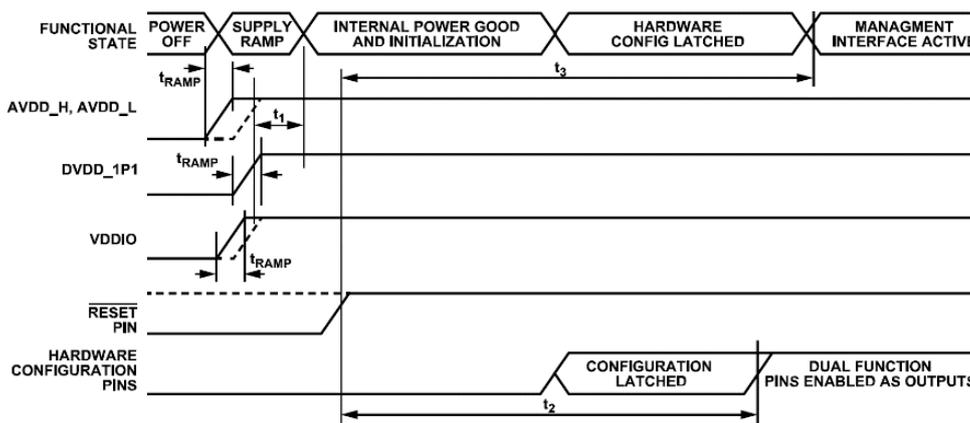


図2. パワーアップのタイミング

### 管理インターフェースのタイミング

表 4.

Parameter	Description	Min	Typ	Max	Unit
$t_1$	MDC period	400			ns
$t_2$	MDC high time	100			ns
$t_3$	MDC low time	100			ns
$t_4$	MDC rise or fall time			5	ns
$t_5$	MDIO signal setup time to MDC	10			ns
$t_6$	MDIO signal hold time to MDC	10			ns
$t_7$	MDIO delay time to MDC			300	ns

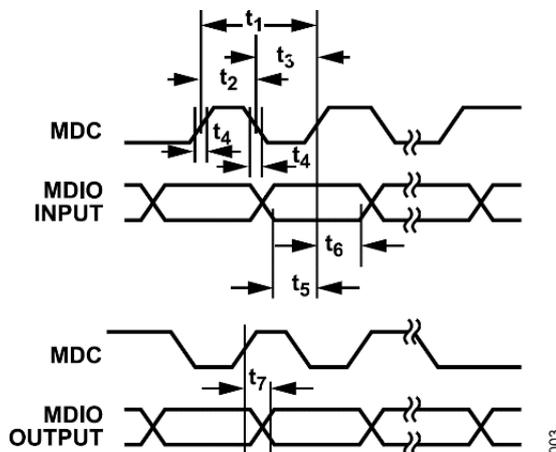


図3. 管理インターフェースのタイミング

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
VDDIO to GND	-0.3 V to +4 V
DVDD_1P1, DLDO_1P1 to GND	-0.3 V to +1.35 V
AVDD_H, AVDD_L to GND	-0.3 V to +4 V
MAC Interface <sup>1</sup> , MDIO, MDC, $\overline{\text{INT}}$ to GND	-0.3 V to VDDIO + 0.3 V
TXN, TXP, RXN, RXP to GND	-0.3 V to AVDD + 0.3 V
LED_x, RESET, LINK_ST/PHYAD_2 to GND	-0.3 V to VDDIO + 0.3 V
XTAL_I/CLK_IN to GND	-0.3 V to +2.75 V
XTAL_O, CLK25_REF to GND	-0.3 V to +1.35 V
Operating Temperature Range ( $T_A$ )	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature ( $T_J$ max)	125°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

<sup>1</sup> MACインターフェース・ピンの全リストについては、[ピン配置およびピン機能の説明のセクション](#)を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は、1立方フィートの密閉容器内で測定された自然対流下でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$ はジャンクションとケースの間の熱抵抗です。

表 6. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$	Unit
CP-40-29 <sup>2</sup>	45	22	°C/W

<sup>1</sup>  $\theta_{JA}$ は最も厳しい条件、すなわち、表面実装パッケージ用回路基板にデバイスをハンダ付けした状態で仕様規定されています。

<sup>2</sup> テスト条件1：熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2Pサーマル・テスト・ボードに基づいています。JEDEC JESD51を参照してください。

## 静電放電 (ESD) 定格

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

## ESD 定格

表 7. ADIN1100、40ピンLFCSP

ESD Model	Withstand Threshold (V)	Class
HBM		
TXN, TXP, RXN, RXP Pins	8000	3B
All Other Pins	2000	2
FICDM	1250	C3

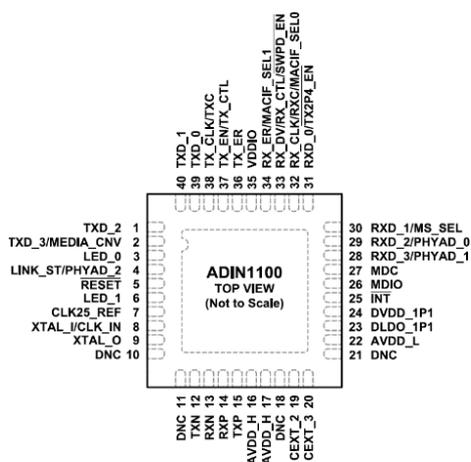
## ESDに関する注意



**ESD (静電放電) の影響を受けやすいデバイスです。**

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. DNC = DO NOT CONNECT. THESE PINS MUST BE LEFT OPEN CIRCUIT.  
 2. EXPOSED PAD (GROUND). THIS GND PADDLE MUST BE CONNECTED TO GROUND. THE LFCSP PACKAGE HAS AN EXPOSED PAD THAT NEEDS TO BE CONNECTED TO GND FOR ELECTRICAL REASONS AND MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS. A 4 × 4 ARRAY OF THERMAL VIAS BENEATH THE EXPOSED GND PAD IS ALSO RECOMMENDED.

図 4. ピン配置

表 8. ピン機能の説明

ピン番号	記号 <sup>1</sup>	PU/PD <sup>2</sup>	説明
Clock Interface			
7	CLK25_REF	N/A	アナログ・リファレンス・クロック出力。水晶発振器からの25MHzリファレンス・クロックは、このCLK25_REFピンで利用できます。このピンは、別のPHYへの入力として使用できます。25MHzのクロック出力は、ソフトウェア・リセットまたはハードウェア・リセット後、短時間（ソフトウェア・リセットでは25ms、ハードウェア・リセットでは70ms）デイスエーブル（ロジック・ロー）になります。詳細は、 <a href="#">リセット動作</a> のセクションを参照してください。
8	XTAL_I/CLK_IN	N/A	水晶発振器の入力（XTAL_I）。シングルエンドの25MHzリファレンス・クロック入力またはRMII用50MHzクロック入力（CLK_IN）。
9	XTAL_O	N/A	水晶発振器出力。XTAL_I/CLK_INでシングルエンドのリファレンス・クロックを使用する場合、XTAL_Oはオープン・サーキットのままにします。MIIモードおよびRGMIIモード用外部25MHzクロック入力のセクションを参照してください。
Management Interface			
25	$\overline{\text{INT}}$	PU	管理インターフェース割込みピン出力。アクティブ・ローのオープンドレイン出力です。 $\overline{\text{INT}}$ のローは、マスク解除されている管理割込みを示します。このピンには、VDDIOへの1.5kΩプルアップ抵抗が必要です。
26	MDIO	PU	MDCクロックに同期した管理データの入出力。このピンはオープンドレインで、VDDIOへの1.5kΩプルアップ抵抗が必要です。
27	MDC	PD	最大2.5MHzの管理データ・クロック入力。
Reset			
5	$\overline{\text{RESET}}$	PU	アクティブ・ローのハードウェア・リセット入力。デバイスをリセットするには、10μsを超える時間、ローに保持します。ハードウェア・リセットが不要な場合は、このピンをフロート状態のままにしておくことができます。 <a href="#">ハードウェア・リセット</a> のセクションを参照してください。
Media Dependent Interface (MDI)			
12	TXN	N/A	送信用負側ピン。
13	RXN	N/A	受信用負側ピン。
14	RXP	N/A	受信用正側ピン。
15	TXP	N/A	送信用正側ピン。
MAC Interface			

## ピン配置およびピン機能の説明

表 8. ピン機能の説明 (続き)

ピン番号	記号 <sup>1</sup>	PU/PD <sup>2</sup>	説明
1	TXD_2	PD	縮小ギガビット・メディア非依存インターフェース (RGMII) /MIIの送信データ2入力。MACインターフェースのセクションを参照してください。
2	TXD_3/MEDIA_CNV	PD	RGMII/MIIの送信データ3入力 (TXD_3)。MACインターフェースのセクションを参照してください。 メディア・コンバータ・ハードウェア構成ピン (MEDIA_CNV)。
28	RXD_3/PHYAD_1	PD	RGMII/MII受信データ3出力 (RXD_3)。MACインターフェースのセクションを参照してください。 PHYアドレスのハードウェア構成ピン1 (PHYAD_1)。
29	RXD_2/PHYAD_0	PD	RGMII/MII受信データ2出力 (RXD_2)。MACインターフェースのセクションを参照してください。 PHYアドレスのハードウェア構成ピン0 (PHYAD_0)。
30	RXD_1/MS_SEL	PD	RGMII/RMII/MII受信データ1出力 (RXD_1)。MACインターフェースのセクションを参照してください。マスタ/スレーブの選択 (MS_SEL)。マスタ優先を選択する場合はハイ、スレーブ優先を選択する場合はローに設定します。表18を参照してください。
31	RXD_0/TX2P4_EN	PD	RGMII/RMII/MII受信データ0出力 (RXD_0)。MACインターフェースのセクションを参照してください。送信レベル振幅ハードウェア構成ピン (TX2P4_EN)。送信振幅が1V p-pの場合にハイに設定します。送信振幅が1V p-pおよび2.4V p-pの場合はローに設定します。表19を参照してください。
32	RX_CLK/RXC/MACIF_SE L0	PD	2.5MHz MII受信クロック出力 (RX_CLK)。 2.5MHz RGMII受信クロック出力 (RXC)。 MACインターフェース選択のハードウェア構成ピン0 (MACIF_SEL0)。MACインターフェースの選択のセクションを参照してください。
33	RX_DV/RX_CTL/ SWPD_EN	PD	RMII/MIIモードの受信データ有効出力 (RX_DV)。RMIIモードでは、この信号はCRS_DVと呼ばれます。RX_DVがハイにアサートされると、RXD_xラインに有効なデータが存在することを示します。 PD RGMIIモードの受信制御信号 (RX_CTL)。RX_CTLはRX_DVとRX_ERを組み合わせた信号で、RXCの両方のエッジを使用します。 ソフトウェア・パワーダウン設定 (SWPD_EN)。SWPD_ENをローにセットすると、パワーアップまたはリセット後にPHYがソフトウェア・パワーダウン・モードになるよう設定されます。表17を参照してください。
34	RX_ER/MACIF_SEL1	PD	RMII/MIIモードの受信エラー検出出力 (RX_ER)。ハイにアサートされると、PHYが受信エラーを検出したことを示します。 MACインターフェース選択のハードウェア構成ピン1 (MACIF_SEL1)。表21を参照してください。
36	TX_ER	PD	RMII/MIIモードのMACからPHYへの送信エラー入力検出。
37	TX_EN/TX_CTL	PD	RMII/MIIモードのMACからPHYへの送信イネーブル入力 (TX_EN)。送信データがTXD_xラインで利用可能であることを示しています。 RGMIIモードの送信制御信号 (TX_CTL)。TX_CTLは、TX_ENとRX_ERを組み合わせた信号で、TXCの両方のエッジを使用します。
38	TX_CLK/TXC	PD	2.5MHz MIIの送信クロック出力 (TX_CLK)。 2.5MHz RGMIIの送信クロック入力 (TXC)。
39	TXD_0	PD	RGMII/RMII/MIIの送信データ0入力。MACインターフェースのセクションを参照してください。
40	TXD_1	PD	RGMII/RMII/MIIの送信データ1入力。MACインターフェースのセクションを参照してください。
Status 3	LED_0	PU	汎用プログラマブルLEDインジケータ0。LEDは、アクティブ・ハイまたはアクティブ・ローにすることができます。デフォルトでは、リンクが確立されるとLED_0が点灯し、アクティビティがあると点滅するよう設定されています。ステータスLEDのセクションを参照してください。
4	LINK_ST/PHYAD_2	PD	リンク・ステータス出力 (LINK_ST)。LINK_STは、有効なリンクが確立されているかどうかを示します。LINK_STはアクティブ・ハイです。 PHYアドレスのハードウェア構成ピン2 (PHYAD_2)。

## ピン配置およびピン機能の説明

表 8. ピン機能の説明 (続き)

ピン番号	記号 <sup>1</sup>	PU/PD <sup>2</sup>	説明
6	LED_1	PD	汎用プログラマブルLEDインジケータ1。LEDは、アクティブ・ハイまたはアクティブ・ローにすることができます。デフォルトでは、LED_1はディスエーブルです。 ステータスLEDのセクションを参照してください。
LDO and Reference Decoupling 19	CEXT_2	N/A	LDO回路用外部デカップリング。このピンのできるだけ近くで、0.1μFのコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
20	CEXT_3	N/A	E LDO回路用外部デカップリング。このピンのできるだけ近くで、1μFのコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
Power and Ground Pins 16, 17	AVDD_H	N/A	デバイス内の様々なアナログ回路用のアナログ電源電圧。この電源レールは、送信レベル設定に応じて1.8V~3.3Vで供給できます。AVDD_Hが3.3Vの場合、1.0V p-pと2.4V p-pの両方の送信動作モードに対応し、AVDD_Hが1.8Vの場合は、1.0V p-pの送信動作モードにのみ対応します。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをグラウンドに接続します。
22	AVDD_L	N/A	内部LDO回路用のアナログ電源電圧。この電源レールは1.8V~3.3Vで供給できます。AVDD_Lは、長距離伝送アプリケーションではAVDD_Hレールに直結できます。また、低消費電力用に両電源で構成されている場合はVDDIOレールに接続できます。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをグラウンドに接続します。
23	DLDO_1P1	N/A	内蔵の1.1V LDO回路の出力。このピンをDVDD_1P1に接続することで、追加の電源レールを不要にできます。このピンのできるだけ近くで、0.68μFのコンデンサをグラウンドに接続します。
24	DVDD_1P1	N/A	1.1V DVDD_1P1電源レールの入力。内部LDOレギュレータを使用する場合は、このピンをDLDO_1P1ピンに直接接続します。代わりに、外部1.1VレールをDVDD_1P1ピンに供給して電力効率を向上させることもできます。このピンのできるだけ近くで、0.1μFをグラウンドに接続します。
35	VDDIO	N/A	MDIOおよびMACインターフェース用の3.3V、2.5V、1.8Vデジタル電源。このピンのできるだけ近くで、0.1μFと0.01μFのコンデンサをGNDに接続します。
41	EP (GND)	N/A	露出パッド (グラウンド)。このGNDパッドはグラウンドに接続する必要があります。LFCSPパッケージには、電気的な理由によりGNDに接続する必要があり、機械的な理由によりPCBの金属面にハンダ付けする必要のある露出パッドがあります。露出GNDパッドの下に、4×4アレイのサーマル・ビアを設けることを推奨します。
Other Pins 10, 11, 18, 21	DNC	N/A	接続なし。これらのピンはオープン・サーキットのままにする必要があります。

<sup>1</sup> 機能的な信号とハードウェア構成ピンの信号で1つのピンを共有する場合、ハードウェア構成ピンの信号の優先順位は最後になります。

<sup>2</sup> PUはプルアップ、PDはプルダウンです。内部のプルアップ抵抗またはプルダウン抵抗は事前に定義されており、ユーザ設定はできません。N/Aは、該当なしを表します。

代表的な性能特性

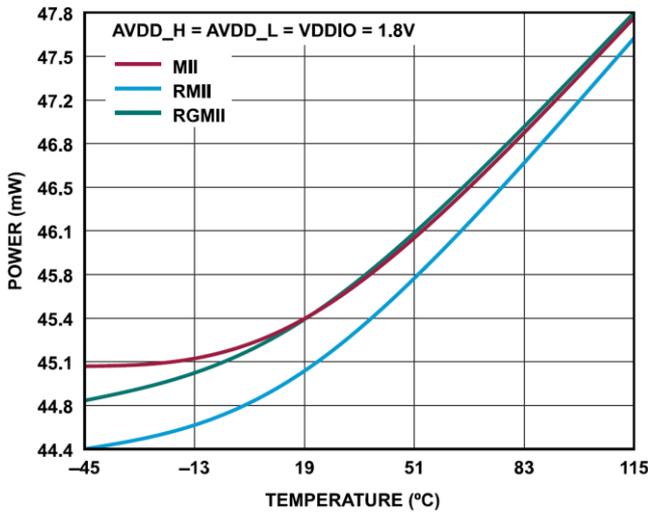


図 5. 消費電力と温度の関係、1.8V単電源、内部LDO回路、10BASE-T1Lモード

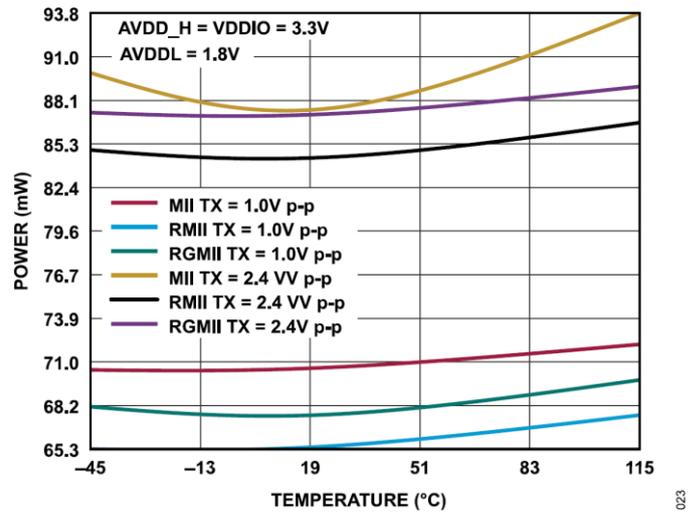


図 8. 消費電力と温度の関係、AVDD\_H = 3.3V、VDDIO = 3.3V、AVDD\_L = 1.8V、内部LDO回路、10BASE-T1Lモード

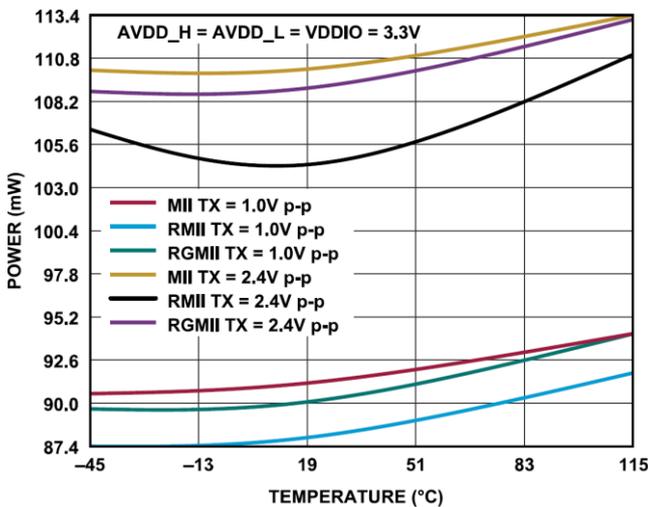


図 6. 消費電力と温度の関係、3.3V単電源、内部LDO回路、10BASE-T1Lモード

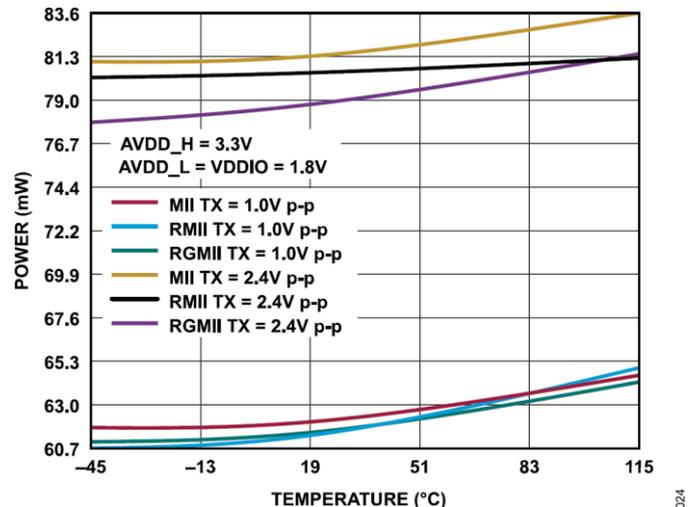


図 9. 消費電力と温度の関係、AVDD\_H = 3.3V、AVDD\_L = VDDIO = 1.8V、内部LDO回路、10BASE-T1Lモード

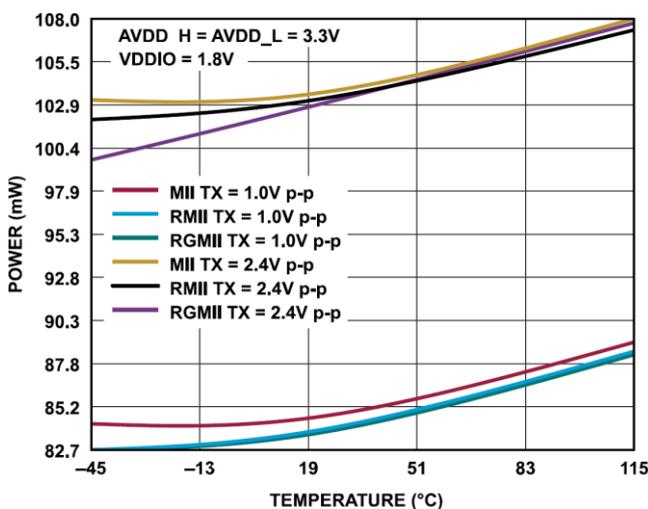


図 7. 消費電力と温度の関係、AVDD\_H = 3.3V、AVDD\_L = 3.3V、VDDIO = 1.8V、内部LDO回路、10BASE-T1Lモード

## 動作原理

ADIN1100は低消費電力で単一ポートの10BASE-T1LイーサネットPHYデバイスで、長距離伝送用の10Mbpsシングル・ペア・イーサネットに対するIEEE 802.3cgイーサネット規格に準拠しています。

ADIN1100は以下のような機能を備えています。

- ▶ アナログ回路が共通のPHYコア
- ▶ 入力および出力のクロック・バッファ処理
- ▶ サブシステムのレジスタ、クロック、ソフトウェア・リセットを制御するMDIOインターフェース
- ▶ MACインターフェース・コントロール・ロジック
- ▶ ハードウェア構成ピン
- ▶ 設定可能なハードウェア割込みピン
- ▶ 2個の設定可能なLEDピン

## 電源ドメイン

ADIN1100には4つの電源ドメインがあり、少なくとも1つの電源レールが必要です。

- ▶ AVDD\_Hは、ADIN1100のアナログ・フロント・エンド(AFE)回路用のアナログ電源入力です。
- ▶ AVDD\_Lは、内部LDO回路用のアナログ電源電圧です。AVDD\_Lは、単電源モードでAVDD\_Hレールに、また、低消費電力向けの両電源モードでは、より低電圧のレールに接続できます。
- ▶ DVDD\_1P1は1.1Vのデジタル・コア電源入力です。DLDO\_1P1ピンで使用可能な内部1.1V LDO出力で動作できます。あるいは、DVDD\_1P1を外部の1.1V電源で駆動して消費電力の低減を図ることもできます。
- ▶ VDDIOは、ADIN1100のMACインターフェース、MDIO、デジタル入出力(I/O)のためのデジタル電源入力です。これは、AVDD\_Lレールまたは外部の電源レールに直接接続できます。

システム・レベルのパワー・マネージメントのセクションでは、リファレンスとして使用できる様々なアプリケーション回路が説明されています。

### 単電源アプリケーション

単電源アプリケーションでは、AVDD\_HおよびAVDD\_LをVDDIOに接続し、ADIN1100内では内部1.1V LDO回路をDVDD\_1P1用に使用します。使用する適切な電源電圧は、最終アプリケーションとケーブル長によって異なります。単電源構成のセクションで推奨回路を示します。

### 長距離伝送アプリケーションおよび幹線/支線アプリケーション

1.0V p-p送信動作モードは、支線の使用事例に対応しており、1.8Vの低いAVDD\_H電源電圧で動作できます。このモードのADIN1100は本質安全アプリケーションに対応しています。

2.4Vp-pのより高い電圧の送信動作モードは、幹線アプリケーションに対応しており、3.3Vのより高いAVDD\_H電源電圧を必要とします。このモードは、ノイズ・レベルが高い産業用イーサネット環境において、長いケーブル長で使用できます。

## MACインターフェース

ADIN1100には、MII、RMII、またはRGMIIのMACインターフェース・オプションがあります。MACインターフェースの選択は、ハードウェア構成ピン(RX\_CLK/RXC/MACIF\_SEL0およびRX\_ER/MACIF\_SEL1)または管理インターフェース(MDIO)により行います。MACインターフェース選択用の2つのハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ADIN1100の設定を固定します。

デフォルト(ハードウェア構成ピンはフロート状態)では、MACインターフェースはRMIIモードに設定されます。ハードウェア構成ピンを用いたMACインターフェースの設定方法の詳細については、[MACインターフェースの選択](#)のセクションを参照してください。

サポートされるインターフェースは様々なクロック条件およびピン割り当て条件を持つため、ハードウェア構成ピンをMACインターフェースの選択用に用いることを推奨します。

### MIIインターフェース・モード

MII受信インターフェースの場合、ADIN1100は、RX\_CLKで2.5MHzのリファレンス・クロックを生成して、RXD\_3~RXD\_0の受信データ信号を同期させます。RX\_DVは、RXD\_3~RXD\_0の信号に有効なデータが存在することをMACに示します。RX\_ERは、MDIインターフェースで受信しMACインターフェースに送信中のフレームでエラーが検出された場合、ADIN1100によってハイに駆動されます。

MII送信インターフェースの場合、ADIN1100はTX\_CLKで2.5MHzのリファレンス・クロックを生成します。MACは、TX\_CLKと同期したTXD\_3~TXD\_0のデータを送信します。MACはTX\_ENをハイにアサートして、送信データがTXD\_3~TXD\_0の信号ラインで利用可能であることをADIN1100に示します。

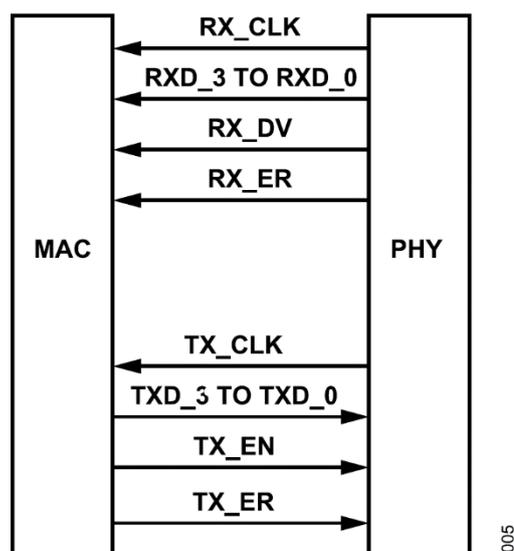


図 10. MIIのMAC-PHYインターフェース信号

## 動作原理

### RMIIインターフェース・モード

RMIIモードには外部の50MHzクロックが必要です。このクロックはMACチップまたはリファレンス・クロックから外部供給してADIN1100のXTAL\_I/CLK\_INピンに印加できます。50MHzのクロックは、送信および受信のどちらのインターフェースにも使用できます。

受信データ (RXD\_1~RXD\_0) は、リファレンス・クロック (REF\_CLK) に同期して遷移します。キャリア・センス/受信データ有効信号 (CRS\_DV) は、キャリア・センス信号とRX\_DV信号を組み合わせた信号であり、受信メディアがアイドルでないときにアサートされます。CRS\_DVはREF\_CLKに対して非同期的にアサートされ、同期的にアサート解除されます。

RX\_ERもリファレンス・クロック信号 (REF\_CLK) に同期し、受信フレームでエラーが検出されたとき、または偽キャリアが検出されたときにアサートされます。偽キャリアによるRX\_ERのアサートは、ソフトウェアで無効にできます。

必要な50MHzのクロックが使用できることを確認するまでは、ソフトウェアでMACインターフェースをRMIIに設定しないでください。RMIIインターフェースのパラメータの詳細は、[MACインターフェース設定レジスタ](#)のセクションを参照してください。

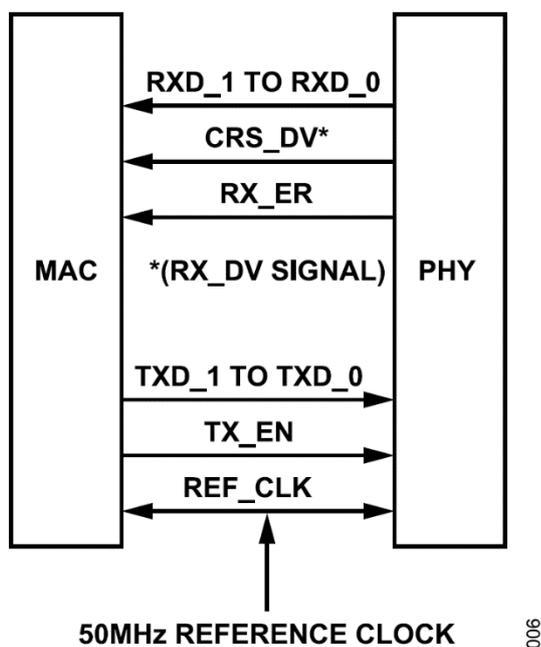


図 11. RMIIのMAC-PHYインターフェース信号

### RGMIIインターフェース・モード

RGMII受信インターフェースの場合、ADIN1100は、2.5MHzのRXC信号を生成して、RXD\_3~RXD\_0を同期させます。RX\_CTLは、RX\_DV信号とRX\_ER信号を組み合わせた信号であり (表8を参照)、RXC信号の両方のエッジを使用します。ADIN1100は、RXCの立上がりエッジでRX\_DV信号を送信し、RXCの立下がりエッジでRX\_DVとRX\_ERを組み合わせた信号 (XOR関数) を送信します。

RGMII送信インターフェースの場合、ADIN1100はTX\_CLKで2.5MHzのリファレンス・クロックを生成します。MACは、TXD\_3~TXD\_0のデータをTXCの両方のエッジで送信します。

TX\_CTLは、TX\_ENとTX\_ERを組み合わせた信号で、TXCの両方のエッジを使用します。TX\_ENはTXCの立上がりエッジで送信され、TX\_ENとTX\_ERを組み合わせた信号 (XOR関数) はTXCの立下がりエッジで送信されます。

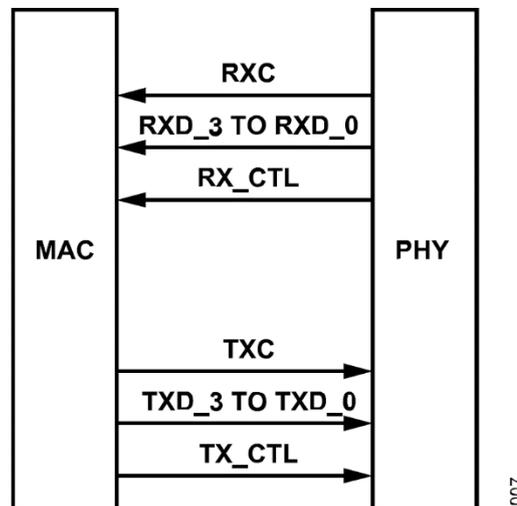


図 12. RGMIIのMAC-PHYインターフェース信号

### 送信振幅の設定

ADIN1100は、次の2つの送信振幅の動作モードに対応しています。

- ▶ 1.0V p-pおよび2.4V p-pのモード (ハイ・レベル)
- ▶ 1.0V p-pのみのモード

ハイ・レベルの送信動作モードを使用すると、ADIN1100は両方の電圧レベルに対応できます。したがって、動作レベルは、リンク・パートナーの機能に基づき、オートネゴシエーション (イーネブルの場合) の間に自動的に設定されます。

動作モードは、TX2P4\_ENのハードウェア構成ピンの信号で設定されます (送信振幅のセクションを参照) また、ADIN1100は、オートネゴシエーション・プロセスに使用される送信レベル・レジスタ・ビットのデフォルト値を、RX\_D0/TX2P4\_ENピンで設定されたレベルに基づき設定します (送信振幅のアダプタイズメントのセクションを参照)。

ADIN1100は、RX\_D0/TX2P4\_ENピンが開放 (内部プルダウン抵抗) のままの場合、ハイ・レベル送信動作モードになるようデフォルト設定されています。

### マスタ/スレーブ設定

10BASE-T1L規格では、マスタ/スレーブ・クロック・スキームを使用します。このスキームは、一般的にエコー・キャンセル付きの全二重トランシーバー規格で使用されています。1つのPHYがマスタに指定され、他方のPHYがスレーブに指定されます。どちらのPHYがマスタでどちらのPHYがスレーブになるかは、オートネゴシエーションで決まります。マスタとスレーブの割り当ては一般的には重要ではありません。

## 動作原理

### ハードウェア構成

ADIN1100はRXD<sub>1</sub>/MS\_SELハードウェア構成ピンを介してスレーブ優先またはマスタ優先となるよう設定できます。スレーブ優先またはマスタ優先を選択することを推奨します（**マスタ/スレーブの優先度**のセクションを参照）。オートネゴシエーションがディスエーブルされている場合、MS\_SELハードウェア構成ピンがデフォルトのマスタ/スレーブ選択を設定します。ADIN1100は、このピンが開放（内部プルダウン抵抗）のままの場合、スレーブ優先になるようデフォルト設定されています。

### ソフトウェア設定

マスタおよびスレーブ設定ビット（CFG\_MST）は、MS\_SELハードウェア構成ピンの信号レベルに応じて、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に自動的に更新されます。このビットは、オートネゴシエーションがディスエーブルされている場合のみ使用します。それ以外の場合は、このビットはオートネゴシエーション・プロセスの間にセットまたはリセットされます（**オートネゴシエーション**のセクションを参照）。

### オートネゴシエーション

ADIN1100は、IEEE 802.3の条項98に準拠したオートネゴシエーション機能を使用しており、ローカル・デバイスとリンク・パートナーが共通の動作モードに合意できるようにするための、情報交換メカニズムを提供しています。1本のツイスト・ペアによるオートネゴシエーションは、ローカル・デバイスとそのリンク・パートナー間で交換される、差動マンチェスター符号化（DME）ページを使用して実行されます。ハイ・レベルの場合、オートネゴシエーションでは次の機能が可能です。

- ▶ 送信
- ▶ 受信
- ▶ 半二重
- ▶ アービトレーション

オートネゴシエーション・プロセス中、ローカル・デバイスは自身の機能をアドバタイズし、リンク・パートナーから受信した機能と比較します。アービトレーション・メカニズムは、送信振幅モードとマスタ/スレーブの選択がリンク先デバイスのために設定されるように、選択される動作モードを定義します。

リンクが切断された場合、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、オートネゴシエーション・コントロール・レジスタ（AN\_CONTROL）のオートネゴシエーション再起動ビット（AN\_RESTART）に書き込むことでも要求できます。

オートネゴシエーション・プロセスは、交換されるページの数に応じて、完了するまでに時間がかかりますが、リンクを確立することが常に最も早い方法です。IEEE 802.3規格の条項98には、オートネゴシエーションに関連したシーケンス・タイマとDMEページのタイミングについて詳細が記載されています。

ADIN1100ではオートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。

### 送信振幅のアドバタイズメント

#### 高電圧送信アビリティのアドバタイズメント

B10L\_TX\_LVL\_HI\_ABLEビットは、オートネゴシエーション・アドバタイズメント・パラメータのデフォルト値を設定します。このビットは読み出し専用で、**送信振幅**のセクションで説明するように、TX2P4\_ENハードウェア構成ピンの信号に基づいて設定されます。送信振幅アドバタイズメント・パラメータは次のビットで定義されます。

- ▶ AN\_ADV\_B10L\_TX\_LVL\_HI\_ABL：10BASE-T1Lハイ・レベル送信動作モード・アビリティのアドバタイズメント・ビット
- ▶ AN\_ADV\_B10L\_TX\_LVL\_HI\_REQ：10BASE-T1Lハイ・レベル送信動作モード・リクエストのアドバタイズメント・ビット
- ▶ B10L\_TX\_LVL\_HI：10BASE-T1L送信電圧振幅制御ビット。

表 9. AN\_ADV\_B10L\_TX\_LVL\_HI\_ABLの設定

Bit Setting	Description
0	Support 1.0 V p-p transmit level only
1	Support both 1.0 V p-p and 2.4 V p-p transmit level

表 10. AN\_ADV\_B10L\_TX\_LVL\_HI\_REQの設定

Bit Setting	Description
0	Request 1.0 V p-p transmit level
1	Request 2.4 V p-p transmit level

#### 高電圧送信レベル・リクエストのアドバタイズメント

ADIN1100は、10BASE-T1Lハイ・レベル送信動作モード・アビリティ・アドバタイズメント・ビット

（AN\_ADV\_B10L\_TX\_LVL\_HI\_ABL）を用いて、2.4V p-pの送信レベル要求をアドバタイズするよう設定できます。2.4V p-p送信レベルのイネーブルは、TX2P4\_ENハードウェア構成ピン信号を使用し高電圧リクエスト・アドバタイズメントをイネーブルすることで行う必要があることに注意してください。

#### リンク・パートナー送信レベル・アドバタイズメント

リンク・パートナーからアドバタイズされたハイ・レベル送信の情報は、次のビットを使用して読み出せます。

AN\_LP\_ADV\_B10L\_TX\_LVL\_HI\_ABL：リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・アビリティ。

AN\_LP\_ADV\_B10L\_TX\_LVL\_HI\_REQ：リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・リクエスト。

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット

（AN\_COMPLETE）がセットされると有効になります。

## 動作原理

### 送信振幅の決定

#### 概要

オートネゴシエーションは、以下の機能に対応し、ローカル・ノードとそのリンク・パートナーの間で使用する送信振幅を定義します。

- ▶ ローカル・ノードから高電圧送信アビリティをアドバタイズする
- ▶ ローカル・ノードから高電圧送信レベルの使用をリクエストする
- ▶ リンク・パートナーの送信レベル・アビリティと送信レベル・リクエストを読み出す
- ▶ オートネゴシエーションと送信レベル動作モードを選択する

ADIN1100が高電圧モードに設定されている場合、オートネゴシエーション・プロセスは、リンク・パートナーの能力に応じて使用するレベルを決定します。

### 送信レベルの切り分けの決定

10BASE-T1Lリンクでは、ローカルまたはリモートのPHYがハイ・レベル（2.4V p-p）送信動作モードに対応できないことをアドバタイズする場合、または、ローカルPHYとリモートPHYのどちらもハイ・レベル（2.4V p-p）送信動作モードのリクエストをアドバタイズしない場合、1.0V p-pの送信レベルでの動作になります。

ローカルおよびリモートのどちらのPHYもハイ・レベル（2.4V p-p）送信動作モードで送信できることをアドバタイズしている場

合で、かつ、ローカルまたはリモートのPHYがハイ・レベル（2.4V p-p）送信動作モードのリクエストをアドバタイズしている場合、2.4V p-pの送信レベルでの動作になります。

したがって、デバイスが1.0V p-pの送信レベルで動作しなくてはならない場合、PHYによってこれを確実に実行できます。しかし、リクエストできるのは2.4V p-p送信レベルのみです。

### ソフトウェア設定

ADIN1100の送信レベルは、以下に示す10BASE-T1Lオートネゴシエーション・アドバタイズメント・ビットを使用して、ソフトウェアで設定することもできます。

- ▶ AN\_ADV\_B10L\_TX\_LVL\_HI\_ABL：ハイ・レベル送信動作モード・アビリティ・ビット
- ▶ AN\_ADV\_B10L\_TX\_LVL\_HI\_REQ：ハイ・レベル送信動作モード・リクエスト・レジスタ・ビット

ソフトウェアを通じてこの2つのオートネゴシエーション・アドバタイズメント・ビットを設定するには、TX2P4\_ENハードウェア構成ピン信号を使用し、高い方の送信レベルをイネーブルする必要があります。詳細については、[送信振幅](#)のセクションを参照してください。

1.0V p-p送信レベル動作でのみPHYを動作させる必要がある場合は、AN\_ADV\_B10L\_TX\_LVL\_HI\_ABLビットをクリアし、2.4V p-p送信レベル動作がアドバタイズされないようにします。この場合、オートネゴシエーションの結果は、リモートのPHYがアドバタイズする設定にかかわらず、1.0V p-p送信レベル動作のみになります。

表 11. オートネゴシエーションによる送信レベルの決定

AN_LP_ADV_B10L_TX_LVL_HI_ABL	AN_LP_ADV_B10L_TX_LVL_HI_REQ	AN_ADV_B10L_TX_LVL_HI_ABL	AN_ADV_B10L_TX_LVL_HI_REQ	Transmit Level
0	X <sup>1</sup>	0	X <sup>1</sup>	1.0 V p-p
1	X <sup>1</sup>	0	X <sup>1</sup>	1.0 V p-p
0	X <sup>1</sup>	1	X <sup>1</sup>	1.0 V p-p
1	0	1	0	1.0 V p-p
1	0	1	1	2.4 V p-p
1	1	1	0	2.4 V p-p
1	1	1	1	2.4 V p-p

<sup>1</sup> Xは、ドント・ケアを意味します。

## 動作原理

### マスタ/スレーブ・アドバタイズメント

10BASE-T1Lリンクでは、ローカル・ノードとそのリモート・リンク・パートナーは、それらがマスタ、スレーブ、優先マスタ、優先スレーブのどれで動作できるか、その役割機能をアドバタイズします。

ADIN1100のPHYは次の機能を備えています。

- ▶ マスタ/スレーブ設定アドバタイズメント
- ▶ 強制マスタ/スレーブ設定アドバタイズメント
- ▶ リンク・パートナーのマスタ/スレーブ設定の読出し

### マスタ/スレーブ設定アドバタイズメント

マスタ/スレーブ設定レジスタ・ビット (AN\_ADV\_MST) を用いると、マスタ/スレーブ設定をアドバタイズするようPHYを設定できます。このビットは、MS\_SEL設定ピンの信号ステータスに応じて、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に設定され、MDIOインターフェースを介してソフトウェアでオーバーライドできる点に注意してください。

### 強制マスタ/スレーブ設定アドバタイズメント

ADIN1100 PHYは、強制的にマスタ/スレーブとして動作させることができます。強制設定を使用する場合は注意が必要です。リンク・パートナーも強制モードでマスタ/スレーブに設定されている場合、設定フォルトが発生し、オートネゴシエーションが失敗する可能性があるためです。ADIN1100を強制的にマスタまたはスレーブとして動作させるには、BASE-T1オートネゴシエーション・アドバタイズメント・レジスタのビット[15:0]

(AN\_ADV\_ABILITY\_L) の強制マスタ/スレーブ設定・ビット (AN\_ADV\_FORCE\_MS) を使用します。

表 12. オートネゴシエーションによるマスタ/スレーブの決定

Local <sup>1</sup>		Remote <sup>1</sup>		Local	Remote
AN_ADV_FORCE_MS	AN_ADV_MST	AN_LP_ADV_FORCE_MS	AN_LP_ADV_MST	Master/Slave Resolution	
0	0	0	0	Master/slave	Slave/master
0	0	0	1	Slave	Master
0	1	0	0	Master	Slave
0	1	0	1	Master/slave	Slave/master
0	X	1	0	Master	Slave
0	X	1	1	Slave	Master
1	0	0	X	Slave	Master
1	1	0	X	Master	Slave
1	0	1	0	Configuration fault	Configuration fault
1	0	1	1	Slave	Master
1	1	1	0	Master	Slave
1	1	1	1	Configuration fault	Configuration fault

<sup>1</sup> Xは、ドント・ケアを意味します。

### リンク・パートナーのマスタ/スレーブ設定の読出し

リンク・パートナーがアドバタイズするマスタ/スレーブ設定は、次のビットを使用して読み出せます。

- ▶ AN\_LP\_ADV\_FORCE\_MS : リンク・パートナー強制マスタ/スレーブ設定レジスタ・ビット
- ▶ AN\_LP\_ADV\_MST : リンク・パートナー・マスタ/スレーブ設定レジスタ・ビット

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN\_COMPLETE) がセットされると有効になります。

### マスタ/スレーブの切り分け

#### マスタ/スレーブ設定の決定

10BASE-T1Lリンクでは、ローカルPHYとリモートPHYの優先設定が同じ場合（例えば両方ともスレーブ、あるいは両方ともマスタ）、オートネゴシエーションは互換性のある設定をローカルPHYとリモートPHYにランダムに割り当てます。あるPHYが強制設定の場合、そのPHYのマスタ/スレーブ設定には優先設定のあるPHYよりも高い優先度が与えられます。

#### マスタ/スレーブ設定の判断

オートネゴシエーションで定義されたADIN1100のマスタ/スレーブ設定は、マスタ/スレーブ判断結果レジスタ・ビット

(AN\_MS\_CONFIG\_RSLTN) を用いて読み出すことができます。

これらのビットは、PHYの設定がマスタかスレーブか、または、設定フォルトがあるかどうか、を指示します。

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット

(AN\_COMPLETE) がセットされると有効になります。

## 動作原理

### オートネゴシエーションの失敗

10BASE-T1Lリンクでは、以下に示すような状況でオートネゴシエーションが失敗する可能性があります。

- ▶ 無効なマスタ/スレーブ設定などの設定フォルト
- ▶ リンク品質の問題
- ▶ ページ送信のタイムアウト

オートネゴシエーションが失敗した場合、オートネゴシエーション・プロセスが再開され完了するまでリンクはダウンしたままになります。

### 管理インターフェース

MII管理インターフェースは、ホスト・コントローラまたは外部MACチップとADIN1100の間に2線式シリアル・インターフェースを提供し、サブシステムの管理レジスタとPHYコアの管理レジスタにある制御情報およびステータス情報へのアクセスを可能にします。

MII管理インターフェースは、次の要素で構成されます。

- ▶ MDC：クロック・ライン
- ▶ MDIO：双方向データ・ライン
- ▶ PHYAD\_0、PHYAD\_1、PHYAD\_2：PHYのアドレス選択
- ▶  $\overline{\text{INT}}$ ：設定可能な管理割込み

このインターフェースは、IEEE 802.3規格の条項22と条項45の両方の管理フレーム構造に準拠しています（[MDIOインターフェースのセクション](#)を参照）。

### MDIインターフェース

MDIは、ツイスト・ワイヤー・ペアを介してADIN1100をイーサネット・ネットワークに接続します。

ADIN1100では、TXN/TXPピンおよびRXN/RXPピンと10BASE-T1Lツイスト・ワイヤー・ペアの間に外部ハイブリッド回路が必要です。ハイブリッドのこの機能は、ローカルの送信信号をケーブル上で結合した信号から除去することです。これにより、10BASE-T1Lツイスト・ワイヤー・ペアでの全二重動作が可能になります。

推奨する回路構成とコンポーネントを用いた回路例を[図13](#)に示します。これらのコンポーネントのサイズ、消費電力、電圧定格は、他のシステム条件、例えば本質安全の条件のコンテキストで検討してください。

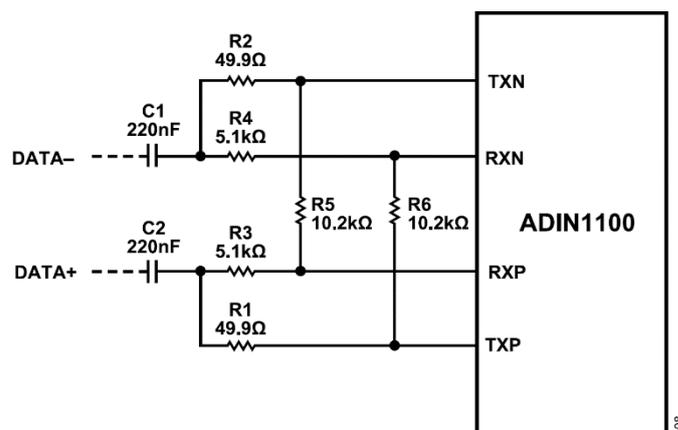


図 13. ADIN1100の推奨ハイブリッド

### ハードウェア割込み ( $\overline{\text{INT}}$ )

ADIN1100は、 $\overline{\text{INT}}$ ピンを使用して、ホスト・コントローラまたは外部MACチップへのハードウェア割込みを生成できます。

#### PHYステータス割込み

以下の条件を選択して、割込みを生成できます。

- ▶ MACインターフェースのフレーム・チェック/ジェネレータ割込み
- ▶ MACインターフェースのバッファ・オーバーフロー/アンダーフロー割込み
- ▶ オートネゴシエーションのステータス変化割込み
- ▶ リンク・ステータスの変化割込み

これらの条件は、PHY\_SUBSYS\_IRQ\_MASK ([PHYサブシステム割込みマスク・レジスタのセクション](#)を参照) を用いて $\overline{\text{INT}}$ ピンに割込みをイネーブルするようセットできます。

$\overline{\text{INT}}$ ピンでのハードウェア割込みに続き、PHY\_SUBSYS\_IRQ\_STATUS ([PHYサブシステム割込みステータス・レジスタのセクション](#)を参照) を使用して割込みソースを確認できます。

#### ハードウェア・リセット割込み

ADIN1100は、CRSM\_IRQ\_MASK ([システム割込みマスク・レジスタのセクション](#)を参照) のハードウェア・リセット割込みイネーブル・ビット (CRSM\_HRD\_RST\_IRQ\_EN) をセットすることで、ハードウェア・リセット ( $\overline{\text{RESET}}$ ピンをローにプルダウン) 後にハードウェア割込みを生成するよう設定できます。

$\overline{\text{INT}}$ ピンでのハードウェア割込みに続き、CRSM\_IRQ\_STATUS ([システム割込みステータス・レジスタのセクション](#)を参照) のCRSM\_HRD\_RST\_IRQ\_LHビットを使用して割込みソースを確認できます。

#### ソフトウェア・リクエストによる割込み

外部ホスト・コントローラによるシステム検証のために、 $\overline{\text{INT}}$ ピンにハードウェア割込みを生成するよう、CRSM\_IRQ\_MASK ([システム割込みマスク・レジスタのセクション](#)を参照) のCRSM\_SW\_IRQ\_REQビットを使用して、ADIN1100にリクエストできます。

## 動作原理

$\overline{\text{INT}}$ ピンでのハードウェア割込みに続き、CRSM\_IRQ\_STATUS (システム割込みステータス・レジスタのセクションを参照) のCRSM\_SW\_IRQ\_LHビットを使用して割込みソースを確認できます。

### システム・エラー割込み

ADIN1100は、システム・エラー割込みも生成できます。割込みフラグは、CRSM\_IRQ\_STATUS (システム割込みステータス・レジスタのセクションを参照) の予備ビット・セクション内にあります。

CRSM\_IRQ\_MASK (システム割込みマスク・レジスタのセクションを参照) は、システム・エラー割込みを許可するよう設定する必要があります。

割込みマスクの詳細については表94を参照してください。システム・エラー割込み (CRSM\_IRQ\_STATUSの予備ビットの読出し値が1) から回復するためには、ADIN1100をハードウェア・リセットする必要があります。

### リセット動作

#### 概要

ADIN1100は、次のチップ・リセットをサポートしています：

- ▶ パワーオン・リセット
- ▶ ハードウェア・リセット
- ▶ ソフトウェア・リセット
- ▶ MACインターフェース・リセット
- ▶ PHYサブシステム・リセット

これらのリセットはすべて、PHYコアを含むADIN1100を既知の状態にします。PHYコアがリセットされると必ず、ADIN1100のMACインターフェース出力ピンは低電圧レベル状態に駆動されます。

#### パワーオン・リセット

ADIN1100には電源モニタリング回路があり、チップがパワーアップ・シーケンスに入る前に電圧源が適切であることを確認できます。パワーアップ時、ADIN1100は各電源が最小の立上がり閾値を超え電源が良好であると判断されるまで、ハードウェア・リセット状態に保持されます。

#### ハードウェア・リセット

ハードウェア・リセットは、パワーオン・リセット回路によって開始されるか、 $\overline{\text{RESET}}$ ピンが最低10 $\mu\text{s}$ の間ローにアサートされることで開始されます。ADIN1100ではこのピンにデグリッチ回路が含まれており、1 $\mu\text{s}$ より短いパルスを除去します。

$\overline{\text{RESET}}$ ピンがアサート解除されると、すべての入出力 (I/O) ピンがトライステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/Oピンはそれぞれの機能モードに設定されます。すべての外部および内部電源が有効かつ安定な場合、水晶発振器回路がイネーブルされます。水晶発振器が起動し安定すると、フェーズ・ロック・ループ (PLL) がイネーブルされます。 $\overline{\text{RESET}}$ ピンがアサート解除されてから50ms (最大) の遅延後、すべての内部クロックが有効になり、内部ロジックはリセットからリリースされ、すべての管理インターフェース・レジスタはMDIOインターフェースを介してアクセス可能となります。

CLK25\_REFクロック出力は、 $\overline{\text{RESET}}$ ピンがローにアサートされている間ローを維持し、 $\overline{\text{RESET}}$ ピンのアサート解除後更に70ms間 (最大) ローのままになります。

#### ソフトウェア・リセット

フル・チップ・ソフトウェア・リセットは、ソフトウェア・リセット・ビット (CRSM\_SFT\_RST) をセットすることで開始されます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。ただし、電圧源の検証シーケンスを行わない点が異なります。I/Oピンはトライステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/Oピンはそれぞれの機能モードに設定されます。水晶発振器回路がイネーブルになり、水晶発振器が起動して安定するとPLLがイネーブルされます。CRSM\_SFT\_RSTビットのセット後約10ms (最大) 経過すると、内部ロジックがリセットからリリースされ、すべての管理インターフェース・レジスタがアクセス可能になります。システム・レディ・ビット (CRSM\_SYS\_RDY) は、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを指示します。

CLK25\_REFクロック出力は、ソフトウェア・リセット後25ms間 (最大) ローのままになります。

#### PHYサブシステム・リセット

ADIN1100のPHYサブシステムのリセットは、PHYサブシステム・リセット・レジスタ・ビット (CRSM\_PHY\_SUBSYS\_RST) を1にセットすることで開始されます。

リセットは通常1.2 $\mu\text{s}$ の間適用され、その後、このリセット・ビットは自動クリアされます。PHYのデジタル回路がすべてリセットされ、使用可能なアクティブなリンクがすべて切断されます。PHYサブシステム・リセットによって管理レジスタの値が変化することはなく、管理レジスタにはシーケンスを通じてアクセスできます。サブシステム・リセットは短時間のリセットで、内部レジスタの内容を保持しながらデバイスを既知の状態にする場合に使用できます。

#### MACインターフェース・リセット

ADIN1100のMACインターフェースのリセットは、PHY MACインターフェース・リセット・レジスタ・ビット (CRSM\_MAC\_IF\_RST) を1にセットすることで開始されます。リセットは通常1.2 $\mu\text{s}$ の間適用され、その後、このリセット・ビットは自動クリアされます。リセット・シーケンスはADIN1100のMACインターフェースに対し行われますが、使用可能なアクティブなリンクが切断されることはありません。このリセットは、MACインターフェースでの任意のケット送信またはケット受信を中断しますが、既存のアクティブなリンクを切断したり、リンクの確立を妨げたりするようなことはありません。MACインターフェース・リセットによって管理レジスタの値が変化することはなく、管理レジスタにはシーケンスを通じてアクセスできます。

## 動作原理

### ステータスLED

#### 概要

LED\_0ピンおよびLED\_1ピンはADIN1100でのみ使用可能で、外部LEDを接続してADIN1100のリンク・ステータスや送受信アクティビティを示すために使用できます。各LEDに割り当てられるアクティビティは、LED\_CNTRLで設定可能です（[LEDコントロール・レジスタ](#)のセクションを参照）。

LEDピンは、超低消費電力のLEDに適しています。LED\_0ピンとLED\_1ピンの最大出力電流は、VDDIO = 3.3Vの場合8mAです。これより大きなLED出力が必要な場合は、[トランジスタ制御LED](#)のセクションに示すように、外部トランジスタを使用することを推奨します。

LED\_xピンは、ホスト・マイクロコントローラのGPIO（パルス幅変調入力またはハードウェア割込みとして設定）にも接続できます。この設定は、ユーザ・インターフェースをすべて外部ホスト・コントローラによって処理する必要があるアプリケーションで有用です（例えば外部LEDモジュールやディスプレイ）。

LED\_0ピンおよびLED\_1ピンをホスト・コントローラに直接接続する場合は、ADIN1100のLED\_xピンとホスト・コントローラの間値の小さな抵抗を直列に配置して、電流サージが発生しないようにします。この抵抗値は、ホスト・コントローラの能力と表1に示すADIN1100のLED\_xピン出力電流機能に基づいて決める必要があります。

#### LEDピンのマルチプレクス

LED\_1ピンに対してのみ、ピンでLED\_1信号をイネーブルするように内部マルチプレクサを設定する必要があります。LED\_1はデフォルトではディスエーブルされており、DIGIO\_LED1\_PINMUXビットを使用してイネーブルできます（[ピン・マルチプレクサ設定1レジスタ](#)のセクションを参照）。

LED\_0ピンはマルチプレクスする必要はありません。

#### LED極性

LED\_0ピンとLED\_1ピンは、LED極性モード機能を使用して、様々なLED回路の極性に対応するよう設定できます（[LED極性レ](#)

[ジスタ](#)のセクションを参照）。LEDごとに次の3つの極性モードが使用できます。

- ▶ オートセンス（デフォルト）
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

オートセンス・モードの場合、ADIN1100はパワーアップ時またはリセット時にピンを自動的に検出し、適切な極性設定を選択します。

アクティブ・ハイ・モードの場合、ADIN1100はアノード側からLEDを駆動するよう設定されます。

アクティブ・ロー・モードの場合、ADIN1100はカソード側からLEDを駆動するよう設定されます。

回路例については、[LED回路例](#)のセクションで説明します。

#### LED機能

LED\_0およびLED\_1は、LED機能という特徴を利用し、ADIN1100の様々なアクティビティを表示するよう設定できます。LED機能は、LED0\_FUNCTIONビットおよびLED1\_FUNCTIONビットを使用して設定できます（[LEDコントロール・レジスタ](#)のセクションを参照）。

LEDx\_FUNCTIONの7、8、9、10（10進数）のビット設定値は、LEDモード2では使用できません。

#### LEDモード

LED\_0およびLED\_1のアクティビティ動作は、次の2つのLEDモードを使用して設定できます。

- ▶ LEDモード1：点滅のデューティ・サイクルは、LED0\_BLINK\_TIME\_CNTRL（[LED\\_0オン／オフ点滅時間レジスタ](#)のセクションを参照）を使用して定義されます。
- ▶ LEDモード2：点滅のデューティ・サイクルは、アクティビティ・レベル（%）に基づきADIN1100によって自動的に定義されます。

#### LED\_xピンの設定の概要

LED\_xピンの設定オプションについては表13を参照してください。

表 13. LED\_xピンの設定の概要

Parameter	LED_0	LED_1
Pin Number	3	6 (ADIN1100 only)
Internal Pull-Up or Pull-Down Resistor	Pull-up	Pull-down
Status at Power-Up or Reset	Enabled	Disabled (via pin mux)
LED Pin Mux	Not applicable	DIGIO_LED1_PINMUX bits (see the <a href="#">Pin Mux Configuration 1 Register</a> section)
Enable LED	LED0_EN bit (see the <a href="#">LED Control Register</a> section)	LED1_EN bit (see the <a href="#">LED Control Register</a> section)
LED Polarity	LED0_POLARITY bits (see the <a href="#">LED Polarity Register</a> section)	LED1_POLARITY bits (see the <a href="#">LED Polarity Register</a> section)
LED Mode	LED0_MODE bit (see the <a href="#">LED Control Register</a> section), default: LED Mode 1	LED1_MODE bit (see the <a href="#">LED Control Register</a> section), default: LED Mode 1

## 動作原理

表13. LED\_xピンの設定の概要（続き）

Parameter	LED_0	LED_1
LED Function <sup>1</sup>	LED0_FUNCTION bits (see the <a href="#">LED Control Register</a> section), default: LINKUP_TXRX_ACTIVITY	LED1_FUNCTION bits (see the <a href="#">LED Control Register</a> ), default: TXRX_ACTIVITY
LED Blink Rate	LED0_BLINK_TIME_CNTRL (see the <a href="#">LED_0 On/Off Blink Time Register</a> section)	LED1_BLINK_TIME_CNTRL (see the <a href="#">LED_1 On/Off Blink Time Register</a> section)
Maximum Current <sup>2</sup>	8 mA at 3.3 V	8 mA at 3.3 V

<sup>1</sup> LEDx\_FUNCTIONビットの7、8、9、10（10進数）の設定値はLEDモード2では使用できません。

<sup>2</sup> 詳細については、[表1](#)を参照してください。

## 動作原理

### リンク・ステータス・ピン

#### 概要

リンク・ステータス・ピン (LINK\_ST/PHYAD\_2) は、リンク・ステータス・ビット (AN\_LINK\_STATUS) がアサートされた場合にハイにアサートされ、ADIN1100とそのリンク・パートナーの間のリンクがアクティブになったことを示します。

LINK\_ST/PHYAD\_2ピンは弱プルダウン抵抗を内蔵しています。また、このピンは、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時に、ハードウェア構成ピン信号 (PHYAD\_2) として使用することもできます。

#### 代表的な使用例

リンク・ステータス・ピンは、外部LEDを接続するために使用できます。あるいは、ホスト・マイクロコントローラのGPIO (パルス幅変調入力またはハードウェア割込みとして設定) に接続することもできます。

デフォルトでは、LINK\_ST信号はアクティブ・ハイで、リンク・ステータス極性ビット (DGIO\_LINK\_ST\_POLARITY) を用いてアクティブ・ハイまたはアクティブ・ローに設定できます。ピン・マルチプレクサ設定1レジスタのセクションを参照してください。

リンク・ステータス・ピンは、電流ソースとして使用することは意図されていません。このピンでLEDにインターフェースする場合は、トランジスタ制御LEDのセクションの回路推奨事項を参照してください。リンク・ステータス・ピンをホスト・コントローラに直接接続する場合は、ADIN1100のリンク・ステータス・ピンとホスト・コントローラの間に値の小さな抵抗を直列に配置して、電流サージが発生しないようにします。抵抗値は、ホスト・コントローラの能力に応じて定める必要があります。

### パワーダウン・モード

ADIN1100は次の2種類のパワーダウン・モードに対応しています。

- ▶ ハードウェア・パワーダウン
- ▶ ソフトウェア・パワーダウン

#### ハードウェア・パワーダウン・モード

ハードウェア・パワーダウン・モードは、ADIN1100の動作が不要で、消費電力を最小化する必要がある場合に使用できます。

**RESET**ピンがアサートされ、ローに保持されると、デバイスはハードウェア・パワーダウン・モードに入ります。このモードでは、すべてのアナログ回路とデジタル回路がディスエーブルされ、クロックはゲート・オフされ、すべてのI/Oピンがトライステート・モードに保持されます。

このモードでは、ADIN1100の消費電力は、内部リーク電流に等しくなります。また、このモードでは、内部レジスタにはアクセスできません。

#### ソフトウェア・パワーダウン・モード

ソフトウェア・パワーダウン・モードは、リンクを確立する前にADIN1100のレジスタを設定するために使用できます。このモードでは、アナログ回路とデジタル回路は低消費電力状態になりますが、PLLはアクティブで、出力クロックを供給するようにも設定できます。MDIピン (TXP、TXN、RXP、RXN) に生じた信号は無視され、アクティブなリンクは切断されます。MACインターフェース出力ピンはローにアサートされ、内部レジスタにはMDIOインターフェースを介してアクセスできます。

デバイスは、**SWPD\_EN**ハードウェア構成ピン信号を使用して、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に自動的にソフトウェア・パワーダウン・モードになるよう設定できます。また、ADIN1100には、ソフトウェア・パワーダウン・ビット (CRSM\_SFT\_PD) をセットすることで、ソフトウェア・パワーダウン・モードになるよう命令を送ることもできます。

ソフトウェア・パワーダウン・ステータス・ビット

(CRSM\_SFT\_PD\_RDY) は、デバイスがソフトウェア・パワーダウン・モードにあることを示します。

CRSM\_SFT\_PDビットをクリアすると、ADIN1100はソフトウェア・パワーダウン・モードを終了します。ソフトウェア・パワーダウンの終了後、オートネゴシエーションが完了している場合、デバイスはリンクを確立しようとします。

## ハードウェア構成ピン

### 概要

ADIN1100は、ハードウェア構成ピンを使用して、マネージド構成またはアンマネージド構成で動作できます。

ハードウェア構成ピンは、代替のブートストラップ機能を備えた標準的なピンです。ADIN1100は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、直ちにハードウェア構成ピンのレベルを読み出し、それに対応してPHY設定を構成します。ADIN1100がアクティブな場合、直ちにリンクの確立を試行します。リンクの確立後、ハードウェア構成ピンはメインのピン機能で使用できます。これらのピンは、アンマネージド構成またはマネージド構成で使用できます。

アンマネージド構成とは、ADIN1100がスタンダアロン・モードで動作することを意味します。このモードは、システムが、ソフトウェア制御や外部ホスト・コントローラを必要とせずにADIN1100の静的な設定をする必要がある場合に使用できます。

マネージド構成とは、マイクロコントローラなどの外部ホストを使用して、MDIOを介してソフトウェアによりADIN1100の制御や管理を行うことを意味します。ハードウェア構成ピンは、外部ホストに接続することも、プルアップ/プルダウン抵抗を使ってハードウェア設定することもできます。ホスト・コントローラがアクティブな場合、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ホスト・コントローラは、ハードウェア・ピンで設定されたADIN1100のハードウェア構成をオーバーライドできます。

### アンマネージド・アプリケーション

アンマネージド・アプリケーションでは、ソフトウェアを介入させることなく、ハードウェア構成ピンを使用してADIN1100の必要な動作を構成できます。ハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、対応する管理レジスタのデフォルト値を設定します。

アンマネージド・アプリケーションでは、リセット後のソフトウェア・パワーダウンはディスエーブルする必要があります。そうしないと、ADIN1100は無限にパワーダウンのままになります。デバイスがパワーダウン・モードを終了するには、管理インターフェースを介してレジスタを操作するしかありません（ソフトウェア・パワーダウン・モードのセクションを参照）。

### マネージド・アプリケーション

マネージド・アプリケーションの場合、ADIN1100は管理インターフェースを介してホスト・コントローラから設定できます。ホスト・コントローラは、アプリケーションの要求に応じてデバイスを動的に設定できます。

マネージド・アプリケーションでは、リセット機能後のソフトウェア・パワーダウンをイネーブルできます。ホスト・コントローラが管理インターフェースを使用してADIN1100をアクティブ・モードにするためです。

### ハードウェア構成ピンの機能

#### 概要

ADIN1100のハードウェア構成ピンで以下の機能を設定できます。

- ▶ PHYアドレス

- ▶ リセット後のソフトウェア・パワーダウン・モード
- ▶ 送信振幅の設定
- ▶ マスタ/スレーブの選択
- ▶ MACインターフェースの選択（RGMII/RMII/MII）
- ▶ メディア・コンバータの動作

すべてのハードウェア構成ピンには、内部プルダウン抵抗があります。デフォルトの動作モードを表14に示します。代替動作モードが必要な場合の外部ピンの推奨制御については、表15を参照してください。

表 14. デフォルトのハードウェア構成モード

Hardware Configuration Pin Function	Default Mode (Pin Floating)
PHY Address	0x0
Software Power-Down Mode After Reset	Enabled
Master/Slave Selection	Prefer slave
Transmit Amplitude	1.0 V p-p and 2.4 V p-p
MAC Interface Selection	RMII
Media Converter	Normal PHY operation

表 15. ハードウェア構成ピンの推奨制御

Required Pin Level	Managed Configuration Options	Unmanaged Configuration Options
High	4.7 kΩ external pull-up resistor Host GPIO output high <sup>1</sup>	4.7 kΩ external pull-up resistor
Low	External pull-down resistor Host GPIO output low <sup>1</sup> Host GPIO tristated <sup>2</sup> Floating pin <sup>2</sup>	External pull-down resistor Floating pin <sup>2</sup>

<sup>1</sup> 値の低い直列抵抗を推奨します。

<sup>2</sup> 外部プルダウン抵抗を推奨します。

### メディア・コンバータ

ADIN1100はメディア・コンバータとして動作することができるため、RMIIまたはRGMIIを介して10BASE-T PHYを直接ADIN1100に接続できます。ADIN1100は、MDIピンを介して10BASE-T1LのリモートPHYに接続できます。

RMIIモードでは、MEDIA\_CNVハードウェア構成ストラップ・ピンを使用して、リセット後、または電源の入れ直し後にデフォルトでメディア・コンバータ機能を有効化できます。または、メディア・コンバータはCRSM\_RMII\_MEDIA\_CNV\_ENビット（MACインターフェース設定レジスタのセクションを参照）を介して設定することもできます。

RGMIIモードでは、ADIN1100は、メディア設定条件なしに、別のRGMIIデバイスに直接接続できます。

MEDIA\_CNVハードウェア構成ピン信号は、TXD\_3と共有されません。このTXD\_3は、RGMIIモードでは使用されません（MACインターフェースのセクションを参照）。TXD\_3/MEDIA\_CNVピンは弱プルダウン抵抗を内蔵しています。したがって、ADIN1100はデフォルトでは通常のPHY動作用に設定されます（例えば、MACインターフェースに接続された外部MACチップ）。RMIIモード

## ハードウェア構成ピン

でメディア・コンバータ動作を選択するには、外部プルアップ抵抗またはGPIOを介した外部ホスト制御を用いる必要があります。

表 16. メディア・コンバータの選択（ハードウェア構成）

MEDIA_CNV	Media Converter Selection
0	Normal PHY operation
1	Media converter operation

### PHYアドレスの設定

以下の3つのピンを使って、ADIN1100のPHYアドレスを設定できます。

- ▶ RXD\_2/PHYAD\_0
- ▶ RXD\_3/PHYAD\_1
- ▶ LINK\_ST/PHYAD\_2

これらは2レベルの構成ピンです。つまり、使用可能な8個のPHYアドレスのいずれかにADIN1100を設定できます。PHYアドレス・ピンは弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1100は0x0のPHYアドレスに設定されます。

PHYアドレスが設定されるのは、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後であるため、これら3つのピンをマネージド・アプリケーションで使用し、外部ホスト・コントローラに接続する場合、特別な注意が必要です。

### リセット後のソフトウェア・パワーダウン

SWPD\_ENハードウェア構成ピン信号は、RX\_DV信号と共有され、リセット後のソフトウェア・パワーダウンをイネーブル/ディスエーブルするために使用されます。パワーダウン・ビット（CRSM\_SFT\_PD）は、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時のSWPD\_EN信号のステータスに基づいて設定されます。CRSM\_SFT\_PDは、MDIOインターフェースを用いて、リセット後のソフトウェア・パワーダウンをイネーブルすることもできます。

RX\_DV/RX\_CTL/SWPD\_ENピンは弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1100は、リセット後のソフトウェア・パワーダウンをイネーブルする設定が可能です。

リセット後のソフトウェア・パワーダウンがイネーブルされている場合、ADIN1100は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後に、ソフトウェア・パワーダウン状態になります。ソフトウェア・パワーダウンにより低消費電力モードになり、ADIN1100のほとんどの内部モジュールがオフになります。

ADIN1100は、MDIOインターフェースを用いてCRSM\_SFT\_PDビットを0にすることでパワーダウン・モードを終了するよう設定できます。

パワーアップ、ハードウェア・リセット、またはソフトウェア・リセット後、オートネゴシエーションがイネーブルされリセット後のソフトウェア・パワーダウンがディスエーブルされている場合、ADIN1100はオートネゴシエーションを開始し、リンクの確立を試行します。

表 17. ソフトウェア・パワーダウン（ハードウェア構成）

SWPD_EN	Software Power-Down Configuration
0	PHY in software power-down after reset
1	PHY not in software power-down after reset

### マスタ/スレーブの優先度

MS\_SELハードウェア構成ピン信号は、RXD\_1信号と共有され、マスタ/スレーブのデフォルトの選択を設定します。パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時にMS\_SELがローにプルダウンされていると、デバイスはスレーブ優先にデフォルト設定されます。パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時にMS\_SELがハイにプルアップされていると、デバイスはマスタ優先にデフォルト設定されます。

RXD\_1/MS\_SELピンは弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1100はスレーブ優先に設定されます。

MS\_SELハードウェア構成ピン信号は、オートネゴシエーション・マスタ/スレーブ設定レジスタ・ビット（AN\_ADV\_MST）のデフォルト設定を設定します。また、MS\_SELは、マスタ/スレーブ設定レジスタ・ビット（CFG\_MST）のデフォルト設定も設定し、この場合はオートネゴシエーションがディスエーブルされます。

AN\_ADV\_MSTビットとCFG\_MSTビットはMDIOインターフェースを用いて変更できますが、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後は、MS\_SELハードウェア構成ピン信号によって設定されたデフォルト値に戻ります。

表 18. マスタ/スレーブの選択（ハードウェア構成）

MS_SEL	Master/Slave Selection
0	Prefer slave selection
1	Prefer master selection

### 送信振幅

TX2P4\_ENハードウェア構成ピン信号はRXD\_0の信号と共有され、デフォルトの送信振幅モードを設定するために使用されます。送信振幅モードは、表19に示す、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時のピン・ステータスによって定義されます。

TX2P4\_ENハードウェア構成ピン信号は、高電圧送信アビリティ・ビット（B10L\_TX\_LVL\_HI\_ABLE）のデフォルト設定を設定します。

RXD\_0/TX2P4\_ENピンは弱プルダウン抵抗を内蔵しています。そのため、デフォルトでは、ADIN1100は、1.0V p-pと2.4V p-pの両方の電圧レベルに対応するよう設定されます。

RXD\_0/TX2P4\_ENピンがハイ（1.0V p-pのみ）に接続されている場合、関連するレジスタをMDIOインターフェースを介して変更することはできません。つまり、ADIN1100がハードウェア・ピンによって1.0V p-pレベルのみのモードに設定されている場合、2.4V p-pの動作はできません。

## ハードウェア構成ピン

表 19. 送信振幅の選択 (ハードウェア構成)

TX2P4_EN	Transmit Amplitude Selection
0	1.0 V p-p and 2.4 V p-p
1	1.0 V p-p

TX2P4\_ENが、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時にローにプルダウンされている場合、2.4V p-pの送信動作モードがイネーブルされ、B10L\_TX\_LVL\_HI\_ABLEの値は1に設定されます。

TX2P4\_ENが、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時にハイにプルアップされている場合、2.4V p-pの送信動作モードがディスエーブルされ、B10L\_TX\_LVL\_HI\_ABLEの値は0に設定されます。

B10L\_TX\_LVL\_HI\_ABLEビットは、表20の記載のように、PHYが10BASE-T1L高電圧送信モードで動作できるかどうかを示します。

表 20. B10L\_TX\_LVL\_HI\_ABLEの設定

Bit Setting	Description
0	PHY does not support 10BASE-T1L high voltage (2.4 V p-p) transmit level operating mode.
1	PHY supports 10BASE-T1L high voltage (2.4 V p-p) transmit level operating mode.

## MACインターフェースの選択

MACインターフェース・ハードウェア構成ピン信号

(MACIF\_SELx)は、RX\_CLK/RXC信号およびRX\_ER信号と共有され、表21に従って設定できます。RX\_CLK/RXC/MACIF\_SELOピンとRX\_ER/MACIF\_SEL1ピンは、弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1100はRMIIモードに設定されます。RGMIIまたはMIIのMACインターフェース・モードを選択するには、外部プルアップ/プルダウン抵抗またはGPIOを介したホスト制御を用いる必要があります。

表 21. MACインターフェースの選択 (ハードウェア構成)

MACIF_SEL1	MACIF_SELO	MAC Interface Selection
0	0	RMII
0	1	RGMII
1	0	Reserved
1	1	MII

## 10BASE-T1Lリンクの確立

以下のセクションで、ADIN1100とリモートのリンク・パートナーの間のリンクを確立する方法について、いくつかの推奨事項を説明します。これらのセクションは、様々な設定をカバーしていますが、目的のアプリケーションには無関係の設定もあるかもしれません。詳細な説明については、[動作原理](#)のセクションを参照してください。

### アンマネージドPHY動作

管理インターフェースによるADIN1100の制御が行われないアンマネージドPHYでは、ハードウェア構成ピンによって動作モードが決まります。ハードウェア構成ピンの使用方法に関する詳細は、[ハードウェア構成ピン](#)のセクションを参照してください。以下のセクションで、アンマネージド・アプリケーションでリンクを確立するのに必要な手順を説明します。

### PHYアドレスを設定する

PHYアドレスは、RXD\_2/PHYAD\_0、RXD\_3/PHYAD\_1、LINK\_ST/PHYAD\_2の各PHYアドレス・ピンをアサートすることで選択できます。

リセットが解除されると、ADIN1100はオートネゴシエーションを開始し、オートネゴシエーションが終了するとリンクの確立を試行します。

アドレス・ピンの使用方法の詳細については、[PHYアドレスの設定](#)のセクションを参照してください。

### リセット後にソフトウェア・パワーダウン・モードをディスエーブルする

アンマネージド・アプリケーションでは、ソフトウェア・パワーダウン・モードをディスエーブルする必要があります。そうでないと、ADIN1100は無限にソフトウェア・パワーダウン・モードを維持します。リセットが解除されたときにPHYがソフトウェア・パワーダウン・モードにならないよう、パワーアップ時およびリセット時にRX\_DV/RX\_CTL/SWPD\_ENピンをハイにアサートする必要があります。

リセット後のソフトウェア・パワーダウンの設定方法の詳細は、[リセット後のソフトウェア・パワーダウン](#)のセクションを参照してください。

### マスタ/スレーブを選択する

RXD\_1/MS\_SELピンを用いると、スレーブ優先またはマスタ優先をアダプタイズするようPHYを設定できます。

マスタ/スレーブ設定を設定する方法の詳細については、[マスタ/スレーブの優先度のセクション](#)を参照してください。

### 送信振幅レベルを設定する

RXD\_0/TX2P4\_ENピンは、PHYが1.0V p-pおよび2.4V p-pの両方の送信レベル動作に対応することをアダプタイズする、または1.0V p-p送信レベル動作にのみ対応することをアダプタイズするよう設定できます。

デフォルトでは、ADIN1100は、内部プルダウン抵抗により1.0V p-pおよび2.4V p-pの送信レベルに対応するよう設定されています。関連するピンをハイまたはローにアサートすると、2.4V p-p送信レベルの対応をディスエーブルできます。

送信振幅レベルの設定方法の詳細については、[送信振幅](#)のセクションを参照してください。

### MACインターフェースを選択する (RGMII/RMII/MII)

MACインターフェースの種類を選択は、RX\_CLK/RXC/MACIF\_SEL0ピンおよびRX\_ER/MACIF\_SEL1ピンを用いて行います。

MACインターフェースを選択する方法の詳細については、[MACインターフェースの選択](#)のセクションを参照してください。

### メディア・コンバータ機能をイネーブルする

メディア・コンバータ機能が必要な場合は、TXD\_3/MEDIA\_CNVピンをハイにアサートします (RMIIモードのみ)。

メディア・コンバータ機能をイネーブルする方法の詳細については、[メディア・コンバータ](#)のセクションを参照してください。

### マネージドPHY動作

マネージドPHYアプリケーションの場合、マイクロコントローラなどのホスト・コントローラを使用し、管理インターフェース (MDIO) を介してソフトウェアによりADIN1100の動作を設定します。

アンマネージドPHY動作と同様、ハードウェア構成ピンを使用して、制御対象のADIN1100をセットアップできます (詳細については[アンマネージドPHY動作](#)のセクションを参照)。または、外部プルアップ抵抗やプルダウン抵抗を介して、ハードウェア構成ピンをホスト (例えばGPIO) で直接制御することもできます。

マネージド・アプリケーションでは、リセット後のソフトウェア・パワーダウンをイネーブルできます。ADIN1100は、ソフトウェアがPHYをアクティブに設定するまで、ソフトウェア・パワーダウン・モードを維持します。アクティブになると、PHYはオートネゴシエーションを開始し、リンクの確立を試行します。

### パワーアップおよびリセットの完了

デバイスがパワーアップやリセットのシーケンスを完了し通常動作が可能になったことをソフトウェアが確認する代表的な方法は、管理レジスタを読み出してIEEEの組織固有識別子 (OUI)、モデル番号、リビジョン番号を調べることです。このレジスタの値は、PHYベンダごとに決まっている、ゼロ以外の値です。デバイスがパワーアップを完了していない場合、正しい値が読み出されません。一般的なBASE-T PHYでは、この値は管理インターフェースのレジスタ・アドレス0x2およびレジスタ・アドレス0x3にあります。

ADIN1100では、OUI、モデル番号、リビジョン番号は、デバイス・アドレス0x1F (条項45のみ)、レジスタ・アドレス0x2、レジスタ・アドレス0x3 (条項22および条項45) でも読み出せます。

MMD1\_DEV\_ID1にはOUIのビット[3:18]が含まれています ([ベンダ固有1 MMD識別子ハイ・レジスタ](#)のセクションを参照)。

## 10BASE-T1Lリンクの確立

MMD1\_DEV\_ID2には、OUIのビット[19:24] (MMD1\_DEV\_ID2\_OUI)、モデル番号 (MMD1\_MODEL\_NUM)、リビジョン番号 (MMD1\_REV\_NUM) が含まれています。ベンダ固有1 MMD識別子ロー・レジスタのセクションを参照してください。

表 22. ADIN1100固有識別子の値

Description	Bit Name	Value
Organizationally Unique Identifier, Bits[3:18]	MMD1_DEV_ID1	0x283
Organizationally Unique Identifier, Bits[19:24]	MMD1_DEV_ID2_OUI	0x2F
Model Number, Bits[6:0]	MMD1_MODEL_NUM	0x8
Revision Number, Bits[6:0]	MMD1_REV_NUM	0x1

IEEE OUIの有効な読み出しが完了すると、システム・レディ・ビット (CRSM\_SYS\_RDY) も読み出すことができ、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを確認できます。

ソフトウェア・パワーダウン・ステータス・ビット (CRSM\_SFT\_PD\_RDY) を読み出すと、デバイスがソフトウェア・パワーダウン状態になっているかどうかを確認できます。このビットはSWPD\_ENハードウェア構成ピン信号によっても制御されます。

### デバイスのリンク用構成

パワーアップまたはリセット後、ADIN1100をリンクに必要な動作に設定します。ADIN1100は、ハードウェア構成ピンを使用してリンクに必要な設定が既に行われている場合もありますが、管理レジスタを使用すると、より広い制御が可能になります。

オートネゴシエーション・プロセスを使用すると、ローカルPHYとリモートPHY間で動作モードを一致させることができます。例えば、オートネゴシエーションを使用すると、PHYがマスタとして動作するデバイスとスレーブとして動作するデバイスの間で、モードが確実に一致するようにできます。オートネゴシエーションは、2つのPHY間で送信レベルを一致させることもできます。

ADIN1100ではオートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。オートネゴシエーションはIEEE規格で定義され、PHY同士の間での堅牢なリンク動作を確保するためのメカニズムを多数備えており、リンクを最も速く確立できる方法です。

### 送信レベル・モードの設定

#### 概要

B10L\_TX\_LVL\_HI\_ABLEビットが1にセットされ、AVDD\_Hピンに3.3Vの電源が供給されている場合、ADIN1100は1.0V p-pと2.4V p-pのどちらの送信レベル動作にも対応できます。送信レベルが高い方が長距離伝送に対応できますが、消費電力も大きくなります。

ADIN1100は、AVDD\_Hピンの電圧が1.8Vの場合、非常に低い消費電力で1.0V p-pの送信レベル動作に対応できます。

ADIN1100は、1.0V p-pおよび2.4V p-pの両方の送信レベル動作に対応することをアドバタイズするよう設定することも、1.0V p-p送信レベル動作にのみ対応することをアドバタイズするよう設定することもできます。詳細については送信レベル・モードのアドバタイズメントのセクションを参照してください。

本質的に安全な動作のためには、1.0V p-pの送信レベル動作が必要です。

#### 高電圧送信アビリティをイネーブル

送信振幅のセクションで説明しているように、高電圧送信アビリティは、高電圧送信アビリティ・ビット (B10L\_TX\_LVL\_HI\_ABLE (読み出し専用)) をセットする、TX2P4\_ENハードウェア構成ピン信号を用いてセットされます。

#### 1.0V p-pおよび2.4V p-pの送信レベルをイネーブル

1.0V p-pおよび2.4V p-pの両方の送信レベル動作を可能にするには、AN\_ADV\_B10L\_TX\_LVL\_HI\_ABLを1に設定して、デバイスが2.4V p-p送信レベル動作ができることを示します (AVDD\_Hピンに3.3V電源が必要です)。

#### 2.4V p-p送信レベルを優先として設定

2.4 V p-p送信レベルを優先する場合は、AN\_ADV\_B10L\_TX\_LVL\_HI\_REQを1に設定して2.4V p-pの送信レベル動作をリクエストします。オートネゴシエーションによってリンクが動作する送信レベルが決定される点に注意してください。

#### 1.0V p-p送信レベルを優先として設定

1.0V p-p送信レベル動作を優先する場合は、AN\_ADV\_B10L\_TX\_LVL\_HI\_REQを0に設定します。オートネゴシエーションによってリンクが動作する送信レベルが決定されません。

#### 1.0V p-p送信レベルのみをイネーブル

1.0V p-p送信レベル動作でのみPHYを動作させる必要がある場合は、AN\_ADV\_B10L\_TX\_LVL\_HI\_ABLビットを0に設定し、2.4V p-p送信レベル動作がアドバタイズされないようにします。

この場合、オートネゴシエーションの結果は、リモートのPHYがアドバタイズする設定にかかわらず、1.0V p-p送信レベル動作のみになります。ケーブル長が非常に長い場合、ケーブルの特性によっては、1.0V p-p動作ではリンクを確立できない場合があります。

ハイ・レベル送信がRXD\_D0/TX2P4\_ENピンでディスエーブルされている場合、AVDD\_Hの電源に1.8Vまたは3.3Vから供給して1.0V p-p送信レベル動作を行うことができます。

### 送信レベル・モードのアドバタイズメント

#### 高電圧送信アビリティをイネーブル

ADIN1100が2.4V p-p送信レベルに対応するためには、AVDD\_Hの電源レベルを3.3V電源で供給する必要があります。

高電圧送信アビリティは、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時にTX2P4\_ENハードウェア構成ピンの信号をローに設定することでイネーブルできます。送信アビリティ・ビット (B10L\_TX\_LVL\_HI\_ABLE (読み出し

## 10BASE-T1Lリンクの確立

専用) ) は、以下のように、定義されたハードウェア構成に自動的に設定されます。

- ▶ B10L\_TX\_LVL\_HI\_ABLE = 0 : 1.0V p-pのみのアビリティ
- ▶ B10L\_TX\_LVL\_HI\_ABLE = 1 : 1.0V p-pおよび2.4 V p-pのアビリティ

詳細については送信レベル・モードの設定のセクションを参照してください。

### 高電圧送信アビリティをアダプタイズ

オートネゴシエーション時にリンク・パートナーにハイ・レベル送信モードをアダプタイズするには、AN\_ADV\_B10L\_TX\_LVL\_HI\_ABLビットを1に設定します。このビットは、ADIN1100に高電圧モードでの送信アビリティがある場合 (B10L\_TX\_LVL\_HI\_ABLE = 1) にのみ設定できます。

高電圧送信アビリティがある場合のみ、ADIN1100は2.4V p-pおよび1.0V p-pの両方のレベルに対応することをアダプタイズできます。選択されるレベルは、リンク・パートナーとのオートネゴシエーションによって決定されます。

詳細は、送信振幅のアダプタイズメントのセクションを参照してください。

### 高電圧送信レベルのリクエストをアダプタイズ

オートネゴシエーション時に2.4V p-p送信レベル動作のリクエストをアダプタイズするには、AN\_ADV\_B10L\_TX\_LVL\_HI\_REQビットを1に設定します。このビットは、ADIN1100に高電圧モードでの送信アビリティがある場合 (B10L\_TX\_LVL\_HI\_ABLE = 1) にのみ設定できます。

詳細は、送信振幅のアダプタイズメントのセクションを参照してください。

### リンク・パートナーがアダプタイズした送信レベルを読み出す

リンク・パートナーがアダプタイズした送信情報は、リンク・パートナーのハイ・レベル送信動作モード・アビリティ・ビット (AN\_LP\_ADV\_B10L\_TX\_LVL\_HI\_ABL) とリンク・パートナーのハイ・レベル送信動作モード・リクエスト・ビット (AN\_LP\_ADV\_B10L\_TX\_LVL\_HI\_REQ) で読み出せます。これらのビットは、オートネゴシエーションが完了した場合 (AN\_COMPLETE = 1) に有効になります。

詳細は、送信振幅のアダプタイズメントのセクションを参照してください。

### オートネゴシエーションの完了

オートネゴシエーションが完了すると、オートネゴシエーション完了指示レジスタ・ビット (AN\_LINK\_GOOD) がセットされません。このビットは、オートネゴシエーション・シーケンスが完了し、イネーブルされたPHYリンクがセットアップされていること、またはアクティブになっていることを示します。

オートネゴシエーションが完了し、リンクが確立すると、オートネゴシエーション完了レジスタ・ビット (AN\_COMPLETE) が1に設定され、次のレジスタの内容が有効になります。

- ▶ BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ
  - ▶ AN\_ADV\_ABILITY\_L : ビット[15:0]
  - ▶ AN\_ADV\_ABILITY\_M : ビット[31:16]
  - ▶ AN\_ADV\_ABILITY\_H : ビット[47:32]
- ▶ BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ
  - ▶ AN\_LP\_ADV\_ABILITY\_L : ビット[15:0]
  - ▶ AN\_LP\_ADV\_ABILITY\_M : ビット[31:16]
  - ▶ AN\_LP\_ADV\_ABILITY\_H : ビット[47:32]

### リンク・ステータス

リンクのステータスは、リンク・ステータス・レジスタ・ビット (AN\_LINK\_STATUS) を読み出すことで判定できます。このビットはローにラッチされます。

このビットが1の場合、有効なリンクが確立されていることを示します。

このビットが0の場合は、最後の読出し以降にリンクが切断されていることを示します。このビットはローにラッチされます。したがって、0が読み出された場合、しばらくしてリンク・ステータスが確立したかどうかを判定するために再度読み出す必要があります (ラッチ・ロー・レジスタのセクションを参照)。

リンクが切断された場合、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、AN\_CONTROLレジスタのオートネゴシエーション再起動ビット (AN\_RESTART) への書込みを通じてリクエストすることで再起動できます (BASE-T1オートネゴシエーション・コントロール・レジスタのセクションを参照)。

## オンチップ診断

### ループバック・モード

PHYコアには、以下のループバック・モードがあります。

- ▶ 物理メディア・アタッチメント (PMA) ループバック
- ▶ 物理コーディング・サブレイヤ (PCS) ループバック
- ▶ MACインターフェース・ループバック
- ▶ MACインターフェース・リモート・ループバック

これらのループバック・モードは、PHY内の様々な機能ブロックをテストおよび検証します。フレーム・ジェネレータとフレーム・チェッカーを使用すると、PHYコア内のデジタルおよびアナログ・データ・バスに対し完全に自己完結型のインサーキット・テストが可能になります。

#### PMAループバック

PMAループバックでは、MDIインターフェースをオープン・サーキットのままにして、未終端のコネクタまたはケーブルに送信する必要があります。このモードでは、ADIN1100から送信される信号は、オープンの10BASE-T1L MDIからエコー・バックされます。このテスト・モードは、IEEE 802.3cg規格の副条項146.5.6で定義されているPMAローカル・ループバック機能の実行です。テスト・モードの精度を向上させるため、MDIインターフェースに接続しているケーブルはすべて取り外してください。

PMAループバック・モードでは、デバイスは強制リンク構成モード (オートネゴシエーションはディスエーブル) に設定する必要があります。PMAループバックをイネーブルするには、10BASE-T1L PMAループバック・イネーブル・ビット

(B10L\_LB\_PMA\_LOC\_EN) を1に設定します (10BASE-T1L PMAコントロール・レジスタのセクションを参照)。

#### PCSループバック

PCSループバック・モードは、PHYデジタル・ブロックの入力段でPCSブロック内のレシーバーに送信データをループバックします。B10L\_LB\_PCS\_ENビット (B10L\_PCS\_CNTRLレジスタ) を設定するとPCSループバックがイネーブルされます。

PCSループバック・モードがイネーブルされている場合、MDIピンには信号は送信されません。

#### MACインターフェース・ループバック

MACインターフェース・ループバック・モードでは、MACインターフェース送信データ・ピン (TXD\_x信号) で受信したデータを受信データ・ピン (RXD\_x信号) にループバックします。そのため、これを使用してMACインターフェースの接続を検証することができます。MACインターフェース・ループバックをイネーブルするには、MAC\_IF\_LB\_ENビットを1に設定します (MACインターフェース・ループバック設定レジスタのセクションを参照)。

同じレジスタ内のMAC\_IF\_LB\_TX\_SUP\_ENビットがセットされている場合 (デフォルトでセット)、MACインターフェースで受信した信号は、ADIN1100 PHYコアへは転送されません。

#### MACインターフェース・リモート・ループバック

MACインターフェース・リモート・ループバックでは、リモートPHYとのリンク・アップを必要とし、ADIN1100で受信したデータをリモートPHYにループバックすることができます。このリンクを行うと、リモートPHYが適切なデータを受信することを確認することにより、リンクが完全であることをリモートPHYが検証できます。MACインターフェース・リモート・ループバックをイネーブルするには、MAC\_IF\_REM\_LB\_ENビットを1に設定します (MACインターフェース・ループバック設定レジスタのセクションを参照)。

MAC\_IF\_REM\_LB\_RX\_SUP\_ENビット (MACインターフェース・ループバック設定レジスタを参照) がセットされていると (デフォルトでセット)、ADIN1100がMDIピンから受信したデータはMACインターフェースには転送されません。

#### 外部MII/RMIIループバック

##### 概要

外部MII/RMIIループバック・モードに設定されている場合、ADIN1100はリモートPHYから受信したデータをエコー・バックします。外部MII/RMIIループバックは、MAC送信信号ピンをMAC受信信号ピンに物理的に接続して行います。必要な配線構成は表23に示します。

表 23. 外部MII/RMIIループバックの配線

Reception Signals	Transmission Signals
RXD_0	TXD_0
RXD_1	TXD_1
RXD_2 <sup>1</sup> /PHYAD_0	TXD_2 <sup>1</sup>
RXD_3 <sup>1</sup>	TXD_3 <sup>1</sup>
RX_DV <sup>2</sup> /CRS_DV <sup>3</sup>	TX_EN
RX_ER	TX_ER

<sup>1</sup> MIIのみ。

<sup>2</sup> MIIリファレンス名。

<sup>3</sup> RMIIリファレンス名。

##### ソフトウェア設定

外部RMIIループバックの場合、CRS\_DVをTX\_ENに接続できるよう、RMII TXDチェック・イネーブル・ビット (RMII\_TXD\_CHK\_EN) (RMII設定レジスタのセクションを参照) を1に設定する必要があります。

外部MIIループバックでは、特定のレジスタ・ビットがイネーブルされるように設定する必要はありません。

## オンチップ診断

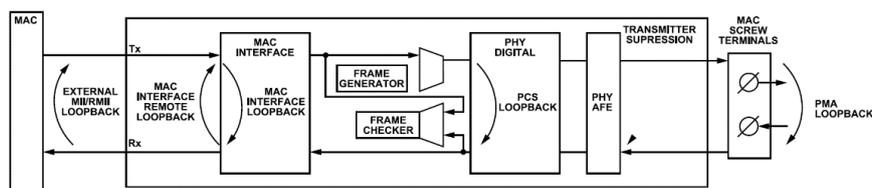


図 14. ADIN1100のループバック・モード

## フレーム・ジェネレータとフレーム・チェッカ

## 概要

ADIN1100は、フレームを生成し、受信したフレームを確認するように構成できます（図15を参照）。生成および確認の機能は一緒に使用することも個別に使用することもできます。ADIN1100で送信されたフレームをリモート・エンドでループバックさせると、フレーム・チェッカを使用してエコーされた自己生成フレームを確認できます。

## フレーム・ジェネレータ

フレーム・ジェネレータがイネーブルされている場合、MACインターフェースは無視され、フレーム・ジェネレータのデータはMDIピンで送信するために使用されます。フレーム・ジェネレータを使用するには、CRSM\_DIAG\_CLK\_ENビット（CRSM診断クロック・コントロール・レジスタのセクションを参照）を使用して、診断クロックをイネーブルする必要もあります。

フレーム・ジェネレータのコントロール・レジスタでは、送信するフレームのタイプ（ランダム・データやすべて1など）、フレーム長、および生成するフレーム数を設定します。

要求されたフレームの生成は、FG\_ENビット（フレーム・ジェネレータ・イネーブル・レジスタのセクションを参照）をセットして、フレーム・ジェネレータをイネーブルすることから始まります。

フレームの生成が完了すると、フレーム・ジェネレータ完了ビット（FG\_DONE）がセットされます（フレーム・ジェネレータ完了レジスタのセクションを参照）。

## フレーム・チェッカ

フレーム・チェッカは、フレーム・チェッカ・イネーブル・ビット（FC\_EN）（フレーム・チェッカ・イネーブル・レジスタのセクションを参照）をセットしてイネーブルします。フレーム・チェッカは、フレーム・チェッカ送信選択ビット（FC\_TX\_SELビット）（フレーム・チェッカ送信選択レジスタのセクションを参照）を使用して、MACインターフェースまたはPHYから受信したフレームを確認および分析するよう設定できます。フレーム・チェッカは、受信したフレーム数、巡回冗長検査（CRC）エラー、および様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

## エラー・カウンタ

フレーム・チェッカはCRCエラー数をカウントします。これらのエラーは受信エラー・カウンタ・レジスタ（RX\_ERR\_CNT）で通知されます。フレーム・チェッカ・エラー・カウンタとフレー

ム・チェッカ・フレーム・カウンタ間の同期を確保するために、受信エラー・カウンタ・レジスタが読み出されると、すべてのカウンタがラッチされます。したがって、フレーム・チェッカを使用する際は、最初に受信エラー・カウンタを読み出し、次に他のすべてのフレーム・カウンタとエラー・カウンタを読み出します。受信フレーム・カウンタ・レジスタのラッチされたコピーは、FC\_FRM\_CNT\_H（フレーム・チェッカ・カウンタ・ハイ・レジスタのセクションを参照）とFC\_FRM\_CNT\_L（フレーム・チェッカ・カウンタ・ロー・レジスタのセクションを参照）で利用できます。

CRCエラーに加えて、フレーム・チェッカは、フレーム長エラー、フレーム・アライメント・エラー、シンボル・エラー、オーバーサイズ・フレーム・エラー、アンダーサイズ・フレーム・エラーをカウントします。

フレーム・チェッカは、フレーム内のニブル数が奇数であるフレームをカウントし、また、プリアンプル内のニブル数が奇数であるパケットをカウントします。

フレーム・チェッカはまた、偽キャリア・イベント数（不正なストリーム開始区切り（SSD：start of stream delimiter）状態に入った回数）もカウントします。

## フレーム・ジェネレータおよびチェッカのリンク・テスト

ADIN1100および別のPHYデバイスを使用すると、PHYからPHYへの接続を自己完結型で簡単に検証できるよう構成できます。図15に、各PHYの構成方法の概要を示します。外部ケーブルを両方のデバイス間に接続し、PHY 1がフレーム・ジェネレータを使用してフレームを生成します。PHY 2では、MAC\_IF\_REM\_LB\_EN（MACインターフェース・ループバック設定レジスタのセクションを参照）を使用してMACインターフェース・リモート・ループバック・モードがイネーブルされます。

- PHY 1のフレーム（フレーム・ジェネレータ）が10BASE-T1Lシングル・ペア・ケーブルを通じて送信されます。
- PHY 2は、PHY 2のMDIピンでフレームを受信します。
- PHY 2のMACインターフェースがフレームをループバックします。
- （ループバックされた）PHY 2のフレームが10BASE-T1Lシングル・ペア・ケーブルを通じて送信されます。
- PHY 1はMDIピンで（ループバックされた）PHY 2のフレームを受信します。
- PHY 1のフレーム・チェッカが受信したフレームをチェックします。

オンチップ診断

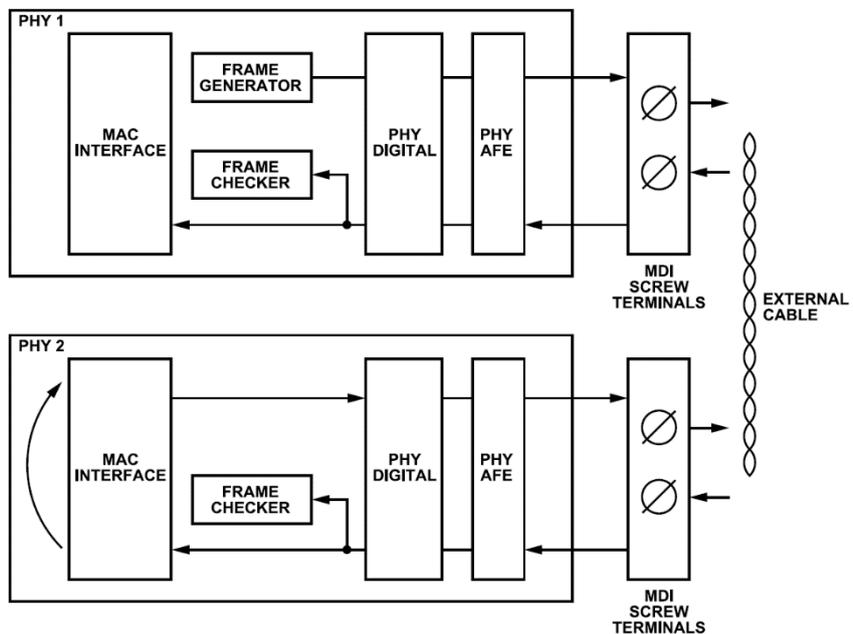


図 15. セルフ・チェック用に2つのPHY間で使用するリモート・ループバック

010

## オンチップ診断

## テスト・モード

ADIN1100には、IEEE 802.3cg™-2019規格の副条項146.5.2に記載されたとおり、いくつかのテスト・モードが備わっており、トランスミッタの波形、歪み、ジッタ、ドループのテストが可能です。これらのテスト・モードは、トランスミッタ回路に供給されたデータ・シンボルのみを変更し、トランスミッタおよびレシーバーの電気特性やジッタ特性が通常動作から変わることはありません。

また、ADIN1100は副条項45.2.1.186a.2に記載の送信ディスエーブル・モードに対応しています。

表 24. ADIN1100のテスト・モード一覧

Test Mode	Description
PMA Test Modes (Subclause 146.5.2)	
Test Mode 1	Transmitter output voltage and timing jitter test mode. When this mode is selected, the ADIN1100 repeatedly transmits the data symbol sequence (+1, -1).
Test Mode 2	Transmitter output droop test mode. In this mode, the ADIN1100 transmits ten +1 symbols followed by ten -1 symbols. This sequence is repeated indefinitely.
Test Mode 3	Normal operation in idle mode test mode. In this mode, the ADIN1100 transmits as in non test operation and in the master data mode with the data set to normal interframe idle signals.
Transmit Disable Mode (Subclause 45.2.1.186a.2)	Both transmit and receive paths act like in normal operation mode but only transmit 0 symbols. This mode can be used to measure the MDI return loss specified in Subclause 146.8.3.

## PMAテスト・モード1~3を有効化

ADIN1100は、次の手順を使用していずれかのPMAテスト・モード（テスト・モード1~3）に設定できます。

- CRSM\_SFT\_PD\_CNTRLレジスタ（ソフトウェア・パワーダウン・コントロール・レジスタのセクションを参照）のCRSM\_SFT\_PDビットに1を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
- CRSM\_STATレジスタ（システム・ステータス・レジスタを参照）のCRSM\_SFT\_PD\_RDYビットを読み出して、ADIN1100がソフトウェア・パワーダウン・モードになっていることを確認します。
- AN\_CONTROLレジスタ（BASE-T1オートネゴシエーション・コントロール・レジスタのセクションを参照）のAN\_ENビットに0を書き込んで、オートネゴシエーションをディスエーブルします。
- AN\_FRC\_MODE\_ENレジスタ（オートネゴシエーション強制モード・イネーブル・レジスタのセクションを参照）のAN\_FRC\_MODE\_ENビットに1を書き込んで、オートネゴシエーション強制モードをセットします。
- B10L\_TEST\_MODE\_CNTRLレジスタ（10BASE-T1Lテスト・モード・コントロール・レジスタのセクションを参照）のB10L\_TX\_TEST\_MODEビットに該当する値を書き込んで、目的のテスト・モードを選択します。表25に、各PMAテスト・モードに対するビット設定の概要を示します。

- CRSM\_SFT\_PD\_CNTRLレジスタ（ソフトウェア・パワーダウン・コントロール・レジスタのセクションを参照）のCRSM\_SFT\_PDビットに0を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

表 25. PMAテスト・モードの設定

PMA Test Mode	B10L_TX_TEST_MODE, Bits[15:13] (Binary)
Test Mode 1	001
Test Mode 2	010
Test Mode 3	011

## 送信ディスエーブル・モードを有効化

ADIN1100は、次の手順を使用して送信ディスエーブル・モードに設定できます。

- CRSM\_SFT\_PD\_CNTRLレジスタ（ソフトウェア・パワーダウン・コントロール・レジスタのセクションを参照）のCRSM\_SFT\_PDビットに1を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
- CRSM\_STATレジスタ（システム・ステータス・レジスタのセクションを参照）のCRSM\_SFT\_PD\_RDYビットを読み出して、ADIN1100がソフトウェア・パワーダウン・モードになっていることを確認します。
- AN\_CONTROLレジスタ（BASE-T1オートネゴシエーション・コントロール・レジスタのセクションを参照）のAN\_ENビットに0を書き込んで、オートネゴシエーションをディスエーブルします。
- AN\_FRC\_MODE\_ENレジスタ（オートネゴシエーション強制モード・イネーブル・レジスタのセクションを参照）のAN\_FRC\_MODE\_ENビットに1を書き込んで、オートネゴシエーション強制モードをセットします。
- B10L\_PMA\_CNTRLレジスタ（10BASE-T1L PMAコントロール・レジスタのセクションを参照）のB10L\_TX\_DIS\_MODE\_ENビットに1を書き込んで、送信ディスエーブル・モードをセットします。
- CRSM\_SFT\_PD\_CNTRLレジスタ（ソフトウェア・パワーダウン・コントロール・レジスタのセクションを参照）のCRSM\_SFT\_PDビットに0を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

## 時間領域反射率測定（TDR）

10BASE-T1L準拠のPHYが長いケーブルを通じた通信を可能とするとしても、欠陥のあるケーブルのデバッグは、適切なツールなしではコストを要し困難なものになる可能性があります。これを緩和するため、アナログ・デバイスの10BASE-T1L製品では、TDRエンジンを備えています。これは、ケーブルのフォルト検出、フォルト地点までの距離、およびケーブル長の推定を可能にします。

この診断ソリューションは、高精度のオンチップTDRエンジンとホスト・マイクロコントローラ上で実行する一連のアルゴリズムを組み合わせたもので、広範なケーブルに対応できる最大限の柔軟性とより高度なケーブル診断機能を実現します。

## オンチップ診断

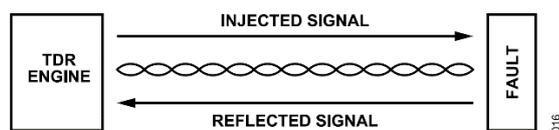


図 16. ADIN1100のTDRエンジン

## TDRエンジンによるフォルト検出

アナログ・デバイゼスのアルゴリズムの時間分解能は8.3nsです。これは、1m未満の長さ分解能に相当し、精度2%で最大1600mのケーブル長が可能です。

このフォルト・ディテクタ・アルゴリズムは、ADIN1100がMDIを介して別のPHYに物理的に接続されている場合でも、オープン・フォルトあるいは短絡フォルト状態を検出できます。この場合、リンク・パートナーのPHYがDMEページを送信している可能性があることを意味します。TDRの従来の方法では、他の信号源またはノイズも同じリンクにある場合に、フォルトを検出するのが困難です。これはアナログ・デバイゼスのソリューションにはあてはまりません。そのため、このソリューションは、リモート・エンドまでの間に何の制御も行われない場合でもデバッグを行うのに適しています。

フォルト検出アルゴリズムは、診断に必要な高レベルの関数を含むCコード・ライブラリとして提供されます。これらの関数は、高度な処理を利用しないよう最適化されているため、低消費電力のマイクロコントローラで実行できます。

フォルト検出には、1つの関数呼び出しで十分です。関数はフォルトの種類とMDIコネクタからフォルトまでの距離（メートル単位）を返します。

## TDRオフセットのキャリブレーション

ライブラリには、TDR測定のアフセットをキャリブレーションする関数が含まれています。ライブラリのこの特定の関数は、様々なMDI回路が信号経路内に変動する遅延をもたらし、これによって長さ測定のアフセットが影響を受ける可能性がある場合に有用です。例えば、MDIに絶縁トランスを使用すると、数メートルの長さに匹敵する信号遅延を引き起こす可能性が極めて高くなります。

このキャリブレーションにはフォルト・ディテクタを稼働させる必要はなく、デフォルトで平均値が提供されます。ただし、精度が必要な場合には、ケーブルを短絡させることを推奨します。このキャリブレーションが必要な場合、実験室内で特定のMDI回路を実装して行い、オフセット値を不揮発性メモリに保存してその後の使用に供することができます。

このキャリブレーションを実行するには、MDIポートをオープンまたは短絡のままにする必要があります。MDIポートには負荷やケーブルを接続しないでください。

## ケーブルのキャリブレーション

デフォルトでは、アルゴリズムはIEEE 802.3cg規格に準拠した長距離伝送ケーブルに対応するよう最適化されています。ただし、様々な挿入損失、リターン損失、信号遅延特性を持つ広範囲のケーブル・タイプに対し、このライブラリは、どのケーブルでも動作できるようにアルゴリズムを最適化し、より正確な長さの推定ができるよう公称伝搬速度（NVP）を推定するキャリブレーション関数を備えています。長さの精度は、主にNVP値の精度に依存します。

このキャリブレーションを実行するには、既知の長さのケーブルをMDIポートに取り付ける必要があります。その末端はオープンまたは短絡の状態に保持します。NVP値は、一般に0.5～0.9の範囲で、ケーブルの構造の特性を表すものです。一般的には約0.65の平均NVP値が前提とされます。このキャリブレーションは、フォルト・ディテクタを動作させるには不要ですが、高い長さ精度が必要な場合や、標準的でないケーブルを使用する場合には必要となります。与えられたケーブルについて実験室でこのキャリブレーションを行えば、その値を不揮発性メモリに保存できます。

これらの関数の使用に関する詳細については、Cコード・ドライバを参照してください。

## フォルトまでの長さ／距離の精度

フォルトまでの距離あるいは長さの測定精度は、主にNVP値によって決まります。このNVP値は、NVPキャリブレーションを行うために使用するケーブル長の精度によって決まります。

表26に、様々なケーブルや長さに対してフォルトを誘起しそのフォルトまでの距離を測定した結果を示します。すべての場合について、アルゴリズムは、テスト時に誘起されたオープンまたは短絡状態を正しく検出しています。このテストで用いたProfibus PAケーブルのNVP値を大まかに見積もり、同じ値をCat5EケーブルおよびCat6ケーブルにも使用しています。

表 26. 様々なケーブルに対する長さ推定誤差

Cable Type	Estimated Length (m)	Length Error (%)	Note
Fieldbus Type A - AWG 18	50.2	0.7	NVP calibrated
Fieldbus Type A - AWG 18	102.1	2.1	NVP calibrated
Fieldbus Type A - AWG 18	403.4	0.8	NVP calibrated
Fieldbus Type A - AWG 18	807.6	0.8	NVP calibrated
Fieldbus Type A - AWG 18	1045.3	1.0	NVP calibrated
Fieldbus Type A - AWG 18	1462.9	2.0	NVP calibrated
Cat5E	133.1	2.4	NVP not calibrated
Cat5E	244.4	1.8	NVP not calibrated
Cat6	73.6	5.1	NVP not calibrated
Cat6	137.2	5.6	NVP not calibrated

## アプリケーション情報

## システム・レベルのパワー・マネージメント

## 送信レベル = 1.0V p-p

1.0V p-p送信動作モードは、支線の使用事例に対応しており、1.8Vの低いAVDD\_H電源電圧で動作できます。このモードは本質安全アプリケーションに対応しています。

ADIN1100が1.0V p-p送信動作モードで動作する必要があるアプリケーションでは、RXD\_0/TX2P4\_ENピン信号は4.7kΩの抵抗を介してハイ・レベルにする必要があります（図17参照）。この構成では、ADIN1100は1.0V p-p送信動作モードでのみ動作するよう設定され、ADIN1100はより低い電圧レール（例えば1.8V）の信号電源電圧で動作できるため、システムの消費電力を最小限に抑えることができます。

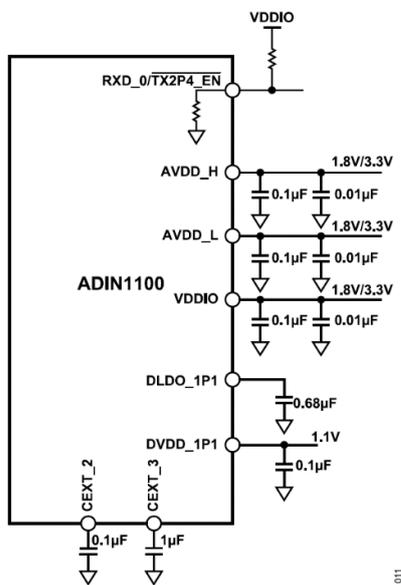


図 17. 強制1V p-p送信モードの電源およびコンデンサ

## 送信レベル = 2.4V p-p

2.4V p-pのより高電圧の送信動作モードは、幹線アプリケーションに対応しており、3.3Vの高いAVDD\_H電源電圧を必要とします。このモードは、ノイズ・レベルが高い産業用イーサネット環境において、長いケーブル長で使用できます。

ADIN1100が2.4V p-pで動作できるためには、RXD\_0/TX2P4\_ENピンがローに保持されていることが必要です（ピンにはプルダウン抵抗が内蔵されています）。この動作モードでは、MDIOまたはオートネゴシエーションを通じて1.0V p-p動作モードを選択することも可能です。

## 複数電源構成

推奨する電源構成の概要を図18に示します。この構成では、MDIOまたはオートネゴシエーションを通じてリンクが1.0V p-p送信動作モードで確立されている場合でも、AVDD\_H=3.3Vが必要であることに注意してください。

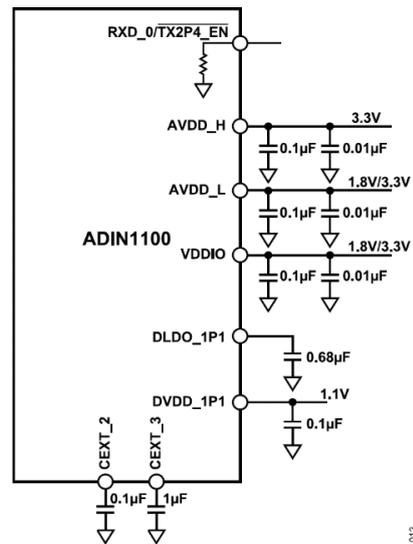


図 18. 複数電源2.4V p-pおよび1.0V p-p送信モードの電源およびコンデンサ

## 単電源構成

単電源動作の場合、ADIN1100のAVDD\_H、AVDD\_L、VDDIOの各電源レールに同じレールを供給できます。DVDD\_1P1の1.1Vレールは、内部から引き出すことも、外部の1.1Vレールで供給することもできます。この構成を図19に示します。

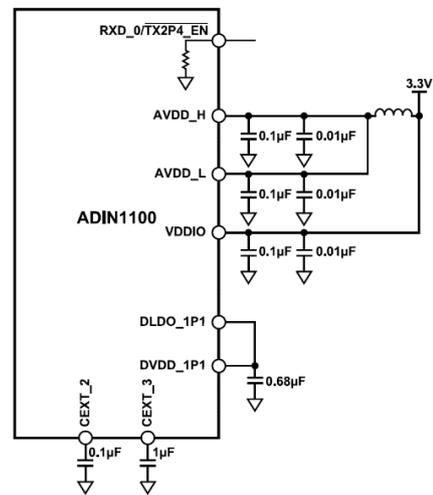


図 19. 単電源2.4V p-p送信モードの電源およびコンデンサ

## LED回路例

LED\_0ピンとLED\_1ピンは、選択したLED極性モードに応じて、様々な回路構成で使用できます（LED極性レジスタのセクションを参照）。以下のセクションで説明する回路は、各LEDに使用できる次の3つの極性モードの例を示しています。

- ▶ オートセンス（デフォルト）
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

## アプリケーション情報

LED\_0ピンとLED\_1ピンの出力電流は、VDDIO = 3.3Vの場合8mAです（詳細は仕様のセクションを参照）。更に電流が大きい条件の場合は、[トランジスタ制御LED](#)のセクションで説明する回路の使用を検討してください。

## アクティブ・ハイのLED極性

アクティブ・ハイ構成では、LED\_xピンがアノード側から外部LEDを駆動できます。R0とR1の抵抗を選択してLED電流を制御します（詳細については表1のLED仕様を参照）。4.7kΩの外部プルダウン抵抗（R<sub>PD0</sub>およびR<sub>PD1</sub>）を推奨します。

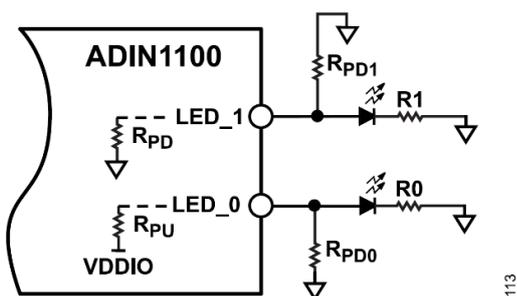


図 20. アクティブ・ハイのLED極性構成

## アクティブ・ローのLED極性

アクティブ・ロー構成では、LED\_xピンはカソード側から外部LEDを駆動できます。R0とR1の抵抗を選択してLED電流を制御します（詳細については表1のLED仕様を参照）。4.7kΩの外部プルアップ抵抗（R<sub>PU0</sub>およびR<sub>PU1</sub>）を推奨します。

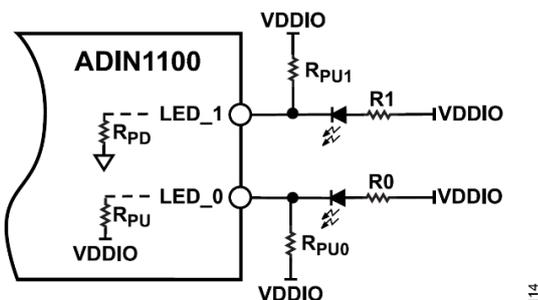


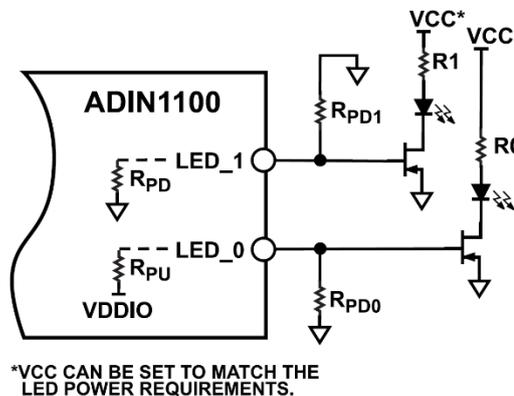
図 21. アクティブ・ローのLED極性構成

## トランジスタ制御LED

次の回路例は、LED電流がLED\_0ピンとLED\_1ピンが供給できる電流より大きい場合の代表的な構成を示しています。この回路は、アクティブ・ハイLEDモードを使用して動作します。NチャンネルMOSFETトランジスタなどの外部トランジスタが使用できます。トランジスタは、動作中に、ゲート入力容量がLED\_xピンの最大定格を超える電流をシンクすることのないように選択する必要があります。詳細については、トランジスタの技術仕様書を参照してください。必要に応じ、トランジスタのゲートとADIN1100ピンの間に抵抗を配置したり、GNDとLED\_xピンの間にコンデンサを並列に配置したりして、突入電流を低減することができます。これらの追加の抵抗やコンデンサの値は、選択したトランジスタに応じて定める必要があります。

R0とR1の抵抗を選択してLED電流を制御します（詳細については選択したLEDやトランジスタのメーカー仕様書を参照）。

4.7kΩの外部プルダウン抵抗（R<sub>PD0</sub>およびR<sub>PD1</sub>）を推奨します。図22において、VCCはLEDに給電するための電源です。



\*VCC CAN BE SET TO MATCH THE LED POWER REQUIREMENTS.

図 22. トランジスタ制御LED構成

## オートセンスの極性

オートセンス・モードでは、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に、LEDの極性が自動的に検出されます。LED\_0（内部プルアップ）およびLED\_1（内部プルダウン）は、その内部プルアップ構成およびプルダウン構成に応じて異なるオートセンス動作があります。[アクティブ・ハイのLED極性](#)、[アクティブ・ローのLED極性](#)、および[トランジスタ制御LED](#)の各セクションで説明したいずれかの構成を使用すると、この2つのLEDを同じ方法で制御できます。

## コンポーネントの推奨事項

ADIN1100には25MHzまたは50MHzの外部クロックが必要です。このクロックは外部水晶発振器（25MHz）または外部シングルエンド・クロック（25MHzまたは50MHz）から供給することができます。RMIIは、[RMIIモード用外部50MHzクロック入力](#)のセクションで説明するように、50MHzの外部クロックが必要です。

XTAL\_I/CLK\_INピンの信号電圧（V<sub>CLK\_IN</sub>）は、ピークtoピーク電圧が0.8V~2.5Vの範囲のサイン波またはフィルタ処理された方形波である必要があります。シングルエンド・クロック・オプションでは、最高性能を実現するために、振幅が1.0V p-pのV<sub>CLK\_IN</sub>を推奨します。

以下のセクションで様々な回路構成を提示します。これらのオプションを通じ、受動部品の変更に加えた一般的な回路トポロジを用いることができます。

## アプリケーション情報

なお、通常動作時は、外部クロック源入力（水晶発振器、25MHz、または50MHzのクロック）から生成された25MHzのリファレンス・クロックがCLK25\_REF出力ピンに供給されます。このピンは、別の10BASE-T1Lデバイスなど、他の回路へのリファレンス・クロックとして使用できます。CLK25\_REFは、リセット・モードではディスエーブルになります。

### RMIIモードおよびRGMIIモード用外部水晶発振器

外部水晶発振器（XTAL）の代表的な接続を図23に示します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1100のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。推奨負荷および水晶発振器の性能仕様については、個々の水晶発振器のベンダに問い合わせてください。

水晶発振器の負荷容量（ $C_L$ ）は、水晶発振器のベンダにより定義されています。 $C_{PCB1}$ はXTAL\_I/CLK\_INトラックと下層のグラウンド・プレーン間、 $C_{PCB2}$ はXTAL\_Oトラックと下層のグラウンド・プレーン間の寄生容量です。CX1とCX2は水晶発振器が動作するために必要な2つの外部負荷コンデンサです。

以下の関係を仮定します。

- ▶  $C_{PCB1} \approx C_{PCB2} \approx C_{PCBx}$
- ▶  $C_{X1} \approx C_{X2} \approx C_{Xx}$

この場合、 $C_{Xx} = 2 \times C_L - C_{PCBx} - 3 \text{ pF}$ となります。

周波数誤差を最小限に抑えるには、温度係数が明確に低い高精度コンデンサを $C_{Xx}$ として選択します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1100のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。

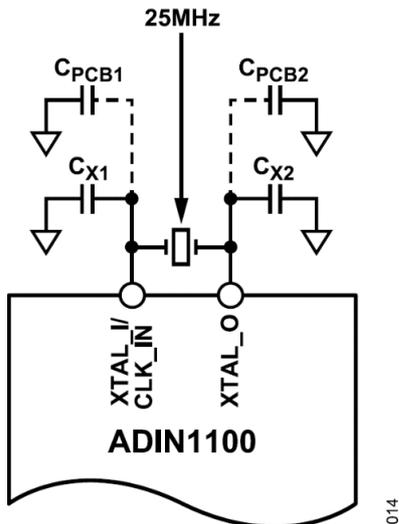


図 23. 水晶発振器の接続

### MIIモードおよびRGMIIモード用外部25MHzクロック入力

XTAL\_I/CLK\_INのシングルエンド25MHzリファレンス・クロックは、MIIモードまたはRGMIIモードで使用できます。クロック源はADIN1100のXTAL\_I/CLK\_INピン入力とデカップリングする必要があります。また、XTAL\_Oピンはオープン・サーキットのままにします。

$0.8 \text{ V} \leq V_{\text{CLK\_IN p-p}} \leq 2.5 \text{ V}$ の範囲では、以下の結果となります。

- ▶  $0.8 \text{ V} \leq V_{\text{S p-p}} \leq 1.0 \text{ V}$ の場合、以下のようになります。
  - ▶  $R1 = 50 \Omega$
  - ▶ R2は不要
- ▶  $1.0 \text{ V} < V_{\text{S p-p}} < 1.8 \text{ V}$ の場合、以下のようになります。
  - ▶ 最高性能を実現するには $V_{\text{CLK\_IN}}$ を1.0V p-pに設定
  - ▶  $500 \Omega \leq R1 \leq 2 \text{ k}\Omega$
  - ▶  $1 \text{ k}\Omega \leq R2 \leq 2 \text{ k}\Omega$
  - ▶  $V_{\text{S p-p}} - V_{\text{CLK\_IN p-p}} > 0.2 \text{ V}$
  - ▶  $R2 = \frac{V_{\text{CLK\_IN p-p}} \times R1}{V_{\text{S p-p}} - V_{\text{CLK\_IN p-p}}}$
- ▶  $1.8 \text{ V} \leq V_{\text{S p-p}}$ の場合、以下のようになります。
  - ▶  $R1 = 2 \text{ k}\Omega$
  - ▶  $R2 = 2 \text{ k}\Omega$

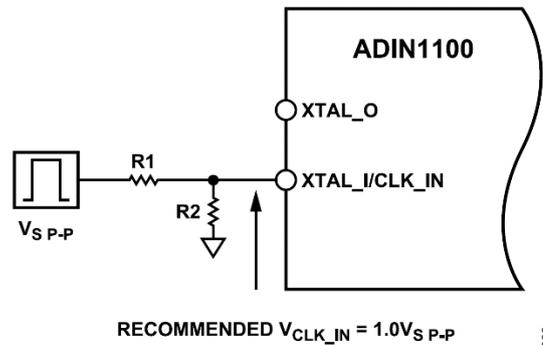


図 24. MIIモードおよびRGMIIモード用外部25MHzクロック入力回路

表 27.  $V_{\text{CLK\_IN}} = 1 \text{ V p-p}$ の場合での様々な $V_{\text{S p-p}}$ 値に対するR1およびR2の値

$V_{\text{S}} \text{ (V p-p)}$	R1	R2
1.0	50 $\Omega$	Not applicable
1.2	500 $\Omega$	2.5 k $\Omega$
1.8	2 k $\Omega$	2 k $\Omega$
2.2	2 k $\Omega$	2 k $\Omega$
2.5	2 k $\Omega$	2 k $\Omega$
2.8	2 k $\Omega$	2 k $\Omega$
3.0	2 k $\Omega$	2 k $\Omega$
3.3	2 k $\Omega$	2 k $\Omega$

### RMIIモード用外部50MHzクロック入力

RMIIモードでは、XTAL/CLK\_INにシングルエンドの50MHzリファレンス・クロック信号が必要で、XTAL\_Oピンはオープン・サーキットのままにします。

PCBの寄生インピーダンスには特別な注意が必要です。また、RMIIのタイミングを合わせるために、ADIN1100と外部MACの間の各クロック・パターン長（曲折したパターンなど）は一致させることを推奨します。

アプリケーション情報

最高性能を実現するには、ADIN1100のV<sub>CLK\_IN</sub>信号を1.0V p-pに設定します。

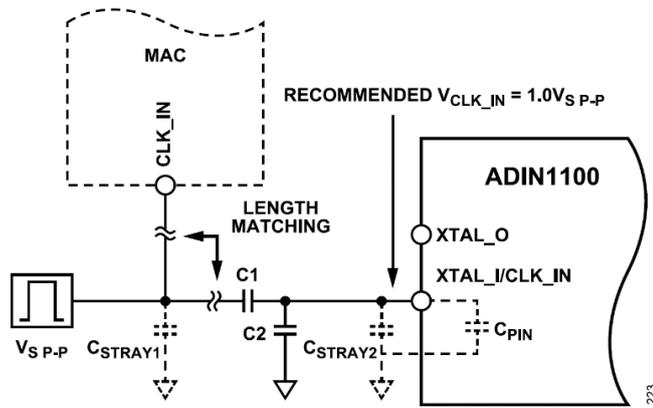


図 25. RMIモード用外部50MHzクロック入力回路

0.8V ≤ V<sub>S p-p</sub> ≤ 1V (DCカップリング) の場合は、以下の結果となります。

- ▶ C1 = 50 Ω (コンデンサを抵抗に置き換え)
- ▶ C2は不要

V<sub>S p-p</sub> > 1.0V (ACカップリング) でC1およびC2をADIN1100のXTAL\_I/CLK\_INピン近くに配置した場合、以下の結果となります。

- ▶ C1 = 70pF (最大値)
- ▶ C2 = 10pF
- ▶ C<sub>PIN</sub> = 3pF (ADIN1100のピン容量)
- ▶ C<sub>STRAY2</sub> ≈ 0pF
- ▶ V<sub>S p-p</sub> - V<sub>CLK\_IN p-p</sub> > 0.2V

$$C1 = \frac{V_{CLK\_IN} \times (C2 + C_{STRAY2} + C_{PIN})}{V_S - V_{CLK\_IN}}$$

表 28. V<sub>CLK\_IN</sub> = 1V p-pの場合での様々なV<sub>S p-p</sub>値に対するC1およびC2の値

V <sub>S</sub> V p-p	C2 (pF)	C1
1.0	Not applicable	50 Ω
1.2	10	68 pF
1.8	10	18 pF
2.2	10	12 pF
2.5	10	10 pF
2.8	10	8.2 pF
3.0	10	8.2 pF
3.3	10	8.2 pF

V<sub>CLK\_IN</sub>の目標電圧に関して妥当な余裕を確保するために、計算にはメーカーによるコンデンサの許容誤差を含める必要があります。

なお、外部MACモジュールにはフィルタ処理を追加する必要がある点に注意してください。選択したクロック源は、回路が必要とする電流を供給できることが必要です。

PCBの寄生容量に関する考慮事項

クロック・パターンの寄生容量による信号への影響が無視できない場合があります。特に、RMIを選択する場合 (50MHzクロック)、寄生容量を減らしタイミング性能を最高のものとするために、PCBの層構成とパターンのインピーダンスを注意深く選択する必要があります。

RMIモード用外部50MHzクロック入力のセクションで説明したAC結合RMIの場合を考量して、以下のPCBパラメータを使用したPCB寄生容量の基本的な計算結果を表29に示します。

- ▶ 送信線のタイプ: マイクロストリップ層1および層2
- ▶ クロック・パターンの幅: W = 127 μm (5mil)
- ▶ メッキ後のPCB L1銅箔の厚さ: T = 35 μm (1.38mil)
- ▶ L1とL2のグラウンド・プレーン距離: H = 0.116mm (4.55mil)
- ▶ 基板の比誘電率: ε<sub>r</sub> = 4.6 (FR4)

この他、モデルおよびガイドラインについてはIPC-2141規格を参照してください。

表 29. パターンの寄生容量の例

Total Clock Trace Length (cm)	Clock Trace Stray Capacitance (pF)
1	~1
2	~2
5	~5

電磁両立性 (EMC) と電磁耐性 (EMI)

ADIN1100は、システム・レベルでEMCとEMIのテストを行っています。表30にテスト結果の概要を示します。

表 30. ADIN1100に対しシステム・レベルで実施したEMC/EMIテスト

EMC/EMI Test	Withstand Threshold/Class
IEC 61000-4-4 EFT	±4 kV
IEC 61000-4-2 ESD (contact discharge)	±4 kV
IEC 61000-4-2 ESD (air discharge)	±8 kV
IEC 61000-4-5 Surge	±4 kV
IEC 61000-4-6 Conducted Immunity	10 V/m
IEC 61000-4-3 Radiated Immunity	Class A
EN 55032 Radiated Emissions	Class B

## MDIOインターフェース

管理インターフェースには、ホスト・コントローラ（マイクロコントローラや外部MACチップなど）とADIN1100の間の2線式シリアル・インターフェース（MDIO）機能があるため、管理レジスタの読出し操作や書込み操作が可能です。

ADIN1100の管理インターフェースは、IEEE 802.3規格の条項22と条項45の両方に準拠しています。

ハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、一部のレジスタのデフォルト値を決定します。これらのレジスタの場合、レジスタ・ビットの説明の欄に示されるリセット値はピン依存として記載されます。この依存性により、ADIN1100はMDIOインターフェースを介したソフトウェア操作を必要とすることなく、ハードウェアで設定できます（アンマネージド・アプリケーション）。

ハードウェア構成ピンのセクションでは、マネージド・アプリケーションとアンマネージド・アプリケーションに対する構成ピンのセットアップの詳細が記載されています。

表 31. 条項22のフレーム・フォーマット

D31 to D30	D29 to D28	D27 to D23	D22 to D18	D17 to D16	D15 to D0
ST	OP	PHYADR	REGAD	TA	Data

表 32. 条項22の入力レジスタのデコード

Bit	Description
ST	2-bit start of frame (01 for Clause 22)
OP	2-bit operation code 01: write 10: read
PHYADR	5-bit PHY address
REGAD	5-bit register address
TA	2-bit turn around field used to avoid contention during a read transition, 2-bit time spacing between register address field and data field
Data	16-bit data, MSB first

レジスタのアクセス許可は次のとおりです。

- ▶ R/W：読出し／書込み
- ▶ R：読出し専用
- ▶ R LL：読出し専用、ラッチ・ロー
- ▶ R LH：読出し専用、ラッチ・ハイ
- ▶ R/W SC：読出し／書込み、セルフ・クリア
- ▶ R SC：読出し専用、セルフ・クリア

### 条項22

IEEE 802.3規格の条項22では、32種類のPHYアドレスの最大32個のレジスタにアクセスできます。

IEEE条項22のMMDレジスタへのアクセス・フォーマットを表31と表32に示します。

## MDIOインターフェース

### 条項45

条項45のレジスタは、MDIO管理可能デバイス（MMD）に基づいて4つのデバイス・アドレス・グループに分けられています（表33参照）。各デバイス・アドレス空間内で、0x0000～0x7FFFのレジスタ・アドレスにはIEEE規格レジスタがあり、0x8000～0xFFFFのレジスタ・アドレスにはベンダ固有レジスタがあります。

このセットアップにより、1つのMDIOインターフェースを通じて最大32のMMDからなる最大32のPHYにアクセスできます。

IEEE条項45のMMDレジスタへのアクセス・フォーマットを表34と表35に示します。

条項45の動作は、単一のフレームで読出しまたは書き込みを行うレジスタ・アドレスおよびデータを指定する、条項22の動作とは異

なります。条項45の場合、最初のフレームは、アクセスするデバイス・アドレスおよびレジスタ・アドレスを指定するために送信されます。次いで、最初のフレームで選択したデバイス・アドレスとレジスタで読出し操作または書き込み操作を行うために、2番目のフレームが送信されます。

表 33. レジスタのグループ分け

Device Address	MMD Name
0x01	PMA and physical medium dependent (PMD)
0x03	PCS
0x07	Autonegotiation
0x1E	Vendor Specific 1
0x1F	Vendor Specific 2

表 34. 条項45のフレーム・フォーマット

MSB					LSB
D31 to D30	D29 to D28	D27 to D23	D22 to D18	D17 to D16	D15 to D0
ST	OP	PHYADR	DEVAD	TA	Address/data

表 35. 条項45の入力レジスタのデコード

Bit	Description
ST	2-bit start of frame (00 for Clause 45)
OP	2-bit operation code 00: address 01: write 11: read 10: read + address
PHYADR	5-bit PHY address
DEVAD	5-bit device address
TA	2-bit turn around field used to avoid contention during a read transition, 2-bit time spacing between register address field and data field
Address/Data	16-bit register address/data

## MDIOインターフェース

### 推奨レジスタ操作

ADIN1100のレジスタの多くは、IEEE 802.3規格で定義され、また、これに準拠しています。規格で定義されたレジスタの動作は必ずしも明確ではないため、推奨するレジスタの操作および使用方法を含め、**ラッチ・ロー・レジスタ**、**IEEE複製レジスタ**、**リード・モディファイ・ライト操作**の各セクションで説明します。

#### ラッチ・ロー・レジスタ

IEEE 802.3-2018規格では、特定のMDIOアクセス可能レジスタにラッチ・ロー動作を求めています。この動作により、これらのレジスタを断続的にしか読み出せないソフトウェアでも、一時的あるいは短期的となる可能性のある状態を検出できます。例えば、AN\_LINK\_STATUSビットはラッチ・ローであることが必要です。デバイスがリセットまたはパワーダウン状態を終了すると、ラッチ条件が無効となり、AN\_LINK\_STATUSビットの値は、現在のリンク状態を反映したものになります。ただし、リンクが確立してから切断された場合は、ラッチ条件は有効になります。この場合、リンクが一時的に再び確立しても、AN\_LINK\_STATUSビットでは0が読み出されます。ラッチ条件がクリアされるのは、AN\_LINK\_STATUSビットが読み出され、リンクが切断されたことをソフトウェアが認識できた場合のみです。

このラッチ・ロー動作が意味することは、ソフトウェアが現在のリンク状態を判定する必要がある場合に、2回連続してAN\_LINK\_STATUSビットを読み出さねばならない、ということです。最初の読出しはアクティブなラッチ条件をクリアするために必要です。

重要なのは、1つのレジスタ・アドレスを共有するMDIOアクセス可能ビット間の相互作用をソフトウェアが考慮することです。例えば、AN\_PAGE\_RXビットとAN\_LINK\_STATUSビットは同じレジスタ・アドレスにあります。その結果、AN\_PAGE\_RXビットを読み出すと、AN\_LINK\_STATUSビットに関連するアクティブなラッチ条件がすべてクリアされてしまいます。

#### IEEE複製レジスタ

IEEE 802.3-2018規格は、10Mbpsから40Gbps以上におよぶ非常に広範な定義と速度をカバーしており、また、多数の条項を含んでいます。この規格で定義されたレジスタの多くは、様々な条項に関連しており、異なるPHYが、異なる条項や、これらの条項の組み合わせを含む場合もあります。そのため、ソフトウェア・リセット、ソフトウェア・パワーダウン、ループバックなどの一般的な機能のレジスタは、複数の条項で記載されている傾向があります。

ADIN1100では、これらのレジスタは物理的には1か所に実装されていますが、複数のアドレスでアクセスすることもできます。例えば、ソフトウェア・リセット・ビットは、表36に示すすべてのIEEE MMD位置およびベンダ固有のレジスタ位置で読書きできます。

表 36. IEEE MMD位置でのソフトウェア・リセット・ビット・アクセス

Register Name	Device Address	Register Address	Bit Name	Bit
PMA/PMD Control 1 (IEEE 802.3)	0x01	0x0000	Reset (IEEE 802.3)	15
10BASE-T1L PMA Control (IEEE 802.3.cg)	0x01	0x08F6	PMA reset (IEEE 802.3.cg)	15
PCS Control 1 (IEEE 802.3)	0x03	0x0000	Reset (IEEE 802.3)	15
10BASE-T1L PCS Control (IEEE 802.3.cg)	0x03	0x08E6	PCS reset (IEEE 802.3.cg)	15
Software Reset (ADIN1100)	0x1E	0x8810	CRSM_SFT_RST (ADIN1100)	0

この例の場合、これらの場所は、PMA/PMD、PCS、オートネゴシエーション、ベンダ固有1のデバイス・アドレス位置です（表33参照）。

IEEE規格を満たすよう、ADIN1100には同じレジスタに対し複数のアドレス位置があります。

ADIN1100のデータシートでは、これらのIEEEレジスタごとに1つの推奨アドレス位置のみを挙げることで、デバイスの動作と使用方法を簡潔にしています。一般に、規格の802.3cg (10BASE-T1L) セクションで示されているレジスタは、これ以前の（同等の）レジスタに優先して推奨されています。特に、あるレジスタが1つのレジスタ・アドレスに有用なIEEEレジスタ・ビットを多数含む場合、ベンダ固有アドレスのレジスタが推奨されます。ADIN1100は、パワーオン・リセット、ハードウェア・リセット、またはソフトウェア・リセット後の起動シーケンスが完了すると、10BASE-T1L規格によってカバーされるすべてのIEEEレジスタ・アドレス位置へのレジスタ・アクセスに正しく対応します。

#### リード・モディファイ・ライト操作

すべてのレジスタ書込み操作は、特に、個々のレジスタ・ビットを変更する場合は、リード・モディファイ・ライトとして実行することを強く推奨します。これに従わない場合、レジスタ・ビットの値が意図せずに変更される場合があります。

## レジスタの一覧

## イーサネット条項22レジスタの詳細

表 37. ADIN1100のレジスタ一覧

Address	Name	Description	Reset	Access
0x0	MI_CONTROL	MII Control Register.	0x1100	R/W
0x1	MI_STATUS	MII Status Register.	0x1009	R
0x2	MI_PHY_ID1	PHY Identifier 1 Register.	0x0283	R
0x3	MI_PHY_ID2	PHY Identifier 2 Register.	0xBC81	R
0xD	MMD_ACCESS_CNTRL	MMD Access Control.	0x0000	R/W
0xE	MMD_ACCESS	MMD Access.	0x0000	R/W

## MIIコントロール・レジスタ

アドレス：0x0、リセット：0x1100、レジスタ名：MI\_CONTROL

このアドレスは、802.3規格の条項22.2.4.1で規定されているMIIコントロール・レジスタに対応しています。

表 38. MI\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_SFT_RST	ソフトウェア・リセット。ソフトウェア・リセット・レジスタを使用すると、ソフトウェアのリセット・サイクルを開始できます。CRSM_SFT_RSTをミラーリングします。	0x0	R/W SC
14	MI_LOOPBACK	ローカル・ループバック（PCS）。ループバック・レジスタにより、PHYループバック・モードを有効にすることができます。LB_PCS_ENをミラーリングします。	0x0	R/W
13	MI_SPEED_SEL_LSB	MII速度の選択（LSB）。MI_SPEED_SEL_MSBを参照してください。	0x0	R
12	MI_AN_EN	オートネゴシエーションのイネーブル。AN_FRC_MODE_ENレジスタを使用すると、強制リンク設定モードをイネーブルできます。AN_ENをミラーリングします。 0：オートネゴシエーションをディスエーブル。 1：オートネゴシエーションをイネーブル。	0x1	R
11	MI_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・ビットを使用すると、PHYをソフトウェア・パワーダウン・モードにできます。このモードでは、大半のPHY回路がオフに切り替わります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このレジスタのデフォルト値は、RX_DV/RX_CTL/SWPD_ENピンを使用して設定可能です。そのため、PHYは、適切なソフトウェア初期化が行われるまで、リセット状態を維持することができます。CRSM_SFT_PDをミラーリングします。	Pin Dependent	R/W
10	MI_ISOLATE	MII絶縁。このビットで、PHYとMIIを絶縁できます。	0x0	R/W
9	RESERVED	予備。	0x0	R/W SC
8	MI_FULL_DUPLEX	MII全二重。PHYは全二重モードでのみ動作可能なので、二重モード・ビットへの書込みはできず、常に1が読み出されます。	0x1	R
7	MI_COLTEST	MIIコリジョン・テスト。PHYは全二重モードでのみ動作可能でコリジョン検出MII（COL）ピンがないため、コリジョン・テスト・ビットへの書込みはできず、常に0が読み出されます。	0x0	R
6	MI_SPEED_SEL_MSB	MII速度の選択MSB。PHYは10Mbpsでのみ動作可能なので、速度選択MSBビットおよびLSBビットへの書込みはできず、常に00が読み出されます。	0x0	R
5	MI_UNIDIR_EN	MII単方向イネーブル。PHYは、有効なリンクが確立されたことを判別したかどうかにかかわらず、MIIからデータを送信できないので、単方向イネーブル・ビットへの書込みはできず、常に0が読み出されます。	0x0	R
[4:0]	RESERVED	予備。	0x0	R

## MIIステータス・レジスタ

アドレス：0x1、リセット：0x1009、レジスタ名：MI\_STATUS

このアドレスは、802.3規格の条項22.2.4.2で規定されているMIIステータス・レジスタに対応しています。

## レジスタの一覧

表 39. MI\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_T4_SPRT	100BASE-T4アビリティ。PHYは100BASE-T4に対応していないため、100BASE-T4アビリティ・ビットは常に0が読み出されます。	0x0	R
14	MI_FD100_SPRT	全二重100BASE-Xアビリティ。PHYは100BASE-X全二重に対応していないため、100BASE-X全二重アビリティ・ビットは常に0が読み出されます。	0x0	R
13	MI_HD100_SPRT	半二重100BASE-Xアビリティ。PHYは100BASE-X半二重に対応していないため、100BASE-X半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
12	MI_FD10_SPRT	全二重10Mbpsアビリティ。10Mbps全二重アビリティ・ビットは、PHYが10Mbps全二重に対応していることを示します。	0x1	R
11	MI_HD10_SPRT	半二重10Mbpsアビリティ。PHYは10Mbps半二重に対応していないため、10Mbps半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
10	MI_FD_T2_SPRT	全二重100BASE-T2アビリティ。PHYは100BASE-T2全二重に対応していないため、100BASE-T2全二重アビリティ・ビットは常に0が読み出されます。	0x0	R
9	MI_HD_T2_SPRT	半二重100BASE-T2アビリティ。PHYは100BASE-T2半二重に対応していないため、100BASE-T2半二重アビリティ・ビットは常に0が読み出されます。	0x0	R
8	MI_EXT_STAT_SPRT	拡張ステータス・サポート。拡張ステータス・サポート・ビットは常に0として読み出され、PHYがレジスタ0xFで拡張ステータス情報を提供しないことを示します。	0x0	R
7	MI_UNIDIR_ABLE	単方向アビリティ。PHYは、有効なリンクが確立されていることを判別した場合にのみMIIからデータを送信できるため、単方向アビリティ・ビットは常に0が読み出されます。	0x0	R
6	MI_MF_PREAM_SUP_ABLE	管理プリアンブル抑制アビリティ。PHYは、先頭にプリアンブル・パターンがない管理フレームは受信できないため、管理フレーム・プリアンブル抑制アビリティ・ビットは常に0が読み出されます。	0x0	R
5	MI_AN_COMPLETE	オートネゴシエーション完了。オートネゴシエーション完了ビットは、オートネゴシエーション・プロセスが完了し、PHYリンクが確立したことを示します。AN_COMPLETEをミラーリングします。	0x0	R
4	MI_REM_FLT	リモート・フォルト。PHYはリモート・フォルト検出に対応していないため、リモート・フォルト・ビットは常に0が読み出されます。	0x0	R LH
3	MI_AN_ABLE	オートネゴシエーション・アビリティ。PHYはオートネゴシエーションを実行できるため、オートネゴシエーション・ビットは常に1が読み出されます。AN_ABLEをミラーリングします。	0x1	R
2	MI_LINK_STAT_LAT	リンク・ステータス。リンク・ステータス・ビットは、IEEE 802.3規格の副条項45.2.7.20.5に記載のラッチ・ロー機能を使用します。リンク・ステータス値が切断を示している場合、ビット読み出し時にラッチがクリアされるまで、このビットはクリアのままとなります。7.513.2 (AN_LINK_STATUS) をミラーリングします。	0x0	R LL
1	MI_JABBER_DET	MIIジャババー検出。10BASE-T1L PHYはジャババー検出機能に対応していないため、ジャババー検出ビットは常に0が読み出されます。	0x0	R LH
0	MI_EXT_CAPABLE	MII拡張ケイパビリティ。PHYは拡張レジスタ・セットを通じてアクセスできるケイパビリティの拡張セットを備えているため、拡張ケイパビリティ・ビットは常に1が読み出されます。拡張レジスタ・セットには、0x0、0x1、0xFを除くすべての管理レジスタが含まれています。	0x1	R

## PHY識別子1レジスタ

アドレス：0x2、リセット：0x0283、レジスタ名：MI\_PHY\_ID1

PHY識別子1のアドレスを使用すると、OUIの16ビットがわかります。

表 40. MI\_PHY\_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MI_PHY_ID1	PHY識別子1のアドレスを使用すると、OUIの16ビットがわかります。	0x283	R

## PHY識別子2レジスタ

アドレス：0x3、リセット：0xBC81、レジスタ名：MI\_PHY\_ID2

PHY識別子2のアドレスを使用すると、OUIの6ビットおよびモデル番号とリビジョン番号がわかります。

## レジスタの一覧

表 41. MI\_PHY\_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MI_PHY_ID2_OUI	OUI、ビット[7:2]。	0x2F	R
[9:4]	MI_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MI_REV_NUM	リビジョン番号。	0x1	R

## MMDアクセス・コントロール・レジスタ

アドレス：0xD、リセット：0x0000、レジスタ名：MMD\_ACCESS\_CNTRL

このアドレスは、IEEE 802.3-2018規格の条項22.2.4.3.11で規定されているMMDアクセス・コントロール・レジスタに対応しています。

表 42. MMD\_ACCESS\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD_ACR_FUNCTION	機能。機能ビットは、MMD_ACCESSレジスタへのアクセス時のMMDアクセスの種類を選択します。 00：アドレス。 01：データ、ポスト・インクリメントなし。 10：データ、読み書き時にポスト・インクリメント。 11：データ、書き込み時にのみポスト・インクリメント。	0x0	R/W
[13:5]	RESERVED	予備。	0x0	R
[4:0]	MMD_ACR_DEVAD	デバイス・アドレス。このビットの値によって、MMD_ACCESSレジスタへのすべてのアクセスが、選択されたMMDに振り向けられます。	0x0	R/W

## MMDアクセス・レジスタ

アドレス：0xE、リセット：0x0000、レジスタ名：MMD\_ACCESS

このアドレスは、IEEE 802.3-2018規格の条項22.2.4.3.12で規定されているMMDアクセス・アドレス・データ・レジスタに対応しています。

MMD\_ACCESSレジスタをMMD\_ACCESS\_CNTRLレジスタと併用すると、条項22.2.4で定められたインターフェースと機構を使用してMMDアドレス空間へのアクセスができます。

表 43. MMD\_ACCESSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD_ACCESS	アクセス・アドレス。このアドレスは、IEEE 802.3-2018規格の条項22.2.4.3.12で規定されているMMDアクセス・アドレス・データ・レジスタに対応しています。 MMD_ACCESSレジスタをMMD_ACCESS_CNTRLレジスタと併用すると、条項22.2.4で定められたインターフェースと機構を使用してMMDアドレス空間へのアクセスができます。	0x0	R/W

## イーサネット条項45レジスタの詳細

表 44. イーサネット条項45レジスタの概要

Device Address	Register Address	Name	Description	Reset	Access
0x01	0x0000	PMA_PMD_CNTRL1	PMA/PMD Control 1 Register.	0x0000	R/W
0x01	0x0001	PMA_PMD_STAT1	PMA/PMD Status 1 Register.	0x0002	R
0x01	0x0005	PMA_PMD_DEVS_IN_PKG1	PMA/PMD MMD Devices in Package 1.	0x008B	R
0x01	0x0006	PMA_PMD_DEVS_IN_PKG2	PMA/PMD MMD Devices in Package 2 Register.	0xC000	R
0x01	0x0007	PMA_PMD_CNTRL2	PMA/PMD Control 2 Register.	0x003D	R/W
0x01	0x0008	PMA_PMD_STAT2	PMA/PMD Status 2.	0x8301	R
0x01	0x0009	PMA_PMD_TX_DIS	PMA/PMD Transmit Disable Register.	0x0000	R/W
0x01	0x000B	PMA_PMD_EXT_ABILITY	PMA/PMD Extended Abilities Register.	0x0800	R

## レジスタの一覧

表 44. イーサネット条項45レジスタの概要（続き）

Device Address	Register Address	Name	Description	Reset	Access
0x01	0x0012	PMA_PMD_BT1_ABILITY	BASE-T1 PMA/PMD Extended Ability Register.	0x0004	R
0x01	0x0834	PMA_PMD_BT1_CONTROL	BASE-T1 PMA/PMD Control Register.	0x8002	R/W
0x01	0x08F6	B10L_PMA_CNTRL	10BASE-T1L PMA Control Register.	0x0000	R/W
0x01	0x08F7	B10L_PMA_STAT	10BASE-T1L PMA Status Register.	0x2800	R
0x01	0x08F8	B10L_TEST_MODE_CNTRL	10BASE-T1L Test Mode Control Register.	0x0000	R/W
0x01	0x8302	B10L_PMA_LINK_STAT	10BASE-T1L PMA Link Status Register.	0x0000	R
0x01	0x830B	MSE_VAL	Mean Squared Error (MSE) Value Register.	0x0000	R
0x03	0x0000	PCS_CNTRL1	PCS Control 1 Register.	0x0000	R/W
0x03	0x0001	PCS_STAT1	PCS Status 1 Register.	0x0002	R
0x03	0x0005	PCS_DEVS_IN_PKG1	PCS MMD Devices in Package 1 Register.	0x008B	R
0x03	0x0006	PCS_DEVS_IN_PKG2	PCS MMD Devices in Package 2 Register.	0xC000	R
0x03	0x0008	PCS_STAT2	PCS Status 2 Register.	0x8000	R
0x03	0x08E6	B10L_PCS_CNTRL	10BASE-T1L PCS Control Register.	0x0000	R/W
0x03	0x08E7	B10L_PCS_STAT	10BASE-T1L PCS Status Register.	0x0000	R
0x07	0x0005	AN_DEVS_IN_PKG1	Autonegotiation MMD Devices in Package 1 Register.	0x008B	R
0x07	0x0006	AN_DEVS_IN_PKG2	Autonegotiation MMD Devices in Package 2 Register.	0xC000	R
0x07	0x0200	AN_CONTROL	BASE-T1 Autonegotiation Control Register.	0x1000	R/W
0x07	0x0201	AN_STATUS	BASE-T1 Autonegotiation Status Register.	0x0008	R
0x07	0x0202	AN_ADV_ABILITY_L	BASE-T1 Autonegotiation Advertisement Register, Bits[15:0].	0x0001	R/W
0x07	0x0203	AN_ADV_ABILITY_M	BASE-T1 Autonegotiation Advertisement Register, Bits[31:16].	0x4000	R/W
0x07	0x0204	AN_ADV_ABILITY_H	BASE-T1 Autonegotiation Advertisement Register, Bits[47:32].	0x0000	R/W
0x07	0x0205	AN_LP_ADV_ABILITY_L	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x0206	AN_LP_ADV_ABILITY_M	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x0207	AN_LP_ADV_ABILITY_H	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x0208	AN_NEXT_PAGE_L	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[15:0].	0x2001	R/W
0x07	0x0209	AN_NEXT_PAGE_M	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[31:16].	0x0000	R/W
0x07	0x020A	AN_NEXT_PAGE_H	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[47:32].	0x0000	R/W
0x07	0x020B	AN_LP_NEXT_PAGE_L	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x020C	AN_LP_NEXT_PAGE_M	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x020D	AN_LP_NEXT_PAGE_H	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x020E	AN_B10_ADV_ABILITY	10BASE-T1 Autonegotiation Control Register.	0x8000	R/W
0x07	0x020F	AN_B10_LP_ADV_ABILITY	10BASE-T1 Autonegotiation Status Register.	0x0000	R
0x07	0x8000	AN_FRC_MODE_EN	Autonegotiation Forced Mode Enable Register.	0x0000	R/W
0x07	0x8001	AN_STATUS_EXTRA	Extra Autonegotiation Status Register.	0x0000	R

## レジスタの一覧

表 44. イーサネット条項45レジスタの概要（続き）

Device Address	Register Address	Name	Description	Reset	Access
0x01	0x0012	PMA_PMD_BT1_ABILITY	BASE-T1 PMA/PMD Extended Ability Register.	0x0004	R
0x01	0x0834	PMA_PMD_BT1_CONTROL	BASE-T1 PMA/PMD Control Register.	0x8002	R/W
0x01	0x08F6	B10L_PMA_CNTRL	10BASE-T1L PMA Control Register.	0x0000	R/W
0x01	0x08F7	B10L_PMA_STAT	10BASE-T1L PMA Status Register.	0x2800	R
0x01	0x08F8	B10L_TEST_MODE_CNTRL	10BASE-T1L Test Mode Control Register.	0x0000	R/W
0x01	0x8302	B10L_PMA_LINK_STAT	10BASE-T1L PMA Link Status Register.	0x0000	R
0x01	0x830B	MSE_VAL	Mean Squared Error (MSE) Value Register.	0x0000	R
0x03	0x0000	PCS_CNTRL1	PCS Control 1 Register.	0x0000	R/W
0x03	0x0001	PCS_STAT1	PCS Status 1 Register.	0x0002	R
0x03	0x0005	PCS_DEVS_IN_PKG1	PCS MMD Devices in Package 1 Register.	0x008B	R
0x03	0x0006	PCS_DEVS_IN_PKG2	PCS MMD Devices in Package 2 Register.	0xC000	R
0x03	0x0008	PCS_STAT2	PCS Status 2 Register.	0x8000	R
0x03	0x08E6	B10L_PCS_CNTRL	10BASE-T1L PCS Control Register.	0x0000	R/W
0x03	0x08E7	B10L_PCS_STAT	10BASE-T1L PCS Status Register.	0x0000	R
0x07	0x0005	AN_DEVS_IN_PKG1	Autonegotiation MMD Devices in Package 1 Register.	0x008B	R
0x07	0x0006	AN_DEVS_IN_PKG2	Autonegotiation MMD Devices in Package 2 Register.	0xC000	R
0x07	0x0200	AN_CONTROL	BASE-T1 Autonegotiation Control Register.	0x1000	R/W
0x07	0x0201	AN_STATUS	BASE-T1 Autonegotiation Status Register.	0x0008	R
0x07	0x0202	AN_ADV_ABILITY_L	BASE-T1 Autonegotiation Advertisement Register, Bits[15:0].	0x0001	R/W
0x07	0x0203	AN_ADV_ABILITY_M	BASE-T1 Autonegotiation Advertisement Register, Bits[31:16].	0x4000	R/W
0x07	0x0204	AN_ADV_ABILITY_H	BASE-T1 Autonegotiation Advertisement Register, Bits[47:32].	0x0000	R/W
0x07	0x0205	AN_LP_ADV_ABILITY_L	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x0206	AN_LP_ADV_ABILITY_M	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x0207	AN_LP_ADV_ABILITY_H	BASE-T1 Autonegotiation Link Partner Base Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x0208	AN_NEXT_PAGE_L	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[15:0].	0x2001	R/W
0x07	0x0209	AN_NEXT_PAGE_M	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[31:16].	0x0000	R/W
0x07	0x020A	AN_NEXT_PAGE_H	BASE-T1 Autonegotiation Next Page Transmit Register, Bits[47:32].	0x0000	R/W
0x07	0x020B	AN_LP_NEXT_PAGE_L	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[15:0].	0x0000	R
0x07	0x020C	AN_LP_NEXT_PAGE_M	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[31:16].	0x0000	R
0x07	0x020D	AN_LP_NEXT_PAGE_H	BASE-T1 Autonegotiation Link Partner Next Page Ability Register, Bits[47:32].	0x0000	R
0x07	0x020E	AN_B10_ADV_ABILITY	10BASE-T1 Autonegotiation Control Register.	0x8000	R/W
0x07	0x020F	AN_B10_LP_ADV_ABILITY	10BASE-T1 Autonegotiation Status Register.	0x0000	R
0x07	0x8000	AN_FRC_MODE_EN	Autonegotiation Forced Mode Enable Register.	0x0000	R/W
0x07	0x8001	AN_STATUS_EXTRA	Extra Autonegotiation Status Register.	0x0000	R

## レジスタの一覧

表 44. イーサネット条項45レジスタの概要（続き）

Device Address	Register Address	Name	Description	Reset	Access
0x1F	0x800F	FC_USZ_CNT	Frame Checker Undersized Frame Count Register.	0x0000	R
0x1F	0x8010	FC_ODD_CNT	Frame Checker Odd Nibble Frame Count Register.	0x0000	R
0x1F	0x8011	FC_ODD_PRE_CNT	Frame Checker Odd Preamble Packet Count Register.	0x0000	R
0x1F	0x8013	FC_FALSE_CARRIER_CNT	Frame Checker False Carrier Count Register.	0x0000	R
0x1F	0x8020	FG_EN	Frame Generator Enable Register.	0x0000	R/W
0x1F	0x8021	FG_CNTRL_RSTRT	Frame Generator Control/Restart Register.	0x0001	R/W
0x1F	0x8022	FG_CONT_MODE_EN	Frame Generator Continuous Mode Enable Register.	0x0000	R/W
0x1F	0x8023	FG_IRQ_EN	Frame Generator Interrupt Enable Register.	0x0000	R/W
0x1F	0x8025	FG_FRM_LEN	Frame Generator Frame Length Register.	0x006B	R/W
0x1F	0x8026	FG_IFG_LEN	Frame Generator Interframe Gap Length Register.	0x000C	R/W
0x1F	0x8027	FG_NFRM_H	Frame Generator Number of Frames High Register.	0x0000	R/W
0x1F	0x8028	FG_NFRM_L	Frame Generator Number of Frames Low Register.	0x0100	R/W
0x1F	0x8029	FG_DONE	Frame Generator Done Register.	0x0000	R
0x1F	0x8050	RMII_CFG	RMII Configuration Register.	0x0006	R/W
0x1F	0x8055	MAC_IF_LOOPBACK	MAC Interface Loopbacks Configuration Register.	0x000A	R/W
0x1F	0x805A	MAC_IF_SOP_CNTRL	MAC Start of Packet (SOP) Generation Control Register.	0x001B	R/W

## PMA/PMDコントロール1レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0000、リセット：0x0000、レジスタ名：PMA\_PMD\_CNTRL1

このアドレスは、802.3規格の条項45.2.1.1で規定されているPMA/PMDコントロール・レジスタ1に対応しています。このレジスタのリセット値は、ハードウェア構成ピンの設定に依存することに注意してください。

表 45. PMA\_PMD\_CNTRL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PMA_SFT_RST	PMAソフトウェア・リセット。PMAソフトウェア・リセット・ビットを使用すると、チップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。このビットはセルフ・クリア・ビットで、リセットの進行中は1の値を返します。それ以外の場合は0を返します。	0x0	R/W SC
[14:12]	RESERVED	予備。	0x0	R
11	PMA_SFT_PD	PMAソフトウェア・パワーダウン。PMAソフトウェア・パワーダウン・ビットは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このビットのデフォルト値は、RX_DV/RX_CTL/SWPD_ENピンを使用して設定可能です。そのため、チップは、適切なソフトウェア初期化が行われるまで、パワーダウン・モードを維持することができます。	0x0	R/W
[10:1]	RESERVED	予備。	0x0	R
0	LB_PMA_LOC_EN	PMAローカル・ループバックをイネーブル。このビットを1に設定すると、PMAは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PMAは通常動作モードで動作します。	0x0	R/W

## レジスタの一覧

## PMA/PMDステータス1レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0001、リセット：0x0002、レジスタ名：PMA\_PMD\_STAT1

このアドレスは、802.3規格の条項45.2.1.2で規定されているPMA/PMDステータス・レジスタ1に対応しています。

表 46. PMA\_PMD\_STAT1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
2	PMA_LINK_STAT_OK_LL	PMAリンク・ステータス。このビットが1の場合、リンクが確立されていることを示します。ビットが0の場合、最後のビット読み出し後、リンクが切断されたことを示します。	0x0	R LL
1	PMA_SFT_PD_ABLE	PMAソフトウェア・パワーダウン・エーブル。PMAがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予備。	0x0	R

## パッケージ1のPMA/PMD MMDデバイス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：PMA\_PMD\_DEVS\_IN\_PKG1

表 47. PMA\_PMD\_DEVS\_IN\_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG1	パッケージ1のPMA/PMD MMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

## パッケージ2のPMA/PMD MMDデバイス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：PMA\_PMD\_DEVS\_IN\_PKG2

表 48. PMA\_PMD\_DEVS\_IN\_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG2	パッケージ2のPMA/PMD MMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

## PMA/PMDコントロール2レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0007、リセット：0x003D、レジスタ名：PMA\_PMD\_CNTRL2

表 49. PMA\_PMD\_CNTRL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
[6:0]	PMA_PMD_TYPE_SEL	PMA/PMDのタイプの選択。IEEE 802.3規格を参照。PMA_PMD_TYPE_SELを使用するのは、オートネゴシエーションがディスエーブルされ、強制リンク設定モードがイネーブルされている場合のみです。オートネゴシエーションがイネーブルの場合、PHYのタイプはオートネゴシエーション・プロセス自体によって決められます。ADIN1100では、このビット・フィールドに有効な唯一の値は、BASE-T1 PMA/PMD用の値です。 0000000: 10GBASE-CX4 PMA/PMD. 0000001: 10GBASE-EW PMA/PMD. 0000010: 10GBASE-LW PMA/PMD. 0000011: 10GBASE-SW PMA/PMD. 0000100: 10GBASE-LX4 PMA/PMD. 0000101: 10GBASE-ER PMA/PMD. 0000110: 10GBASE-LR PMA/PMD. 0000111: 10GBASE-SR PMA/PMD. 0001000: 10GBASE-LRM PMA/PMD. 0001001: 10GBASE-T PMA. 0001010: 10GBASE-KX4 PMA/PMD. 0001011: 10GBASE-KR PMA/PMD. 0001100: 1000BASE-T PMA/PMD.	0x3D	R/W

## レジスタの一覧

表 49. PMA\_PMD\_CNTRL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
		0001101: 100BASE-KX PMA/PMD. 0001110: 100BASE-TX_PMA/PMD. 0001111: 10BASE-T PMA/PMD. 0010000: 10/1GBASE-PRX-D1. 0010001: 10/1GBASE-PRX-D2. 0010010: 10/1GBASE-PRX-D3. 0010011: 10GBASE-PR-D1. 0010100: 10GBASE-PR-D2. 0010101: 10GBASE-PR-D3. 0010110: 10/1GBASE-PRX-U1. 0010111: 10/1GBASE-PRX-U2. 0011000: 10/1GBASE-PRX-U3. 0011001: 10GBASE-PR-U1. 0011010: 10GBASE-PR-U3. 0011011: reserved. 0011100: 10GBASE-PR-D4. 0011101: 10/1GBASE-PRX-D4. 0011110: 10GBASE-PR-U4. 0011111: 10/1GBASEPRX-U4. 0100000: 40GBASE-KR4 PMA/PMD. 0100001: 40GBASE-CR4 PMA/PMD. 0100010: 40GBASE-SR4 PMA/PMD. 0100011: 40GBASE-LR4 PMA/PMD. 0100100: 40GBASE-FR PMA/PMD. 0100101: 40GBASE-ER4 PMA/PMD. 0100110: 40GBASE-T PMA. 0101000: 100GBASE-CR10 PMA/PMD. 0101001: 100GBASE-SR10 PMA/PMD. 0101010: 100GBASE-LR4 PMA/PMD. 0101011: 100GBASE-ER4 PMA/PMD. 0101100: 100GBASE-KP4 PMA/PMD. 0101101: 100GBASE-KR4 PMA/PMD. 0101110: 100GBASE-CR4 PMA/PMD. 0101111: 100GBASE-SR4 PMA/PMD. 0110000: 2.5GBASE-T PMA. 0110001: 5GBASE-T PMA. 0110010: 10GPASS-XR-D PMA/PMD. 0110011: 10GPASS-XR-U PMA/PMD. 0110100: BASE-H PMA/PMD. 0110101: 25GBASE-LR PMA/PMD. 0110110: 25GBASE-ER PMA/PMD. 0110111: 25GBASE-T PMA. 0111000: 25GBASE-CR or 25GBASE-CR-S PMA/PMD. 0111001: 25GBASE-KR or 25GBASE-KR-S PMA/PMD. 0111010: 25GBASE-SR PMA/PMD. 0111101: BASE-T1 PMA/PMD. 1010011: 200GBASE-DR4 PMA/PMD. 1010100: 200GBASE-FR4 PMA/PMD. 1010101: 200GBASE-LR4 PMA/PMD. 1011001: 400GBASE-SR16 PMA/PMD. 1011010: 400GBASE-DR4 PMA/PMD. 1011011: 400GBASE-FR8 PMA/PMD. 1011100: 400GBASE-LR8 PMA/PMD.		

## レジスタの一覧

## PMA/PMDステータス2レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0008、リセット：0x8301、レジスタ名：PMA\_PMD\_STAT2

表 50. PMA\_PMD\_STAT2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PMA_PMD_PRESENT	PMA/PMDが存在。PMAが存在し応答していることを示します。	0x2	R
[13:10]	RESERVED	予備。	0x0	R
9	PMA_PMD_EXT_ABLE	PHY拡張アビリティ・サポート。PHYがPMA_PMD_EXT_ABILITYに記載の拡張アビリティに対応していることを示します。	0x1	R
8	PMA_PMD_TX_DIS_ABLE	PMA/PMD Txディスエーブル。PMAが送信ディスエーブルに対応していることを示します。	0x1	R
[7:1]	RESERVED	予備。	0x0	R
0	LB_PMA_LOC_ABLE	PMAローカル・ループバック・エーブル。PMAがローカル・ループバックに対応していることを示します。	0x1	R

## PMA/PMD送信ディスエーブル・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0009、リセット：0x0000、レジスタ名：PMA\_PMD\_TX\_DIS

このアドレスは、802.3規格の条項45.2.1.8で規定されているPMD送信ディスエーブル・レジスタに対応しています。

表 51. PMA\_PMD\_TX\_DISのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	PMA_TX_DIS	PMD送信ディスエーブル。このビットを1に設定すると、PMDは送信経路の出力をディスエーブルします。それ以外の場合は、PMDは送信経路の出力をイネーブルします。	0x0	R/W

## PMA/PMD拡張アビリティ・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x000B、リセット：0x0800、レジスタ名：PMA\_PMD\_EXT\_ABILITY

PMA/PMD拡張アビリティ。

表 52. PMA\_PMD\_EXT\_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
11	PMA_PMD_BT1_ABLE	PHYはBASE-T1に対応。PHYがPMA_PMD_BT1_ABILITYに記載のBASE-T1拡張アビリティに対応していることを示します。	0x1	R
[10:0]	RESERVED	予備。	0x0	R

## BASE-T1 PMA/PMD拡張アビリティ・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0012、リセット：0x0004、レジスタ名：PMA\_PMD\_BT1\_ABILITY

このアドレスは、802.3規格の条項45.2.1.16で規定されているBASE-T1 PMA/PMD拡張アビリティ・レジスタに対応しています。このレジスタは読出し専用で、書込みを行っても無効です。

## レジスタの一覧

表 53. PMA\_PMD\_BT1\_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	B10S_ABILITY	10BASE-T1Sアビリティ。PMA/PMDは10BASE-T1Sに対応していないため、このビットは常に0として読み出されます。	0x0	R
2	B10L_ABILITY	10BASE-T1Lアビリティ。PMA/PMDは10BASE-T1Lに対応しているため、このビットは常に1として読み出されます。	0x1	R
1	B1000_ABILITY	1000BASE-T1アビリティ。PMA/PMDは1000BASE-T1に対応していないため、このビットは常に0として読み出されます。	0x0	R
0	B100_ABILITY	100BASE-T1アビリティ。PMA/PMDは100BASE-T1に対応していないため、このビットは常に0として読み出されます。	0x0	R

## BASE-T1 PMA/PMDコントロール・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0834、リセット：0x8002、レジスタ名：PMA\_PMD\_BT1\_CONTROL

このアドレスは、802.3規格の条項45.2.1.185で規定されているBASE-T1 PMA/PMDコントロール・レジスタに対応しています。

表 54. PMA\_PMD\_BT1\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x1	R
14	CFG_MST	マスタ/スレーブ設定。CFG_MSTが使用されるのは、オートネゴシエーションがディスエーブルの場合のみです。そうでない場合、この値はオートネゴシエーション・プロセス自体によって決まります。このビットを1に設定すると、デバイスはマスタとして設定されます。そうでない場合、デバイスはスレーブとして設定されます。	Pin Dependent	R/W
[13:4]	RESERVED	予備。	0x0	R
[3:0]	BT1_TYPE_SEL	BASE-T1のタイプの選択。以下のコントロール・レジスタのビットの定義については、IEEE 802.3規格を参照してください（Xはドント・ケアを意味します）。 1XXX：予備 01XX：予備 0011：10BASE-T1S。 0010：10BASE-T1L。 0001：1000BASE-T。 0000：100BASE-T。 BT1_TYPE_SELを使用するのは、オートネゴシエーションがディスエーブルされ、強制リンク設定モードがイネーブルされている場合のみです。オートネゴシエーションがイネーブルの場合、PHYのタイプはオートネゴシエーション・プロセス自体によって決められます。ADIN1100レジスタでは、10BASE-T1L用の値のみ有効です。 0010：10BASE-T1L。	0x2	R/W

## 10BASE-T1L PMAコントロール・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F6、リセット：0x0000、レジスタ名：B10L\_PMA\_CNTRL

このアドレスは、802.3cg規格の条項45.2.1.186aで規定されている10BASE-T1L PMAコントロール・レジスタに対応しています。

表 55. B10L\_PMA\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	B10L_TX_DIS_MODE_EN	10BASE-T1L送信ディスエーブル・モード。このビットを1に設定すると、送信経路の出力がディスエーブルされます。そうでない場合は、送信経路の出力がイネーブルされます。	0x0	R/W
13	RESERVED	予備。	0x0	R
12	B10L_TX_LVL_HI	10BASE-T1L送信電圧振幅制御。この設定はオートネゴシエーションがディスエーブルされている場合にのみ使用します。そうでない場合、設定はオートネゴシエーション・プロセス自体によって決まります。このビットを1にセットすると、デバイスは2.4V p-pの動作モードで動作します。それ以外では、デバイスは1.0V p-pの動作モードで動作します。	Pin Dependent	R/W
11	RESERVED	予備。	0x0	R/W

## レジスタの一覧

表 55. B10L\_PMA\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
10	B10L_EEE	10BASE-T1L EEEイネーブル。	0x0	R/W
[9:1]	RESERVED	予備。	0x0	R
0	B10L_LB_PMA_LOC_EN	10BASE-T1L PMAループバック。このビットを1に設定すると、PMAは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PMAは通常動作モードで動作します。	0x0	R/W

## 10BASE-T1L PMAステータス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F7、リセット：0x2800、レジスタ名：B10L\_PMA\_STAT

このアドレスは、802.3cg規格の条項45.2.1.186bで規定されている10BASE-T1L PMAステータス・レジスタに対応しています。

表 56. B10L\_PMA\_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
13	B10L_LB_PMA_LOC_ABLE	10BASE-T1L PMAループバック・アビリティ。PMAにはループバック・アビリティがあるため、このビットは常に1として読み出されます。	0x1	R
12	B10L_TX_LVL_HI_ABLE	10BASE-T1L高電圧送信アビリティ。PHYが10BASE-T1L高電圧（2.4V p-p）送信レベル動作モードに対応していることを示します。	Pin Dependent	R
11	B10L_PMA_SFT_PD_ABLE	PMAはパワーダウンに対応。PMAがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
10	B10L_EEE_ABLE	10BASE-T1L EEEアビリティ。PHYが10BASE-T1L EEEに対応しているかどうかを示します。	0x0	R
[9:0]	RESERVED	予備。	0x0	R

## 10BASE-T1Lテスト・モード・コントロール・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x08F8、リセット：0x0000、レジスタ名：B10L\_TEST\_MODE\_CNTRL

このアドレスは、802.3cg規格の条項45.2.1.186cで規定されている10BASE-T1L PMAテスト・モード・コントロール・レジスタに対応しています。このレジスタのデフォルト値は、デバイスの初期状態として、管理の介入のない通常動作を選択します。

表 57. B10L\_TEST\_MODE\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	B10L_TX_TEST_MODE	10BASE-T1Lトランスミッタ・テスト・モード。 000：通常動作。 001：テスト・モード1- トランスミッタ出力電圧およびタイミング・ジッタのテスト・モード。テスト・モード1がイネーブルされている場合、PHYはデータ記号シークエンス（+1, -1）を繰り返し送信します。 010：テスト・モード2- トランスミッタ出力ドループ・テスト・モード。テスト・モード2がイネーブルされている場合、PHYは10個の+1記号を送信し、続いて10個の-1記号を送信します。 011：テスト・モード3- アイドル・モードでの通常動作。テスト・モード3がイネーブルされている場合、PHYはデータを通常のフレーム間アイドル信号に設定し、非テスト動作時およびマスタ・データ・モードのように送信します。	0x0	R/W
[12:0]	RESERVED	予備。	0x0	R

## 10BASE-T1L PMAリンク・ステータス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x8302、リセット：0x0000、レジスタ名：B10L\_PMA\_LINK\_STAT

このアドレスを読み出すことで、10BASE-T1L PMAリンクのステータスが判定できます。B10L\_PMA\_LINK\_STATを読み出すと、表58のビットのラッチ条件がクリアされます。

表 58. B10L\_PMA\_LINK\_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予備。	0x0	R

## レジスタの一覧

表 58. B10L\_PMA\_LINK\_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
9	B10L_REM_RCVR_STAT_OK_LL	10BASE-T1Lリモート・レシーバー・ステータスOKラッチ・ロー。 B10L_REM_RCVR_STAT_OKのラッチ・ロー・バージョン。	0x0	R LL
8	B10L_REM_RCVR_STAT_OK	10BASE-T1Lリモート・レシーバー・ステータスOK。このビットが1の場合、リモート・レシーバーのステータスがOKであることを示します。	0x0	R
7	B10L_LOC_RCVR_STAT_OK_LL	10BASE-T1Lローカル・レシーバー・ステータスOKラッチ・ロー。 B10L_LOC_RCVR_STAT_OKのラッチ・ロー・バージョン。	0x0	R LL
6	B10L_LOC_RCVR_STAT_OK	10BASE-T1Lローカル・レシーバー・ステータスOK。このビットが1の場合、ローカル・レシーバーのステータスがOKであることを示します。	0x0	R
5	B10L_DSCR_STAT_OK_LL	BASE-T1Lデスクランブラ・ステータスOKラッチ・ロー。このビットが1の場合、デスクランブラのステータスがOKであることを示します。	0x0	R LL
4	B10L_DSCR_STAT_OK	10BASE-T1Lデスクランブラ・ステータスOK。このビットが1の場合、デスクランブラのステータスがOKであることを示します。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	B10L_LINK_STAT_OK_LL	リンク・ステータスOKラッチ・ロー。このビットが1の場合、リンクのステータスがOKであることを示します。	0x0	R LL
0	B10L_LINK_STAT_OK	リンク・ステータスOK。このビットが1の場合、リンクのステータスがOKであることを示します。	0x0	R

## MSE値レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x830B、リセット：0x0000、レジスタ名：MSE\_VAL

表 59. MSE\_VALのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MSE_VAL	MSE値。LSBの重みは $2^{-18}$ であることに注意してください。S/N比（SNR）の値を計算する場合、10BASE-T1Lの平均のアイドル・シンボル・パワーは0.64422です。	0x0	R

## PCSコントロール1レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0000、リセット：0x0000、レジスタ名：PCS\_CNTRL1

このアドレスは、802.3規格の条項45.2.3.1で規定されているPCSコントロール・レジスタ1に対応しています。

表 60. PCS\_CNTRL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PCS_SFT_RST	PCSソフトウェア・リセット。PMA_SFT_RSTをミラーリングします。	0x0	R/W SC
14	LB_PCS_EN	PCSループバック・イネーブル。このビットを1に設定すると、PCSは送信経路のデータを受け入れ、それを受信経路で返します。このビットを0に設定すると、PCSは通常動作モードで動作します。	0x0	R/W
[13:12]	RESERVED	予備。	0x0	R
11	PCS_SFT_PD	PCSソフトウェア・パワーダウン。PMA_SFT_PDをミラーリングします。	0x0	R/W
[10:0]	RESERVED	予備。	0x0	R

## PCSステータス1レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0001、リセット：0x0002、レジスタ名：PCS\_STAT1

表 61. PCS\_STAT1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
1	PCS_SFT_PD_ABLE	PCSソフトウェア・パワーダウン・イネーブル。PCSがソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予備。	0x0	R

## レジスタの一覧

## パッケージ1のPCS MMDデバイス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：PCS\_DEVS\_IN\_PKG1

表 62. PCS\_DEVS\_IN\_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG1	パッケージ1のPCS MMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

## パッケージ2のPCS MMDデバイス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：PCS\_DEVS\_IN\_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 63. PCS\_DEVS\_IN\_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG2	パッケージのPCS MMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

## PCSステータス2レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：PCS\_STAT2

表 64. PCS\_STAT2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PCS_PRESENT	PCSあり。PCSが存在し応答していることを示します。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

## 10BASE-T1L PCSコントロール・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x08E6、リセット：0x0000、レジスタ名：B10L\_PCS\_CNTRL

このアドレスは、802.3cg規格の条項45.2.3.68aで規定されている10BASE-T1L PCSコントロール・レジスタに対応しています。

表 65. B10L\_PCS\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	B10L_LB_PCS_EN	PCSループバック・イネーブル。このビットを1に設定すると、10BASE-T1L PCSループバックが有効になります。	0x0	R/W
[13:0]	RESERVED	予備。	0x0	R

## 10BASE-T1L PCSステータス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x08E7、リセット：0x0000、レジスタ名：B10L\_PCS\_STAT

このアドレスは、802.3cg規格の条項45.2.3.68bで規定されている10BASE-T1L PCSステータス・レジスタに対応しています。

表 66. B10L\_PCS\_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
2	B10L_PCS_DSCR_STAT_OK_LL	PCSデスクランブラのステータス。このビットが1の場合、10BASE-T1Lデスクランブラがロックされていることを示します。このビットが0の場合、最後のビット読み出し後、10BASE-T1Lデスクランブラのロックが解除されたことを示します。	0x0	R LL
[1:0]	RESERVED	予備。	0x0	R

## レジスタの一覧

## パッケージ1のオートネゴシエーションMMDデバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：AN\_DEVS\_IN\_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 67. AN\_DEVS\_IN\_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG1	パッケージ1のオートネゴシエーションMMDデバイス。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

## パッケージ2のオートネゴシエーションMMDデバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：AN\_DEVS\_IN\_PKG2

ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。

表 68. AN\_DEVS\_IN\_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG2	パッケージ2のオートネゴシエーションMMDデバイス。ベンダ固有デバイス1およびベンダ固有デバイス2の各MMDがあります。	0xC000	R

## BASE-T1オートネゴシエーション・コントロール・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0200、リセット：0x1000、レジスタ名：AN\_CONTROL

このアドレスは、802.3規格の条項45.2.7.19で規定されているBASE-T1オートネゴシエーション・コントロール・レジスタに対応しています。

表 69. AN\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R/W SC
12	AN_EN	オートネゴシエーションのイネーブル。このビットが1にセットされると、オートネゴシエーションがイネーブルされます。オートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。	0x1	R/W
[11:10]	RESERVED	予備。	0x0	R
9	AN_RESTART	オートネゴシエーションの再起動。このビットを1に設定すると、オートネゴシエーションが再起動します。このビットはセルフ・クリア・ビットで、オートネゴシエーション・プロセスが開始されるまで1の値を返します。	0x0	R/W SC
[8:0]	RESERVED	予備。	0x0	R

## BASE-T1オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0201、リセット：0x0008、レジスタ名：AN\_STATUS

このアドレスは、802.3規格の条項45.2.7.20で規定されているBASE-T1オートネゴシエーション・ステータス・レジスタに対応しています。

表 70. AN\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	AN_PAGE_RX	ページ受信。このビットがセットされた場合、新しいリンクのコードワードが受信され、AN_LP_ADV_ABILITY_xレジスタまたはAN_LP_NEXT_PAGE_xレジスタに保存されていることを示します。オートネゴシエーション時にこのビットが初めてセットされた場合、AN_LP_ADV_ABILITY_xの内容は有効です。このビットは、AN_STATUSレジスタを読み出すことで0にリセットされます。	0x0	R LH
5	AN_COMPLETE	オートネゴシエーション完了。このビットが1として読み出された場合に、オートネゴシエーション・プロセスが完了してPHYリンクが確立し、AN_ADV_ABILITY_xレジスタとAN_LP_ADV_ABILITY_xレジスタの内容は有効となります。このビットが0を返す場合、オートネゴシエーションはディスエーブルされ、AN_ENビットはクリアされています。	0x0	R

## レジスタの一覧

表 70. AN\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	AN_REMOTE_FAULT	オートネゴシエーション・リモート・フォルト。リンク・パートナーから受信したベース・ページでリモート・フォルトが設定されます。	0x0	R LH
3	AN_ABLE	オートネゴシエーション・アビリティ。このビットが1の場合、PHYがオートネゴシエーションを実行できることを示します。	0x1	R
2	AN_LINK_STATUS	リンク・ステータス。このビットが1の場合、有効なリンクが確立されていることを示します。このビットが0の場合は、最後の読み出し以降にリンクが切断されていることを示します。	0x0	R LL
[1:0]	RESERVED	予備。	0x0	R

## BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0202、リセット：0x0001、レジスタ名：AN\_ADV\_ABILITY\_L

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[15:0]に対応しています。

表 71. AN\_ADV\_ABILITY\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_ADV_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R/W
14	AN_ADV_ACK	アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_ADV_REMOTE_FAULT	リモート・フォルト。IEEE 802.3規格の副条項98.2.1.2.7を参照してください。	0x0	R/W
12	AN_ADV_FORCE_MS	強制マスタ/スレーブ設定。このビットを使用すると、PHYはマスタ/スレーブ設定を強制できます。このビットが0の場合、マスタ/スレーブ設定は優先モードです。(AN_ADV_MSTの設定は優先設定です。)このビットが1の場合、マスタ/スレーブ設定は強制モードです。(AN_ADV_MSTの設定は強制設定です。)詳細については、IEEE 802.3規格の副条項98.2.1.2.5を参照してください。	0x0	R/W
[11:10]	AN_ADV_PAUSE	一時停止アビリティ。このビット・フィールドは、全二重リンクで非対称および対称の一時停止機能に対応していることをアダプタイズします。詳細については、IEEE 802.3規格の副条項98.2.1.2.6を参照してください。	0x0	R/W
[9:5]	RESERVED	予備。	0x0	R
[4:0]	AN_ADV_SELECTOR	セレクタ。このビット・フィールドの値は00001で、これはIEEE 802.3のセレクタ値です。IEEE 802.3規格の副条項98.2.1.2.1を参照してください。	0x1	R

## BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0203、リセット：0x4000、レジスタ名：AN\_ADV\_ABILITY\_M

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[31:16]に対応しています。

表 72. AN\_ADV\_ABILITY\_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_ADV_B10L	10BASE-T1Lアビリティ。このビットは、デバイスが10BASE-T1Lと互換であることを示します。	0x1	R/W
[13:5]	RESERVED	予備。	0x0	R
4	AN_ADV_MST	マスタ/スレーブ設定。このビットは、マスタ/スレーブ設定を次のようにアダプタイズします。0：スレーブ、1：マスタAN_ADV_FORCE_MSビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE規格802.3の副条項98.2.1.2.3を参照してください(マスタ/スレーブ設定は送信されたノンズ・フィールドのビット4です)。	Pin Dependent	R/W
[3:0]	RESERVED	予備。	0x0	R

## レジスタの一覧

## BASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0204、リセット：0x0000、レジスタ名：AN\_ADV\_ABILITY\_H

このアドレスは、802.3規格の条項45.2.7.21で規定されているBASE-T1オートネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]に対応しています。

表 73. AN\_ADV\_ABILITY\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	Reserved.	0x0	R
13	AN_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。このビットは、PHYがハイ・レベル（2.4V p-p）送信動作モードで送信できることをアダプタイズします。このビットは、AN_ADV_B10L_TX_LVL_HI_REQと共に使用され、10BASE-T1L送信レベル（2.4V p-pまたは1.0V p-p）を設定します。詳細については、AN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	Pin dependent	R/W
12	AN_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。このビットは、PHYがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしていることをアダプタイズします。送信レベルは次のように決定されます。 少なくともどちらか一方のPHYがハイ・レベル送信に対応できない（AN_ADV_B10L_TX_LVL_HI_ABL = 0）場合、どちらのPHYも低電圧（1.0V p-p）送信動作モードを使用しなくてはなりません。 反対に、少なくともどちらか一方のPHYがハイ・レベル送信をリクエストしている（AN_ADV_B10L_TX_LVL_HI_REQ = 1）場合、どちらのPHYも高電圧（2.4V p-p）送信動作モードを使用しなくてはなりません。詳細については、IEEE P802.cgの副条項146.6.4を参照してください。	Pin dependent	R/W
[11:0]	RESERVED	予備。	0x0	R

## BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0205、リセット：0x0000、レジスタ名：AN\_LP\_ADV\_ABILITY\_L

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[15:0]に対応しています。AN\_LP\_ADV\_ABILITY\_MレジスタおよびAN\_LP\_ADV\_ABILITY\_Hレジスタの値は、AN\_LP\_ADV\_ABILITY\_Lの読み出し時にラッチされることに注意してください。

表 74. AN\_LP\_ADV\_ABILITY\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_ADV_NEXT_PAGE_REQ	リンク・パートナー・ネクスト・ページ・リクエスト。このビットは、リンク・パートナーのPHYがネクスト・ページを送信しようとしていることを示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R
14	AN_LP_ADV_ACK	リンク・パートナー・アックノレッジ（ACK）。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_LP_ADV_REMOTE_FAULT	リンク・パートナー・リモート・フォルト。IEEE 802.3規格の副条項98.2.1.2.7を参照してください。	0x0	R
12	AN_LP_ADV_FORCE_MS	リンク・パートナー強制マスタ/スレーブ設定。このビットは、次の値を使用して、リンク・パートナーの強制マスタ/スレーブ設定を示します。詳細については、IEEE 802.3規格の副条項98.2.1.2.5を参照してください。 0：優先モード（AN_LP_ADV_MSTは優先設定）。 1：強制モード（AN_LP_ADV_MSTは強制設定）。	0x0	R
[11:10]	AN_LP_ADV_PAUSE	リンク・パートナー一時停止アビリティ。このビット・フィールドは、全二重リンクでリンク・パートナーの非対称および対称一時停止機能に対応していることを示します。詳細については、IEEE 802.3規格の副条項98.2.1.2.6を参照してください。	0x0	R
[9:5]	RESERVED	予備。	0x0	R
[4:0]	AN_LP_ADV_SELECTOR	リンク・パートナー・セクタ。このフィールドの値は00001で、これはIEEE 802.3のセクタ値です。IEEE 802.3規格の副条項98.2.1.2.1を参照してください。	0x0	R

## レジスタの一覧

## BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0206、リセット：0x0000、レジスタ名：AN\_LP\_ADV\_ABILITY\_M

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN\_LP\_ADV\_ABILITY\_Lの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 75. AN\_LP\_ADV\_ABILITY\_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_LP_ADV_B10L	リンク・パートナー10BASE-T1Lアビリティ。このビットは、リンク・パートナーに10BASE-T1Lアビリティがあるかどうかを示します。	0x0	R
[13:8]	RESERVED	予備。	0x0	R
7	AN_LP_ADV_B1000	リンク・パートナー1000BASE-T1アビリティ。このビットは、リンク・パートナーに1000BASE-T1アビリティがあるかどうかを示します。	0x0	R
6	AN_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S全二重アビリティ。このビットは、リンク・パートナーに10BASE-T1Sアビリティがあるかどうかを示します。	0x0	R
5	AN_LP_ADV_B100	リンク・パートナー100BASE-T1アビリティ。このビットは、リンク・パートナーに100BASE-T1アビリティがあるかどうかを示します。	0x0	R
4	AN_LP_ADV_MST	リンク・パートナー・マスタ/スレーブ設定。このビットは、リンク・パートナーのマスタ/スレーブ設定を次のように示します。0：スレーブ、1：マスタAN_LP_ADV_FORCE_MSビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE規格802.3の副条項98.2.1.2.3を参照してください（マスタ/スレーブ設定は送信されたノンス・フィールドのビット4です）。	0x0	R
[3:0]	RESERVED	予備。	0x0	R

## BASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0207、リセット：0x0000、レジスタ名：AN\_LP\_ADV\_ABILITY\_H

このアドレスは、802.3規格の条項45.2.7.22で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[47:32]に対応しています。このレジスタの値は、AN\_LP\_ADV\_ABILITY\_Lの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 76. AN\_LP\_ADV\_ABILITY\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R
14	AN_LP_ADV_B10L_EEE	リンク・パートナー10BASE-T1L EEEアビリティ。このビットは、リンク・パートナーが10BASE-T1L省電力イーサネット（energy efficient Ethernet）を使用できるかどうかを示します。	0x0	R
13	AN_LP_ADV_B10L_TX_LVL_HI_ABL	リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・アビリティ。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードで送信できるかどうかを示します。このビットはAN_LP_ADV_B10L_TX_LVL_HI_REQと共に使用して10BASE-T1L送信レベル（2.4V p-pまたは1.0V p-p）を設定します。詳細については、AN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	0x0	R
12	AN_LP_ADV_B10L_TX_LVL_HI_REQ	リンク・パートナーの10BASE-T1Lハイ・レベル送信動作モード・リクエスト。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしているかどうかを示します。詳細については、AN_ADV_B10L_TX_LVL_HI_REQビットを参照してください。	0x0	R
11	AN_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S半二重アビリティ。このビットは、リンク・パートナーが10BASE-T1S半二重を使用できるかどうかを示します。	0x0	R
[10:0]	RESERVED	予備。	0x0	R

## BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0208、リセット：0x2001、レジスタ名：AN\_NEXT\_PAGE\_L

## レジスタの一覧

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット[15:0]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN\_NEXT\_PAGE\_Lの前に、AN\_NEXT\_PAGE\_MとAN\_NEXT\_PAGE\_Hを書き込みます。

表 77. AN\_NEXT\_PAGE\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R/W
14	AN_NP_ACK	ネクスト・ページ・アクノレッジ。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_NP_MESSAGE_PAGE	ネクスト・ページ・エンコード。ネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x1	R/W
12	AN_NP_ACK2	アクノレッジ2。PHYがメッセージに従うことができるかどうかを示します。詳細については、IEEE 802.3規格の副条項28.2.3.4.6を参照してください。	0x0	R/W
11	AN_NP_TOGGLE	トグル・ビット。このトグル・ビットは、PHY間でページを同期するために使用します。これは常に0が読み出されます（このトグル・ビットは、アービトラーション・ステート・マシンによって自動的に設定されます）。	0x0	R
[10:0]	AN_NP_MESSAGE_CODE	メッセージ/未フォーマット・コード・フィールド。メッセージ・ページ（AN_NP_MESSAGE_PAGE = 1）に有効な値はIEEE 802.3規格で定義されています。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オートネゴシエーション・デバイス識別子タグ・コード。	0x1	R/W

## BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0209、リセット：0x0000、レジスタ名：AN\_NEXT\_PAGE\_M

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット[31:16]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN\_NEXT\_PAGE\_Lの前に、AN\_NEXT\_PAGE\_MとAN\_NEXT\_PAGE\_Hを書き込みます。

表 78. AN\_NEXT\_PAGE\_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED1	未フォーマット・コード・フィールド1。	0x0	R/W

## BASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020A、リセット：0x0000、レジスタ名：AN\_NEXT\_PAGE\_H

このアドレスは、802.3規格の条項45.2.7.23で規定されているBASE-T1オートネゴシエーション・ネクスト・ページ送信レジスタのビット[47:32]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN\_NEXT\_PAGE\_Lの前に、AN\_NEXT\_PAGE\_MとAN\_NEXT\_PAGE\_Hを書き込みます。

表 79. AN\_NEXT\_PAGE\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED2	未フォーマット・コード・フィールド2。	0x0	R/W

## BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020B、リセット：0x0000、レジスタ名：AN\_LP\_NEXT\_PAGE\_L

このアドレスは、802.3規格の条項45.2.7.24で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]に対応しています。このレジスタの読出し時に、AN\_LP\_NEXT\_PAGE\_MおよびAN\_LP\_NEXT\_PAGE\_Hの値はラッチされます。

## レジスタの一覧

表 80. AN\_NEXT\_PAGE\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3規格の副条項98.2.1.2.9を参照してください。	0x0	R
14	AN_LP_NP_ACK	リンク・パートナー・ネクスト・ページ・アクノレッジ。IEEE 802.3規格の副条項98.2.1.2.8を参照してください。	0x0	R
13	AN_LP_NP_MESSAGE_PAGE	リンク・パートナー・ネクスト・ページ・エンコード。リンク・パートナーのネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x0	R
12	AN_LP_NP_ACK2	リンク・パートナー・アクノレッジ2。詳細については、AN_NP_ACK2を参照してください。	0x0	R
11	AN_LP_NP_TOGGLE	リンク・パートナー・トグル・ビット。リンク・パートナー・トグル・ビット。	0x0	R
[10:0]	AN_LP_NP_MESSAGE_CODE	リンク・パートナー・メッセージ/未フォーマット・コード・フィールド。詳細については、AN_NP_MESSAGE_PAGEを参照してください。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オートネゴシエーション・デバイス識別子タグ・コード。	0x0	R

## BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020C、リセット：0x0000、レジスタ名：AN\_LP\_NEXT\_PAGE\_M

このアドレスは、802.3規格の条項45.2.7.24で規定されているリンク・パートナーのBASE-T1オートネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN\_LP\_NEXT\_PAGE\_Lの読み出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 81. AN\_LP\_NEXT\_PAGE\_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED1	リンク・パートナー未フォーマット・コード・フィールド1。	0x0	R

## BASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020D、リセット：0x0000、レジスタ名：AN\_LP\_NEXT\_PAGE\_H

このアドレスは、802.3規格の条項45.2.7.24で規定されているBASE-T1オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]に対応しています。このレジスタの値は、AN\_LP\_NEXT\_PAGE\_Lの読み出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 82. AN\_LP\_NEXT\_PAGE\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED2	リンク・パートナー未フォーマット・コード・フィールド2。	0x0	R

## 10BASE-T1オートネゴシエーション・コントロール・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：100x020E、リセット：0x8000、レジスタ名：AN\_B10\_ADV\_ABILITY

このアドレスは、802.3cg規格の条項45.2.7.25で規定されている10BASE-T1オートネゴシエーション・コントロール・レジスタに対応しています。

表 83. AN\_B10\_ADV\_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_ADV_B10L	10BASE-T1Lアビリティ。このビットはAN_ADV_B10Lビットの複製です。	0x1	R/W
14	AN_B10_ADV_B10L_EEE	10BASE-T1L EEEアビリティ。デバイスは省電力イーサネットに対応していないため、このビットは常に0として読み出されます。	0x0	R

## レジスタの一覧

表 83. AN\_B10\_ADV\_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
13	AN_B10_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。これはAN_ADV_B10L_TX_LVL_HI_ABLビットの複製です。	Pin Dependent	R/W
12	AN_B10_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。これはAN_ADV_B10L_TX_LVL_HI_REQビットの複製です。	Pin Dependent	R/W
[11:0]	RESERVED	予備。	0x0	R

## 10BASE-T1オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x020F、リセット：0x0000、レジスタ名：AN\_B10\_LP\_ADV\_ABILITY

このアドレスは、802.3cg規格の条項45.2.7.26で規定されている10BASE-T1オートネゴシエーション・ステータス・レジスタに対応しています。

表 84. AN\_B10\_LP\_ADV\_ABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_LP_ADV_B10L	10BASE-T1Lアビリティ。これはAN_LP_ADV_B10Lビットの複製です。	0x0	R
14	AN_B10_LP_ADV_B10L_EEE	10BASE-T1L EEEアビリティ。これはAN_LP_ADV_B10L_EEEビットの複製です。	0x0	R
13	AN_B10_LP_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1Lハイ・レベル送信動作モード・アビリティ。これはAN_LP_ADV_B10L_TX_LVL_HI_ABLビットの複製です。	0x0	R
12	AN_B10_LP_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1Lハイ・レベル送信動作モード・リクエスト。これはAN_LP_ADV_B10L_TX_LVL_HI_REQビットの複製です。	0x0	R
[11:8]	RESERVED	予備。	0x0	R
7	AN_B10_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S全二重アビリティ。これはAN_LP_ADV_B10S_FDビットの複製です。	0x0	R
6	AN_B10_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S半二重アビリティ。これはAN_LP_ADV_B10S_HDビットの複製です。	0x0	R
[5:0]	RESERVED	予備。	0x0	R

## オートネゴシエーション強制モード・イネーブル・レジスタ。

デバイス・アドレス：0x07、レジスタ・アドレス：0x8000、リセット：0x0000、レジスタ名：AN\_FRC\_MODE\_EN

このレジスタの効果は、オートネゴシエーション・プロセスをイネーブルするAN\_ENビットによって無効化されます。オートネゴシエーションがディスエーブル（AN\_EN=0）されており、AN\_FRC\_MODE\_ENが1の場合に、強制モードが有効になります。

表 85. AN\_FRC\_MODE\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	AN_FRC_MODE_EN	オートネゴシエーション強制モード。強制モード機能をイネーブルします。	0x0	R/W

## 追加オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8001、リセット：0x0000、レジスタ名：AN\_STATUS\_EXTRA

このレジスタは、AN\_STATUSに追加して提供されます。

表 86. AN\_STATUS\_EXTRAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	AN_LP_NP_RX	リンク・パートナーから受信したネクスト・ページ・リクエスト。	0x0	R LH
9	AN_INC_LINK	非互換リンク表示。これは、IEEE 802.3規格の副条項98.5.1の非互換リンク状態に対応します。この値は、オートネゴシエーション・グッド・チェック状態になるときに実行される優先度決定機能によって設定されます。	0x0	R

## レジスタの一覧

表 86. AN\_STATUS\_EXTRAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[8:7]	AN_TX_LVL_RSLTN	オートネゴシエーションTxレベル結果。送信レベル・ハイ/ローの判定結果。IEEE 802.3cg規格の副条項146.6.4に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 2：成功、ロー送信レベル（1.0V p-p）を選択。 3：成功、ハイ送信レベル（2.4V p-p）を選択。	0x0	R
[6:5]	AN_MS_CONFIG_RSLTN	マスタ/スレーブの判定結果。IEEE 802.3規格のマスタ/スレーブ設定に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 1：設定フォルト。 2：成功、PHYがスレーブに設定されている。 3：成功、PHYがマスタに設定されている。	0x0	R
[4:1]	AN_HCD_TECH	最大公約数（HCD）PHY技術。IEEE 802.3規格の副条項98.2.4.2の優先度解決機能により選択。ここに示されていない値はすべて予約済みであることを考慮してください。 0：ヌル（不実行）。 1：10BASE-T1L。	0x0	R
0	AN_LINK_GOOD	オートネゴシエーション完了表示。これは、IEEE 802.3規格の副条項98.5.1のan_link_good状態に対応します。この信号はオートネゴシエーション送信が完了したことを示し、イネーブルされたPHY技術がリンクを確立している途中かあるいは既に確立済みであることを示します。AN_COMPLETEも参照してください。これは同様のものですが、PHYリンクが確立していることを示します。	0x0	R

## PHY即時ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8030、リセット：0x0010、レジスタ名：AN\_PHY\_INST\_STATUS

このレジスタ・アドレスにより、即時ステータス表示にアクセスできます。これらの値はラッチされません。このレジスタによって返された表示値のセットは、整合したセット、つまり、レジスタ・アドレスの読出し時に有効な値のセットです。

表 87. AN\_PHY\_INST\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予備。	0x0	R
4	IS_AN_TX_EN	オートネゴシエーションTxイネーブル・ステータス。オートネゴシエーションの送信をイネーブル。このビットは、オートネゴシエーションがアクティブでトランスミッタを制御しており、アービトレーションはまだオートネゴシエーション（AN）グッド・チェック状態またはANグッド状態に達していないことを示します。つまり、link_control信号はイネーブルには設定されていません。	0x1	R
3	IS_CFG_MST	マスタ・ステータスlink_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これはPHYがマスタとして動作している（およびスレーブとしては動作していない）かどうかを示します。	0x0	R
2	IS_CFG_SLV	スレーブ・ステータス。link_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これはPHYがスレーブとして動作している（およびマスタとしては動作していない）かどうかを示します。	0x0	R
1	IS_TX_LVL_HI	Txレベル・ハイ・ステータス。PHYがロー送信レベル（1.0V）ではなく、ハイ送信レベル（2.4V）で動作していることを示します。	0x0	R
0	IS_TX_LVL_LO	Txレベル・ロー・ステータス。PHYがハイ送信レベル（2.4V）ではなく、ロー送信レベル（1.0V）で動作していることを示します。	0x0	R

## ベンダ固有1 MMDデバイス識別子ハイ・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0002、リセット：0x0283、レジスタ名：MMD1\_DEV\_ID1

このアドレスは、802.3規格の条項45.2.11.1で規定されているベンダ固有1 MMD識別子レジスタに対応し、組織固有識別子（OUI）の16ビットをモニタできます。

## レジスタの一覧

表 88. MMD1\_DEV\_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEV_ID1	組織固有識別子、ビット[3:18]。	0x283	R

## ベンダ固有1 MMD識別子ロー・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0003、リセット：0xBC81、レジスタ名：MMD1\_DEV\_ID2

このアドレスは、802.3規格の条項45.2.11.1で規定されているベンダ固有1 MMD識別子レジスタに対応し、OUIの6ビットと、モデル番号およびリビジョン番号をモニタできます。

表 89. MMD1\_DEV\_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD1_DEV_ID2_OUI	組織固有識別子、ビット[19:24]。	0x2F	R
[9:4]	MMD1_MODEL_NUM	モデル番号。	0x8	R
[3:0]	MMD1_REV_NUM	リビジョン番号。	0x1	R

## パッケージのベンダ固有1 MMDレジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：MMD1\_DEVS\_IN\_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 90. MMD1\_DEVS\_IN\_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG1	パッケージ1のベンダ固有1 MMD。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：MMD1\_DEVS\_IN\_PKG2

ベンダ固有1 MMDおよびベンダ固有2 MMDがあります。

表 91. MMD1\_DEVS\_IN\_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG2	パッケージ2のベンダ固有1 MMD。ベンダ固有1 MMDおよびベンダ固有2 MMDがあります。	0xC000	R

## ベンダ固有1 MMDステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：MMD1\_STATUS

このアドレスは、802.3規格の条項45.2.11.2で規定されているベンダ固有1 MMDステータス・レジスタに対応しています。

表 92. MMD1\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD1_STATUS	ベンダ固有1 MMDステータス。 10：デバイスはこのアドレスに対応。 11：このアドレスに対応するデバイスはなし。 01：このアドレスに対応するデバイスはなし。 00：このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

## レジスタの一覧

## システム割込みステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0010、リセット：0x1000、レジスタ名：CRSM\_IRQ\_STATUS

このアドレスは、どの割込みリクエストが最後の読出し以降にトリガされたのかを確認するのに使用します。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。CRSM\_IRQ\_STATUSのビットは、関連する割込みがイネーブルされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムにエラーがあることを意味し、ハードウェア・リセットが必要です。

表 93. CRSM\_IRQ\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_LH	ソフトウェア・リクエストによる割込みイベント。	0x0	R LH
[14:13]	RESERVED	予備。	0x0	R
12	CRSM_HRD_RST_IRQ_LH	ハードウェア・リセット割込み。	0x1	R LH
[11:0]	RESERVED	予備。	0x0	R LH

## システム割込みマスク・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0020、リセット：0x1FFE、レジスタ名：CRSM\_IRQ\_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 94. CRSM\_IRQ\_MASKのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_REQ	ソフトウェア割込みリクエスト。ソフトウェアは、システム・レベルのテストの割込みを生成するためにこのビットをセットできます。このビットは、自動クリアされるため、常に0が読み出されます。	0x0	R/W SC
[14:13]	RESERVED	予備。	0x0	R
12	CRSM_HRD_RST_IRQ_EN	ハードウェア・リセットの割込みをイネーブル。このビットはハードウェア・リセットが発生したときに初期化されるため、このビットに0を書き込んでも割込みはマスクされません。	0x1	R/W
[11:0]	RESERVED	予備。	0xFFE	R/W

## ソフトウェア・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8810、リセット：0x0000、レジスタ名：CRSM\_SFT\_RST

表 95. CRSM\_SFT\_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ。ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。	0x0	R/W SC

## ソフトウェア・パワーダウン・コントロール・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8812、リセット：0x0000、レジスタ名：CRSM\_SFT\_PD\_CNTRL

表 96. CRSM\_SFT\_PD\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	Reserved.	0x0	R
0	CRSM_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対するMDIOアクセスは引き続き可能です。このレジスタのデフォルト値は、RX_DV/RX_CTL/SWPD_ENピンを使用して設定できます。このピンにより、適切なソフトウェア初期化が実行されるまで、チップはパワーダウン・モードを維持できます。	Pin dependent	R/W

## レジスタの一覧

## PHYサブシステム・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8814、リセット：0x0000、レジスタ名：CRSM\_PHY\_SUBSYS\_RST

表 97. CRSM\_PHY\_SUBSYS\_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_PHY_SUBSYS_RST	PHYサブシステム・リセット。PHYサブシステム・リセット・レジスタを使用すると、管理されたサブシステム・リセットを開始できます。PHYサブシステムがリセットされると、通常の動作が再開され、ビットは自動的にクリアされます。	0x0	R/W SC

## PHY MACインターフェース・リセット・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8815、リセット：0x0000、レジスタ名：CRSM\_MAC\_IF\_RST

表 98. CRSM\_MAC\_IF\_RSTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_MAC_IF_RST	PHY MACインターフェース・リセット。PHY MACサブシステム・リセット・レジスタを使用すると、管理されたPHY MACインターフェース・リセットを開始できます。PHY MACインターフェースがリセットされると、通常の動作が再開され、ビットは自動的にクリアされます。	0x0	R/W SC

## システム・ステータス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8818、リセット：0x0000、レジスタ名：CRSM\_STAT

表 99. CRSM\_STATのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予備。	0x0	R
1	CRSM_SFT_PD_RDY	ソフトウェア・パワーダウン・ステータス。このビットは、システムがソフトウェア・パワーダウン状態にあることを示します。	0x0	R
0	CRSM_SYS_RDY	システム・レディ。このビットは、スタートアップ・シーケンスが完了し、システムに通常動作の準備ができていることを示します。	0x0	R

## CRSMパワー・マネージメント・コントロール・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8819、リセット：0x0000、レジスタ名：CRSM\_PMG\_CNTRL

表 100. CRSM\_PMG\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CRSM_FRC_OSC_EN	強制デジタル・ブート発振器クロック・イネーブル。	0x0	R/W

## MACインターフェース設定レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x882B、リセット：0x0000、レジスタ名：CRSM\_MAC\_IF\_CFG

ピンによってのみMACインターフェースを設定します。ソフトウェアによる変更はしないでください。

表 101. CRSM\_MAC\_IF\_CFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_RMII_CLK50	このビットは、RMII REF_CLKの周波数が50MHzか25MHzかを示します。デバッグ目的でのみ使用されます。	Pin dependent	R/W
14	CRSM_RMII_CLK_EN	CRSM RMIIクロック・イネーブル・ステータス。このビットは、RMIIクロック生成がイネーブルされているかどうかを示します。	Pin dependent	R/W

## レジスタの一覧

表 101. CRSM\_MAC\_IF\_CFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[13:9]	RESERVED	予備。	0x0	R
8	CRSM_RMII_MEDIA_CNV_EN	メディア・コンバータ・イネーブル。このビットが1の場合、RMII MACインターフェース・モード用のメディア・コンバータ機能が有効化されます。メディア・コンバータ機能は、RMII MACインターフェースが用いられている場合にのみ有効化できる点に注意してください。	Pin dependent	R/W
[7:5]	RESERVED	予備。	0x0	R
4	CRSM_RMII_EN	RMII MACインターフェース・イネーブル。RMII MACインターフェース・モードを有効化します。CRSM_RGMII_ENとCRSM_RMII_ENを同時にはセットしないでください。ピンによってのみMACインターフェースを設定します。ソフトウェアによる変更はしないでください。	Pin dependent	R/W
[3:1]	RESERVED	予備。	0x0	R
0	CRSM_RGMII_EN	RGMII MACインターフェース・イネーブル。RGMII MACインターフェース・モードを有効化します。CRSM_RGMII_ENとCRSM_RMII_ENを同時にはセットしないでください。ピンによってのみMACインターフェースを設定します。ソフトウェアによる変更はしないでください。	Pin dependent	R/W

## CRSM診断クロック・コントロール・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x882C、リセット：0x0002、レジスタ名：CRSM\_DIAG\_CLK\_CTRL

CRSM診断クロック制御。

表 102. CRSM\_DIAG\_CLK\_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x1	R
0	CRSM_DIAG_CLK_EN	診断クロックをイネーブルします。	0x0	R/W

## パッケージ設定値レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C22、リセット：0x0002、レジスタ名：MGMT\_PRT\_PKG

MGMT\_PRT\_PKG\_VALアドレスを使用すると、パッケージ設定値の読出しができます。

表 103. MGMT\_PRT\_PKGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	MGMT_PRT_PKG_VAL	パッケージのタイプ。2 = ADIN1100の40ピンLFCSPパッケージ。	0x2	R

## MDIOコントロール・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C30、リセット：0x0000、レジスタ名：MGMT\_MDIO\_CNTRL

表 104. MGMT\_MDIO\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	MGMT_GRP_MDIO_EN	MDIO PHY/ポート・グループ・アドレス・モードをイネーブル。このモードでは、PHYは自身のPHY/ポート・アドレスとは無関係に、5ビットのPHY/ポート・アドレス31（10進数）への書き込みまたはアドレス操作に応答します。この機能は、マルチポート・アプリケーションでの初期化シーケンスのみを目的としたもので、これらの場合のみセットし、初期化の完了後は直ちにクリアする必要があります。	0x0	R/W

## レジスタの一覧

## ピン・マルチプレクサ設定1レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C56、リセット：0x00FE、レジスタ名：DIGIO\_PINMUX

表 105. DIGIO\_PINMUXのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0xF	R
[3:1]	DIGIO_LED1_PINMUX	LED_1用ピン・マルチプレクサ・セレクト。 000：LED_1。 111：LED_1出力がイネーブルされていない。	0x7	R/W
0	DIGIO_LINK_ST_POLARITY	LINK_STの極性。 0：ハイにアサート。 1：ローにアサート。	0x0	R/W

## ピン・マルチプレクサ設定2レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C57、リセット：0x00FF、レジスタ名：DIGIO\_PINMUX2

表 106. DIGIO\_PINMUX2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:4]	DIGIO_RXSOP_PINMUX	受信SOP用ピン・マルチプレクサ・セレクト。 0000：RXD_3。 0001：RXD_2。 0010：RXD_1。 0011：RX_CLK。 0100：RX_DV。 0101：RX_ER。 0110：TX_ER。 0111：TX_EN。 1000：TX_CLK。 1001：TXD_1。 1010：TXD_2。 1011：TXD_3。 1100：LINK_ST。 1101：LED_0。 1110：LED_1。 1111：オフ。	0xF	R/W
[3:0]	DIGIO_TXSOP_PINMUX	送信SOP用ピン・マルチプレクサ・セレクト。 0000：RXD_3。 0001：RXD_2。 0010：RXD_1。 0011：RX_CLK。 0100：RX_DV。 0101：RX_ER。 0110：TX_ER。 0111：TX_EN。 1000：TX_CLK。 1001：TXD_1。 1010：TXD_2。 1011：TXD_3。 1100：LINK_ST。 1101：LED_0。 1110：LED_1。 1111：オフ。	0xF	R/W

## レジスタの一覧

## LED\_0オン/オフ点滅時間レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C80、リセット：0x3636、レジスタ名：LED0\_BLINK\_TIME\_CNTRL

LEDオン点灯時間 = LED0\_ON\_N4MS × 4 ms。

LEDオフ消灯時間 = LED0\_OFF\_N4MS × 4 ms。

LEDx\_MODE = 0でLEDx\_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオフ・シーケンスから始まり、次いでLEDオン・シーケンスが続き、その後はこれを繰り返します。

LEDx\_MODE = 1でLEDx\_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオン・シーケンスから始まり、次いでLEDオフ・シーケンスが続き、その後はこれを繰り返します。

LEDx\_OFF\_N4MS = LEDx\_ON\_N4MS = 0の場合、これは、LEDx\_FUNCTIONで選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx\_FUNCTIONがリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LEDはオンになります。LEDはリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx\_FUNCTIONがアクティビティ信号にプログラムされていると、LEDはアクティビティがない場合にオフになります。アクティビティを受けるとLEDはオンに切り替わります。

表 107. LED0\_BLINK\_TIME\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED0_ON_N4MS	LED_0のオン点灯時間。LED_0のオン点灯時間は4 ms × LED0_ON_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED0_OFF_N4MS	LED_0のオフ消灯時間。LED_0のオフ消灯時間は4 ms × LED0_OFF_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W

## LED\_1オン/オフ点滅時間レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C81、リセット：0x3636、レジスタ名：LED1\_BLINK\_TIME\_CNTRL

LEDオン点灯時間 = LED1\_ON\_N4MS × 4 ms。

LEDオフ消灯時間 = LED1\_OFF\_N4MS × 4 ms。

LEDx\_MODE = 0でLEDx\_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオフ・シーケンスから始まり、次いでLEDオン・シーケンスが続き、その後はこれを繰り返します。

LEDx\_MODE = 1でLEDx\_FUNCTIONが点滅に設定されている場合、LEDのアクティビティはLEDオン・シーケンスから始まり、次いでLEDオフ・シーケンスが続き、その後はこれを繰り返します。

LEDx\_OFF\_N4MS = LEDx\_ON\_N4MS = 0の場合、これは、LEDx\_FUNCTIONで選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx\_FUNCTIONがリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LEDはオンになります。LEDはリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx\_FUNCTIONがアクティビティ信号にプログラムされていると、LEDはアクティビティがない場合にオフになります。アクティビティを受けるとLEDはオンに切り替わります。

## レジスタの一覧

表 108. LED1\_BLINK\_TIME\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED1_ON_N4MS	LED_1のオン点灯時間。LED_1のオン点灯時間は4 ms × LED1_ON_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED1_OFF_N4MS	LED_1のオフ消灯時間。LED_1のオフ消灯時間は4 ms × LED1_OFF_N4MSビット・フィールドで計算できます。3より大きな値とすることを推奨します。	0x36	R/W

## LEDコントロール・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x8C82、リセット：0x8480、レジスタ名：LED\_CNTRL

## LEDコントロール・レジスタ

表 109. LED\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LED1_EN	LED 1イネーブル。ディスエーブルされたLEDはオフになります。イネーブルされたLEDは、LED1_FUNCTIONの選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
14	LED1_LINK_ST_QUALIFY	特定のLED 1オプションをlink_statusで適格化させる。 0：TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusでは適格化されない。 1：TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusで適格化される。	0x0	R/W
13	LED1_MODE	LED 1モード選択。 0：LEDモード1。アクティビティがある場合、MMR LED1_BLINK_TIME_CNTRLで定義されたレートで点滅。 1：LEDモード2。LEDの点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応してLEDの点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms～1.5sの間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[12:8]	LED1_FUNCTION	LED_1のピン機能。LED_1ピンのソース・アクティビティを決定します。CLK25_REF、TX_TCLK、CLK_120MHZの各オプションは、LEDコントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次のLED1_FUNCTION設定はlink_statusでは適格化されません。LED1_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブの各オプションは、オプションでlink_statusによって適格化され、このオプションは、LED1_LINK_ST_QUALIFY MMRを使用して制御されます。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブ、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMERの各オプションは、ステータス・インジケータと見なされ、LEDコントローラは使用されません。プログラムされた信号がハイの場合、LEDは静的にオンとなり、プログラムされた信号がローの場合、LEDは静的にオフとなります。 0：LINKUP_TXRX_ACTIVITY。 1：LINKUP_TX_ACTIVITY。 2：LINKUP_RX_ACTIVITY。 3：LINKUP_ONLY。 4：TXRX_ACTIVITY。 5：TX_ACTIVITY。 6：RX_ACTIVITY。 7：LINKUP_RX_ER（LEDモード1でのみ利用できます）。 8：LINKUP_RX_TX_ER（LEDモード1でのみ利用できます）。 9：RX_ER（LEDモード1でのみ利用できます）。 10：RX_TX_ER（LEDモード1でのみ利用できます）。 11：TX_SOP。	0x4	R/W

## レジスタの一覧

表 109. LED\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
		12 : RX_SOP。 13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : マスタ。 19 : スレーブ。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		
7	LED0_EN	LED 0イネーブル。ディスエーブルされたLEDはオフになります。イネーブルされたLEDは、LED0_FUNCTIONの選択とアクティビティに応じて、オンになるか点滅しません。	0x1	R/W
6	LED0_LINK_ST_QUALIFY	特定のLED 0オプションをlink_statusで適格化させる。 0 : TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusでは適格化されない。 1 : TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブはlink_statusで適格化される。	0x0	R/W
5	LED0_MODE	LED 0モード選択。 0 : LEDモード1。アクティビティがある場合、MMR LED0_BLINK_TIME_CNTRLで定義されたレートで点滅。 1 : LEDモード2。LEDの点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応してLEDの点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms~1.5sの間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[4:0]	LED0_FUNCTION	LED_0のピン機能。LED_0ピンのソース・アクティビティを決定します。 CLK25_REF、TX_TCLK、CLK_120MHZの各オプションは、LEDコントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次のLED_FUNCTION設定はlink_statusでは適格化されません。LED_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブの各オプションは、オプションでリンク・ステータスによって適格化され、このオプションは、LED0_LINK_ST_QUALIFY MMRを使用して制御されます。 TX_LEVEL_2P4、TX_LEVEL_1P0、マスタ、スレーブ、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMER。これらのオプションは、ステータス・インジケータと見なされ、LEDコントローラは使用されません。プログラムされた信号がハイの場合、LEDは静的にオンとなり、プログラムされた信号がローの場合、LEDは静的にオフとなります。 0 : LINKUP_TXRX_ACTIVITY。 1 : LINKUP_TX_ACTIVITY。 2 : LINKUP_RX_ACTIVITY。 3 : LINKUP_ONLY。 4 : TXRX_ACTIVITY。 5 : TX_ACTIVITY。 6 : RX_ACTIVITY。 7 : LINKUP_RX_ER (LEDモード1でのみ利用できます)。 8 : LINKUP_RX_TX_ER (LEDモード1でのみ利用できます)。	0x0	R/W

## レジスタの一覧

表 109. LED\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
		9 : RX_ER (LEDモード1でのみ利用できます)。 10 : RX_TX_ER (LEDモード1でのみ利用できます)。 11 : TX_SOP。 12 : RX_SOP。 13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : マスタ。 19 : スレーブ。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		

## LED極性レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C83、リセット : 0x0000、レジスタ名 : LED\_POLARITY

LED極性が内部ロジックによって自動的に検出できるか、ユーザによって再設定できます。

表 110. LED\_POLARITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
[3:2]	LED1_POLARITY	LED_1の極性。 0 : LEDオートセンス。オートセンスに従い、LEDはアクティブ・ハイまたはアクティブ・ロー。 1 : LEDアクティブ・ハイ。 2 : LEDアクティブ・ロー。	0x0	R/W
[1:0]	LED0_POLARITY	LED_0の極性。 0 : LEDオートセンス。オートセンスに従い、LEDはアクティブ・ハイまたはアクティブ・ロー。 1 : LEDアクティブ・ハイ。 2 : LEDアクティブ・ロー。	0x0	R/W

## ベンダ固有MMD 2デバイス識別子ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0002、リセット : 0x0283、レジスタ名 : MMD2\_DEV\_ID1

表 111. MMD2\_DEV\_ID1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEV_ID1	ベンダ固有MMD 2デバイス識別子。	0x283	R

## ベンダ固有MMD 2デバイス識別子ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0003、リセット : 0xBC81、レジスタ名 : MMD2\_DEV\_ID2

## レジスタの一覧

表 112. MMD2\_DEV\_ID2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD2_DEV_ID2_OUI	OUIビット。	0x2F	R
[9:4]	MMD2_MODEL_NUM	モデル番号。	0x8	R
[3:0]	MMD2_REV_NUM	リビジョン番号。	0x1	R

## パッケージのベンダ固有2 MMDレジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：MMD2\_DEVS\_IN\_PKG1

条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。

表 113. MMD2\_DEVS\_IN\_PKG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG1	パッケージ1のベンダ固有2 MMD。条項22レジスタと、PMA/PMD、PCS、オートネゴシエーションの各MMDがあります。	0x8B	R

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：MMD2\_DEVS\_IN\_PKG2

ベンダ固有1 MMDおよびベンダ固有2 MMDがあります。

表 114. MMD2\_DEVS\_IN\_PKG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG2	パッケージ2のベンダ固有2 MMD。ベンダ固有1 MMDおよびベンダ固有2 MMDがあります。	0xC000	R

## ベンダ固有MMD 2ステータス・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0008、リセット：0x8000、レジスタ名：MMD2\_STATUS

このアドレスはベンダ固有MMD 2ステータス・レジスタに対応します。

表 115. MMD2\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD2_STATUS	ベンダ固有2 MMDステータス。 10：デバイスはこのアドレスに対応。 11：このアドレスに対応するデバイスはなし。 01：このアドレスに対応するデバイスはなし。 00：このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予備。	0x0	R

## PHYサブシステム割込みステータス・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0011、リセット：0x0000、レジスタ名：PHY\_SUBSYS\_IRQ\_STATUS

このアドレスを読み出すと、どの割込みリクエストが最後の読出し以降に発生したのかを確認できます。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。PHY\_SUBSYS\_IRQ\_STATUSのビットは、PHY\_SUBSYS\_IRQ\_MASK内の関連するビットがセットされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 116. PHY\_SUBSYS\_IRQ\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R LH
14	MAC_IF_FC_FG_IRQ_LH	MACインターフェースのフレーム・チェッカ/ジェネレータ割込み。	0x0	R LH
13	MAC_IF_EBUF_ERR_IRQ_LH	MACインターフェースのパッファ・オーバーフロー/アンダーフロー割込み。	0x0	R LH

## レジスタの一覧

表 116. PHY\_SUBSYS\_IRQ\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
12	RESERVED	予備。	0x0	R LH
11	AN_STAT_CHNG_IRQ_LH	オートネゴシエーションのステータス変化割込み。	0x0	R LH
[10:2]	RESERVED	予備。	0x0	R LH
1	LINK_STAT_CHNG_LH	リンク・ステータスの変化。	0x0	R LH
0	RESERVED	予備。	0x0	R LH

## PHYサブシステム割込みマスク・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0021、リセット：0x2402、レジスタ名：PHY\_SUBSYS\_IRQ\_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 117. PHY\_SUBSYS\_IRQ\_MASKのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予備。	0x0	R/W SC
14	MAC_IF_FC_FG_IRQ_EN	MACインターフェースのフレーム・チェッカ/ジェネレータ割込みをイネーブル。	0x0	R/W
13	MAC_IF_EBUF_ERR_IRQ_EN	MACインターフェースのバッファ・オーバーフロー/アンダーフロー割込みをイネーブル。	0x1	R/W
12	RESERVED	予備。	0x0	R/W
11	AN_STAT_CHNG_IRQ_EN	オートネゴシエーション・ステータス変化割込みをイネーブル。	0x0	R/W
[10:2]	RESERVED	予備。	0x100	R/W
1	LINK_STAT_CHNG_IRQ_EN	リンク・ステータス変化割込みをイネーブル。	0x1	R/W
0	RESERVED	予備。	0x0	R/W

## フレーム・チェッカ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8001、リセット：0x0001、レジスタ名：FC\_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・チェッカは、MACインターフェースまたはPHY（FC\_TX\_SELレジスタを参照）から受信したフレームを分析して、受信したフレーム数、CRCエラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

表 118. FC\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_EN	フレーム・チェッカ・イネーブル。フレーム・チェッカをイネーブルするには1に設定します。	0x1	R/W

## フレーム・チェッカ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8004、リセット：0x0001、レジスタ名：FC\_IRQ\_EN

このレジスタは、フレーム・チェッカの割込みをイネーブルするのに使用します。受信エラーが発生すると、割込みが生成されます。フレーム・チェッカ/ジェネレータの割込みはPHY\_SUBSYS\_IRQ\_MASKレジスタでイネーブルします。MAC\_IF\_FC\_FG\_IRQ\_ENビットをセットしてください。

ステータスは、PHY\_SUBSYS\_IRQ\_STATUSレジスタのMAC\_IF\_FC\_FG\_IRQ\_LHビットを介して読み出せます。

表 119. FC\_IRQ\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル。セットすると、このビットはフレーム・チェッカ割込みをイネーブルします。	0x1	R/W

## レジスタの一覧

## フレーム・チェッカ送信選択レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8005、リセット：0x0000、レジスタ名：FC\_TX\_SEL

このレジスタは、フレームを送信側または受信側のいずれでチェックするかを選択するために使用します。セットすると、MACインターフェースから受信した送信フレームがチェックされます。フレーム・チェッカを使用すると、MACインターフェース経由で正しいデータが受信されたことを検証できます。また、MACインターフェースでループバックされた後の受信データをチェックするのにも使用できるため、リモート・ループバックを有効にした場合も便利です（MAC\_IF\_LOOPBACKレジスタのMAC\_IF\_REM\_LB\_ENビットを参照）。

表 120. FC\_TX\_SELのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_TX_SEL	フレーム・チェッカ送信選択。このビットをセットすると、PHYによって送信される、受信済みフレームをフレーム・チェッカがチェックするように指定します。 1：MACインターフェースからPHYが送信するフレームをチェックする。 0：リモート・エンドから送信され、PHYが受信したフレームをチェックする。	0x0	R/W

## 受信エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8008、リセット：0x0000、レジスタ名：RX\_ERR\_CNT

受信エラー・カウンタ・レジスタは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタへのアクセスに使用します。

表 121. RX\_ERR\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RX_ERR_CNT	受信エラー・カウンタ。これは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタです。このビットは読み出し時にセルフ・クリアされることに注意してください。	0x0	R SC

## フレーム・チェッカ・カウンタ・ハイ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8009、リセット：0x0000、レジスタ名：FC\_FRM\_CNT\_H

このレジスタは、32ビットの受信フレーム・カウンタ・レジスタのビット [31:16] をラッチしたコピーです。受信エラー・カウンタ（RX\_ERR\_CNT）を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 122. FC\_FRM\_CNT\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_H	受信フレーム数をラッチしたコピーのビット[31:16]。	0x0	R

## フレーム・チェッカ・カウンタ・ロー・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800A、リセット：0x0000、レジスタ名：FC\_FRM\_CNT\_L

このレジスタは、32ビットの受信フレーム・カウンタ・レジスタのビット [15:0] をラッチしたコピーです。受信エラー・カウンタ（RX\_ERR\_CNT）を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 123. FC\_FRM\_CNT\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_L	受信フレーム数をラッチしたコピーのビット[15:0]。	0x0	R

## フレーム・チェッカ・レングス・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800B、リセット：0x0000、レジスタ名：FC\_LEN\_ERR\_CNT

## レジスタの一覧

このレジスタは、フレーム長エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム長エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、フレーム長エラー・カウンタ・レジスタがラッチされるため、フレーム長エラー・カウンタと受信フレーム・カウンタが同期します。

表 124. FC\_LEN\_ERR\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_LEN_ERR_CNT	フレーム長エラー・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ・アライメント・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800C、リセット：0x0000、レジスタ名：FC\_ALGN\_ERR\_CNT

このレジスタは、フレーム・アライメント・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、アライメント・エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、アライメント・エラー・カウンタがラッチされるため、フレーム・アライメント・エラー・カウンタと受信フレーム・カウンタが同期します。

表 125. FC\_ALGN\_ERR\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ALGN_ERR_CNT	フレーム・アライメント・エラー・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800D、リセット：0x0000、レジスタ名：FC\_SYMB\_ERR\_CNT

このレジスタは、シンボル・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、RX\_ERとRX\_DVの両方がセットされた受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、シンボル・エラー・カウンタがラッチされるため、シンボル・エラー・カウンタとフレーム受信カウンタが同期します。

表 126. FC\_SYMB\_ERR\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_SYMB_ERR_CNT	シンボル・エラー・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ・オーバーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800E、リセット：0x0000、レジスタ名：FC\_OSZ\_CNT

このレジスタは、オーバーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが1522バイトを超える受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、オーバーサイズ・フレーム・カウンタ・レジスタがラッチされるため、オーバーサイズ・エラー・カウンタと受信フレーム・カウンタが同期します。

表 127. FC\_OSZ\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_OSZ_CNT	オーバーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ・アンダーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800F、リセット：0x0000、レジスタ名：FC\_USZ\_CNT

このレジスタは、アンダーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが64バイト未満の受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、アンダーサイズ・フレーム・エラー・カウンタがラッチされるため、アンダーサイズ・フレーム・エラー・カウンタと受信フレーム・カウンタが同期します。

## レジスタの一覧

表 128. FC\_USZ\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_USZ_CNT	アンダーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8010、リセット：0x0000、レジスタ名：FC\_ODD\_CNT

このレジスタは、奇数ニブル・フレーム・レジスタをラッチしたコピーです。このレジスタは、フレーム内に奇数個のニブルを持つ受信フレームのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、奇数ニブル・フレーム・カウンタ・レジスタがラッチされるため、奇数ニブル・フレーム・カウンタと受信フレーム・カウンタが同期します。

表 129. FC\_ODD\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_CNT	奇数ニブル・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ奇数プリアンブル・パケット・カウント・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8011、リセット：0x0000、レジスタ名：FC\_ODD\_PRE\_CNT

このレジスタは、奇数プリアンブル・パケット・カウンタ・レジスタをラッチしたコピーです。このレジスタは、プリアンブル内に奇数個のニブルを持つ受信パケットのカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、奇数プリアンブル・パケット・カウンタ・レジスタがラッチされるため、奇数プリアンブル・パケット・カウンタと受信フレーム・カウンタが同期します。

表 130. FC\_ODD\_PRE\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_PRE_CNT	奇数プリアンブル・パケット・カウンタをラッチしたコピー。	0x0	R

## フレーム・チェッカ偽キャリア・カウント・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8013、リセット：0x0000、レジスタ名：FC\_FALSE\_CARRIER\_CNT

このレジスタは、偽キャリア・イベント・カウンタ・レジスタをラッチしたコピーです。これは、不正SSD状態になった回数のカウンタです。受信エラー・カウンタ (RX\_ERR\_CNT) を読み出すと、偽キャリア・イベント・カウンタ・レジスタがラッチされるため、偽キャリア・イベント・カウンタと受信フレーム・カウンタが同期します。

表 131. FC\_FALSE\_CARRIER\_CNTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FALSE_CARRIER_CNT	偽キャリア・イベント・カウンタをラッチしたコピー。	0x0	R

## フレーム・ジェネレータ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8020、リセット：0x0000、レジスタ名：FG\_EN

このレジスタは、フレーム・ジェネレータをイネーブルするのに使用します。フレーム・ジェネレータをイネーブルした場合、PHYのデータ・ソースはMACインターフェースではなくフレーム・ジェネレータから取得されます。

表 132. FG\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_EN	フレーム・ジェネレータ・イネーブル。	0x0	R/W

## レジスタの一覧

## フレーム・ジェネレータ制御／再起動レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8021、リセット：0x0001、レジスタ名：FG\_CNTRL\_RSTRT

このレジスタは、フレーム・ジェネレータを制御します。FG\_CNTRLビット・フィールドは、フレーム・ジェネレータが使用するデータ・フィールド・タイプ（ランダムやすべてゼロなど）を指定します。FG\_RSTRTビットによって、フレーム・ジェネレータが再起動します。

表 133. FG\_CNTRL\_RSTRTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	FG_RSTRT	フレーム・ジェネレータの再起動。このビットをセットすると、フレーム・チェッカが再起動します。このビットは自動クリア・ビットです。	0x0	R/W SC
[2:0]	FG_CNTRL	フレーム・ジェネレータの制御。 000：現在のフレーム完了後はフレームなし。 001：乱数のデータ・フレーム。 010：すべてゼロのデータ・フレーム。 011：すべて1のデータ・フレーム。 100：ゼロと1が交互に現れる0x55データ・フィールド。 101：データ・フィールドが255（10進数）から0に減少。	0x1	R/W

## フレーム・ジェネレータ連続モード・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8022、リセット：0x0000、レジスタ名：FG\_CONT\_MODE\_EN

このレジスタは、フレーム・ジェネレータを連続モードにするのに使用します。デフォルトの動作モードはバースト・モードです。バースト・モードの場合、生成フレームの数は、FG\_NFRM\_HレジスタとFG\_NFRM\_Lレジスタで指定します。

表 134. FG\_CONT\_MODE\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モードの有効化。このビットは、フレーム・ジェネレータを連続モードまたはバースト・モードにするのに使用します。 1：フレーム・ジェネレータは連続モードで動作。このモードでは、フレーム・ジェネレータはフレームを無期限に生成し続けます。 0：フレーム・ジェネレータはバースト・モードで動作。このモードでは、フレーム・ジェネレータは単一バーストのフレームを生成して停止します。フレーム数は、FG_NFRM_HレジスタとFG_NFRM_Lレジスタで指定します。	0x0	R/W

## フレーム・ジェネレータ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8023、リセット：0x0000、レジスタ名：FG\_IRQ\_EN

このレジスタは、フレーム・ジェネレータ割込みをイネーブルするのに使用します。要求した数のフレームが生成されると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みはPHY\_SUBSYS\_IRQ\_MASKレジスタでイネーブルします。MAC\_IF\_FC\_FG\_IRQ\_ENビットをセットしてください。

割込みステータスは、PHY\_SUBSYS\_IRQ\_STATUSレジスタのMAC\_IF\_FC\_FG\_IRQ\_LHビットを介して読み出せます。

表 135. FG\_IRQ\_ENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル。このビットをセットすると、設定したフレーム数を送信したときにフレーム・ジェネレータが割込みを生成するように指定します。 1：フレーム・ジェネレータの割込みをイネーブル。 0：フレーム・ジェネレータの割込みをディセーブル。	0x0	R/W

## レジスタの一覧

## フレーム・ジェネレータ・フレーム長レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8025、リセット：0x006B、レジスタ名：FG\_FRM\_LEN

このレジスタは、データ・フィールドのフレーム長をバイト単位で指定します。データ・フィールドに加えて、送信元アドレス用に6バイト、宛先アドレス用に6バイト、長さフィールド用に2バイト、フレーム・チェック・シーケンス（FCS）用に4バイトが追加されます。合計の長さは、データ・フィールド長に18を加えたものになります。

表 136. FG\_FRM\_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_FRM_LEN	バイト単位のデータ・フィールド・フレーム長。	0x6B	R/W

## フレーム・ジェネレータ・フレーム間ギャップ長レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8026、リセット：0x000C、レジスタ名：FG\_IFG\_LEN

このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。

表 137. FG\_IFG\_LENのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長。このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。	0xC	R/W

## フレーム・ジェネレータ・フレーム数ハイ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8027、リセット：0x0000、レジスタ名：FG\_NFRM\_H

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する32ビット・レジスタのビット [31:16] です。

表 138. FG\_NFRM\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_H	生成されるフレーム数のビット[31:16]。	0x0	R/W

## フレーム・ジェネレータ・フレーム数ロー・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8028、リセット：0x0100、レジスタ名：FG\_NFRM\_L

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する32ビット・レジスタのビット [15:0] です。

表 139. FG\_NFRM\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_L	生成されるフレーム数のビット[15:0]。	0x100	R/W

## フレーム・ジェネレータ完了レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8029、リセット：0x0000、レジスタ名：FG\_DONE

このレジスタは、フレーム・ジェネレータがFG\_NFRM\_HレジスタおよびFG\_NFRM\_Lレジスタで要求されたフレーム数の生成を完了したことを示すのに使用されます。

## レジスタの一覧

表 140. FG\_DONEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_DONE	フレーム・ジェネレータ完了。このビットが1として読み出されると、フレームの生成が完了したことを示します。このビットがセットされると、読み出しによってラッチが解除されるまでハイにラッチされます。	0x0	R LH

## RMII設定レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8050、リセット：0x0006、レジスタ名：RMII\_CFG

表 141. RMII\_CFGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x3	R
0	RMII_TXD_CHK_EN	RMIIのTXDチェックをイネーブル。このビットは、フレームの開始を検出するのに、TXD_1とTXD_0をモニタするかどうかを指定します。これにより、RMIIレーシーバのCRS_DV信号をRMIIのTX_EN信号に接続できます。これは主にデバッグとテストを目的としたものです。	0x0	R/W

## MACインターフェース・ループバック設定レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8055、リセット：0x000A、レジスタ名：MAC\_IF\_LOOPBACK

MACインターフェース・ループバックの設定。

表 142. MAC\_IF\_LOOPBACKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	MAC_IF_REM_LB_RX_SUP_EN	抑制RXイネーブル。MAC_IF_REM_LB_ENがセットされている場合に、レーシーバをMACに対して抑制します。	0x1	R/W
2	MAC_IF_REM_LB_EN	MACインターフェース・リモート・ループバック・イネーブル。受信データがトランスミッタにループバックされます。	0x0	R/W
1	MAC_IF_LB_TX_SUP_EN	抑制送信イネーブル。MAC_IF_LB_ENがセットされている場合に、PHYへの送信を抑制します。	0x1	R/W
0	MAC_IF_LB_EN MAC	MACインターフェース・ループバック・イネーブル。送信データがレーシーバにループバックされます。	0x0	R/W

## MACパケット開始（SOP）生成コントロール・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x805A、リセット：0x001B、レジスタ名：MAC\_IF\_SOP\_CNTRL

表 143. MAC\_IF\_SOP\_CNTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	MAC_IF_TX_SOP_LEN_CHK_EN	TX SOPプリアンブル長チェックをイネーブル。	0x0	R/W
4	MAC_IF_TX_SOP_SFD_EN	フレーム開始区切り（SFD：start of frame delimiter）でのTx SOP信号表示をイネーブル。	0x1	R/W
3	MAC_IF_TX_SOP_DET_EN	Tx SOP表示信号の生成をイネーブル。	0x1	R/W
2	MAC_IF_RX_SOP_LEN_CHK_EN	RX SOPプリアンブル長チェックをイネーブル。このビットがセットされ、SFDが受信されない場合は、8バイト後にRX SOP信号表示がセットされます。それ以外の場合、最初の8バイトでSFDが受信されなければRX SOPはセットされません。	0x0	R/W
1	MAC_IF_RX_SOP_SFD_EN	SFD受信時にRX SOP信号表示をイネーブル。MAC_IF_RX_SOP_DET_ENとMAC_IF_RX_SOP_SFD_ENの両方がセットされている場合、RX SOP信号はSFDの受信時にセットされます。それ以外の場合、RX SOPはRX_DVがセットされるとセットされます。RX SOP信号は、フレームの終了までセットされたままになります。	0x1	R/W
0	MAC_IF_RX_SOP_DET_EN	Rx SOP表示信号の生成をイネーブル。	0x1	R/W

## PCBレイアウトに関する推奨事項

### ランド・パターン

LFCSPには、パッケージ底部に露出パッドがあり、機械的、電氣的、および熱的な理由でPCBのグラウンドにハンダ付けする必要があります。

熱抵抗性能とPCBへの放熱を最大化するために、露出グラウンド・パッドの下に4 × 4アレイのサーマル・ビアを使用することを推奨します。ビア・テンティングも推奨します。

### コンポーネントの配置とルーティング

重要なパターンとコンポーネントに優先順位を付けると、ルーティング作業を簡素化するのに役立ちます。重要なパターンとコンポーネントを最初に配置して方向を定め、効果的なレイアウトを確保します。重要なコンポーネントは、水晶発振器と負荷コンデンサ、CEXT\_2とCEXT\_3の各コンデンサ、およびADIN1100に近い位置にあるすべてのバイパス・コンデンサです。これらのコンポーネントには配置とルーティングに関して優先順位を付けます。

- ▶ デカップリング・コンデンサは、その入力ピンのできるだけ近くに配置します。
- ▶ パターンの曲げ回数は最小限に抑え、45° のコーナを使用します。
- ▶ パターンが隣接層のパワー・プレーンを横切ることのないようにします。
- ▶ スタブが形成されることのないようにします。
- ▶ MDIパターン（RXP、RXN、TXP、TXN）はできるだけ短くします。
- ▶ 高速信号にはビアを使用しないでください。リターン電流経路を改善するため、グラウンド・ビアを信号ビアに隣接させます。

### 水晶発振器の配置とルーティング

消費電流を最小限に抑え、浮遊容量を減らし、ノイズ耐性を向上させるために、水晶発振器の配置とルーティングには特別の注意を払う必要があります。

- ▶ 水晶発振器とコンデンサはADIN1100のXTAL\_I/CLK\_INピンおよびXTAL\_Oピンのできるだけ近くに配置します。
- ▶ 負荷コンデンサは互いに近づけて配置します。
- ▶ 水晶発振器と負荷コンデンサには、ローカルのGNDプレーン（銅アイランド）を使用すると共に、メインGNDに1点で接続します。
- ▶ XTAL\_IのパターンとXTAL\_Oのパターンは互いに離し、寄生容量を低減します。
- ▶ 水晶発振器の下の層に銅のキープアウト領域を追加することによっても、寄生容量を低減できます。

### PCBの層構成

PCBの層構成については以下の推奨事項に従ってください。

- ▶ 最低4層のPCB層構成を使用します。EMIに関する問題を改善するには、外層をグラウンド・プレーンとして使用する6層以上の構成を検討してください。
- ▶ 銅層の厚さはアプリケーションと電源条件に応じて定めます。
- ▶ 電源プレーンとグラウンド・プレーンには内層を使用します。

- ▶ 信号パターンには外層を使用します。
- ▶ ビア・ステッチングを使用して、グラウンドを改善すると共にEMIを低減します。ステッチング・パターンとビア間距離は、アプリケーションに応じて定めます。

外形寸法

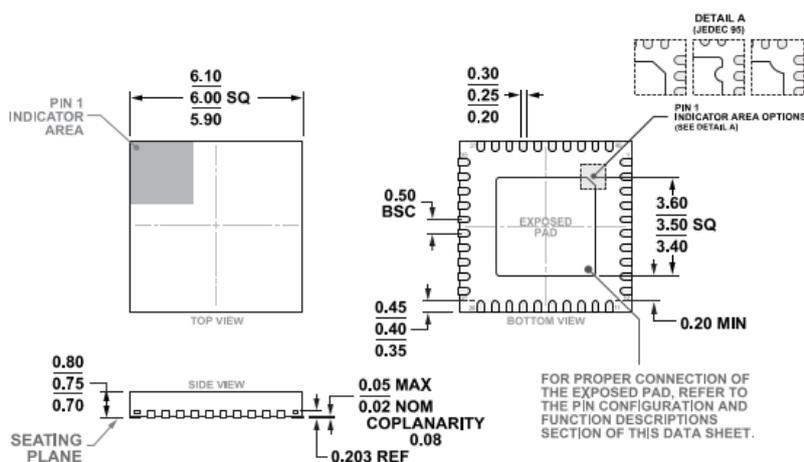


図26. 40ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP]  
6mm × 6mmボディ、0.75mmのパッケージ高  
(CP-40-29)  
寸法 : mm

更新 : 2021年7月27日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADIN1100BCPZ	-40°C to +85°C	40-Lead LFCSP		CP-40-29
ADIN1100BCPZ-R7	-40°C to +85°C	40-Lead LFCSP	Reel, 750	CP-40-29
ADIN1100CCPZ	-40°C to +105°C	40-Lead LFCSP		CP-40-29
ADIN1100CCPZ-R7	-40°C to +105°C	40-Lead LFCSP	Reel, 750	CP-40-29

<sup>1</sup> Z = RoHS準拠製品。

評価用ボード

Model <sup>1</sup>	Package Description
EVAL-ADIN1100EBZ	Evaluation Board

<sup>1</sup> Z = RoHS準拠製品。