

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年6月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年6月23日

製品名：ADIN1200

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：19 ページ 右の段 図表

【正】

図 23 の接続図があやまっています。正しくは下記の図となります。

MII インターフェース・モード

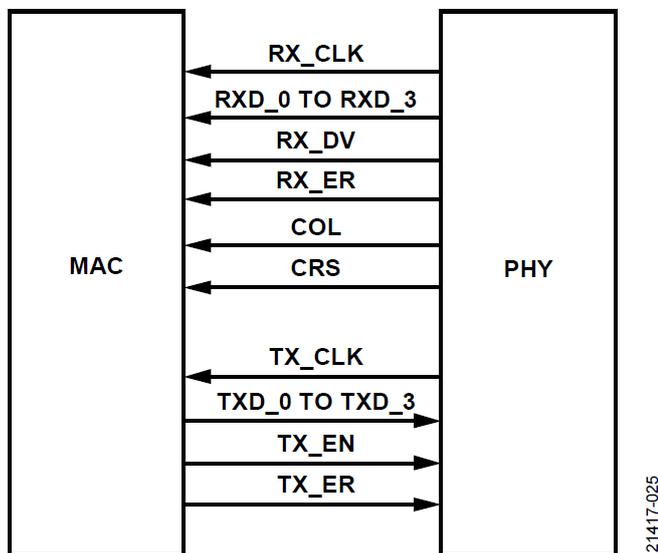


図 23. MII の MAC-PHY インターフェース信号

10Mbps および 100Mbps の堅牢な
低消費電力イーサネット PHY

データシート

ADIN1200

特長

10BASE-Te/100BASE-TX IEEE® 802.3™準拠
 MII、RMII および RGMII MAC インターフェース
 100BASE-TX RGMII 遅延：送信 <124ns、受信 <250ns
 100BASE-TX MII 遅延：送信 <52ns、受信 <248ns
 EMC 試験規格
 IEC 61000-4-5 サージ (±4kV)
 IEC 61000-4-4 電気高速トランジェント (EFT) (±4kV)
 IEC 61000-4-6 伝導耐性 (10V)
 EN55032 放射妨害波 (クラス A)
 EN55032 伝導放射 (クラス A)
 マルチレベル・ピン・ストラップを使用した非管理構成
 IEEE 802.3az 準拠の EEE
 IEEE 1588 タイム・スタンプ・サポートのための
 パケット開始検出
 拡張リンク検出
 設定可能な LED
 水晶発振器/クロック入力：25MHz
 25MHz/125MHz 同期クロック出力
 小型パッケージと広い動作温度範囲
 32ピン、5mm × 5mm LFCSP
 -40°C ~ +105°C および -40°C ~ +85°C の周辺温度で
 仕様を規定
 低消費電力
 139mW (100BASE-TX)
 3.3V/2.5V/1.8V MAC インターフェース VDDIO 電源
 単電源動作：3.3V VDDIO
 電源モニタと POR を内蔵

アプリケーション

工業用オートメーション
 プロセス制御
 ファクトリ・オートメーション
 ロボティクスおよびモーション・コントロール
 ビルディング・オートメーション
 計測装置
 インダストリアル IoT

概要

ADIN1200 は、低消費電力で単一ポートの 10Mbps/100Mbps イーサネット・トランシーバーで、産業用イーサネット・アプリケーション向けに低遅延の仕様となっています。

この設計では、関連するすべての一般的なアナログ回路、入出力クロック・バッファリング、管理インターフェース・レジスタおよびサブシステム・レジスタ、メディア・アクセス・コントロール (MAC) インターフェースを備えた Energy Efficient Ethernet (EEE) 物理層 (PHY) コアと、リセット/クロック制御およびピン配置を管理する制御ロジックが統合されています。

ADIN1200 は、5mm × 5mm の 32ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用し、3.3V MAC インターフェース電源を使用すると想定して、3.3V の単電源で動作できます。システム・レベル設計での柔軟性を最大限に高めたい場合は、独立した VDDIO 電源を使用して管理用データ入出力 (MDIO) および MAC インターフェース電源電圧を ADIN1200 上の他の回路から独立して構成することで、1.8V、2.5V または 3.3V で動作させることができます。パワーアップ時、各電源が最小立上がり閾値を上回り、電源が良好であると見なされるまで、ADIN1200 はハードウェア・リセット状態を保持します。電源を監視して、少なくとも 1 個の電源が最小立上がり時閾値未満に低下したことを検出するとブラウンアウト保護を実行し、電源が復帰してパワーオン・リセット (POR) 回路が起動するまで、デバイスをハードウェア・リセットの状態に保持します。

MII 管理インターフェース (MDIO インターフェースとも呼ばれる) は、ホスト・プロセッサまたは MAC と ADIN1200 の間に 2 線式シリアル・インターフェースを提供し、PHY コアの管理レジスタにある制御情報とステータス情報へのアクセスを可能にします。インターフェースは、IEEE® 802.3™規格の条項 22 と条項 45 の両方の管理フレーム構造に準拠しています。

ADIN1200 は、長さが最大 180m のケーブルに対応できます。

このデータシートでは、XTAL_I/CLK_IN/REF_CLK などの多機能ピンについてはピン名全体を表記しますが、特定の機能のみが該当するような説明箇所では、XTAL_I のように 1 つのピン機能だけを表記しています。

表 1. 関連製品

製品番号	説明
ADIN1300	堅牢な産業用低遅延ギガビット・イーサネット PHY、40ピン (6mm × 6mm) LFCSP を採用

目次

特長	1	フレーム・ジェネレータとフレーム・チェッカ	32
アプリケーション	1	ケーブル診断	33
概要	1	拡張リンク検出	33
改訂履歴	2	パケット開始指示	33
機能ブロック図	3	アプリケーション情報	35
仕様	4	システム概要	35
タイミング特性	6	REM スイッチ、fido5200	35
絶対最大定格	11	fido5200 および ADIN1200 の詳細な概要	36
熱抵抗	11	電源	36
ESD に関する注意	11	コンポーネントの推奨事項	38
ピン配置およびピン機能の説明	12	電源条件	39
代表的な性能特性	16	電源のデカップリング	39
動作原理	18	レジスタの一覧	41
アナログ・フロント・エンド (AFE)	18	PHY コア・レジスタの概要	41
MAC インターフェース	19	PHY コア・レジスタの詳細	43
オートネゴシエーション	20	サブシステム・レジスタの概要	71
オートネゴシエーションの無効化	20	サブシステム・レジスタの詳細	72
管理インターフェース	20	PCB レイアウトに関する推奨事項	77
MDI インターフェース	22	PHY パッケージのレイアウト	77
リセット動作	22	コンポーネント配置	77
パワーダウン・モード	24	MDI、差動ペアのルーティング	77
ステータス LED	25	MAC インターフェースのピン	77
PHY 出力クロック	26	電源プレーンとグラウンド・プレーン	77
電源ドメイン	26	LFCSP パッケージのレイアウト・ガイドライン	78
ハードウェア構成ピン	27	外形寸法	79
ハードウェア構成ピンの機能	27	オーダー・ガイド	79
オンチップ診断	31		
ループバック・モード	31		

改訂履歴

11/2019—Revision 0: Initial Version

機能ブロック図

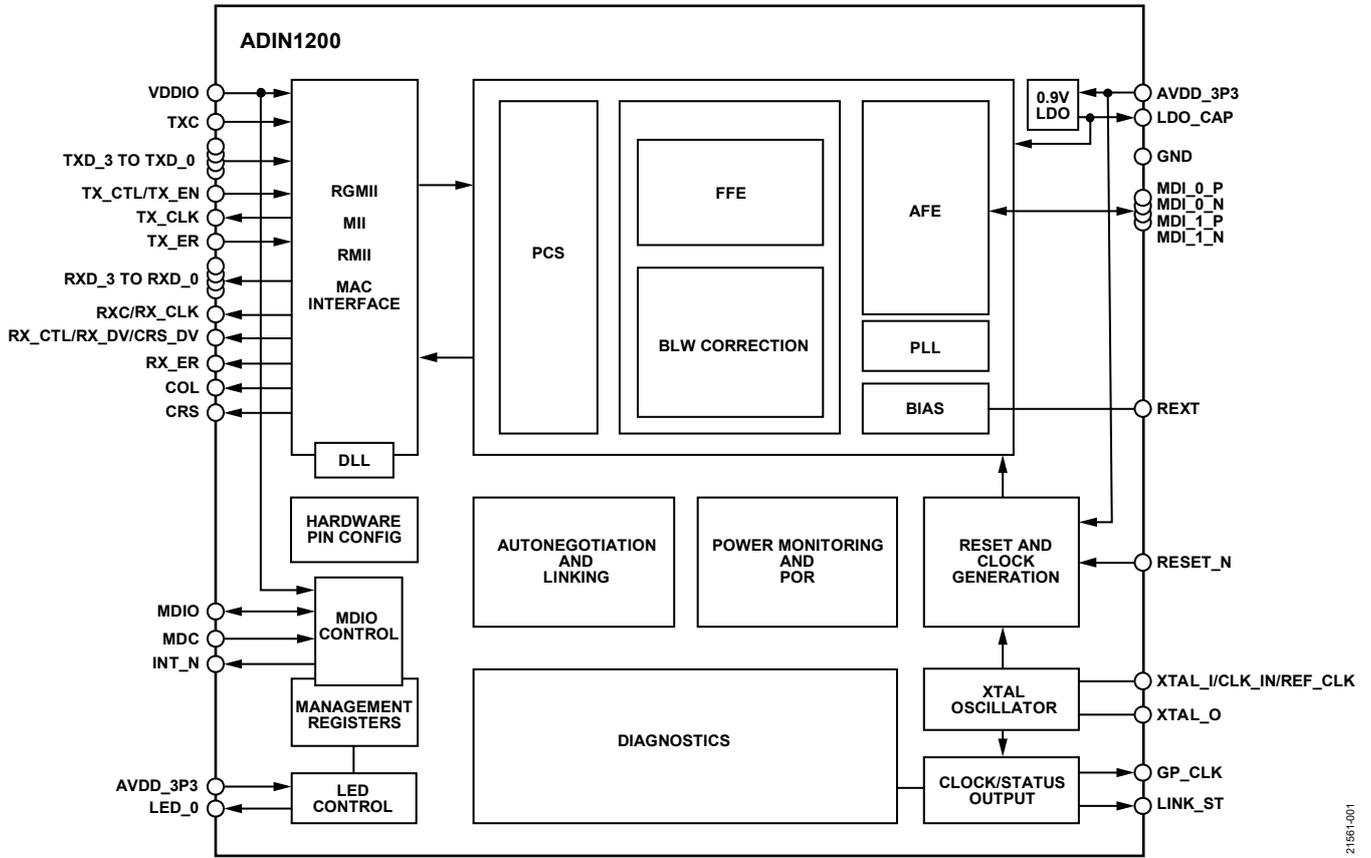


図 1.

21851-001

仕様

特に指定がない限り、AVDD_3P3 = 3.3V、VDDIO = 1.8V、すべての仕様は-40°C~+105°Cで仕様規定されています。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント	
POWER REQUIREMENTS						
Supply Voltages						
AVDD_3P3	3.14	3.3	3.46	V	3.3V モード 2.5V モード 1.8V モード	
VDDIO	3.14	3.3	3.46	V		
	2.25	2.5	2.75	V		
	1.71	1.8	1.89	V		
POWER CONSUMPTION¹						
Supply Current 100BASE-TX						
AVDD_3P3 Current (I _{AVDD_3P3})		31		mA	100%データ・スループット、フル・アクティブ 3.3V モード 2.5V モード 1.8V モード	
VDDIO Current (I _{VDDIO})		22		mA		
		21		mA		
		20		mA		
Power						
100BASE-TX		175		mW	100%データ・スループット、フル・アクティブ VDDIO = 3.3V VDDIO = 2.5V VDDIO = 1.8V	
		155		mW		
		139		mW		
TIMING/LATENCY²						
100BASE-TX MII						
Transmit			52	ns		
Receive			248	ns		
Total			300	ns		
100BASE-TX RGMII ³						
Transmit	84	88	92	ns		
Receive			250	ns		
Total	334	338	342	ns		
100BASE-TX RGMII ⁴						
Transmit	84	104	124	ns		
Receive			250	ns		
Total	334	354	374	ns		
100BASE-TX RMII ⁵						
Transmit	72		92	ns		
Receive	328	348	368	ns		
Total	400	430	460	ns		
DIGITAL INPUTS/OUTPUTS						
VDDIO = 3.3 V						
Input Low Voltage (V _{IL})			0.8	V	MAC インターフェース、MDC ピン、MDIO ピン、および INT_N ピンに適用 出力ロー電流 (I _{OL}) (最小) = 4mA 出力ハイ電流 (I _{OH}) (最小) = 4mA	
Input High Voltage (V _{IH})	2.0			V		
Output Low Voltage (V _{OL})			0.4	V		
Output High Voltage (V _{OH})	2.4			V		
VDDIO = 2.5 V						
V _{IL}			0.7	V	I _{OL} (最小) = 4mA I _{OH} (最小) = 2mA I _{OH} (最小) = 4mA	
V _{IH}	1.7			V		
V _{OL}			0.4	V		
V _{OH}	2.0			V		
	1.7			V		

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
VDDIO = 1.8 V					
V _{IL}			0.35 × VDDIO	V	
V _{IH}	0.65 × VDDIO			V	
V _{OL}			0.45	V	I _{OL} (最小) = 2mA
V _{OH}	VDDIO – 0.45			V	I _{OH} (最小) = 2mA
AVDD_3P3					LED_0/COL/TX_ER/PHY_CFG0 ピンの COL/TX_ER 機能に適用
V _{IL}			0.8	V	
V _{IH}	2.0			V	
V _{OL}			0.4	V	I _{OL} (最小) = 4mA
V _{OH}	2.4			V	I _{OH} (最小) = 4mA
Input Leakage Current High (I _{IH}) and Input Leakage Current Low (I _{IL})			10	μA	内部プルダウン抵抗付きのピンを除く
LED OUTPUT					LED_0 に適用
Output Drive Current	8			mA	AVDD_3P3 = 3.3V
CLOCKS					
External Crystal (XTAL)					XTAL_I ピンおよび XTAL_O ピンで使用される外部水晶発振器の条件
Frequency				MHz	
Frequency Tolerance	-50		+50	ppm	
Output Drive Level		<200		μW	
ESR		20	100	Ω	
Load Capacitance (C _L) ⁶		10		pF	
Jitter			80	ps	周波数範囲 : 10kHz~5MHz
Clock Input (CLK_IN)		25		MHz	XTAL_I ピンに適用される外部クロックの条件
Input Frequency		25		MHz	MII、RGMII モード
		50		MHz	RMII モード
Input Voltage Range			2.5	V	

¹ MAC インターフェースの容量性負荷は 5pF (REFCLK をディスエーブル)。

² DPTH_MII_BYTE レジスタは、MII モード (10BASE-Tc および 100BASE-TX) に対して設定する送信ファースト・イン・ファースト・アウト (FIFO) の深さをバイトまたはニブルのいずれかで定義します。デフォルトは 1 で、バイトです。MII モードでは、インターフェースはニブルを使用するため、送信 FIFO での内部プレフィル量が大きくなり、待ち時間が長くなります。表 2 の遅延仕様では、このビットは MII では 0 に設定されています。

³ この 100BASE-TX RGMII の送信遅延は、送信 FIFO を同期動作に設定する場合の値です (MAC 送信クロックを ADIN1200 リファレンス・クロックと同期させる必要があります)。FIFO_SYNC レジスタを参照してください。

⁴ この 100BASE-TX RGMII の送信遅延は、MAC 送信クロックが ADIN1200 リファレンス・クロックと同期する必要がなく、送信 FIFO で位相差が処理される場合の値です。

⁵ RMII の送信遅延は、50MHz のリファレンス・クロックと内部 25MHz クロックの位相関係に依存します。特定のリンクの送信遅延は固定されます。

⁶ ここで、負荷容量 (C_L) = (C₁ × C₂) / (C₁ + C₂) + C_{STRAY} (C_{STRAY} は配線とパッケージの寄生を含む浮遊容量) です。

タイミング特性

パワーアップ・タイミング

表 3. パワーアップ・タイミング

パラメータ	説明	Min	Typ	Max	単位
t_{RAMP}	電源ランプ時間			40	ms
t_1	内部パワー・グッドまでの最小タイム・インターバル ¹		6.8		ms
t_2	XTAL_I 水晶発振器のセトリング時間		1.5	2	ms
	XTAL_I 外部クロックのセトリング時間			20	μ s
t_3	ハードウェア構成ラッチ時間			64	μ s
t_4	管理インターフェース・アクティブ			5	ms

¹ 最小タイム・インターバルは、立上がり閾値に到達する最後の電源を基準とします。特定の電源シーケンスは必要ありません。

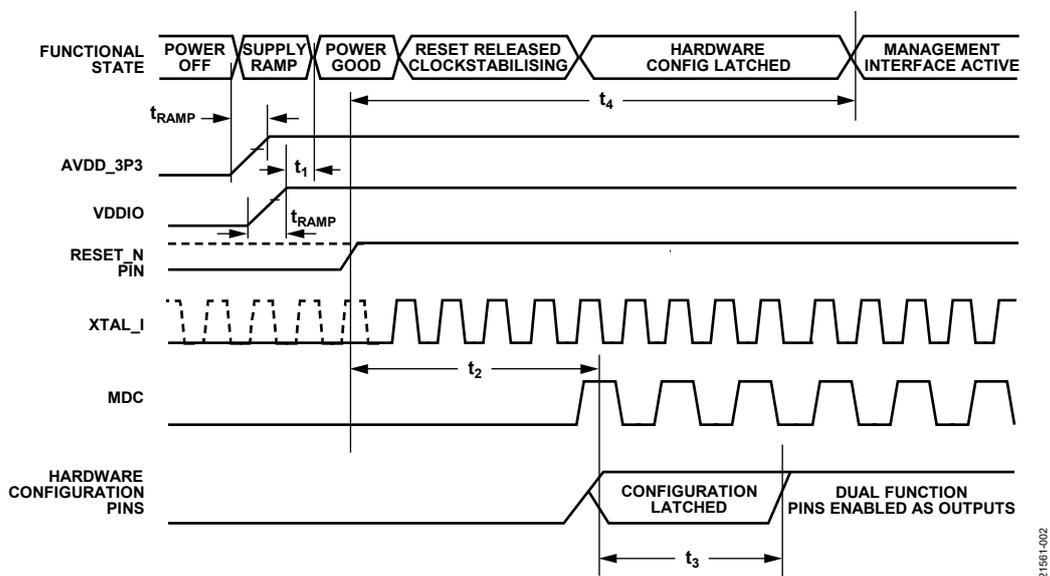


図 2. パワーアップ・タイミング

ハードウェア・リセット・タイミング

表 4. ハードウェア・リセット・タイミング

パラメータ	説明	Min	Typ	Max	単位
t_1	RESET_N のロー時間	10			μ s
t_2	XTAL_I 水晶発振器のセトリング時間		1.5		ms
	XTAL_I 外部クロックのセトリング時間		0		
t_3	ハードウェア構成ラッチ時間			64	μ s
t_4	管理インターフェース・アクティブ			5	ms

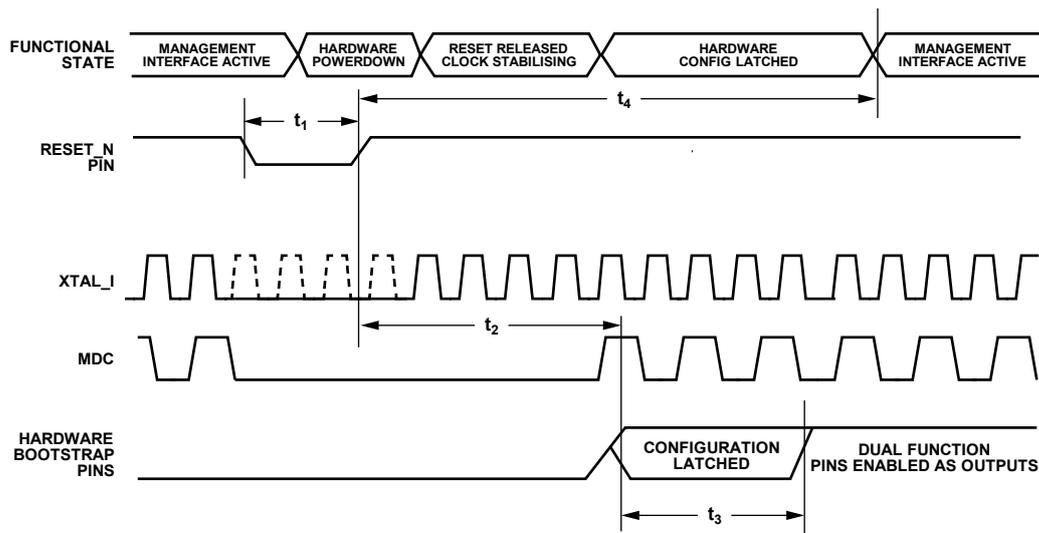


図 3. ハードウェア・リセット・タイミング

管理インターフェースのタイミング

表 5. 管理インターフェースのタイミング

パラメータ	説明	Min	Typ	Max	単位
t_1	MDC の周期	180			ns
t_2	MDC のハイ時間	70			ns
t_3	MDC のロー時間	70			ns
t_4	MDC の立上がり／立下がり時間			5	ns
t_5	MDC への MDIO 信号のセットアップ時間	10			ns
t_6	MDC への MDIO 信号のホールド時間	10			ns
t_7	MDC への MDIO の遅延時間	0		60	ns

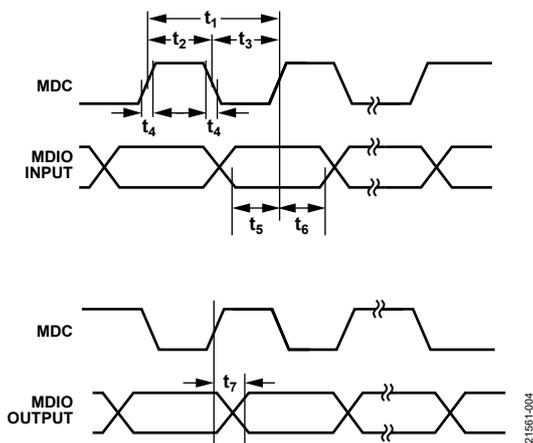


図 4. 管理インターフェースのタイミング

MII 送受信タイミング

表 6. MII 100BASE-TX の送信タイミング

パラメータ	説明	Min	Typ	Max	単位
t_1	TX_CLK の周期		40		ns
t_2	TX_CLK のハイ時間	14	20	26	ns
t_3	TX_CLK のロー時間	14	20	26	ns
t_4	TX_CLK の立上がり／立下がり時間		5		ns
t_5	TX_CLK への MII 入力信号のセットアップ時間	10			ns
t_6	TX_CLK への MII 入力信号のホールド時間	0			ns

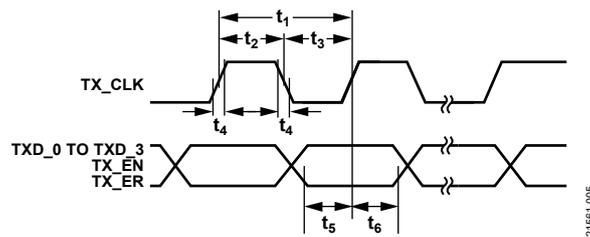


図 5. MII の送信タイミング

表 7. MII 100BASE-TX の受信タイミング

パラメータ	説明	Min	Typ	Max	単位
t_1	RX_CLK の周期		40		ns
t_2	RX_CLK のハイ時間	16	20	24	ns
t_3	RX_CLK のロー時間	16	20	24	ns
t_4	RX_CLK の立上がり／立下がり時間			1	ns
t_5	RX_CLK への MII 出力信号のセットアップ時間	10			ns
t_6	RX_CLK への MII 出力信号のホールド時間	10			ns

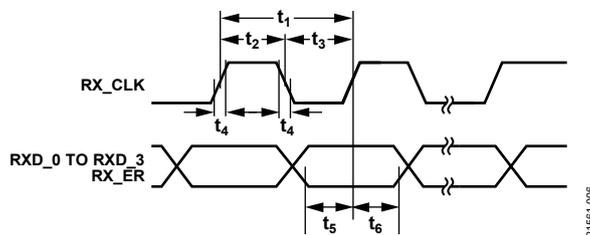


図 6. MII の受信タイミング

表 8. MII 10BASE-Te の送信タイミング (図 5 を参照)

パラメータ	説明	Min	Typ	Max	単位
t_1	TX_CLK の周期		400		ns
t_2	TX_CLK のハイ時間	140	200	260	ns
t_3	TX_CLK のロー時間	140	200	260	ns
t_4	TX_CLK の立上がり／立下がり時間		1		ns
t_5	TX_CLK への MII 入力信号のセットアップ時間	10			ns
t_6	TX_CLK への MII 入力信号のホールド時間	0			ns

表 9. MII 10BASE-Te の受信タイミング (図 6 を参照)

パラメータ	説明	Min	Typ	Max	単位
t_1	RX_CLK の周期		400		ns
t_2	RX_CLK のハイ時間	140	200	260	ns
t_3	RX_CLK のロー時間	140	200	260	ns
t_4	RX_CLK の立上がり/立下がり時間		1	1	ns
t_5	RX_CLK への MII 出力信号のセットアップ時間	10			ns
t_6	RX_CLK への MII 出力信号のホールド時間	10			ns

RGMI I の送受信

表 10. RGMI I のタイミング

パラメータ	説明	Min	Typ	Max	単位
t_1	データからクロック出力へのスキュー (トランスミッタで) ¹	-500	0	+500	ps
t_2	データからクロック入力へのスキュー (レシーバーで) ¹	1	1.8	2.6	ns
t_3	データからクロック出力へのセットアップ時間 (トランスミッタで、内部遅延) ²	1.2	2.0		ns
t_4	クロックからデータ出力へのホールド時間 (トランスミッタで、内部遅延) ²	1.2	2.0		ns
t_5	データからクロック入力へのセットアップ時間 (レシーバーで、内部遅延) ²	1.0	2.0		ns
t_6	クロックからデータ入力へのホールド時間 (レシーバーで、内部遅延) ²	1.0	2.0		ns
t_{CYC}	クロック・サイクル期間 ³	7.2	8	8.8	ns
Duty_T	10Mbps/100Mbps のデューティ・サイクル	40	50	60	%
t_R/t_F	立上がり/立下がり時間 (20%~80%)			0.75	ns

¹ RGMI I の内部遅延なしで動作する場合、プリント回路基板 (PCB) 設計では、関連するクロック信号に 1.5ns より大きく 2.0ns より小さい追加のパターン遅延が追加されるようにクロックを配線する必要があります。10Mbps/100Mbps の場合、最大値は仕様規定されていません。

² ハードウェアおよびソフトウェアでプログラマブルな内部遅延は、有効化または無効化できます。

³ t_{CYC} は、10Mbps では 400ns±40ns、100Mbps では 40ns±4ns にスケールリングされます。

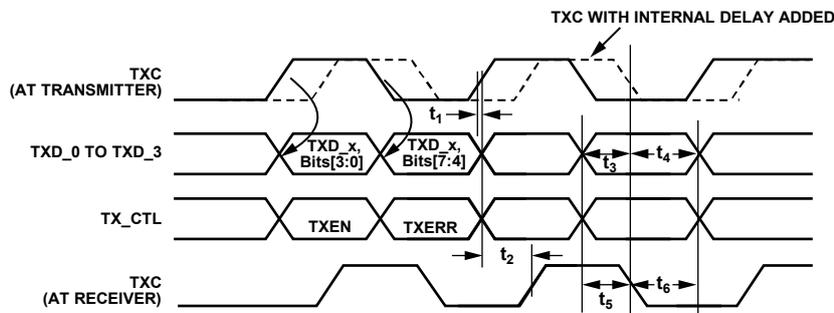


図 7. RGMI I の送信タイミング

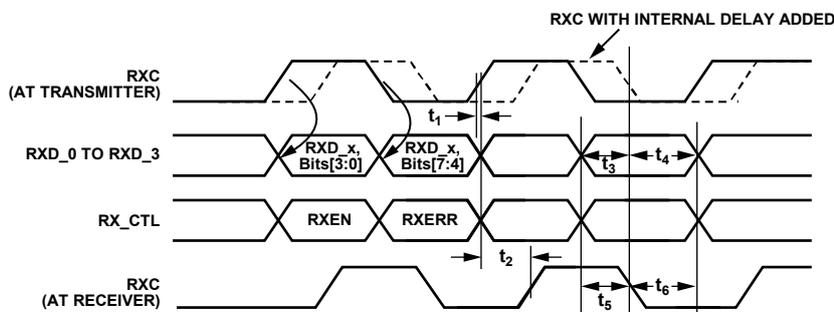


図 8. RGMI I の受信タイミング

RMII の送受信

表 11. RMII のタイミング

パラメータ	説明	Min	Typ	Max	単位
REF_CLK Frequency	REF_CLK の周波数		50		MHz
REF_CLK Duty Cycle	REF_CLK のデューティ・サイクル	35		65	%
t_1	REF_CLK の立上がりエッジまでの TXD_0、TXD_1、TX_EN、RXD_0、RXD_1、CRS_DV、RX_ER のデータ・セットアップ	4			ns
t_2	REF_CLK の立上がりエッジからの TXD_0、TXD_1、TX_EN、RXD_0、RXD_1、CRS_DV、RX_ER のデータ・ホールド	2			ns
t_3	出力の立上がり／立下がり時間	1		5	ns

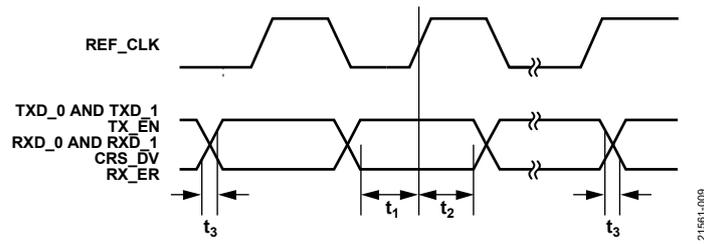


図 9. RMII のタイミング

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 12.

Parameter	Rating
VDDIO to GND	-0.3 V to +3.63 V
LDO_CAP to GND	-0.3 V to +1.1 V
AVDD_3P3 to GND	-0.3 V to +3.63 V
MAC Interface to GND	-0.3 V to VDDIO + 0.3 V
LINK_ST, GP_CLK to GND	-0.3 V to VDDIO + 0.3 V
MDIO, MDC, INT_N to GND	-0.3 V to +3.63 V
MDI_x_x to GND	-0.3 V to AVDD_3P3 + 0.3 V
LED_0, RESET_N, XTAL_1/CLK_IN/REF_CLK, XTAL_O	-0.3 V to AVDD_3P3 + 0.3 V
Operating Temperature Range (T_A)	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Maximum)	125°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	
MDI_x_x Pins	4 kV
All Other Pins	2 kV
Machine Model (MM)	200 V
Field Induced Charged Device Model (FICDM)	1.25 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC_TOP} は、ジャンクションからケースへの熱抵抗です。

表 13. 熱抵抗

Package Type	θ_{JA}	θ_{JC_TOP}	Unit
CP-32-31 ¹	56	28	°C/W

¹テスト条件 1: 熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照してください。

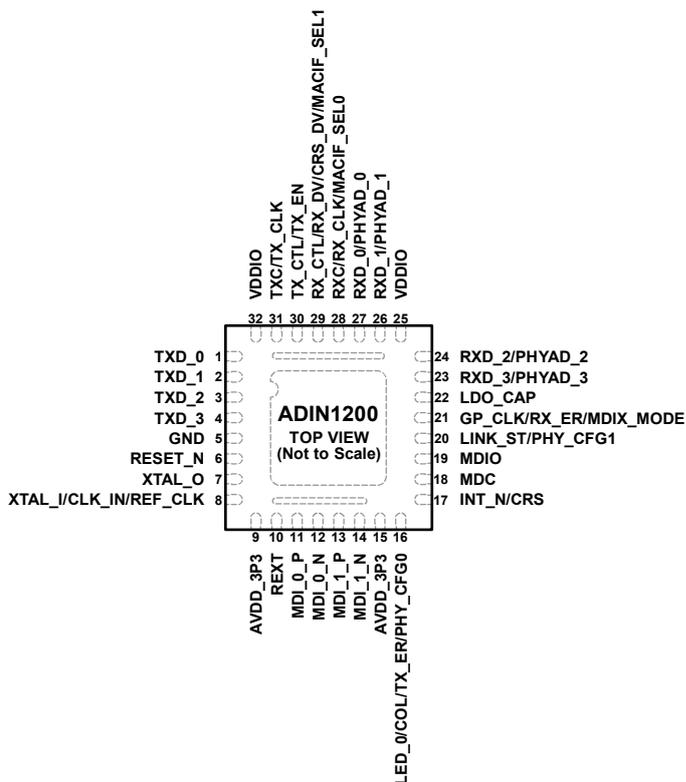
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. THE LFCSP HAS AN EXPOSED PAD THAT MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS AND TO GND. A 4 × 4 ARRAY OF THERMAL VIAS BENEATH THE EXPOSED GND PAD IS ALSO REQUIRED.
 2. THE LFCSP ALSO HAS TWO KEEPOUT AREAS TO THE TOP AND BOTTOM OF THE EXPOSED PAD. NO PCB TRACES OR VIAS CAN BE USED IN THESE AREAS.

21951-010

図 10. ピン配置

表 14. ピン機能の説明

ピン番号	記号 ¹	説明
Clock Interface		
7	XTAL_O	水晶発振器接続用の第2の端子。XTAL_I/CLK_IN/REF_CLKでシングルエンドのリファレンス・クロックを使用する場合、XTAL_Oはオープン・サーキットにします。
8	XTAL_I/CLK_IN/REF_CLK	水晶発振器の入力 (XTAL_I)。 シングルエンドの 25MHz リファレンス・クロック (CLK_IN)。 RMII モードでの 50MHz RMII リファレンス・クロック入力 (REF_CLK)。
Management Interface		
17	INT_N/CRS	管理インターフェース割込みピン出力 (INT_N)。アクティブ・ロー出力。INT_Nのローは、マスク解除されている管理割込みを示します。このピンには、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
18	MDC	MII キャリア・センス出力 (CRS)。MAC に対してキャリアの存在を示します。
19	MDIO	最大 5.5MHz の管理データ・クロック入力。 MDC クロックに同期した管理データのオープンドレイン入出力。このピンには、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
Reset		
6	RESET_N	アクティブ・ロー入力。10μs を超える時間、ローに保持します。このピンには、AVDD_3P3 への 1kΩ プルアップ抵抗が必要です。

ピン番号	記号 ¹	説明
Media Dependent Interface (MDI)		
11	MDI_0_P	10Mbps および 100Mbps に対応する送受信の差動ペア 0。
12	MDI_0_N	10Mbps および 100Mbps に対応する送受信の差動ペア 0。
13	MDI_1_P	10Mbps および 100Mbps に対応する送受信の差動ペア 1。
14	MDI_1_N	10Mbps および 100Mbps に対応する送受信の差動ペア 1。
MAC Interface		
1	TXD_0	RGMII/RMII/MII の送信データ 0 入力。MAC インターフェースのセクションを参照してください。
2	TXD_1	RGMII/RMII/MII の送信データ 1 入力。MAC インターフェースのセクションを参照してください。
3	TXD_2	RGMII/MII の送信データ 2 入力。MAC インターフェースのセクションを参照してください。
4	TXD_3	RGMII/MII の送信データ 3 入力。MAC インターフェースのセクションを参照してください。
23	RXD_3/PHYAD_3	RGMII/MII の受信データ 3 出力 (RXD_3)。MAC インターフェースのセクションを参照してください。 PHY アドレスのハードウェア構成ピン (PHYAD_3)。
24	RXD_2/PHYAD_2	RGMII/MII 受信データ 2 出力 (RXD_2)。MAC インターフェースのセクションを参照してください。 PHY アドレスのハードウェア構成ピン (PHYAD_2)。
26	RXD_1/PHYAD_1	RGMII/RMII/MII 受信データ 1 出力 (RXD_1)。MAC インターフェースのセクションを参照してください。 PHY アドレスのハードウェア構成ピン (PHYAD_1)。
27	RXD_0/PHYAD_0	RGMII/RMII/MII 受信データ 0 出力 (RXD_0)。MAC インターフェースのセクションを参照してください。 PHY アドレスのハードウェア構成ピン (PHYAD_0)。
28	RXC/RX_CLK/MACIF_SEL0	RGMII 受信クロック出力 (RXC)。100Mbps で 25MHz、10Mbps で 2.5MHz。 MII 受信クロック出力 (RX_CLK)。100Mbps で 25MHz、10Mbps で 2.5MHz。 MAC インターフェース選択のハードウェア構成ピン (MACIF_SEL0)。表 25 を参照。
29	RX_CTL/RX_DV/ CRS_DV/MACIF_SEL1	RGMII の受信制御信号 (RX_CTL)。RX_DV と RX_ER を組み合わせた信号で、RXC の両方のエッジを使用します。 MII モードの受信データ有効出力 (RX_DV)。ハイにアサートされると、MII モードで RXD_0 ピン～RXD_3 ピンに有効なデータが存在することを示します。 RMII モードのキャリア・センス/受信データ有効信号 (CRS_DV)。CRS と RX_DV を組み合わせた信号であり、受信メディアがアイドルでないときにアサートされます。 RMII インターフェース・モードのセクションを参照してください。 MAC インターフェース選択のハードウェア構成ピン (MACIF_SEL1)。表 25 を参照。
31	TXC/TX_CLK	RGMII の送信クロック入力 (TXC)。MAC から PHY へ、100Mbps で 25MHz、10Mbps で 2.5MHz。 PHY から MAC への MII 出力クロック (TX_CLK)。TX_CLK 周波数は、10BASE-Te モードで 2.5MHz、100BASE-TX モードで 25MHz です。TX_CLK は、XTAL_I/CLK_IN クロックと一定の位相関係にあります。
30	TX_CTL/TX_EN	RGMII の送信制御信号 (TX_CTL)。TX_CTL は、TX_EN と TX_ER を組み合わせた信号で、TXC の両方のエッジを使用します。 RMII/MII モードの MAC から PHY への送信イネーブル入力 (TX_EN)。送信データが TXD_x ラインで利用可能であることを示しています。

ピン番号	記号 ¹	説明
LED Interface 16	LED_0/COL/TX_ER/ PHY_CFG0	<p>駆動能力が 8mA の汎用 LED 用プログラマブル LED インジケータ (LED_0)。LED は、アクティブ・ハイまたはアクティブ・ローにすることができます。アクティブ・ローを推奨します。ADIN1200 は、パワーアップ時とリセット時に LED の接続を自動的に検出します。デフォルトでは、リンクが確立されると LED_0 がオンになり、アクティビティがあると点滅します (この動作はソフトウェアで変更できます)。</p> <p>MII のコリジョン検出出力 (COL)。これはコリジョン状態を示します。</p> <p>MAC から PHY への MII 送信エラー検出出力 (TX_ER)。ハードウェア・ピン構成により EEE アドバタイズメントが有効化されている場合にのみデフォルトで利用可能です (表 15 を参照)。</p> <p>PHY 構成用の 4 レベル・ハードウェア構成ピン (PHY_CFG0) (表 23 を参照)。</p>
Other Pins 10	REXT	外付けバイアス・リファレンス抵抗。1%の 3.01kΩ 抵抗 (許容誤差 1%、温度係数 (TC) 100ppm/°C) を GND に接続します。
20	LINK_ST/PHY_CFG1	<p>リンク・ステータスの出力に使用される汎用出力 (LINK_ST)。有効なリンクが確立されているかどうかを示します。LINK_ST はデフォルトでアクティブ・ハイです (ソフトウェアで変更できます)。</p> <p>PHY 構成用の 4 レベル・ハードウェア構成ピン (PHY_CFG1) (表 23 を参照)。</p>
21	GP_CLK/RX_ER/ MDIX_MODE	<p>汎用出力。このピンで、PHY クロック (GP_CLK) が利用可能です。</p> <p>RMII/MII モードの受信エラー検出出力 (RX_ER)。ハイにアサートされると、PHY が受信エラーを検出したことを示します。</p> <p>自動 MDIX 構成用の 4 レベル・ハードウェア構成ピン (MDIX_MODE)。表 24 を参照。</p>
22	LDO_CAP	内部 0.9V デジタル・コア電源出力ピン。このピンのできるだけ近くで、0.1μF のセラミック・コンデンサを GND に接続します。
Power and Ground Pins 5	GND	グラウンド。このピンは、ボード上のグラウンドに接続する必要があります。
9, 15	AVDD_3P3	PHY インターフェース、アナログ回路、水晶発振器、データ・リンク・レイヤ (DLL)、RESET_N および LED 回路用の 3.3V 電源入力。これらのピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサを GND に接続します。
25, 32	VDDIO	3.3V/2.5V/1.8V の MDIO および MAC インターフェース電源入力。これらのピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサを GND に接続します。3.3V を使用する場合、VDDIO と AVDD_3P3 を同じ電源に接続して、電源を最小にすることができます。
	EP	<p>露出パッド。LFCSP パッケージにある露出パッドは、機械的な理由により PCB の金属面、および GND にハンダ付けする必要があります。露出した GND パッドの下に、4×4 アレイのサーマル・ビアも必要です。</p> <p>この LFCSP パッケージには、パッケージの概要に示すように、上部と下部の露出パッドに隣接する 2 つの露出電源バーもあります。これらは内部電源レールに接続されており、これらの周辺は禁止領域です。</p>

¹ ピンが機能信号とハードウェア・ピン構成信号の間で共有されている場合、ハードウェア・ピン構成信号は記号の最後の名前になり、ピンはデータシートで使用されている機能信号名を表します。

表 15. 各 MAC インターフェース・オプションのピン機能の説明

Pin No.	Pin Name ¹	MAC Interface Pin Function ²			
		RGMII	MII and EEE Advertisement Disabled ³	MII and EEE Advertisement Enabled ^{3, 4}	RMII
1	TXD_0	TXD_0	TXD_0	TXD_0	TXD_0
2	TXD_1	TXD_1	TXD_1	TXD_1	TXD_1
3	TXD_2	TXD_2	TXD_2	TXD_2	
4	TXD_3	TXD_3	TXD_3	TXD_3	
8	XTAL_I/CLK_IN/REF_CLK				REF_CLK ⁵
16	LED_0 ⁶ /COL/TX_ER		COL	TX_ER	
17	INT_N ⁵ /CRS		CRS		
21	GP_CLK ³ /RX_ER		RX_ER	RX_ER	RX_ER
23	RXD_3	RXD_3	RXD_3	RXD_3	
24	RXD_2	RXD_2	RXD_2	RXD_2	
26	RXD_1	RXD_1	RXD_1	RXD_1	RXD_1
27	RXD_0	RXD_0	RXD_0	RXD_0	RXD_0
28	RXC/RX_CLK	RXC	RX_CLK	RX_CLK	
29	RX_CTL/RX_DV/CRS_DV	RX_CTL	RX_DV	RX_DV	CRS_DV
30	TX_CTL/TX_EN	TX_CTL	TX_EN	TX_EN	TX_EN
31	TXC/TX_CLK	TXC	TX_CLK	TX_CLK	

¹ 明確にするために、ハードウェア・ピン構成信号は省略しています。

² フィールドが空白の場合、ピン機能は記号欄にリストされている最初の機能です。

³ EEE アダプタイズメントは、ハードウェア・ピン構成を使用して有効化/無効化します。ハードウェア構成ピンのセクションを参照してください。

⁴ EEE は半二重には対応していません。したがって、CRS ピンまたは COL ピンは不要です。

⁵ RMII MAC インターフェース・オプションを使用する場合、XTAL_I/CLK_IN/REF_CLK ピンに 50MHz のリファレンス・クロックを供給する必要があります。

⁶ これらのピン機能は、ソフトウェアにより再構成することもできます。

代表的な性能特性

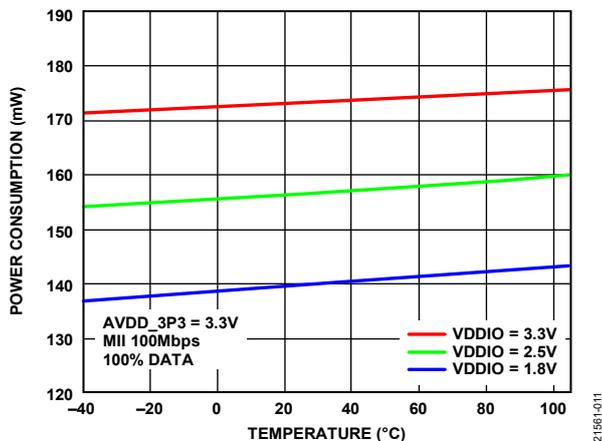


図 11. 消費電力の温度特性、VDDIO 電源、100Mbps、100%データ

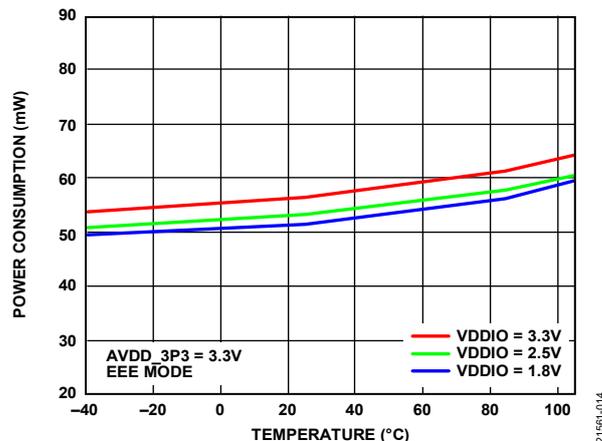


図 14. 各種 VDDIO 電源圧での消費電力の温度特性、EEE モード

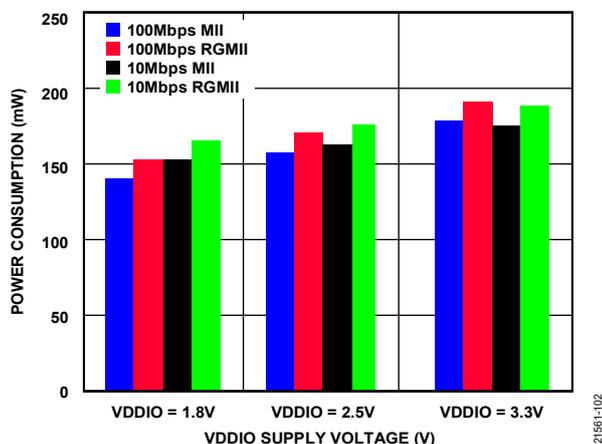


図 12. すべての MAC インターフェイス速度での消費電力と VDDIO 電源電圧の関係

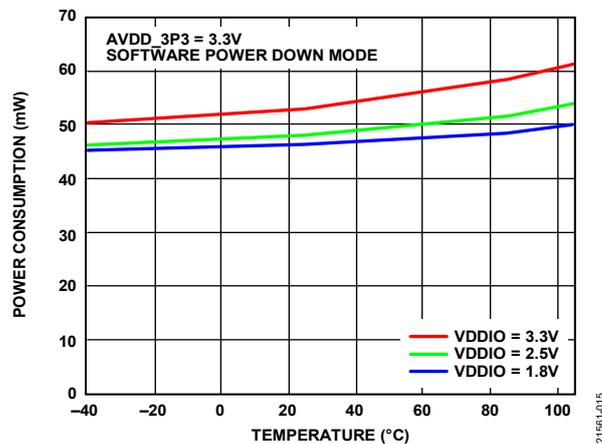


図 15. 各種 VDDIO 電源圧での消費電力の温度特性

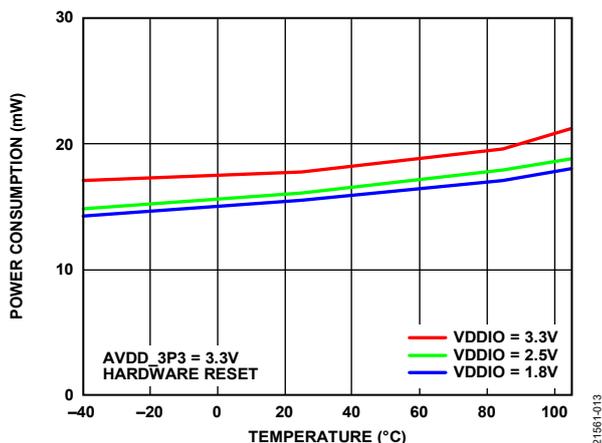


図 13. 各種 VDDIO 電源電圧での消費電力の温度特性、ハードウェア・リセット

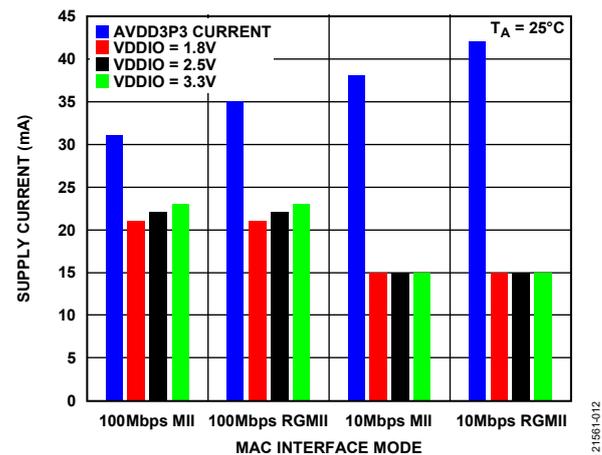


図 16. 各種 VDDIO 電源電圧での消費電流と MAC インターフェイス・モードの関係

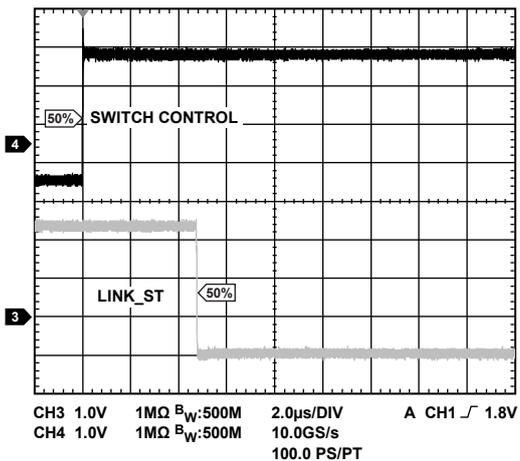


図 17. 拡張リンク検出、100Mbps、100m ケーブル、
1本の配線が断線

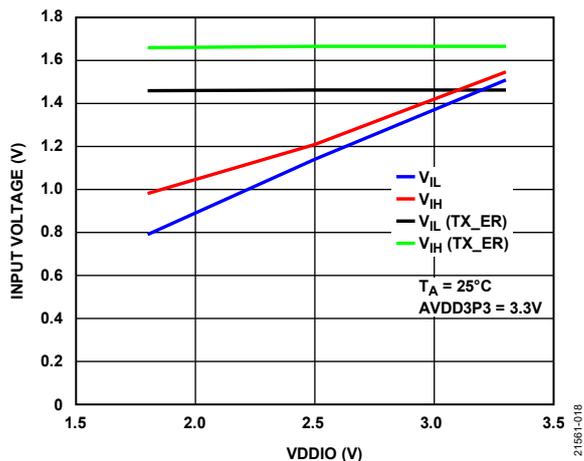


図 19. デジタル入力のトリップ・レベルと VDDIO の関係

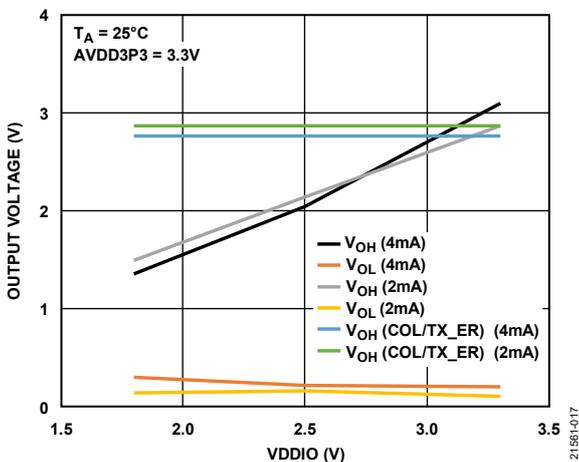


図 18. デジタル出力のトリップ・レベルと VDDIO の関係

動作原理

ADIN1200 は、低消費電力で堅牢な単一ポートの 10Mbps/100Mbps イーサネット・トランシーバーで、主に産業用イーサネット・アプリケーション向けに低遅延の仕様となっています。この設計では、高エネルギー効率イーサネット PHY コアと関連するすべての一般的なアナログ回路、入出力クロック・バッファリング、管理インターフェース・レジスタ、サブシステム・レジスタ、MAC インターフェース、および、リセット/クロック制御およびピン配置を管理する制御ロジックが統合されています。

ADIN1200は、外部トランスを介してツイストペア・メディアに直接接続し、100Mbps または 10Mbps の速度で動作する場合は 180 メートルのケーブル長に対応できます。

10Mbps の速度を選択した場合、デバイスはデフォルトで 10BASE-Te 送信レベルを使用する 10BASE-Te モードで動作します。ADIN1200は、ソフトウェアで構成することにより、より大きな 10BASE-T 送信レベルを使用して 10BASE-T モードを動作させることができます。10BASE-Te と 10BASE-T の唯一の違いは、送信レベルです。10BASE-Te として構成された PHY は、通常の Cat-5 ケーブルを使用した場合、10BASE-T PHY と相互運用します。

ADIN1200には一連の診断機能が備わっており、動作時またはリンク・ダウン時にリンクの品質を分析できます。

図 20 に、メイン・チャンネル・ブロックの簡略化した概要を示します。以降のセクションで、各ブロックについて説明します。

アナログ・フロント・エンド (AFE)

AFE ステージは、ハイブリッド段、プログラマブル・ゲイン・アンプ (PGA)、および A/D コンバータ (ADC) で構成されています。ハイブリッド段の機能は、送信信号を入力信号から除去することです。これにより、ツイスト・ペアでの全二重動作が可能になります。PGA 段は、ADC に到達する前に入力信号をスケールします。ゲイン段は、ADC の出力に基づいて制御および調整され、ADC に印加される信号が ADC の範囲内で最大化されるようにします。

物理メディア・アタッチメント (PMA)

PMA ブロックは、符号間干渉 (ISI) を除去するフィードフォワード・イコライザ (FFE) 段で構成されています。

イーサネット・ケーブルのツイスト・ペアは、内部では相互にシールドされていません。したがって、あるペアで送信された信号は、他のペアに結合します。ミスマッチまたはケーブル・コネクタが原因でトランスミッタが回線にマッチしない場合、反射がエコーとして観察されます。エコーとクロストークの推定値は、イコライザの出力から差し引かれます。

ベースライン・ワンダは、低周波数で減衰する外部トランスのアーティファクトです。同じ符号を持つシンボルが連続して多数送信されると、レシーバーでの信号が減少します。ベースライン・ワンダ・ブロックはモニタおよび修正を行って、シンボル・エラーを受信する可能性を低減します。

送信機能

100BASE-TX モード

100BASE-TXモードでは、4ビット・データは最初に 125Mbps 速度の 5 ビット・シリアル・ビット・ストリームにエンコードされます。次に、このビット・ストリームはスクランブラに送信され、PMA による送信用に 3 レベルのマルチレベル送信 (MLT3) 形式にエンコードされます。

10BASE-Te モード

10BASE-Te モードでは、PHY はマンチェスタ・エンコード・データを送受信します。

受信機能

100BASE-TX モード

PMA は、スクランブル解除と 5 ビットから 4 ビットへのデコードの後、3 レベル MLT3 の入力シーケンスを 4 ビット・データにデコードします。

10BASE-Te モード

コアは、マンチェスタ・エンコードされた受信信号をデコードします。

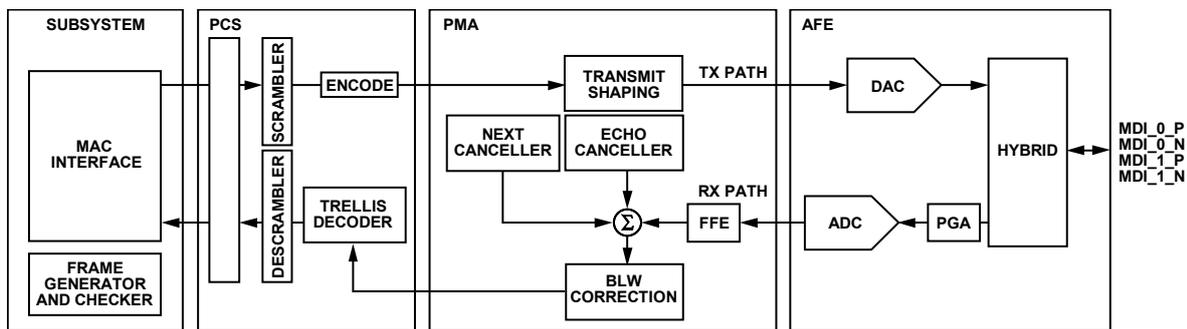


図 20. 簡略化したチャンネル・ブロック図

21561-022

MAC インターフェース

ADIN1200 には、RGMII、MII、または RMII の MAC インターフェース・オプションがあります。MAC インターフェースの選択は、ハードウェア構成ピンまたはソフトウェアにより行います。すべての MAC インターフェースは、10Mbps および 100Mbps のデータ・レートに対応できます。

RGMII インターフェース・モード

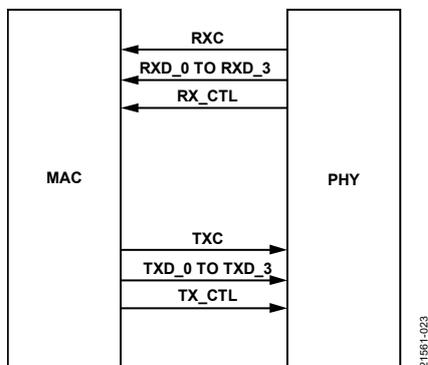


図 21. RGMII の MAC-PHY インターフェース信号

受信インターフェースの場合、ADIN1200 は、100BASE-TX では 25MHz の RXC 信号を、10BASE-Te モードでは 2.5MHz の RXC 信号を生成して、RXD_x ピンの受信データを同期します。RX_CTL は、RX_DV と RX_ER を組み合わせた信号であり、RXC 信号の両方のエッジを使用します (MII インターフェース・モードのセクションで説明)。ADIN1200 は、RXC の立上がりエッジで RX_DV 信号を送信し、RXC の立下がりエッジで RX_DV と RX_ER を組み合わせた信号 (XOR 機能) を送信します。

送信インターフェースにおいては、MAC は 100BASE-TX では 25MHz で、10BASE-Te モードでは 2.5MHz で TXC を駆動し、MAC は TXC の両エッジで TXD_x データを送信します。TX_CTL は、TX_EN と TX_ER を組み合わせた信号で、TXC の両方のエッジを使用します。TX_EN は TXC の立上がりエッジで送信され、TX_EN XOR TX_ER は TXC の立下がりエッジで送信されます。データはクロックの両エッジで送信されるため、両方のクロック・エッジで正確に 2ns の遅延条件が必要です (図 5 を参照)。これにより、遅延クロックがデータ・ウィンドウの中央に配置されるため、正確にデータをキャプチャできます。ハードウェア・ピン構成設定を使用して、RXC のみ、または RXC と TXC の両方でこの 2ns の遅延を有効化できます (表 25 を参照)。これらの遅延はソフトウェアでも設定できます。図 22 に示す 40ns の期間は 100BASE-TX に適用され、10BASE-T の場合は 400ns です。

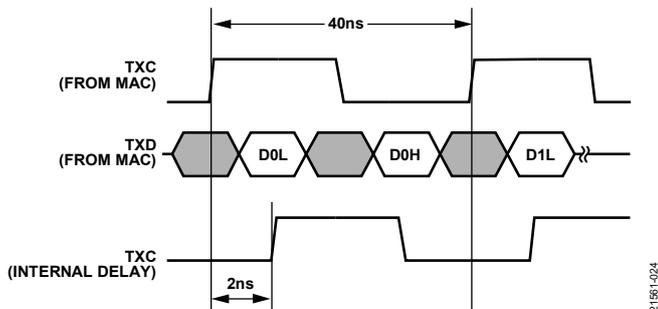


図 22. DLL 波形

MII インターフェース・モード

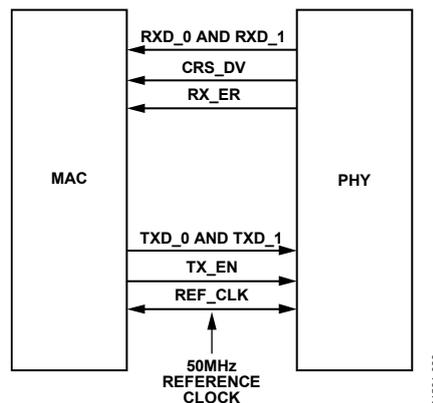


図 23. MII の MAC-PHY インターフェース信号

受信インターフェースの場合、ADIN1200 は、100BASE-TX では 25MHz の RX_CLK 信号を、10BASE-Te モードでは 2.5MHz の RX_CLK 信号を生成して、RXD_x ピンの受信データを同期します。RX_DV は、RXD_x 受信ピンに有効なデータが存在することを MAC に示します。RX_ER は、MDI 側で受信し、MAC に送信中のフレームでエラーが検出された場合、または偽キャリア・イベント発生時 (100BASE-TX モード) に ADIN1200 によってハイに駆動されます。CRS (キャリア・センス出力) ピンは MAC に対してキャリアが存在することを示し、COL (コリジョン検出) ピンはコリジョン状態でアサートされます。

送信インターフェースの場合、PHY は TX_CLK で 25MHz または 2.5MHz のリファレンス・クロックを生成します。MAC は、TX_CLK と同期したデータを TXD_x ピンで送信します。MAC は TX_EN ピンをアサートして、送信データが TXD_x 送信データ・ラインで利用可能であることを ADIN1200 に示します。TX_ER ピンは 10BASE-Te モードではなく、順方向エラー伝搬および EEE ロー・パワー・アイドル (LPI) 要求の場合にのみ 100BASE-TX モードで使用されるため、TX_ER はハードウェア構成ピンで EEE が有効にされている場合にのみサポートされます。

RMII インターフェース・モード

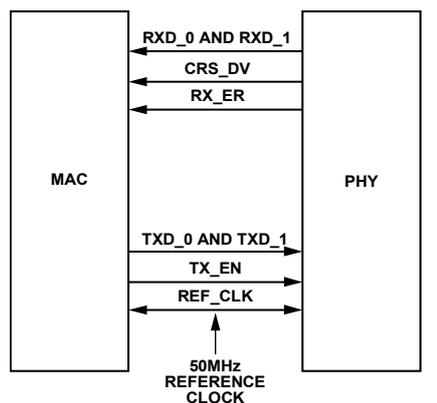


図 24. RMII の MAC-PHY インターフェース信号

単一の 50MHz リファレンス・クロック (REF_CLK) は、送信インターフェースと受信インターフェースの両方で、MAC インターフェースから PHY に (または外部ソースから XTAL_I/CLK_IN/REF_CLK ピンに) 供給されます。

受信データ (RXD_0 ピンおよび RXD_1 ピン) は、リファレンス・クロック (REF_CLK) に同期して遷移します。キャリア・センス/受信データ有効信号 (CRS_DV) は、CRS と RX_DV を組み合わせた信号であり、受信メディアがアイドルでないときにアサートされます。CRS_DV は REF_CLK に対して非同期的にアサートされ、同期的にアサート解除されます。RX_ER も REF_CLK に同期し、受信フレームでエラーが検出されたとき、または 100BASE-TX モードで偽キャリアが検出されたときにアサートされます。偽キャリアによる RX_ER のアサートは、ソフトウェアで無効化できます。

MAC は TXD_0 ピンと TXD_1 ピンを REF_CLK に同期させて送信し、TX_EN をアサートして、ADIN1200 に対して TXD_0 ピンと TXD_1 ピンのラインで送信データが利用可能であることを示します。

オートネゴシエーション

ADIN1200 には、IEE 802.3 の条項 28 に準拠したオートネゴシエーション機能が含まれており、リンク・パートナー同士が、対応している最高速度での共通の動作モードに合意できるようにするための、PHY 間での情報交換メカニズムを提供しています。オートネゴシエーション・プロセス中、PHY は自身の機能をアドバタイズし、リンク・パートナーから受信した機能と比較します。その結果、動作モードは、2 つのデバイスに共通の最高速度と二重動作に設定されます。

リンクがドロップした場合、オートネゴシエーション・プロセスが自動的に再起動します。

オートネゴシエーションは、MII コントロール・レジスタの RESTART_ANEG ビット・フィールドへの書き込みにより再起動できます。

オートネゴシエーション・プロセスは、交換されるページの数に応じて、完了するまでに時間がかかります。IEEE 802.3 規格の条項 28 には、オートネゴシエーションに関連したタイマーについての詳細が記載されています。

極性反転補正

ADIN1200 は、ケーブルの極性が適切かどうかを検出し、適切でない場合は修正できます。極性反転が検出された場合、PHY_STATUS_1 レジスタで識別されます。

自動 MDI クロスオーバー

ADIN1200 は、リンク・パートナー間にストレート・ケーブルまたはクロスオーバー・ケーブルのいずれが接続されているかを区別できます。ADIN1200 は、MDI 構成を自動的に検出して設定し、そのレシーバーをリモート・トランスミッタのレシーバーに一致させるため、クロスオーバー・ケーブルまたはクロスワイヤード・ケーブルが不要になります。自動 MDI/MDIX プロセスの詳細は、条項 40 のセクション 40.8.2 に記載されています。この機能は、ハードウェア・ストラップ構成 (表 23 を参照) で設定されますが、MDIO インターフェースを介したソフトウェア・アクセスによって変更することもできます。

オートネゴシエーションの無効化

10BASE-Te または 100BASE-TX では、オートネゴシエーションを有効化または無効化できます。オートネゴシエーションを無効化した場合、PHY は単一速度に設定され、ユーザはリンクの両側が適切に設定されていることを確認する必要があります。オートネゴシエーションを有効化または無効化してデバイスを構成する方法の詳細については、表 23 を参照してください。

ADIN1200 でオートネゴシエーションを有効化し、リンクのもう一方の側でオートネゴシエーションを無効化している場合、ADIN1200 はこの相違を検出し、IEEE 規格に従って並列検出を行います。ADIN1200 は、リモート PHY が構成されている速度でリンクを確立しようとしません。

管理インターフェース

MII 管理インターフェースは、ホスト・プロセッサまたは MAC と ADIN1200 の間に 2 線式シリアル・インターフェースを提供し、PHY コアの管理レジスタにある制御情報とステータス情報へのアクセスを可能にします。

MII 管理インターフェースは、次の要素で構成されます。

- MDC (クロック・ライン)
- MDIO (双方向データ・ライン)
- PHYAD_0 ピン～PHYAD_3 ピン、各 PHY のデバイス・アドレスを設定
- INT_N (管理割込み)

このインターフェースは、表 16 および表 17 に示すように、IEEE 規格 802.3 の条項 22 および条項 45 の管理フレーム構造に適合しています。

- プリアンプル：フレームの開始時に同期を確立するのに使用されます。
- フレームの開始：
 - 01 は、条項 22 のフレームの開始を示します。
 - 00 は、条項 45 のフレームの開始を示します。
- OP：オペレーション・コードは、フレーム・トランザクションのタイプを示します。
- PHYAD/PRTAD：PHY アドレス。MSB ファースト、一致する PHY アドレス・ハードウェア構成を持つ PHY のみが応答します。
- REG ADDR/DEVAD：レジスタ・アドレス、MSB ファースト。
- TA：読出し遷移時の競合を回避するために使用されます。レジスタ・アドレス・フィールドとデータ・フィールド間に 2 ビットのタイム・インターバルが置かれます。
- ADDRESS/DATA：16 ビット・フィールド、MSB ファースト。
- IDLE：ハイ・インピーダンス状態。MDIO ラインはプルアップ抵抗によりハイにプルアップします。

アドレス 0x00～アドレス 0x01F の PHY コア・レジスタには、条項 22 で規定されているインターフェースを使用してアクセスできます。PHY コアの拡張管理インターフェース (EMI) レジスタとサブシステム・レジスタには、条項 45 で規定されているインターフェースを使用してデバイス・アドレス 0x1E でアクセスできます。ただし、このインターフェースに対応しないシステムの場合、デバイス・アドレス 0x1E のレジスタには、条項 22 のアクセスを使用してレジスタ 0x0010 およびレジスタ 0x0011 からアクセスできます。

割込み (INT_N)

ADIN1200 は、ユーザが選択可能な様々な条件 (IRQ_MASK レジスタ、アドレス 0x0018) に応答し、INT_N ピンを使用してホスト・プロセッサまたは MAC への割込みを生成できます。以下の条件を選択して、割込みを生成できます。

- 速度の変化
- リンク・ステータスの変化
- 受信ステータスの変化
- MAC インターフェースの FIFO オーバーフロー/アンダーフロー

- アイドル・エラー・カウンタの飽和
- オートネゴシエーション・ページの受信
- オートネゴシエーション・ステータスの変化
- MDIO 同期の喪失
- ケーブル診断の変化

割込みが発生すると、システムは各デバイスの割込みステータス・レジスタ (IRQ_STATUS レジスタ、アドレス 0x0019) のステータスをポーリングして、割込みの発生元を特定できます。

表 16. 条項 22 の管理インターフェースのフレーム形式

Operation	Preamble	Start of Frame	OP	PHYAD[4:0]	REG ADDR[4:0]	TA	DATA[15:0]	IDLE
Read	32 1s	01	10	AAAAA	RRRRR	Z0	d...d	Z
Write	32 1s	01	01	AAAAA	RRRRR	10	d...d	Z

表 17. 条項 45 の管理インターフェースのフレーム形式

Operation	Preamble	Start of Frame	OP	PRTAD[4:0]	DEVAD[4:0]	TA	ADDRESS/DATA[15:0]	IDLE
Address	32 1s	00	00	PPPPP	EEEE	10	A.....A	Z
Write	32 1s	00	01	PPPPP	EEEE	10	d...d	Z
Read	32 1s	00	11	PPPPP	EEEE	Z0	d...d	Z
Post read Increment Address	32 1s	00	10	PPPPP	EEEE	Z0	d...d	Z

MDI インターフェース

メディア依存インターフェース (MDI) は、図 25 に示すように、トランスを介して ADIN1200 をイーサネット・ネットワークに接続します。MDI_0_x は、MDI 構成での動作時には送信し、MDIX 構成での動作時には受信するために使用します。10BASE-Te モードおよび 100BASE-TX モードでは、MDI_1_x の動作は逆になります。例えば、MDI_1_x は、MDI 構成での動作時に受信し、MDIX 構成での動作時に送信するのに使用します。自動 MDIX が有効の場合、ADIN1200 は MDI 構成または MDIX 構成のいずれを使用すべきかを自動的に判断します。それ以外の場合、デバイスは選択した MDI 構成または MDIX 構成に強制されます。

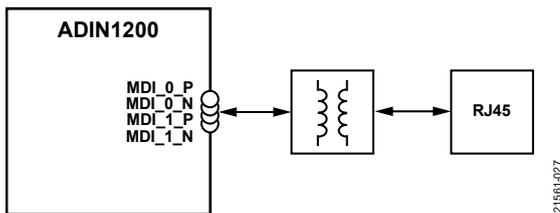


図 25. MDI (メディア依存インターフェース)

リセット動作

ADIN1200 は、パワーオン・リセット、ハードウェア・リセット、および各種ソフトウェア・リセットなどの多くのリセットに対応しています。これらはすべて、PHY コアを含む ADIN1200 を既知の状態にします。PHY コアがリセットされるたびに、MAC インターフェース出力ピン (ADIN1200 で対応する出力ピン) は既知のアイドル状態に駆動されます。RXC/RX_CLK を除くすべての出力はローに駆動され、RXC/RX_CLK はハイに駆動されません。

パワーオン・リセット

ADIN1200 は、すべての電源をモニタするための電源モニタ回路を搭載しています。パワーアップ時、ADIN1200 は各電源が最小の立上がり閾値を超えるまでハードウェア・リセット状態に保持されます。

ブラウンアウト保護は、電源をモニタして 1 つ以上の電源が最小立上がり閾値を下回ったかどうかを検出し、電源が再び有効になるまでデバイスをハードウェア・リセット状態に保つことによって行います。

表 18. ブラウンアウト保護の閾値

Supply	Minimum Falling Threshold Value (V)
AVDD_3P3	2.35
VDDIO	1.35

ハードウェア・リセット

ハードウェア・リセットは、POR 回路により、または RESET_N ピンをローにアサートすることにより開始します。最小 10 μ s の間ピンをローにします。このピンにはデグリッチ回路が含まれており、約 1 μ s より短いパルスを除去します。

RESET_N ピンがアサート解除されると、水晶発振回路が有効になり、クロックが安定する時間が与えられます。ハードウェア構成ピンの状態が読み出されてラッチされ、デジタル回路とアナログ回路が初期化されて、PHY コアのクロック通倍器 (CMU) がリセットされます。RESET_N のアサート解除から 5ms 後に管理インターフェース・レジスタにアクセスできるようになり、デバイスを設定できます。水晶発振器ではなくシングルエンド・クロックを使用するとこの時間は大幅に短くなり、RESET_N のアサート解除から 3ms 後に管理インターフェース・

レジスタにアクセスできるようになります。リセット後にソフトウェア・パワーダウンに入るように ADIN1200 が構成されている場合 (表 23 を参照)、ADIN1200 はソフトウェア・パワーダウン・モードに入り、割込みが生成されてハードウェア・リセットが発生したことを示します。

ハードウェア・リセット後、以下のイベントが発生します。

- 水晶発振器回路が有効になり、クロックが安定するまでの時間が与えられます。
- ハードウェア構成ピンが読み出され、値がラッチされます。これらのピンで、サブシステムのピン依存レジスタと PHY コア・レジスタのデフォルト値を設定します。
- MAC インターフェース・ブロックがリセットされます。
- PHY コアがリセットされます。
- PHY コアの CMU がリセットされます。
- ピン構成に応じて、ハードウェア・リセットが発生したことを示す割込みが生成されます (ADIN1200 がリセット後にソフトウェア・パワーダウン・モードに入るように構成されていた場合)。

ソフトウェア・リセット

ADIN1200 は、ソフトウェア制御下で特定の回路ブロックをリセットする、以下のソフトウェア・リセットに対応しています。

- ピン構成を使用したサブシステムのソフトウェア・リセット
- サブシステムのソフトウェア・リセット
- PHY コアのソフトウェア・リセット

ピン構成を使用したサブシステムのソフトウェア・リセット

ADIN1200 は、ハードウェア・リセットと同様に動作するソフトウェア・リセット機能に対応しています (表 19 の行 1 と行 2 を参照)。ピン構成によるサブシステムのリセットは、GE_SFT_RST_CFG_EN ビット (アドレス 0xFF0D) を 1 にセットしてから、GE_SFT_RST ビット (アドレス 0xFF0C) を 1 にセットすることで開始できます。このサブシステムのソフトウェア・リセットは、POR およびハードウェア・リセットと同じリセット・シーケンスに従いますが、水晶発振器はディスエーブルされず、クロック安定化ステップはスキップされます。ハードウェア構成ピンの状態が読み出され、ラッチされます。これらの構成ピンにより、サブシステムのピン依存レジスタと PHY コア・レジスタのデフォルト値が設定されます。MAC インターフェース・ブロックと PHY コアがリセットされます。PHY 出力クロック、GP_CLK ピンとして 125MHz クロックを選択している場合、PHY コアの CMU はリセットされません。それ以外の場合、CMU はリセットされます。このタイプのリセットとハードウェア・リセットの主な違いは、水晶発振器がディスエーブルされないことです。

このタイプのリセットによって、GE_SFT_RST_CFG_EN ビットはデフォルト値の 0 にリセットされることに注意してください。

ピン構成を使用したサブシステムのソフトウェア・リセット後、以下のイベントが発生します。

- このタイプのリセット時、水晶発振器回路はディスエーブルされません。
- ハードウェア構成ピンが読み出され、値がラッチされます。これらのピンにより、サブシステムのピン依存レジスタと PHY コア・レジスタのデフォルト値が設定されます。
- MAC インターフェース・ブロックがリセットされます。
- PHY コアがリセットされます。
- PHY コアの CMU がリセットされます。
- PHY 出力クロックとして 125MHz クロックを選択している場合、このリセット中は GP_CLK ピンで使用できません。

サブシステムのソフトウェア・リセット

サブシステムは、GE_SFT_RST (サブシステム・レジスタ 0xFF0C、ビット 0) を 1 に設定することでリセットできます。このビットは自動クリア・ビットです。このビットをセットすると、サブシステムと PHY コアのレジスタ、MAC インターフェース・ブロック、および PHY コアがリセットされます。ハードウェア構成ピンは再読み出しされず、サブシステムおよび PHY コア・レジスタのピン依存レジスタのデフォルト値を設定するのに、以前にラッチされたハードウェア構成ピンの値が使用されます。

サブシステムのソフトウェア・リセット後、以下のイベントが発生します。

- このタイプのリセット時、水晶発振器回路はディスエーブルされません。
- ハードウェア構成ピンは再読み出しされません。サブシステム・レジスタおよび PHY コア・レジスタのピン依存レジスタは、ハードウェア構成ピンで以前にラッチされた値で定義済みのデフォルト値にリセットされます。
- MAC インターフェース・ブロックがリセットされます。
- PHY コアがリセットされます。

- PHY 出力クロック (GP_CLK ピン) として 125MHz クロックを選択している場合、PHY コアの CMU はリセットされません。それ以外の場合、CMU はリセットされます。
- このリセット中、選択した PHY 出力クロック (有効な場合) は GP_CLK ピンで利用できます。

PHY コアのソフトウェア・リセット

PHY コア・レジスタは、MII_CONTROL レジスタの SFT_RST ビット、アドレス 0x0000 を 1 にセットすることによりリセットできます。このビットはセルフ・クリア・ビットです。このビットをセットすると、PHY コアのレジスタ、MAC インターフェース・ブロック、および PHY コアがリセットされます。ハードウェア構成ピンは再読み出しされず、PHY コア・レジスタのピン依存レジスタのデフォルト値を設定するのに、以前にラッチされたハードウェア構成ピンの値が使用されます。サブシステムのレジスタはデフォルト値にリセットされません。これは、PHY コア・レジスタをソフトウェアで定義された既知の構成にリセットして、それ以外の ADIN1200 回路はリセットしない場合に便利な方法です。

PHY コア・ソフトウェアのリセット後、以下のイベントが発生します。

- このタイプのリセット時、水晶発振器回路はディスエーブルされません。
- ハードウェア構成ピンは再読み出しされません。PHY コア・レジスタのピン依存レジスタは、ハードウェア構成ピンで以前にラッチされた値で定義済みのデフォルト値にリセットされます。サブシステムのレジスタはデフォルト値にリセットされません。
- MAC インターフェース・ブロックはリセットされません。
- PHY コアがリセットされます。
- PHY 出力クロック (GP_CLK ピン) として 125MHz クロックを選択している場合、PHY コアの CMU はリセットされません。それ以外の場合、CMU はリセットされます。
- このリセット中、選択した PHY 出力クロック (有効な場合) は GP_CLK ピンで利用できます。

表 19. ADIN1200 リセット・オプションの概要

Reset Type	Hardware Pin Configuration Values Latched Following Reset	Subsystem Registers Reset	PHY Core Registers Reset	MAC Interface Block Reset	XTAL Oscillator Disabled During Reset	GP_CLK Output (if Enabled) Available During Reset
Hardware Reset	Yes	Yes	Yes	Yes	Yes	No
Subsystem Software Reset with Pin Configuration	Yes	Yes	Yes	Yes	No	No
Subsystem Software Reset	No	Yes	Yes	Yes	No	Yes
PHY Core Software Reset	No	No	Yes	No	No	Yes

パワーダウン・モード

ADIN1200は、いくつかのパワーダウン・モード（ハードウェア、ソフトウェア、およびエネルギー検出パワーダウン）と EEE LPI モードに対応しています。消費電力が最小になるモードはハードウェアのパワーダウン・モードであり、デバイスが完全にオフになり、アクセスできなくなります。

ハードウェア・パワーダウン・モード

ハードウェア・パワーダウン・モードは、ADIN1200の動作を必要とせず、かつ消費電力を最小限に抑える場合に便利です。RESET_N ピンがアサートされ、ローに保持されると、ADIN1200はハードウェア・パワーダウン・モードに入ります。このモードでは、すべてのアナログ回路とデジタル回路はディスエーブルされ、CMU もディスエーブルされてクロックがゲート・オフされ、電源は回路の漏れ電力のみになります。このモードでは、管理インターフェースのレジスタにアクセスできません。

ハードウェア・パワーダウン・モードでは、以下のイベントが発生します。

- すべてのアナログおよびデジタル回路がディスエーブルされます。
- MAC インターフェース出力ピン（ADIN1200 で対応する出力ピン）はトライステートになります。これらのピンは弱いプルダウン抵抗を内蔵しているため、これらの出力はローになります。これは、これらのピンに外付けプルアップ抵抗が接続されていないことを前提としています。
- すべての内部クロックはゲート・オフされます。
- PHY 出力クロック（GP_CLK ピンで利用可能）はディスエーブルされます。
- 管理インターフェースのレジスタにはアクセスできません。

ソフトウェア・パワーダウン・モード

ソフトウェア・パワーダウン・モードでは、ADIN1200がパワーダウンされますが、管理インターフェースにアクセスしてADIN1200を構成できます。ADIN1200は、有効になるまではリンクの起動を試みません。

ソフトウェア・パワーダウン・モードは、リンクを起動する前にデバイスをソフトウェアで構成しようとしている場合に役立ちます。ADIN1200は、LINK_ST ピンと LED_0 ピンに適切なプルアップ/プルダウン抵抗を使用して、リセット後にソフトウェア・パワーダウン・モードに入るように構成できます。これにより、SFT_PD ビット、アドレス 0x0000 のデフォルト値が 1 に設定されます。ADIN1200はまた、SFT_PD ビットを 1 に設定することによっても、ソフトウェア・パワーダウン・モードになります。ソフトウェア・パワーダウン・モードでは、アナログおよびデジタル回路は低消費電力状態になります。通常、CMU はディスエーブルされ、ほとんどのクロックはゲート・オフされ、残りのデジタル回路のクロックは 25MHz になります。MDI ピン（MDI_x_x）の信号またはエネルギーは無視され、リンクは起動しません。管理インターフェース・レジスタにはアクセスが可能で、ソフトウェアによりデバイスを構成できます。ADIN1200 が GP_CLK ピンで 125MHz クロックを出力するように構成されている場合、CMU は有効になり、このモードの消費電力は高くなります。

ソフトウェア・パワーダウン・モードでは、以下のイベントが発生します。

- すべてのアナログ送受信回路がディスエーブルされます。
- MAC インターフェースの出力ピン（ADIN1200 で対応する出力ピン）は、既知のアイドル状態に駆動されます。RXC/RX_CLK を除くすべての出力はローに駆動され、RXC/RX_CLK はハイに駆動されます。
- ほとんどの内部クロックはゲート・オフされます。
- 選択した PHY 出力クロック（有効な場合）は、GP_CLK ピンで使用できます。
- 管理インターフェース・レジスタにアクセスできます。

SFT_PD ビットをクリアすると、ADIN1200 はソフトウェア・パワーダウン・モードを終了します。この時点で、PHY はその構成に従ってリンクを立ち上げようとします。例えば、オートネゴシエーションを有効化し、すべての速度を有効化している場合、すべての速度をアダプタイズして、オートネゴシエーション・リンク・パルスの送信を開始します。

エネルギー検出パワーダウン・モード

エネルギー検出パワーダウン・モードでは、ADIN1200はパワーダウンしますが、ラインの信号エネルギーをモニタします。通常、ケーブルが接続されていない場合、ADIN1200はこのモードに入り、リモートのリンク・パートナーが利用可能になるまでこのモードを維持します。

エネルギー検出パワーダウン・モードは、LINK_ST ピンと LED_0 ピンに適切なプルアップ/プルダウン抵抗を使用して有効にするか（表 23 を参照）、NRG_PD_EN ビット（PHY_CTRL_STATUS_2 レジスタ、アドレス 0x0015）を 1 に設定します。PHY が通常の動作（ソフトウェア・パワーダウン以外）で、エネルギー検出パワーダウン・モードを有効化した場合、PHY は、ライン上で数秒間、無通信状態になるとエネルギー検出パワーダウン・モードに入ります。これは超低消費電力モードであり、アナログおよびデジタル回路が低消費電力状態になります。通常、CMU はディスエーブル、ほとんどのクロックはゲート・オフされます。PHY は、ラインの信号エネルギーをモニタし、1 秒ごとにリンク・パルスを送信します。信号エネルギーが検出されると、PHY はエネルギー検出パワーダウン・モードを終了し、リンク・パルスの送信を開始します。

エネルギー検出パワーダウン・モードでは、以下のイベントが発生します。

- すべてのアナログおよびデジタル回路がディスエーブルされます。
- ほとんどの内部クロックはゲート・オフされます。
- 選択した PHY 出力クロック（有効な場合）は、GP_CLK ピンで使用できます。
- 管理インターフェース・レジスタにアクセスできます。
- PHY は、ラインの信号エネルギーをモニタします。

通常、PHY はケーブルが接続されていないときにエネルギー検出パワーダウン・モードに入り、ケーブルが接続されてリモートのリンク・パートナーが現れるとこのモードを終了します。このモードでは、PHY は定期的にウェイク・アップして MDI_0_x および MDI_1_x ピンでリンク・パルスを送信し、ローカルおよびリモートの両方の PHY がエネルギー検出パワーダウン・モードになるようなロックアウトを回避します。

EEE、低消費電力アイドル・モード

ADIN1200はEEEに対応し、IEEE 802.3規格に準拠しています。EEEは、ローカル・エンドまたはリモート・エンドのいずれからデータが送信されていない場合の消費電力を削減するのに使用できます。両方のデバイスでEEEを有効にし、アドバタイズする必要があります。EEEがローカルおよびリモートPHYによってアドバタイズされると、EEEリンクが確立します。データが送信されない場合、MACはADIN1200にEEE低消費電力アイドル・モードに入るよう要求します。MACまたはリモートPHYがデータを送信しようとする場合、ADIN1200のPHYがウェイク・アップし（100BASE-TXでは20 μ s以内）、データを送受信できます。

低消費電力と通常動作の間の移行は、すべてのフレームが正常なまま送信されるように処理されるため、上位層プロトコルはPHYレベルでのいかなる変化も感知しません。データが送信されると、確立された最速のリンク速度で送信を継続します。

EEEモードを有効化するには、LINK_STピンとLED_0ピンに適切なプルアップ/プルダウン抵抗を使用するか（表23を参照）、EEE_100_ADVビット（EEE_ADVレジスタ、アドレス0x8001）を1に設定します。リンクのオートネゴシエーション時、ローカルおよびリモートのPHYは、EEE対応可否を含めて対応速度をアドバタイズし、その後、PHYは双方が対応する最高速度でリンクの確立を試みます。ローカルとリモートの両方のPHYが、リンクの確立速度についてEEEをアドバタイズした場合、そのリンクはEEEリンクとなります。EEEリンクが存在していて、ある時点で送信データがなくなると、MACはADIN1200にEEE LPIモードに入るよう要求します。これにより、エネルギー検出パワーダウン・モードとほぼ同じ低消費電力となります。ADIN1200は定期的にウェイク・アップして、リンク・パートナーが使用するリフレッシュ信号を送信し、適応フィルタとタイミング回路を更新してリンクの整合性を維持します。

EEE LPIモードでは、以下のイベントが発生します。

- すべてのアナログおよびデジタル回路が低消費電力モードになります。
- ほとんどの内部クロックはゲート・オフされます。
- 選択したPHY出力クロック（有効な場合は、GP_CLKピンで使用できます）。
- 管理インターフェース・レジスタにアクセスできます。
- PHYは、ラインでLPIウェイク信号をモニタします。

ローカルまたはリモートPHYがデータを送信しようとする際、PHYはLPIウェイク・シーケンスを開始し、その後、PHYは100BASE-TXで20 μ s以内にデータの送受信を開始できます。

ステータス LED

ADIN1200は、構成可能なステータスLEDを提供します。LEDは、動作速度、リンク・ステータス、および二重モードを示すのに使用できます。LEDピンは、アクティブ・ハイまたはアクティブ・ローに設定できます。LEDをアクティブ・ローとして使用することを推奨します。ADIN1200は、パワーアップ時とリセット時にLEDの接続を自動的に検出します。例えば、ピンが電源に接続されていることを検知すると、LEDをアクティブ・ロー動作に設定します。デフォルトでは、リンクが確立されるとLED_0が点灯し、アクティビティがあると点滅します。デフォルトのLED動作は、PHY LED制御レジスタLED_CTRL_1（レジスタ・アドレス0x001B）、LED_CTRL_2（レジスタ・アドレス0x001C）、およびLED_CTRL_3（レジスタ・アドレス0x001D）を使用してソフトウェアで書き込みできます。

LED_0ピンは、表21で定義されているように、ピン構成機能とも共有されます。ADIN1200を必要に応じて構成するには、パワーオン時およびリセット時にピンの電圧レベルを特定の値にする必要があります（図26に示すように、ピンから電源へのプルアップ抵抗（R_HIGH）、およびピンからGNDへのプルダウン抵抗（R_LOW）で設定）。

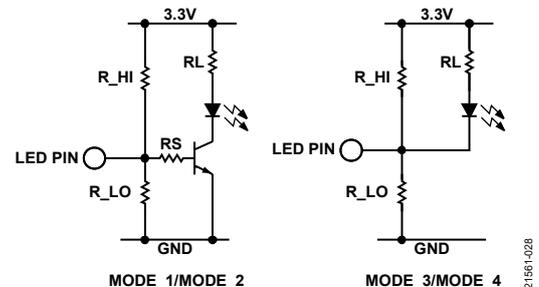


図 26. LED_0 ハードウェア構成ピンの相互作用

LEDのデフォルト動作はアクティブ・ローです。そのため、デフォルトの構成設定がMODE_4の場合、アクティブ・ローのLEDを使用する外部LED回路により、ピンでロジック1が読み出されるため、LEDは期待どおりに動作します。例えば、パワーオン時およびリセット時にLEDは点灯しません。

アクティブ・ローのLED回路は、MODE_3の構成設定で機能します。この場合、検出電圧は、パワーオン時およびリセット時にアクティブ・ローのLEDが点灯しない電圧になります。順方向電圧が不十分であるためです。

MODE_1またはMODE_2の構成設定の場合、図26に示すように、外部トランジスタでLEDをアクティブ・ハイのLEDとして駆動する必要があります。ピンからアクティブ・ハイのLEDを直接駆動することも可能です。ただし、そのためには順方向電圧が低いLEDを使用する必要があります。選択するLEDによっては、LEDが非常に暗くなる場合があります。

PHY 出カクロック

以下に示す内部 PHY クロック信号を GP_CLK ピンで利用できます。

- 125MHz のフリー・ランニング・クロック
- 25MHz クロック
- 25MHz または 125MHz のリカバリ・クロック

このクロック選択はソフトウェアで設定します。デフォルトでは、PHY クロックはオフです。CMU はリセット時およびパワーアップ時を除いて電源供給されるため、125MHz のフリー・ランニング・クロックを選択すると消費電力に影響することに注意してください。

電源ドメイン

ADIN1200 には、以下の 2 つの電源ドメインがありますが、VDDIO の電源を 3.3V とすると単一電源で供給できます。

- AVDD_3P3 は、PHY の MDI インターフェース、XTAL 発振器、DLL、RESET_N、および LED 回路用の 3.3V アナログ電源入力です。
- VDDIO により、MDIO および MAC インターフェースの電圧供給を ADIN1200 の他の回路から独立して構成できます。ほとんどの場合、RMII/MII は 3.3V で動作し、RGMII は 2.5V で動作しますが、MAC インターフェースは 3.3V、2.5V、または 1.8V で動作するため、MAC がそれらに対応すればより低い電圧と電力で動作できます。

デバイスに適用される電源の順序に関する電源シーケンス条件はありません。詳細については、パワーアップ・タイミングのセクションを参照してください。

ハードウェア構成ピン

ADIN1200は、非マネージド・アプリケーションまたはマネージド・アプリケーションで動作できます。非マネージド・アプリケーションでは、PHYの目的動作は、ソフトウェアを介在せずにハードウェア構成ピンから設定されます。非マネージド・アプリケーションの場合、PHYの設定をリセット後にソフトウェア・パワーダウンに入るようにはしないでください。それによって、デバイスへの電源供給後、PHYは、PHY_CFG1およびPHY_CFG0ハードウェア構成ピンで設定されたリンクをすぐに立ち上げようとしています。

マネージド・アプリケーションでは、管理インターフェース(MDIO/MDC)を介してPHYを構成するためのソフトウェアを使用できます。この場合、リンクの試行前にPHYを構成できるよう、リセット後にソフトウェア・パワーダウン・モードに入るようにPHYを構成できます。

ハードウェア構成ピンは機能ピンと共有されるピンで、リセット後にピンの電圧レベルが検出されます。一部のハードウェア構成ピンは多レベルで検出されますが、それ以外のピンは2レベルで検出されます。2つの抵抗R_LOWおよびR_HIGHを使用して(図9を参照)、表20に示すように4つの異なる電圧レベルを検出できます。MODE_1(L)およびMODE_4(H)のみが2レベルの検出ピンに関連し、これらはそれぞれ10kΩプルダウン抵抗または10kΩプルアップ抵抗を内蔵しています。LED_0は、VDDIOではなくAVDD_3P3レールにプルアップする必要がありますことに注意してください。

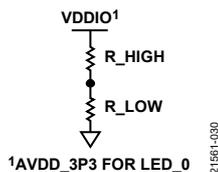


図 27. ハードウェア構成ピンの実装

表20に記載の値は、ADIN1200の外部回路による負荷が追加されていないことを前提としているので注意してください。一部の構成ピンは、固有のプルアップ/プルダウン抵抗を内蔵していることのあるフィールドプログラマブル・ゲート・アレイ(FPGA)入力に接続され、抵抗分圧器の電圧負荷となる場合があります。プルアップ抵抗が43kΩを超え、プルダウン抵抗が37kΩを超えるような場合は、MODE 1とMODE 4で使用されている10kΩの抵抗を2.5kΩの抵抗に置き換えます。

表 20. 構成モードの抵抗値

Mode	R_LOW	R_HIGH	Voltage Threshold
MODE_1	10 kΩ	Open	Not applicable
MODE_2	10 kΩ	56 kΩ	>0.1 × VDDIO ¹
MODE_3	56 kΩ	10 kΩ	>0.5 × VDDIO ¹
MODE_4	Open	10 kΩ	>0.9 × VDDIO ¹

¹ LED_0ピン用の電源レールは、VDDIOではなくAVDD_3P3であることを注意してください。したがって、LED_0ピンのプルアップ抵抗はAVDD_3P3に接続します。

示されている電圧レベルは、標準のV_{TH}/V_{IL}電圧レベルを下回るようにして、ピンに接続されディスエーブルされたデバイスの入力ドライバでのシュートスルー電流(および未知の電圧レベル)を回避するように選択されています。V_{TH}/V_{IL}電圧レベルには、電圧とデバイスの依存関係があります。したがって、このようなアーティファクトを常に回避できるとは限りません。

表20で推奨されている大きな抵抗値は、抵抗ラダーでの電力消費を最小限に抑えるように選択されています。より小さな値の抵抗も使用できますが、使用する値に対して同じ抵抗比を維持する必要があります。

ハードウェア構成ピンの機能

以下の機能が、ADIN1200のハードウェア・ピンで構成できます(ピンの詳細については表21を参照)。

- PHYアドレス
- PHY速度の強制/アドバタイズ
- リセット後のソフトウェア・パワーダウン・モード
- ダウンスピード・イネーブル
- エネルギー検出パワーダウン・モード
- 高エネルギー効率イーサネット・イネーブル
- 自動MDIX
- MACインターフェースの選択(RGMII/RMII/MII)

PHYアドレスの構成

PHYのアドレス構成はRXD_3ピン~RXD_0ピンと共有され、表22に従って構成できます。PHYのアドレス構成には、4つのADIN1200ピンを使用できます。これらは2レベルの構成ピンです。つまり、ADIN1200を16個のPHYアドレスのいずれかに構成できます。多くのアプリケーションでは、0x0のデフォルト・アドレスが使用されます。その場合、RXD_3ピン~RXD_0ピンに弱い内部プルダウン抵抗があるため、これらのピンを外部で設定する必要はありません。これは、MACやイーサネット・スイッチなど、これらのノードに接続される他のシステム・レベルの回路には、これらのピンの内部プルアップ抵抗がないことを前提としているためです。

表 21. ハードウェア構成ピンの概要

Configuration Function	Functional Pin/Hardware Configuration Mnemonic ¹	Pin Levels	Internal Pull-Down ²	Default Configuration
PHYAD_0 to PHYAD_3 Configuration	RXD_3/PHYAD_3 RXD_2/PHYAD_2 RXD_1/PHYAD_1 RXD_0/PHYAD_0	2 2 2 2	Yes Yes Yes Yes	PHY Address 0x0
Forced/Advertised PHY Speed, Software Power-Down Mode after Reset, Down-speed Enable, Energy Detect Power-Down Mode, Energy Efficient Ethernet	LINK_ST/PHY_CFG1 LED_0/COL/TX_ER/PHY_CFG0	4 4	None None	Unknown (external resistors are required)
Auto MDIX	GP_CLK/RX_ER/MDIX_MODE	4	None	Unknown (external resistors are required)
MAC Interface Selection	RX_CTL/RX_DV/CRS_DV/MACIF_SEL1 RXC/RX_CLK/MACIF_SEL0	2 2	Yes Yes	RGMIIRXC/TXC 2 ns delay

¹ ハードウェア構成ピンは、ピン記号における最後のピン名です。

² 内部プルダウン抵抗の代表値は 45k Ω です。

表 22. PHY アドレスの構成

PHY Address	PHYAD_3 Pin	PHYAD_2 Pin	PHYAD_1 Pin	PHYAD_0 Pin
0	Low	Low	Low	Low
1	Low	Low	Low	High
2	Low	Low	High	Low
3	Low	Low	High	High
4	Low	High	Low	Low
5	Low	High	Low	High
6	Low	High	High	Low
7	Low	High	High	High
8	High	Low	Low	Low
9	High	Low	Low	High
10	High	Low	High	Low
11	High	Low	High	High
12	High	High	Low	Low
13	High	High	Low	High
14	High	High	High	Low
15	High	High	High	High

表 23. PHY の構成

Forced/Advertised	PHY Speed Configuration ¹	Other Functions Enabled ²	PHY_CFG1	PHY_CFG0	Row No.
Advertised Speeds (Autonegotiation Enabled)	10 HD/FD and 100 HD/FD	Downspeed, EDPD and EEE	MODE_4	MODE_4	1
	10 HD/FD and 100 HD/FD	Software power-down mode after reset	MODE_1	MODE_4	2
	10 HD/FD and 100 HD/FD		MODE_3	MODE_4	3
	10 FD and 100 FD		MODE_4	MODE_3	4
	100 FD		MODE_4	MODE_1	5
Forced Speed (Autonegotiation Disabled)	10 FD		MODE_1	MODE_2	6
	100 HD		MODE_2	MODE_2	7
	100 FD		MODE_3	MODE_3	8

¹ HD は半二重を意味し、FD は全二重を意味します。

² この欄に機能がリストされていない場合、その行では PHY 速度のみが設定されます。

PHY の構成

PHY_CFG1 ハードウェア構成ピンは LINK_ST 機能ピンと、PHY_CFG0 のハードウェア構成ピンは LED_0 機能ピンと共有されます。これらのハードウェア構成ピンは以下の機能を実行し、表 23 に従って構成できます。

- PHY 速度の強制/アドバタイズ
- リセット後のソフトウェア・パワーダウン・モード
- ダウンスピード・イネーブル
- エネルギー検出パワーダウン (EDPD) モード
- EEE イネーブル

PHY_CFG1 ピンと PHY_CFG0 ピンには、内部プルアップ抵抗はありません。したがって、これらの機能を構成するには外付け抵抗を使用する必要があります。

PHY 速度の強制/アドバタイズ

表 23 に示すように、PHY 速度機能のすべてまたはサブセットのアドバタイズ、半二重または全二重モードの設定、オートネゴシエーションの有効化または無効化を設定できます。

オートネゴシエーションは、速度アドバタイズ・モードの場合など、表 23 の最初の 5 行で有効化されます。オートネゴシエーションを無効化して速度を強制する強制速度モードの構成にすることもできます (表 23 の行 6~行 8)。

表 23 に示すように、PHY_CFG1 および PHY_CFG0 ハードウェア構成ピンの 3 つの設定は、同じリンク速度の構成になります (行 1、行 2、および行 3)。ただし、行 1 では他の 3 つの機能も有効化し、行 2 では追加機能を有効化せず、行 4 では ADIN1200 がリセット後にソフトウェア・パワーダウン・モードに入るように設定されます。オートネゴシエーションおよび速度アドバタイズ設定の有効化または無効化は、標準 IEEE レジスタである MII_CONTROL (アドレス 0x0000) および AUTONEG_ADV (アドレス 0x0004) で設定することもできます。

リセット後のソフトウェア・パワーダウン

リセット後にソフトウェア・パワーダウン・モードに入らないように ADIN1200 を構成している場合、ADIN1200 はリセット終了後、設定された速度と MDI/MDIX 構成でリンクを確立しようとします。ADIN1200 がリセット後にソフトウェア・パワーダウン・モードに入るように構成している場合 (行 3)、ADIN1200 は MDIO インターフェース経由で構成されるまでソフトウェア・パワーダウンで待機します。この時点で、PHY はソフトウェアによってパワーダウンを終了するように構成できます。ADIN1200 は、SFT_PD ビット (MII_CONTROL レジスタ、アドレス 0x0000) をセットすることにより、ソフトウェア・パワーダウン・モードにすることもできます。

ダウンスピード構成

ダウンスピードを有効化した場合、アドバタイズした最高速度でリンクできないと、PHY は何回かの試行後、低速になります。ダウンスピードを使用するには、複数の速度をアドバタイズするようにしてオートネゴシエーションを有効化する必要があります。ダウンスピードのデフォルトの動作は、DN_SPEED_TO_10_EN (PHY_CTRL_2 レジスタ、アドレス 0x0016、ビット 10)、および NUM_SPEED_RETRY (PHY_CTRL_3 レジスタ、アドレス 0x0017、ビット [12:10]) に書き込むことでソフトウェアで上書きできます。

エネルギー検出パワーダウンの構成

エネルギー検出パワーダウンを有効化している場合、MDI_x_x ピンでエネルギーが検出されないと、ADIN1200 は低消費電力モードに入ります。したがって、このモードでは、ケーブルが接続されていないか、リモート PHY がパワーダウンしている場合に電力が節約されます。

高エネルギー効率イーサネット

EEE を有効化し、リモート PHY からアドバタイズされている場合、ADIN1200 は、いずれの側からもデータが送信されていないときに低消費電力モード (低消費電力アイドル) に入ることができます。詳細については、EEE、低消費電力アイドル・モードのセクションを参照してください。

自動 MDIX の構成

自動 MDIX 構成モードは GP_CLK ピンと共有され、表 24 に従って設定できます。このピンには内部プルアップ抵抗はありません。したがって、MDI/MDIX モードを設定するには、外付けプルアップ抵抗が必要です。

表 24. 自動 MDIX の構成

Configuration	MDIX_MODE
Manual MDI	MODE_1
Manual MDIX	MODE_2
Auto MDIX, Prefer MDIX	MODE_3
Auto MDIX, Prefer MDI	MODE_4

自動 MDIX が有効の場合 (MODE_3 または MODE_4)、ADIN1200 は MDI 構成または MDIX 構成のいずれを使用すべきかを自動的に判断します。それ以外の場合、ADIN1200 は選択した MDI 構成または MDIX 構成に強制されます。

自動 MDIX を有効化すると、ADIN1200 は MDI または MDIX を自動的に選択する MDIX に対応します。これにより、自動クロスオーバー・アルゴリズムで最初に MDI または MDIX のいずれが設定されるかが決まります。MDI/MDIX の解決を速くするために、場合によっては、クロスオーバー・ケーブルを使用する場合は両方の PHY を同じ優先構成 (MDI または MDIX) に設定し、ストレート・ケーブルを使用する場合は逆の構成に設定します。こうすると、配線のミスマッチに対処できるため、自動 MDIX の解決時間を最適化することができます。

自動 MDIX のデフォルトの動作は、AUTO_MDI_EN ビット (PHY_CTRL_1 レジスタ、アドレス 0x0012) および MAN_MDIX ビット (PHY_CTRL_1 レジスタ、アドレス 0x0012) に書き込むことにより、ソフトウェアで上書きできます。

MAC インターフェースの選択

MAC インターフェース選択は RX_CTL/RX_DV/CRS_DV ピンおよび RXC/RX_CLK ピンと共有され、表 25 に従って構成できます。RGMII モードでは、RXC でのみ、または RXC と TXC の両方で 2ns の遅延を有効化できます。RX_CTL/RX_DV/CRS_DV ピンと RXC/RX_CLK ピンには、弱い内部プルダウン抵抗があります。したがって、デフォルトでは、ADIN1200 は RGMII モードで構成され、RXC および TXC に 2ns の遅延が生じます。MAC インターフェースの残りのモードを選択するには、外付け抵抗を使用する必要があります。

MAC インターフェースの選択は、ソフトウェア (GE_RGMII_CFG および GE_RMII_CFG レジスタ) で行うこともできます。2ns の内部遅延は、GE_RGMII_RXLD_EN ビットと GE_RGMII_CFG レジスタ (アドレス 0xFF23) 内の GE_RGMII_TXLD_EN ビットで設定します。MAC インターフェースの構成レジスタに変更を加える前に、SFT_PD ビット (MII_CONTROL レジスタ、アドレス 0x0000) を設定して、PHY をソフトウェア・パワーダウンにします。RMII モードには 50MHz のリファレンス・クロックが必要なため、ソフトウェアを使用して MAC インターフェースを RMII に構成することは行わないでください。

表 25. MAC インターフェースの選択

MAC Interface Selection	MACIF_SEL1	MACIF_SEL0
RGMII RXC/TXC 2 ns Delay	Low	Low
RGMII RXC Only, 2 ns Delay	High	Low
MII	Low	High
RMII	High	High

オンチップ診断

ループバック・モード

PHY コアには、全デジタル・ループバック、MII ループバック、外部ケーブル・ループバック、ライン・ドライバ・ループバック、リモート・ループバックなど、いくつかのループバック・モードがあります (図 28 を参照)。これらのループバック・モードは、PHY 内の様々な機能ブロックをテストおよび検証します。フレーム・ジェネレータとフレーム・チェッカを使用すると、PHY コア内のデジタルおよびアナログ・データパスの完全な自己完結型インサーキット・テストが可能になります。

全デジタル・ループバック

デフォルトのループバック・モードは、全デジタル・ループバック・モードです。これにより、アナログ/デジタルの境界で PHY 内のデータをループさせて、PHY の適切な動作を確認しますが、外部のアナログ・コンポーネント、接続、またはアナログ電源が適切であることは条件としません。全デジタル・ループバック・モードでは、MDI_x_x ピンにも送信可能で、送信テストに役立ちます。デフォルトでは、LB_ALL_DIG_SEL ビット (PHY_CTRL_STATUS_1 レジスタ、アドレス 0x0013) がセットされて、全デジタル・ループバック・モードが選択され、更に LB_TX_SUP ビット (PHY_CTRL_STATUS_1 レジスタ内のビット 6) もセットされて、MDI ピンへの信号の送信が抑制されます。PHY_CTRL_STATUS_1 レジスタを 0x1001 の値に設定すると、デジタル・ループバックが選択されて、MDI_x_x ピンに送信されます。全デジタル・ループバック・モードを有効化するには、ループバック・ビット (MII_CONTROL レジスタ、アドレス 0x0000、ビット 14) もセットする必要があります。

外部ケーブル・ループバック

外部ケーブル・ループバックは、外部コンポーネントとケーブルを含むアナログおよびデジタル・パス全体を検証します。こ

の場合、ケーブル端でアナログ・ループバックを行うために、ペア 0 とペア 1 同士を短絡する必要があります。送信信号がキャンセルされないように信号処理が調整されます。LB_EXT_EN ビット (PHY_CTRL_STATUS_1 レジスタ、アドレス 0x0013) をセットすると、外部ケーブル・ループバックが有効になります。

ライン・ドライバ・ループバック

ライン・ドライバ・ループバックの場合、MDI_x_x ピンをオープン・サーキットのままにして、未終端のコネクタ/ケーブルに送信します。PHY は、自身の送信からの反射を受信することで動作します。これにより、ケーブルを抜いてワイヤを短絡することなく、外部ケーブル・ループバックと同様の機能が提供されます。LB_LD_SEL ビット (PHY_STATUS_1 レジスタ、アドレス 0x0013) をセットすると、ライン・ドライバ・ループバックが選択されます。ライン・ドライバ・ループバックを有効化するには、ループバック・ビット (MII_CONTROL レジスタ、アドレス 0x0000、ビット 14) もセットする必要があります。

リモート・ループバック

リモート・ループバックでは、リモート PHY とリンクさせ、リモート PHY から受信したデータをリモート PHY にループバックする必要があります。このリンクを行うと、リモート PHY が適切なデータを受信することを確認することにより、リンクが完全であることをリモート PHY が検証できます。PHY_CTRL_STATUS_1 レジスタの値を 0x0241 に設定すると、PHY が受信したデータが MAC にも送信されるリモート・ループバックが選択されます。PHY_CTRL_STATUS_1 レジスタ内の LB_TX_SUP ビットをセットすると (レジスタ値が 0x0341 に設定される)、PHY が受信したデータを MAC に送信しないリモート・ループバックが選択されます。このタイプのループバックでは、ループバック・ビット (MII_CONTROL レジスタ、アドレス 0x0000、ビット 14) はセットしないでください。

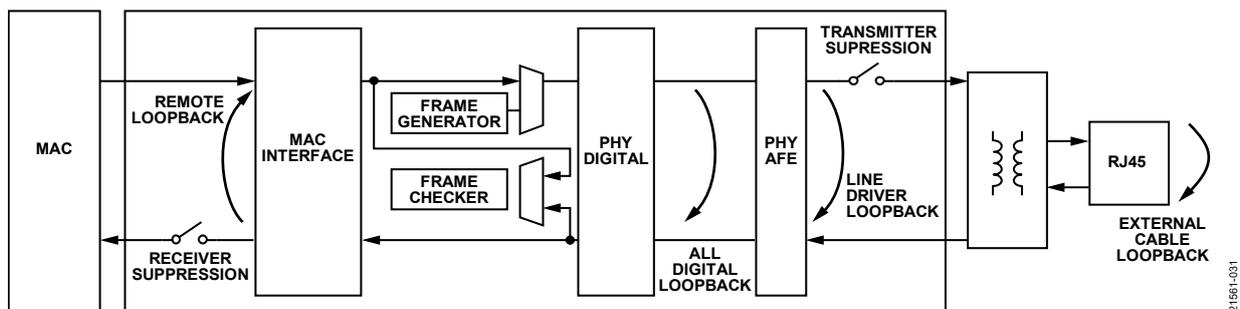


図 28. ループバック・モード

21661-001

フレーム・ジェネレータとフレーム・チェッカ

ADIN1200は、フレームを生成し、受信したフレームを確認するように構成できます (図 29 を参照)。フレーム・ジェネレータとフレーム・チェッカを個別に使用して、フレーム生成のみ、フレーム確認のみ、およびフレーム生成とフレーム確認の同時実行が可能です。フレームをリモート・エンドでループバックさせると、フレーム・チェッカを使用して ADIN1200 が生成したフレームを確認できます。

フレーム・ジェネレータをイネーブルした場合、PHY のデータ・ソースは MAC インターフェースではなくフレーム・ジェネレータから取得されます。フレーム・ジェネレータを使用するには、診断クロックもイネーブルする必要があります (DIAG_CLK_EN ビット、PHY_CTRL_1 レジスタ、アドレス 0x0012)。

フレーム・ジェネレータの制御レジスタでは、送信するフレームのタイプ (ランダム・データ、すべて 1)、フレーム長、および生成するフレーム数を設定します。フレームの生成は、フレーム・ジェネレータをイネーブルすることから始めます (FG_EN ビット、アドレス 0x9415 をセット)。フレームの生成が完了すると、フレーム・ジェネレータ完了ビットがセットされます (FG_DONE ビット、アドレス 0x941E)。

フレーム・チェッカは、フレーム・チェッカ・イネーブル・ビット (FC_EN ビット、アドレス 0x9403) を使用してイネーブルします。フレーム・チェッカは、確認および分析するフレームを MAC インターフェースまたは PHY のどちらから受信するかを設定できます。これは、フレーム・チェッカ送信選択ビット (FC_TX_SEL ビット、アドレス 0x9407) を使用して設定します。フレーム・チェッカは、受信したフレーム数、巡回冗長検査 (CRC) エラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

フレーム・チェッカは CRC エラー数をカウントし、これらは受信エラー・カウンタ・レジスタ (RX_ERR_CNT レジスタ、アドレス 0x0014) で通知されます。フレーム・チェッカ・エラー・カウンタとフレーム・チェッカ・フレーム・カウンタ間の同期を確保するために、受信エラー・カウンタ・レジスタが読み出されると、すべてのカウンタがラッチされます。したがって、フレーム・チェッカを使用する際は、最初に受信エラー・カウンタを読み出し、次に他のすべてのフレーム・カウンタとエラー・カウンタを読み出します。受信フレーム・カウンタ・レジスタのラッチされたコピーは、FC_FRM_CNT_H レジスタ (アドレス 0x940A) と FC_FRM_CNT_L レジスタ (アドレス 0x940B) で利用できます。

CRC エラーに加えて、フレーム・チェッカは、フレーム長エラー、フレーム・アライメント・エラー、シンボル・エラー、オーバーサイズ・フレーム・エラー、アンダーサイズ・フレーム・エラーをカウントします。フレーム・チェッカは、受信したフレームに加え、100BASE-TX モードまたは 10BASE-Te モードではフレーム内のニブル数が奇数であるフレームをカウントし、100BASE-TX モードではプリアンプル内のニブル数が奇数であるフレームをカウントします。フレーム・チェッカはまた、10BASE-Te モードではニブル数が整数以外であるフレームと、偽キャリア・イベント数 (不正なストリーム開始区切り (SSD : start of stream delimiter) 状態に入った回数) をカウントします。

2つの PHY を使用したリモート・ループバックによるフレーム・ジェネレータとフレーム・チェッカ

2つの PHY デバイスを使用すると、PHY から PHY への接続を自己完結型で簡単に検証できます。図 29 に、各 PHY の構成方法の概要を示します。外部イーサネット・ケーブルを両方のデバイス間に接続し、PHY 1 がフレーム・ジェネレータを使用してフレームを生成します。PHY 2 では、MAC 側でリモート・ループバックを有効にします。PHY 1 によって発行されたフレームはケーブルを通過して送信され、PHY 2 シグナル・チェーンを通過して PHY 2 リモート・ループバックによって返され、イーサネット・ケーブルを介して再び戻されて、PHY 1 フレーム・チェッカによって確認されます。

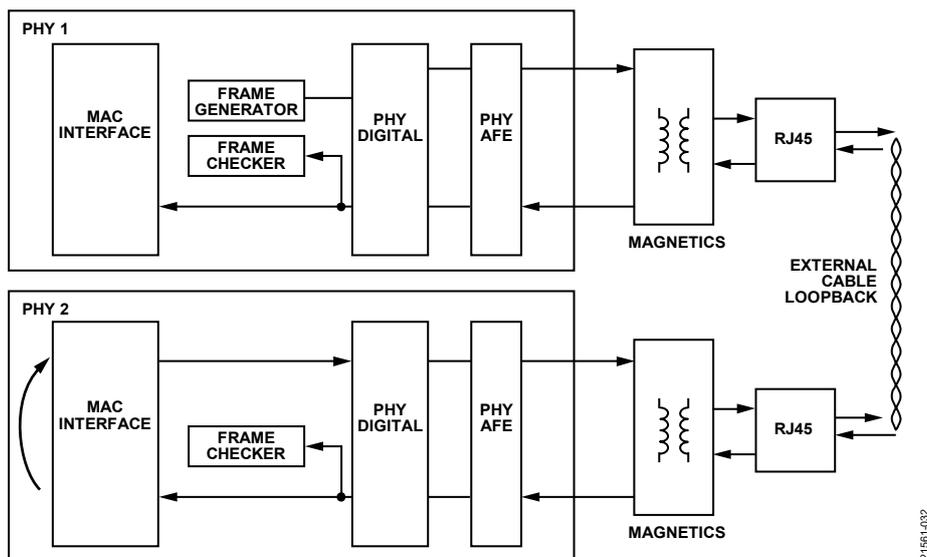


図 29. 自己確認用に2つのPHY間で使用するリモート・ループバック

ケーブル診断

ADIN1200は、ケーブル診断機能を内蔵しています。このケーブル分析は、リンク速度の確立を妨げたり、パフォーマンスを低下させたりする可能性のあるケーブル故障の検出に使用可能で、リンクがアップまたはダウンのいずれのときでも実行できます。

100BASE-TX のリンクが起動するたびに、ADIN1200 は信号処理に基づいてケーブル長の推定値を通知します。これは、ケーブル診断ケーブル長推定レジスタ (CDIAG_CBL_LEN_EST レジスタ、アドレス 0xBA25) で読み出すことができます。この推定値は、10BASE-Te リンクでは使用できません。各ペアの極性反転は、ペア極性反転レジスタ・ビット (PHY_2_STATUS レジスタ、アドレス 0x001F、ビット [13:10]) および B_10_POL_INV ビット (PHY_STATUS_1 レジスタ、アドレス 0x001A) で通知されます。ペアの交換は、ペア・スワップ・レジスタ・ビット (PAIR_01_SWAP ビット、アドレス 0x001A) で通知されます。リンクが完了すると、各ペアの信号品質が、各ペアの平均二乗誤差レジスタ (MSE_A レジスタ、アドレス 0x8402) に示されます。

リンクが解除されると、ADIN1200 は時間領域反射率測定 (TDR) を使用してケーブル故障検出を実行できます。パルスを送信し、反射を分析することにより、PHY は、オープン、ショート、クロス・ペアのショート、最も近い故障箇所までの距離などのケーブル故障を検出できます。PHY は、ペアが適切に終端されていて、故障がないことも判断できます。リモート PHY のリンク・パルスは反射パルスの分析を妨げ、ペア・ビジー結果を返す可能性があるため、リモート PHY をパワーダウン状態にするか、PHY を切り離してケーブル故障検出を実行します。

ケーブル故障検出は、最初に PHY をスタンバイにし (PHY_CTRL_3 レジスタ (アドレス 0x0017) の LINK_EN ビットをクリア)、診断クロックを有効化する (PHY_CTRL_1 レジスタ (アドレス 0x0012) の DIAG_CLK_EN ビットをセット) ことにより、2 つのペアでのペア故障のすべての組み合わせを自動的に調べます。その後、ケーブル診断を実行できます (CDIAG_RUN レジスタ (アドレス 0xBA1B) の CDIAG_RUN ビットをセットします)。各ペアの結果は、ケーブル診断結果レジスタ、CDIAG_DTLD_RSLTS_0 (アドレス 0xBA1D)、CDIAG_DTLD_RSLTS_1 (アドレス 0xBA1E) で通知されます。各ペアの最初の故障箇所までの距離は、ケーブル故障距離レジスタ、CDIAG_FLT_DIST_0 (アドレス 0xBA21)、CDIAG_FLT_DIST_1 (アドレス 0xBA22) で通知されます。

拡張リンク検出

ADIN1200は、リンク喪失についての早期の検出と表示を行う拡張リンク検出に対応しています。これは、受信信号をモニタする機能であり、連続した信号サンプルのかなりの数が期待どおりでない場合、リンク・ダウンが早期に示されます。ADIN1200は、多数の連続する 0、多数の連続する 1、または多数の連続する無効なレベルを同時にモニタできます。

拡張リンク検出が有効の場合、ADIN1200 は通常 10 μ s 以内にケーブル断線に反応し、LINK_ST ピンでリンク・ダウンを示します。拡張リンク検出を有効化していない場合、ADIN1200 は IEEE 規格に従い、100BASE-TX では 350 ミリ秒または 750 ミリ秒以上かかることがあります。

拡張リンク検出の有効化は、100BASE-TX では拡張リンク検出 100BASE-TX イネーブル・レジスタ・ビット (FLD_EN レジスタ、アドレス 0x8E27、ビット 5、ビット 3、ビット 1) で行います。

拡張リンク検出機能がラッチされた状態は、拡張リンク検出ステータス・ビット FAST_LINK_DOWN_LAT (アドレス 0x8E38) で読み出すことができます。

パケット開始指示

ADIN1200には送信側と受信側の SOP (パケット開始) の検出および指示機能が含まれ、IEEE 1588 タイム・スタンプ制御に対応していて、より正確なタイミング情報を MAC に提供します。

送信および受信の SOP 指示は、ソフトウェア構成により、GP_CLK、LINK_ST、INT_N、および LED_0 のピンのいずれかで有効化できます。以下のオーバーライド制御レジスタを使用します。

- GE_IO_GP_CLK_OR_CNTRL ビット、アドレス 0xFF3D
- GE_IO_GP_OUT_OR_CNTRL ビット、アドレス 0xFF3E
- GE_IO_INT_N_OR_CNTRL ビット、アドレス 0xFF3F
- GE_IO_INT_N_OR_CNTRL ビット、アドレス 0xFF41

送信 SOP の検出は、PHY の内部 FIFO の後で行われます。そのため、ピンでの SOP 指示から MDI_x_x ピンでの実際の SOP までの間に一定の遅延が生じます。

パケット開始指示は、送信および受信の SOP イネーブルによって有効化します (SOP_TX_EN ビットと SOP_RX_EN ビット、アドレス 0x9428 をセット)。

SOP は、デフォルトでは、フレームの最初のバイトまたはニブルでアサートされます。SOP は、SOP_SFD イネーブル・ビット (SOP_SFD_EN、アドレス 0x9428) をセットすることで、フレーム内で開始フレーム区切り (SFD : start frame delimitator) が検出されたときにアサートされるように設定できます。

SOP 指示は、デフォルトでは、フレームの期間中アサートされます。SOP は、プログラマブルなサイクル数の間アサートされるように設定できます。これは、SOP N サイクル・イネーブル・ビット (SOP_NCYC_EN、アドレス 0x9428) をセットして行い、この場合のサイクル数は、SOP N バイ 8 マイナス 1 サイクル・レジスタ (SOP_N_8_CYC_M_1_D_EN レジスタ、アドレス 0x9428、ビット [6:4]) で設定します。

ADIN1200 のパケット開始の検出および指示の回路には、プログラマブルなクロック・サイクル数だけ送信および受信の各指示を遅延させる機能が含まれています。受信側でのこの目的は、

MAC がフレームを受信する前に受信フレーム SOP 指示がアサートされないようにして、遅延の大きな MAC インターフェースに対応できるようにすることです。送信側でのこの目的は、送信 SOP 指示のアサートを MDI_x_x ピンで設定された基準点に近づけることです (したがって、タイム・スタンプ・ポイントを MAC/スイッチ側で調整する必要はありません)。100BASE-TX モードおよび 10BASE-T モードの送受信に、遅延設定のためのプログラマブルなレジスタが用意されています。これらは、SOP_RX_DEL レジスタ (アドレス 0x9429) と SOP_TX_DEL レジスタ (アドレス 0x942A) で設定します。

アプリケーション情報

システム概要

ADIN1200 は、低消費電力で単一ポートの 10Mbps/100Mbps イーサネット・トランシーバーで、産業用イーサネット・アプリケーション向けに低遅延の仕様となっています。図 30 に、fido5200 REM スイッチと共に使用した基本的なシステム・ブロック図を示します。MAC インターフェースの各構成モードの特定の情報については、MAC インターフェースのセクションを参照してください。

REM スイッチ、fido5200

fido5200 は、レイヤ2またはレイヤ3プロトコルに対応する REM スイッチ (プログラマブルな IEEE 802.3 の 10Mbps/100Mbps イーサネットのインターネット・プロトコル・バージョン6 (IPv6) およびインターネット・プロトコル・バージョン4 (IPv4)) です。これらのスイッチはホスト・プロセッサからダウンロードされるファームウェアによって、所望のプロトコルに対応するようにパーソナライズできます。

fido5200 は、以下のプロトコルに対応するように構成できます。EtherCAT、PROFINET のリアル・タイム (RT) およびアイソクロナス・リアル・タイム (IRT) 、デバイス・レベル・リング (DLR) 構成の EtherNet/IP および DLR 構成でない EtherNet/IP、Modbus TCP、および POWERLINK。

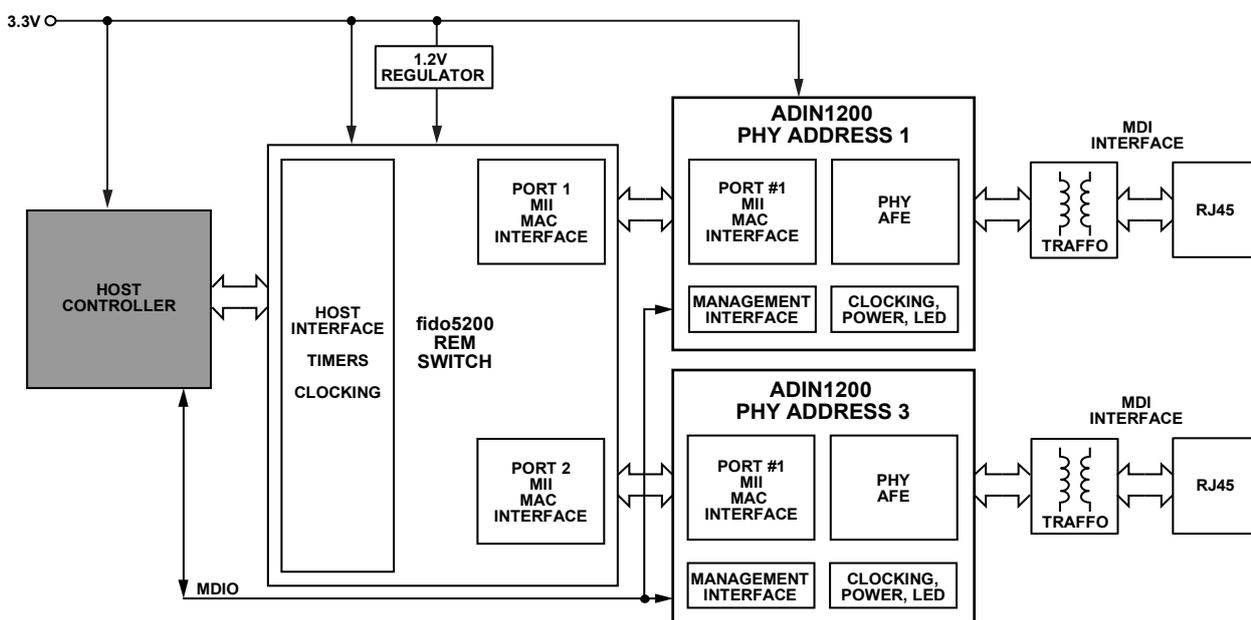


図 30. 簡略化した代表的なアプリケーション・ブロック図

21561-029

fido5200 および ADIN1200 の詳細な概要

図 31 に、ADIN1200 と fido5200 の相互接続の詳細を示します。一部の詳細は簡略化されています。

PHY アドレス

ADIN1200 には 4 つの PHY アドレス・ピンがあります。これらのピンは RXD_3 ピン～RXD_0 ピンと共有され、2 レベル構成ピンであり、16 個の PHY アドレスを構成する機能を提供します。

ADIN1200 では、すべての PHYAD_x ピンは弱いプルダウン抵抗を内蔵しています。このアプリケーションでは、ADIN1200 デバイスを異なるアドレスに構成するために、第 1 の PHY の PHYAD_0 に外付けプルアップ抵抗を追加し（アドレス=0x1）、更に第 2 の PHY の PHYAD_0 および PHYAD_1 にも外付けプルアップ抵抗を追加しています（アドレス=0x3）。PHYAD_2 と PHYAD_3 に外付け抵抗を追加して、外部でプルダウンすることもできます。

これらのピンに接続される回路で、予想される PHY アドレス設定に影響を与えるものがないかを確認します。

MAC インターフェース

MAC インターフェース選択は、RX_CTL/RX_DV/CRS_DV/MACIF_SEL1 ピンおよび RXC/RX_CLK/MACIF_SEL0 ピンと共有され、表 25 に従って構成できます。MII インターフェースを構成するには、MACIF_SEL1 = MODE_1 をグラウンドに接続し、MACIF_SEL0 = MODE_4 を VDDIO に接続します。

速度構成

PHY 構成ピンも共有ピンです。内部プルアップ回路はありません。したがって、これらの機能を構成するには外付け抵抗を使用する必要があります。これらのピンはマルチレベルのセンス・ピンであり、PHY 構成のセクションで説明されているように 4 つの異なる電圧レベルを構成できるため、構成の幅が広がります。

図 31 では、PHY_CFG1 には MODE_1 (0V) を構成するための外付けプルダウン抵抗が接続され、PHY_CFG0 には MODE_4 (3.3V) を構成するためのプルアップ抵抗が接続されています。このセットアップでは、表 23 に示すように、10 HD/FD および 100 HD/FD のアダプタイズ速度でオートネゴシエーションを実行するように PHY を構成します。リンク・パートナーに接続すると、デバイスは共通の最高速度でリンクを確立します。抵抗の値を表 20 に示します。

MDIX 構成

MDI 構成は、共有機能である MDIX_MODE ピンによって設定します。このピンには内部プルアップ抵抗はありません。これはマルチレベルのセンス・ピンであるため、この構成には 4 つの電圧レベル・オプションがあり、外付け抵抗を使用して構成する必要があります。この構成では、MDIX_MODE ピンに外付けプルアップ抵抗および外付けプルダウン抵抗を接続しています（値は表 20 に示しています）。したがって、表 26 に示すように、自動 MDIX モードが選択されます。これにより、デバイスはリンク・パートナーにとって適切な MDI 構成または MDIX 構成を自動的に検出できます。

表 26. 自動 MDIX の構成

Configuration	MDIX_MODE
Manual MDI	MODE_1
Manual MDIX	MODE_2
Auto MDIX; Prefer MDIX	MODE_3
Auto MDIX; Prefer MDI	MODE_4

電源

fido5200 と ADIN1200 の電源条件は 2 電源レールで、スイッチと PHY で共有される共通の 3.3V レールとスイッチ用の 1.2V レールです。

ADIN1200 は、最低 1 つの電源レールで動作します。AVDD_3P3 は、PHY の MDI インターフェース、アナログ回路、XTAL 発振器、DLL、RESET_N、および LED 回路用の 3.3V アナログ電源入力です。

VDDIO により、MDIO および MAC インターフェースの電圧供給を ADIN1200 の他の回路とは独立して構成できます。VDDIO には、1.8V～3.3V を供給できます。

すべてのデバイスは、できる限りピンに近くでデカップリングを設ける必要があります。

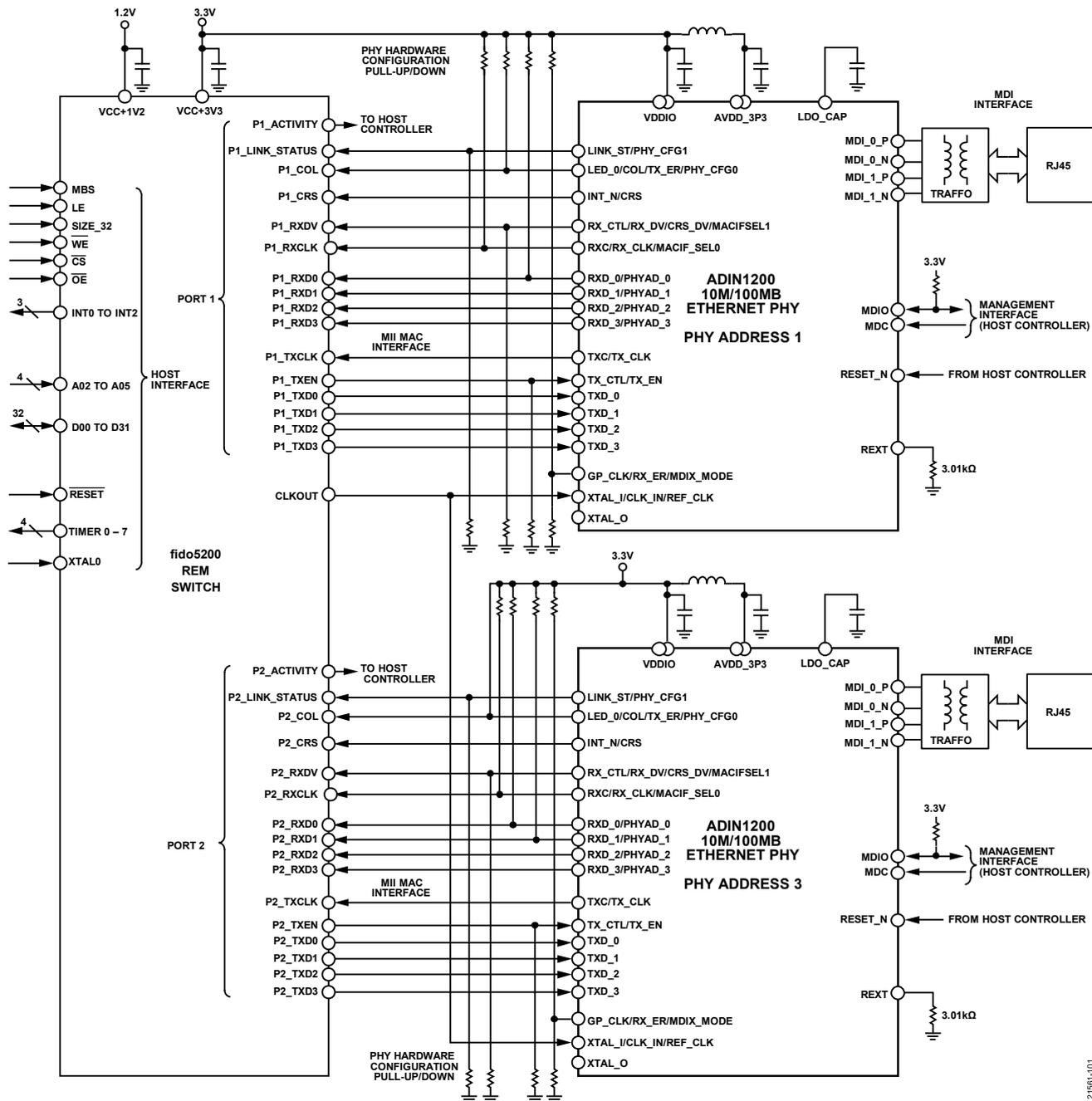


図 31. 2つの ADIN1200 PHY と fido5200 の詳細ブロック図

21561-101

コンポーネントの推奨事項

水晶発振器

外付け水晶発振器 (XTAL) の代表的な接続を図 32 に示します。消費電流と浮遊容量を最小限に抑えるには、ADIN1200 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。推奨負荷および水晶発振器の性能仕様については、個々の水晶発振器のベンダにお問い合わせください。

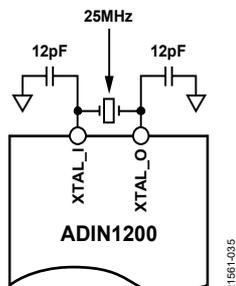


図 32. 水晶発振器の接続

外部クロック入力

XTAL_I/CLK_IN/REF_CLK でシングルエンドのリファレンス・クロックを使用する場合、XTAL_O をオープン・サーキットのままにします。このクロックは、2.5V のユニポーラで、25MHz のサイン波または方形波の信号でなければなりません。CLK_IN は 1.8V の方形波信号でも駆動できます。RMII MAC インターフェースを使用する場合、50MHz のリファレンス・クロック (REF_CLK) が必要です。このクロックは、MAC または外部ソースから供給できます。

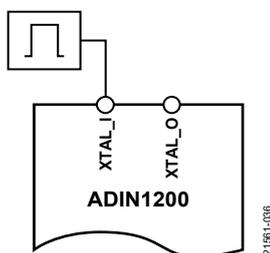


図 33. 外部クロック接続

磁性部品

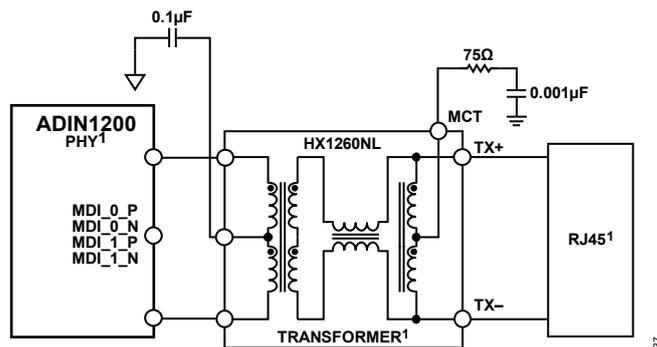
ガルバニック絶縁は、イーサネット・プロトコルを使用してデータを送受信するアプリケーションの 2 つのポイント to ポイント通信ノード間で必要とされ、故障や過渡現象から保護し、最高の電磁適合性性能を実現します。PHY と RJ45 間の磁気結合は、この絶縁を実現する最も一般的な方法です。

磁性部品はディスクリートまたは集積化が可能で、いずれも長所と短所があります。ディスクリートを選択すると、通常はより多くのボード・スペースを占有しますが、レイアウトに関して自由度が高くなり、集積化された磁性部品よりも安価になる傾向があり、全体的にパフォーマンスが向上します。

集積化した場合、RJ45 コネクタ・ジャックに磁性部品を組み込んだものとなり、コンポーネント数が少なくなるためコンパクトになり、スペースが限られているアプリケーションでは必要なフットプリントが小さくなりますが、コストが高くなる傾向があります。磁気コアはより小型化し、相互に接近しがちです。そのため、EMC 性能が低下し、クロストークの可能性が高まり、損失が増加して非線形歪みが発生するため、パフォーマンスに影響を与える可能性があります。

ADIN1200 PHY で最適な性能を得るためには、コモンモード・チョークが組み込まれたディスクリート・トランスを使用することを推奨します。コモンモード・チョークは、ツイスト・ペア・ケーブルが周囲環境から拾ったコモンモード信号を減衰させ、システムの S/N 比を改善するため、重要です。コモンモード・チョークの後にオートトランス段を設けたトランスは、コモンモード・ノイズを更に減衰させます。

ADIN1200 の送信ドライバは電圧モードであり、終端を内蔵しています。したがって、ADIN1200 側のトランスの各センタータップ・ピンを、0.1μF のコンデンサを介して個別にグラウンドに接続します。



1 ONLY ONE CHANNEL SHOWN

図 34. ディスクリート磁性部品を使用した絶縁 (1 チャンネルのみを示す)。チャンネルごとにコンポーネントを個別に接続および接地

磁性部品に関する重要な考慮事項を表 27 に示します。

表 27. 磁性部品の選択

Parameter	Value	Conditions
Turns Ratio	1CT:1CT	
Open-Circuit Inductance	350 μH	Min: 100 mV, 100 kHz, 8 mA
Insertion loss	-1 dB	Max: 0 MHz to 100 MHz

電源条件

ADIN1200 には以下の 2 つの電源ドメインがあり、少なくとも 1 つの電源が必要です。

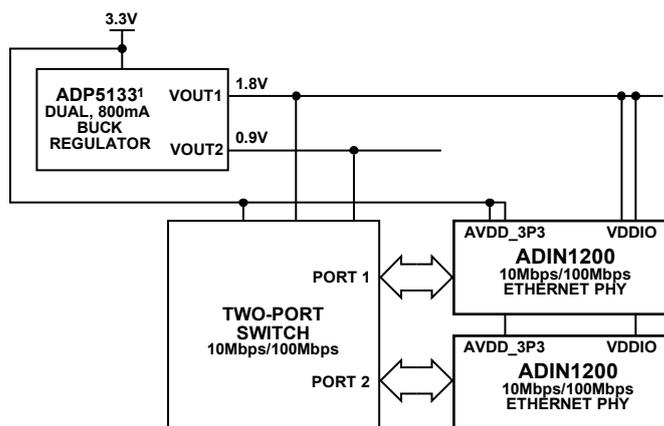
- AVDD_3P3 は、PHY MDI インターフェース、アナログ回路、水晶発振器、DLL、RESET_N、および LED 回路用の 3.3V アナログ電源入力です。
- VDDIO により、MDIO および MAC インターフェースの電圧供給を ADIN1200 の他の回路とは独立して構成できます。

デバイスに適用される電源の順序に関する電源シーケンス条件はありません。詳細については、パワーアップ・タイミングのセクションを参照してください。

以下の簡略化したシステム・レベルの電源ソリューションは、ADIN1200 PHY および付随する 2 ポート・スイッチに電力を供給するための 3 つの推奨配置を示しています (2 ポート・スイッチの選択に応じて、ここに示すものとは電源条件が異なることがあることに注意してください)。

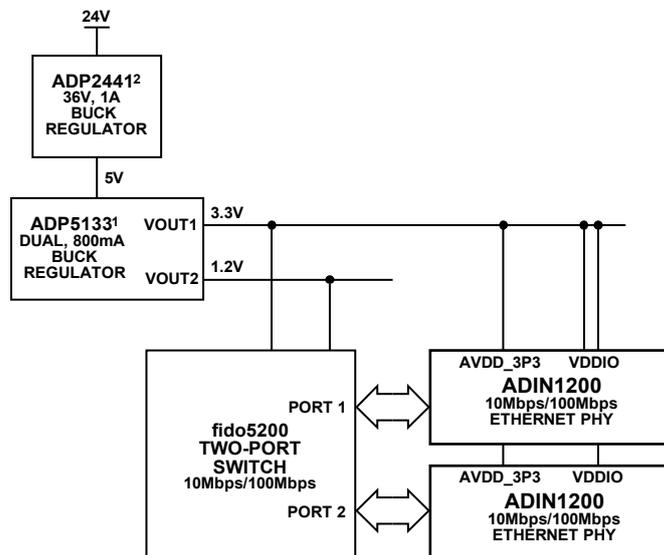
電源のデカップリング

AVDD_3P3 および VDDIO の各電源ピンを、0.1μF と 0.01μF を並列にしたコンデンサでグラウンドにデカップリングすることを推奨します。関連するピンのできるだけ近くにデカップリング・コンデンサを配置し、コンデンサのグラウンドがプレーンに直接配線されるようにします。



¹ALTERNATIVES ARE ADP5023 OR ADP5024 (WITH LDO CHANNEL).

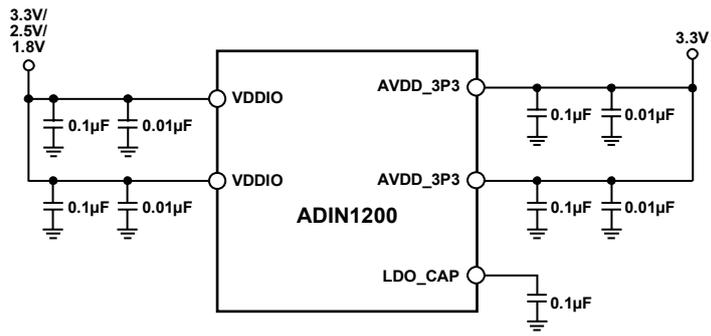
図 35. VDDIO = 1.8V で動作する RGMII での 3.3V の推奨電源ソリューション



¹ALTERNATIVES ARE ADP5023 OR ADP5024 (WITH LDO CHANNEL).

²ALTERNATIVES ARE ADP2443, 3A CAPABLE.

図 36. fido5200 を使用した VDDIO = 3.3V で動作する MII での 24V システム電源の推奨電源ソリューション



21561-042

図 37. 電源デカップリングの概要

レジスタの一覧

MII 管理インターフェースは、ホスト・プロセッサまたは MAC と ADIN1200 の間に 2 線式シリアル・インターフェースを提供し、サブシステムの管理レジスタおよび PHY コアの管理レジスタにある制御情報とステータス情報へのアクセスを可能にします。このインターフェースは、IEEE 802.3 規格の条項 22 と条項 45 の両方の管理フレーム構造に準拠しています。

デバイスは、IEEE 802.3 規格で規定されているレジスタに加えて、間接的にアクセスされる追加のレジスタ・セットを備えています。これらのレジスタは、拡張管理インターフェース (EMI) レジスタと呼ばれます。EMI レジスタには、条項 45 で規定されているインターフェースを使用してアクセスできます。ただし、このインターフェースに対応していないシステムのために、条項 22 で規定されたインターフェースを使用する代替のアクセス・メカニズムが提供されています。

PHY コア・レジスタの概要のセクションとサブシステム・レジスタの概要のセクションには、PHY コアとサブシステムのレジスタの一覧が示されています。

PHY コア・レジスタの概要

PHY コアのレジスタは、以下の 3 つのレジスタ・グループで構成されています。

- 0x0000~0x000F、IEEE 規格レジスタ
- 0x0010~0x001F、ベンダ固有のレジスタ
- デバイス・アドレス 0x1E にある PHY コアの EMI レジスタ

IEEE 規格レジスタおよびベンダ固有のレジスタは、条項 22 のアクセスを使用してアクセスされ、EMI レジスタは条項 45 のアクセスを使用してアクセスされます。ADIN1200 は、EEE に関連付けられた IEEE 条項 45 の MDIO 管理可能デバイス (MMD) レジスタに対応しています。これらのレジスタはすべて、デバイス・アドレス 0x1E に再マップされます。したがって、これらは、PHY 拡張管理レジスタの残りと同じデバイス・アドレスで使用できます。条項 45 で規定されているインターフェースに対応していないシステムの場合、条項 22 を使用して EMI レジスタにアクセスするには、レジスタ 0x0010 およびレジスタ 0x0011 を使用します。

一部のレジスタのデフォルト値は、RESET_N ピンがアサート解除された直後に読み出されるハードウェア構成ピンの値によって決定されます (ハードウェア構成ピンのセクションを参照)。これにより、非マネージド・アプリケーションで ADIN1200 のデフォルトの動作を設定できます。表 28 のデフォルト値は、ADIN1200 が以下のように構成されていることを前提としています。

- 自動 MDIX、MDI を優先
- オートネゴシエーションを有効化
- すべての速度をアドバタイズ
- EEE、エネルギー検出パワーダウン、およびダウンスピードを無効化
- ADIN1200 を、リセット後にソフトウェア・パワーダウンに入るように構成していない
- RGMII MAC インターフェースで、2ns の内部遅延を RXC および TXC に選択

表 28. PHY コア・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0x0000	MII_CONTROL	MII 制御レジスタ	0x1000	R/W
0x0001	MII_STATUS	MII ステータス・レジスタ	0x7949	R
0x0002	PHY_ID_1	PHY 識別マーク 1 レジスタ	0x0282	R
0x0003	PHY_ID_2	PHY 識別マーク 2 レジスタ	0xBC20	R
0x0004	AUTONEG_ADV	オートネゴシエーション・アドバタイズメント・レジスタ	0x01E1	R/W
0x0005	LP_ABILITY	オートネゴシエーション・リンク・パートナー・ペース・ページ・アビリティ・レジスタ	0x0000	R
0x0006	AUTONEG_EXP	オートネゴシエーション拡張レジスタ	0x0064	R
0x0007	TX_NEXT_PAGE	オートネゴシエーション・ネクスト・ページ送信レジスタ	0x2001	R/W
0x0008	LP_RX_NEXT_PAGE	オートネゴシエーション・リンク・パートナー受信ネクスト・ページ・レジスタ	0x0000	R
0x000A	MSTR_SLV_STATUS	マスタ・スレーブ・ステータス・レジスタ	0x0000	R
0x000F	EXT_STATUS	拡張ステータス・レジスタ	0x0000	R
0x0010	EXT_REG_PTR	拡張レジスタ・ポインタ・レジスタ	0x0000	R/W
0x0011	EXT_REG_DATA	拡張レジスタ・データ・レジスタ	0x0000	R/W
0x0012	PHY_CTRL_1	PHY 制御 1 レジスタ	0x0002	R/W
0x0013	PHY_CTRL_STATUS_1	PHY 制御ステータス 1 レジスタ	0x1041	R/W
0x0014	RX_ERR_CNT	受信エラー・カウント・レジスタ	0x0000	R
0x0015	PHY_CTRL_STATUS_2	PHY 制御ステータス 2 レジスタ	0x0000	R/W
0x0016	PHY_CTRL_2	PHY 制御 2 レジスタ	0x0308	R/W
0x0017	PHY_CTRL_3	PHY 制御 3 レジスタ	0x3048	R/W
0x0018	IRQ_MASK	割込みマスク・レジスタ	0x0000	R/W
0x0019	IRQ_STATUS	割込みステータス・レジスタ	0x0000	R
0x001A	PHY_STATUS_1	PHY ステータス 1 レジスタ	0x0300	R
0x001B	LED_CTRL_1	LED 制御 1 レジスタ	0x0001	R/W
0x001C	LED_CTRL_2	LED 制御 2 レジスタ	0x210A	R/W
0x001D	LED_CTRL_3	LED 制御 3 レジスタ	0x1855	R/W

アドレス	レジスタ名	説明	リセット	アクセス
0x001F	PHY_STATUS_2	PHY ステータス 2 レジスタ	0x03FC	R
0x8000	EEE_CAPABILITY	高エネルギー効率イーサネット・ケイパビリティ・レジスタ	0x0006	R
0x8001	EEE_ADV	高エネルギー効率イーサネット・アドバタイズメント・レジスタ	0x0000	R/W
0x8002	EEE_LP_ABILITY	高エネルギー効率リンク・パートナー・アビリティ・レジスタ	0x0000	R
0x8008	EEE_RSLVD	高エネルギー効率イーサネット解決レジスタ	0x0000	R
0x8402	MSE_A	平均二乗誤差 A レジスタ	0x0000	R
0x8E27	FLD_EN	拡張リンク検出イネーブル・レジスタ	0x003D	R/W
0x8E38	FLD_STAT_LAT	拡張リンク検出ラッチ・ステータス・レジスタ	0x0000	R
0x9400	RX_MII_CLK_STOP_EN	受信 MII クロック・ストップ・イネーブル・レジスタ	0x0400	R/W
0x9401	PCS_STATUS_1	物理コーディング・サブレイヤ (PCS) ステータス 1 レジスタ	0x0040	R
0x9403	FC_EN	フレーム・チェッカ・イネーブル・レジスタ	0x0001	R/W
0x9406	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル・レジスタ	0x0001	R/W
0x9407	FC_TX_SEL	フレーム・チェッカ送信選択レジスタ	0x0000	R/W
0x9408	FC_MAX_FRM_SIZE	フレーム・チェッカ最大フレーム・サイズ・レジスタ	0x05F2	R/W
0x940A	FC_FRM_CNT_H	フレーム・チェッカ・カウント・ハイ・レジスタ	0x0000	R
0x940B	FC_FRM_CNT_L	フレーム・チェッカ・カウント・ロー・レジスタ	0x0000	R
0x940C	FC_LEN_ERR_CNT	フレーム・チェッカ・レングス・エラー・カウント・レジスタ	0x0000	R
0x940D	FC_ALGN_ERR_CNT	フレーム・チェッカ・アライメント・エラー・カウント・レジスタ	0x0000	R
0x940E	FC_SYMB_ERR_CNT	フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ	0x0000	R
0x940F	FC_OSZ_CNT	フレーム・チェッカ・オーバーサイズ・フレーム・カウント・レジスタ	0x0000	R
0x9410	FC_USZ_CNT	フレーム・チェッカ・アンダーサイズ・フレーム・カウント・レジスタ	0x0000	R
0x9411	FC_ODD_CNT	フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ	0x0000	R
0x9412	FC_ODD_PRE_CNT	フレーム・チェッカ奇数ブリアンブル・パケット・カウント・レジスタ	0x0000	R
0x9413	FC_DRIBBLE_BITS_CNT	フレーム・チェッカ・ドリブル・ビット・フレーム・カウント・レジスタ	0x0000	R
0x9414	FC_FALSE_CARRIER_CNT	フレーム・チェッカ偽キャリア・カウント・レジスタ	0x0000	R
0x9415	FG_EN	フレーム・ジェネレータ・イネーブル・レジスタ	0x0000	R/W
0x9416	FG_CNTRL_RSTRT	フレーム・ジェネレータ制御および再起動レジスタ	0x0001	R/W
0x9417	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モード・イネーブル・レジスタ	0x0000	R/W
0x9418	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル・レジスタ	0x0000	R/W
0x941A	FG_FRM_LEN	フレーム・ジェネレータ・フレーム長レジスタ	0x006B	R/W
0x941B	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長レジスタ	0x000C	R/W
0x941C	FG_NFRM_H	フレーム・ジェネレータ・フレーム数ハイ・レジスタ	0x0000	R/W
0x941D	FG_NFRM_L	フレーム・ジェネレータ・フレーム数ロー・レジスタ	0x0100	R/W
0x941E	FG_DONE	フレーム・ジェネレータ完了レジスタ	0x0000	R
0x9427	FIFO_SYNC	FIFO 同期レジスタ	0x0000	R/W
0x9428	SOP_CTRL	パケット開始制御レジスタ	0x0034	R/W
0x9429	SOP_RX_DEL	パケット開始受信検出遅延レジスタ	0x0000	R/W
0x942A	SOP_TX_DEL	パケット開始送信検出遅延レジスタ	0x0000	R/W
0x9602	DPTH_MII_BYTE	MII モード用 FIFO 深さ制御レジスタ	0x0001	R/W
0xA000	LPI_WAKE_ERR_CNT	LPI ウェイク・エラー・カウント・レジスタ	0x0000	R
0xB403	B_10_E_EN	Base 10e イネーブル・レジスタ	0x0001	R/W
0xB412	B_10_TX_TST_MODE	10BASE-T 送信テスト・モード・レジスタ	0x0000	R/W
0xB413	B_100_TX_TST_MODE	100BASE-TX 送信テスト・モード・レジスタ	0x0000	R/W
0xBA1B	CDIAG_RUN	自動ケーブル診断実行レジスタ	0x0000	R/W
0xBA1C	CDIAG_XPAIR_DIS	ケーブル診断クロス・ペア故障検査ディスエーブル・レジスタ	0x0000	R/W
0xBA1D	CDIAG_DTLT_RSLTS_0	ケーブル診断結果 0 レジスタ	0x0000	R
0xBA1E	CDIAG_DTLT_RSLTS_1	ケーブル診断結果 1 レジスタ	0x0000	R
0xBA21	CDIAG_FLT_DIST_0	ケーブル診断故障距離ベア 0 レジスタ	0x00FF	R
0xBA22	CDIAG_FLT_DIST_1	ケーブル診断故障距離ベア 1 レジスタ	0x00FF	R
0xBA25	CDIAG_CBL_LEN_EST	ケーブル診断ケーブル長推定レジスタ	0x00FF	R
0xBC00	LED_PUL_STR_DUR	LED パルス・ストレッチ周期レジスタ	0x0011	R/W

PHY コア・レジスタの詳細

MII 制御レジスタ

アドレス：0x0000、リセット：0x1000、レジスタ名：MII_CONTROL

このアドレスは、802.3 規格の条項 22.2.4.1 で規定されている MII 制御レジスタに対応しています。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンの設定に依存することに注意してください。

表 29. MII_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	SFT_RST	ソフトウェア・リセット・ビット。このビットはセルフ・クリア・ビットです。リセット動作が完了すると、このビットは 1'b0 に戻ります。 1：PHY リセット。 0：通常動作。	0x0	R/W
14	LOOPBACK	ループバック・モードを有効化/無効化します。 1：ループバック・モードを有効化。 0：ループバック・モードを無効化。	0x0	R/W
13	SPEED_SEL_LSB	速度選択 MSB および LSB レジスタ・ビットは、リンク速度の設定に使用します。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できません。 11：予備。 10：予備。 01：100Mbps。 00：10Mbps。	0x0	R/W
12	AUTONEG_EN	オートネゴシエーション・イネーブル・ビットは、オートネゴシエーションを有効化/無効化するのに使用します。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。 1：オートネゴシエーション・プロセスを有効化。 0：オートネゴシエーション・プロセスを無効化。	0x1	R/W
11	SFT_PD	ソフトウェア・パワーダウン・ビット。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。PHY は、ソフトウェアによって初期化されるまでリセット状態に保持できます。 1：ソフトウェア・パワーダウン。 0：通常動作。	0x0	R/W
10	ISOLATE	アイソレート・ビット 1：MAC インターフェース・ピンをトライステートに設定することで（アクティブな場合でも）、PHY を MAC インターフェースから電氣的に分離する。 0：通常動作。	0x0	R/W
9	RESTART_ANEG	リスタート・オートネゴシエーション・ビット。このビットはセルフ・クリア・ビットです。オートネゴシエーション・プロセスが再起動すると、このビットは 1'b0 に戻ります。 1：オートネゴシエーション・プロセスを再起動。 0：通常動作。	0x0	R/W
8	DPLX_MODE	二重モード・ビット。 1：全二重。 0：半二重。	0x0	R/W
7	COLTEST	コリジョン・テスト・ビット。 1：コリジョン信号テストを有効化。 0：コリジョン信号テストを無効化。	0x0	R/W
6	SPEED_SEL_MSB	SPEED_SEL_LSB ビットの説明を参照してください。 11：予備。 10：予備。 01：100Mbps。 00：10Mbps。	0x0	R/W
5	UNIDIR_EN	単方向イネーブル・レジスタ・ビットは読み出し専用で、常に 1'b0 として読み出されます。メディアに依存しないインターフェースからの送信は、PHY が有効なリンクが確立されたと判断した場合にのみ有効になります。	0x0	R
[4:0]	RESERVED	予備。	0x0	R

MII ステータス・レジスタ

アドレス：0x0001、リセット：0x7949、レジスタ名：MII_STATUS

このアドレスは、802.3 規格の条項 22.2.4.2 で規定されている MII ステータス・レジスタに対応しています。

表 30. MII_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	T_4_SPRT	PHY は 100BASE-T4 に対応していないため、100BASE-T4 アビリティ・ビットは常に 1'b0 として読み出されます。	0x0	R
14	FD_100_SPRT	PHY は 100BASE-TX 全二重に対応しているため、100BASE-TX 全二重アビリティ・ビットは常に 1'b1 として読み出されます。	0x1	R
13	HD_100_SPRT	PHY は 100BASE-TX 半二重に対応しているため、100BASE-TX 半二重アビリティ・ビットは常に 1'b1 として読み出されます。	0x1	R
12	FD_10_SPRT	PHY は 10BASE-T 全二重に対応しているため、10BASE-T 全二重アビリティ・ビットは常に 1'b1 として読み出されます。	0x1	R
11	HD_10_SPRT	PHY は 10BASE-T 半二重に対応しているため、10BASE-T 半二重アビリティ・ビットは常に 1'b1 として読み出されます。	0x1	R
10	FD_T_2_SPRT	PHY は 100BASE-T2 に対応していないため、100BASE-T2 全二重アビリティ・ビットは常に 1'b0 として読み出されます。	0x0	R
9	HD_T_2_SPRT	PHY は 100BASE-T2 に対応していないため、100BASE-T2 半二重アビリティ・ビットは常に 1'b0 として読み出されます。	0x0	R
8	EXT_STAT_SPRT	拡張ステータス・サポート・ビットは常に 1'b1 として読み出され、PHY がレジスタ 0x000F で拡張ステータス情報を提供することを示します。	0x1	R
7	UNIDIR_ABLE	ゼロの場合、単方向アビリティ・レジスタ・ビットは、有効なリンクが確立されたとき PHY が判断した場合、メディアに依存しないインターフェースからのみデータを送信できることを示します。このビットは常に 1'b0 として読み込まれます。	0x0	R
6	MF_PREAM_SUP_ABLE	管理フレーム・プリアンブル抑制アビリティ・ビット。PHY はプリアンブルが抑制された管理フレームを受け入れるため、これは常に 1'b1 として読み出されます。	0x1	R
5	AUTONEG_DONE	オートネゴシエーション完了ビット。 1：オートネゴシエーション・プロセスが完了。 0：オートネゴシエーション・プロセスは未完了。	0x0	R
4	REM_FLT_LAT	リモート故障ビット。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：リモート故障状態が検出された。 0：リモート故障状態は検出されていない。	0x0	R
3	AUTONEG_ABLE	オートネゴシエーション・アビリティ・ビット。このビットは常に 1'b1 として読み出されます。 1：PHY はオートネゴシエーションを実行可能。 0：PHY はオートネゴシエーションを実行不可能。	0x1	R
2	LINK_STAT_LAT	リンク・ステータス・ビット。リンクがドロップすると、読出しによってラッチが解除されるまでこのビットはローにラッチされます。 1：リンクはアップ状態。 0：リンクはダウン状態。	0x0	R
1	JABBER_DET_LAT	ジャババー検出ビット。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：ジャババー状態が検出された。 0：ジャババー状態は検出されない。	0x0	R
0	EXT_CAPABLE	PHY は拡張機能セットを提供するため、拡張機能ビットは常に 1'b1 として読み出されます。	0x1	R

PHY 識別マーク 1 レジスタ

アドレス：0x0002、リセット：0x0283、レジスタ名：PHY_ID_1

このアドレスは、IEEE 802.3 規格の条項 22.2.4.3.1 で規定されている MII ステータス・レジスタに対応し、16 ビットのベンダ固有の識別マーク (OUI) をモニタできます。

表 31. PHY_ID_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PHY_ID_1	ベンダ固有の識別マーク・ビット [3:18]。	0x283	R

PHY 識別マーク 2 レジスタ

アドレス：0x0003、リセット：0xBC20、レジスタ名：PHY_ID_2

このアドレスは、IEEE 802.3 規格の条項 22.2.4.3.1 で規定されている MII ステータス・レジスタに対応し、6 ビットの OUI と、モデル番号およびリビジョン番号をモニタできます。

表 32. PHY_ID_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	PHY_ID_2_OUI	ベンダ固有の識別マーク・ビット [19:24]。	0x2F	R
[9:4]	MODEL_NUM	メーカーのモデル番号	0x2	R
[3:0]	REV_NUM	メーカーのリビジョン番号	0x0	R

オートネゴシエーション・アダプタイズメント・レジスタ

アドレス：0x0004、リセット：0x01E1、レジスタ名：AUTONEG_ADV

このアドレスは、IEEE 802.3 規格の条項 28.2.4.1.3 で規定されているオートネゴシエーション・アダプタイズメント・レジスタに対応しています。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンの設定に依存することに注意してください。

表 33. AUTONEG_ADV のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	NEXT_PAGE_ADV	ネクスト・ページの交換は、ベース・リンクのコード・ワードが交換された後に行われます。ネクスト・ページの交換では、通常のオートネゴシエーション調停プロセスを使用してネクスト・ページのメッセージを送信します。リンク・セグメントの両エンドがネクスト・ページ・ビットをロジック 0 に設定して、それ以上送信がないことを示すと、ネクスト・ページの送信が終了します。	0x0	R/W
14	RESERVED	予備。	0x0	R
13	REM_FLT_ADV	リモート故障ビットは、単純な故障情報を送信するための標準的な伝達メカニズムを提供します。	0x0	R/W
12	EXT_NEXT_PAGE_ADV	拡張ネクスト・ページ・ビットは、ローカル・デバイスが拡張ネクスト・ページ送信に対応していることを示します。拡張ネクスト・ページは、ネゴシエートするデータ・レート、メディア、またはリンク技術とは独立して使用できます。	0x0	R/W
11	APAUSE_ADV	テクノロジー・アビリティ・フィールドは 7 ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セレクト・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、全二重リンクの非対称一時停止動作をアダプタイズするためのものです。	0x0	R/W
10	PAUSE_ADV	テクノロジー・アビリティ・フィールドは 7 ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セレクト・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、全二重リンクの一時停止動作をアダプタイズするためのものです。	0x0	R/W
9	T_4_ADV	テクノロジー・アビリティ・フィールドは 7 ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セレクト・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは 100BASE-T4 をアダプタイズするためのもので、このテクノロジーには対応していないため、常に 1'b0 として読み出されます。	0x0	R
8	FD_100_ADV	テクノロジー・アビリティ・フィールドは 7 ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セレクト・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、100BASE-TX 全二重をアダプタイズするためのものです。このレジスタ・ビットのデフォルト値は、ハードウェア構成ピンを介して設定可能であるため、非マネージド・アプリケーションで PHY のデフォルト動作を設定できます。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
7	HD_100_ADV	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、100BASE-TX 半二重をアダプタイズするためのものです。このレジスタ・ビットのデフォルト値は、ハードウェア構成ピンを介して設定可能であるため、非マネージド・アプリケーションで PHY のデフォルト動作を設定できます。	0x1	R/W
6	FD_10_ADV	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、10BASE-T 全二重をアダプタイズするためのものです。このレジスタ・ビットのデフォルト値は、ハードウェア構成ピンを介して設定可能であるため、非マネージド・アプリケーションで PHY のデフォルト動作を設定できます。	0x1	R/W
5	HD_10_ADV	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、10BASE-T 半二重をアダプタイズするためのものです。このレジスタ・ビットのデフォルト値は、ハードウェア構成ピンを介して設定可能であるため、非マネージド・アプリケーションで PHY のデフォルト動作を設定できます。	0x1	R/W
[4:0]	SELECTOR_ADV	セクタ・フィールドは5ビット幅のフィールドで、32種類のメッセージをエンコードします。このフィールドの読み出し値は常に 1'b1 で、PHY が IEEE 802.3 規格にのみ対応していることを示します。	0x1	R/W

オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ

アドレス：0x0005、リセット：0x0000、レジスタ名：LP_ABILITY

このアドレスは、IEEE 802.3 規格の条項 28.2.4.1.4 で規定されているリンク・パートナー・アビリティ・レジスタに対応しています。

表 34. LP_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LP_NEXT_PAGE	リンク・パートナー・ネクスト・ページ・ビット。ネクスト・ページの交換は、ベース・リンクのコード・ワードが交換された後に行われます。ネクスト・ページの交換では、通常のオートネゴシエーション調停プロセスを使用してネクスト・ページのメッセージを送信します。リンク・セグメントの両エンドがネクスト・ページ・ビットをロジック 0 に設定してそれ以上送信がないことを示すと、ネクスト・ページの送信が終了します。	0x0	R
14	LP_ACK	このビットは、オートネゴシエーション時に内部ハンドシェイクで使用されるもので、無視する必要があります。 1：リンク・パートナーがリンク・コード・ワードを正常に受信した。 0：リンク・パートナーがリンク・コード・ワードを受信していない。	0x0	R
13	LP_REM_FLT	リンク・パートナー・リモート故障ビットは、単純な故障情報を送信するための標準的な伝達メカニズムを提供します。	0x0	R
12	LP_EXT_NEXT_PAGE_ABLE	リンク・パートナー拡張ネクスト・ページ・ビットは、リンク・パートナーが拡張ネクスト・ページの送信に対応していることを示します。拡張ネクスト・ページは、ネゴシエートするデータ・レート、メディア、またはリンク技術とは独立して使用できます。	0x0	R
11	LP_APAUSE_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが全二重リンクの非対称一時停止動作をアダプタイズすることを示します。	0x0	R
10	LP_PAUSE_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが全二重リンクの一時停止動作をアダプタイズすることを示します。	0x0	R
9	LP_T_4_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが 100BASE-T4 をアダプタイズすることを示します。	0x0	R
8	LP_FD_100_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが 100BASE-TX 全二重をアダプタイズしていることを示します。	0x0	R
7	LP_HD_100_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが 100BASE-TX 半二重をアダプタイズしていることを示します。	0x0	R
6	LP_FD_10_ABLE	テクノロジー・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールド値で指定されている対応テクノロジーを示す情報を含みます。このビットは、リンク・パートナーが 10BASE-T 全二重をアダプタイズしていることを示します。	0x0	R

ビット	ビット名	説明	リセット	アクセス
5	LP_HD_10_ABLE	テクノロジ・アビリティ・フィールドは7ビット幅のフィールド（このレジスタ内のビット [11:5]）で、セクタ・フィールドで指定されている対応テクノロジを示す情報を含みます。このビットは、リンク・パートナーが 10BASE-T 半二重をアダプタイズしていることを示します。	0x0	R
[4:0]	LP_SELECTOR	リンク・パートナー・セクタ・フィールド。これは5ビット幅のフィールドで、32種類のメッセージをエンコードします。値 0x1 は、IEEE 802.3 規格を示します。	0x0	R

オートネゴシエーション拡張レジスタ

アドレス：0x0006、リセット：0x0064、レジスタ名：AUTONEG_EXP

このアドレスは、IEEE 802.3 規格の条項 28.2.4.1.5 で規定されているオートネゴシエーション拡張レジスタに対応しています。

表 35. AUTONEG_EXP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	RX_NP_LOC_ABLE	受信したネクスト・ページはレジスタ 0x0008 に格納されるため、受信ネクスト・ページ・ロケーション・アビリティ・ビットは常に 1'b1 として読み出されます。 1：受信したネクスト・ページの保存場所はビット 5 (RX_NP_LOC) で指定される。 0：受信したネクスト・ページの保存場所はビット 5 (RX_NP_LOC) で指定されない。	0x1	R
5	RX_NP_LOC	受信ネクスト・ページ・ロケーション・ビットは常に 1'b1 として読み出されます。 1：リンク・パートナー・ネクスト・ページはレジスタ 0x0008 に格納される。 0：リンク・パートナー・ネクスト・ページはレジスタ 0x0005 に格納される。	0x1	R
4	PAR_DET_FLT	並列検出故障ビット。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：並列検出機能によって故障が検出された。 0：並列検出機能によって故障は検出されていない。	0x0	R
3	LP_NP_ABLE	リンク・パートナー・ネクスト・ページ・アビリティ・ビット。 1：リンク・パートナーはネクスト・ページに対応している。 0：リンク・パートナーはネクスト・ページに対応していない。	0x0	R
2	NP_ABLE	ネクスト・ページ・アビリティ・ビットは常に 1'b1 として読み出され、PHY がネクスト・ページに対応していることを示します。 1：ローカル・デバイスはネクスト・ページに対応している。 0：ローカル・デバイスはネクスト・ページに対応していない。	0x1	R
1	PAGE_RX_LAT	ページ受信ビット。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：新しいページを受信した。 0：新しいページを受信していない。	0x0	R
0	LP_AUTONEG_ABLE	リンク・パートナー・オートネゴシエーション・アビリティ・ビット。 1：リンク・パートナーはオートネゴシエーションに対応している。 0：リンク・パートナーはオートネゴシエーションに対応していない。	0x0	R

オートネゴシエーション・ネクスト・ページ送信レジスタ

アドレス：0x0007、リセット：0x2001、レジスタ名：TX_NEXT_PAGE

このアドレスは、IEEE 802.3 規格の条項 28.2.4.1.6 で規定されているオートネゴシエーション・ネクスト・ページ送信レジスタに対応しています。

表 36. TX_NEXT_PAGE のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	NP_NEXT_PAGE	ネクスト・ページ (NP) は、ネクスト・ページ機能によって使用され、更にネクスト・ページが続くことを示します。それ以外の場合、これが送信される最後のネクスト・ページになります。	0x0	R/W
14	RESERVED	予備。	0x0	R
13	NP_MSG_PAGE	メッセージページ (MP) は、ネクスト・ページ機能で使用され、これがメッセージ・ページであることを示します。それ以外の場合、未フォーマットのページです。	0x1	R/W
12	NP_ACK_2	アクノレッジ 2 (Ack2) は、ネクスト・ページ機能によって使用され、デバイスがメッセージに適合する能力があることを示します。	0x0	R/W
11	NP_TOGGLE	トグル (T) は、調停機能によって使用され、ネクスト・ページ交換時にリンク・パートナーとの同期を確保します。このビットは常に、前回に交換されたリンク・コード・ワードのトグル・ビットの反対の値を取ります。	0x0	R

ビット	ビット名	説明	リセット	アクセス
[10:0]	NP_CODE	メッセージ・コードフィールドは 11 ビット幅のフィールドで、2048 種類のメッセージをエンコードします。メッセージ・ページ・ビットがロジック 0 に設定されている場合、リンク・コード・ワードのビット・エンコードは、未フォーマットのページとして解釈されます。	0x1	R/W

オートネゴシエーション・リンク・パートナー受信ネクスト・ページ・レジスタ

アドレス：0x0008、リセット：0x0000、レジスタ名：LP_RX_NEXT_PAGE

このアドレスは、IEEE 802.3 規格の条項 28.2.4.1.7 で規定されているリンク・パートナー受信ネクスト・ページ・レジスタに対応しています。

表 37. LP_RX_NEXT_PAGE のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LP_NP_NEXT_PAGE	リンク・パートナーのネクスト・ページ (NP) は、ネクスト・ページ機能によって使用され、リンク・パートナーが追加のネクスト・ページを送信することを示します。それ以外の場合、これが送信される最後のネクスト・ページになります。	0x0	R
14	LP_NP_ACK	このビットは、オートネゴシエーション時に内部ハンドシェイクで使用されるもので、無視する必要があります。 1：リンク・パートナーがリンク・コード・ワードを正常に受信した。 0：リンク・パートナーがリンク・コード・ワードを受信していない。	0x0	R
13	LP_NP_MSG_PAGE	リンク・パートナーのメッセージ・ページ (MP) は、ネクスト・ページ機能で使用され、これがメッセージ・ページであることを示します。それ以外の場合、未フォーマットのページです。	0x0	R
12	LP_NP_ACK_2	アックレッジ 2 (Ack2) は、ネクスト・ページ機能によって使用され、リンク・パートナーがメッセージに適合する能力があることを示します。	0x0	R
11	LP_NP_TOGGLE	リンク・パートナーのトグル (T) は、調停機能によって使用され、ネクスト・ページ交換時にリンク・パートナーとの同期を確保します。このビットは常に、前回に交換されたリンク・コード・ワードのトグル・ビットの反対の値を取ります。	0x0	R
[10:0]	LP_NP_CODE	リンク・パートナー・メッセージ・コード・フィールドは 11 ビット幅のフィールドで、2048 種類のメッセージをエンコードします。メッセージ・ページ・ビットがロジック 0 に設定されている場合、リンク・コード・ワードのビット・エンコードは、未フォーマットのページとして解釈されます。	0x0	R

マスタ・スレーブ・ステータス・レジスタ

アドレス：0x000A、リセット：0x0000、レジスタ名：MSTR_SLV_STATUS

このアドレスは、802.3 規格の条項 40.5.1.1 で規定されているマスタ・スレーブ・ステータス・レジスタに対応しています。

表 38. MSTR_SLV_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
13	LOC_RCVR_STATUS	ローカル・レシーバー・ステータス・ビット。IEEE 802.3 規格の条項 40.4.5.1 の記述に従い、LOC_RCVR_STATUS の値によって定義されます。 1：ローカル・レシーバーは正常 (LOC_RCVR_STATUS = okay)。 0：ローカル・レシーバーは正常でない (LOC_RCVR_STATUS = not okay)。	0x0	R
12	REM_RCVR_STATUS	リモート・レシーバー・ステータス・ビット。IEEE 802.3 規格の条項 40.4.5.1 の記述に従い、REM_RCVR_STATUS の値によって定義されます。 1：リモート・レシーバーは正常 (REM_RCVR_STATUS = okay)。 0：リモート・レシーバーは正常でない (REM_RCVR_STATUS = not okay)。	0x0	R
11	LP_FD_1000_ABLE	リンク・パートナー 1000BASE-T 全二重アビリティ・ビット。このビットは、PAGE_RX_LAT ビット (レジスタ 0x0006、ビット 1) を 1 に設定している場合にのみ有効であることが確保されます。 1：リンク・パートナーは 1000BASE-T 全二重に対応している。 0：リンク・パートナーは 1000BASE-T 全二重に対応していない。	0x0	R
10	LP_HD_1000_ABLE	リンク・パートナー 1000BASE-T 半二重アビリティ・ビット。このビットは、PAGE_RX_LAT ビット (6.1) を 1 に設定している場合にのみ有効であることが確保されます。 1：リンク・パートナーは 1000BASE-T 半二重に対応している。 0：リンク・パートナーは 1000BASE-T 半二重に対応していない。	0x0	R
[9:8]	RESERVED	予備。	0x0	R
[7:0]	IDLE_ERR_CNT	これらのアイドル・エラー・カウント・ビットには、レシーバーがアイドルを受信しているときに検出されたエラーの積算カウントが含まれます。詳細については、IEEE 802.3 規格の条項 40.5.1.1 を参照してください。	0x0	R

拡張ステータス・レジスタ

アドレス：0x000F、リセット：0x0000、レジスタ名：EXT_STATUS

このアドレスは、802.3 規格の条項 22.2.4.4 で規定されている拡張ステータス・レジスタに対応しています。

表 39. EXT_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FD_1000_X_SPRT	PHY は全二重 1000BASE-X に対応していないため、このビットは常にゼロです。	0x0	R
14	HD_1000_X_SPRT	PHY は半二重 1000BASE-X に対応していないため、このビットは常にゼロです。	0x0	R
13	FD_1000_SPRT	PHY は全二重 1000BASE-T に対応していないため、このビットは常にゼロです。	0x0	R
12	HD_1000_SPRT	PHY は半二重 1000BASE-T に対応していないため、このビットは常にゼロです。	0x0	R
[11:0]	RESERVED	予備。	0x0	R

拡張レジスタ・ポインタ・レジスタ

アドレス：0x0010、リセット：0x0000、レジスタ名：EXT_REG_PTR

拡張レジスタ・ポインタ・レジスタおよび拡張レジスタ・データ・レジスタは、ステーション管理が条項 45 に対応していない場合に、直接アクセス可能なレジスタ経由で間接アクセス・アドレス・マップにアクセスするためのメカニズムを提供します。

表 40. EXT_REG_PTR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	EXT_REG_PTR	拡張レジスタ・ポインタ・レジスタおよび拡張レジスタ・データ・レジスタは、ステーション管理が条項 45 に対応していない場合に、条項 22 の通常アクセスを使用して EMI レジスタにアクセスするための間接的なメカニズムを提供します。16 ビットのレジスタ・アドレスを EXT_REG_PTR レジスタに書き込みます。EXT_REG_DATA レジスタを読み書きすることで、EMI レジスタに対して読み書きできます。条項 45 のアクセスを使用すると、EMI レジスタに直接アクセスできます。	0x0	R/W

拡張レジスタ・データ・レジスタ

アドレス：0x0011、リセット：0x0000、レジスタ名：EXT_REG_DATA

拡張レジスタ・ポインタ・レジスタおよび拡張レジスタ・データ・レジスタは、ステーション管理が条項 45 に対応していない場合に、直接アクセス可能なレジスタ経由で間接アクセス・アドレス・マップにアクセスするためのメカニズムを提供します。

表 41. EXT_REG_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	EXT_REG_DATA	拡張レジスタ・ポインタ・レジスタおよび拡張レジスタ・データ・レジスタは、ステーション管理が条項 45 に対応していない場合に、条項 22 の通常アクセスを使用して EMI レジスタにアクセスするための間接的なメカニズムを提供します。詳細については、表 40 を参照してください。	0x0	R/W

PHY 制御 1 レジスタ

アドレス：0x0012、リセット：0x0002、レジスタ名：PHY_CTRL_1

このレジスタは、特に診断クロック制御と MDI クロスオーバーのために、様々な PHY 制御レジスタ・ビットへのアクセスを提供します。

表 42. PHY_CTRL_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	AUTO_MDI_EN	自動 MDI/MDIX 解決イネーブル・レジスタ・ビットにより、PHY の自動ケーブル・クロスオーバー機能を制御できます。このレジスタ・ビットのデフォルト値は、ハードウェア構成ピンを介して設定可能であるため、非マネージド・アプリケーションで PHY のデフォルト動作を設定できます。 1：自動 MDI/MDIX を有効化。MAN_MDIX が 1'b0 の場合は MDI を優先し、MAN_MDIX が 1'b1 の場合は MDIX を優先。 0：自動 MDI/MDIX を無効化。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
9	MAN_MDIX	このビットをセットし、AUTO_MDIX_EN ビットをクリアした場合、PHY は MDIX 構成で動作します。この構成では、クロスオーバーは実装されず、PCS の論理ペアが AFE の物理ペアに対応します。このビットをクリアし、AUTO_MDIX_EN ビットをクリアした場合、PHY は MDI 構成で動作し、ペアをクロスオーバーします。AUTO_MDIX_EN ビットをセットした場合、MAN_MDIX ビットで MDI または MDIX のいずれを優先させるかを選択します。 1 : MDIX 構成で動作。 0 : MDI 構成で動作。	0x0	R/W
[8:3]	RESERVED	予備。	0x0	R
2	DIAG_CLK_EN	PHY 診断クロックを有効化します。このクロックは、フレーム・ジェネレータ/チェッカなど、PHY 内の特定の診断機能に必要です。 1 : PHY 診断クロックをイネーブル。 0 : PHY 診断クロックをディスエーブル。	0x0	R/W
[1:0]	RESERVED	予備。	0x2	R/W

PHY 制御ステータス 1 レジスタ

アドレス : 0x0013、リセット : 0x1041、レジスタ名 : PHY_CTRL_STATUS_1

このレジスタは、PHY ループバック制御ビットへのアクセスを提供します。

表 43. PHY_CTRL_STATUS_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R/W
12	LB_ALL_DIG_SEL	このビットをセットすると、全デジタル・ループバックが選択されます。これにより、アナログ/デジタル境界で PHY 内のデータがループバックされて、MAC インターフェースの TXD_x ビンで受信されたデータが RXD_x ビンにループバックされるようになります。IEEE ループバック・ビット (レジスタ 0x0000、ビット 14) をセットする必要があります。	0x1	R/W
11	RESERVED	予備。	0x0	R
10	LB_LD_SEL	このビットをセットすると、ライン・ドライバのループバックが選択されます。このレジスタ・ビットをセットした場合、ループバック・ビットをセットするたびに、PHY はライン・ドライバ・ループバック・モードに入ります。ライン・ドライバ・ループバック・モードでは、MDI ピンをオープンしたままにして、大きなインピーダンス不整合を生成します。PHY は、自身の送信からの反射を受信することで動作します。	0x0	R/W
9	LB_REMOTE_EN	このビットをセットすると、リモート・ループバックが有効になります。これにはリモート PHY とのリンク・アップが必要となり、PHY のすべてのデジタルおよびアナログ回路を使用して、リモート PHY から受信したデータをリモート PHY にループバックします。	0x0	R/W
8	ISOLATE_RX	このビットをセットすると、ループバック時に MAC に送信されるデータが抑制されます。	0x0	R/W
7	LB_EXT_EN	このビットをセットすると、外部ケーブル・ループバックが有効になります。この場合、ケーブルの終端でアナログ・ループバックを行うために、ペア 0 とペア 1 同士、およびペア 2 とペア 3 同士を短絡した外部ケーブルが必要です。PHY のすべてのデジタルおよびアナログ回路と信号処理は、送信信号がキャンセルされないように調整されます。IEEE ループバック・ビット (レジスタ 0x0000、ビット 14) はセットしないでください。	0x0	R/W
6	LB_TX_SUP	このビットをセットすると、全デジタル・ループバックで MDI ピンの送信信号が抑制されません。	0x1	R/W
[5:1]	RESERVED	予備。	0x0	R
0	LB_MII_LS_OK	このビットをセットすると、MII ループバック時にリンク・ステータス信号が okay に設定されます。	0x1	R/W

受信エラー・カウント・レジスタ

アドレス : 0x0014、リセット : 0x0000、レジスタ名 : RX_ERR_CNT

受信エラー・カウンタ・レジスタは、PHY のフレーム・チェッカに関連付けられた受信エラー・カウンタへのアクセスに使用します。

表 44. RX_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RX_ERR_CNT	これは、PHY のフレーム・チェッカに関連付けられた受信エラー・カウンタです。このビットは読み出し時に自動クリアされることに注意してください。	0x0	R

PHY 制御ステータス 2 レジスタ

アドレス：0x0015、リセット：0x0000、レジスタ名：PHY_CTRL_STATUS_2

このレジスタは、様々な PHY 制御およびステータス・レジスタ、特にオートネゴシエーション制御およびエネルギー検出パワーダウン制御ビットおよびステータス・ビットへのアクセスを提供します。

表 45. PHY_CTRL_STATUS_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	NRG_PD_EN	このビットをセットすると、エネルギー検出パワーダウンが有効になります。信号のエネルギーが数秒間検出されない場合、PHY はエネルギー検出パワーダウン・モードに入ります。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。 1：エネルギー検出パワーダウン・モードを有効化。 0：エネルギー検出パワーダウン・モードを無効化。	0x0	R/W
2	NRG_PD_TX_EN	このビットをセットすると、エネルギー検出パワーダウン時に PHY が定期的にウェイク・アップし、パルスをいくつか送信します。これは、回線の両端の PHY がエネルギー検出パワーダウン・モードになるようなロックアップ状態を回避するためです。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。 1：エネルギー検出パワーダウン・モードで、パルスの定期送信を有効化。 0：エネルギー検出パワーダウン・モードで、パルスの定期送信を無効化。	0x0	R/W
1	PHY_IN_NRG_PD	このステータス・ビットは、PHY がエネルギー検出パワーダウン・モードにあることを示します。 1：PHY はエネルギー検出パワーダウン・モードにある。 0：PHY はエネルギー検出パワーダウン・モードにない。	0x0	R
0	RESERVED	予備。	0x0	R/W

PHY 制御 2 レジスタ

アドレス：0x0016、リセット：0x0308、レジスタ名：PHY_CTRL_2

このレジスタは、クロッキング、グループ MDIO アクセス、および自動ネゴシエーションの制御のための様々な PHY 制御レジスタへのアクセスを提供します。

表 46. PHY_CTRL_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R/W
10	DN_SPEED_TO_10_EN	このビットをセットすると、10BASE-T へのダウンスピードが有効になります。オートネゴシエーションも有効化する必要があることに注意してください。PHY がリンクを高速で確立できない場合、10BASE-T に自動的に速度低下します（この速度がアダプタイズされていると仮定）。 1：10BASE-T へのダウンスピードを有効化。 0：10BASE-T へのダウンスピードを無効化。	0x0	R/W
[9:7]	RESERVED	予備。	0x6	R/W
6	GROUP_MDIO_EN	グループ MDIO イネーブル・レジスタ・ビットを使用すると、PHY をグループ MDIO モードにすることができます。このモードでは、PHY は自身の PHY アドレスへのアクセスであるかのように、PHY アドレス 5'd31 への書込みまたはアドレス操作に応答します。このビットは、特定のシーケンスを実行する場合にのみセットし、再度クリアすることを推奨します。	0x0	R/W
[5:0]	RESERVED	予備。	0x8	R/W

PHY 制御 3 レジスタ

アドレス：0x0017、リセット：0x3048、レジスタ名：PHY_CTRL_3

このレジスタは、リンク・イネーブル制御およびオートネゴシエーション制御用の PHY 制御レジスタ・ビットへのアクセスを提供します。

表 47. PHY_CTRL_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
13	LINK_EN	このビットをセットすると、リンクが有効になります。リンクを無効化した場合、PHY はスタンバイ状態になり、リンクの確立を試行しません。スタンバイ状態を使用して、ケーブル診断などの診断を実行できます。 1：リンクを有効化。 0：リンクを無効化。	0x1	R/W
[12:10]	NUM_SPEED_RETRY	ダウンスピードを有効化している場合、このレジスタ・ビットで、PHY がより低い速度をアダプタイズする前に、アダプタイズする速度でリンクを確立しようとする再試行回数を指定します。デフォルトでは、PHY はダウンスピードの前に 5 回（4 回再試行）リンクの確立を試みます。	0x4	R/W
[9:0]	RESERVED	予備。	0x48	R/W

割込みマスク・レジスタ

アドレス：0x0018、リセット：0x0000、レジスタ名：IRQ_MASK

割込みマスク・レジスタにより、割込みをマスクまたはマスク解除できます。

表 48. IRQ_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R/W
10	CBL_DIAG_IRQ_EN	ケーブル診断割込みイネーブル・ビット。 1：ケーブル診断割込みをイネーブル。 0：ケーブル診断割込みをディセーブル。	0x0	R/W
9	MDIO_SYNC_IRQ_EN	MDIO 同期喪失割込みイネーブル・ビット。 1：MDIO 同期喪失割込みをイネーブル。 0：MDIO 同期喪失割込みをディセーブル。	0x0	R/W
8	AN_STAT_CHNG_IRQ_EN	オートネゴシエーション・ステータス変化割込みイネーブル・ビット。 1：オートネゴシエーション・ステータス変化割込みをイネーブル。 0：オートネゴシエーション・ステータス変化割込みをディセーブル。	0x0	R/W
7	FC_FG_IRQ_EN	フレーム・チェック/ジェネレータ割込みイネーブル・ビット。 1：割込みをイネーブル。 0：割込みをディセーブル。	0x0	R/W
6	PAGE_RX_IRQ_EN	オートネゴシエーション・ページ受信割込みイネーブル・ビット。 1：オートネゴシエーション・ページ受信割込みをイネーブル。 0：オートネゴシエーション・ページ受信割込みをディセーブル。	0x0	R/W
5	IDLE_ERR_CNT_IRQ_EN	アイドル・エラー・カウンタ飽和割込みイネーブル・ビット。 1：アイドル・エラー・カウンタ飽和割込みをイネーブル。 0：アイドル・エラー・カウンタ飽和割込みをディセーブル。	0x0	R/W
4	FIFO_OU_IRQ_EN	MAC インターフェース FIFO オーバーフロー/アンダーフロー割込みイネーブル・ビット。 1：MAC インターフェースの FIFO オーバーフロー/アンダーフロー割込みをイネーブル。 0：MAC インターフェースの FIFO オーバーフロー/アンダーフロー割込みをディセーブル。	0x0	R/W
3	RX_STAT_CHNG_IRQ_EN	受信ステータス変化割込みイネーブル・ビット。 1：受信ステータス変化割込みをイネーブル。 0：受信ステータス変化割込みをディセーブル。	0x0	R/W
2	LNK_STAT_CHNG_IRQ_EN	リンク・ステータス変化割込みイネーブル・ビット。 1：リンク・ステータス変化割込みをイネーブル。 0：リンク・ステータス変化割込みをディセーブル。	0x0	R/W
1	SPEED_CHNG_IRQ_EN	速度変化割込みイネーブル・ビット。 1：速度変化割込みをイネーブル。 0：速度変化割込みをディセーブル。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
0	HW_IRQ_EN	セットすると、ハードウェア割込みピン INT_N が有効になり、割込みが生成されると INT_N がアサートされます。 1: ハードウェア割込みピン INT_N をイネーブル。 0: ハードウェア割込みピン INT_N をディスエーブル。	0x0	R/W

割込みステータス・レジスタ

アドレス: 0x0019、リセット: 0x0000、レジスタ名: IRQ_STATUS

割込みステータス・レジスタは、最後の読出し以降にトリガされた割込みを確認するのに使用します。関連する割込みがトリガされると、各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます（このレジスタのビットを読み出すと、レジスタのすべてのビットがラッチ解除されることに注意してください）。IRQ_STATUS のビットは、関連する割込みがイネーブルされていない場合でもハイになります。ただし、IRQ_PENDING 指示を生成する際には、有効な割込みに関連付けられているビットのみが考慮されます。

表 49. IRQ_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	CBL_DIAG_IRQ_STAT	ケーブル診断割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
9	MDIO_SYNC_IRQ_STAT	MDIO 同期喪失割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
8	AN_STAT_CHNG_IRQ_STAT	オートネゴシエーション・ステータス変化割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
7	FC_FG_IRQ_STAT	フレーム・チェック/ジェネレータの割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
6	PAGE_RX_IRQ_STAT	オートネゴシエーション・ページ受信割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
5	IDLE_ERR_CNT_IRQ_STAT	アイドル・エラー・カウンタ飽和割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
4	FIFO_OU_IRQ_STAT	MAC インターフェース RGMII 送信 FIFO オーバーフロー/アンダーフロー割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
3	RX_STAT_CHNG_IRQ_STAT	受信ステータス変化割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
2	LNK_STAT_CHNG_IRQ_STAT	リンク・ステータス変化割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
1	SPEED_CHNG_IRQ_STAT	速度変化割込みステータス・ビットが 1 の場合、最後の読出し以降に、該当する割込みがトリガされたことを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R
0	IRQ_PENDING	割込み保留ステータス・ビットが 1 の場合、割込みが発生して保留中であることを示します。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされることに注意してください。	0x0	R

PHY ステータス 1 レジスタ

アドレス：0x001A、リセット：0x0300、レジスタ名：PHY_STATUS_1

このレジスタは、様々な PHY ステータス・レジスタへのアクセスを提供します。

表 50. PHY_STATUS_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PHY_IN_STNDBY	1 は、PHY がスタンバイ状態にあり、リンクの確立を試行しないことを示します。スタンバイ状態を使用して、ケーブル診断などの診断を実行できません。	0x0	R
14	Reserved	予備。	0x0	R
13	PAR_DET_FLT_STAT	並列検出故障ステータス・ビット。1 は、並列検出プロセスで故障が発生したことを示します。このビットは、PAR_DET_FLT (AUTONEG_EXP レジスタ、アドレス 0x0006) のコピーです。PAR_DET_FLT_STAT ビットを読み出しても、PAR_DET_FLT はクリアされません。	0x0	R
12	AUTONEG_STAT	オートネゴシエーション・ステータス・ビット。1 は、オートネゴシエーションが完了したことを示します。このビットは AUTONEG_DONE (MII_STATUS レジスタ、アドレス 0x0001) のコピーです。AUTONEG_STAT ビットを読み出しても、AUTONEG_DONE はクリアされません。	0x0	R
11	PAIR_01_SWAP	1 は、ペア 0 とペア 1 が交換されたことを示します。	0x0	R
10	B_10_POL_INV	1 は、10BASE-T 信号の極性が反転したことを示します。	0x0	R
[9:7]	HCD_TECH	このフィールドは、リンク確立後に解決されたテクノロジーを示します。 111：予備。 110：予備。 101：予備。 100：予備。 011：速度が 100BASE-TX 全二重に解決された。 010：速度が 100BASE-TX 半二重に解決された。 001：速度が 10BASE-T 全二重に解決された。 000：速度が 10BASE-T 半二重に解決された。	0x6	R
6	LINK_STAT	1 は、リンクが確立していること (リンク・アップ) を示します。	0x0	R
5	TX_EN_STAT	1 は、送信イネーブル (TX_EN) がアサートされていることを示します。	0x0	R
4	RX_DV_STAT	1 は、有効な受信データ (RX_DV) がアサートされていることを示します。	0x0	R
3	COL_STAT	1 は、コリジョンがアサートされていることを示します。	0x0	R
2	AUTONEG_SUP	1 は、ローカル PHY とリモート PHY の両方がオートネゴシエーションに対応していることを示します。	0x0	R
1	LP_PAUSE_ADV	1 は、リンク・パートナーが一時停止をアダプタイズしたことを示します。リンク・パートナー一時停止アダプタイズメント・ビットは、リンク・パートナーが全二重リンクでの一時停止操作に対応していることをアダプタイズしたことを示します。このビットは、LP_PAUSE_ABLE と同じ情報を提供しません。	0x0	R
0	LP_APAUSE_ADV	1 は、リンク・パートナーが非対称一時停止をアダプタイズしたことを示します。リンク・パートナー非対称一時停止アダプタイズメント・ビットは、リンク・パートナーが全二重リンクでの非対称一時停止操作に対応していることをアダプタイズしたことを示します。このビットは、LP_APAUSE_ABLE と同じ情報を提供します。	0x0	R

LED 制御 1 レジスタ

アドレス：0x001B、リセット：0x0001、レジスタ名：LED_CTRL_1

このレジスタは、PHY の様々な LED 制御レジスタ・ビットへのアクセスを提供します。

表 51. LED_CTRL_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R/W
10	LED_A_EXT_CFG_EN	LED_0 ピンの拡張構成セットを有効化します。LED_CTRL_2 レジスタ、アドレス 0x001C、ビット [3:0] も参照してください。 1：LED_0 ピンの拡張構成セットをイネーブル。 0：LED_0 ピンの拡張構成セットをディスエーブル。	0x0	R/W
[9:8]	RESERVED	予備。	0x0	R
[7:4]	LED_PAT_PAUSE_DUR	LED_0 の内部 LED パターン休止期間。点滅パターンが LED_0 ピンで駆動された後、LED パターン休止期間レジスタ・フィールドで指定した期間、最後のビットが保持されます。この期間は、LED 点滅期間の値（各ビットの時間など）に LED パターン休止期間レジスタ・フィールドの値を掛けた値です。LED_PAT レジスタ・フィールド（LED_CTRL_3 レジスタ、アドレス 0x001D、ビット [7:0]）および LED_PAT_TICK_DUR レジスタ・フィールド（LED_CTRL_3 レジスタ、アドレス 0x001D、ビット [13:8]）も参照してください。デフォルトの点滅パターンは、0.5 秒オンおよび 0.5 秒オフです。	0x0	R/W
[3:2]	LED_PUL_STR_DUR_SEL	このビット・フィールドは、パルス・ストレッチの持続時間を選択します。 11：ユーザ設定可能。この場合、パルス・ストレッチの持続時間は、LED_PUL_STR_DUR レジスタ（アドレス 0xBC00、ビット [5:0]）で設定できます。 10：102ms。 01：64ms。 00：32ms。	0x0	R/W
1	LED_OE_N	LED アクティブ・ロー出力イネーブル・レジスタ・ビット。 1：LED 出力をディスエーブル。 0：LED 出力をイネーブル。	0x0	R/W
0	LED_PUL_STR_EN	このビットをセットすると、送信、受信、またはコリジョン LED イベントのパルス・ストレッチが有効になり、非常に短期間のイベントを見えるようにします。LED パルス・ストレッチ・イネーブル・レジスタは、PHY が送信、受信、またはコリジョンを示すパルスを送受信する必要があることを示します。ストレッチしなければ、これらのパルスは短すぎて LED を点灯させることができません。	0x1	R/W

LED 制御 2 レジスタ

アドレス：0x001C、リセット：0x210A、レジスタ名：LED_CTRL_2

このレジスタは、PHY の様々な LED 制御レジスタ・ビットへのアクセスを提供します。

表 52. LED_CTRL_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x210	R/W
[3:0]	LED_A_CFG	LED_0 は 5 ビットで構成されています。これらのうちの 4 ビット、ビット [3:0] は LSB であり、ビット 4 は LED_A_EXT_CFG_EN (LED_CTRL_1 レジスタ、アドレス 0x001B) のコピーです。5 ビットを組み合わせると LED_0 が構成され、以下の設定に従って 32 種類の構成機能のいずれかが選択されます。デフォルト設定は 01010 です（リンク・アップの場合に点灯し、アクティビティ時に点滅）。 11111：10BASE-Te リンクの場合に点灯し、100BASE-TX リンクの場合に点滅。 11110：10BASE-Te リンクの場合に点灯。 11101：100BASE-TX リンクの場合に点灯し、10BASE-Te リンクの場合に点滅。 11100：100BASE-TX リンクの場合に点灯。 11011：10BASE-Te リンクの場合に点滅。 11010：送信する場合に点滅。 11001：アクティビティ時に点滅。 11000：予備。 10111：予備。 10110：予備。 10101：予備。	0xA	R/W

ビット	ビット名	説明	リセット	アクセス
		10100 : 予備。 10011 : 100BASE-TX リンクの場合に点灯し、アクティビティ時に点滅。 10010 : 10BASE-Te リンクの場合に点灯し、アクティビティ時に点滅。 10001 : 予備。 10000 : 10BASE-Te または 100BASE-TX リンクの場合に点灯。 01111 : 消灯。 01110 : 点灯。 01101 : 点滅。 01100 : 全二重リンクの場合に点灯し、コリジョン時に点滅。 01011 : リンクの場合に点灯し、受信の場合に点滅。 01010 : リンクの場合に点灯し、アクティビティ時に点滅。 01001 : コリジョンの場合に点灯。 01000 : 全二重リンクの場合に点灯。 00111 : アクティビティ時に点滅 (送信または受信)。 00110 : 受信の場合に点灯。 00101 : 送信の場合に点灯。 00100 : リンク・アップの場合に点灯。 00011 : 100BASE-TX の場合に点滅。 00010 : 予備。 00001 : 予備。 00000 : 予備。		

LED 制御 3 レジスタ

アドレス : 0x001D、リセット : 0x1855、レジスタ名 : LED_CTRL_3

このレジスタは、PHY の様々な LED 制御レジスタ・ビットへのアクセスを提供します。

表 53. LED_CTRL_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	LED_PAT_SEL	LED_PAT_SEL ビット・フィールドは常に 2'b00 であり、LED_PAT、LED_PAT_TICK_DUR、および LED_PAT_PAUSE_DUR ビット・フィールドにより LED_0 の点滅パターンを設定できます。 11 : 予備。 10 : 予備。 01 : 予備。 00 : LED_0 点滅パターン・レジスタへの読書きアクセス。	0x0	R/W
[13:8]	LED_PAT_TICK_DUR	点滅パターン・ビット・フィールド (LED_PAT) の各ビットは対応する LED ピンに駆動され、この 6 ビットの LED パターン期間ビット・フィールドで指定した期間保持されます。持続時間は、このレジスタの値に 1 を足し、更に 8 を掛けたものになります (例えば、8 ミリ秒、16 ミリ秒、・・・、504 ミリ秒)。値 63 は、1 ミリ秒の点滅期間という特別な意味になります。LED_PAT_PAUSE_DUR ビット・フィールド (LED_CTRL_1 レジスタ、アドレス 0x001B) も参照してください。デフォルトの点滅パターンは、0.5 秒オンおよび 0.5 秒オフです。	0x18	R/W
[7:0]	LED_PAT	LED_0 の内部 LED パターンは、このフィールドで読書きできます。LED_PAT_SEL フィールドは、LED_0 のどの内部点滅パターン・レジスタのセットにアクセスするかを選択します。LED パターンのデフォルト値は 0x55 であるため、0/1 の交互パターンとなります (LED_CTRL_1 レジスタ、アドレス 0x001B)。デフォルトの点滅パターンは、0.5 秒オンおよび 0.5 秒オフです。	0x55	R/W

PHY ステータス 2 レジスタ

アドレス：0x001F、リセット：0x03FC、レジスタ名：PHY_STATUS_2

このレジスタは、様々な PHY ステータス・レジスタ・ビットへのアクセスを提供します。

表 54. PHY_STATUS_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
11	PAIR_1_POL_INV	1 は、ペア 1 の極性が反転したことを示します。	0x0	R
10	PAIR_0_POL_INV	1 は、ペア 0 の極性が反転したことを示します。	0x0	R
[9:0]	RESERVED	予備。	0x1FE	R

高エネルギー効率イーサネット・ケイパビリティ・レジスタ

アドレス：0x8000、リセット：0x0006、レジスタ名：EEE_CAPABILITY

このアドレスは IEEE 802.3 規格の条項 45.2.3.9 で規定されている EEE のケイパビリティ・レジスタに相当し、IEEE 規格では MMD レジスタ・アドレス 3.20 となっています。このレジスタは、各タイプの PHY の EEE 機能に対応する PCS の機能を示すのに使用されます。

表 55. EEE_CAPABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	EEE_10_G_KR_SPRT	10GBASE-KR EEE ケイパビリティ・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-KR は EEE に対応している。 0 : 10GBASE-KR は EEE に対応していない。	0x0	R
5	EEE_10_G_KX_4_SPRT	10GBASE-KX4 EEE ケイパビリティ・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-KX4 は EEE に対応している。 0 : 10GBASE-KX4 は EEE に対応していない。	0x0	R
4	EEE_1000_KX_SPRT	1000BASE-KX EEE ケイパビリティ・ビットは常に 1'b0 として読み出されます。 1 : 1000BASE-KX は EEE に対応している。 0 : 1000BASE-KX は EEE に対応していない。	0x0	R
3	EEE_10_G_SPRT	10GBASE-T EEE ケイパビリティ・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-T は EEE に対応している。 0 : 10GBASE-T は EEE に対応していない。	0x0	R
2	EEE_1000_SPRT	1000BASE-T EEE ケイパビリティ・ビットは常に 1'b1 として読み出されます。 1 : 1000BASE-T は EEE に対応している。 0 : 1000BASE-T は EEE に対応していない。	0x1	R
1	EEE_100_SPRT	100BASE-TX EEE ケイパビリティ・ビットは常に 1'b1 として読み出されます。 1 : 100BASE-TX は EEE に対応している。 0 : 100BASE-TX は EEE に対応していない。	0x1	R
0	RESERVED	予備。	0x0	R

高エネルギー効率イーサネット・アドバタイズメント・レジスタ

アドレス：0x8001、リセット：0x0000、レジスタ名：EEE_ADV

このアドレスは IEEE 802.3 規格の条項 45.2.7.13 で規定されている EEE アドバタイズメント・レジスタに相当し、IEEE 規格では MMD レジスタ・アドレス 7.60 となっています。このレジスタは、オートネゴシエーション時の EEE アドバタイズメントの定義に使用します。このレジスタのリセット値は、ハードウェア構成ピンが EEE を有効化するように設定されている場合は 0x0006 で、それ以外の場合は 0x0000 です。

表 56. EEE_ADV のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	EEE_10_G_KR_ADV	10GBASE-KR EEE アドバタイズメント・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-KR が EEE 対応であることをアドバタイズする。 0 : 10GBASE-KR が EEE 対応であることをアドバタイズしない。	0x0	R

ビット	ビット名	説明	リセット	アクセス
5	EEE_10_G_KX_4_ADV	10GBASE-KX4 EEE アドバイズメント・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-KX4 が EEE 対応であることをアドバタイズする。 0 : 10GBASE-KX4 が EEE 対応であることをアドバタイズしない。	0x0	R
4	EEE_1000_KX_ADV	1000BASE-KX EEE アドバイズメント・ビットは常に 1'b0 として読み出されます。 1 : 1000BASE-KX が EEE 対応であることをアドバタイズする。 0 : 1000BASE-KX が EEE 対応であることをアドバタイズしない。	0x0	R
3	EEE_10_G_ADV	10GBASE-T EEE アドバイズメント・ビットは常に 1'b0 として読み出されます。 1 : 10GBASE-T が EEE 対応であることをアドバタイズする。 0 : 10GBASE-T が EEE 対応であることをアドバタイズしない。	0x0	R
2	EEE_1000_ADV	1000BASE-T EEE アドバイズメント・レジスタ・ビットは常に 1'b0 として読み出されます。 1 : 1000BASE-T が EEE 対応であることをアドバタイズする。 0 : 1000BASE-T が EEE 対応であることをアドバタイズしない。	0x0	R/W
1	EEE_100_ADV	100BASE-TX EEE アドバイズメント・レジスタ・ビットのデフォルト値は、ハードウェア構成ピンの設定に依存します。これらのピンによって EEE が有効化されている場合、デフォルト値は 1'b1 であり、無効化されている場合のデフォルト値は 1'b0 です。 1 : 100BASE-TX が EEE 対応であることをアドバタイズする。 0 : 100BASE-TX が EEE 対応であることをアドバタイズしない。	0x0	R/W
0	RESERVED	予備。	0x0	R

高エネルギー効率リンク・パートナー・アビリティ・レジスタ

アドレス : 0x8002、リセット : 0x0000、レジスタ名 : EEE_LP_ABILITY

このアドレスは IEEE 802.3 規格の条項 45.2.7.14 で規定されている EEE リンク・パートナーアビリティ・レジスタに相当し、IEEE 規格では MMD レジスタ・アドレス 7.61 となっています。このレジスタは、オートネゴシエーション時のリンク・パートナーの EEE アドバイズメントを反映します。

表 57. EEE_LP_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
6	LP_EEE_10_G_KR_ABLE	リンク・パートナー10GBASE-KR EEE アビリティ・ビット。 1 : リンク・パートナーは 10GBASE-KR が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 10GBASE-KR が EEE 対応であることをアドバタイズしていない。	0x0	R
5	LP_EEE_10_G_KX_4_ABLE	リンク・パートナー10GBASE-KX4 EEE アビリティ・ビット。 1 : リンク・パートナーは 10GBASE-KX4 が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 10GBASE-KX4 が EEE 対応であることをアドバタイズしていない。	0x0	R
4	LP_EEE_1000_KX_ABLE	リンク・パートナー1000BASE-KX EEE アビリティ・ビット。 1 : リンク・パートナーは 1000BASE-KX が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 1000BASE-KX が EEE 対応であることをアドバタイズしていない。	0x0	R
3	LP_EEE_10_G_ABLE	リンク・パートナー10GBASE-T EEE アビリティ・ビット。 1 : リンク・パートナーは 10GBASE-T が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 10GBASE-T が EEE 対応であることをアドバタイズしていない。	0x0	R
2	LP_EEE_1000_ABLE	リンク・パートナー1000BASE-T EEE アビリティ・ビット。 1 : リンク・パートナーは 1000BASE-T が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 1000BASE-T が EEE 対応であることをアドバタイズしていない。	0x0	R
1	LP_EEE_100_ABLE	リンク・パートナー100BASE-TX EEE アビリティ・ビット。 1 : リンク・パートナーは 100BASE-TX が EEE 対応であることをアドバタイズしている。 0 : リンク・パートナーは 100BASE-TX が EEE 対応であることをアドバタイズしていない。	0x0	R
0	RESERVED	予備。	0x0	R

高エネルギー効率イーサネット解決レジスタ

アドレス：0x8008、リセット：0x0000、レジスタ名：EEE_RSLVD

このレジスタは、リンク確立後に解決されたテクノロジーが EEE 対応かどうかを示します。

表 58. EEE_RSLVD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	EEE_RSLVD	このレジスタは、リンク確立後に解決されたテクノロジーが EEE 対応であることを示します。これはベンダ固有のレジスタ・ビットです。 1：解決されたテクノロジーは EEE 対応である。	0x0	R

平均二乗誤差 A レジスタ

アドレス：0x8402、リセット：0x0000、レジスタ名：MSE_A

このレジスタは信号品質の指標であり、ディメンジョン A での平均二乗誤差の測定値です。

表 59. MSE_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	MSE_A	このレジスタは、100BASE-TX リンクがアップ状態のときの信号品質の指標であり、ディメンジョン A での平均二乗誤差の測定値です。	0x0	R

拡張リンク検出イネーブル・レジスタ

アドレス：0x8E27、リセット：0x003D、レジスタ名：FLD_EN

このレジスタは、拡張リンク検出機能の有効化を制御します。この機能は、リンク喪失の早期検出および指示を行います。

表 60. FLD_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
7	FLD_PCS_ERR_B_100_EN	100BASE-TX 用の拡張リンク検出 PCS 受信エラー検出イネーブル。	0x0	R/W
6	RESERVED	予備。	0x0	R/W
5	FLD_SLCR_OUT_STUCK_B_100_EN	100BASE-TX 用の拡張リンク検出 PMA スライサ出力スタック検出イネーブル。	0x1	R/W
4	RESERVED	予備。	0x1	R/W
3	FLD_SLCR_IN_ZDET_B_100_EN	100BASE-TX 用の拡張リンク検出 PMA スライサ入力ゼロ検出イネーブル。	0x1	R/W
2	RESERVED	予備。	0x1	R/W
1	FLD_SLCR_IN_INVLD_B_100_EN	100BASE-TX 用の拡張リンク検出 PMA スライサ入力無効レベル検出イネーブル。ハイに設定すると有効になります。	0x0	R/W
0	RESERVED	予備。	0x1	R/W

拡張リンク検出ラッチ・ステータス・レジスタ

アドレス：0x8E38、リセット：0x0000、レジスタ名：FLD_STAT_LAT

このレジスタは、拡張リンク検出機能をラッチしたステータスです。このビットをクリアしても、次のリンク・アップが開始されるまではラッチされます。

表 61. FLD_STAT_LAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予備。	0x0	R
13	FAST_LINK_DOWN_LAT	メイン拡張リンク検出をラッチした指示。	0x0	R
[12:0]	RESERVED	予備。	0x0	R

受信 MII クロック・ストップ・イネーブル・レジスタ

アドレス：0x9400、リセット：0x0400、レジスタ名：RX_MII_CLK_STOP_EN

このアドレスは IEEE 802.3 規格の条項 45.2.3.1.4 で規定されているクロック・ストップイネーブル・ビットが含まれ、IEEE 規格では MMD レジスタ・アドレス 3.0、ビット 10 となっています。

表 62. RX_MII_CLK_STOP_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	RX_MII_CLK_STOP_EN	このビットをセットすると、PHY は低消費電力イネーブル (LPI) を通知している間、受信 MII クロックを停止することができます。それ以外の場合は、クロックをアクティブに保ちます。 1：PHY は LPI 中にクロックを停止可能。 0：クロックは停止不可能。	0x1	R/W
[9:0]	RESERVED	予備。	0x0	R

PCS ステータス 1 レジスタ

アドレス：0x9401、リセット：0x0040、レジスタ名：PCS_STATUS_1

このレジスタに含まれるビットは、IEEE 802.3 規格の条項 45.2.3.2 で規定されている PCS ステータス 1 レジスタのビットに相当し、IEEE 規格では MMD レジスタ・アドレス 3.1、ビット [11:8] およびビット 6 になります。

表 63. PCS_STATUS_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予備。	0x0	R
11	TX_LPI_RCVD	送信 LPI 受信ビットは、TX_LPI をラッチしたものです。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：送信 PCS は LPI を受信した。 0：LPI を受信していない。	0x0	R
10	RX_LPI_RCVD	受信 LPI 受信ビットは、RX_LPI をラッチしたものです。このビットがハイになると、読出しによってラッチが解除されるまでハイにラッチされます。 1：受信 PCS は LPI を受信した。 0：LPI を受信していない。	0x0	R
9	TX_LPI	送信 LPI ビット。 1：送信 PCS は現在 LPI を受信中。 0：PCS は現在 LPI を受信していない。	0x0	R
8	RX_LPI	受信 LPI ビット。 1：受信 PCS は現在 LPI を受信中。 0：PCS は現在 LPI を受信していない。	0x0	R
7	RESERVED	予備。	0x0	R
6	TX_MII_CLK_STOP_CPBL	送信 MII クロック・ストップ・ケイパビリティ・ビットは、常に 1'b1 として読み出されます。 1：MAC は LPI 時にクロックを停止可能。 0：クロックは停止不可能。	0x1	R
[5:0]	RESERVED	予備。	0x0	R

フレーム・チェッカ・イネーブル・レジスタ

アドレス：0x9403、リセット：0x0001、レジスタ名：FC_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・チェッカは、MAC インターフェースまたは PHY (FC_TX_SEL レジスタ、アドレス 0x9407、ビット 0 を参照) から受信したフレームを分析して、受信したフレーム数、CRC エラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

表 64. FC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_EN	このビットをセットすると、フレーム・チェッカをイネーブルします。	0x1	R/W

フレーム・チェッカ割込みイネーブル・レジスタ

アドレス：0x9406、リセット：0x0001、レジスタ名：FC_IRQ_EN

このレジスタは、フレーム・チェッカの割込みをイネーブルするのに使用します。受信エラーが発生すると、割込みが生成されます。割込みマスク・レジスタでフレーム・チェッカ/ジェネレータの割込みをイネーブルします。FC_FG_IRQ_EN ビット (IRQ_MASK レジスタ、アドレス 0x0018) をセットします。割込みステータスは、FC_FG_IRQ_STAT ビット (IRQ_STATUS レジスタ、アドレス 0x0019) で読み出すことができます。

表 65. FC_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_IRQ_EN	セットすると、このビットはフレーム・チェッカ割込みをイネーブルします。	0x1	R/W

フレーム・チェッカ送信選択レジスタ

アドレス：0x9407、リセット：0x0000、レジスタ名：FC_TX_SEL

このレジスタは、フレームを送信側または受信側のいずれで検査するかを選択するために使用します。セットすると、MAC インターフェースで受信された送信フレームが検査されます。フレーム・チェッカを使用すると、MAC インターフェース経由で正しいデータが受信されたことを検証できます。また、MAC インターフェースでループバックされた後の受信データを検査するのにも使用できるため、リモート・ループバックを有効にした場合も便利です (PHY_CTRL_STATUS_1 レジスタ、アドレス 0x0013、ビット 9 の LB_REMOTE_EN ビットをセット)。

表 66. FC_TX_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FC_TX_SEL	このビットをセットすると、PHY が送信し、受信されたフレームをフレーム・チェッカが検査するように指定します。 1：PHY が送信し、MAC インターフェースで受信されたフレームを検査する。 0：リモート・エンドから送信され、PHY が受信したフレームを確認する。	0x0	R/W

フレーム・チェッカ最大フレーム・サイズ・レジスタ

アドレス：0x9408、リセット：0x05F2、レジスタ名：FC_MAX_FRM_SIZE

このレジスタは、最大フレーム・サイズを指定します。このサイズより長いフレームは、オーバーサイズ・フレームとしてカウントされます。

表 67. FC_MAX_FRM_SIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_MAX_FRM_SIZE	このビット・フィールドは最大フレーム・サイズを指定します。これより長い受信フレームは、オーバーサイズ・フレームとしてカウントされます。このフレーム長には、プリアンブルと開始フレーム区切りが含まれないことに注意してください。	0x5F2	R/W

フレーム・チェッカ・カウンタ・ハイ・レジスタ

アドレス：0x940A、リセット：0x0000、レジスタ名：FC_FRM_CNT_H

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット [31:16] をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) が読み出されると、受信フレーム・カウンタ・レジスタがラッチされます。RX_ERR_CNT を読み出すと、受信フレーム・カウンタ・レジスタのコピーがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 68. FC_FRM_CNT_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_H	受信フレーム数をラッチしたコピーのビット [31:16]。	0x0	R

フレーム・チェッカ・カウンタ・ロー・レジスタ

アドレス：0x940B、リセット：0x0000、レジスタ名：FC_FRM_CNT_L

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット [15:0] をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) が読み出されると、受信フレーム・カウンタ・レジスタがラッチされます。エラー・カウンタと受信フレーム・カウンタが同期されるように、RX_ERR_CNT が読み出されると、受信フレーム・カウンタ・レジスタのコピーがラッチされます。

表 69. FC_FRM_CNT_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_L	受信フレーム数をラッチしたコピーのビット [15:0]。	0x0	R

フレーム・チェッカ・レングス・エラー・カウンタ・レジスタ

アドレス：0x940C、リセット：0x0000、レジスタ名：FC_LEN_ERR_CNT

このレジスタは、フレーム長エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム長エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、フレーム長エラー・カウンタ・レジスタがラッチされるため、フレーム長エラー・カウンタと受信フレーム・カウンタが同期します。

表 70. FC_LEN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_LEN_ERR_CNT	フレーム長エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アライメント・エラー・カウンタ・レジスタ

アドレス：0x940D、リセット：0x0000、レジスタ名：FC_ALGN_ERR_CNT

このレジスタは、フレーム・アライメント・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、アライメント・エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、アライメント・エラー・カウンタ・レジスタがラッチされるため、フレーム・アライメント・エラー・カウンタと受信フレーム・カウンタが同期します。

表 71. FC_ALGN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ALGN_ERR_CNT	フレーム・アライメント・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ

アドレス：0x940E、リセット：0x0000、レジスタ名：FC_SYMB_ERR_CNT

このレジスタは、シンボル・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、RX_ER と RX_DV の両方がセットされた受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、シンボル・エラー・カウンタ・レジスタがラッチされるため、フレーム・シンボル・エラー・カウンタと受信フレーム・カウンタが同期します。

表 72. FC_SYMB_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_SYMB_ERR_CNT	シンボル・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・オーバーサイズ・フレーム・カウント・レジスタ

アドレス：0x940F、リセット：0x0000、レジスタ名：FC_OSZ_CNT

このレジスタは、オーバーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム・チェッカ最大フレーム・サイズ (FC_MAX_FRM_SIZE レジスタ、アドレス 0x9407) で指定された長さを超える受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、オーバーサイズ・フレーム・エラー・カウンタ・レジスタがラッチされるため、オーバーサイズ・フレーム・エラー・カウンタと受信フレーム・カウントが同期します。

表 73. FC_OSZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_OSZ_CNT	オーバーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アンダーサイズ・フレーム・カウント・レジスタ

アドレス：0x9410、リセット：0x0000、レジスタ名：FC_USZ_CNT

このレジスタは、アンダーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが 64 バイト未満の受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、アンダーサイズ・フレーム・エラー・カウンタ・レジスタがラッチされるため、アンダーサイズ・フレーム・エラー・カウンタと受信フレーム・カウントが同期します。

表 74. FC_USZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_USZ_CNT	アンダーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ

アドレス：0x9411、リセット：0x0000、レジスタ名：FC_ODD_CNT

このレジスタは、奇数ニブル・フレーム・カウンタ・レジスタをラッチしたコピーです。このレジスタは、100BASE-TX または 10BASE-T モードでフレーム内に奇数個のニブルがある受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、奇数ニブル・フレーム・カウンタ・レジスタがラッチされるため、奇数ニブル・フレーム・カウントと受信フレーム・カウントが同期します。

表 75. FC_ODD_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_CNT	奇数ニブル・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数プリアンブル・パケット・カウント・レジスタ

アドレス：0x9412、リセット：0x0000、レジスタ名：FC_ODD_PRE_CNT

このレジスタは、奇数プリアンブル・パケット・カウンタ・レジスタをラッチしたコピーです。このレジスタは、100BASE-TX モードでプリアンブル内に奇数個のニブルがある受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、奇数プリアンブル・パケット・カウンタ・レジスタがラッチされるため、奇数プリアンブル・パケット・カウントと受信フレーム・カウントが同期します。

表 76. FC_ODD_PRE_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_PRE_CNT	奇数プリアンブル・パケット・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・ドリブル・ビット・フレーム・カウント・レジスタ

アドレス：0x9413、リセット：0x0000、レジスタ名：FC_DRIBBLE_BITS_CNT

このレジスタは、ドリブル・ビット・フレーム・カウンタ・レジスタをラッチしたコピーです。このレジスタは、10BASE-T モードで整数個以外のニブルを持つ受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、ドリブル・ビット・フレーム・カウンタ・レジスタがラッチされるため、ドリブル・ビット・フレーム・カウントと受信フレーム・カウントが同期します。

表 77. FC_DRIBBLE_BITS_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_DRIBBLE_BITS_CNT	ドリブル・ビット・フレーム・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ偽キャリア・カウンタ・レジスタ

アドレス：0x9414、リセット：0x0000、レジスタ名：FC_FALSE_CARRIER_CNT

このレジスタは、偽キャリア・イベント・カウンタ・レジスタをラッチしたコピーです。これは、不正 SSD 状態になった回数のカウンタです。受信エラー・カウンタ (RX_ERR_CNT レジスタ、アドレス 0x0014) を読み出すと、偽キャリア・イベント・カウンタ・レジスタがラッチされるため、偽キャリア・イベント・カウンタと受信フレーム・カウンタが同期します。

表 78. FC_FALSE_CARRIER_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FALSE_CARRIER_CNT	偽キャリア・イベント・カウンタをラッチしたコピー。	0x0	R

フレーム・ジェネレータ・イネーブル・レジスタ

アドレス：0x9415、リセット：0x0000、レジスタ名：FG_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・ジェネレータをイネーブルした場合、PHY のデータ・ソースは MAC インターフェースではなくフレーム・ジェネレータから取得されます。フレーム・ジェネレータを使用するには、診断クロックもイネーブルする必要があります。DIAG_CLK_EN ビット (PHY_CTRL_1 レジスタ、アドレス 0x0012、ビット 2) をセットします。

表 79. FG_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_EN	このビットをセットすると、内蔵フレーム・ジェネレータを有効化します。	0x0	R/W

フレーム・ジェネレータ制御および再起動レジスタ

アドレス：0x9416、リセット：0x0001、レジスタ名：FG_CNTRL_RSTRT

このレジスタは、フレーム・ジェネレータの制御および再起動機能を提供します。

表 80. FG_CNTRL_RSTRT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
3	FG_RSTRT	このビットをセットすると、フレーム・チェッカが再起動します。このビットはセルフ・クリア・ビットです。	0x0	R/W
[2:0]	FG_CNTRL	このビット・フィールドは、以下のエンコーディングに従ってフレーム・ジェネレータを制御します。 111：予備。 110：予備。 101：データ・フィールドが 255 (10進数) から 0 に減少。 100：MAC クライアント・データ・フレーム・フィールドを 0x55 に入れ替え。 011：MAC クライアント・データ・フレーム・フィールドがすべて 1。 010：MAC クライアント・データ・フレーム・フィールドがすべてゼロ。 001：MAC クライアント・データ・フレーム・フィールドが乱数。 000：現在のフレーム完了後はフレームなし。	0x1	R/W

フレーム・ジェネレータ連続モード・イネーブル・レジスタ

アドレス：0x9417、リセット：0x0000、レジスタ名：FG_CONT_MODE_EN

このレジスタは、フレーム・ジェネレータを連続モードにするのに使用します。デフォルトの動作モードはバースト・モードです。バースト・モードの場合、生成フレームの数は、FG_NFRM_H レジスタ（アドレス 0x941C）と FG_NFRM_L レジスタ（アドレス 0x941D）で指定します。

表 81. FG_CONT_MODE_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_CONT_MODE_EN	このビットは、フレーム・ジェネレータを連続モードまたはバースト・モードにするのに使用します。 1：フレーム・ジェネレータは連続モードで動作。このモードでは、フレーム・ジェネレータはフレームを無期限に生成し続けます。 0：フレーム・ジェネレータはバースト・モードで動作。このモードでは、フレーム・ジェネレータは単一バーストのフレームを生成して停止します。バースト中のフレーム数は、FG_NFRM_H レジスタと FG_NFRM_L レジスタで指定します。	0x0	R/W

フレーム・ジェネレータ割込みイネーブル・レジスタ

アドレス：0x9418、リセット：0x0000、レジスタ名：FG_IRQ_EN

このレジスタは、フレーム・ジェネレータ割込みをイネーブルするのに使用します。要求した数のフレームが生成されると、割込みが生成されます。IRQ_MASK レジスタでフレーム・チェッカ/ジェネレータ割込みをイネーブルします。FC_FG_IRQ_EN ビット（アドレス 0x0018、ビット 7）をセットします。割込みステータスは、IRQ_STATUS レジスタの FC_FG_IRQ_STAT ビット（アドレス 0x0019、ビット 7）から読み出すことができます。

表 82. FG_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_IRQ_EN	このビットをセットすると、設定したフレーム数を送信したときにフレーム・ジェネレータが割込みを生成するように指定します。 1：フレーム・ジェネレータの割込みをイネーブル。 0：フレーム・ジェネレータの割込みをディスエーブル。	0x0	R/W

フレーム・ジェネレータ・フレーム長レジスタ

アドレス：0x941A、リセット：0x006B、レジスタ名：FG_FRM_LEN

このレジスタは、MAC クライアント・データ・フィールドのフレーム長をバイト単位で指定します。データ・フィールドに加えて、6 バイトの送信元アドレスに、6 バイトの宛先アドレス、2 バイトの長さフィールドに、4 バイトのフレーム・チェック・シーケンス (FCS) が追加されます。合計フレーム長は、データ・フィールド長に 18 を加えたものになります。

表 83. FG_FRM_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_FRM_LEN	バイト単位のデータ・フィールド・フレーム長。	0x6B	R/W

フレーム・ジェネレータ・フレーム間ギャップ・レジスタ

アドレス：0x941B、リセット：0x000C、レジスタ名：FG_IFG_LEN

このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。

表 84. FG_IFG_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	FG_IFG_LEN	フレーム間ギャップ長 (バイト単位)	0xC	R/W

フレーム・ジェネレータ・フレーム数ハイ・レジスタ

アドレス：0x941C、リセット：0x0000、レジスタ名：FG_NFRM_H

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット [31:16] です。

表 85. FG_NFRM_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_H	生成されるフレーム数のビット [31:16]。	0x0	R/W

フレーム・ジェネレータ・フレーム数ロー・レジスタ

アドレス：0x941D、リセット：0x0100、レジスタ名：FG_NFRM_L

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット [15:0] です。

表 86. FG_NFRM_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_L	生成されるフレーム数のビット [15:0]。	0x100	R/W

フレーム・ジェネレータ完了レジスタ

アドレス：0x941E、リセット：0x0000、レジスタ名：FG_DONE

このレジスタは、フレーム・ジェネレータが FG_NFRM_H レジスタ（アドレス 0x941C）および FG_NFRM_L レジスタ（アドレス 0x941D）で要求されたフレーム数の生成を完了したことを示すのに使用されます。

表 87. FG_DONE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FG_DONE	このビットが 1'b1 として読み出されると、フレームの生成が完了したことを示します。このビットがセットされると、読出しによってラッチが解除されるまでハイにラッチされます。	0x0	R

FIFO_SYNC レジスタ

アドレス：0x9427、リセット：0x0000、レジスタ名：FIFO_SYNC

セットすると、送信 FIFO が同期動作に構成されて、遅延を最小限に抑えます。

表 88. FIFO_SYNC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	FIFO_SYNC	FIFO_SYNC。セットすると、送信 FIFO が同期動作に構成されて、遅延を最小限に抑えます。	0x0	R/W

パケット開始制御レジスタ

アドレス：0x9428、リセット：0x0034、レジスタ名：SOP_CTRL

このレジスタは、IEEE 1588 タイム・スタンプ・コントロールのパケット開始 (SOP) 検出を制御します。

表 89. SOP_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予備。	0x0	R
[6:4]	SOP_N_8_CYCM_1	SOP_NCYC_EN ビットをセットした場合、SOP_N_8_CYCM_1 ビット・フィールドで、送信および受信の SOP 指示がアサートを維持する MII RX_CLK クロックのサイクル数を指定します。指定した値に 1 を加算し、8 を乗算してサイクル数を得ます。SOP 指示は、フレームの最後で常にアサート解除されることに注意してください。	0x3	R/W
3	SOP_NCYC_EN	このビットをセットした場合、送信および受信の SOP 指示の期間を SOP_N_8_CYCM_1 ビット・フィールドで指定します。それ以外の場合、SOP 指示はフレームの持続時間に設定されます。	0x0	R/W
2	SOP_SFD_EN	このビットをセットすると、SFD 検出が有効になり、フレーム内の SFD が検出されると SOP 信号がアサートされます。このビットをクリアすると、フレームの最初のバイトまたはニブルで SOP 信号がアサートされます。パケットの送受信中にこのビットが変化すると、SOP 信号が誤ってアサートされる可能性があるため注意してください。したがって、このビットを変化させるのは、リンク・ダウン時、または SOP_TX_EN と SOP_RX_EN がクリアされているときに限ります。	0x1	R/W
1	SOP_RX_EN	このビットをセットすると、受信フレームの SOP 検出の生成を有効化します。	0x0	R/W
0	SOP_TX_EN	このビットをセットすると、送信フレームの SOP 検出の生成を有効化します。SOP 指示のばらつきを最小限に抑えるため、送信 FIFO を使用するモードでは送信 FIFO の後に検出が行われます。	0x0	R/W

パケット開始受信検出遅延レジスタ

アドレス：0x9429、リセット：0x0000、レジスタ名：SOP_RX_DEL

このレジスタは、受信側の SOP 検出遅延を制御します。

表 90. SOP_RX_DEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	SOP_RX_10_DEL_NCYC	このレジスタ・フィールドは、10BASE-T リンクの受信フレーム SOP 指示を遅延させる MII RX_CLK クロック・サイクル数を指定します。	0x0	R/W
[10:6]	SOP_RX_100_DEL_NCYC	このレジスタ・フィールドは、100BASE-TX リンクの受信フレーム SOP 指示を遅延させる MII RX_CLK クロック・サイクル数を指定します。	0x0	R/W
[5:0]	Reserved	予備。	0x0	R/W

パケット開始送信検出遅延レジスタ

アドレス：0x942A、リセット：0x0000、レジスタ名：SOP_TX_DEL

このレジスタは、送信側 SOP 検出遅延を制御します。

表 91. SOP_TX_DEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
[12:8]	SOP_TX_10_DEL_N_8_NS	このビット・フィールドは、10BASE-T リンクの送信フレーム SOP 指示を遅延させる、8ns 周期の数を指定します。送信 SOP 指示のアサートを MDI ピンで設定する基準点の近くに合わせるには、このレジスタを 5'd20 に設定します。	0x0	R/W
[7:4]	SOP_TX_100_DEL_N_8_NS	このビット・フィールドは、100BASE-TX リンクの送信フレーム SOP 指示を遅延させる、8ns 周期の数を指定します。送信 SOP 指示のアサートを MDI ピンで設定する基準点の近くに合わせるには、このレジスタを 4'd0 に設定します。	0x0	R/W
[3:0]	Reserved	予備。	0x0	R/W

MII モード用 FIFO 深さ制御レジスタ

アドレス：0x9602、リセット：0x0001、レジスタ名：DPTH_MII_BYTE

MII モードでの FIFO の深さ（バイト単位）。

表 92. DPTH_MII_BYTE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	DPTH_MII_BYTE	10Mbps および 100Mbps の MII モードに適用されます。セットすると、FIFO の深さはバイト単位になります。ゼロにすると、FIFO の深さはニブル単位になります。このビットのデフォルト値は 1 です。したがって、FIFO のプレフィックスはバイト単位で設定します。MII モードでは、インターフェースはニブルを使用するため、送信 FIFO 内部のプレフィックスが大きくなり、遅延が長くなります。	0x1	R/W

LPI ウェイク・エラー・カウンタ・レジスタ

アドレス：0xA000、リセット：0x0000、レジスタ名：LPI_WAKE_ERR_CNT

このアドレスは IEEE 802.3 規格の条項 45.2.3.10 で規定されている EEE ウェイク・エラー・カウンタ・レジスタに相当し、IEEE 規格では MMD レジスタ・アドレス 3.22 となっています。

表 93. LPI_WAKE_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	LPI_WAKE_ERR_CNT	このビット・フィールドは、PHY が必要な時間内に通常のウェイク・シーケンスを完了できないウェイク時間故障をカウントします。このフィールドは読み出すと自動クリアされます。	0x0	R

Base 10e イネーブル・レジスタ

アドレス：0xB403、リセット：0x0001、レジスタ名：B_10_E_EN

このレジスタ・ビットをセットすると、10BASE-Te 動作を有効化します。10BASE-Te は、10BASE-T をより低い電圧レベルで送信するようにしたものです。

表 94. B_10_E_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	B_10_E_EN	10BASE-Te。このビットをセットすると、10BASE-Te の動作を有効化します。これはデバイスのデフォルト動作です。10BASE-Te は、10BASE-T をより低い電圧レベルで送信するようにしたものです。	0x1	R/W

10BASE-T 送信テスト・モード・レジスタ

アドレス：0xB412、リセット：0x0000、レジスタ名：B_10_TX_TST_MODE

このレジスタは、10BASE-T テスト信号を送信する機能を提供します。

表 95. B_10_TX_TST_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
[2:0]	B_10_TX_TST_MODE	PHY は、5MHz または 10MHz の方形波で構成される 10BASE-T テスト信号を送信する機能を提供します。 111：予備。 110：予備。 101：予備。 100：ディメンジョン 1 で 5MHz の方形波を送信。 011：ディメンジョン 0 で 5MHz の方形波を送信。 010：ディメンジョン 1 で 10MHz の方形波を送信。 001：ディメンジョン 0 で 10MHz の方形波を送信。 000：10BASE-T テスト・モードを無効化。	0x0	R/W

100BASE-TX 送信テスト・モード・レジスタ

アドレス：0xB413、リセット：0x0000、レジスタ名：B_100_TX_TST_MODE

このレジスタは、100BASE-TX テスト信号を送信する機能を提供します。

表 96. B_100_TX_TST_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
[2:0]	B_100_TX_TST_MODE	PHY は、有効な MLT3 信号レベル（ゼロ、正、ゼロ、負）を連続的に循環する、100BASE-TX テスト信号の送信機能を提供します。各送信レベルは、16ns（短い滞留時間）または 112ns（長い滞留時間）の間保持できます。滞留時間が 16ns の MLT3 送信テスト波形は、ANSI X3.263 規格の条項 9.1.8 で規定されているように、デューティ・サイクルの歪みを測定します。滞留時間が 112ns の MLT3 送信テスト波形は、ANSI X3.263 規格の条項 9.1.3、9.1.4、および 9.1.6 で規定されているように、波形のオーバーシュート、振幅の対称性、および立上がり／立下がり時間を測定します。 111：予備。 110：予備。 101：予備。 100：MLT3 テスト波形を送信、ディメンジョン 1 で滞留時間は 112ns。 011：MLT3 テスト波形を送信、ディメンジョン 0 で滞留時間は 112ns。 010：MLT3 テスト波形の送信、ディメンジョン 1 で滞留時間は 16ns。 001：MLT3 テスト波形の送信、ディメンジョン 0 で滞留時間は 16ns。 000：100BASE-TX テスト・モードを無効化。	0x0	R/W

自動ケーブル診断実行レジスタ

アドレス：0xBA1B、リセット：0x0000、レジスタ名：CDIAG_RUN

このレジスタは、自動ケーブル診断の実行を開始し、ケーブル診断結果レジスタに結果を返すために使用します。

表 97. CDIAG_RUN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CDIAG_RUN	このビットをセットすると、自動ケーブル診断の実行を開始します。スタンバイ状態にある PHY でこのビットをセットし、実行します。LINK_EN ビット (PHY_CTRL_3 レジスタ、アドレス 0x0017、ビット 13) はクリアします。ケーブル診断が完了すると、このビットは自動クリアされます。	0x0	R/W

ケーブル診断クロス・ペア故障検査ディスエーブル・レジスタ

アドレス：0xBA1C、リセット：0x0000、レジスタ名：CDIAG_XPAIR_DIS

ケーブル診断でのクロス・ペア故障の検査を無効化できます。

表 98. CDIAG_XPAIR_DIS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	CDIAG_XPAIR_DIS	このビットをセットすると、クロス・ペアの故障検査を無効化します。 1：クロス・ペアの故障検査を無効化。 0：クロス・ペアの故障検査を有効化。	0x0	R/W

ケーブル診断結果 0 レジスタ

アドレス：0xBA1D、リセット：0x0000、レジスタ名：CDIAG_DTLT_RSLTS_0

このレジスタは、ペア 0 のケーブル診断結果を提供します。

表 99. CdiagDtlDrsLts0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	CDIAG_RSLT_0_BSY	このビットがセットされている場合、ペア 0 がビジーであることを示します。このビットは、ケーブル診断時にペア 0 で不明なアクティビティがあったことを示します。	0x0	R
[9:8]	RESERVED	予備。	0x0	R
7	CDIAG_RSLT_0_XSIM_1	このビットがセットされている場合、ペア 0 とペア 1 の間に大きなインピーダンス・クロス・ペア短絡があることを示します。	0x0	R
6	CDIAG_RSLT_0_SIM	このビットがセットされている場合、ペア 0 に大きなインピーダンス不整合があることを示します。	0x0	R
[5:4]	RESERVED	予備。	0x0	R
3	CDIAG_RSLT_0_XSHRT_1	このビットがセットされている場合、ペア 0 とペア 1 の間にクロス・ペア短絡があることを示します。	0x0	R
2	CDIAG_RSLT_0_SHRT	このビットがセットされている場合、ペア 0 に短絡があることを示します。	0x0	R
1	CDIAG_RSLT_0_OPN	このビットがセットされている場合、ペア 0 がオープンであることを示します。	0x0	R
0	CDIAG_RSLT_0_GD	このビットがセットされている場合、ペア 0 が適切に終端されていることを示します。	0x0	R

ケーブル診断結果 1 レジスタ

アドレス：0xBA1E、リセット：0x0000、レジスタ名：CDIAG_DTLT_RSLTS_1

このレジスタは、ペア 1 のケーブル診断結果を提供します。

表 100. CDIAG_DTLT_RSLTS_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x0	R
10	CDIAG_RSLT_1_BSY	このビットがセットされている場合、ペア 1 がビジーであることを示します。このビットは、ケーブル診断時にペア 1 で不明なアクティビティがあったことを示します。	0x0	R
[9:8]	RESERVED	予備。	0x0	R
7	CDIAG_RSLT_1_XSIM_0	このビットがセットされている場合、ペア 1 とペア 0 の間に大きなインピーダンス・クロス・ペア短絡があることを示します。	0x0	R
6	CDIAG_RSLT_1_SIM	このビットがセットされている場合、ペア 1 に大きなインピーダンス不整合があることを示します。	0x0	R
[5:4]	RESERVED	予備。	0x0	R
3	CDIAG_RSLT_1_XSHRT_0	このビットがセットされている場合、ペア 1 とペア 0 の間にクロス・ペア短絡があることを示します。	0x0	R
2	CDIAG_RSLT_1_SHRT	このビットがセットされている場合、ペア 1 に短絡があることを示します。	0x0	R
1	CDIAG_RSLT_1_OPN	このビットがセットされている場合、ペア 1 がオープンであることを示します。	0x0	R
0	CDIAG_RSLT_1_GD	このビットがセットされている場合、ペア 1 が適切に終端されていることを示します。	0x0	R

ケーブル診断故障距離ペア 0 レジスタ

アドレス：0xBA21、リセット：0x00FF、レジスタ名：CDIAG_FLT_DIST_0

このレジスタは、ペア 0 の最初の故障箇所までの距離を提供します。

表 101. CDIAG_FLT_DIST_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	CDIAG_FLT_DIST_0	このビット・フィールドは、ペア 0 の最初の故障箇所までの距離をメートル単位で提供します。値 0xFF は、結果が不明であることを示します。	0xFF	R

ケーブル診断故障距離ペア 1 レジスタ

アドレス：0xBA22、リセット：0x00FF、レジスタ名：CDIAG_FLT_DIST_1

このレジスタは、ペア 1 の最初の故障箇所までの距離を提供します。

表 102. CDIAG_FLT_DIST_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	CDIAG_FLT_DIST_1	このビット・フィールドは、ペア 1 の最初の故障箇所までの距離をメートル単位で提供します。値 0xFF は、結果が不明であることを示します。	0xFF	R

ケーブル診断ケーブル長推定レジスタ

アドレス：0xBA25、リセット：0x00FF、レジスタ名：CDIAG_CBL_LEN_EST

このレジスタは、信号処理に基づいてケーブル長の推定値をメートル単位で提供するもので、100BASE-TX のリンク確立時に推定が行われます。

表 103. CDIAG_CBL_LEN_EST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x0	R
[7:0]	CDIAG_CBL_LEN_EST	このビット・フィールドは、ケーブル長の推定値をメートル単位で提供します。値 0xFF は、結果が不明であることを示します。	0xFF	R

LED パルス・ストレッチ期間レジスタ

アドレス：0xBC00、リセット：0x0011、レジスタ名：LED_PUL_STR_DUR

LED_CTRL_1 レジスタの LED_PUL_STR_DUR_SEL ビット・フィールド（アドレス 0x001B、ビット [3:2]）を 2'b11 に設定した場合に、LED_PUL_STR_DUR レジスタで LED のパルス・ストレッチ期間を指定します。

表 104. LED_PUL_STR_DUR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
[5:0]	LED_PUL_STR_DUR	LED_CTRL_1 レジスタの LED_PUL_STR_DUR_SEL ビット・フィールド（アドレス 0x001B、ビット [3:2]）を 2'b11 に設定した場合に、LED_PUL_STR_DUR ビット・フィールドで LED のパルス・ストレッチ期間を指定します。指定した値を 8 で乗算して、ミリ秒単位での期間が求められます。	0x11	R/W

サブシステム・レジスタの概要

サブシステム・レジスタは、条項 45 のアクセスを使用して、デバイス・アドレス 0x1E でアクセスできます。条項 45 で規定されているインターフェースに対応していないシステムの場合、条項 22 を使用してレジスタ 0x0010 およびレジスタ 0x0011 でこれらのレジスタにアクセスできます。

一部のレジスタのデフォルト値は、RESET_N ピンがアサート解除された直後に読み出されるハードウェア構成ピンの値によって決まります（ハードウェア構成ピンのセクションを参照）。これにより、非マネージド・アプリケーションで ADIN1200 のデフォルト動作を構成できます。表 105 に示すレジスタのデフォルト値は、ADIN1200 でオートネゴシエーションが有効化されて、すべての速度がアダプタイズされ、ADIN1200 がリセット後にソフトウェア・パワーダウンに入らないように設定されていることを前提としています。

表 105. サブシステム・レジスタの概要

アドレス	レジスタ名	説明	リセット	アクセス
0xFF0C	GE_SFT_RST	サブシステム・ソフトウェア・リセット・レジスタ。	0x0000	R/W
0xFF0D	GE_SFT_RST_CFG_EN	サブシステム・ソフトウェア・リセット構成イネーブル・レジスタ。	0x0000	R/W
0xFF1F	GE_CLK_CFG	サブシステム・クロック構成レジスタ。	0x0000	R/W
0xFF23	GE_RGMII_CFG	サブシステム RGMII 構成レジスタ。	0x0E07	R/W
0xFF24	GE_RMII_CFG	サブシステム RMII 構成レジスタ。	0x0116	R/W
0xFF26	GE_PHY_BASE_CFG	サブシステム PHY ベース構成レジスタ。	0x0C86	R/W
0xFF3C	GE_LNK_STAT_INV_EN	サブシステム・リンク・ステータス反転イネーブル・レジスタ。	0x0000	R/W
0xFF3D	GE_IO_GP_CLK_OR_CNTRL	サブシステム GP_CLK ビン・オーバーライド制御レジスタ。	0x0000	R/W
0xFF3E	GE_IO_GP_OUT_OR_CNTRL	サブシステム LINK_ST ビン・オーバーライド制御レジスタ。	0x0000	R/W
0xFF3F	GE_IO_INT_N_OR_CNTRL	サブシステム INT_N ビン・オーバーライド制御レジスタ。	0x0000	R/W
0xFF41	GE_IO_LED_A_OR_CNTRL	サブシステム LED_0 ビン・オーバーライド制御レジスタ。	0x0000	R/W

サブシステム・レジスタの詳細

サブシステム・ソフトウェア・リセット・レジスタ

アドレス：0xFF0C、リセット：0x0000、レジスタ名：GE_SFT_RST

ソフト・リセット・レジスタは、サブシステムをリセットするのに使用します。

表 106. GE_SFT_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	GE_SFT_RST	サブシステムは、GE_SFT_RST を 1 に設定することによりリセットできます。サブシステムの動作は、GE_SFT_RST_CFG_EN レジスタの設定に依存します。 GE_SFT_RST_CFG_EN ビットをセットすると、サブシステムは、ソフトウェア・リセット・シーケンス中に、チップに対してハードウェア構成ピン設定の新しいセットを要求します。GE_SFT_RST_CFG_EN をクリアすると、以前に保存したハードウェア構成ピン設定が対応する管理レジスタに再ロードされます。	0x0	R/W

サブシステム・ソフトウェア・リセット構成イネーブル・レジスタ

アドレス：0xFF0D、リセット：0x0000、レジスタ名：GE_SFT_RST_CFG_EN

GE_SFT_RST ビットを使用したソフトウェア・リセットの場合、サブシステムの動作はこのレジスタ・ビットの設定に依存します。

表 107. GE_SFT_RST_CFG_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	GE_SFT_RST_CFG_EN	GE_SFT_RST ビットを使用してサブシステム・ソフトウェアをリセットした場合、サブシステムの動作は GE_SFT_RST_CFG_EN ビットの設定に依存します。 1：GE_SFT_RST_CFG_EN ビットをセットすると、サブシステムは、ソフトウェア・リセット・シーケンス中に、チップに対してハードウェア構成ピン設定の新しいセットを要求します。 0：GE_SFT_RST_CFG_EN をクリアすると、以前に保存したハードウェア構成ピン設定が対応する管理レジスタに再ロードされます。	0x0	R/W

サブシステム・クロック構成レジスタ

アドレス：0xFF1F、リセット：0x0000、レジスタ名：GE_CLK_CFG

このレジスタにより、サブシステムの出力クロック構成を制御できます。

表 108. GE_CLK_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予備。	0x0	R
5	GE_CLK_RCVR_125_EN	このビットをセットすると、125MHz の PHY リカバリ・クロック（または PLL クロック）が GP_CLK ピンから駆動されます。	0x0	R/W
4	GE_CLK_FREE_125_EN	このビットをセットすると、125MHz の PHY フリー・ランニング・クロックが GP_CLK ピンから駆動されます。	0x0	R/W
3	RESERVED	予備。	0x0	R/W
2	GE_CLK_HRT_RCVR_EN	PHY は、デジタル・リカバリしたハートビート・クロックを提供します。このクロックは、PHY のモードと特定のレジスタの設定に応じて、25MHz リファレンス・クロックまたは 125MHz リカバリ・クロックのいずれかから供給されます。 GE_CLK_HRT_RCVR_EN をセットすると、サブシステムはチップに対してデジタル・リカバリ・ハートビート・クロックを GP_CLK ピンから駆動するよう要求します。	0x0	R/W
1	GE_CLK_HRT_FREE_EN	PHY は、デジタル・フリー・ランニング・ハートビート・クロックを提供します。このクロックは、PHY のモードと特定のレジスタの設定に応じて、25MHz リファレンス・クロックまたは 125MHz フリー・ランニング・クロックのいずれかから供給されます。 GE_CLK_HRT_FREE_EN をセットすると、サブシステムはチップに対してデジタル・フリー・ランニング・ハートビート・クロックを GP_CLK ピンから駆動するよう要求します。	0x0	R/W
0	GE_CLK_25_EN	このビットをセットすると、水晶発振器による 25MHz リファレンス・クロックが（デジタル・ブロックでの処理後に）GP_CLK ピンから駆動されます。	0x0	R/W

サブシステム RGMII 構成レジスタ

アドレス：0xFF23、リセット：0x0E07、レジスタ名：GE_RGMII_CFG

このレジスタにより、MAC インターフェースの RGMII 構成を制御できます。

表 109. GE_RGMII_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予備。	0x1	R
10	GE_RGMII_100_LOW_LTNCY_EN	100BASE-TX での RGMII 低遅延を有効化/無効化します。 1 : 100BASE-TX での RGMII 低遅延を有効化。 0 : 100BASE-TX での RGMII 低遅延を無効化。	0x1	R/W
9	GE_RGMII_10_LOW_LTNCY_EN	10BASE-T での RGMII 低遅延を有効化/無効化します。 1 : 10BASE-T での RGMII 低遅延を有効化。 0 : 10BASE-T での RGMII 低遅延を無効化。	0x1	R/W
[8:6]	GE_RGMII_RX_SEL	このフィールドでは、RGMII 受信クロックの遅延をデータ・リンク・レイヤ (DLL) の単位遅延 ($t_U = 200\text{ps}$) で指定できます。 111 : $10 \times t_U + 400 \text{ ps}$ 。 110 : $9 \times t_U + 400 \text{ ps}$ 。 101 : 予備。 100 : 予備。 011 : 予備。 010 : $7 \times t_U + 400 \text{ ps}$ 。 001 : $6 \times t_U + 400 \text{ ps}$ 。 000 : $8 \times t_U + 400 \text{ ps}$ 。	0x0	R/W
[5:3]	GE_RGMII_GTX_SEL	このフィールドでは、RGMII 送信クロックの遅延を DLL の単位遅延 ($t_U = 200\text{ps}$) で指定できます。 111 : $10 \times t_U + 400 \text{ ps}$ 。 110 : $9 \times t_U + 400 \text{ ps}$ 。 101 : 予備。 100 : 予備。 011 : 予備。 010 : $7 \times t_U + 400 \text{ ps}$ 。 001 : $6 \times t_U + 400 \text{ ps}$ 。 000 : $8 \times t_U + 400 \text{ ps}$ 。	0x0	R/W
2	GE_RGMII_RX_ID_EN	RGMII モードでの受信クロックの 2ns 内部遅延を有効化/無効化します。このビットのデフォルト値は、ハードウェア構成ピンで構成できることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。 1 : RGMII モードでの受信クロックの 2ns 内部遅延を有効化。 0 : RGMII モードでの受信クロックの 2ns 内部遅延を無効化。	0x1	R/W
1	GE_RGMII_TX_ID_EN	RGMII モードでの送信クロックの 2ns 内部遅延を有効化/無効化します。このビットのデフォルト値は、ハードウェア構成ピンで構成できることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。 1 : RGMII モードでの送信クロックの 2ns 内部遅延を有効化。 0 : RGMII モードでの送信クロックの 2ns 内部遅延を無効化。	0x1	R/W
0	GE_RGMII_EN	このビットは、RGMII の MAC インターフェース・モードを選択します。このビットのデフォルト値は、ハードウェア構成ピンで構成できることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。	0x1	R/W

サブシステム RMII 構成レジスタ

アドレス：0xFF24、リセット：0x0116、レジスタ名：GE_RMII_CFG

このレジスタにより、MAC インターフェースの RMII 構成を制御できます。

表 110. GE_RMII_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予備。	0x1	R
7	GE_RMII_FIFO_RST	このビットで、RMII の FIFO をリセットできます。	0x0	R/W
[6:4]	GE_RMII_FIFO_DPTH	このフィールドで、RMII の受信 FIFO の深さを選択できます。 111：予備。 110：予備。 101：±24 ビット。 100：±20 ビット。 011：±16 ビット。 010：±12 ビット。 001：±8 ビット。 000：±4 ビット。	0x1	R/W
3	GE_RMII_TXD_CHK_EN	このビットは、フレームの開始を検出するのに、TXD_0 ピンと TXD_1 ピンをモニターするかどうかを指定します。このビットにより、RMII 受信 CRS_DV を RMII TX_EN 信号に接続できます。これにより、メディア・コンバータ・アプリケーションで受信を送信 RMII ピンにループバックできます。これは、RMII の仕様では規定されていない機能です。	0x0	R/W
2	GE_RMII_CRD_EN	このビットは、CRS_DV 出力信号で CRS をエンコードするかどうかを指定します。これにより、メディア・コンバータ・アプリケーションで受信を送信 RMII ピンにループバックできます。これは、RMII の仕様では規定されていない機能です。	0x1	R/W
1	GE_RMII_BAD_SSD_RX_ER_EN	このビットは、偽キャリア（不良 SSD）が検出されたときに RX_ER 出力信号がアサートされるかどうかを指定します。クリアすると、フレーム中にシンボル・エラーがある場合のみ RX_ER はアサートされます。	0x1	R/W
0	GE_RMII_EN	このビットは、RMII の MAC インターフェース・モードを選択します。このレジスタのデフォルトのリセット値は、ハードウェア構成ピンで設定されることに注意してください。これにより、非マネージド・アプリケーションで PHY のデフォルトの動作を設定できます。RMII モードでは 50MHz のリファレンス・クロックが必要であるため、RMII インターフェースはソフトウェアではなくハードウェア構成ピンで構成する必要があります。	0x0	R/W

サブシステム PHY ベース構成レジスタ

アドレス：0xFF26、リセット：0x0C86、レジスタ名：GE_PHY_BASE_CFG

このサブシステム・レジスタで、PHY の拡張リンク検出機能を 100BASE 用に設定できます。PHY コアのソフトウェア・リセットが発行されるたびに、PHY は、そのレジスタと拡張リンク検出 100BASE-TX イネーブル・レジスタ・ビット（FLD_EN レジスタ内、アドレス 0x8E27）をリセットします。拡張リンク検出 100BASE-T イネーブル・レジスタ・ビット（FLD_EN レジスタ内）のデフォルト値は、このレジスタ内の GE_FLD_100_EN_CFG ビットで設定します。これらのイネーブル構成ビットのいずれかの値を変更した場合、PHY の対応する拡張リンク検出 100BASE-TX イネーブル・レジスタ・ビットは、PHY のソフトウェア・リセット後にのみ変更されます。

表 111. GE_PHY_BASE_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予備。	0x0	R
12	RESERVED	予備。	0x0	R/W
11	RESERVED	予備。	0x1	R/W
10	GE_FLD_100_EN_CFG	このビットをセットした場合、PHY が 100BASE-TX リンクを確立すると、拡張リンク検出機能が有効になります。	0x1	R/W
[9:4]	RESERVED	予備。	0x8	R/W
3	GE_PHY_SFT_PD_CFG	このビットをセットすると、PHY はリセット終了時にソフトウェア・パワーダウンに入ります。	0x0	R/W
[2:0]	RESERVED	予備。	0x6	R/W

サブシステム・リンク・ステータス反転イネーブル・レジスタ

アドレス：0xFF3C、リセット：0x0000、レジスタ名：GE_LNK_STAT_INV_EN

このレジスタを使用すると、LINK_ST ピンのリンク・ステータス出力信号を反転できます。つまり、リンク・アップは LINK_ST がローで示されます。

表 112. GE_LNK_STAT_INV_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予備。	0x0	R
0	GE_LNK_STAT_INV_EN	このビットを 1 に設定すると、LINK_ST ピンのリンク・ステータス出力信号の反転が有効になります。つまり、リンク・アップは LINK_ST がローで示されます。	0x0	R/W

サブシステム GP_CLK ピン・オーバーライド制御レジスタ

アドレス：0xFF3D、リセット：0x0000、レジスタ名：GE_IO_GP_CLK_OR_CNTRL

このレジスタで、GP_CLK ピンのデフォルト機能をオーバーライドできます。

表 113. GE_IO_GP_CLK_OR_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
[2:0]	GE_IO_GP_CLK_OR_CNTRL	このビット・フィールドで、GP_CLK ピンのデフォルト機能をオーバーライドできます。 111：PHY クロックを GE_CLK_CFG レジスタ内のレジスタによって選択。 110：RX_ER。 101：COL。 100：CRS。 011：受信パケット開始指示。 010：送信パケット開始指示。 001：リンク・ステータス。 000：デフォルト機能。PHY を MII または RMII の MAC インターフェース用に設定している場合、デフォルトの機能は RX_ER です。他のすべての場合、デフォルトの機能は GP_CLK です。	0x0	R/W

サブシステム LINK_ST ピン・オーバーライド制御レジスタ

アドレス：0xFF3E、リセット：0x0000、レジスタ名：GE_IO_GP_OUT_OR_CNTRL

このレジスタで、LINK_ST ピンのデフォルト機能をオーバーライドできます。

表 114. GE_IO_GP_OUT_OR_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
[2:0]	GE_IO_GP_OUT_OR_CNTRL	このビット・フィールドで、LINK_ST ピンのデフォルト機能をオーバーライドできます。 111：リンク・ステータス。 110：予備。 101：COL。 100：CRS。 011：受信パケット開始指示。 010：送信パケット開始指示。 001：リンク・ステータス。 000：デフォルト機能、リンク・ステータス。	0x0	R/W

サブシステム INT_N ピン・オーバーライド制御レジスタ

アドレス：0xFF3F、リセット：0x0000、レジスタ名：GE_IO_INT_N_OR_CNTRL

このレジスタで、INT_N ピンのデフォルト機能をオーバーライドできます。

表 115. GE_IO_INT_N_OR_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予備。	0x0	R
[2:0]	GE_IO_INT_N_OR_CNTRL	このビット・フィールドで、INT_N ピンのデフォルト機能をオーバーライドできます。 111：INT_N。 110：TX_ER。 101：COL。 100：CRS。 011：受信パケット開始指示。 010：送信パケット開始指示。 001：リンク・ステータス。 000：デフォルト機能、INT_N。MII の MAC インターフェースでハードウェア・ピン構成により EEE アダプタイズメントを無効化した場合、デフォルト値は CRS です。他のすべての場合、ピン機能は INT_N です。	0x0	R/W

サブシステム LED_0 ピン・オーバーライド制御レジスタ

アドレス：0xFF41、リセット：0x0000、レジスタ名：GE_IO_LED_A_OR_CNTRL

このレジスタで、LED_0 ピンのデフォルト機能をオーバーライドできます。

表 116. GE_IO_LED_A_OR_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予備。	0x0	R
[3:0]	GE_IO_LED_A_OR_CNTRL	このビット・フィールドで、LED_0 ピンのデフォルト機能をオーバーライドできます。 1111：LED_0 を選択 1110：LED_0 を選択 1101：LED_0 を選択 1100：LED_0 を選択 1011：LED_0 を選択 1010：LED_0 を選択 1001：予備。 1000：予備。 0111：LED_0 を選択 0110：TX_ER。 0101：COL。 0100：CRS。 0011：受信パケット開始指示。 0010：送信パケット開始指示。 0001：リンク・ステータス。 0000：デフォルト機能、LED_0。MII の MAC インターフェースでハードウェア・ピン構成により EEE アダプタイズメントを無効化した場合、デフォルト値は COL です。MII の MAC インターフェースでハードウェア・ピン構成により EEE アダプタイズメントを有効化した場合、デフォルト値は TX_ER です。他のすべての場合、デフォルトは LED_0 です。	0x0	R/W

PCB レイアウトに関する推奨事項

PHY とそれに関連するサポート・コンポーネントの配置およびレイアウトにおける重要なポイントの概要を示します。信号のパフォーマンスを最大化し、最適な EMC パフォーマンスを確保するように高速インターフェース信号をルーティングする際には、重要な信号線のパターンを可能な限り短くして、ノイズ結合を最小限に抑えることに注意してください。

PHY パッケージのレイアウト

LFCSP には、パッケージ底部に露出パッドがあり、機械的および熱的な理由で PCB のグラウンドにハンダ付けする必要があります。熱抵抗性能と熱除去を最大化するために、露出グラウンド・パッドの下に 4×4 アレイのサーマル・ビアを使用することを推奨します。

また、露出パッドの上下にも 2 箇所の禁止領域を設けます。PCB のランド・パターンには、ビア付きの露出グラウンド・パッドを組み込む必要があり、これら 2 つはフットプリントで禁止領域となります。いずれの禁止領域でも、PCB パターンまたはビアは使用できません。EVAL-ADIN1200FMCZ では、図 38 に示すように、0.75mm のグリッド配置上に 4×4 のビア・アレイを設けています。ビア・パッドの直径は 0.018 インチ (0.4572mm) で、ドリル穴仕上げの直径は 0.012 インチ (0.3048mm) です。

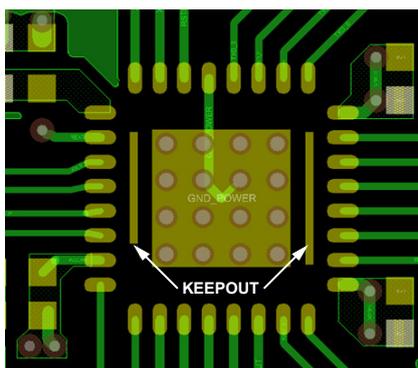


図 38. EVAL-ADIN1200FMCZ の露出パッド・ビア・アレイ

コンポーネント配置

重要なパターンとコンポーネントに優先順位を付けると、ルーティング作業を簡素化するのに役立ちます。重要なパターンとコンポーネントを最初に配置して方向を定め、ターン、ビア、交差パターンを最小限にして効果的なレイアウトとします。イーサネット PHY レイアウトの場合、重要なコンポーネントは、水晶発振器と負荷コンデンサ、MDI ライン上のトランス、およびデバイス付近にあるすべてのバイパス・コンデンサです。これらのコンポーネントとそれらへのルーティングに優先順位を付けます。PHY チップはボードの端から少なくとも 1 インチ離します。以下のセクションでは、各部の詳細について説明します。

水晶発振器の配置とルーティング

消費電流と浮遊容量を最小限に抑えるには、ADIN1200 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。

磁性部品の配置

PHY チップの MDI_x_x ピンに磁性部品と RJ45 の向きを合わせます。

MDI、差動ペアのルーティング

MDI インターフェースは、ADIN1200 の PHY からトランス、更に RJ45 コネクタまでルーティングします。ADIN1200 の MDI_x_x ピンから磁性部品までのパターンは、ボードの同じ側にして、できるだけ短く（理想的には 1 インチ未満）する必要があります。また、これらのトラックの個々のパターン・インピーダンスは 50Ω 未満に維持し、各ペアの差動インピーダンスは 100Ω とします。同じ推奨事項が、磁性部品から RJ45 コネクタまでのパターンにも適用されます。不連続性は信号の完全性に影響し得るため、インピーダンスは全体にわたって一定に保ちます。

各ペアはまとめてルーティングして、パターン幅は全体で同じ幅にすると共にパターン長も可能な限り等しくし、これらのパターンでは直角を避ける必要があります（45° 角度のパターンでは曲線を使用）。すべての信号パターンでスタブを避けてください。可能であれば、パターンを同じレイヤでルーティングします。

インダクタンスを減らすために、パターンは中断せずに連続する基準面でルーティングします。

可能であれば、すべての信号線パターンの下に確実なリターン・パスを確保します。プレーン・スリットを跨ぐように信号線パターンをルーティングしないでください。

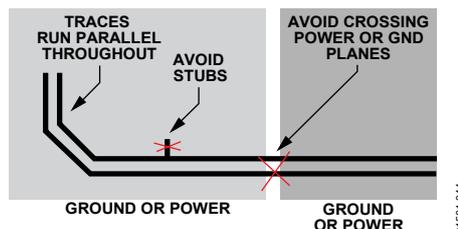


図 39. 差動ペアをルーティングする際に注意すべき点

MAC インターフェースのピン

パターン長はできるだけ短くします。グラウンドに対してインピーダンスが 50Ω となるようにパターンをルーティングします。

電源プレーンとグラウンド・プレーン

PCB レイアウトの観点から、デカップリング・コンデンサを電源ピンと GND ピンのできるだけ近くに配置して、インダクタンスを最小限に抑えることが重要です。

磁性体モジュールの接地

トランスの下でグラウンド・プレーンを分割すると、トランス全体および隣接するコイル間でのノイズ結合を最小限に抑えます。トランスの下のグラウンド・プレーンは物理的に分離します。この間隔の幅は少なくとも 100mil にします。

RJ45 モジュールの接地

最適な EMC 性能を得るには、金属シールド被覆の RJ45 コネクタをシャーシ・グラウンドに接地することを推奨します。シャーシのグラウンドと PHY IC のグラウンドの間には、すべてのレイヤで絶縁を一様にした絶縁ギャップが必要です。

LFCSP パッケージのレイアウト・ガイドライン

LFCSP パッケージにある露出パッドは、機械的な理由により PCB の金属面、および GND にハンダ付けする必要があります。また、露出パッドの上下にも 2 箇所の禁止領域を設けます。これらの領域では、PCB トレースまたはビアは使用できません。

熱抵抗性能を高めるためには、露出 GND パッドの下に 4×4 アレイのサーマル・ビアを設けた JEDEC 2S2P ボードを使用する必要があります。

外形寸法

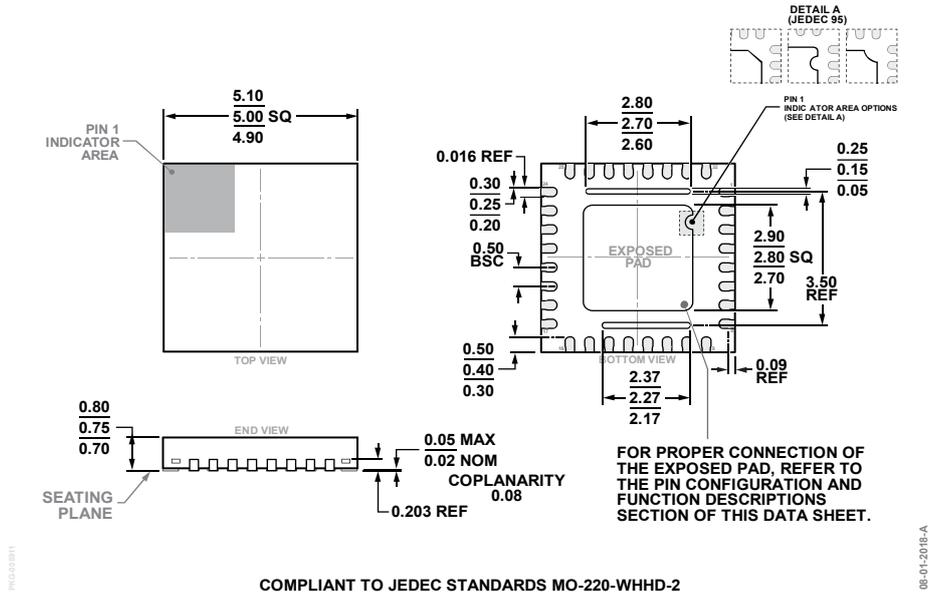


図 40. 32 ピン・リードフレーム・チップ・スケール・パッケージ (LFCSP)
 5mm × 5mm ボディ、0.75mm パッケージ高
 (CP-32-31)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIN1200CCP32Z	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package	CP-32-31
ADIN1200CCP32Z-R7	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package	CP-32-31
ADIN1200BCP32Z	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package	CP-32-31
ADIN1200BCP32Z-R7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package	CP-32-31
EVAL-ADIN1200FMCZ		Evaluation Board	

¹ Z = RoHS 準拠製品