



700 MHz ~ 4200 MHz、Tx DGA

データシート

ADL5335

特長

- 差動入力からシングルエンド出力への変換
- 広範な入力周波数範囲: 700 MHz ~ 4200 MHz
- 最大ゲイン: 12.0 dB (代表値)
- ゲイン範囲: 20 dB (代表値)
- ゲイン・ステップ・サイズ: 0.5 dB (代表値)
- グリッチなし、温度計ベースのデジタル・ステップ減衰器
- 高速アタック、プログラマブル・ゲイン・ステップによるゲイン切替え
- 50 Ω に整合した入出力

アプリケーション

ワイヤレス・トランスミッタでの RF 電力制御およびキャリブレーション

概要

ADL5335 は、ワイヤレス・トランスミッタでの使用に最適化されたデジタル・ゲイン・アンプ (DGA) です。差動入力とシングルエンド出力により、差動出力に対応する広帯域統合型トランシーバと、シングルエンド入力に対応する RF ゲイン・ブロックおよびドライバ用アンプ間で、バラシなしで容易に接続できます。

ゲインは、アナログ・デバイセス標準のシリアル・ペリフェラル・インターフェース (SPI) ポートを介して、最大 12.0 dB から最小 -8.0 dB まで、0.5 dB のゲイン・ステップで設定できます。

機能ブロック図

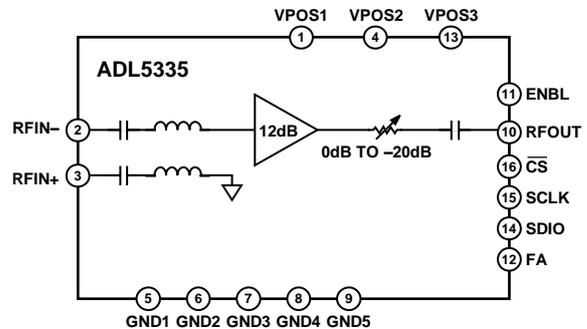


図 1.

ADL5335 は高速アタック機能も備えており、単一パルスの印加でゲインを素早く増減させることができます。

温度計ベースのデジタル・ステップ減衰器 (DSA) を使用することで、基本的にグリッチのない状態で確実にゲインを変更できます。ADL5335 は、16 ピンの 4 mm × 4 mm LFCSP パッケージを採用しています。フル実装の評価用ボードと、システム・デモンストレーション・プラットフォーム (SDP) ベースの制御ソフトウェアを用意しています。

目次

特長.....	1	ピン配置およびピン機能の説明.....	8
アプリケーション.....	1	代表的な性能特性.....	9
機能ブロック図.....	1	動作原理.....	13
概要.....	1	基本構成.....	13
改訂履歴.....	2	デジタル・インターフェースの概要.....	13
仕様.....	3	アプリケーション情報.....	15
デジタル・ロジックのタイミング.....	6	基本的な接続方法.....	15
絶対最大定格.....	7	外形寸法.....	16
熱抵抗.....	7	オーダー・ガイド.....	16
ESDに関する注意事項.....	7		

改訂履歴

12/2017—Revision 0: Initial Version

仕様

特に指定のない限り、VPOS1、VPOS2、VPOS3 = 5 V、T_A = 25 °C、出力インピーダンス (Z_{OUT}) = 50 Ω、差動入力駆動。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OVERALL FUNCTION					
Input Frequency Range		700		4200	MHz
Impedance					
Input	Differential input drive		50		Ω
Output	Single-ended output		50		Ω
GAIN CONTROL					
Gain Range			20		dB
Maximum Gain			12.0		dB
Minimum Gain			-8.0		dB
Gain Step Size			0.5		dB
BAND 8: 925 MHz TO 960 MHz					
Gain Range			20		dB
Maximum Gain			13.0		dB
Minimum Gain			-7.0		dB
Gain Flatness	±200 MHz, all gains		0.3		dB
Gain Step Error	All gain states		0.2		dB
Group Delay Variation	Between any attenuation step		50		ps
Output Third-Order Intercept (IP3)	Maximum gain, 4 dBm per tone		34		dBm
	Minimum gain, -18 dBm per tone		13.6		dBm
Output 1 dB Compression Point (P1dB)	Maximum gain		18.0		dBm
	Minimum gain		-0.6		dBm
Noise Figure	Maximum gain		5.4		dB
	Minimum gain		8.3		dB
Return Loss					
Input			-18		dB
Output	Minimum gain		-17		dB
	Maximum gain		-30		dB
Common-Mode Rejection Ratio (CMRR)	vs. frequency (±200 MHz)		20		dB
BAND 3: 1805 MHz TO 1880 MHz					
Gain Range			20		dB
Maximum Gain			12.8		dB
Minimum Gain			-7.2		dB
Gain Flatness	±200 MHz, all gains		0.5		dB
Gain Step Error	All gain states		0.4		dB
Group Delay Variation	Between any attenuation step		45		ps
Output IP3	Maximum gain, 4 dBm per tone		33		dBm
	Minimum gain, -18 dBm per tone		12		dBm
Output P1dB	Maximum gain		18.3		dBm
	Minimum gain		0		dBm
Noise Figure	Maximum gain		6.9		dB
	Minimum gain		10.6		dB
Return Loss					
Input			-32		dB
Output	Minimum gain		-23		dB
	Maximum gain		-17		dB
CMRR	vs. frequency (±200 MHz)		22		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
BAND 1: 2110 MHz TO 2170 MHz					
Gain Range			20		dB
Maximum Gain			12.5		dB
Minimum Gain			-7.5		dB
Gain Flatness	±200 MHz, all gains		0.5		dB
Gain Step Error	All gain states		0.38		dB
Group Delay Variation	Between any attenuation step		20		ps
Output IP3	Maximum gain, 4 dBm per tone		32		dBm
	Minimum gain, -18 dBm per tone		11.6		dBm
Output P1dB	Maximum gain		18.1		dBm
	Minimum gain		-0.2		dBm
Noise Figure	Maximum gain		6.9		dB
	Minimum gain		10.4		dB
Return Loss					
Input			-32		dB
Output	Minimum gain		-25		dB
	Maximum gain		-19		dB
CMRR	vs. frequency (±200 MHz)		25		dB
BAND 7: 2620 MHz TO 2690 MHz					
Gain Range			20		dB
Maximum Gain			12.0		dB
Minimum Gain			-8.0		dB
Gain Flatness	±200 MHz, all gains		0.7		dB
Gain Step Error	All gain states		0.37		dB
Group Delay Variation	Between any attenuation step		30		ps
Output IP3	Maximum gain, 4 dBm per tone		32		dBm
	Minimum gain, -18 dBm per tone		13.1		dBm
Output P1dB	Maximum gain		17.8		dBm
	Minimum gain		-1.1		dBm
Noise Figure	Maximum gain		7.5		dB
	Minimum gain		10.5		dB
Return Loss					
Input			-19		dB
Output	Minimum gain		-24		dB
	Maximum gain		-17		dB
CMRR	vs. frequency (±200 MHz)		26		dB
BAND 42: 3400 MHz TO 3600 MHz					
Gain Range			20		dB
Maximum Gain			10.2		dB
Minimum Gain			-9.8		dB
Gain Flatness	±200 MHz, all gains		0.7		dB
Gain Step Error	All gain states		0.36		dB
Group Delay Variation	Between any attenuation step		20		ps
Output IP3	Maximum gain, 4 dBm per tone		31		dBm
	Minimum gain, -18 dBm per tone		10.9		dBm
Output P1dB	Maximum gain		16.8		dBm
	Minimum gain		2.3		dBm
Noise Figure	Maximum gain		7.5		dB
	Minimum gain		12.2		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Return Loss					
Input			-19		dB
Output	Minimum gain		-17		dB
	Maximum gain		-11		dB
CMRR	vs. frequency (± 200 MHz)		28		dB
FREQUENCY = 4.2 GHz					
Gain Range			20		dB
Maximum Gain			9.3		dB
Minimum Gain			-10.7		dB
Gain Flatness	± 200 MHz, all gains		0.9		dB
Gain Step Error	All gain states		0.49		dB
Group Delay Variation	Between any attenuation step		25		ps
Output IP3	Maximum gain, -4 dBm per tone		29		dBm
	Minimum gain, -18 dBm per tone		11		dBm
Output P1dB	Maximum gain		15.8		dBm
	Minimum gain		-3.7		dBm
Noise Figure	Maximum gain		8.7		dB
	Minimum gain		13.5		dB
Return Loss					
Input			-24		dB
Output	Minimum gain		-12		dB
	Maximum gain		-11		dB
CMRR			29		dB
SPI PORT AND FAST ATTACK					
Logic Low	SDIO, SCLK, CS, FA pins			0.18	V
Logic High		1.62		1.8	V
Fast Attack Response Time			20		ns
ENABLE INTERFACE					
ENBL pin					
Voltage Level					
To Enable	ENBL voltage (V_{ENBL}) increasing	1.62		1.8	V
To Disable	Enable/disable voltage (V_{ENBLDN}) increasing	0		0.18	V
Time					
Enable			30		ns
Disable			30		ns
POWER SUPPLY INTERFACE					
VPOSx pins					
Supply Voltage	Main supply	4.75	5	5.25	V
Quiescent Current	Device enabled		125		mA
Power Consumption	Device enabled		625		mW
	Power-down mode		18.5		mW

デジタル・ロジックのタイミング

表 2.

Parameter	Description	Min	Typ	Max	Unit
t_{CLK}	Maximum serial clock rate		25		MHz
t_{HI}	Minimum period that SCLK is in a logic high state		10		ns
t_{LO}	Minimum period that SCLK is in a logic low state		10		ns
t_s	Setup time between falling edge of \overline{CS} and SCLK		15		ns
t_H	Hold time between data and rising edge of SCLK		5		ns
t_{DS}	Setup time between data and rising edge of SCLK		15		ns
t_{DH}	SCLK to SDIO Hold Time		10		ns
t_z	Maximum time delay between \overline{CS} deactivation and SDIO bus to return to high impedance		5		ns
t_{ACCESS}	Maximum time delay between falling edge of SCLK and out data valid for a read operation		5		ns

SPI タイミング仕様

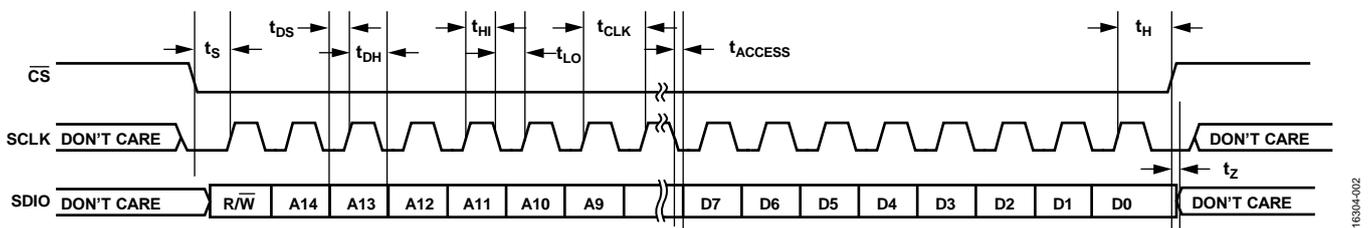


図 2. SPI タイミング

16304-002

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage, V_{POS}	5.5 V
SCLK, SDIO, CS, FA	3.9 V
Enable Voltage, ENBL	2.2 V
Input Average RF Power	12 dBm
Equivalent Voltage, Sine Wave Input ¹	2.5 V p-p
Internal Power Dissipation	725 mW
Maximum Junction Temperature	150°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

¹ 入力でのコモンモード電圧 (V_{COM}) が、いずれかの電源レール電圧 (V_{RAIL}) から 0.625 V 以内の場合、等価電圧は $(|V_{RAIL} - V_{COM}|) \times 4$ ままで減少します。ここで、 V_{RAIL} は V_{COM} に近い側のレール電圧です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

ダイ - 周囲間の熱抵抗 (θ_{JA}) とダイ - リード間の熱抵抗 (θ_{JC}) を表 4 に示します。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-39	58.7	2.2	°C/W

ESD に関する注意事項



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

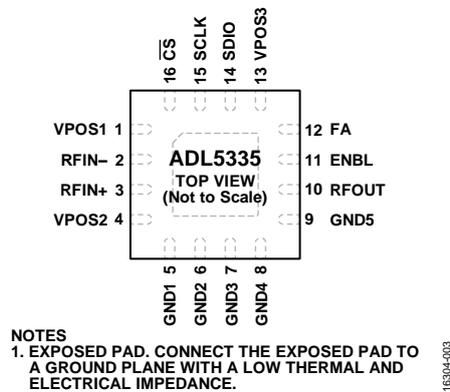


図 3. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1, 4, 13	VPOS1, VPOS2, VPOS3	電源。各電源ピンは、100 pF と 0.1 μF のコンデンサを使用して個々にデカップリングします。
2, 3	RFIN-, RFIN+	正と負の RF 入力。これらのピンは 50 Ω の差動入力ペアとなっており、内部で AC カップリングされています。
5 to 9	GND1, GND2, GND3, GND4, GND5	グラウンド。グラウンド・ピンは低インピーダンスのグラウンド・プレーンに接続します。
10	RFOUT	RF 出力。このピンは 50 Ω のシングルエンド出力で、内部で AC カップリングされています。
11	ENBL	イネーブル。このピンをロジック・ハイ (1.8 V ロジック) にすると、デバイスは動作モードになり、このピンをロジック・ローにすると、低消費電力のスリープ・モードになります。
12	FA	高速アタック。このピンをロジック・ハイ (1.8 V ロジック) にすると、設定されたゲインをさらに 2 dB、4 dB、8 dB、または 16 dB だけ減衰させます。高速アタックの減衰ステップは、SPI を介してデバイスに書き込まれる 8 ビットの設定バイトの最下位 2 ビットで決まります。FA がロジック・ローに戻ると、ゲインは通常の設定レベルに戻ります。高速アタック機能を使用しない場合は、FA ピンをグラウンドに接続してください。
14	SDIO	シリアル・データ入力/出力 (SDIO)、1.8 V ロジック。ゲインと高速アタックの減衰レベルは、8 ビット (レジスタ・アドレス 0x100) を使用して設定します。24 ビットの書込みは、R/W ビット、15 ビットのレジスタ・アドレス、および 8 ビットのデータで構成されます。データの上位 6 ビットはゲインを設定し、下位 2 ビットは高速アタックの減衰量 (-2 dB、-4 dB、-8 dB、-16 dB) を設定します。
15	SCLK	シリアル・クロック (SCLK)、1.8 V ロジック。ゲインと高速アタックの減衰レベルは、8 ビット (レジスタ・アドレス 0x100) を使用して設定します。24 ビットの書込みは、R/W ビット、15 ビットのレジスタ・アドレス、および 8 ビットのデータで構成されます。データの上位 6 ビットはゲインを設定し、下位 2 ビットは高速アタックの減衰量 (-2 dB、-4 dB、-8 dB、-16 dB) を設定します。
16	CS	チップ・セレクト・バー ($\overline{\text{CS}}$)、1.8 V ロジック。ゲインと高速アタックの減衰レベルは、8 ビット (レジスタ・アドレス 0x100) を使用して設定します。24 ビットの書込みは、R/W ビット、15 ビットのレジスタ・アドレス、および 8 ビットのデータで構成されます。データの上位 6 ビットはゲインを設定し、下位 2 ビットは高速アタックの減衰量 (-2 dB、-4 dB、-8 dB、-16 dB) を設定します。
	EP	エクスポーズド・パッド。エクスポーズド・パッドは、熱抵抗と電気インピーダンスが低いグラウンド・プレーンに接続します。

代表的な性能特性

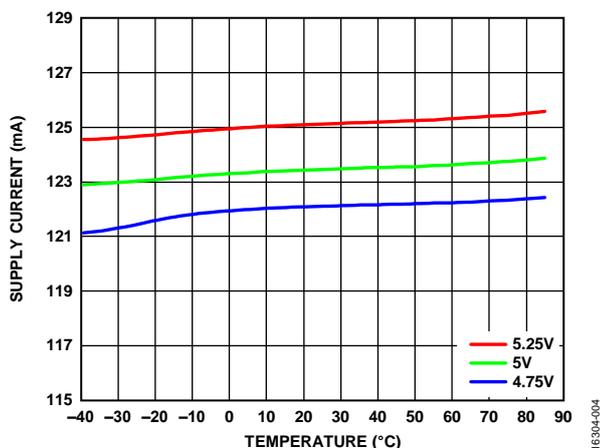


図 4. さまざまな電源電圧 (V_{POS}) での電源電流の温度特性

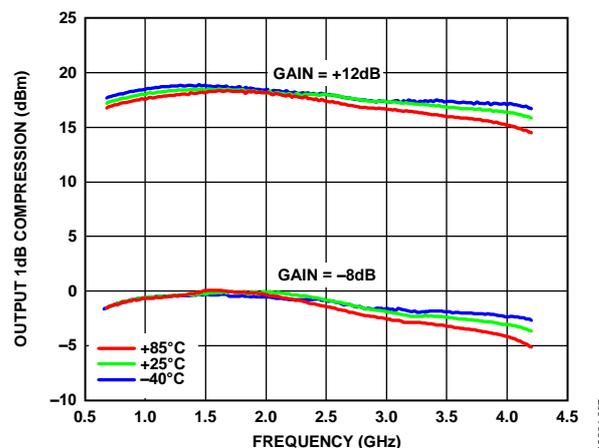


図 7. さまざまな温度とゲインでの出力 1 dB 圧縮ポイントと周波数特性、 $V_{POS} = 5V$

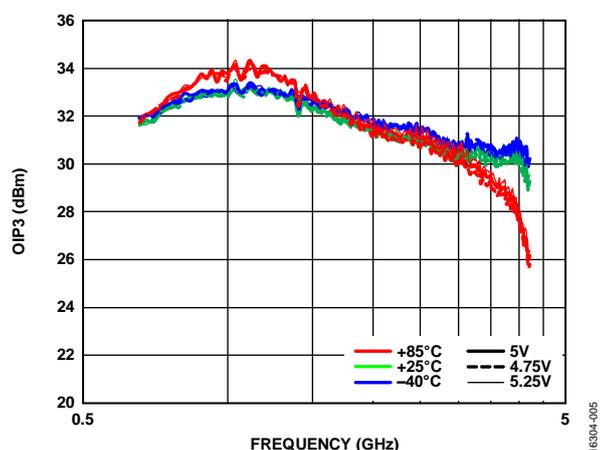


図 5. さまざまな V_{POS} と温度での出力 3 次インターセプトポイント (OIP3) の周波数特性、最大ゲイン = 12 dB、出力トーン = 4 dBm

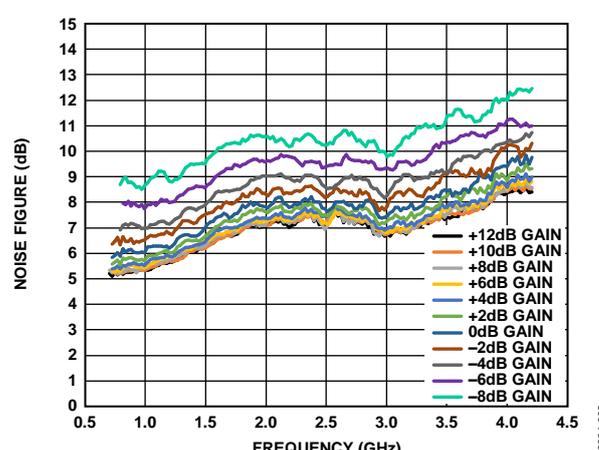


図 8. さまざまなゲイン・ステップでのノイズ指数の周波数特性、 $V_{POS} = 5V$

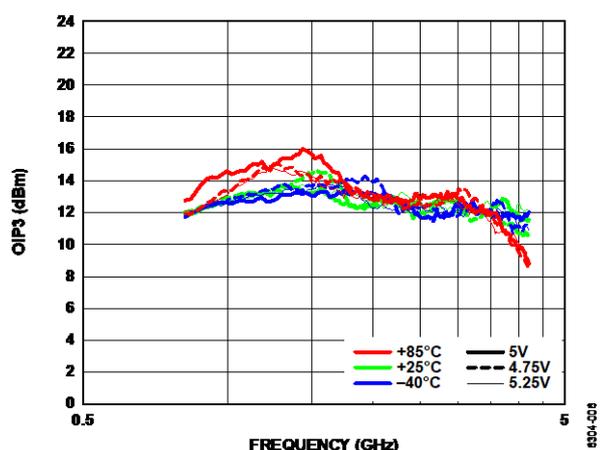


図 6. さまざまな V_{POS} と温度での OIP3 の周波数特性、最小ゲイン = -8 dB、出力トーン = -18 dBm

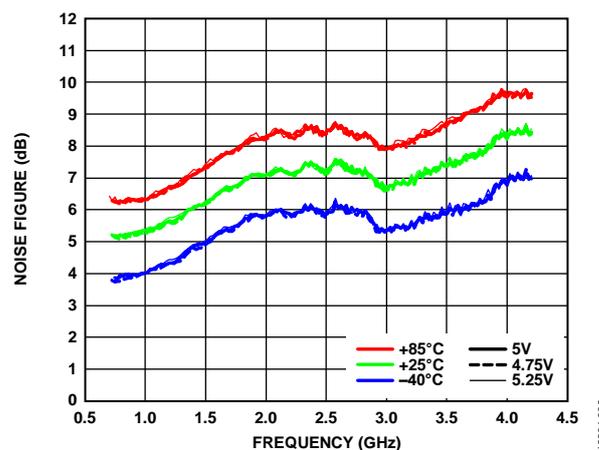


図 9. さまざまな温度と V_{POS} でのノイズ指数の周波数特性、最大ゲイン = 12 dB

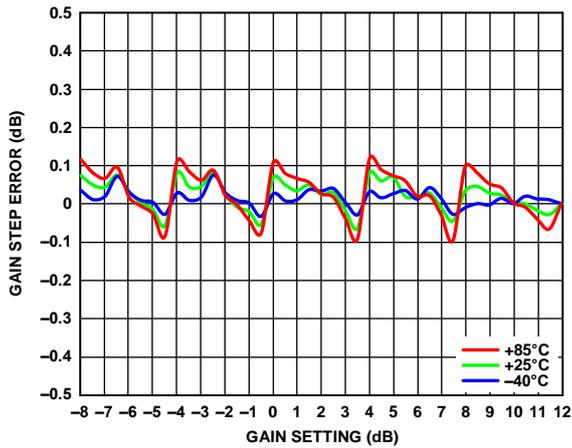


図 10. さまざまな温度でのゲイン・ステップ誤差とゲイン設定の関係、 $V_{POS} = 5V$

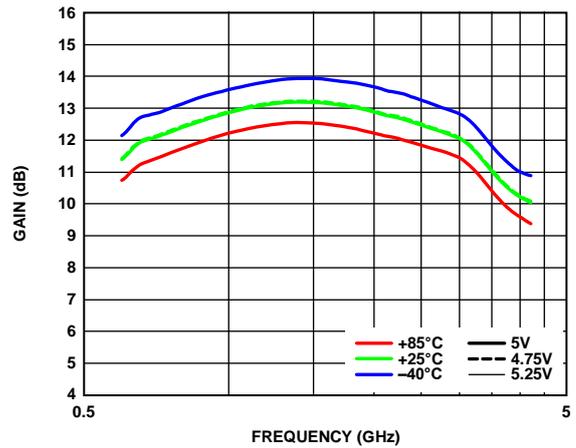


図 13. さまざまな温度と V_{POS} でのゲインの周波数特性

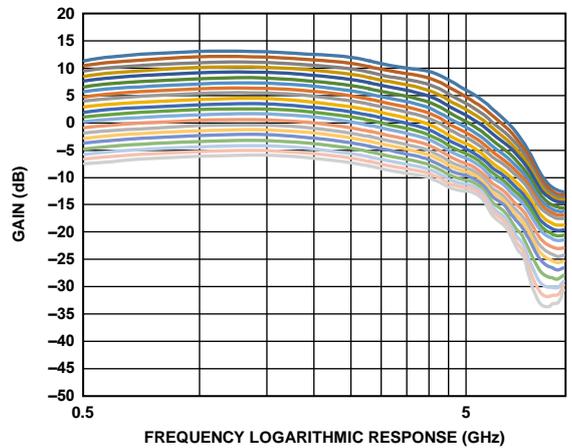


図 11. ゲインと周波数応答（対数表示）の関係、最大ゲイン = +12 dB ~ 最小ゲイン = -8 dB (1 dB ステップ)

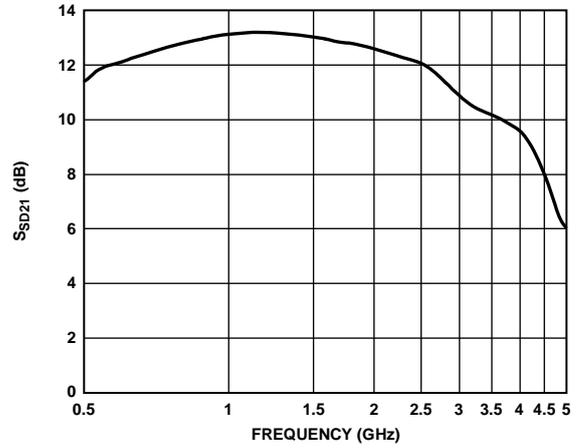


図 14. 順方向伝送 (S_{SD21}) の周波数特性、ゲイン = 12 dB

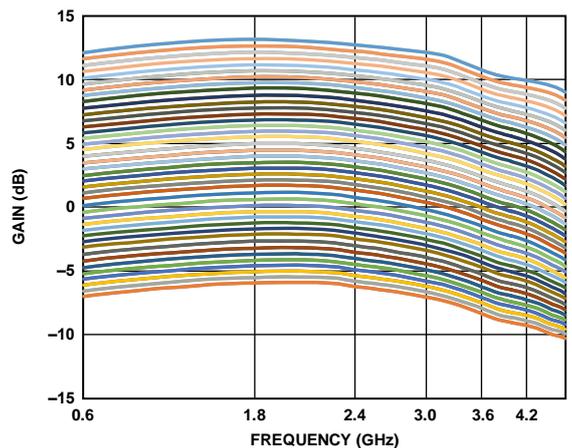


図 12. すべてのゲイン・ステップ (+12 dB ~ -8 dB、0.5 dB ステップ・サイズ) でのゲインの周波数特性、 $V_{POS} = 5V$ 、温度 = 25 °C

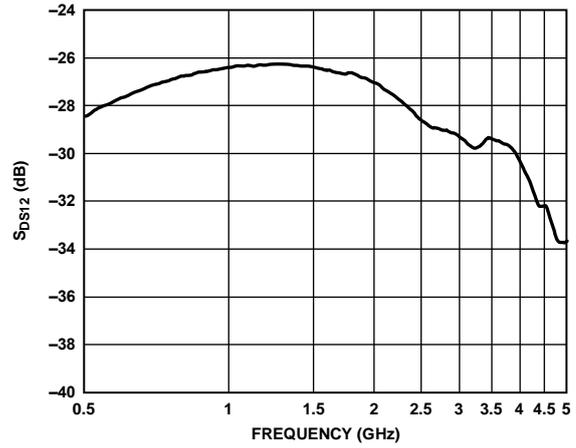


図 15. 逆方向伝送 (S_{DS12}) の周波数特性、ゲイン = 12 dB

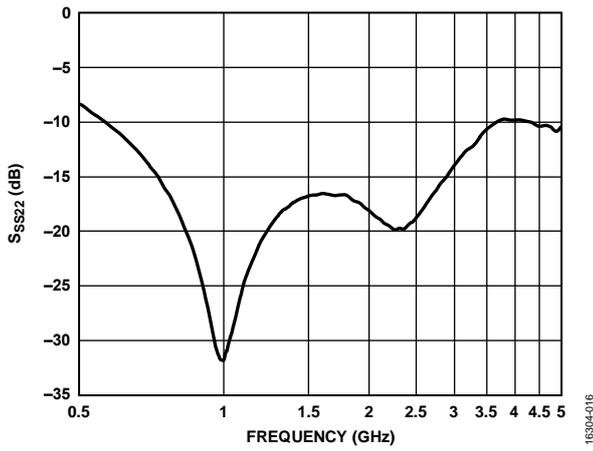


図 16. 出力反射係数 (S_{SS22}) の周波数特性、ゲイン = 12 dB

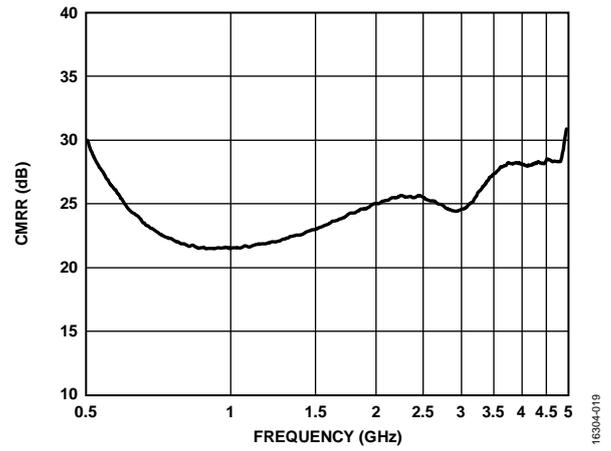


図 19. 同相ノイズ除去比 (CMRR) の周波数特性、ゲイン = 12 dB

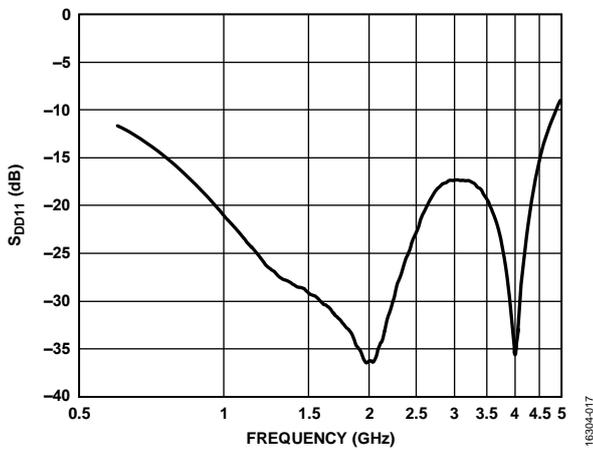


図 17. 入力反射係数 (S_{DD11}) の周波数特性、ゲイン = 12 dB

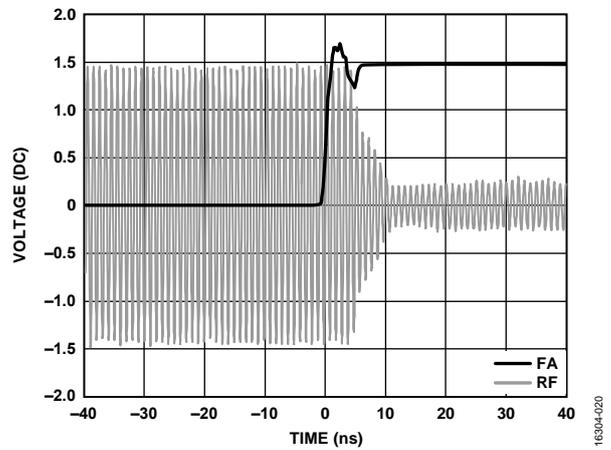


図 20. 高速アタック、オン時の応答、16 dB

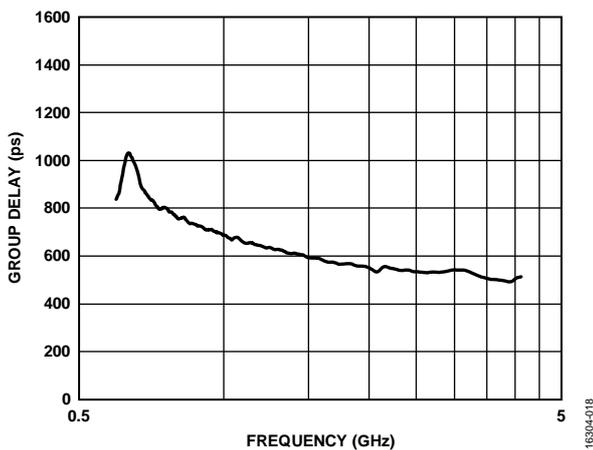


図 18. 群遅延の周波数特性、ゲイン = 12 dB

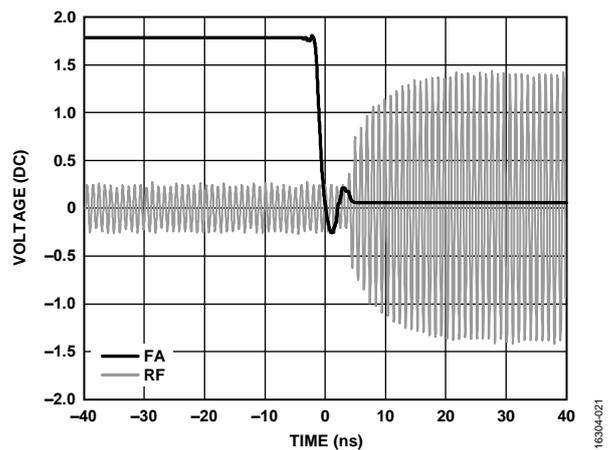


図 21. 高速アタック、オフ時の応答、16 dB

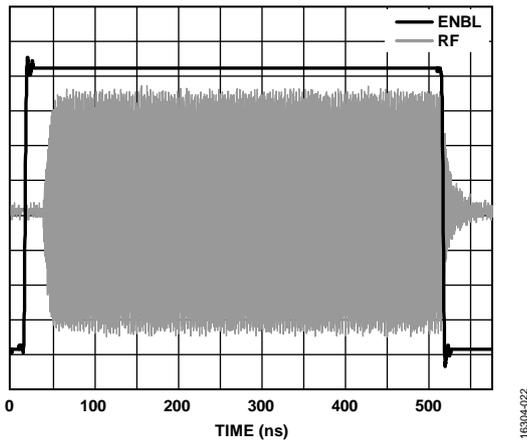


図 22. イネーブル/ディスエーブルの時間領域応答性

16304-022

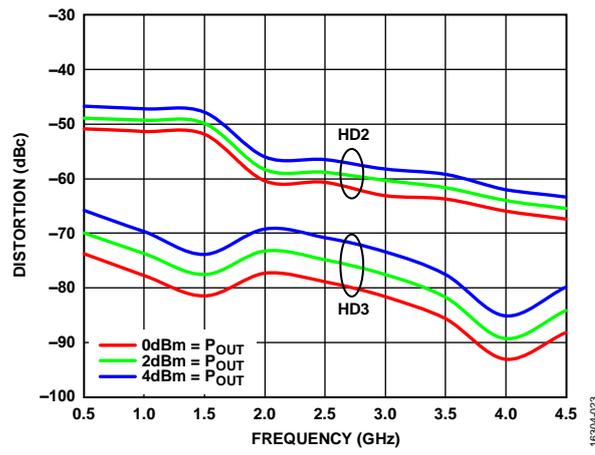


図 23. さまざまな出力電力 (P_{OUT}) での歪み (HD2 と HD3) の周波数特性

16304-023

動作原理

基本構成

ADL5335 は SPI 制御の DGA です。内蔵のバランが、50 Ω の差動 RF 入力を 50 Ω のシングルエンド RF 出力に変換します。RF 入力と RF 出力には、内部 AC カップリング・コンデンサが使用されています。

DGA のコアは、固定ゲインのアンプとデジタル制御減衰器で構成されています。アンプのゲインは 12.0 dB です。減衰器の範囲は、+0.5 dB ステップで 0 dB ~ -8.0 dB です。温度計符号化技術を使用して、ゲイン変化の間に発生するトランジエント・グリッチを除去します。

デジタル・インターフェースの概要

ADL5335 のデジタル・セクションは、イネーブル・ピン (ENBL)、高速アタック・ピン (FA)、SPI で構成されます。

シリアル・ペリフェラル・インターフェース (SPI)

SPI は、シリアル・データ入力/出力 (SDIO)、シリアル・クロック (SCLK)、チップ・セレクト・バー (CS) の 3 本のピンを使用します。

SPI のデータ・レジスタは 3 バイトで、1 ビットの読み出し/書き込みビット (R/W)、15 ビットのアドレス・ビット (A14 ~ A0)、2 ビットの高速アタック (FA) 減衰ステップ・サイズ・ビット (D7 と D6)、6 ビットのゲイン制御ビット (D5 ~ D0) で構成されます (図 24 参照)。

ゲイン・コードと高速アタックの減衰ステップ・サイズ・ビットは、レジスタ・アドレス 0x100 を介して制御されます。これらの真理値表については、それぞれ表 6 と表 7 を参照してください。

表 6. ゲイン・コードの真理値表

6-Bit Binary Gain Code, Bits[D5:D0]	Gain (dB)
000000	+12.0
000001	+11.5
000010	+11.0
000011	+10.5
000100	+10.0
000101	+9.5
000110	+9.0
000111	+8.5
001000	+8.0
001001	+7.5
001010	+7.0
001011	+6.5
001100	+6.0
001101	+5.5
001110	+5.0
001111	+4.5

6-Bit Binary Gain Code, Bits[D5:D0]	Gain (dB)
010000	+4.0
010001	+3.5
010010	+3.0
010011	+2.5
010100	+2.0
010101	+1.5
010110	+1.0
010111	+0.5
011000	0
011001	-0.5
011010	-1.0
011011	-1.5
011100	-2.0
011101	-2.5
011110	-3.0
011111	-3.5
100000	-4.0
100001	-4.5
100010	-5.0
100011	-5.5
100100	-6.0
100101	-6.5
100110	-7.0
100111	-7.5
101000	-8.0
100011 to 111111	-8.0

高速アタック (FA)

高速アタック機能により、ゲインを予め設定された値から予め定められたステップ・サイズで低下させることができます。4 つの減衰ステップ・サイズが用意されています (表 7 参照)。

FA ピンを使用して高速アタック・モードを制御します。FA ピンがロジック・ハイになると、SPI レジスタ (レジスタ・アドレス 0x100) のビット [D7:D6] で選択されたステップ・サイズで減衰します。

表 7. 高速アタックの減衰ステップ・サイズの真理値表

6-Bit Binary Gain Code, Bits[D7:D6]	Step Size (dB)
00	-2
01	-4
10	-8
11	-16

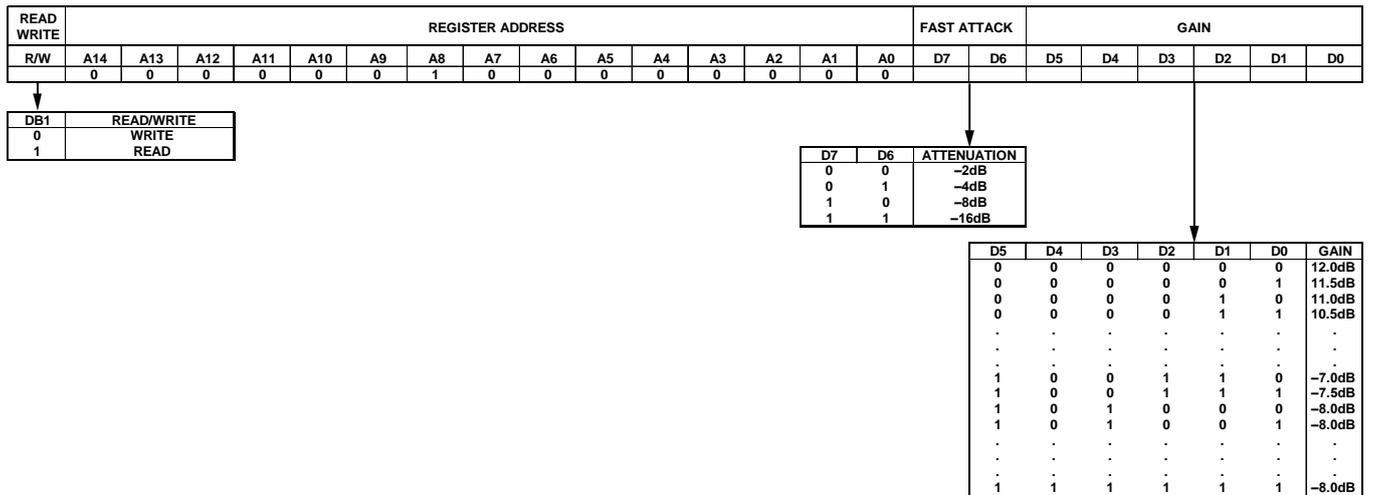


図 24. レジスタ・アドレス 0x100 を介した、ゲインと高速アタックの設定

16304-024

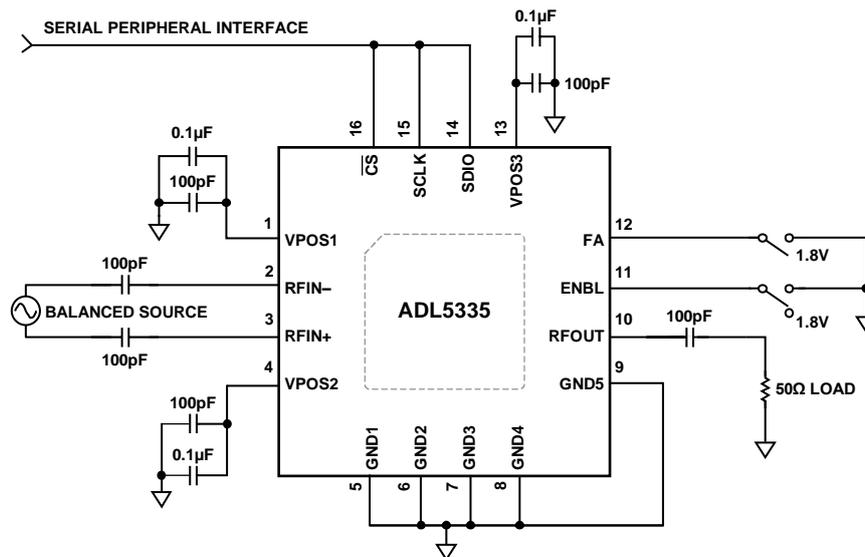
アプリケーション情報

基本的な接続方法

ADL5335 を動作させるための基本的な接続方法を図 25 に示します。電源ピン (VPOS1、VPOS2、VPOS3) に 5 V の電圧を印加します。各電源ピンは、少なくとも 1 個の低インダクタンス表面実装セラミック・コンデンサ (0.1 μF) をデバイスにできるだけ近づけて接続して、デカップリングします。平衡差動入力は 100 pF のコンデンサを使用してデカップリングし、RF 出力で 50 Ω 負荷も同様にデカップリングします。SPI ピン

(SCLK、SDIO、 $\overline{\text{CS}}$)、高速アタック (FA) ピン、イネーブル (ENBL) ピンは 1.8 V の電圧で動作します。ADL5335 をイネーブルするには、ENBL ピンをハイ (1.8 V) にします。ENBL ピンをローにするとデバイスはパワーダウン・モードに設定され、消費電流は約 3.7 mA まで減少します。

デバイスの動作に関する詳細については、EV-ADL5335SD1Z ユーザー・ガイドを参照してください。

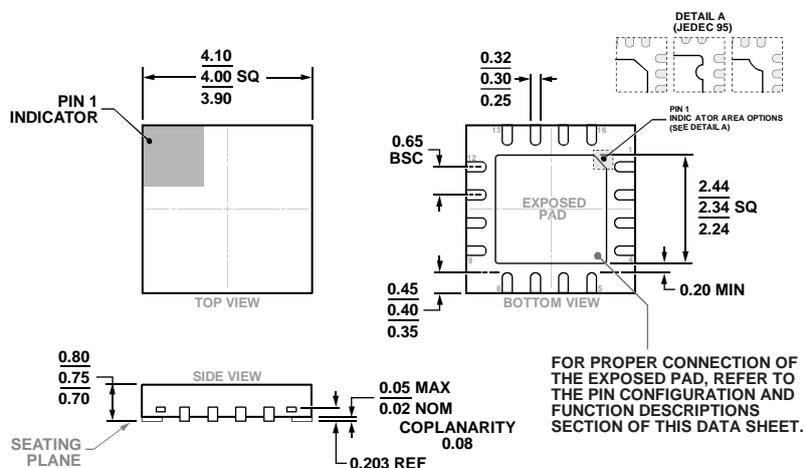


NOTES
1. THE 100pF CAPACITORS ON THE RFIN- AND RFIN+ PINS ARE OPTIONAL BECAUSE THE DEVICE IS INTERNALLY AC-COUPLED.

図 25. 基本接続図

163304-025

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC-4.

図 26.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
 4 mm × 4 mm ボディ、0.75 mm パッケージ高
 (CP-16-39)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADL5335ACPZN	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-39
ADL5335ACPZN-R7	-40°C to +85°C	16-Lead Lead Frame Chip Scale Package [LFCSP]	CP-16-39
EV-ADL5335SDIZ		Evaluation Board	

¹ Z = RoHS 準拠製品。