

### 10.7GHz~12.7GHz、SATCOM向けマイクロ波ダウンコンバータ

#### 特長

- ▶ X/KuバンドからIFへのPLL内蔵ダウンコンバータ
- ▶ RF入力周波数範囲：10.7GHz~12.7GHz
- ▶ 内部LO周波数範囲：8.7GHz~10.7GHz
- ▶ ノイズ指数：5.2dB（減衰が最小でLNAが低ゲイン・モードの場合）
- ▶ 50Ωに整合したシングルエンドRF入力およびIF出力
- ▶ オンチップ温度センサー
- ▶ オンチップADC
- ▶ レシーバー・シンセサイザ・ロック検出ピン
- ▶ 4線式SPIインターフェースを介して20MHzでプログラム可能
- ▶ レシーバー・スタンバイ機能
- ▶ 40ピン、6mm x 6mm LFCSPパッケージ

#### アプリケーション

- ▶ SATCOMユーザ・ターミナル

#### 機能ブロック図

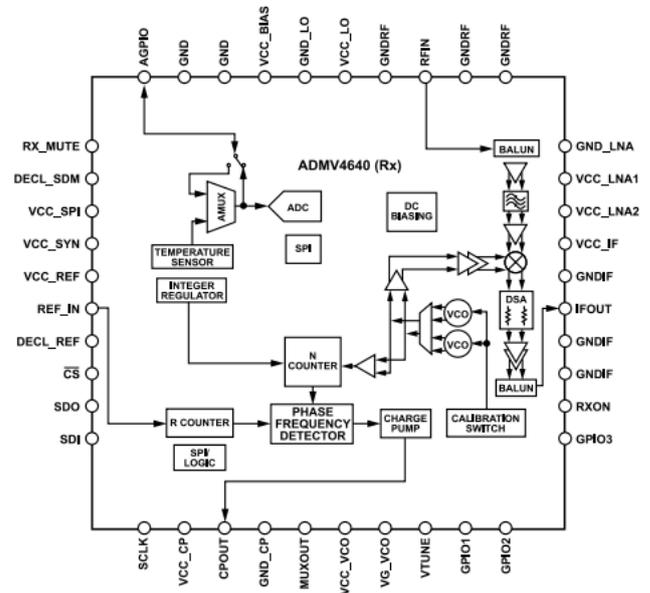


図 1

#### 概要

ADMV4640は、様々な衛星通信（SATCOM）ユーザ・ターミナル向けに最適化されたマイクロ波ダウンコンバータで、10.7GHz~12.7GHzのRF範囲で動作します。

ADMV4640のローカル発振器（LO）信号は、内蔵のインテジャーN（INT）シンセサイザにより内部生成されます。この内蔵シンセサイザは8.7GHz~10.7GHzの範囲のLO周波数に対応します。10.7GHz~12.7GHzの入力RF信号は、1.4GHz~2.2GHzの出力中間周波数（IF）にダウンコンバージョンされます。このチップには、6.7GHz~8.7GHzのイメージ・バンドを除去するフィルタリング機能があります。内蔵の低ノイズ・アンプには、ミキサの前段に6dBステップ減衰器があり、ノイズ指数の低下と直線性の向上のトレードオフが可能です。更に、このチップには、IF出力部にデジタル・ステップ減衰器があり、1dBステップで最大31dBの範囲でのゲイン制御が可能であるため、後続のケーブル損失に合わせて調整できます。

デジタル・シリアル・ペリフェラル・インターフェース（SPI）により、デバイスを容易にプログラミングできます。デジタルSPI制御の他、アナログ制御入力ピン（RX\_MUTE）により、全回路を急速にパワー・ダウンしレシーバーをスタンバイ・モードにして、消費電力を削減します。アナログ汎用入出力（AGPIO）ピンは、内蔵A/Dコンバータ（ADC）によって読み込まれる入力、または、絶対温度に比例した（PTAT）内部アナログ電圧の出力として使用できます。また、SPIを使用して外部デバイスを制御するためのロジック・レベルを出力する、3本のデジタルGPIOがあります。

ADMV4640ダウンコンバータは、コンパクトで熱強化型の6 mm x 6 mm、40ピン・リード・フレーム・チップ・スケール・パッケージ（LFCSP）を採用しています。ADMV4640は、-40°C~+85°Cのケース温度範囲で動作します。

#### Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

## 目次

特長.....	1	位相周波数検出器 (PFD) およびCP .....	21
アプリケーション.....	1	ループ・フィルタおよびCP電流 .....	21
機能ブロック図 .....	1	内蔵MUXOUTピン.....	22
概要.....	1	アナログ・マルチプレクサ・ブロック、AGPIOピン、ADC.....	22
仕様.....	3	GPIOXピン.....	22
絶対最大定格.....	5	デジタル・ロック検出およびMUTE_IF_UNLOCKEDビット .....	22
熱抵抗.....	5	シグナル・チェーン・バイアス・レジスタ、マスク・レジスタ、	
ESDに関する注意 .....	5	RX_MUTEピン、RXONピン .....	22
ピン配置およびピン機能の説明.....	6	SPI設定 .....	23
代表的な性能特性.....	8	VCOの自動キャリブレーションおよび自動レベル制御.....	23
最小減衰性能 : DSA (レジスタ0X300) = 31.....	8	ダブル・バッファ付きレジスタ.....	23
最大減衰性能 : DSA (レジスタ0X300) = 0 .....	17	初期化レジスタ .....	23
スプリアス性能.....	20	レジスタの一覧.....	25
動作原理.....	21	レジスタの詳細.....	27
リファレンス入力段.....	21	SPI設定レジスタ .....	27
リファレンス・ダブル、Rカウンタ、リファレンス2分周器 .....	21	外形寸法 .....	41
INTモードおよびNカウンタ .....	21	オーダー・ガイド.....	41
		評価用ボード.....	41

## 改訂履歴

2022年7月 Revision A: 初版

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{IF} = 2\text{ GHz}$ 、 $\text{VCC} = \text{VCC\_SPI} = \text{VCC\_SYN} = \text{VCC\_REF} = \text{VCC\_CP} = \text{VCC\_VCO} = \text{VCC\_IF} = \text{VCC\_LNA2} = \text{VCC\_LNA1} = \text{VCC\_LO} = \text{VCC\_BIAS} = 3.3\text{ V}$ 、デジタル・シグナル減衰 (DSA) レジスタ  $0x300 = 31$ 、クロック・リファレンス入力電力 =  $3\text{ dBm}$ 、上側波帯を選択。VCCはすべてのVCC\_xxxピンの電圧を指します。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RF INPUT FREQUENCY RANGE		10.7		12.7	GHz
LO FREQUENCY RANGE		8.7		10.7	GHz
LO Lock Time				370	$\mu\text{s}$
LO REFERENCE FREQUENCY			25		MHz
SPI FREQUENCY			20		MHz
CLOCK REFERENCE INPUT POWER		0		5	dBm
LO PHASE NOISE PERFORMANCE					
1 kHz Offset from Carrier			-85		dBc/Hz
10 kHz Offset from Carrier			-90		dBc/Hz
100 kHz Offset from Carrier			-95		dBc/Hz
1 MHz Offset from Carrier			-124		dBc/Hz
10 MHz Offset from Carrier			-138		dBc/Hz
100 MHz Offset from Carrier	IF出力で測定		-142		dBc/Hz
Integrated Single Sideband Phase Noise Performance	1kHz~125MHz		-40		dBc/Hz
IF OUTPUT FREQUENCY RANGE		1.4		2.2	GHz
IF Channel Bandwidth			$\pm 125$		MHz
IF DOWNCONVERTER PERFORMANCE					
Maximum Conversion Gain	最小減衰、低ノイズ・アンプ (LNA) 高ゲイン・モード	24	27	30	dB
Minimum Conversion Gain	最小減衰、LNA低ゲイン・モード	18	21		dB
Gain Control Range			31		dB
Gain Flatness	帯域幅230MHz以上	-0.36		+0.36	dB/230 MHz <sup>1</sup>
Noise Figure	最小減衰、LNA高ゲイン・モード		4.2	6.2	dB
	最小減衰、LNA低ゲイン・モード		5.2	7.4	dB
Input Third-Order Intercept (IP3)	入力電力 ( $P_{\text{IN}}$ ) = -33dBm (トーンあたり)、最小減衰、LNA高ゲイン・モード	-7.9	-6		dBm
	$P_{\text{IN}} = -33\text{dBm}$ (トーンあたり)、最小減衰、LNA低ゲイン・モード	-4.7	-1		dBm
Input 1 dB Compression Point (P1dB)	最小減衰、LNA高ゲイン・モード	-18	-15		dBm
	最小減衰、LNA低ゲイン・モード	-13	-11		dBm
LO to RF Feedthrough			-50	-30	dBm
Image Rejection		10.5			dBc
	RF = 10.7GHz~12.45GHz	17	30		dB
	RF = 12.45GHz~12.7GHz	10.5	17		dB
ADC PERFORMANCE					
ADC Bits Resolution			8		Bits
ADC Sampling Rate			100		kHz
POWER INTERFACE					
Power Supply Voltage (VCC_xxx) <sup>2</sup>		3.15	3.3	3.45	V
VCC_SPI			2		mA
VCC_SYN Supply Current			56		mA
VCC_REF Supply Current			1		mA
VCC_CP Supply Current			16		mA
VCC_VCO Supply Current			80		mA

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
VCC_IF Supply Current			68		mA
VCC_LNA2 Supply Current			42		mA
VCC_LNA1 Supply Current			30		mA
VCC_LO Supply Current			48		mA
VCC_BIAS Supply Current			15		mA
VCC Total Current			358		mA
Total Power			1.35	1.5	W
Unmute Time				15	μ
Mute Time				15	μ

1 dB/230MHzは230MHzを超える帯域幅のゲイン平坦度。

2 VCC\_xx = VCC\_SPI = VCC\_SYN = VCC\_REF = VCC\_CP = VCC\_VCO = VCC\_IF = VCC\_LNA2 = VCC\_LNA1 = VCC\_LO = VCC\_BIAS = 3.3V

## 絶対最大定格

表 2.

パラメータ	定格
Supply Voltage VCC_SPI, VCC_SYN, VCC_REF, VCC_CP, VCC_VCO, VCC_IF, VCC_LNA2, VCC_LNA1, VCC_LO, VCC_BIAS	4.3 V
RF Input Power	0 dBm
Reference Clock Input Power	12 dBm
Maximum Junction Temperature	125°C
Moisture Sensitivity Level (MSL) <sup>1</sup>	3
Peak Reflow Temperature	260°C
Operating Case Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
ESD Sensitivity	
Human Body Model (HBM)	2000 V
Field Induced Charged Device Model (FICDM)	250 V

<sup>1</sup> IPC/JEDEC J-STD-20 MSL分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ はジャンクションと周辺（またはダイと周辺）の間の熱抵抗で、1立方フィートの密閉容器内で測定したものです。また、 $\theta_{JC}$ はジャンクションとケースの間（またはダイとパッケージの間）の熱抵抗です。

表 3. 熱抵抗

パッケージ・タイプ	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$ <sup>1,2</sup>	単位
CP-40-7 <sup>1</sup>	30.7	1.1	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は、6mm x 6mmのサーマル・ビアを備えたJEDEC 2S2Pテスト・ボードに基づいています。詳細については、JEDEC規格JESD51-2を参照してください。

<sup>2</sup>  $\theta_{JC}$ 下部の冷却板が、100 $\mu$ mの熱伝導材料（TIM）（3.56 W/mK）を用いてPCB下部に取り付けられています。

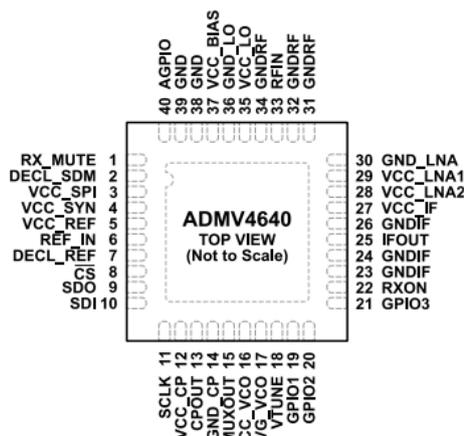
## ESDに関する注意



### ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDにさらされるとデバイスに損傷が生じる可能性があります。したがって、性能低下や機能低下を避けるために、適切なESD予防措置を講じる必要があります。

## ピン配置およびピン機能の説明



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO GROUND. 002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	RX_MUTE	レーザー・チップ・ディスエーブル・ピン。通常動作ではRX_MUTEをロジック・ローのレベルにします。RX_MUTEピンをロジック・ハイのレベルに引き上げるとレーザーはディスエーブルされます。
2	DECL_SDM	内蔵低ドロップアウト (LDO) デカップリング・ピン。DECL_SDMピンは、100pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
3	VCC_SPI	SPI制御用3.3V電源接続。VCC_SPIピンは、100pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
4	VCC_SYN	シンセサイザ用3.3V電源接続。VCC_SYNピンは、100pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
5	VCC_REF	リファレンス用3.3V電源接続。VCC_REFピンは、100pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
6	REF_IN	リファレンス周波数入力。
7	DECL_REF	リファレンス・デカップリング・ピン。DECL_REFピンは、100pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
8	CS	チップ・セレクト・ピン。
9	SDO	シリアル・データ出力。SDOピンは、SPIリードバック機能を備えています。
10	SDI	シリアル・データ入力。SDIピンに入力されたシリアル・データは、書き込みコマンドが完了するとSPIレジスタにロードされます。最初のMSBIは、データがレジスタに書き込まれたか (ロジック・ハイ)、シリアル・データ出力ピンから読み込まれたか (ロジック・ロー) を決定する制御ビットです。
11	SCLK	シリアル・クロック。このピンは、SPIインターフェースのクロック入力です。
12	VCC_CP	チャージ・ポンプ (CP) 用3.3V電源接続。VCC_CPピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
13	CPOUT	CP出力ピン。
14, 23, 24, 26, 30, 31, 32, 34, 36, 38, 39	GND_CP, GNDIF, GND_LNA, GNDRF, GNDLO, GND	グラウンド。これらのピンは低インピーダンスのグラウンド・プレーンに接続します。
15	MUXOUT	マルチプレクサ出力。MUXOUT選択レジスタのセクション (レジスタ0x24E) を参照してください。
16	VCC_VCO	電圧制御発振器 (VCO) 用3.3V電源接続。低ノイズ電源をVCC_VCOピンに接続し、VCC_VCOピンは10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
17	VG_VCO	DCデカップリング用VCO内部ノード。VG_VCOピンは、0.1 μFをピンのできるだけ近くに接続してデカップリングします。
18	VTUNE	VCOチューニング電圧。このピンはループ・フィルタの出力によって駆動されます。
19	GPIO1	汎用入出力。このピンは追加のデジタル制御ラインとして機能し、入力または出力、ハイ (3.3V) またはロー (0V) のロジック・レベルに設定できます。
20	GPIO2	汎用入出力。このピンは追加のデジタル制御ラインとして機能し、入力または出力、ハイ (3.3V) またはロー (0V) のロジック・レベルに設定できます。

ピン番号	記号	説明
21	GPIO3	汎用入出力。このピンは追加のデジタル制御ラインとして機能し、入力または出力、ハイ（3.3V）またはロー（0V）のロジック・レベルに設定できます。
22	RXON	レーザー・チップ用パワーアップ・ピン。通常動作ではRXONピンはロジック・ハイのレベルに接続します。RXONピンをロジック・ローのレベルにするとチップがディスエーブルされます。
25	IFOUT	中間周波数（IF）出力。
27	VCC_IF	IFセクション用3.3V電源接続。VCC_IFピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
28	VCC_LNA2	第2段低ノイズ・アンプ（LNA2）用3.3V電源接続。VCC_LNA2ピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
29	VCC_LNA1	初段低ノイズ・アンプ（LNA1）用3.3V電源接続。VCC_LNA2ピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
33	RFIN	RF入力。このピンはACカップリングする必要があります。
35	VCC_LO	LOアンプ用3.3V電源接続。VCC_LOピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
37	VCC_BIAS	バイアス電流ジェネレータ用3.3V電源接続。VCC_BIASピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
40	AGPIO	双方向アナログ汎用入出力。このピンは、内蔵A/Dコンバータ（ADC）の入力または出力に設定できます。AGPIO制御レジスタのセクション（レジスタ0x301）を参照してください。
	EPAD	露出パッド。露出パッドはグラウンドに接続する必要があります。

## 代表的な性能特性

### 最小減衰性能 : DSA (レジスタ0X300) = 31

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $IF = 2\text{GHz}$ 、 $VCC = 3.3\text{V}$ 、クロック・リファレンス入力電力 = 3dBm、上側波帯を選択。

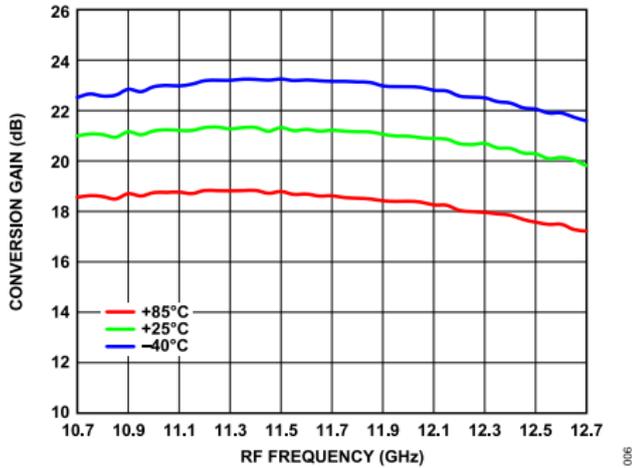


図 3. 異なる温度での変換ゲインとRF周波数の関係、LNA低ゲイン・モード

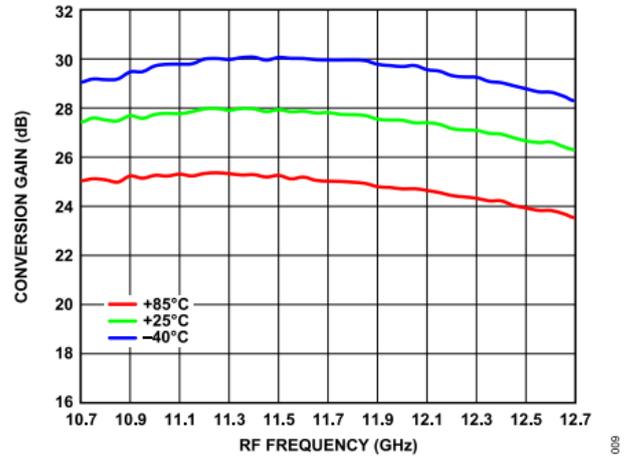


図 6. 異なる温度での変換ゲインとRF周波数の関係、LNA高ゲイン・モード

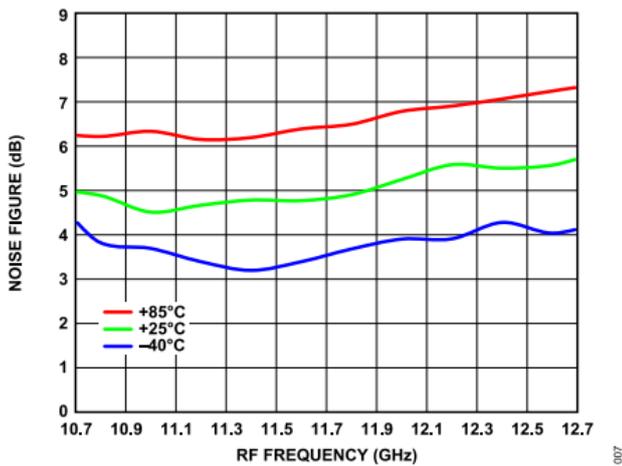


図 4. 異なる温度でのノイズ指数とRF周波数の関係、LNA低ゲイン・モード

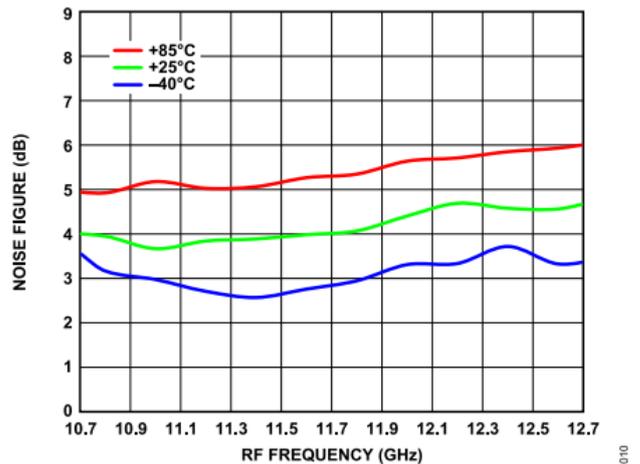


図 7. 異なる温度でのノイズ指数とRF周波数の関係、LNA高ゲイン・モード

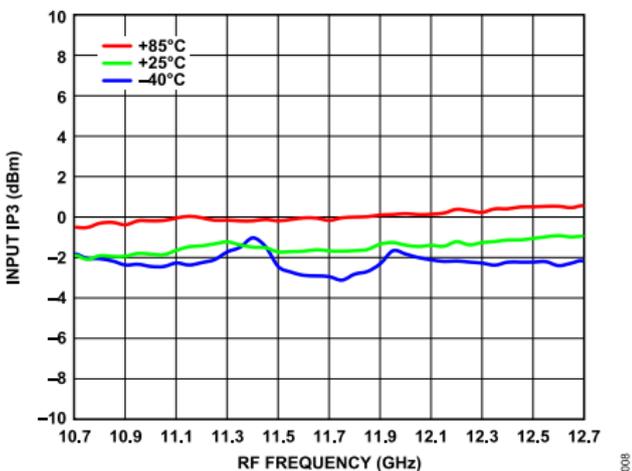


図 5. 異なる温度での入力IP3とRF周波数の関係、LNA低ゲイン・モード

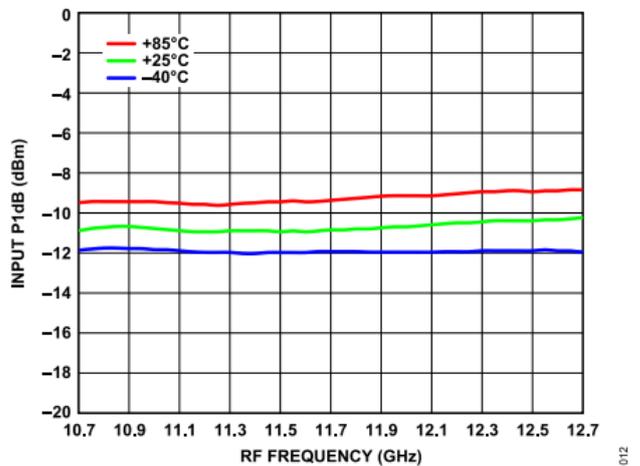


図 8. 異なる温度での入力P1dBとRF周波数の関係、LNA低ゲイン・モード

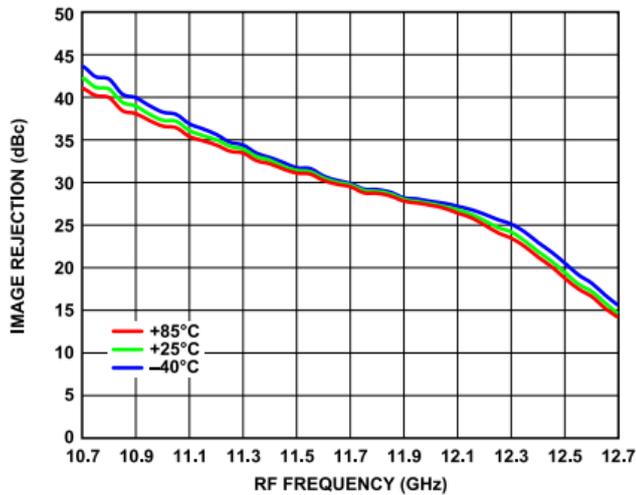


図 9. 異なる温度でのイメージ除去とRF周波数の関係、LNA低ゲイン・モード

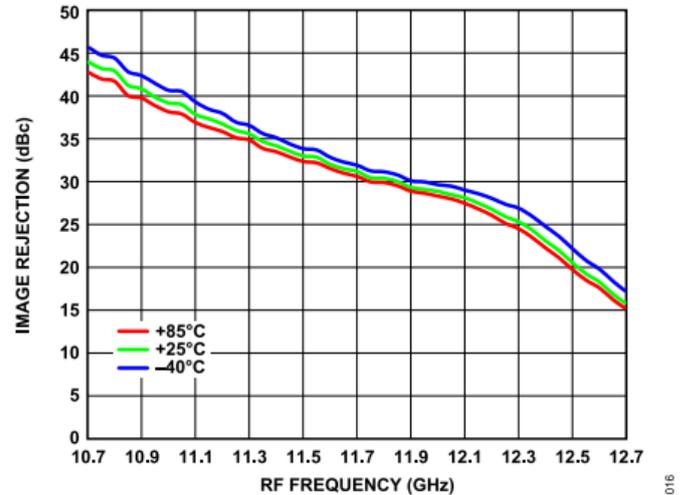


図 12. 異なる温度でのイメージ除去とRF周波数の関係、LNA高ゲイン・モード

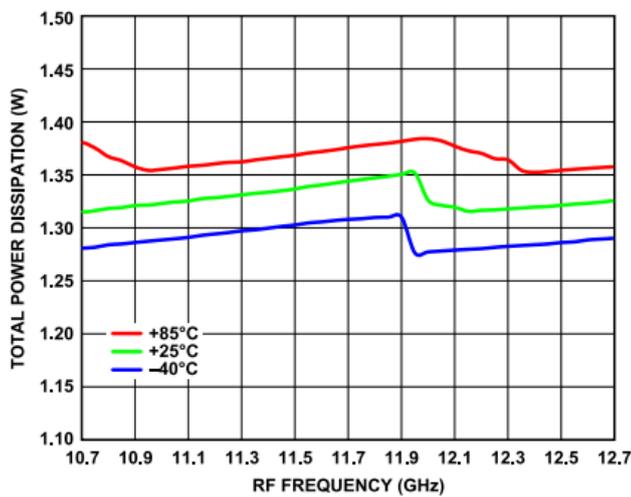


図 10. 異なる温度での合計消費電力とRF周波数の関係、LNA低ゲイン・モード

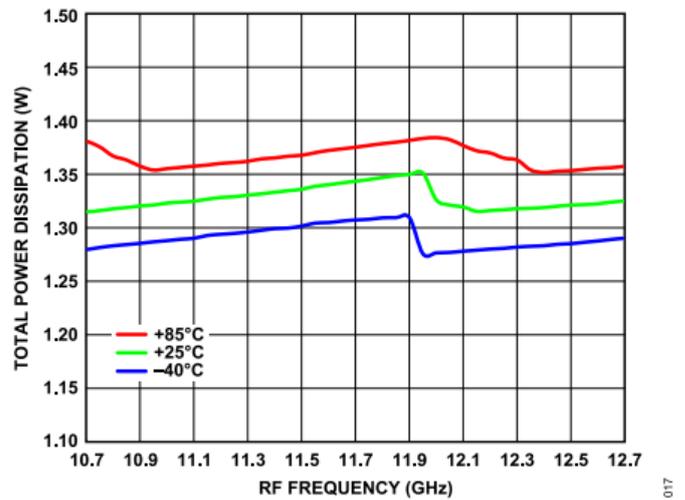


図 13. 異なる温度での合計消費電力とRF周波数の関係、LNA高ゲイン・モード

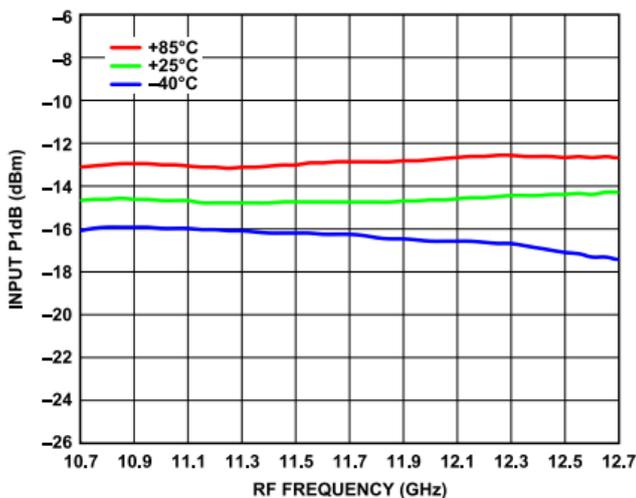


図 11. 異なる温度での入力P1dBとRF周波数の関係、LNA高ゲイン・モード

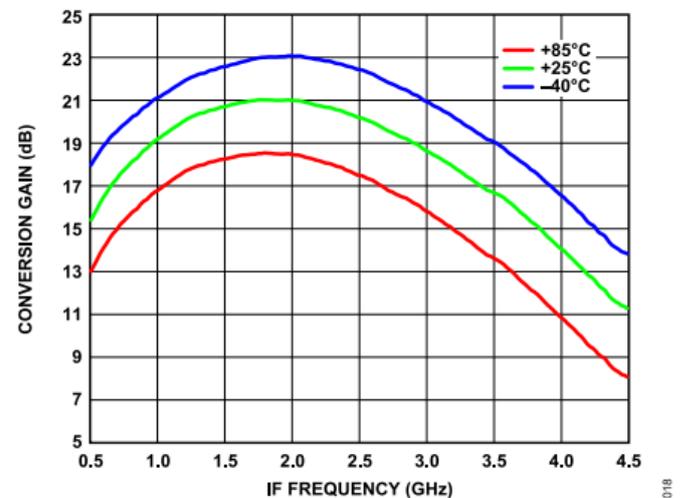


図 14. 異なる温度での変換ゲインとIF周波数の関係、LO周波数 = 10GHz、LNA低ゲイン・モード

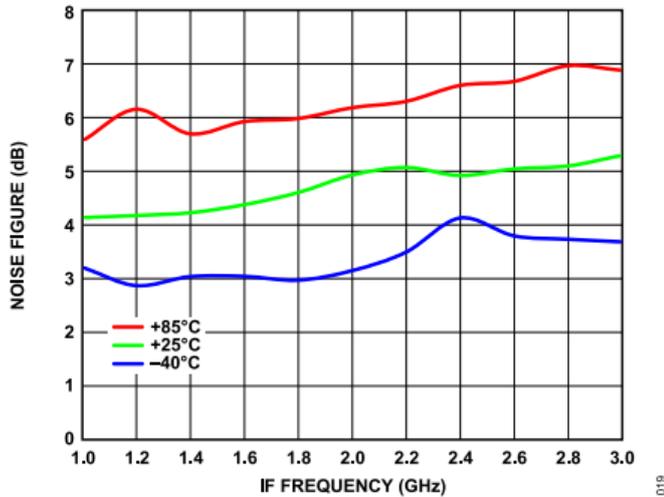


図 15. 異なる温度でのノイズ指数とIF周波数の関係、LO周波数 = 10GHz、LNA低ゲイン・モード

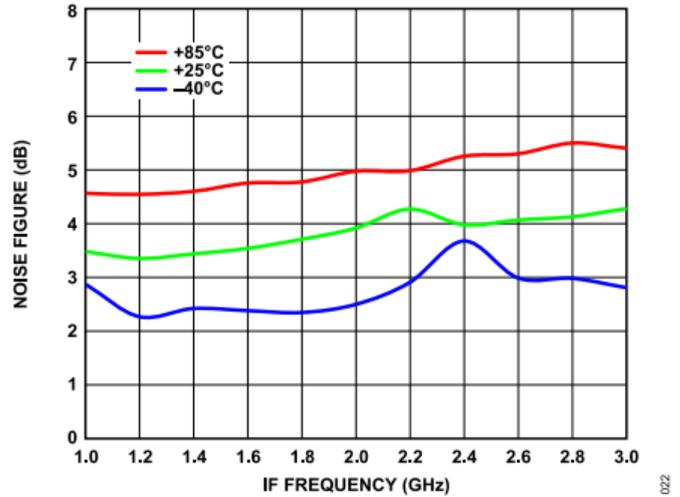


図 18. 異なる温度でのノイズ指数とIF周波数の関係、LO周波数 = 10GHz、LNA高ゲイン・モード

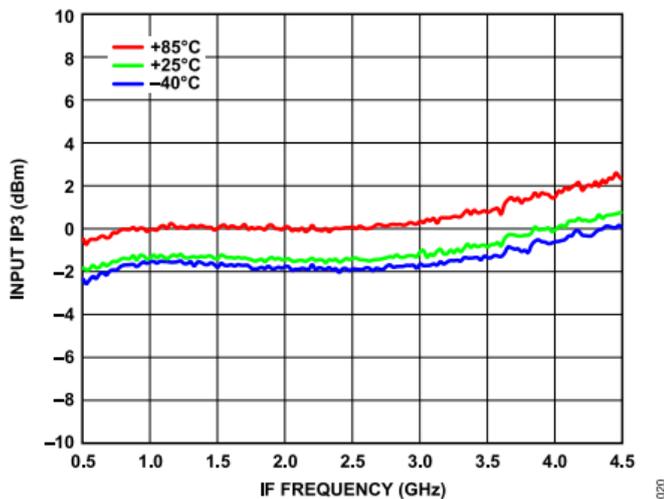


図 16. 異なる温度での入力IP3とIF周波数の関係、LO周波数 = 10GHz、LNA低ゲイン・モード

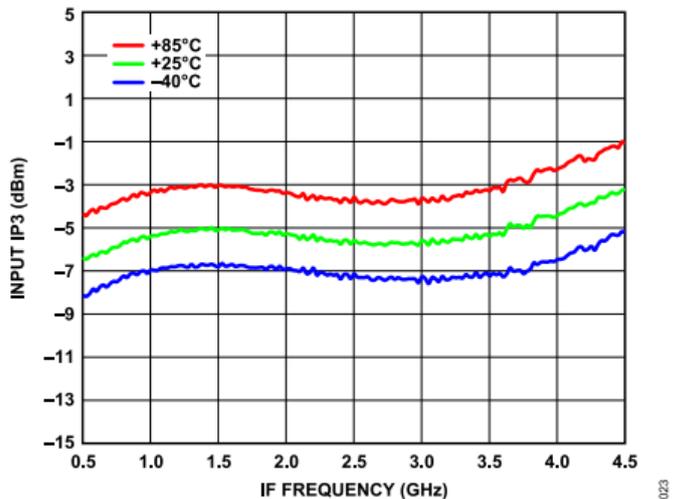


図 19. 異なる温度での入力IP3とIF周波数の関係、LO周波数 = 10GHz、LNA高ゲイン・モード

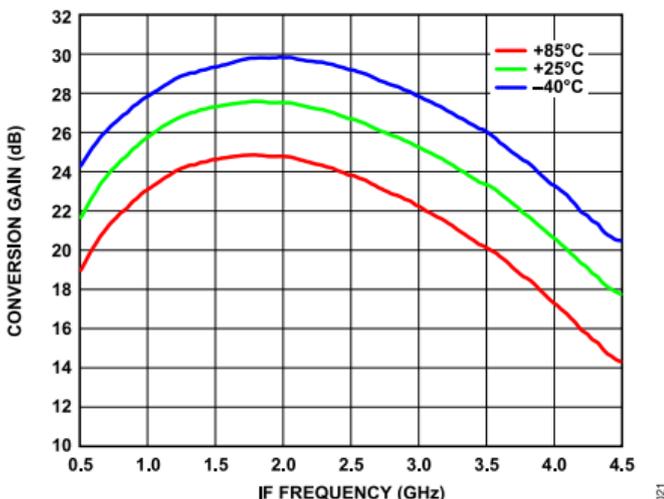


図 17. 異なる温度での変換ゲインとIF周波数の関係、LO周波数 = 10GHz、LNA高ゲイン・モード

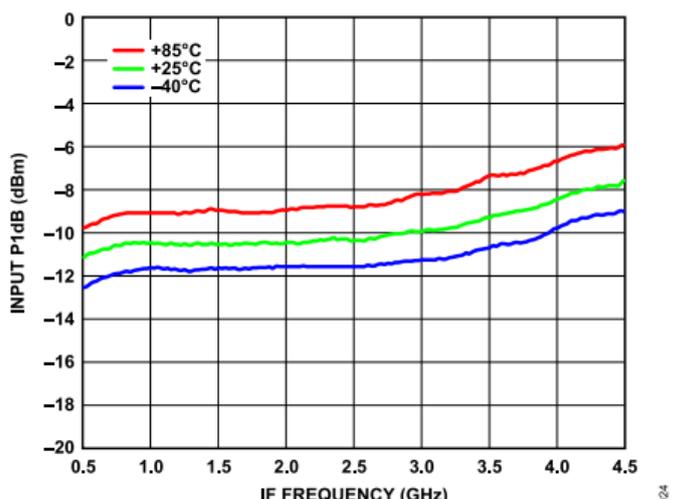


図 20. 異なる温度での入力P1dBとIF周波数の関係、LO周波数 = 10GHz、LNA低ゲイン・モード

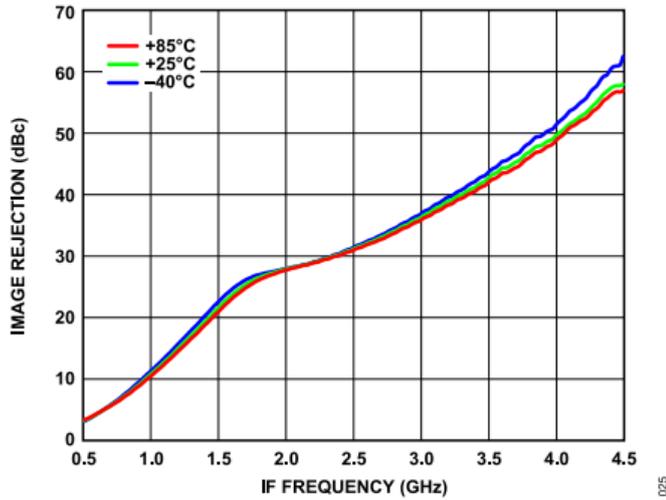


図 21. 異なる温度でのイメージ除去とIF周波数の関係、LO周波数 = 10GHz、LNA低ゲイン・モード

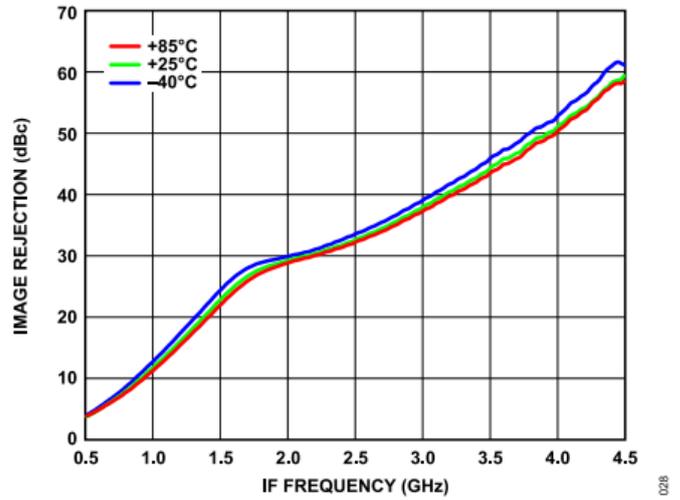


図 24. 異なる温度でのイメージ除去とIF周波数の関係、LO周波数 = 10GHz、LNA高ゲイン・モード

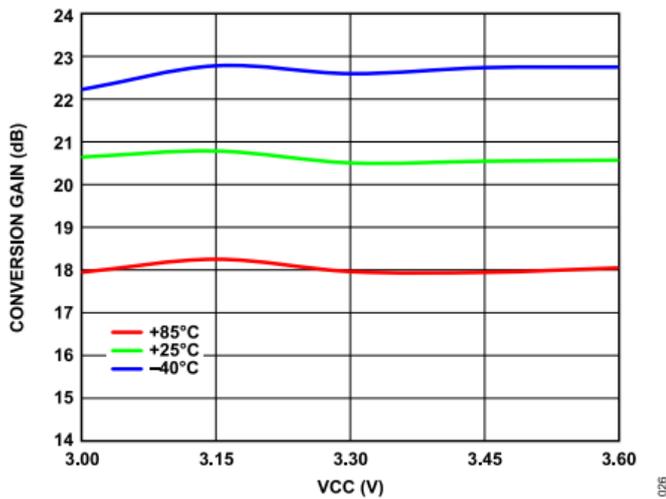


図 22. 異なる温度での変換ゲインとVCCの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

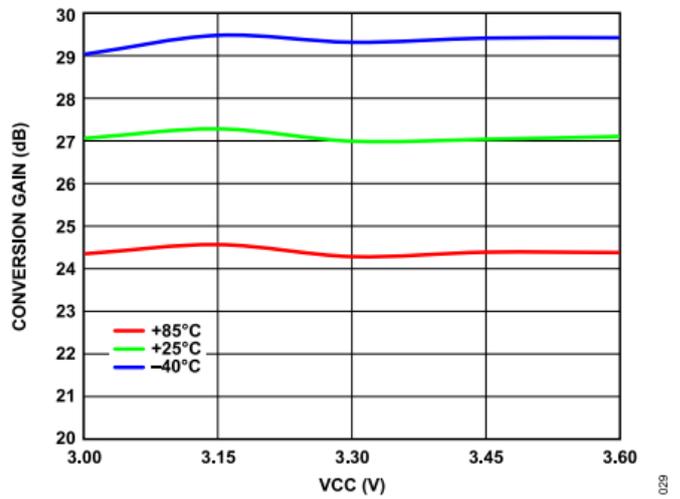


図 25. 異なる温度での変換ゲインとVCCの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

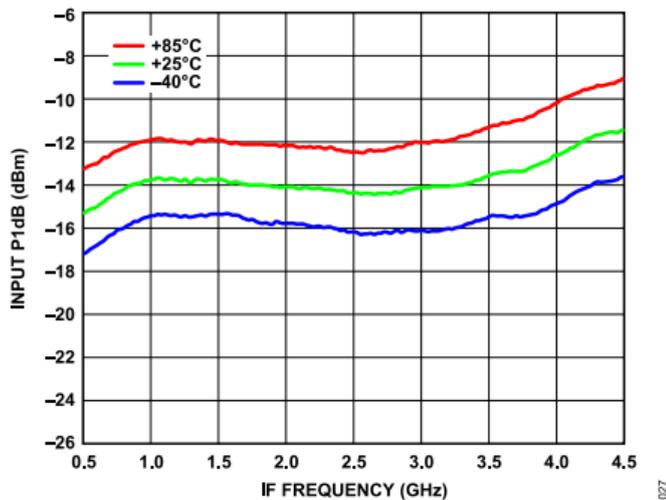


図 23. 異なる温度での入力P1dBとIF周波数の関係、LO周波数 = 10GHz、LNA高ゲイン・モード

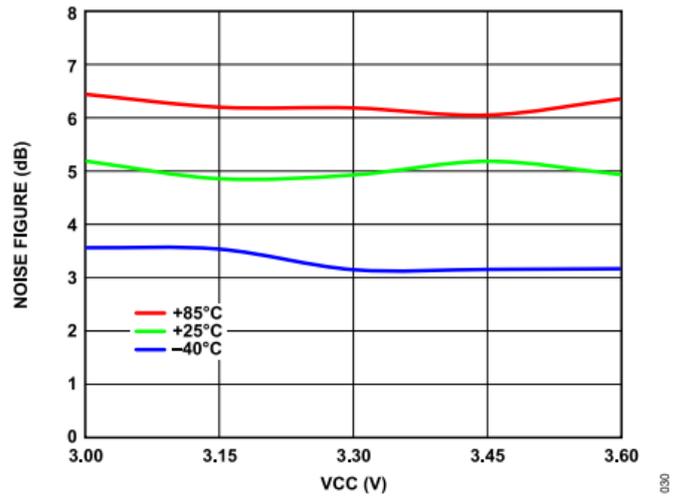


図 26. 異なる温度でのノイズ指数とVCCの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

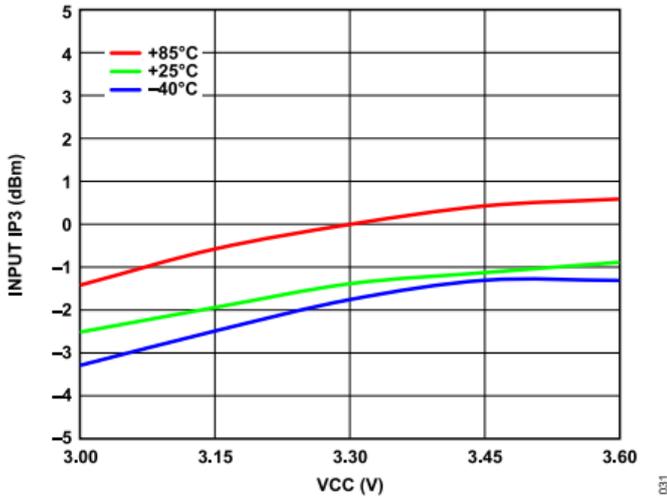


図 27. 異なる温度での入力IP3とVCCの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

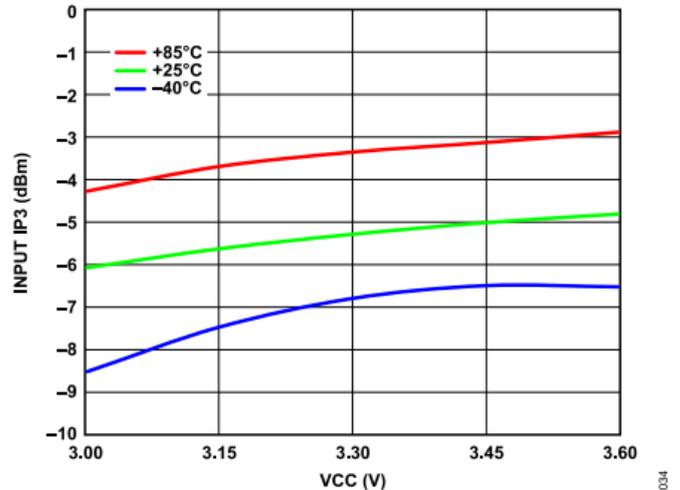


図 30. 異なる温度での入力IP3とVCCの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

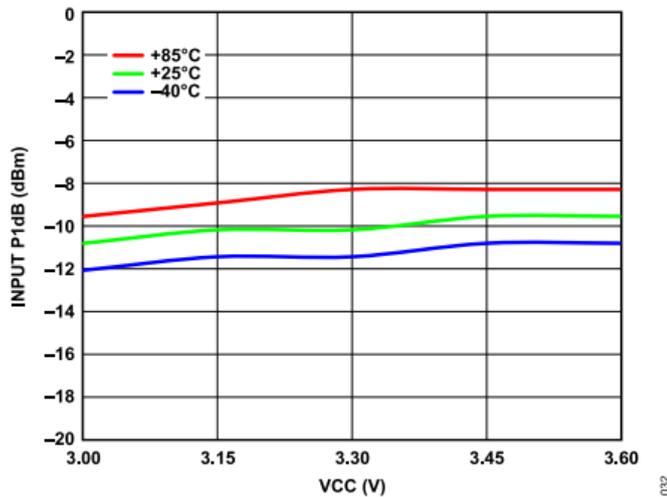


図 28. 異なる温度での入力P1dBとVCCの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

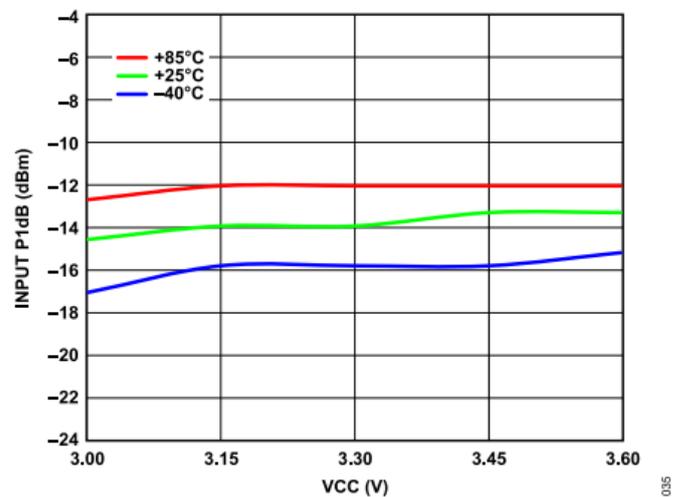


図 31. 異なる温度での入力P1dBとVCCの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

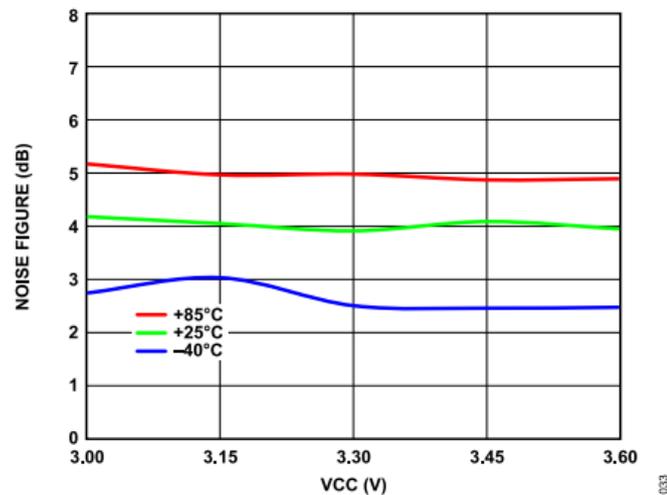


図 29. 異なる温度でのノイズ指数とVCCの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

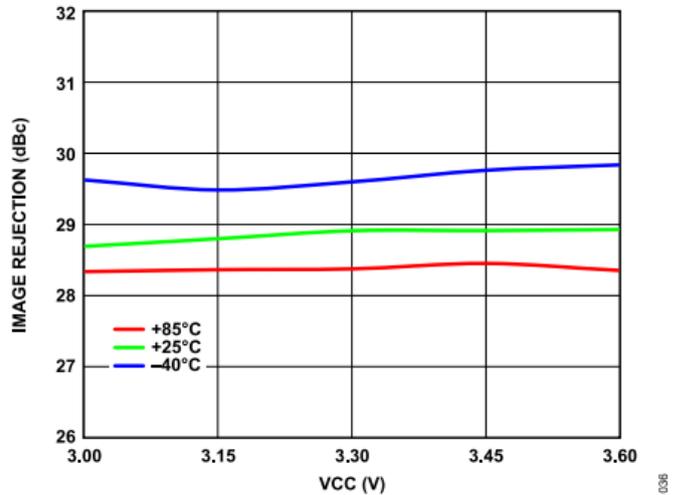


図 32. 異なる温度でのイメージ除去とVCCの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

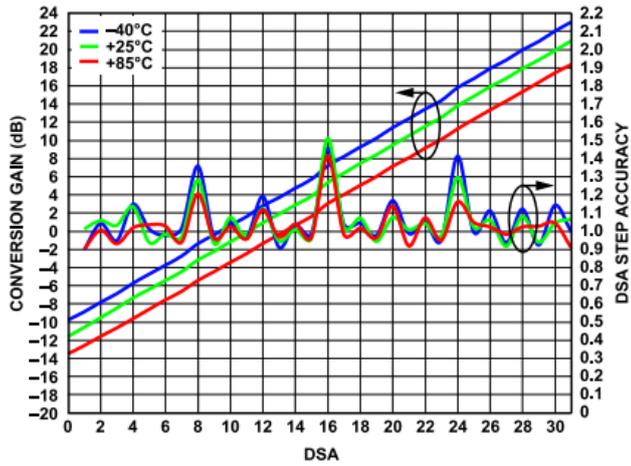


図 33. 異なる温度での変換ゲインおよびDSAステップ精度とDSAの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

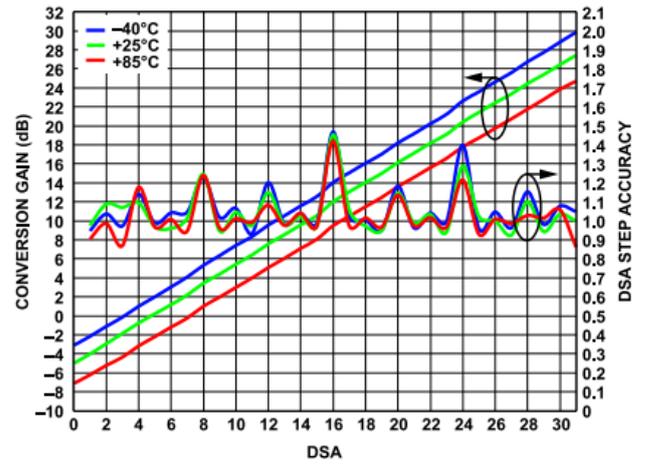


図 36. 異なる温度での変換ゲインおよびDSAステップ精度とDSAの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

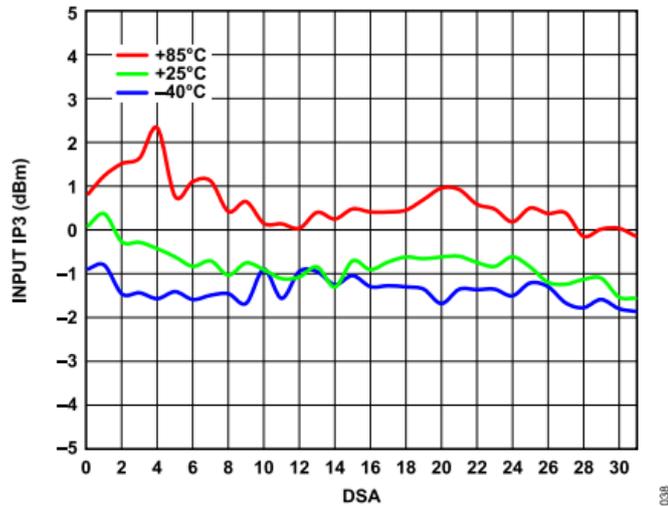


図 34. 異なる温度での入力IP3とDSAの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

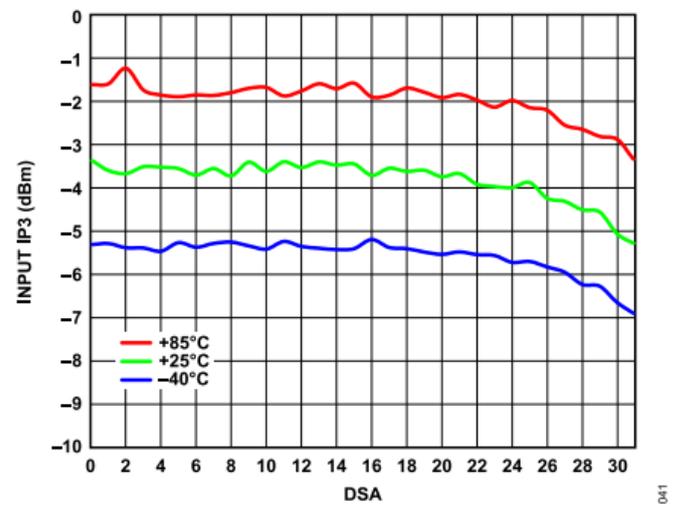


図 37. 異なる温度での入力IP3とDSAの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

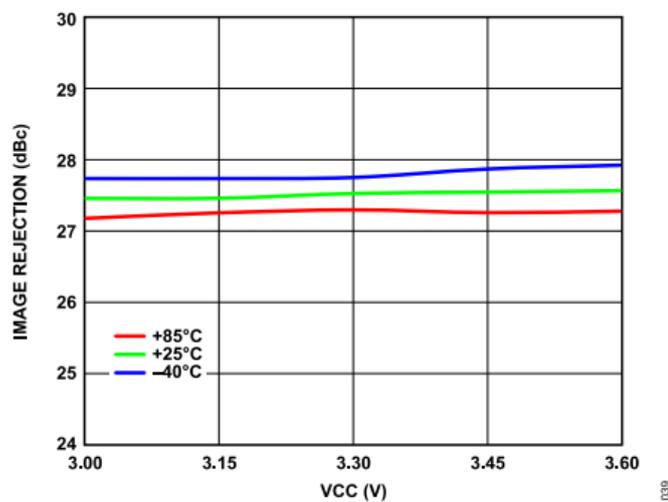


図 35. 異なる温度でのイメージ除去とVCCの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

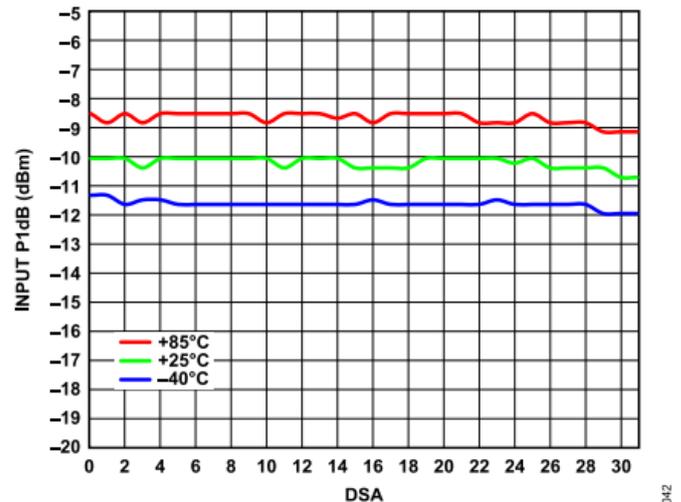


図 38. 異なる温度での入力P1dBとDSAの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

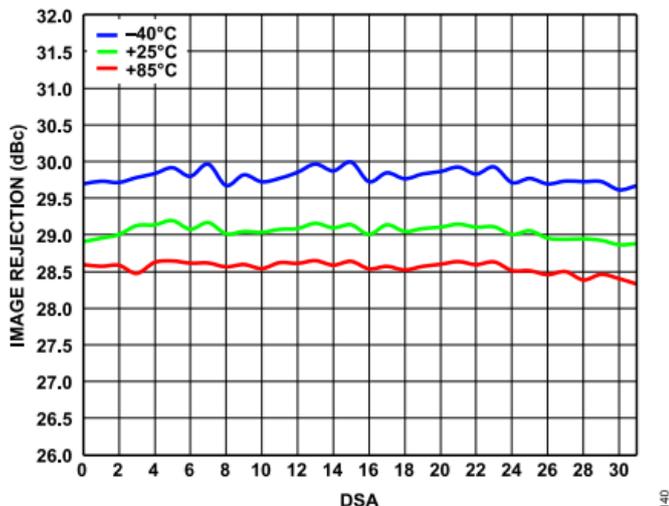


図 39. 異なる温度でのイメージ除去とDSAの関係、LO周波数 = 10GHz、LNA低ゲイン・モード

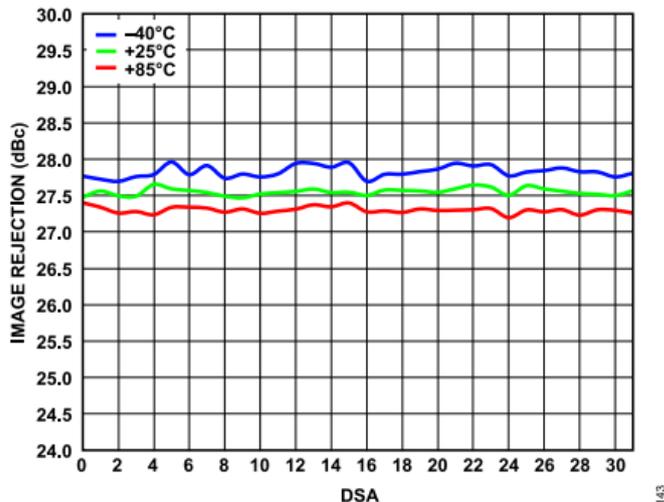


図 42. 異なる温度でのイメージ除去とDSAの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

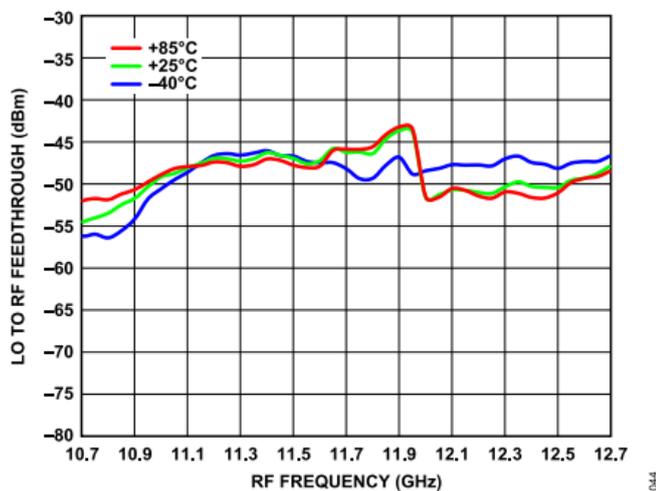


図 40. 異なる温度でのLOからRFへのフィードスルーとRF周波数の関係、LNA低ゲイン・モード

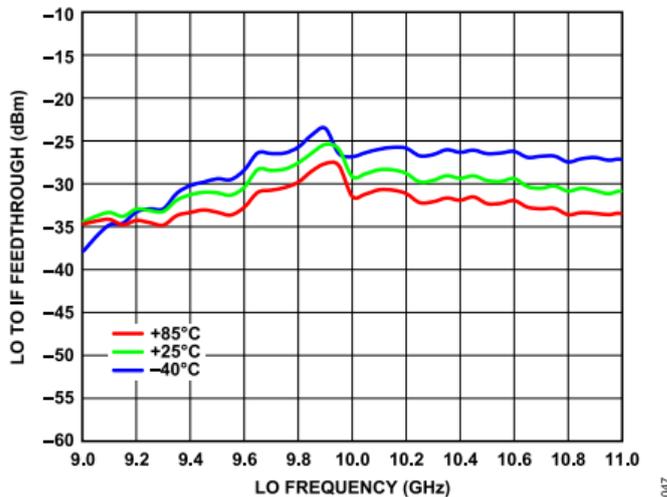


図 43. 異なる温度でのLOからIFへのフィードスルーとLO周波数の関係、LNA低ゲイン・モード

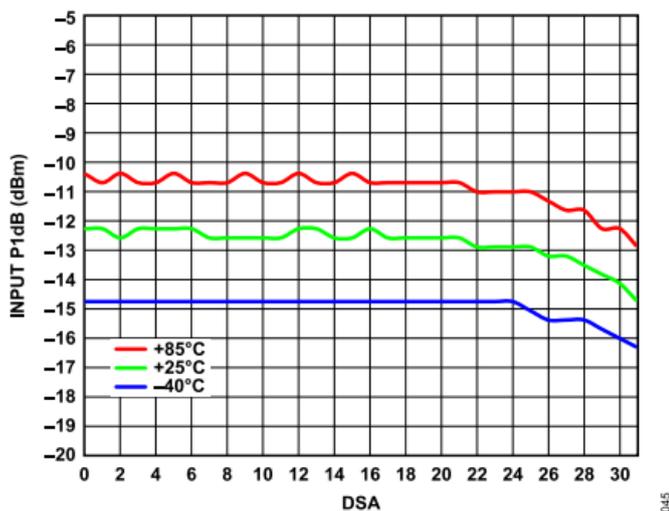


図 41. 異なる温度での入力P1dBとDSAの関係、LO周波数 = 10GHz、LNA高ゲイン・モード

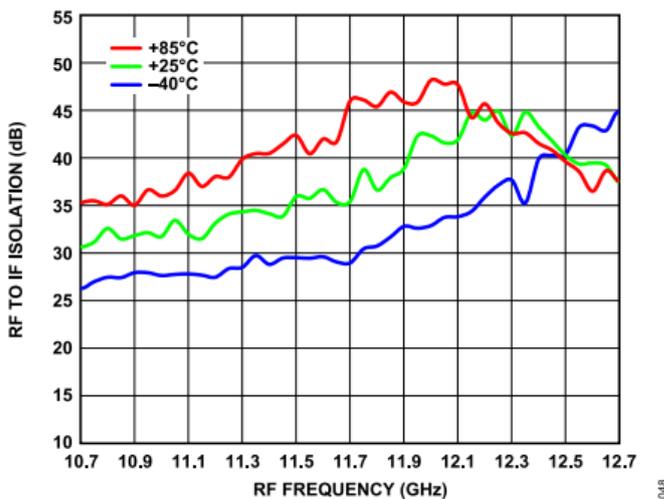
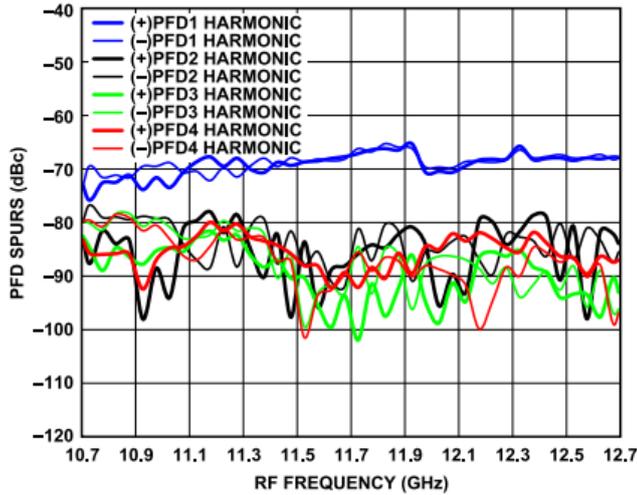
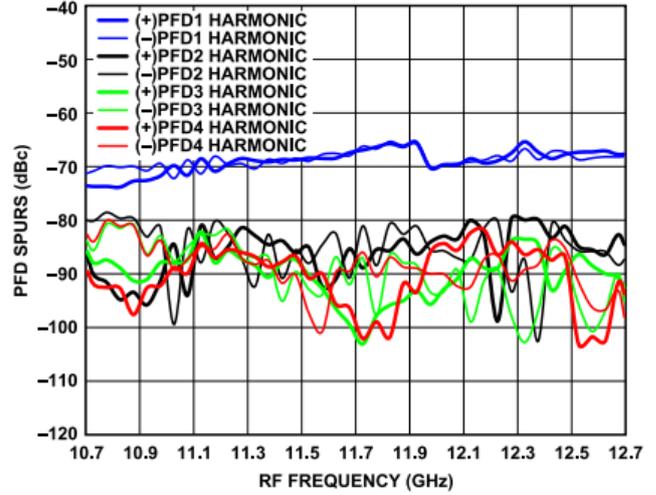


図 44. 異なる温度でのRFとIFの間の絶縁とRF周波数の関係、LNA低ゲイン・モード



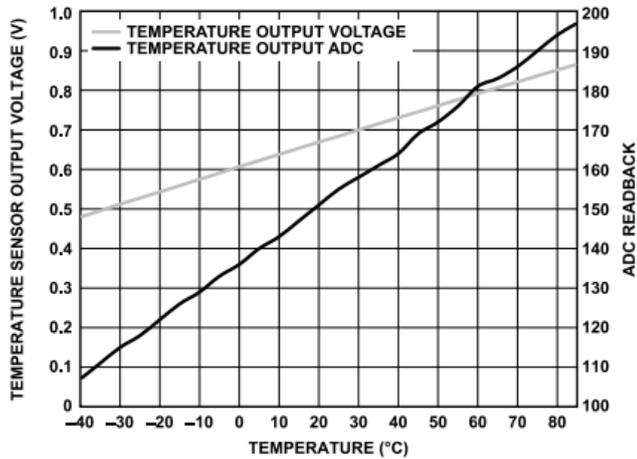
048

図 45. 位相周波数検出器 (PFD) スプリアスとRF周波数の関係、LNA低ゲイン・モード、IF出力電力レベルを基準に測定



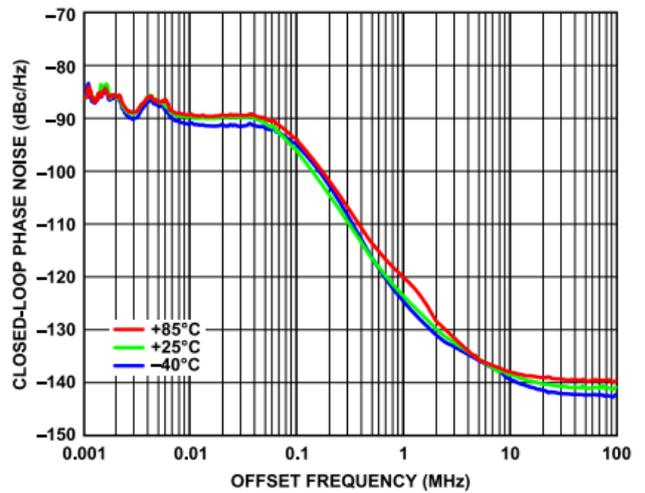
052

図 48. PFDスプリアスとRF周波数の関係、LNA高ゲイン・モード、IF出力電力レベルを基準に測定



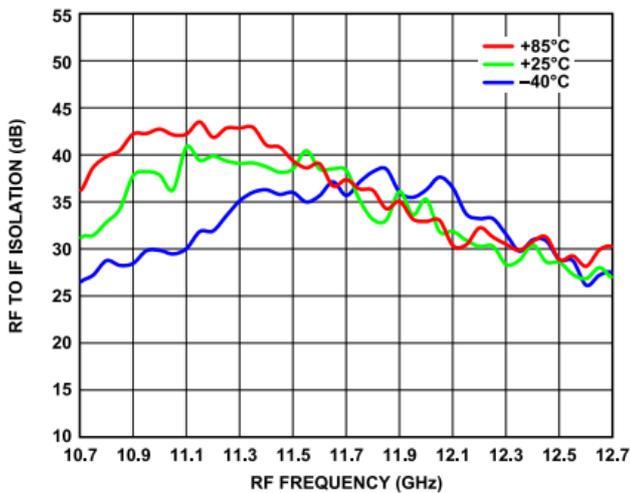
050

図 46. 温度センサーの出力電圧およびADCリードバックと温度の関係、LO周波数 = 10GHz



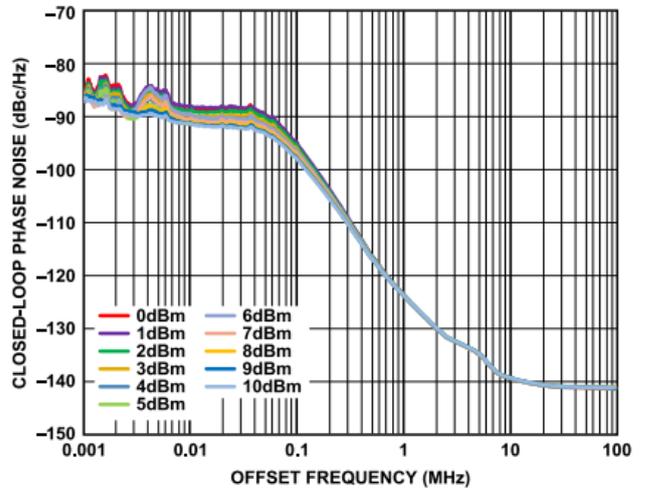
054

図 49. 異なる温度でのクローズドループ位相ノイズとオフセット周波数の関係、LO = 10GHz



051

図 47. 異なる温度でのRFとIFの間の絶縁とRF周波数の関係、LNA高ゲイン・モード



055

図 50. 異なるリファレンス入力電力でのクローズドループ位相ノイズとオフセット周波数の関係

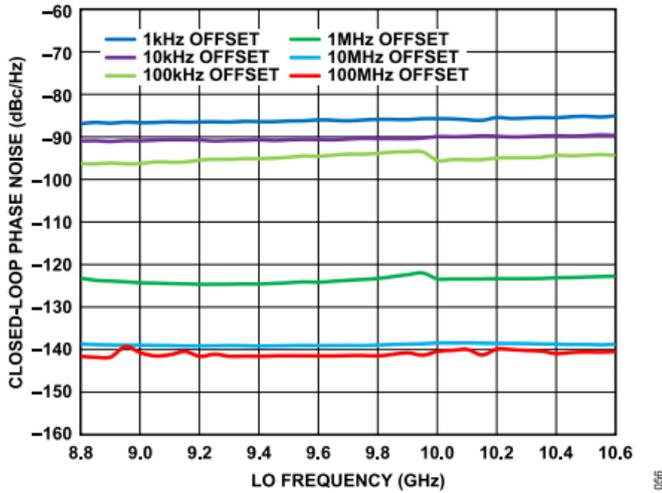


図 51. 異なるオフセット周波数でのクローズドループ位相ノイズと LO 周波数の関係

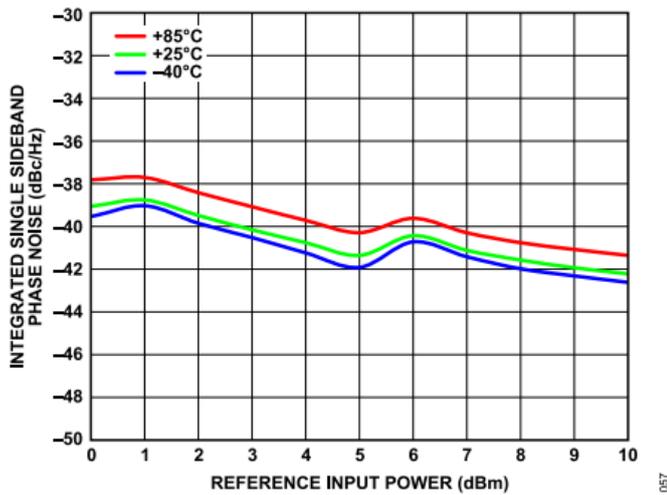


図 52. 異なる温度での積分単側帯位相ノイズとリファレンス入力電力の関係、オフセット周波数 = 1kHz~125MHz

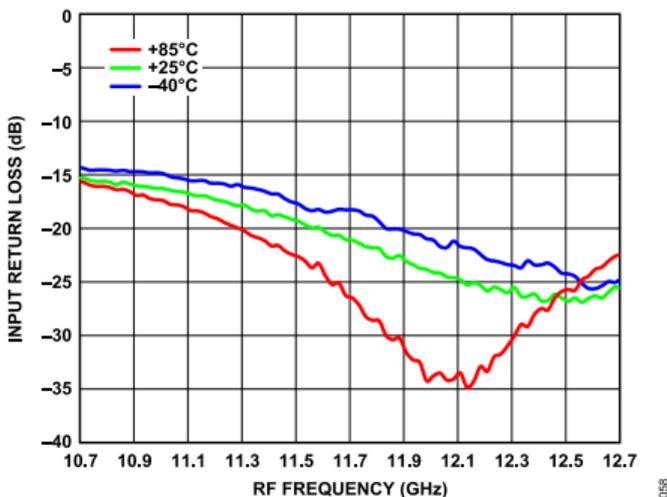


図 53. 異なる温度でのRFリターン損失とRF周波数の関係、LO周波数 = 10GHz

## 最大減衰性能 : DSA (レジスタ0X300) = 0

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $IF = 2\text{GHz}$ 、 $VCC = 3.3\text{V}$ 、クロック・リファレンス入力電力 =  $3\text{dBm}$ 、上側波帯を選択。

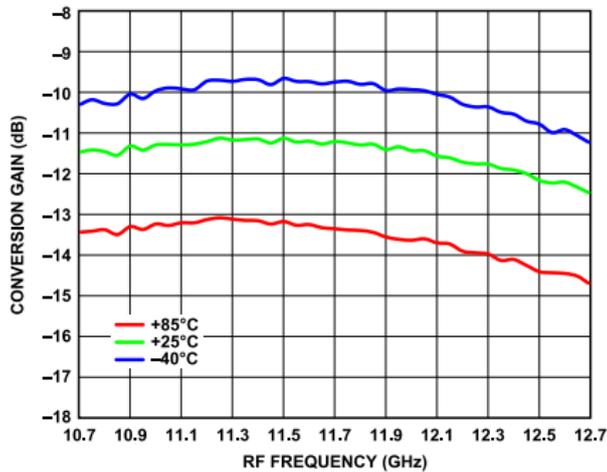


図 54. 異なる温度での変換ゲインとRF周波数の関係、LNA低ゲイン・モード

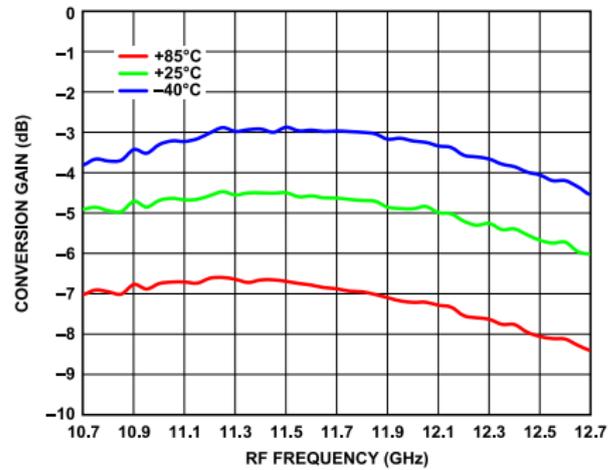


図 57. 異なる温度での変換ゲインとRF周波数の関係、LNA高ゲイン・モード

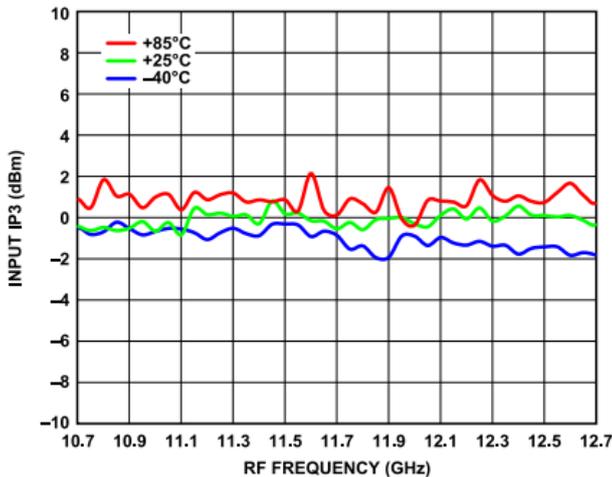


図 55. 異なる温度での入力IP3とRF周波数の関係、LNA低ゲイン・モード

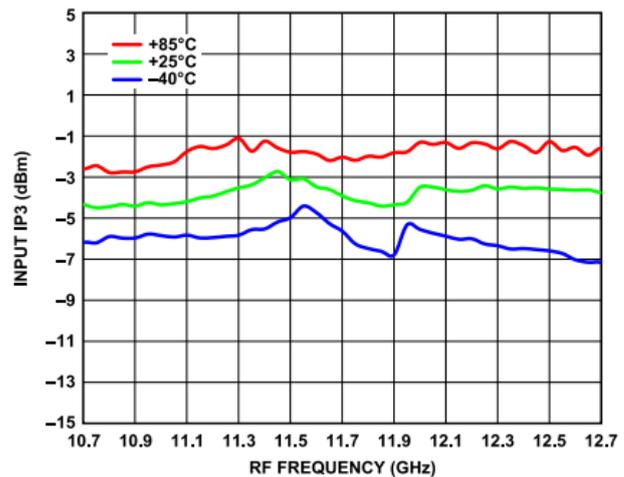


図 58. 異なる温度での入力IP3とRF周波数の関係、LNA高ゲイン・モード

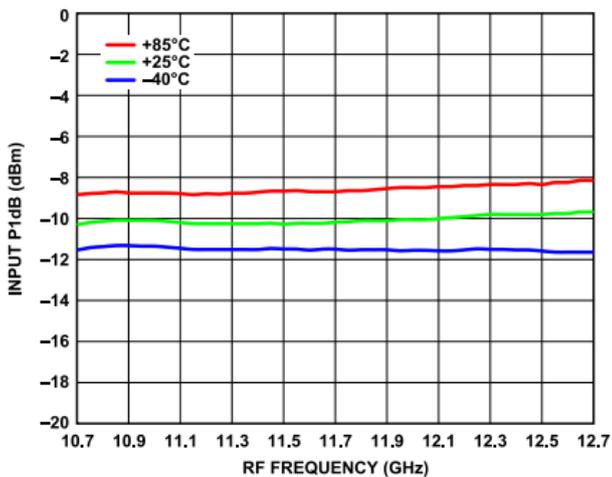


図 56. 異なる温度での入力P1dBとRF周波数の関係、LNA低ゲイン・モード

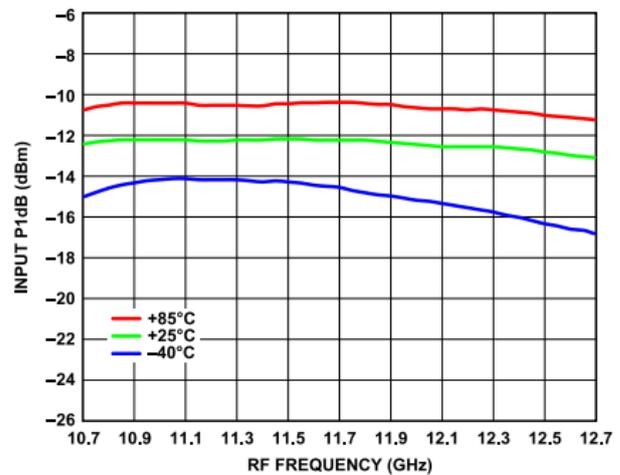


図 59. 異なる温度での入力P1dBとRF周波数の関係、LNA高ゲイン・モード

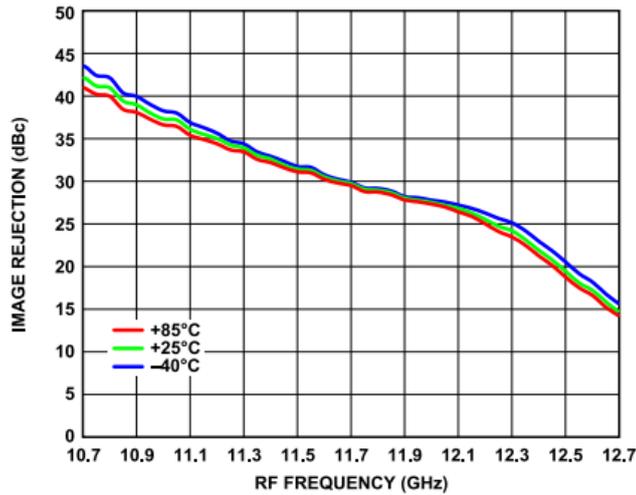


図 60. 異なる温度でのイメージ除去とRF周波数の関係、LNA低ゲイン・モード

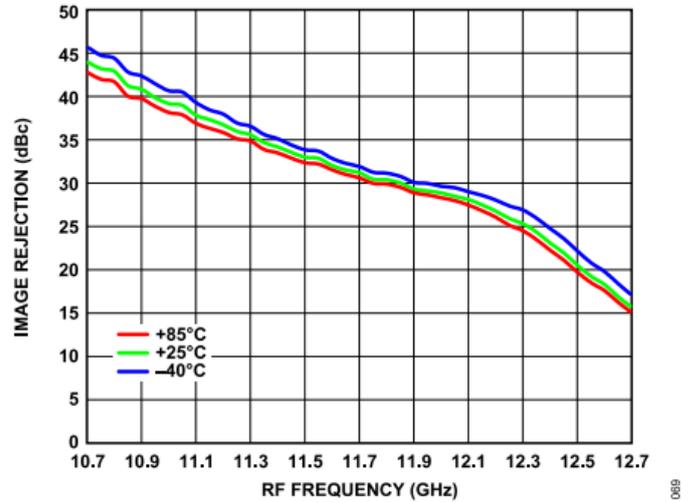


図 63. 異なる温度でのイメージ除去とRF周波数の関係、LNA高ゲイン・モード

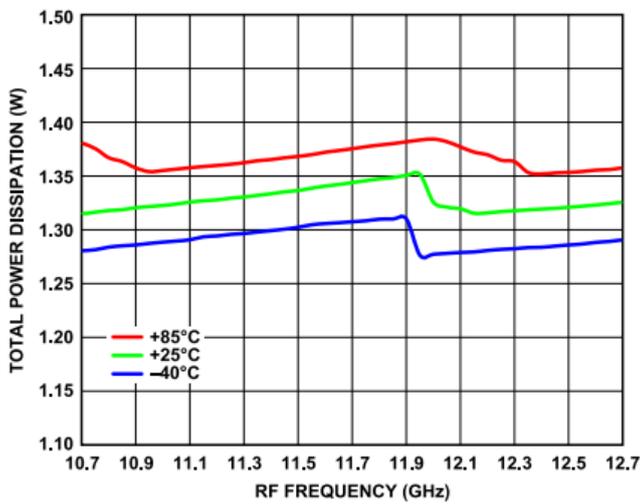


図 61. 異なる温度での合計消費電力とRF周波数の関係、LNA低ゲイン・モード

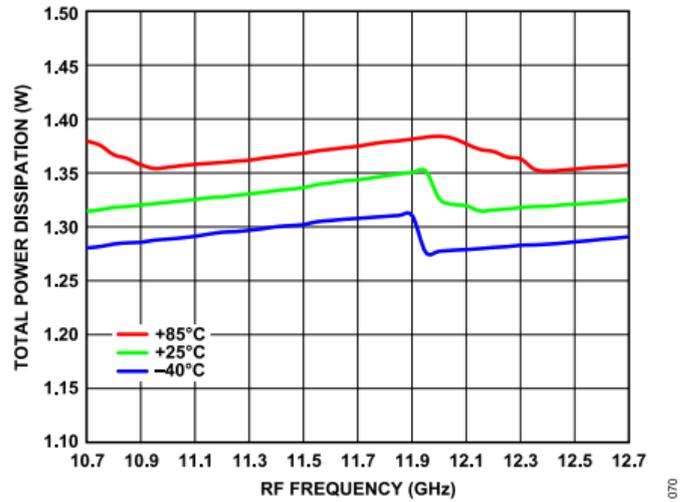


図 64. 異なる温度での合計消費電力とRF周波数の関係、LNA高ゲイン・モード

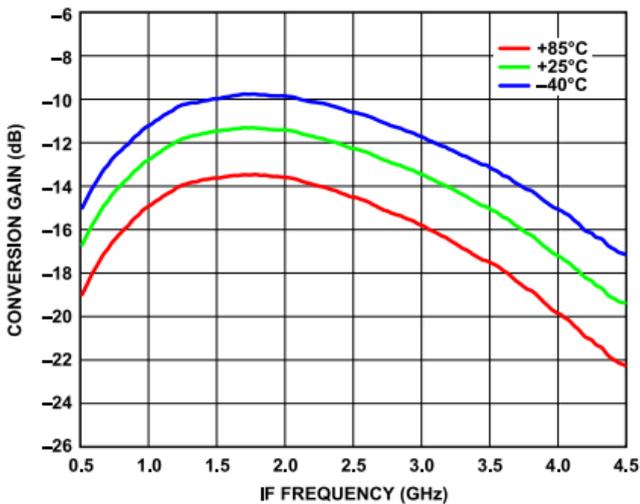


図 62. 異なる温度での変換ゲインとIF周波数の関係、LNA低ゲイン・モード

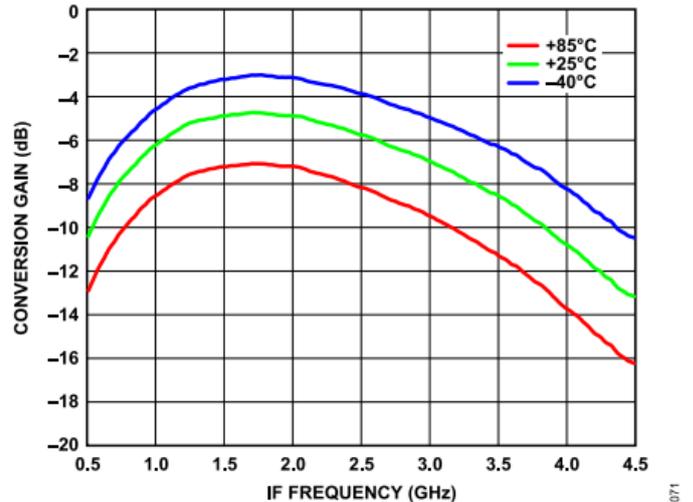


図 65. 異なる温度での変換ゲインとIF周波数の関係、LNA高ゲイン・モード

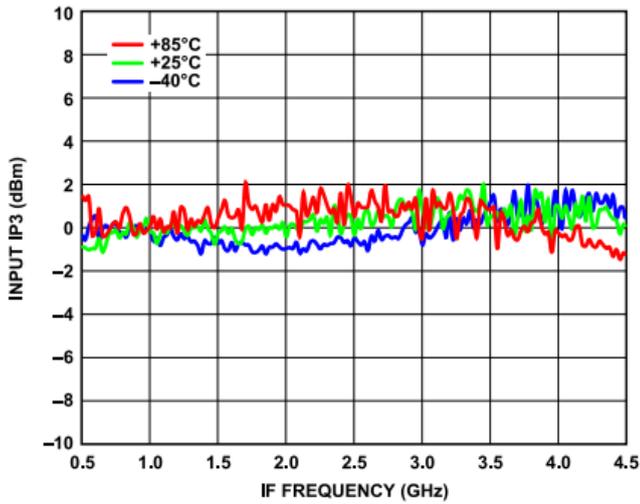


図 66. 異なる温度での入力IP3とIF周波数の関係、  
LNA低ゲイン・モード

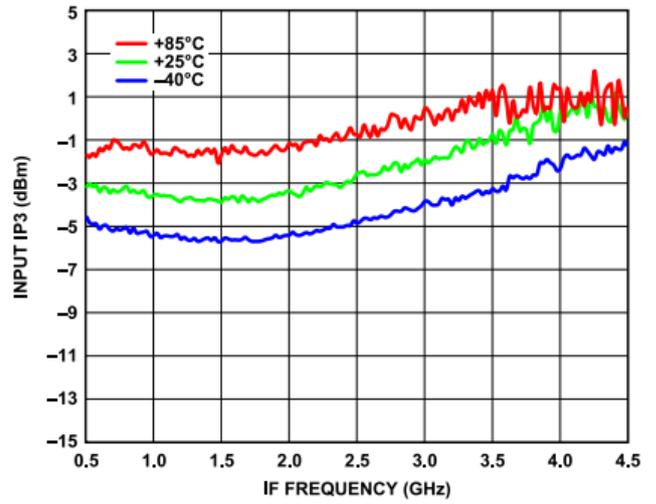


図 69. 異なる温度での入力IP3とIF周波数の関係、  
LNA高ゲイン・モード

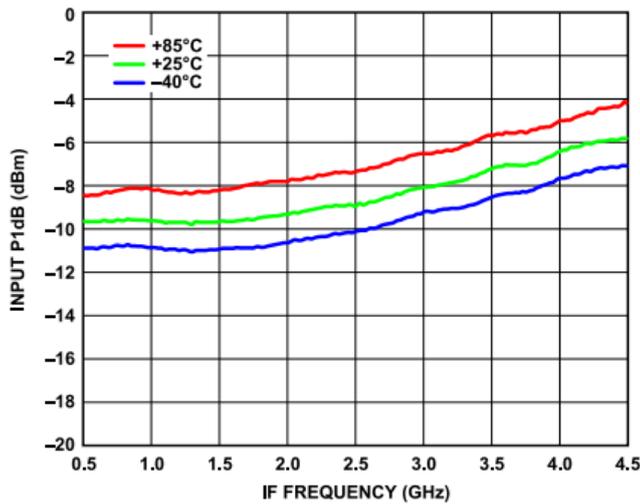


図 67. 異なる温度での入力P1dBとIF周波数の関係、  
LNA低ゲイン・モード

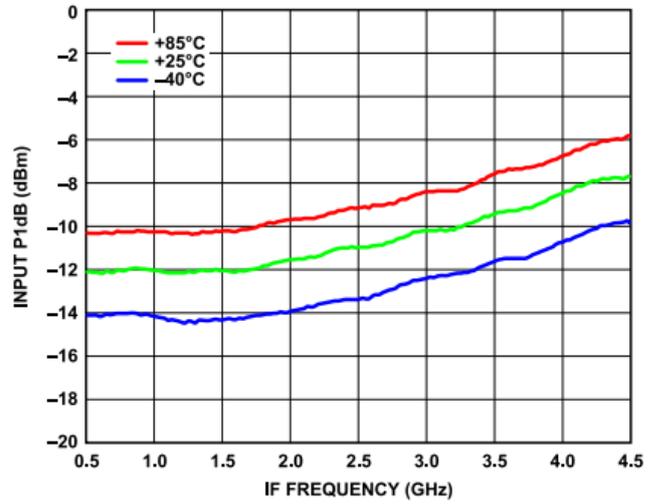


図 70. 異なる温度での入力P1dBとIF周波数の関係、  
LNA高ゲイン・モード

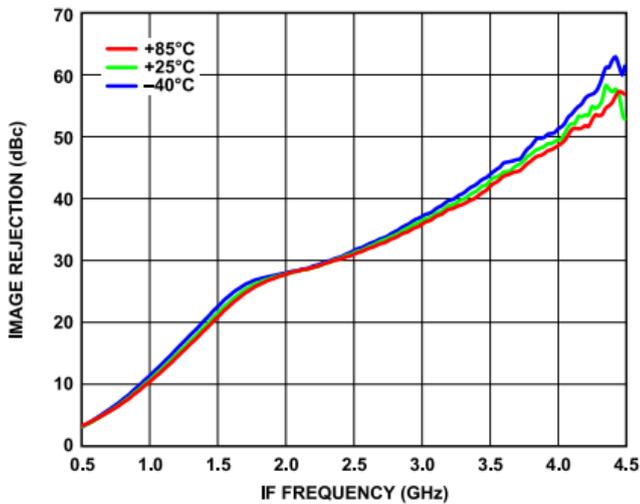


図 68. 異なる温度でのイメージ除去とIF周波数の関係、  
LNA低ゲイン・モード

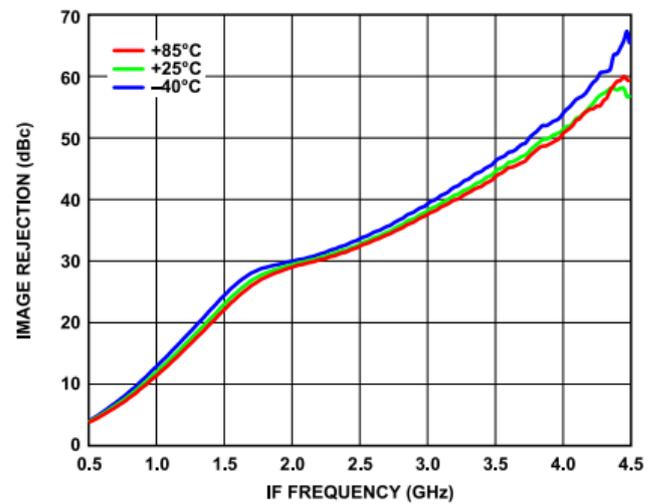


図 71. 異なる温度でのイメージ除去とIF周波数の関係、  
LNA高ゲイン・モード

## スプリアス性能

$T_A = 25^\circ\text{C}$ 、 $IF = 2\text{GHz}$ 、 $VCC = 3.3\text{V}$ 、最小減衰 (DSAレジスタ0x300 = 31)、クロック・リファレンス入力電力 = 3dBm、上側波帯を選択。ミキサのスプリアス積は、IF出力パワー・レベルをどれだけ下回るかをdBc単位で測定したものです。スプリアスの値は (M × RF) - (N × LO) の場合のものであります。

### M × Nスプリアス出力、RF = 10.7GHz、LO = 8.7GHz、LNA 低ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	18	27	35	≥100	≥100
	1	52	0	46	60	92	≥100
	2	83	92	67	79	78	≥100
	3	≥100	≥100	≥100	≥100	≥100	≥100
	4	≥100	≥100	≥100	≥100	≥100	88
	5	≥100	≥100	≥100	≥100	≥100	98

### M × Nスプリアス出力、RF = 10.7GHz、LO = 8.7GHz、LNA 高ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	33	34	41	≥100	≥100
	1	59	0	44	62	88	≥100
	2	81	82	60	80	72	≥100
	3	≥100	≥100	≥100	78	83	≥100
	4	≥100	≥100	≥100	≥100	≥100	90
	5	≥100	≥100	≥100	≥100	≥100	≥100

### M × Nスプリアス出力、RF = 11.7GHz、LO = 9.7GHz、LNA 低ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	18	39	≥100	≥100	≥100
	1	58	0	53	57	≥100	≥100
	2	81	86	69	79	81	≥100
	3	≥100	≥100	≥100	91	≥100	≥100
	4	≥100	≥100	≥100	≥100	≥100	99
	5	≥100	≥100	≥100	≥100	≥100	95

### M × Nスプリアス出力、RF = 11.7GHz、LO = 9.7GHz、LNA 高ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	25	44	≥100	≥100	≥100
	1	67	0	51	58	≥100	≥100
	2	77	80	62	71	73	≥100
	3	≥100	≥100	≥100	75	86	≥100
	4	≥100	≥100	≥100	≥100	≥100	≥100
	5	≥100	≥100	≥100	≥100	≥100	≥100

### M × Nスプリアス出力、RF = 12.7GHz、LO = 10.7GHz、LNA 低ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	21	43	≥100	≥100	≥100
	1	58	0	60	65	≥100	≥100
	2	87	87	73	87	97	≥100
	3	≥100	≥100	≥100	86	≥100	≥100
	4	≥100	≥100	≥100	≥100	≥100	85
	5	≥100	≥100	≥100	≥100	≥100	97

### M × Nスプリアス出力、RF = 12.7GHz、LO = 10.7GHz、LNA 高ゲイン・モード

		N × LO					
		0	1	2	3	4	5
M × RF	0	N/A	27	48	≥100	≥100	≥100
	1	52	0	59	67	≥100	≥100
	2	84	82	69	99	88	≥100
	3	≥100	≥100	≥100	76	96	≥100
	4	≥100	≥100	≥100	≥100	≥100	89
	5	≥100	≥100	≥100	≥100	≥100	≥100

## 動作原理

ADMV4640は、様々なSATCOMユーザ・ターミナル向けに最適化されたマイクロ波ダウンコンバータで、10.7GHz~12.7GHzの周波数範囲で動作します。このデバイスの機能ブロック図は、[図1](#)を参照してください。ADMV4640のデジタル設定はSPIを介して制御されます。

### リファレンス入力段

[図72](#)に示すリファレンス入力段は、外部の25MHzシングルエンド・ソースで駆動できます。リファレンス入力には必ず外部DCブロックを用いてください。

### リファレンス・ダブラ、Rカウンタ、リファレンス2分周器

内蔵のリファレンス・ダブラ（2乗倍器、[図72](#)参照）によって、より高い位相周波数検出器周波数（ $f_{PFD}$ ）が生成されます。リファレンス・ダブラをイネーブルするには、DOUBLER\_ENビット（レジスタ0x20E、ビット3）を使用します。

周波数分周器は、5ビットのR分周器カウンタ（1~32が可能）と2分周器（2分周ブロック、[図72](#)参照）の2つがあります。これらの分周器は、入力リファレンス周波数（ $f_{REF}$ ）を分周して、より低い $f_{PFD}$ を生成します。Rカウンタをセットするには、R\_DIVビット（レジスタ0x20C、ビット[4:0]）を使用します。

リファレンス2分周ブロックはRDIV2\_SELビット（レジスタ0x20E、ビット0）を使ってイネーブルします。

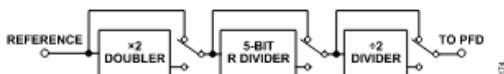


図 72. リファレンス入力パスのブロック図

### INTモードおよびNカウンタ

ADMV4640のシンセサイザはINTモードで動作します。

Nカウンタは、VCOからのフェーズ・ロック・ループ（PLL）帰還パスの分周比を設定します。分周比はINTのビット値で決まります。INTのビット値を設定するには、レジスタ0x200およびレジスタ0x201を使用します。

INTのビット値をリファレンス・パスと組み合わせることで、 $f_{PFD}$ の分解能で区切られたVCO周波数を生成できます。

$f_{PFD}$ を $f_{REF}$ およびリファレンス・パス構成パラメータを用いて計算するには、次式を使用します。

$$f_{PFD} = f_{REF} \times \frac{1+D}{R \times (1+T)} \quad (1)$$

ここで、

Dはリファレンス・ダブラ・ビット（0または1）、  
Rは2進5ビット・プログラマブル・カウンタのリファレンス分周比（1~31）、  
Tはリファレンス2分周ビット（0または1）です。

VCO周波数（ $f_{VCO}$ ）は次式で計算します。

$$f_{VCO} = \frac{f_{LO}}{2} = f_{PFD} \times N \quad (2)$$

ここで、

$f_{LO}$ は、ミキサを駆動するLOの周波数、

Nは、INT（16ビットの整数値（0~65,535））の目標値です。

### 位相周波数検出器（PFD）およびCP

PFDはRカウンタとNカウンタから入力を受け取り、両者の位相差と周波数差に比例した出力を生成します。この比例情報は、外部ループ・フィルタの駆動用電流を生成するCP回路に出力されます。ループ・フィルタは、VTUNEチューニング電圧を適切に増減させるために使われます。

[図73](#)にPFDとCPの簡略化した回路図を示します。U1およびU2は2個のDタイプ・フリップ・フロップ、U3はAGNDのゲートです。PFDには固定遅延素子が含まれており、これを使用してPFDの伝達関数に不感帯が生じないようにして、リファレンス・スプリアス・レベルを一定にします。

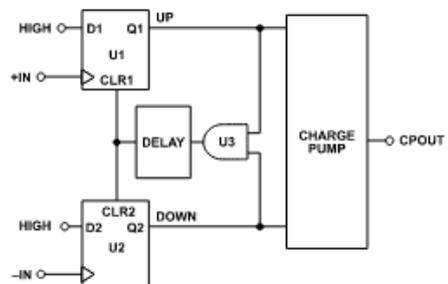


図 73. PFDとCPの簡略回路図

### ループ・フィルタおよびCP電流

PLL用のループ・フィルタは、PFDの周波数、Nカウンタの値、VCOのチューニング感度特性（ $k_{VCO}$ ）、および選択したCP電流によって決まります。 $f_{PFD}$ を低くすると、INTモードでPLLを動作させることができ、それによって整数境界スプリアスをなくすることができますが、帯域内位相ノイズが大きくなってしまいます。周波数プランニングと $f_{PFD}$ の選択に注意して、エンド・アプリケーションにおいて適切な帯域内位相ノイズ性能を実現しながら、スプリアス・レベルを許容できるレベルに抑える必要があります。

ADMV4640-EVALZ評価用ボード上に実装されているループ・フィルタを、[図74](#)に示します。CP電流（ $I_{CP}$ ）は、レジスタ0x22Eによって設定されます。このレジスタのデフォルト値は0x0Eとすることを推奨します。

ADMV4640のループ・フィルタのシミュレーションに関する詳細なガイダンスについてはアナログ・デバイセズにお問い合わせください。

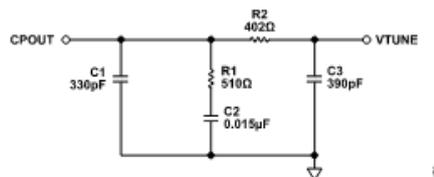


図 74. 推奨ループ・フィルタの回路図

## 内蔵MUXOUTピン

MUXOUTピンは、様々な内部信号へのアクセスを可能にし、また、デジタル・ロック検出機能を提供します。図75に、MUXOUTピンの接続図を示します。MUXOUTピンの状態は、レジスタ0x24EのMUX\_SELの値で決まります。

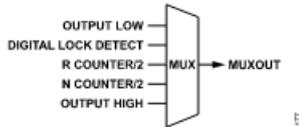


図 75. MUXOUTピンの接続図

## アナログ・マルチプレクサ・ブロック、AGPIOピン、ADC

内蔵のAGPIOピンは、外部アナログ入力またはデバイスのアナログ・マルチプレクサ (mux) 信号の出力として使用できます。アナログ・マルチプレクサは、ADMV4640内部の1ブロックです。AGPIOピンを入力として用いる場合、AGPIO信号は内蔵のアナログ・マルチプレクサに転送されます。アナログ・マルチプレクサは、温度センサーとAGPIO信号のどちらかを選択します。内蔵ADCは、アナログ・マルチプレクサからの信号をサンプリングします。

ADCをイネーブルしてアナログ・マルチプレクサ信号をサンプリングするには、次の手順に従います。

1. リファレンス入力がADMV4640に供給されていることを確認します。
2. レジスタ0x301のビット[2:0]を6または7に設定して、アナログ・マルチプレクサ出力として温度センサーまたはAGPIO信号を選択します。AGPIO信号を選択する場合は、レジスタ0x301のビット3を1に設定して、AGPIOが外部信号入力となるようにします。
3. レジスタ0x302のビット[3:0]を0x00に設定してADCのログ・スケールを無効化しADCをリセットします。
4. レジスタ0x302のビット[1:0]を0x03に設定してADCのサンプリングをイネーブルして開始します。
5. 1ms待機します。
6. レジスタ0x302のビット1を0に設定します。
7. レジスタ0x304からADCの値を読み出します。
8. レジスタ0x302のビット[1:0]を0x00に設定して、ADCをオフにします。

デフォルトのADC入力電圧範囲は0V~1.1Vです。入力範囲をそれより高くする必要がある場合は、サンプリングの前にレジスタ0x302のビット2を1に設定し入力電圧を半分にします。この場合、電圧範囲は0V~2.2Vとなります。

ADC出力のログ・スケールを有効化または無効化するには、レジスタ0x302のビット3を1または0に設定します。

AGPIOピンを出力として使い、アナログ・マルチプレクサ信号をAGPIOピンに転送することもできます。AGPIOピンを出力に設定するには、次の手順に従います。

1. レジスタ0x301のビット3を0に設定して、AGPIOピンを内蔵アナログ・マルチプレクサ信号の出力に設定します。
2. レジスタ0x301のビット[2:0]を110に設定して、アナログ・マルチプレクサ出力に温度センサーを選択します。
3. レジスタ0x302のビット0を0に設定して、ADCをオフにします。

## GPIOXピン

入出力 (I/O) 制御用に3本のGPIOxピンがあります。レジスタ0x307を用いてGPIOを設定します。詳細については、[レジスタの詳細](#)のセクションを参照してください。

## デジタル・ロック検出およびMUTE\_IF\_UNLOCKEDビット

デジタル・ロック検出機能はMUXOUTピンに出力され、レジスタ0x214で調整できる2つの設定があります。最初の設定であるLD\_BIASは、内部の高精度ウィンドウを調整します。もう1つの設定であるLD\_COUNTは、PLLロックを宣言するための連続サイクル・カウンタを調整します。これら2つの設定はデフォルトのレジスタ値のままにしてください。ロック検出ステータスは、レジスタ0x24Dのビット0から取得することもできます。

MUTE\_IF\_UNLOCKEDビット (レジスタ0x103、ビット0) により、PLLがロック解除された場合に出力をミュートすることができます。ビットを1に設定するとこの機能を有効化できます。

## シグナル・チェーン・バイアス・レジスタ、マスク・レジスタ、RX\_MUTEピン、RXONピン

RXONとRX\_MUTEの2つのピンは内蔵ピンです。これらのピンは、チップに特定の段をブロックするよう指令する、信号マスクです。これら2個のピンはハイ (3.3V) またはロー (グラウンド) にすることができます。ミュート・マスク制御レジスタ (レジスタ0x101) とオン・マスク制御レジスタ (レジスタ0x102) を用いると、信号経路のどの段をこれら2個のピンでマスクするかを決定できます。

レジスタ0x100 (バイアス制御)、レジスタ0x101 (ミュート・マスク制御)、レジスタ0x102 (オン・マスク制御) は信号経路の各段のオン/オフ状態を制御します。

レジスタ0x100はバイアス制御レジスタです。このレジスタの各ビットを1または0に設定して、対応する段のバイアスをイネーブルまたはディスエーブルできます。

レジスタ0x101はミュート・マスク制御レジスタです。このレジスタの各ビットを1に設定すると、RX\_MUTEピンによってそのビットに対応する段をマスクできます。

例えば、LOアンプのミュート・マスク制御ビットがオン (レジスタ0x101、ビット1 = 1) で、チップのRX\_MUTEピンがハイに引き上げられている場合、LOアンプはブロックされます。

表5の真理値表に、信号段をブロックするためにはRX\_MUTEピンとミュート・マスク制御レジスタをどのように設定すればよいかを示します。MUTE\_IF\_UNLOCKEDビット (レジスタ0x103、ビット0) がイネーブルされている場合、RX\_MUTEピンと同じミュート効果を持ちます。

レジスタ0x102はオン・マスク制御レジスタです。このレジスタの各ビットを1に設定すると、RX\_ONピンによってそのビットに対応する段をマスクできます。RX\_ONピンを機能させるには、レジスタ0x100において対応する段のバイアス制御がオンになっており、かつ、RX\_MUTEピンとミュート・マスク制御レジスタがディスエーブルされている必要があります。

例えば、LOアンプのオン・マスク制御ビットがオン (レジスタ0x102、ビット1 = 1) で、チップのRX\_ONピンがローに引き下げられている場合、LOアンプはブロックされます。

表6の真理値表に、信号段をブロックするためにはRX\_ONピンとオン・マスク制御レジスタをどのように設定すればよいかを示します。

## SPI設定

ADMV4640のSPIは、4ピンSPIポートを介して、特定の機能や動作に合わせてデバイスを設定します。このインターフェースにより、柔軟性が高まり、また、カスタマイズがしやすくなります。SPIは、SCLK、SDI、SDO、 $\overline{\text{CS}}$ の4本の制御ラインで構成されています。ADMV4640のプロトコルは、書込みまたは読出しビットと、その後続く15ビットのレジスタ・アドレス、および8ビットのデータで構成されます。アドレス・フィールドとデータ・フィールドはLSBファースト構造で、MSBで終了します。

書込み動作の場合はMSBを0に設定し、読出し動作の場合はMSBを1に設定します。

書込みサイクルのサンプリングは、SCLKの制御ラインの立上がりエッジで行う必要があります。24ビットのシリアル書込みアドレスおよびデータは、SDI制御ライン上でMSBからLSBにシフト・インされます。ADMV4640の書込みサイクル用入力ロジック・レベルは、3.3Vインターフェースに対応しています。

読出しサイクルでは、読出し/書込み (R/W) ビットと15ビットのアドレスが、SDI制御ライン上においてSCLKピンの立上がりエッジでシフト・インします。次に、8ビットのシリアル読出しデータが、LSBファーストかつSCLKの立下がりエッジで、SDOピンにシフト・アウトします。読出しサイクルの出力ロジック・レベルは3.3Vです。SDOピンの出力ドライバは命令サイクルのSCLKの最後の立上がりエッジ後にイネーブルされ、その読出しサイクルの終了までアクティブな状態を保ちます。読出し動作中に $\overline{\text{CS}}$ 制御ラインがアサート解除されると、SDOピンが高インピーダンス状態に戻り、次の読出しトランザクションまでその状態が保たれます。 $\overline{\text{CS}}$ ピンはアクティブ・ローで、書込みまたは読出しシーケンスの終了時にアサート解除する必要があります。

通信サイクルは、 $\overline{\text{CS}}$ ピンのアクティブ・ロー入力で開始され、制御されます。 $\overline{\text{CS}}$ ピンを用いることで、同じシリアル通信ラインにある複数のADMV4640デバイスを使用できます。SDOピンは、 $\overline{\text{CS}}$ ピンがハイの場合に高インピーダンス状態になります。通信サイクル時は、 $\overline{\text{CS}}$ はローになっていなければなりません。

SPI通信プロトコルは、アナログ・デバイセズのSPI標準に従っています。詳細については、[ADI-SPI Serial Control Interface Standard \(Rev 1.0\)](#)ガイドを参照してください。

## VCOの自動キャリブレーションおよび自動レベル制御

マルチコアVCOは、内部自動キャリブレーションおよび自動レベル制御 (ALC) ルーチンを使用します。このルーチンはユーザ指定の周波数に合わせてVCOの設定を最適化し、Nカウンタの整数値下位部分 (レジスタ0x200) のプログラム後にPLLをロックします。

## ダブル・バッファ付きレジスタ

レジスタ0x20C、レジスタ0x20E、レジスタ0x201はダブル・バッファ付きレジスタで、整数値の下位部分 (INT\_L、レジスタ0x200) に書込みを行った後にのみ、有効となります。レジスタ0x200はこれらのダブル・バッファ付きレジスタに何らかの変更を加え、自動キャリブレーション・ルーチンを開始します。

ダブル・バッファ付きレジスタの推奨プログラミング・シーケンスを以下に示します。

1. R\_DIVをプログラムします。
2. RDIV2\_SELをプログラムします。
3. DOUBLER\_ENをプログラムします。
4. INT\_Hをプログラムします。
5. INT\_Lをプログラムします。

## 初期化レジスタ

デバイス初期化時の推奨プログラミング・シーケンスを以下に示します。

1. レジスタ0x000 = 0x99
2. レジスタ0x000 = 0x18
3. レジスタ0x103 = 0x00
4. レジスタ0x22B = 0x0B
5. レジスタ0x22F = 0x27
6. レジスタ0x308 = 0x02
7. レジスタ0x309 = 0x33
8. レジスタ0x30A = 0x48
9. レジスタ0x30D = 0x09
10. レジスタ0x30E = 0x09
11. レジスタ0x300 = 0x1F

表 5. RX\_MUTEおよびミュート・マスク 制御を使用する信号段ステータス真理値表

RX_MUTE Pin    MUTE_IF_UNLOCKED Bit <sup>1</sup>	Mute-Mask Control Register 0x101 <sup>1</sup>	RXON Pin <sup>1</sup>	On-Mask Control Register 0x102 <sup>1</sup>	Bias Control Register 0x100 <sup>1</sup>	Result (1 is On, 0 is Off) <sup>1</sup>
1	1	0 or 1	0 or 1	0 or 1	0
1	0	Controlled by RXON pin			
0	1	Controlled by RXON pin			

<sup>1</sup> 0と1の設定は、記載されているレジスタのすべてのユーザ指定ビットに適用されます。

表 6. RX\_ONおよびオン・マスク制御を使用する信号段ステータス真理表

RX_MUTE Pin    MUTE_IF_UNLOCKED Bit <sup>1</sup>	Mute-Mask Control Register 0x101 <sup>1</sup>	RXON Pin <sup>1</sup>	On-Mask Control Register 0x102 <sup>1</sup>	Bias Control Register 0x100 <sup>1</sup>	Result (1 is On, 0 is Off) <sup>1</sup>
0 or 1	0	0 or 1	0	0	0
0 or 1	0	0 or 1	0	1	1
0 or 1	0	0	1	0 or 1	0
0 or 1	0	1	1	0	0
0 or 1	0	1	1	1	1
0	0 or 1	0 or 1	0	0	0
0	0 or 1	0 or 1	0	1	1
0	0 or 1	0	1	0 or 1	0
0	0 or 1	1	1	0	0
0	0 or 1	1	1	1	1

<sup>1</sup> 0と1の設定は、記載されているレジスタのすべてのユーザ指定ビットに適用されます。

## レジスタの一覧

表 7. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x000	SPI_CONFIG_1	[7:0]	SOFT-RESET_	LSB_FIRST_	ENDIAN_	SDO_ACTIVE_	SDO_ACTIVE_	ENDIAN	LSB_FIRST	SOFT-RESET	0x00	R/W
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L								0x40	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H								0x46	R
0x100	SIGCHAIN_ENABLE	[7:0]	RF_MASTER_BIAS_CONTROL	SYNTH_BIAS_CONTROL	RESERVED	ATT6DB_BIAS_CONTROL	LNASTG2_BIAS_CONTROL	LNASTG1_BIAS_CONTROL	AMPLO_BIAS_CONTROL	AMPIF_BIAS_CONTROL	0xDF	R/W
0x101	MUTE_MASK_CONTROL	[7:0]	BIASRF_MUTE_MASK_CONTROL	SYNTH_MUTE_MASK_CONTROL	RESERVED	ATT6DB_MUTE_MASK_CONTROL	LNASTG2_MUTE_MASK_CONTROL	LNASTG1_MUTE_MASK_CONTROL	AMPLO_MUTE_MASK_CONTROL	AMPIF_MUTE_MASK_CONTROL	0xBF	R/W
0x102	ON_MASK_CONTROL	[7:0]	RF_MASTER_ON_MASK_CONTROL	SYNTH_ON_MASK_CONTROL	RESERVED	ATT6DB_ON_MASK_CONTROL	LNASTG2_ON_MASK_CONTROL	LNASTG1_ON_MASK_CONTROL	AMPLO_ON_MASK_CONTROL	RESERVED	0xFF	R/W
0x103	MUTE_UNLOCK	[7:0]	RESERVED							MUTE_IF_UNLOCKED	0x01	R/W
0x200	INT_L	[7:0]	INT[7:0]								0x90	R/W
0x201	INT_H	[7:0]	INT[15:8]								0x01	R/W
0x20B	SYNTH	[7:0]	RESERVED						PRE_SEL	EN_FBDIV	0x01	R/W
0x20C	R_DIV	[7:0]	RESERVED			R_DIV				0x01	R/W	
0x20E	REFERENCE	[7:0]	RESERVED				DOUBLER_EN	RESERVED		RDIV2_SEL	0x04	R/W
0x214	LOCK_DETECT_CONFIG	[7:0]	LD_BIAS		LD_COUNT			RESERVED			0x48	R/W
0x218	SYNTH_LOCK_TIMEOUT	[7:0]	RESERVED				SYNTH_LOCK_TIMEOUT				0x1F	R/W
0x21C	VCO_TIMEOUT_L	[7:0]	VCO_TIMEOUT[7:0]								0x19	R/W
0x21D	VCO_TIMEOUT_H	[7:0]	RESERVED						VCO_TIMEOUT[9:8]		0x00	R/W
0x21E	VCO_BAND_DIV	[7:0]	VCO_BAND_DIV								0x10	R/W
0x22B	MULTI_FUNC_SYNTH_CTRL_022B	[7:0]	RESERVED						RF_PBS		0x09	R/W
0x22E	CP_CURR	[7:0]	RESERVED				CP_CURRENT			0x0E	R/W	
0x22F	BICP	[7:0]	BICP								0x08	R/W
0x24D	LOCK_DETECT	[7:0]	RESERVED							LOCK_DETECT	0x00	R
0x24E	MUXOUT	[7:0]	MUX_SEL								0x00	R/W
0x300	DSA_CONTROL	[7:0]	RESERVED			SEL_DSA_ATTEN				0x00	R/W	
0x301	AGPIO_CONTROL	[7:0]	RESERVED				SEL_AGPIO	SEL_ADC_INPUT			0x00	R/W
0x302	ADC_CONTROL	[7:0]	SEL_ADC_CLKDIV				SEL_ADCLOG_SCALE	SEL_ADC_HALF	ADC_START	EN_ADC	0xCA	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x303	ADC_STATUS	[7:0]	RESERVED				ADC_LATCH-DATA	ADC_BUSY	ADC_EOC	0x01	R	
0x304	ADC_DATA	[7:0]	ADC_DATA								0xE1	R
0x305	GPIO_WRITEVALS	[7:0]	RESERVED			GPIO_WRITEVALS			RESERVED	0x00	R/W	
0x306	GPIO_READVALS	[7:0]	RESERVED			GPIO_READVALS			RESERVED	0x0E	R	
0x307	GPIO_CONTROL		RESERVED	EN_GPIO_OUT		SEL_GPIO_LEVELS			RESERVED	0x00	R/W	
0x308	RFBIAS_CONTROL1		RESERVED			SEL_BIAS_AMP1F				0x08	R/W	
0x309	RFBIAS_CONTROL2		SEL_BIAS_LNASTG2			SEL_BIAS_LNASTG1				0x88	R/W	
0x30A	RFBIAS_CONTROL3		SEL_BIAS_AMPLO2			SEL_BIAS_AMPLO1				0x88	R/W	
0x30D	MIXER_CONTROL1		RESERVED			SEL_MIXLOCM_COARSE_P				0x08	R/W	
0x30E	MIXER_CONTROL2		RESERVED			SEL_MIXLOCM_COARSE_N				0x08	R/W	

## レジスタの詳細

### SPI設定レジスタ

アドレス : 0x000、リセット : 0x00、レジスタ名 : SPI\_CONFIG\_1

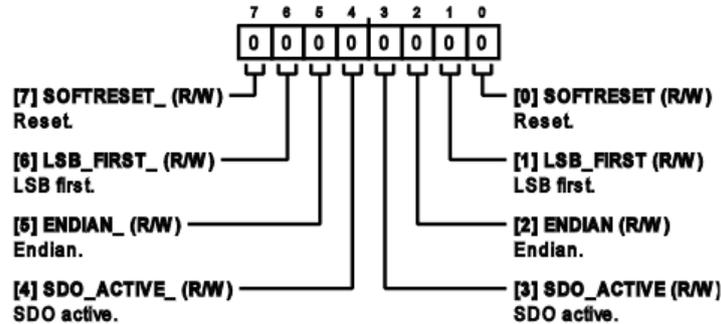


表 8. SPI\_CONFIG\_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSBファースト。 0 : LSBファースト。 1 : MSBファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 1 : ビッグ・エンディアン 0 : リトル・エンディアン	0x0	R/W
4	SDO_ACTIVE_	SDOアクティブ。 0 : SDO非アクティブ。 1 : SDOアクティブ。	0x0	R/W
3	SDO_ACTIVE	SDOアクティブ。 0 : SDO非アクティブ。 1 : SDOアクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0 : リトル・エンディアン 1 : ビッグ・エンディアン	0x0	R/W
1	LSB_FIRST	LSBファースト。 0 : LSBファースト。 1 : MSBファースト。	0x0	R/W
0	SOFTRESET	リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

### 製品IDレジスタ製品ID (16ビットのレジスタの下位8ビット)

アドレス : 0x004、リセット : 0x40、レジスタ名 : PRODUCT\_ID\_L

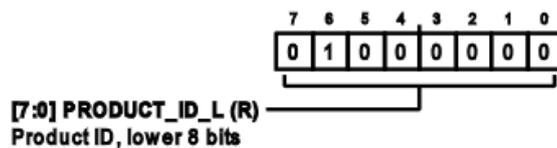


表 9. PRODUCT\_ID\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	製品ID、下位8ビット	0x40	R

## 製品IDレジスタ（16ビットのレジスタの上位8ビット）

アドレス：0x005、リセット：0x46、レジスタ名：PRODUCT\_ID\_H

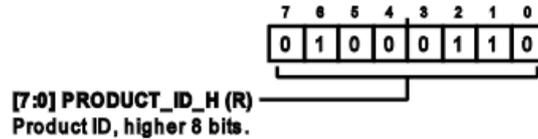


表 10. PRODUCT\_ID\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	製品ID、上位8ビット	0x46	R

## バイアス制御レジスタ

アドレス：0x100、リセット：0xDF、レジスタ名：SIGCHAIN\_ENABLE

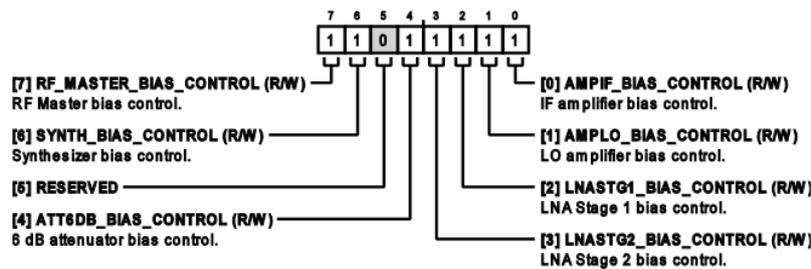


表 11. CAPABILITYのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_MASTER_BIAS_CONTROL	RFマスタのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
6	SYNTH_BIAS_CONTROL	シンセサイザのバイアス制御。 1：イネーブル。 0：ディスエーブル。	0x1	R/W
5	RESERVED	予備。	0x0	R
4	ATT6DB_BIAS_CONTROL	6dBアッテネータのバイアス制御。 1：イネーブル。 0：ディスエーブル。	0x1	R/W
3	LNASTG2_BIAS_CONTROL	LNA段2のバイアス制御。 1：イネーブル。 0：ディスエーブル。	0x1	R/W
2	LNASTG1_BIAS_CONTROL	LNA段1のバイアス制御。 1：イネーブル。 0：ディスエーブル。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
1	AMPLO_BIAS_CONTROL	LOアンプのバイアス制御。 1: イネーブル。 0: ディスエーブル。	0x1	R/W
0	AMPIF_BIAS_CONTROL	IFアンプのバイアス制御。 1: イネーブル。 0: ディスエーブル。	0x1	R/W

## ミュート・マスク制御レジスタ

アドレス: 0x101、リセット: 0xBF、レジスタ名: MUTE\_MASK\_CONTROL

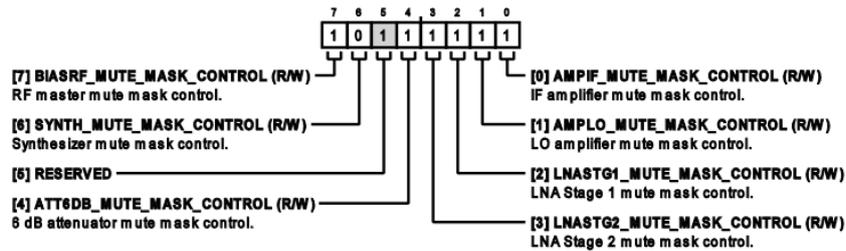


表 12. MUTE\_MASK\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BIASRF_MUTE_MASK_CONTROL	RFマスタのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W
6	SYNTH_MUTE_MASK_CONTROL	シンセサイザのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x0	R/W
5	RESERVED	予備。	0x1	R/W
4	ATT6DB_MUTE_MASK_CONTROL	6dBアッテネータのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W
3	LNA2_MUTE_MASK_CONTROL	LNA段2のミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W
2	LNA1_MUTE_MASK_CONTROL	LNA段1のミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W
1	AMPLO_MUTE_MASK_CONTROL	LOアンプのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W
0	AMPIF_MUTE_MASK_CONTROL	IFアンプのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W

## オン・マスク制御レジスタ

アドレス : 0x102、リセット : 0xFF、レジスタ名 : ON\_MASK\_CONTROL

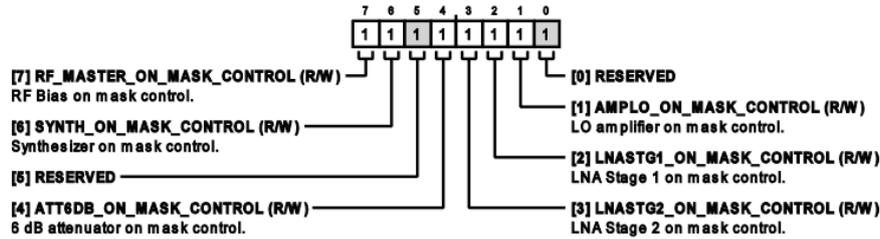


表 13. ON\_MASK\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_MASTER_ON_MASK_CONTROL	RFバイアスのオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
6	SYNTH_ON_MASK_CONTROL	シンセサイザのオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
5	RESERVED	予備。	0x1	R/W
4	ATT6DB_ON_MASK_CONTROL	6dBアッテネータのオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
3	LNASTG2_ON_MASK_CONTROL	LNA段2のオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
2	LNASTG1_ON_MASK_CONTROL	LNA段1のオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
1	AMPLO_ON_MASK_CONTROL	LOアンプのオン・マスク制御。 0 : オン・マスクをディスエーブル。 1 : オン・マスクをイネーブル。	0x1	R/W
0	RESERVED	予備。	0x1	R/W

## ミュートIFアンロック・レジスタ

アドレス : 0x103、リセット : 0x01、レジスタ名 : MUTE\_UNLOCK

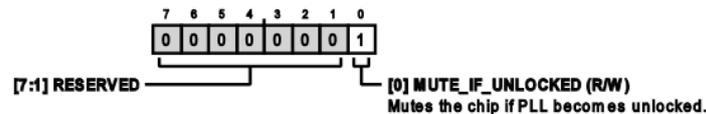


表 14. MUTE\_UNLOCKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	MUTE_IF_UNLOCKED	PLLがロック解除された場合にチップをミュート。 1 : イネーブル。 0 : ディスエーブル。	0x1	R/W

## インテジャー・レジスタ（下位8ビット）

アドレス：0x200、リセット：0x90、レジスタ名：INT\_L

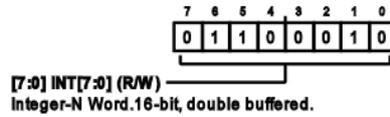


表 15. INT\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT[7:0]	インテジャー-Nワード、16ビット、ダブル・バッファ付き	0x90	R/W

## インテジャー・レジスタ（上位8ビット）

アドレス：0x201、リセット：0x01、レジスタ名：INT\_H

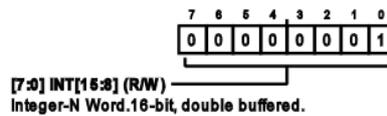


表 16. INT\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT[15:8]	インテジャー-Nワード、16ビット、ダブル・バッファ付き	0x1	R/W

## シンセサイザ設定レジスタ

アドレス：0x20B、リセット：0x01、レジスタ名：SYNTH

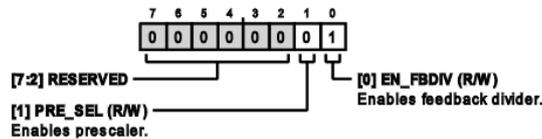


表 17. SYNTHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	PRE_SEL	プリスケラをイネーブル。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
0	EN_FBDIV	帰還分周器をイネーブル。 0：ディスエーブル。 1：イネーブル。	0x1	R/W

## リファレンス入力分周器レジスタ

アドレス : 0x20C、リセット : 0x01、レジスタ名 : R\_DIV

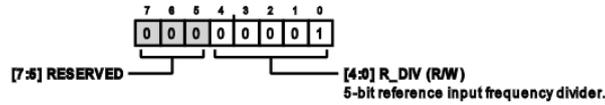


表 18. R\_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	R_DIV	5ビットのリファレンス入力周波数分周器	0x1	R/W

## リファレンス入力設定レジスタ

アドレス : 0x20E、リセット : 0x04、レジスタ名 : REFERENCE

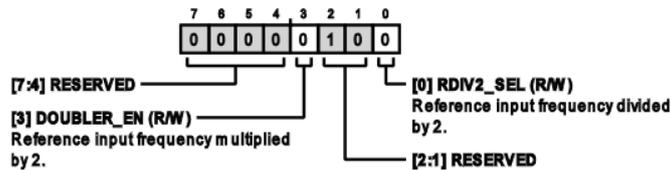


表 19. REFERENCEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	DOUBLER_EN	リファレンス入力周波数2乗倍。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
[2:1]	RESERVED	予備。	0x2	R/W
0	RDIV2_SEL	リファレンス入力周波数2分周。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

## ロック検出設定レジスタ

アドレス : 0x214、リセット : 0x48、レジスタ名 : LOCK\_DETECT\_CONFIG

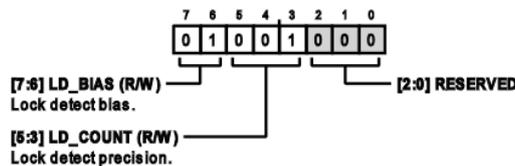


表 20. LOCK\_DETECT\_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LD_BIAS	ロック検出バイアス。 00 : 40μA。 01 : 30μA。 10 : 20μA。 11 : 10μA。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
[5:3]	LD_COUNT	ロック検出精度。 000 : 1024連続PFDサイクルでロックをチェック。 001 : 2048連続PFDサイクルでロックをチェック。 010 : 4096連続PFDサイクルでロックをチェック。 011 : 8192連続PFDサイクルでロックをチェック。	0x1	R/W
[2:0]	RESERVED	予備。	0x0	R/W

## シンセサイザ・ロック・タイムアウト・レジスタ

アドレス : 0x218、リセット : 0x1F、レジスタ名 : SYNTH\_LOCK\_TIMEOUT

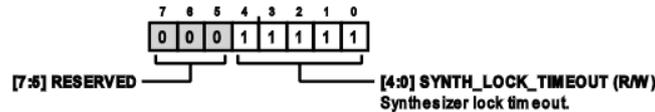


表 21. SYNTH\_LOCK\_TIMEOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SYNTH_LOCK_TIMEOUT	シンセサイザ・ロック・タイムアウト。	0x1F	R/W

## VCOタイムアウト・レジスタ (下位8ビット)

アドレス : 0x21C、リセット : 0x19、レジスタ名 : VCO\_TIMEOUT\_L

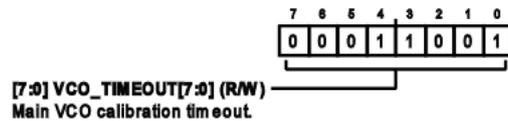


表 22. VCO\_TIMEOUT\_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_TIMEOUT[7:0]	メインVCOキャリブレーション・タイムアウト。	0x19	R/W

## VCOタイムアウト・レジスタ (上位8ビット)

アドレス : 0x21D、リセット : 0x00、レジスタ名 : VCO\_TIMEOUT\_H

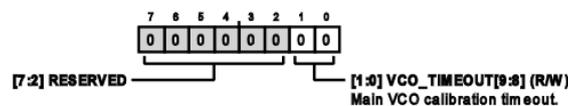


表 23. VCO\_TIMEOUT\_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	VCO_TIMEOUT[9:8]	メインVCOキャリブレーション・タイムアウト。	0x0	R/W

## VCO帯域分周器レジスタ

アドレス : 0x21E、リセット : 0x10、レジスタ名 : VCO\_BAND\_DIV

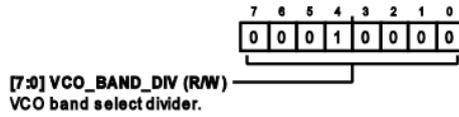


表 24. VCO\_BAND\_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND_DIV	VCO帯域選択分周器。	0x10	R/W

## 多機能シンセサイザ設定レジスタ

アドレス : 0x22B、リセット : 0x09、レジスタ名 : MULTI\_FUNC\_SYNTH\_CTRL\_022B

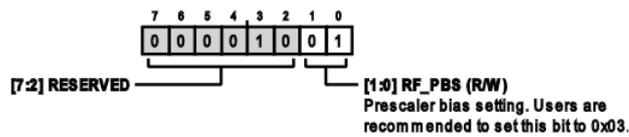


表 25. MULTI\_FUNC\_SYNTH\_CTRL\_022Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x2	R
[1:0]	RF_PBS	プリスケララのバイアス設定。このビットは0x03に設定することを推奨します。	0x1	R/W

## チャージ・ポンプ電流レジスタ

アドレス : 0x22E、リセット : 0x0E、レジスタ名 : CP\_CURR

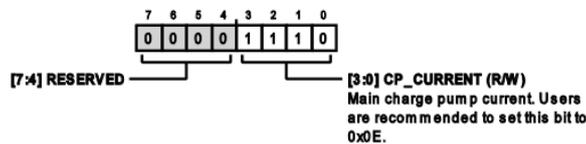
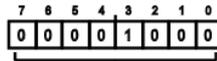


表 26. CP\_CURRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CP_CURRENT	メイン・チャージ・ポンプ電流。このビットは0x0Eに設定することを推奨します。	0xE	R/W

## ブリード電流レジスタ

アドレス : 0x22F、リセット : 0x08、レジスタ名 : BICP



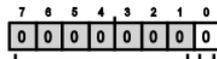
**[7:0] BICP (R/W)**  
Binary scaled bleed current. Users are recommended to set this bit to 0x27.

表 27. BICPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BICP	バイナリ・スケールのブリード電流。このビットは0x27に設定することを推奨します。	0x8	R/W

## ロック検出レジスタ

アドレス : 0x24D、リセット : 0x00、レジスタ名 : LOCK\_DETECT



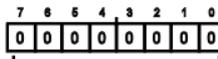
**[7:1] RESERVED** **[0] LOCK\_DETECT (R)**  
Lock detect.

表 28. LOCK\_DETECTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	LOCK_DETECT	ロック検出。 1 : PLLはロックされている。 0 : PLLはロックされていない。	0x0	R

## MUXOUT選択レジスタ

アドレス : 0x24E、リセット : 0x00、レジスタ名 : MUXOUT



**[7:0] MUX\_SEL (R/W)**  
Select mux signal.

表 29. MUXOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MUX_SEL	マルチプレクサ信号の選択。 0001 : デジタル・ロック検出。 0000 : 出力ロー。 0100 : Rカウンタ/2。 0101 : Nカウンタ/2。 1110 : 出力ハイ。	0x0	R/W

## DSA制御レジスタ

アドレス : 0x300、リセット : 0x00、レジスタ名 : DSA\_CONTROL

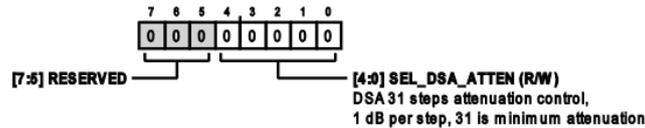


表 30. DSA\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_DSA_ATTEN	DSAの31ステップ減衰制御、ステップあたり1dB、31dBが最小減衰	0x0	R/W

## AGPIO制御レジスタ

アドレス：0x301、リセット：0x00、レジスタ名：AGPIO\_CONTROL

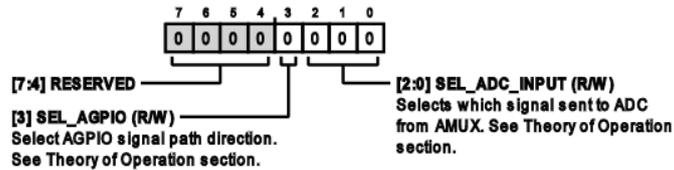


表 31. AGPIO\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	SEL_AGPIO	AGPIOの信号経路方向の選択。詳細については動作原理のセクションを参照してください。 0：アナログ・マルチプレクサからAGPIOへ出力。AGPIOは出力。 1：AGPIO信号がアナログ・マルチプレクサに送られる。AGPIOは外部信号入力。	0x0	R/W
[2:0]	SEL_ADC_INPUT	どの信号がアナログ・マルチプレクサからADCに送られるかを選択。詳細については動作原理のセクションを参照してください。 110：温度センサー。 111：AGPIO。SEL_AGPIOも1に設定する必要がある。	0x0	R/W

## ADC制御レジスタ

アドレス：0x302、リセット：0xCA、レジスタ名：ADC\_CONTROL

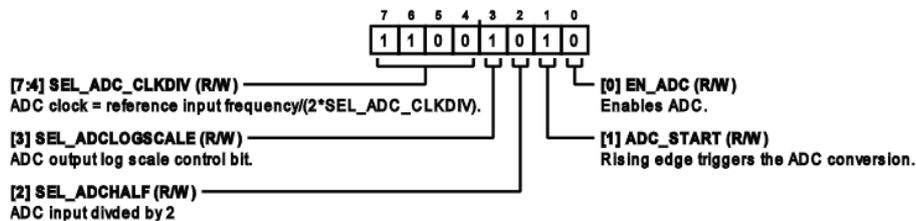


表 32. ADC\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_ADC_CLKDIV	ADCクロック = リファレンス入力周波数/(2×SEL_ADC_CLKDIV)。	0xC	R/W
3	SEL_ADC_LOGSCALE	ADC出力ログ・スケール制御ビット。 1：イネーブル。 0：ディスエーブル。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
2	SEL_ADCHALF	ADC入力2分周。 1: イネーブル。 0: ディスエーブル。	0x0	R/W
1	ADC_START	立上がりエッジでADC変換が開始される。	0x1	R/W
0	EN_ADC	ADCをイネーブル。 1: イネーブル。 0: ディスエーブル。	0x0	R/W

## ADCステータス・レジスタ

アドレス : 0x303、リセット : 0x01、レジスタ名 : ADC\_STATUS

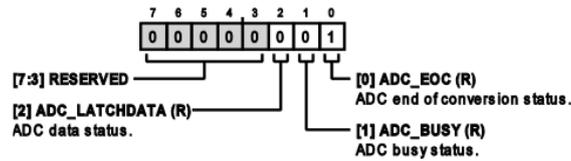


表 33. ADC\_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
2	ADC_LATCHDATA	ADCデータ・ステータス。 1: 準備完了。 0: 準備未完了。	0x0	R
1	ADC_BUSY	ADCビジー・ステータス。 1: ビジー。 0: 非ビジー。	0x0	R
0	ADC_EOC	ADC変換終了ステータス。1: 完了。 0: 未完了。	0x1	R

## ADCデータ・レジスタ

アドレス : 0x304、リセット : 0xE1、レジスタ名 : ADC\_DATA

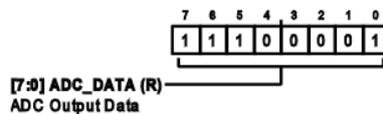


表 34. ADC\_DATAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_DATA	ADC出力データ。	0xE1	R

## GPIOライト・レジスタ

アドレス : 0x305、リセット : 0x00、レジスタ名 : GPIO\_WRITEVALS

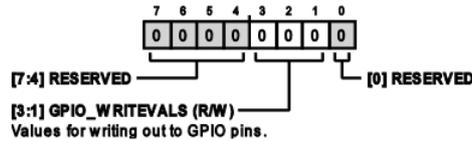


表 35. GPIO\_WRITEVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	GPIO_WRITEVALS	GPIOピンに書き出す値。	0x0	R/W
0	RESERVED	予備。	0x0	R

## GPIOリード・レジスタ

アドレス：0x306、リセット：0x0E、レジスタ名：GPIO\_READVALS

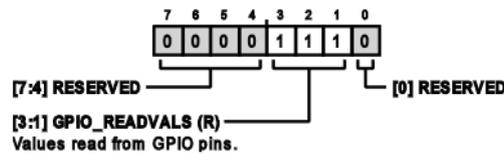


表 36. GPIO\_READVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	GPIO_READVALS	GPIOピンから読み込む値。	0x7	R
0	RESERVED	予備。	0x0	R

## GPIO制御レジスタ

アドレス：0x307、リセット：0x00、レジスタ名：GPIO\_CONTROL

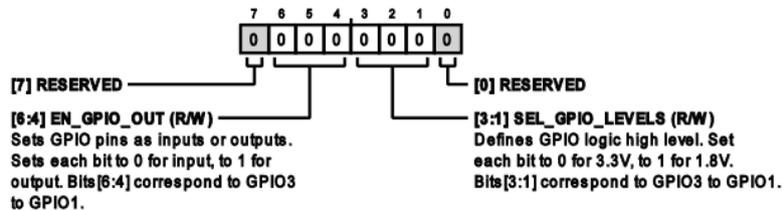


表 37. GPIO\_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	EN_GPIO_OUT	GPIOピンを入力または出力に設定。入力の場合は0に、出力の場合は1に各ビットを設定。ビット[6:4]はGPIO3~GPIO1に対応。	0x0	R/W
[3:1]	SEL_GPIO_LEVELS	GPIOロジック・ハイ・レベルを定義。3.3Vの場合は0、1.8Vの場合は1に各ビットを設定。ビット[3:1]はGPIO3~GPIO1に対応。	0x0	R/W
0	RESERVED	予備。	0x0	R

## RFバイアス制御1レジスタ

アドレス：0x308、リセット：0x08、レジスタ名：RFBIAΣ\_CONTROL1

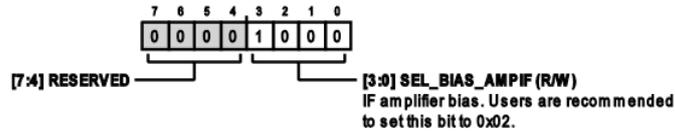


表 38. RFBIAΣ\_CONTROL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	SEL_BIAS_AMPIF	IFアンプのバイアス。このビットは0x02に設定することを推奨します。	0x8	R/W

## RFバイアス制御2レジスタ

アドレス：0x309、リセット：0x88、レジスタ名：RFBIAΣ\_CONTROL2

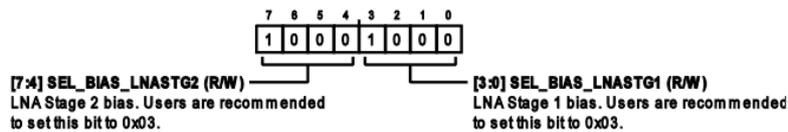


表 39. RFBIAΣ\_CONTROL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_BIAS_LNASTG2	LNA段2のバイアス。このビットは0x03に設定することを推奨します。	0x8	R/W
[3:0]	SEL_BIAS_LNASTG1	LNA段1のバイアス。このビットは0x03に設定することを推奨します。	0x8	R/W

## RFバイアス制御3レジスタ

アドレス：0x30A、リセット：0x88、レジスタ名：RFBIAΣ\_CONTROL3

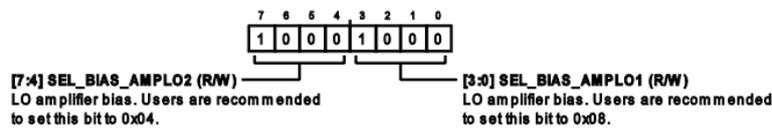


表 40. RFBIAΣ\_CONTROL3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_BIAS_AMPLO2	LOアンプのバイアス。このビットは0x04に設定することを推奨します。	0x8	R/W
[3:0]	SEL_BIAS_AMPLO1	LOアンプのバイアス。このビットは0x08に設定することを推奨します。	0x8	R/W

## ミキサー・バイアス制御1レジスタ

アドレス：0x30D、リセット：0x08、レジスタ名：MIXER\_CONTROL1

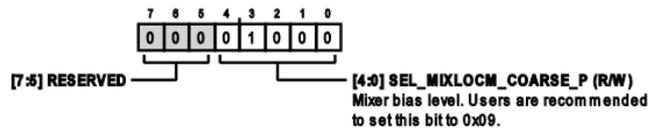


表 41. MIXER\_CONTROL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_MIXLOCM_COARSE_P	ミキサのバイアス・レベル。このビットは0x09に設定することを推奨します。	0x8	R/W

## ミキサー・バイアス制御2レジスタ

アドレス : 0x30E、リセット : 0x08、レジスタ名 : MIXER\_CONTROL2

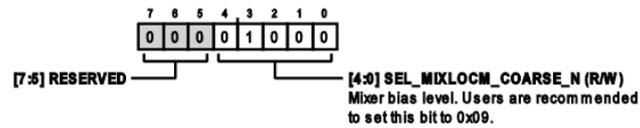


表 42. MIXER\_CONTROL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_MIXLOCM_COARSE_N	ミキサのバイアス・レベル。このビットは0x09に設定することを推奨します。	0x8	R/W

## 外形寸法

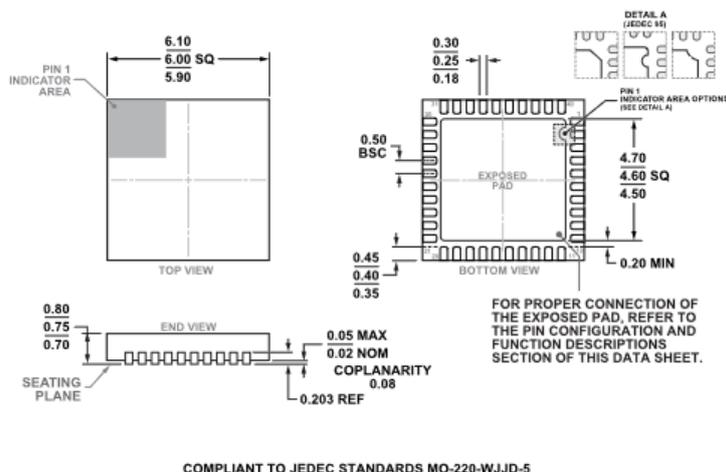


図 76. 40ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 6mm x 6mmボディ、0.75mmパッケージ高  
 (CP-40-7)  
 寸法 : mm

更新 : 2022年6月16日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV4640BCPZN	-40°C to +85°C	40-Lead LFCSP (6mm x 6mm w/ EP)	Reel, 50	CP-40-7
ADMV4640BCPZN-RL7	-40°C to +85°C	40-Lead LFCSP (6mm x 6mm w/ EP)	Reel, 750	CP-40-7

1 Z = RoHS 準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
EVAL-ADMV4640Z	Evaluation Assembly Board

1 Z = RoHS 準拠製品。