

実効値 5.7kV のクワッド・チャンネル LVDS 2.5 ギガビット・アイソレータ

特長

- ▶ 実効値 5.7kV の LVDS (低電圧差動伝送) アイソレータ
- ▶ TIA/EIA-644-A の LVDS 信号レベルに準拠
- ▶ クワッド・チャンネル構成
- ▶ 2.5Gbps までの任意のデータ・レートで低ジッタのスイッチング
 - ▶ 帯域幅: 4 つのチャンネルで合計 10Gbps
 - ▶ 伝搬遅延 (代表値): 2.15ns
 - ▶ ジッタ (代表値): ランダム 0.82ps (実効値)、トータル 40ps (ピーク値)
- ▶ 低消費電力の 1.8V 電源
- ▶ 絶縁バリアをまたぐ IEC 61000-4-2 ESD 保護: $\pm 8\text{kV}$
- ▶ 高いコモンモード過渡耐圧: $100\text{kV}/\mu\text{s}$ (代表値)
- ▶ 安全性と規制に関する認定
 - (28 ピン SOIC_W_FP パッケージ)
 - ▶ UL (申請中): 5700V (実効値) で 1 分間、UL 1577 規格に準拠
 - ▶ CSA Component Acceptance Notice 5A (申請中)
 - ▶ VDE 適合性認定 (申請中)
 - ▶ DIN V VDE V 0884-11 (VDE V 0884-11): 2017-01
 - ▶ VIORM = 849VPEAK (動作電圧)
- ▶ リフレッシュのイネーブルまたはディスエーブル (低速出力精度チェック)
- ▶ 動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- ▶ 8.3mm の沿面距離とクリアランスを確保した 28 ピンのワイド・ボディ精密ピッチ SOIC-FP パッケージ

アプリケーション

- ▶ 絶縁型ビデオおよびイメージング・データ
- ▶ アナログ・フロントエンドの絶縁
- ▶ データ・プレーンの絶縁
- ▶ 絶縁型高速クロックとデータ・リンク
- ▶ マルチギガビット・シリアルライゼーション／デシリアルライゼーション (SERDES)
- ▶ ボード間の光学変換 (例えばショート・リーチ・ファイバ)

機能ブロック図

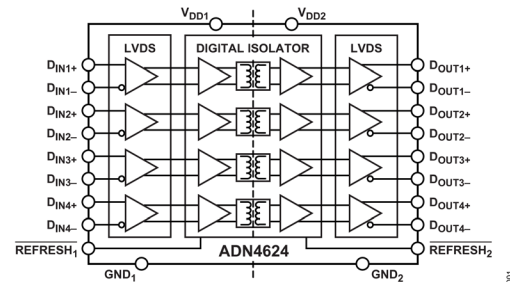


図 1.

概要

ADN4624¹ は最大 2.5Gbps で動作する 4 チャンネルの信号絶縁型低電圧差動伝送 (LVDS) バッファで、ジッタが非常に小さい値に抑えられています。このデバイスは高速動作用に強化されたアナログ・デバイセズの *iCoupler*[®] 技術を採用しており、LVDS シグナル・チェーンのガルバニック絶縁をドロップイン方式で実現することができます。LVDS レシーバーとの AC カップリングやレベル・シフトによって、電流モード・ロジック (CML) など、その他の高速信号の絶縁も可能です。

ADN4624 はリフレッシュ機構を備えており、入出力の状態を監視して、データ遷移がない場合 (例えばパワーオン時) は状態が変化しないようにしています。

低消費電力と低ジッタの高速動作を実現できるように、LVDS 回路と絶縁回路には 1.8V 電源を使用します。ADN4624 は、広い産業用温度範囲に対して仕様規定されています。また、8.3mm の沿面距離とクリアランスを確保した、28 ピンのワイド・ボディ精密ピッチ SOIC-FP パッケージで提供されます (実効値 5.7kV または 8kV_{PEAK} のサージ/インパルス電圧、および AC 電源電圧の強化絶縁に対応)。

目次

特長	1	ESD に関する注意	8
アプリケーション	1	ピン配置およびピン機能の説明	9
機能ブロック図	1	代表的な性能特性	10
概要	1	テスト回路とスイッチング特性	14
仕様	3	動作原理	15
レシーバー入力閾値試験電圧	4	絶縁とリフレッシュ	15
タイミング仕様	4	真理値表	15
絶縁および安全性関連の仕様	5	アプリケーション情報	16
パッケージ特性	5	PCB レイアウト	16
適用規格	6	アプリケーション例	16
DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性 (申請中)	6	耐磁性磁界耐性	17
推奨動作条件	7	絶縁寿命	18
絶対最大定格	8	外形寸法	20
熱抵抗	8	オーダー・ガイド	20
静電放電 (ESD) 定格	8	評価用ボード	20

改訂履歴

4/2021—Revision 0: Initial Version

仕様

特に指定のない限り、すべての最小／最大値仕様は $V_{DD1} = V_{DD2} = 1.7V \sim 1.9V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ での値。同じく特に指定のない限り、代表値仕様は $V_{DD1} = V_{DD2} = 1.8V$ 、 $T_A = 25^{\circ}C$ での値。また、特に指定のない限り、すべての仕様は $\overline{REFRESH_1} = GND_1$ および $\overline{REFRESH_2} = GND_2$ での値。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
INPUTS (RECEIVERS)						
Input Threshold						図 28 と表 2 を参照
High	V_{TH}			100	mV	
Low	V_{TL}	-100			mV	
Differential Input Voltage	$ V_{ID} $	100			mV	図 28 と表 2 を参照
Input Common-Mode Voltage	V_{IC}	$0.5 V_{ID} $		$2.4 - 0.5 V_{ID} $	V	図 28 と表 2 を参照
Input Current, High and Low	I_{IH}, I_{IL}	-5		+5		$D_{INx\pm} = 2.4V$ または $0V$ 、その他の入力 = $1.2V$ 、 $V_{DDx} = 1.8V$ または $0V$
Differential Input Capacitance ¹	$C_{INx\pm}$		1.7			$D_{INx\pm} = 0.4\sin(30 \times 10^6 \pi t) V + 0.5 V$ 、その他の入力 = $1.2 V^2$
LOGIC INPUTS						
Input High Voltage	V_{INH}	$0.65 V_{DDx}$			V	$\overline{REFRESH_1}$ については $V_{DDx} = V_{DD1}$ 、 $\overline{REFRESH_2}$ については $V_{DDx} = V_{DD2}$
Input Low Voltage	V_{INL}		$0.35 V_{DDx}$		V	
Input Current High	$ I_{INH} $			1	μA	$\overline{REFRESH_x} = V_{DDx}$
				25	μA	$\overline{REFRESH_x} = 1.9V$ 、 $V_{DDx} = 0V$
Input Current Low	$ I_{INL} $			16	μA	$\overline{REFRESH_x} = 0V$
OUTPUTS (DRIVERS)						
Differential Output Voltage	$ V_{OD} $	250	310	450	mV	図 26 と図 27 を参照、負荷抵抗 (R_L) = 100Ω
V_{OD} Magnitude Change	$\Delta V_{OD} $			50	mV	図 26 と図 27 を参照、 $R_L = 100\Omega$
Offset Voltage	V_{OS}	1.125	1.17	1.375	V	図 26 を参照、 $R_L = 100\Omega$
V_{OS} Magnitude Change	ΔV_{OS}			50	mV	図 26 を参照、 $R_L = 100\Omega$
V_{OS} , Peak to Peak ¹	$V_{OS(PP)}$			150	mV	図 26 を参照、 $R_L = 100\Omega$
Output Short-Circuit Current	I_{OS}			-20	mA	$D_{OUTx\pm} = 0V$
				12	mA	$ V_{OD} = 0V$
Differential Output Capacitance ¹	$C_{OUTx\pm}$		5		pF	$D_{OUTx\pm} = 0.4\sin(30 \times 10^6 \pi t)V + 0.5V$ 、その他の入力 = $1.2V$ 、 V_{DD1} または $V_{DD2} = 0V$
POWER SUPPLY						
Supply Current Side 1	I_{DD1}		140	175	mA	周波数 (f) = $1.25GHz$
Supply Current Side 2	I_{DD2}		115	140	mA	$= 1.25GHz$ 、 $R_L = 100\Omega$
			95	135	mA	$f = 1.25GHz$ 、 $R_L = 100\Omega$ 、 $\overline{REFRESH_2} = V_{DD2}$
COMMON-MODE TRANSIENT IMMUNITY ³	$ CM $	40	100		kV/ μs	コモンモード電圧 (V_{CM}) = $1000V$ 、トランジェントの大きさ = $800V$

¹ これらの仕様は、設計および特性評価により確保されています。

² t は時間を表します。

³ $|CM|$ は、 D_{OUTx+} または D_{OUTx-} ピンを対応する D_{INx+} または D_{INx-} ピンと同じ状態に維持しながら（出力に変化なし）持続できるコモンモード電圧の最大スルー・レート、または適用したコモンモード過渡エッジが対応する D_{INx+} または D_{INx-} ピン上のデータ遷移と一致する場合に予想される遷移を D_{OUTx+} または D_{OUTx-} ピンに生成しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立上がりりと立下がりり両方のコモンモード電圧エッジに適用されます。

仕様

レシーバー入力閾値試験電圧

表 2. レシーバー動作の試験電圧

Applied Voltages				
D _{INX+} (V)	D _{INX-} (V)	Input Voltage, Differential, V _{ID} (V)	Input Voltage, Common-Mode, V _{IC} (V)	Driver Output, Differential V _{OD} (mV)
1.25	1.15	0.1	1.2	>250
1.15	1.25	-0.1	+1.2	<-250
2.4	2.3	0.1	2.35	>250
2.3	2.4	-0.1	+2.35	<-250
0.1	0	0.1	0.05	>250
0	0.1	-0.1	+0.05	<-250
1.5	0.9	0.6	1.2	>250
0.9	1.5	-0.6	+1.2	<-250
2.4	1.8	0.6	2.1	>250
1.8	2.4	-0.6	+2.1	<-250
0.6	0	0.6	0.3	>250
0	0.6	-0.6	+0.3	<-250

タイミング仕様

特に指定のない限り、すべての最小／最大値仕様は V_{DD1} = V_{DD2} = 1.7V～1.9V、T_A = -40℃～+125℃での値。すべての代表値仕様は V_{DD1} = V_{DD2} = 1.8V、T_A = 25℃での値。また、特に指定のない限り、すべての仕様は $\overline{\text{REFRESH}}_1 = V_{DD1}$ および $\overline{\text{REFRESH}}_2 = V_{DD2}$ での値。

表 3.

パラメータ	記号	Min	Typ	Max ¹	単位	テスト条件／コメント
PROPAGATION DELAY	t _{PLH} , t _{PHL}		2.15	2.8	ns	図 29 を参照、任意の D _{INX+} および D _{INX-} から D _{OUTX+} および D _{OUTX-} への値
SKEW						図 29 を参照、すべての D _{OUTX+} と D _{OUTX-} についての値
Duty Cycle ²	t _{SK(D)}		2	16	ns	
Channel to Channel ³	t _{SK(CH)}		38	92	ns	
Part to Part ⁴	t _{SK(PP)}		150	300	ns	
JITTER ⁵						図 29 を参照、任意の D _{OUTX+} と D _{OUTX-} についての値
Random Jitter, RMS ⁶ (1σ)	t _{RJ(RMS)}		0.82	1.44	ps rms	1.25GHz クロック入力
Deterministic Jitter, Peak to Peak ^{6,7}	t _{DJ(PP)}		28	54	ps	2.5Gbps、2 ²³ - 1 疑似ランダム・ビット・ストリーム (PRBS)
Total Jitter, Peak to Peak, at Bit Error Rate (BER) 1 × 10 ⁻¹²	t _{TJ(PP)}		40	70	ps	1.25GHz/2.5Gbps、2 ²³ - 1 PRBS ⁸
With Crosstalk			50		ps	1.25GHz/2.5Gbps、2 ²³ - 1 PRBS、すべてのチャンネル ⁸
With Crosstalk and Refresh			55		ps	1.25GHz/2.5Gbps、2 ²³ - 1 PRBS、すべてのチャンネル、 $\overline{\text{REFRESH}}_1 = \text{GND}_1$ 、 $\overline{\text{REFRESH}}_2 = \text{GND}_2$ ⁸
Additive Phase Jitter	t _{ADDJ}		225		fs rms	100Hz～100kHz、出力周波数 (f _{OUT}) = 10MHz ⁹
			270		fs rms	100Hz～100kHz、f _{OUT} = 10MHz、 $\overline{\text{REFRESH}}_1 = \text{GND}_1$ 、 $\overline{\text{REFRESH}}_2 = \text{GND}_2$ ⁹
			85		fs rms	12kHz～20MHz、f _{OUT} = 1.25GHz ¹⁰
			200		fs rms	12kHz～20MHz、f _{OUT} = 1.25GHz、 $\overline{\text{REFRESH}}_1 = \text{GND}_1$ 、 $\overline{\text{REFRESH}}_2 = \text{GND}_2$ ¹⁰
RISE AND FALL TIME	t _R , t _F		180		ps	図 29 を参照、1.25GHz クロック入力、任意の D _{OUTX+} と D _{OUTX-} 、20%～80%、R _L = 100Ω、負荷容量 (C _L) = 5pF

仕様

表 3.

パラメータ	記号	Min	Typ	Max ¹	単位	テスト条件／コメント
MAXIMUM DATA RATE		2.5			Gbps	

¹ これらの仕様は、設計および特性評価により確保されています。

² デューティ・サイクルまたはパルス・スキューは、デバイスの任意のチャンネル x（ここで x = 1、2、3、または 4）の t_{PLH} と t_{PHL} の最大差の大きさ、つまり $|t_{PLHx} - t_{PHLx}|$ です。

³ チャンネル間スキューまたは出力スキューは、デバイス内の t_{PLHx} の最大値と最小値の差、またはデバイス内の t_{PHLx} の最大値と最小値の差のいずれか大きい方です。

⁴ 部品間出力スキューは、複数のデバイスの t_{PLHx} の最大値と最小値の差、または複数のデバイスの t_{PHLx} の最大値と最小値の差のいずれか大きい方です。

⁵ ジッタ・パラメータは、設計および特性評価により確認されています。これらの値に刺激ジッタは含まれません。 $V_{ID} = 400\text{mV}_{p-p}$ 、 $V_{IC} = 1.2\text{V}$ 、および $t_R/t_F < 0.05\text{ns}$ （20%～80%）。

⁶ この仕様は、約 3,000,000 エッジの母集団で測定しました。

⁷ ピーク to ピーク・ジッタの仕様には、パルス・スキュー（ $t_{SK(D)}$ ）によるジッタが含まれます。

⁸ 式 $t_{TJ(PP)} = 14 \times t_{RJ(RMS)} + t_{DJ(PP)}$ を使用。

⁹ 340fs rms の入力位相ジッタを減じた値。

¹⁰ 155fs rms の入力位相ジッタを減じた値。

絶縁および安全性関連の仕様

詳細については www.analog.com/jp/icouplersafety を参照してください。

表 4. 精細ピッチの RN-28-1 ワイド・ボディ（SOIC_W_FP）パッケージ

パラメータ	記号	値	単位	テスト条件／コメント
Rated Dielectric Insulation Voltage		5.7	kV rms	1 分間持続
Minimum External Air Gap (Clearance)	L (I01)	8.3	mm min	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L (I02)	8.3	mm min	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.1	mm min	PCB 実装面の空中で、入力端子と出力端子の間の直線距離を測定
Minimum Internal Gap (Internal Clearance)		25.5	μm min	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	IEC 60112 に従ってテスト
Material Group		I		IEC 60664-1 による材料グループ

パッケージ特性

表 5. 精細ピッチの RN-28-1 ワイド・ボディ（SOIC_W_FP）パッケージ

パラメータ	記号	Min	Typ	Max ¹	単位	テスト条件／コメント
Resistance (Input to Output) ¹	R_{I-O}		10^{13}		Ω	電圧（入力～出力）（ V_{I-O} ） = 500VDC
Capacitance (Input to Output) ¹	C_{I-O}		2.2		pF	周波数 = 1MHz
Input Capacitance ²	C_I		3.4		pF	

¹ デバイスを 2 端子デバイスとみなします。すなわち、ピン 1～ピン 14 を相互に接続し、ピン 15～ピン 28 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間の値です。

仕様

適用規格

具体的なクロス・アイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 10 と絶縁寿命のセクションを参照してください。

表 6. 精細ピッチの RN-28-1 ワイド・ボディ (SOIC_W_FP) パッケージ

規格組織	規格認証/承認	ファイル
UL (Pending)	UL 1577 Component Recognition Program により認定予定 ¹ 単一保護、絶縁電圧 5700Vrms	E214100
CSA (Pending) ²	CSA Component Acceptance Notice 5A による認定 CSA 62368-1-19、EN 62368-1:2020、および IEC 62368-1:2018 third edition 基礎絶縁、830Vrms 強化絶縁、415Vrms CSA 61010-1-12+A1 および IEC 61010-1 third edition 基礎絶縁、600Vrms 強化絶縁、300Vrms CSA 60601-1:14 および IEC60601-1 third edition+A1 261Vrms の 2MOPP (患者保護手段)	205078
VDE (Pending)	DIN V VDE V 0884-11 (VDE V 0884-11):2017-01 により認定予定 ³ 強化絶縁、 $V_{IORM} = 849V_{PEAK}$ 、 $V_{IOSM} = 8000V_{PEAK}$	2471900-4880-0001
CQC (Pending)	GB4943.1-2011 により認証予定、認証規則は CQC11-471543-2015 を使用 基礎絶縁、820Vrms (1159V _{PEAK}) 強化絶縁、410Vrms (578V _{PEAK})	Pending

¹ UL 1577 に従い、それぞれの ADN4624 には 6840Vrms 以上の絶縁試験電圧を 1 秒間加える耐電圧試験を実施しています。

² 動作電圧は汚染度 2、材料グループ III について見積もられた値。ADN4624 のケース材料は、CSA により材料グループ I として評価されています。

³ DIN V VDE V 0884-11 に従い、それぞれの ADN4624 には 1592V_{PEAK} 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (部分放電検出限界 = 5pC)。

DIN V VDE V 0884-11 (VDE V 0884-11) 絶縁特性 (申請中)

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。保護回路を使用すれば、安全データを維持しやすくなります。

表 7.

パラメータ	テスト条件/コメント ¹	記号	特性	単位
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 600 V rms Climatic Classification Pollution Degree per DIN VDE 0110, Table 1			I to IV I to IV I to IV 40/125/21 2	
Maximum Working Insulation Voltage Input to Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PD(M)}$ 、100%出荷テスト、 $t_{ini} = t_m = 1$ 秒、部分放電 < 5pC	V_{IORM} $V_{PD(m)}$	849 1592	V_{PEAK} V_{PEAK}
Input to Output Test Voltage, Method A After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_m = 10$ 秒、部分放電 < 5pC	$V_{PD(m)}$	1274	V_{PEAK}
After Input or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PD(M)}$ 、 $t_{INI} = 60$ 秒、 $t_m = 10$ 秒、部分放電 < 5pC		1019	V_{PEAK}
Highest Allowable Overvoltage Surge Isolation Voltage		V_{IOTM}	8000	V_{PEAK}
Basic	$V_{PEAK} = 16kV$ 、立上がり時間 1.2μs、50%立下がり時間 50μs	V_{IOSM}	16,000	V_{PEAK}

仕様

表 7.

パラメータ	テスト条件／コメント ¹	記号	特性	単位
Reinforced	$V_{PEAK} = 16\text{kV}$ 、立上がり時間 $1.2\mu\text{s}$ 、50%立下がり時間 $50\mu\text{s}$	V_{IOSM}	10000	V_{PEAK}
Safety Limiting Values	故障発生時に許容される最大値（図 2 参照）	T_S	150	$^{\circ}\text{C}$
Maximum Junction Temperature		P_S	2.74	W
Total Power Dissipation at 25°C		R_S	>109	Ω
Insulation Resistance at T_S	$V_{IO} = 500\text{V}$			

¹ t_M 、 t_{INI} 、および V_{IO} については、DIN V VDE V 0884-11 を参照してください。

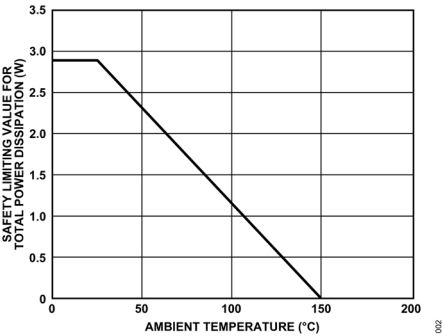


図 2. 熱ディレーティング曲線、DIN V VDE V 0884-11 による安全限界電力の周囲温度への依存性

推奨動作条件

表 8.

Parameter	Symbol	Rating
Operating Temperature	T_A	-40°C to $+125^{\circ}\text{C}$
Supply Voltages	V_{DD1} , V_{DD2}	1.7 V to 1.9 V

絶対最大定格

表 9.

Parameter	Rating
V_{DD1} to GND_1 / V_{DD2} to GND_2	-0.3 V to +2 V
Input Voltage $\overline{REFRESH_1}$ to GND_1 / $\overline{REFRESH_2}$ to GND_2	-0.3 V to +2 V
Input Voltage (D_{INx+} , D_{INx-}) to GND_x on the Same Side	-0.3 V to +4 V
Output Voltage (D_{OUTx+} , D_{OUTx-}) to GND_x on the Same Side	-0.3 V to +2 V
Short-Circuit Duration (D_{OUTx+} , D_{OUTx-}) to GND_x on the Same Side	Continuous
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J Maximum)	150°C
Power Dissipation	$(T_J \text{ maximum} - T_A)/\theta_{JA}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 10. 最大連続動作電圧 1、精細ピッチの RN-28-1 ワイド・ボディ [SOIC_W_FP] パッケージ

パラメータ	定格	制約事項
AC Voltage		
Bipolar Waveform	650 V rms	IEC60747-17 による基本絶縁定格。累積耐用年数内故障率 (FROL) : 20 年で 1000ppm 以下。
Basic Insulation		
Reinforced Insulation	600 V rms	IEC60747-17 による強化絶縁定格。累積 FROL : 26 年で 1ppm 以下。
Unipolar Waveform		
Basic Insulation	1782 VPEAK	AC バイポーラ波形によって制限される定格、累積 FROL : 20 年で 1000ppm 以下。
Reinforced Insulation	1330 VPEAK	IEC 60664-1 のパッケージ沿面距離によって制限される定格、汚染度 2 の環境。
DC Voltage		
Basic Insulation	1660 VDC	IEC 60664-1 のパッケージ沿面距離によって制限される定格、汚染度 2 の環境。
Reinforced Insulation	830 VDC	IEC 60664-1 のパッケージ沿面距離によって制限される定格、汚染度 2 の環境。

¹ 最大連続動作電圧は、汚染度 2 の環境で絶縁バリアに加わる連続電圧の大きさを表します。詳細については、[絶縁寿命](#)のセクションを参照してください。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

表 11. 熱抵抗

Package Type ¹	θ_{JA}	Unit
RN-28-1	43.45	°C/W

¹ テスト条件 1 : 熱抵抗のシミュレーション値は、JEDEC 規格の 4 層基板上に基づいています。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

国際電気標準会議 (IEC) による電磁両立性 : Part 4-2 (IEC) (IEC 61000-4-2 準拠)。

ADN4624 の ESD 定格

表 12. ADN4624、28 ピン SOIC_W_FP

ESD Model	Withstand Threshold (V)	Class
HBM ¹	±4000	3A
IEC ²	±8000 (contact discharge)	Level 4

¹ すべてのピンをそれぞれの GDNx に接続、1.5kΩ、100pF。

² LVDS ピンを絶縁バリア越しに絶縁 GNDx へ接続。

ESD に関する注意

	ESD (静電放電) の影響を受けやすいデバイスです。 電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	--

ピン配置およびピン機能の説明

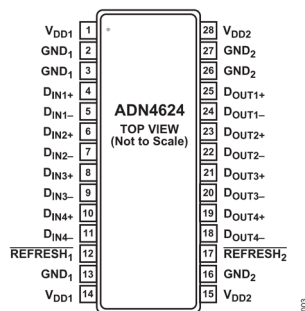


図 3. ピン配置

表 13. ピン機能の説明

ピン番号	記号	説明
1, 14	V _{DD1}	サイド 1 用の 1.8 V 電源。両方のピンを外部で接続し、0.1μF コンデンサで GND ₁ にバイパスします。
2, 3, 13	GND ₁	グラウンド、サイド 1。
4	D _{IN1+}	非反転差動入力 1。
5	D _{IN1-}	反転差動入力 1。
6	D _{IN2+}	非反転差動入力 2。
7	D _{IN2-}	反転差動入力 2。
8	D _{IN3+}	非反転差動入力 3。
9	D _{IN3-}	反転差動入力 3。
10	D _{IN4+}	非反転差動入力 4。
11	D _{IN4-}	反転差動入力 4。
12	REFRESH ₁	サイド 1 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₁ に短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには V _{DD1} に短絡します。
15, 28	V _{DD2}	サイド 2 用の 1.8V 電源。両方のピンを外部で接続し、0.1μF のコンデンサで GND ₂ にバイパスします。
16, 26, 27	GND ₂	グラウンド、サイド 2。
17	REFRESH ₂	サイド 1 リフレッシュ機能用のアクティブ・ロー・イネーブル。リフレッシュをイネーブルして通常動作とするには GND ₂ に短絡し、リフレッシュをディスエーブルして低消費電力、低ジッタ、低ノイズの動作とするには V _{DD2} に短絡します。
18	D _{OUT4-}	反転差動出力 4。
19	D _{OUT4+}	非反転差動出力 4。
20	D _{OUT3-}	反転差動出力 3。
21	D _{OUT3+}	非反転差動出力 3。
22	D _{OUT2-}	反転差動出力 2。
23	D _{OUT2+}	非反転差動出力 2。
24	D _{OUT1-}	反転差動出力 1。
25	D _{OUT1+}	非反転差動出力 1。

代表的な性能特性

特に指定のない限り、 $V_{DD1} = V_{DD2} = 1.8V$ 、 $T_A = 25^\circ C$ 、 $\overline{REFRESH_1} = GND_1$ 、 $\overline{REFRESH_2} = GND_2$ 、 $R_L = 100\Omega$ 、 $|V_{ID}| = 200mV$ の 1.25GHz クロック入力、 $V_{IC} = 1.2V$ 、 t_R および $t_F < 0.05ns$ 。

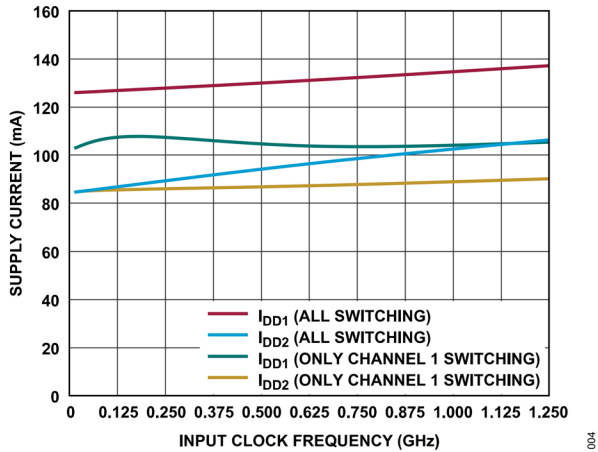


図 4. 電源電流と入力クロック周波数の関係

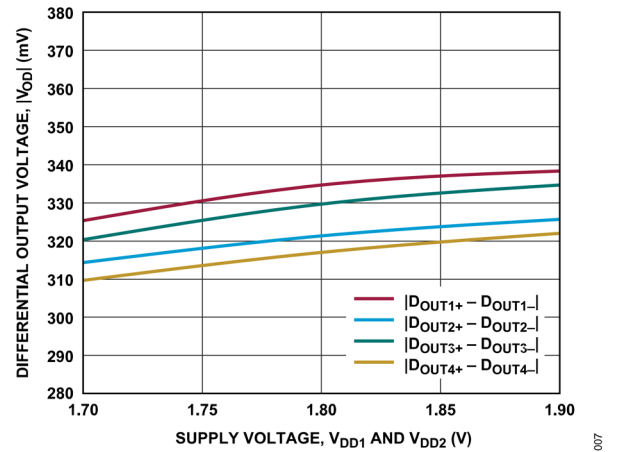
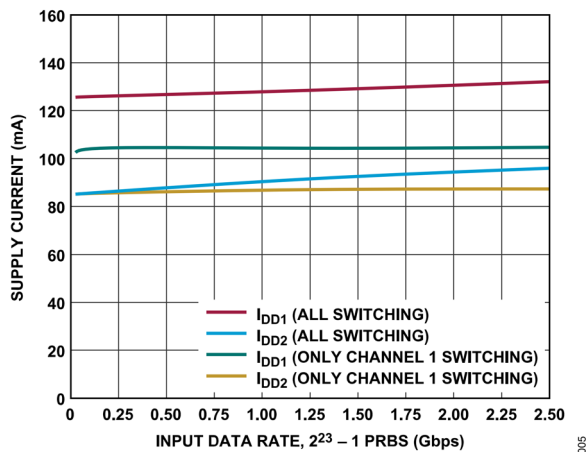
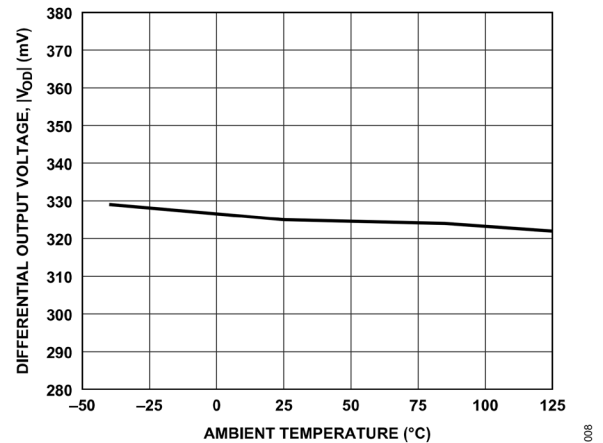
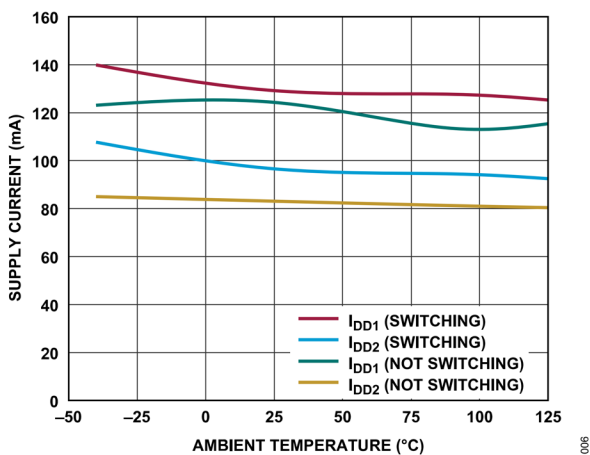
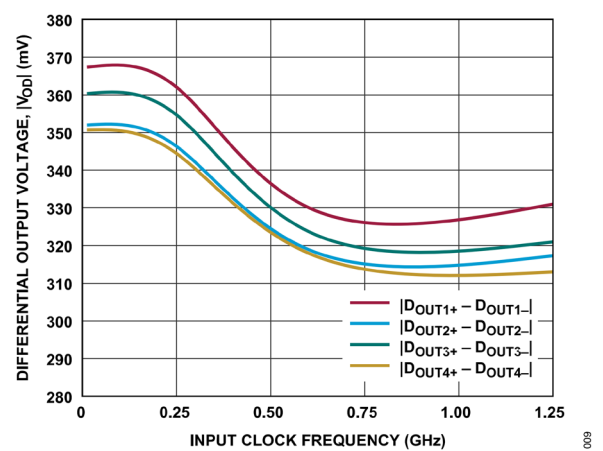
図 7. 差動出力電圧 $|V_{OD}|$ と電源電圧 V_{DD1} および V_{DD2} の関係図 5. 電源電流と入力データ・レートの関係、 $2^{23} - 1$ PRBS図 8. 差動出力電圧 $|V_{OD}|$ と周囲温度の関係

図 6. 電源電流と周囲温度の関係

図 9. 差動出力電圧 $|V_{OD}|$ と入力クロック周波数の関係

代表的な性能特性

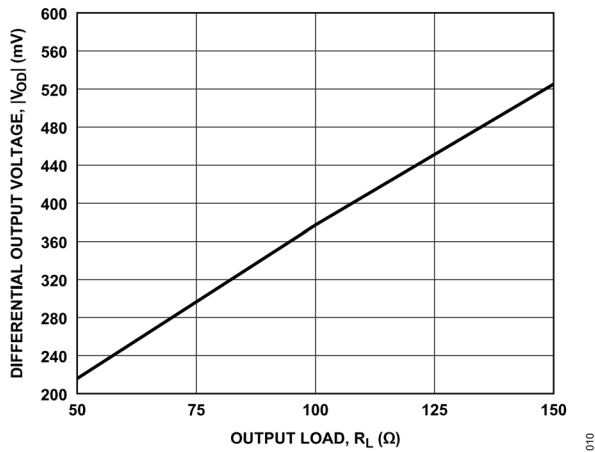


図 10. 差動出力電圧 $|V_{Op}|$ と出力負荷 R_L (DC 入力) の関係

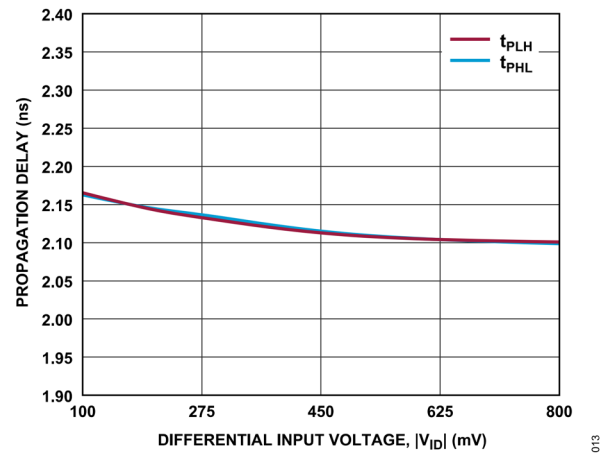


図 13. 伝搬遅延と差動入力電圧 $|V_{ID}|$ の関係

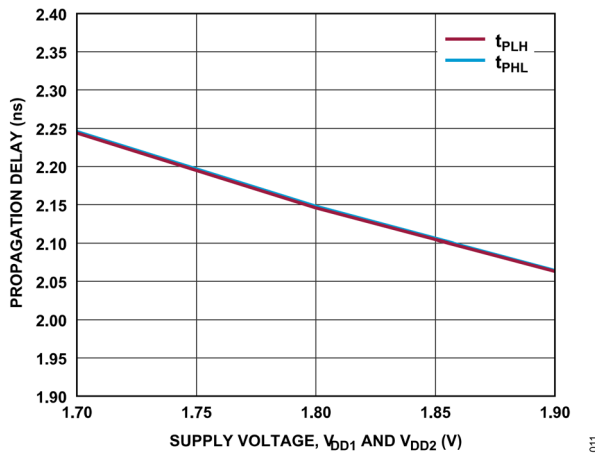


図 11. 伝搬遅延と電源電圧 V_{DD1} および V_{DD2} の関係

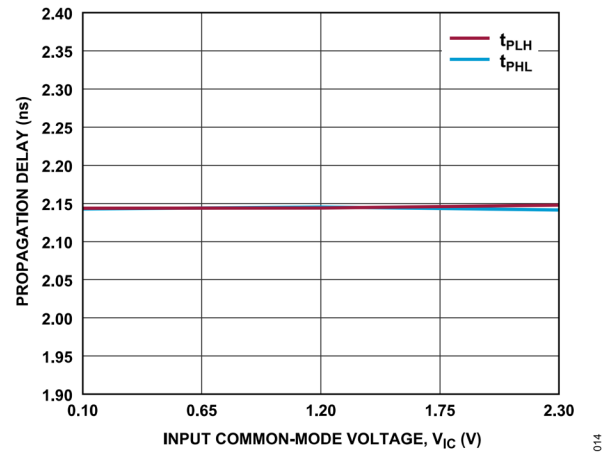


図 14. 伝搬遅延と入力コモンモード電圧 V_{IC} の関係

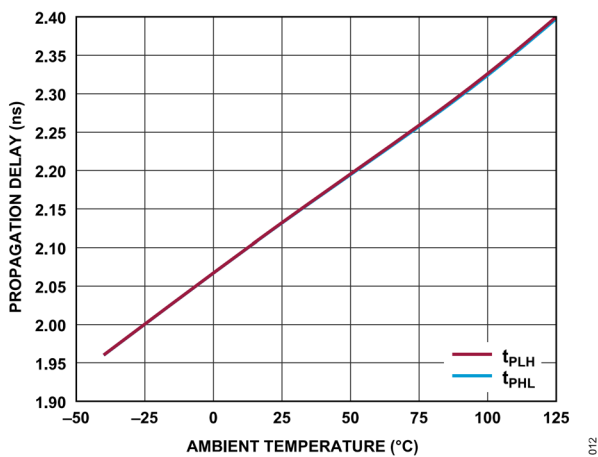


図 12. 伝搬遅延と周囲温度の関係

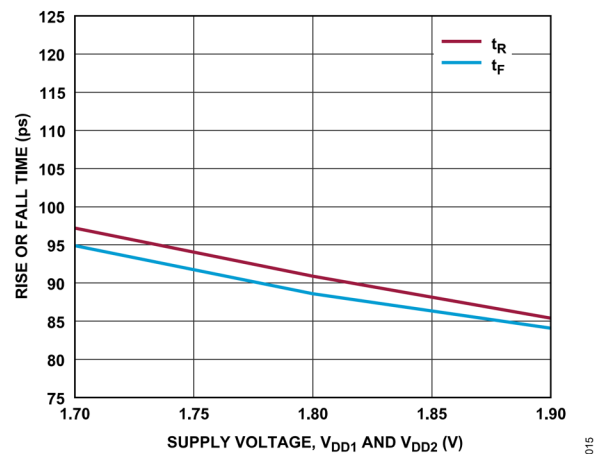


図 15. 立上がりまたは立下がり時間と電源電圧 V_{DD1} および V_{DD2} の関係

代表的な性能特性

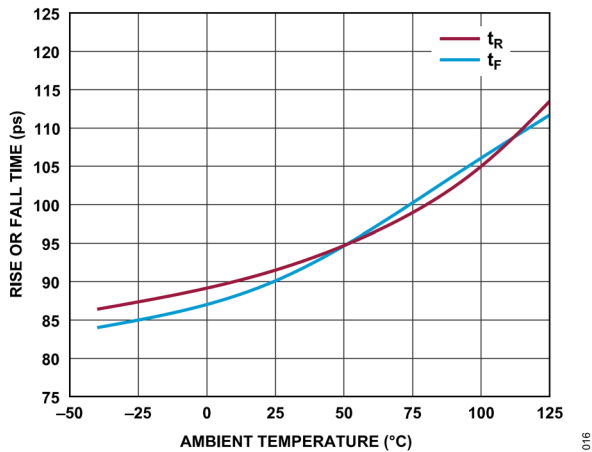


図 16. 立上がりまたは立下がり時間と周囲温度の関係

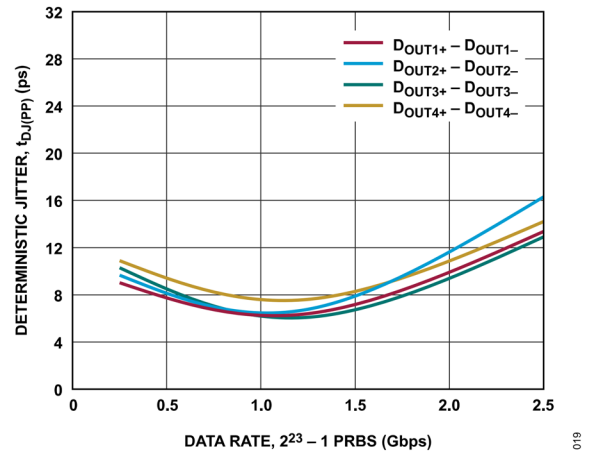


図 19. 確定的ジッタ $t_{DJ(PP)}$ とデータ・レートの関係、 $2^{23} - 1$ PRBS

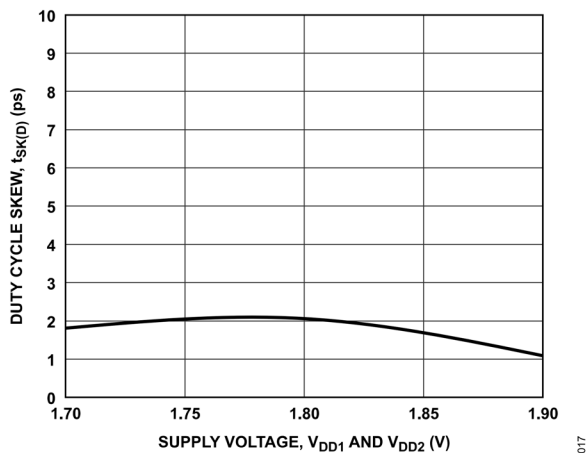


図 17. デューティ・サイクル・スキュー $t_{SK(D)}$ と電源電圧 V_{DD1} および V_{DD2} の関係

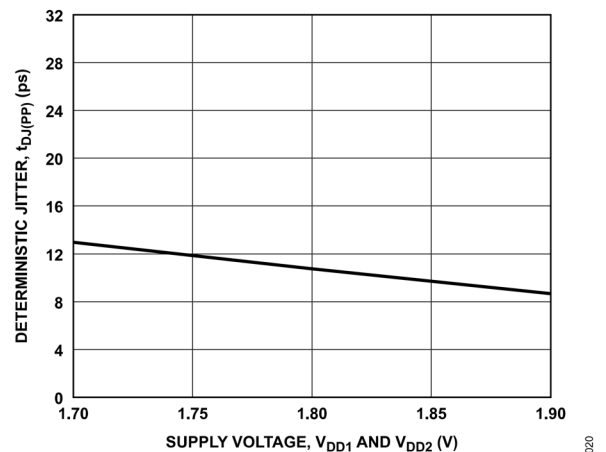


図 20. 確定的ジッタ $t_{DJ(PP)}$ と電源電圧 V_{DD1} および V_{DD2} の関係

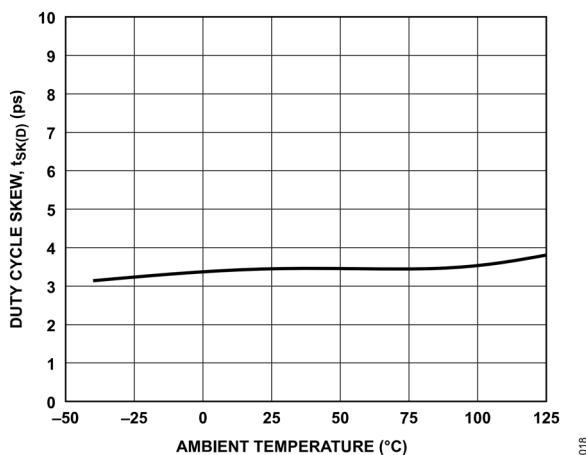


図 18. デューティ・サイクル・スキュー $t_{SK(D)}$ と周囲温度の関係

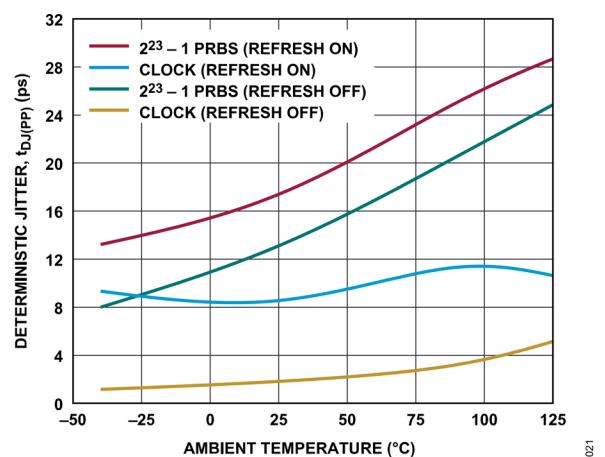
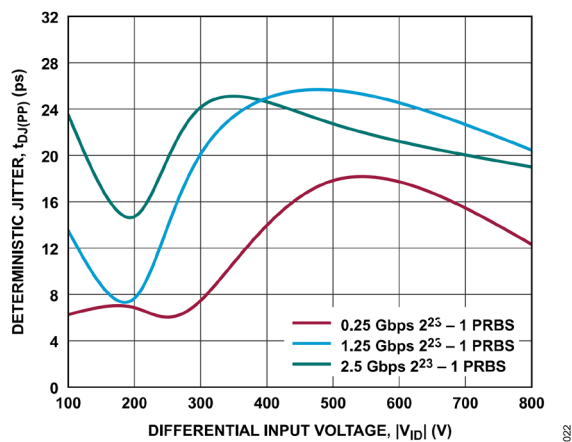
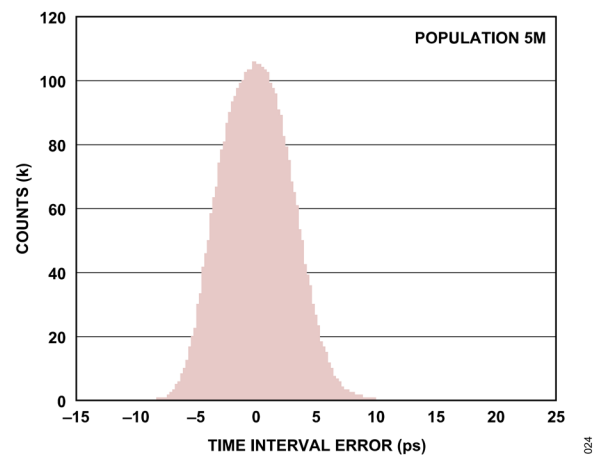
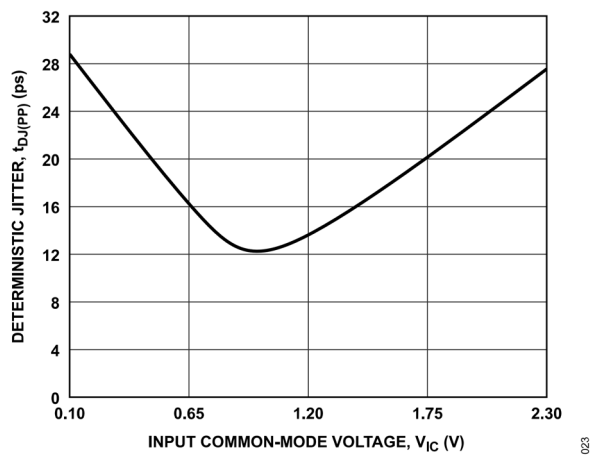
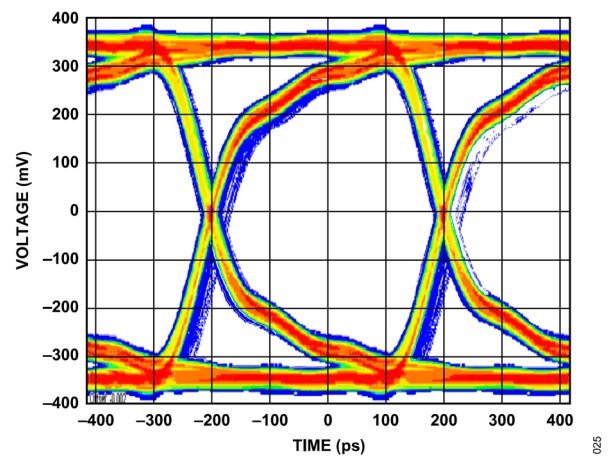


図 21. 確定的ジッタ $t_{DJ(PP)}$ と周囲温度の関係

代表的な性能特性

図 22. 確定的ジッタ $t_{DJ(PP)}$ と差動入力電圧 $|V_{ID}|$ の関係図 24. $D_{OUT1\pm}$ の時間間隔誤差 (TIE) のヒストグラム、1.25GHz図 23. 確定的ジッタ $t_{DJ(PP)}$ と入力コモンモード電圧 V_{IC} の関係図 25. $D_{OUT1\pm}$ のアイ・ダイアグラム、1.25GHz

テスト回路とスイッチング特性

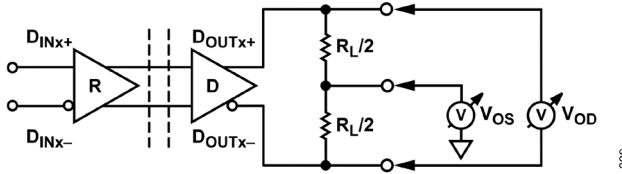
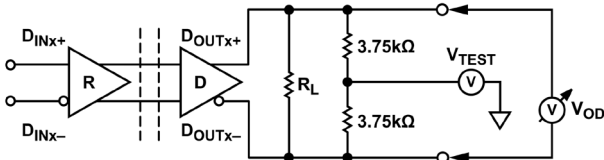
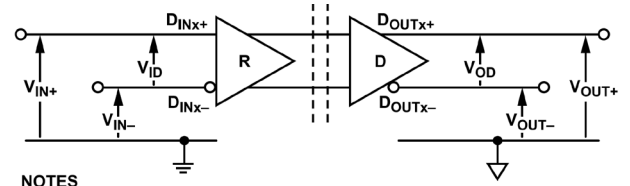


図 26. ドライバ・テスト回路



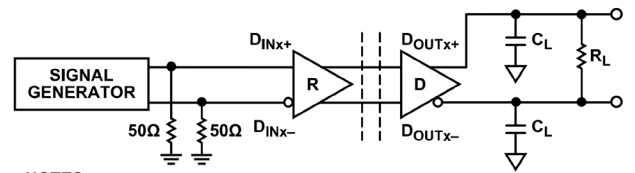
NOTES
1. $V_{TEST} = 0V \text{ TO } 2.4V$

図 27. ドライバ・テスト回路（全コモンモード範囲で最大負荷）



NOTES
1. $V_{ID} = V_{IN+} - V_{IN-}$
2. $V_{IC} = (V_{IN+} + V_{IN-})/2$
3. $V_{OD} = V_{OUT+} - V_{OUT-}$
4. $V_{OS} = (V_{OUT+} + V_{OUT-})/2$

図 28. 電圧の定義



NOTES
1. C_L INCLUDES PROBE AND JIG CAPACITANCE.

図 29. タイミング・テスト回路

動作原理

ADN4624 は最大 2.5Gbps のスイッチングが可能な高速差動信号アイソレータで、信号レベルは TIA/EIA-644-A に準拠しています。このデバイスは、LVDS レシーバー入力に加えられた差動信号を絶縁バリア越しに反対側の出力へカップリングして、ビット・ストリームまたはクロックを LVDS として再送信します。これらの内蔵機能により、LVDS シグナル・チェーンのドロップイン絶縁や、CML などのその他の信号の絶縁が可能です。

LVDS レシーバーは、LVDS 入力の終端抵抗の差動電圧を検出します。内蔵デジタル・アイソレータは絶縁バリア越しに入力状態を伝送し、LVDS ドライバは入力と同じ状態を出力します。

D_{INX+}ピンと対応する D_{INX-}ピン間にある終端抵抗の正の差動電圧が 100mV 以上の場合、対応する D_{OUTX+}ピンは電流をソースします。この電流は接続されている伝送ラインとバス遠端にあるレシーバーの終端に流れ、D_{OUTX-}はリターン電流をシンクします。D_{INX±}ピンの差動電圧が負で、その値が-100mV 以下の場合、対応する D_{OUTX+}ピンは電流をシンクし、D_{OUTX-}ピンは電流をソースします。表 14 に入出力の組み合わせを示します。

出力駆動電流は±2.5mA～±4.5mA（代表値±3.1mA）で、100Ω の終端抵抗（R_T）には±250mV～±450 mV の電圧が発生します。受信電圧は 1.2V を中心とする電圧になります。差動電圧（V_{ID}）は極性が逆になるので、R_Tのピーク to ピーク電圧振幅は差動電圧の大きさ（|V_{ID}|）の 2 倍になります。

絶縁とリフレッシュ

内蔵 LVDS レシーバーによって検出された入力状態の変化に対して、エンコーダ回路は内蔵トランスのコイルを使用して、狭いパルス（約 1ns）をデコーダ回路に送信します。デコーダは双安定なので、入力のロジック遷移を示すパルスによってセットまたはリセットされます。デコーダの状態は通常動作における LVDS ドライバの出力状態を決定し、これには絶縁型 LVDS バッファの入力状態も反映されます。

ADN4624 の通常動作時は、アクティブ・ロー・イネーブル・ピン REFRESH₁ を GND₁に、REFRESH₂ を GND₂に短絡してリ

フレッシュ機能をイネーブルします。この機能をイネーブルした場合、入力に遷移がない状態が約 1μs 以上続くと、出力（該当する場合はフェイルセーフ出力状態を含む）の DC 精度を確保するために、適切な入力状態を示す一連の周期的なリフレッシュ・パルスが送られます。

パワーアップ時に入力の遷移がない場合、出力の初期状態は正しくない DC 状態になっていることがあります。この出力状態は、リフレッシュ・パルスにより 1μs 以内に訂正されます。

デコーダが約 1μs 以上にわたり内部パルスを受け取らなかった場合、デバイスは入力側が通電されていないか機能していないとみなし、出力を正の差動電圧（ロジック・ハイ）に設定します。

クロック、固定ビット・ストリーム、または誤り訂正機能を備えたプロトコルでは、リフレッシュ機能が必要になることはありません。REFRESH₁ を VDD₁、REFRESH₂ を VDD₂に短絡した場合はリフレッシュ機能がディスエーブルされ、内部的な反復信号なしで低消費電力動作が可能になります（伝導 EMI または放射 EMI を減らせる可能性があります）。この動作モードでは、パワーアップ後に出力状態を訂正する場合、またはコモンモード過渡耐圧仕様を超えるコモンモード過渡イベントの発生後に出力状態を訂正する場合は、入力におけるデータの新たな遷移が必要です。

真理値表

LVDS 規格 TIA/EIA-644-A では、入力差動電圧が+100mV 以上のロジック状態、および電圧が-100mV 以下のロジック状態の 2 つの条件下で通常のレシーバー動作を仕様規定しています。表 14 に示すように、これらの閾値の間における標準 LVDS レシーバーの動作は不定です（LVDS レシーバーはいずれかの状態を検出できます）。

表 14. 入出力動作

Input (D _{INX±})			Output (D _{OUTX±})		
Powered On	V _{ID} (mV)	Logic	Powered On	V _{OD} (mV)	Logic
Yes	≥100	High	Yes	≥250	High
Yes	≤-100	Low	Yes	≤-250	Low
Yes	-100 < V _{ID} < +100	Indeterminate	Yes	Indeterminate	Indeterminate
No	Don't care	Don't care	Yes	≥250	High

アプリケーション情報

PCB レイアウト

ADN4624 は、最大 1.25GHz クロックの高速 LVDS 信号、または 2.5Gbps のノンリターン・ゼロ (NRZ) データで動作できます。このような高い周波数で動作させるには、LVDS パターン・レイアウトと終端を最適な方法で行う必要があります。D_{INx+} ピンと D_{INx-} ピン間のできるだけレシーバーに近い位置に 100Ω の終端抵抗を配置します。

信号の完全性を確保し、システムのジッタを低減して PCB からの電磁干渉 (EMI) を最小限に抑えるには、LVDS 信号ラインを、制御されたインピーダンスのパターン (100Ω 差動) とする必要があります。パターンの幅、各パターン・ペアの間隔、下にあるグラウンド・プレーンへの距離も適切に選択する必要があります。ペア間の PCB グラウンドへのビア・シールドも、隣接するペア間のクロストークを最小限に抑えるのに最適な方法です。

ADN4624 は、最大 2Gbps の PRBS データで動作しているときに、アイソレータに関する追加要件なしで EN 55032 クラス B の放射制限値に適合します。より高いデータ・レートまたは高速クロックでの絶縁では、絶縁ギャップのダイポール・アンテナ効果を軽減してクラス B 制限値に対し十分な余裕を確保するために、特別な PCB レイアウト方法が必要になります。

高速 PCB 設計を最適化すれば、高速 LVDS 信号を使用するパターンからの EMI 放出を避けることができます。ボード外部との接続には特に注意を払ってください。この場合、高速 LVDS 信号 (および特にクロック) からのスイッチング過渡電圧がケーブルに流れて放射が発生することがあります。LVDS コネクタおよび電源の位置でコモンモード・チョーク、フェライト、またはその他の適切なフィルタを使用すると共に、ケーブル・シールドやアースまたはシャーシへの PCB グラウンド接続を行ってください。

ADN4624 は、100nF のコンデンサで V_{DDx} ピンを適切にデカップリングする必要があります。また、高周波スイッチング・ノイズによる EMI 放射を避けるために、電源にも適切なフィルタリングを施す必要があります。

アプリケーション例

アナログ・フロントエンド (AFE)、プロセッサとプロセッサのシリアル通信、またはビデオおよびイメージング・データの

高速 LVDS インターフェースは、部品間やボード間、またはケーブル・インターフェースに ADN4624 を使用して絶縁できます。

ADN4624 は、外部ポートの信頼性を高めるために必要な電氣的絶縁を実現します。また、このデバイスは低いジッタと高い駆動能力を備えており、数メートルの短いケーブルで通信できます。高いコモンモード耐圧により、ノイズの多い過酷な環境でも通信の完全性を確保できます。また、絶縁により、ESD、電氣的ファスト・トランジェント (EFT)、サージなど、最大 ±8kV_{PEAK} の電磁両立性 (EMC) トランジェントから保護できます。

標準 LVDS 入出力は、フィールド・プログラマブル・ゲート・アレイ (FPGA)、リドライバ、またはカップリング回路を使って CML その他の物理層へのインターフェースを取ることであり、容易に高速シグナル・チェーンに組み込むことができます。ADN4624 は、LVDS ではなく CML を物理層に使用するプロトコルなど、ビデオとイメージングで使用される様々なプロトコルの絶縁が可能です。

その一例が高精細度マルチメディア・インターフェース (HDMI) です。ここでは、図 30 に示すように AC カップリング、AC バイアスおよび終端抵抗による回路を使用して、CML (遷移時間最短差動信号伝送方式 (TMDS) のデータおよびクロック・レーンで使用) と、ADN4624 で必要な LVDS レベルとの変換を実行します。ADuM2250 や ADuM2251 I2C アイソレータといったその他のアナログ・デバイス製品を使用すれば、制御信号と電源を絶縁することができます (isoPower 内蔵の ADuM6421A および ADuM6028 絶縁型 DC/DC コンバータ)。この回路は最大 1080p の分解能に対応しています。

その他のカップリング回路、処理ノード、変換回路でも、全体的なシグナル・チェーンの一部として ADN4624 を使用し、MIPI CSI-2 や DisplayPort の他、FPD-Link といった LVDS をベースとするプロトコルの回路を絶縁できます。FPGA や特定用途向け集積回路 (ASIC) によるシリアライザ/デシリアライザ (SERDES) を使用して複数の ADN4624 経由で帯域幅を拡張し、1080p や 4K ビデオの解像度に対応できるため、ショート・リーチのファイバ・リンクに代えて使用することができます。

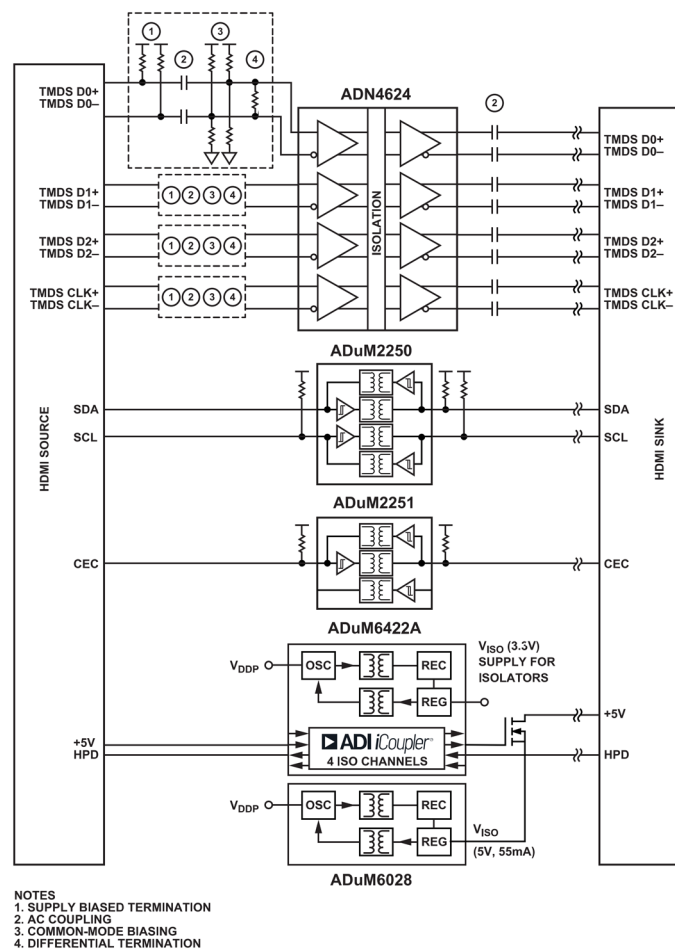


図 30. ADN4624 を使用した絶縁型ビデオ・インターフェース (HDMI) の例

耐磁性磁界耐性

デバイスの磁界耐性に関する限界は、トランスの受信側コイルに発生する誘導電圧がデコーダを誤ってセットまたはリセットしてしまうような大きさになる、という条件で設定されます。このような条件を以下の解析により求めます。ADN4624の中で最も磁界の影響を受けやすい動作モードは1.7V動作条件なので、これを使って解析を行います。

トランス出力におけるパルスの振幅は 0.35V を超えます。デコーダの検出閾値は約 0.11V なので、誘導電圧が許容される 0.24V のマージンが得られます。

受信側コイルに発生する誘導電圧 (V) は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

 $d\beta =$ 磁束密度变化、 $dt = \text{時間変化、}$

r_n = 受信側コイルの n 番目の巻線の半径、

N = 受信側コイルの巻き数です。

ADN4624 の受信側コイルの形状と、誘導電圧がデコーダの閾値 0.11V の最大 50% という条件が与えられると、最大許容外部磁束密度を計算できます (図 31 を参照)。

アプリケーション情報

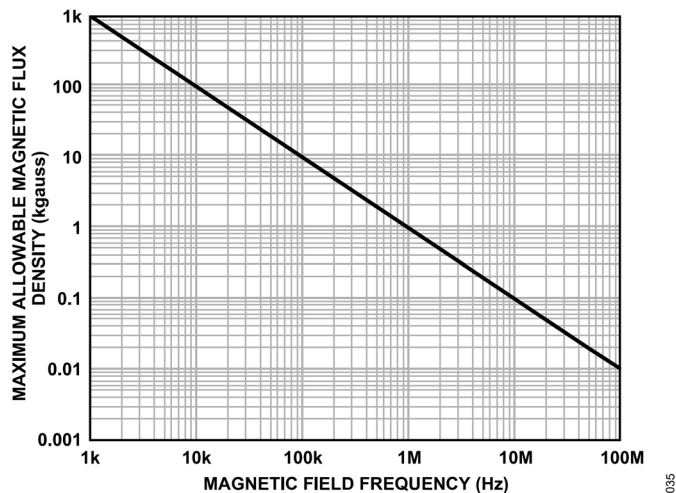


図 31. 最大許容外部磁束密度

例えば、磁界周波数=1MHzで、最大許容磁界=1.06kgaussの場合、受信側コイルの誘導電圧は0.055Vになります。この電圧は検出閾値の約50%であるため、出力が誤って遷移することはありません。最も厳しい条件の極性により、送信パルスの途中でこのような状況が発生すると、磁界によって受信パルスが0.35Vより大きい値から0.295Vに減少します。この電圧は、デコーダの検出閾値である0.11Vよりも依然として高い値です。

前述の磁束密度値は、ADN4624のトランスから所定の距離だけ離れた位置での特定電流値に対応します。図32に、選択された距離に対する周波数の関数としての許容電流値を示します。

ADN4624は外部磁界の影響をほとんど受けません。問題となる可能性があるのは、部品の近くの非常に大きい高周波電流だけです。ここに示す1MHzの例では、部品の動作に影響を与えるには、2.64kAの電流をADN4624から5mm離れた場所に配置する必要があります。

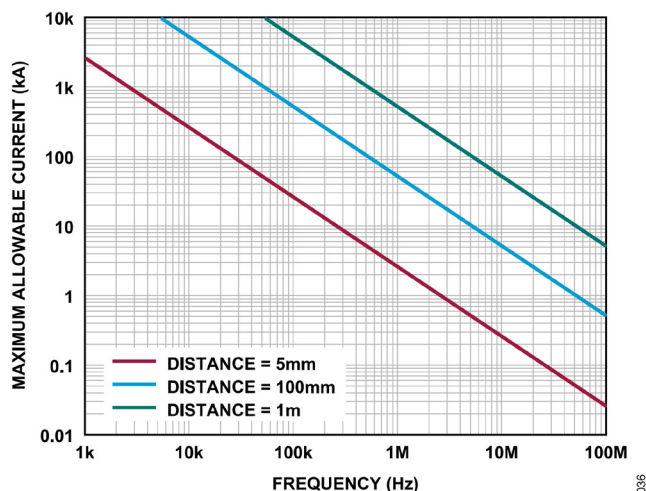


図 32. 電流から ADN4624 までの距離と最大許容電流

強い磁界と高周波を組み合わせると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路の閾値を超えてトリガが発生する可能性があります。ループが形成されるような PCB 構造は避けてください。

絶縁寿命

すべての絶縁構造は、長時間にわたって電圧ストレスを加えると最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労という注目すべき2つのタイプがあります。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行い、部品を様々な材料グループに分類します。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格に定められていて、絶縁バリアの両端にまたがる合計 rms 電圧、汚染度、材料グループに基づいています。ADN4624の材料グループと沿面距離を表4に示します。

絶縁疲労

疲労による絶縁寿命は、絶縁材の厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

試験とモデリングにより、長期間にわたる性能低下の主な要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間と共に変化する電圧ストレスに大別でき、前者は変位電流が存在しないためわずかな疲労しか発生させず、後者は疲労を発生させます。

認定ドキュメントに記載されている定格は、通常 60Hz の正弦波ストレスに基づいています。これは、正弦波にライン電圧からのアイソレーションが反映されるためです。ただし、多くの実用的なアプリケーションでは、60Hz の AC と絶縁バリアをまたぐ DC が組み合わされています (式1を参照)。疲労を発生させるのはストレスの AC 部分だけなので、この式は AC rms 電圧を求めるように並べ替えることができます (式2を参照)。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC 実効値電圧によって製品寿命が決定されます。

アプリケーション情報

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は、合計 rms 動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

次の例は、電力変換アプリケーションでは一般的なものです。絶縁バリアの一方に 240Vac rms のライン電圧、もう一方に 400Vdc のバス電圧がかかっているものとします。絶縁材料はポリイミドです。デバイスの沿面距離、クリアランス、および寿命を求める際のクリティカル電圧を決めるには、[図 33](#) と以下の式を参照してください。

式 1 のバリアにかかる動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

この V_{RMS} は、システムの規格で要求されている沿面距離を求める際に材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC rms 電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{ V rms}$$

この場合、AC rms 電圧は 240Vrms のライン電圧です。この計算は、波形が正弦波でない場合は更に重要になります。[表 10](#) は、この値と動作電圧の制限値を比較したときの期待寿命を示しています。[表 10](#) に示す DC 動作電圧の制限値は、IEC 60664-1 の規定に準拠したパッケージの沿面距離によって設定されています。この値は、特定のシステム・レベル規格と異なる場合があります。

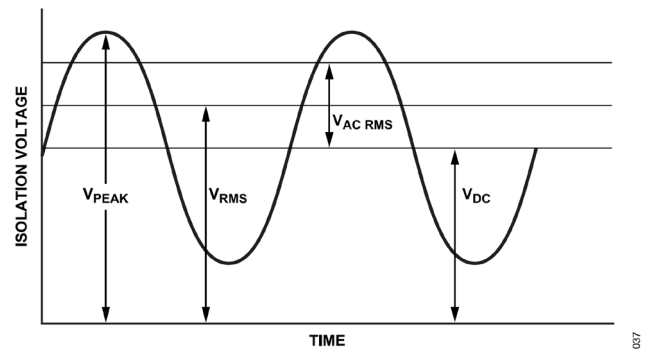


図 33. クリティカル電圧の例

外形寸法

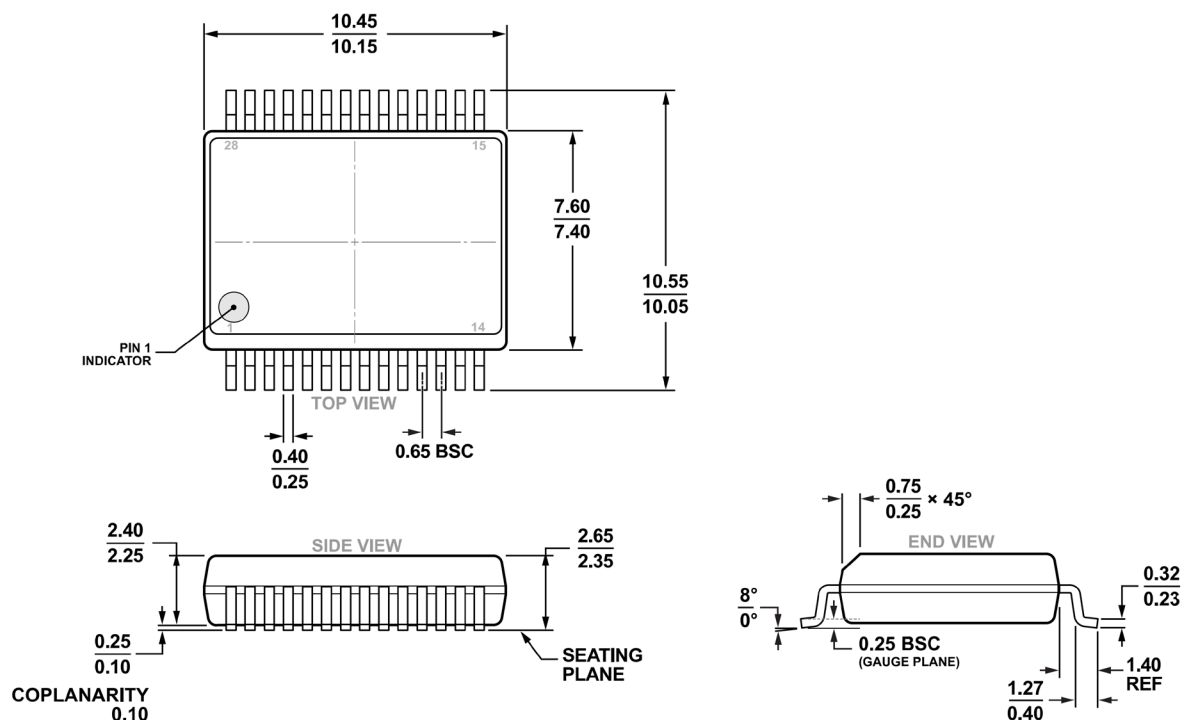


図 34. 28 ピン標準スモール・アウトライン、ワイド・ボディ、精細ピッチ [SOIC_W_FP]
(RN-28-1)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADN4624BRNZ	-40°C to +125°C	28-Lead SOIC (Wide, Finer Pitch)	Tube, 46	RN-28-1
ADN4624BRNZ-RL	-40°C to +125°C	28-Lead SOIC (Wide, Finer Pitch)	Reel, 1000	RN-28-1

¹ Z = RoHS 準拠製品

評価用ボード

Model	Description
EVAL-ADN4624EB1Z	ADN4624 SOIC_W_FP Evaluation Board