

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2020年8月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年8月19日

製品名：ADP5056

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.19

高速トランジェント・モードの図41のチャンネル説明で、チャンネル3は“高速トランジェント・モード有効”となっていますが、“無効”の間違いです。



# トリプル降圧レギュレータ内蔵 電カソリューション

データシート

ADP5056

## 特長

- 広い入力電圧範囲：2.75V~18V
- バイアス入力電圧範囲：4.5V~18V
- 最高 150°C のジャンクション温度で動作
- 帰還電圧精度：-0.62%~+0.69%  
(ジャンクション温度：-40°C~+125°C)
- チャンネル 1 およびチャンネル 2：7A の同期整流式降圧レギュレータ  
(9.4A の最小バレー電流制限値)
- チャンネル 1 およびチャンネル 2：並列動作時に 14A の出力
- チャンネル 3：3A の同期整流式降圧レギュレータ  
(4.2A の最小バレー電流制限値)
- スイッチング周波数の調整可能範囲：250kHz~2500kHz
- 高速負荷過渡応答に対する外部補償
- 0.615V の正確なりファレンス電圧を持つ高精度イネーブル・ピン
- プログラマブルなパワーアップ・シーケンスとパワーダウン・シーケンス
- FPWM モードと PSM モードが選択可能
- 周波数同期の入力または出力
- 3チャンネルに対するパワーグッド・フラグ
- アクティブ出力放電スイッチ
- UVLO、過電流保護、TSD 保護
- 43 端子、5mm × 5.5mm の LGA パッケージ

## アプリケーション

- スモール・セル基地局
- フィールド・プログラマブル・ゲート・アレイ (FPGA) およびプロセッサのアプリケーション
- セキュリティおよび情報収集
- 医療用アプリケーション

## 概要

ADP5056 は 43 端子ランド・グリッド・アレイ (LGA) パッケージに 3 個の高性能降圧レギュレータを組み込み、性能とボード・スペースに対する厳しい条件をクリアします。このデバイスは、プリレギュレータなしで最大 18V の高入力電圧への直接接続を可能にします。

全チャンネルにハイサイドおよびローサイド金属酸化膜電界効果トランジスタ (MOSFET) が集積され、効率が最適化されたソリューションを実現します。チャンネル 1 とチャンネル 2 は、3.5A または 7A に設定可能な出力電流を供給します。または並列動作で最大 14A の単一出力が可能です。チャンネル 3 は、1.5A または 3A に設定可能な出力電流を供給します。

## 代表的なアプリケーション回路

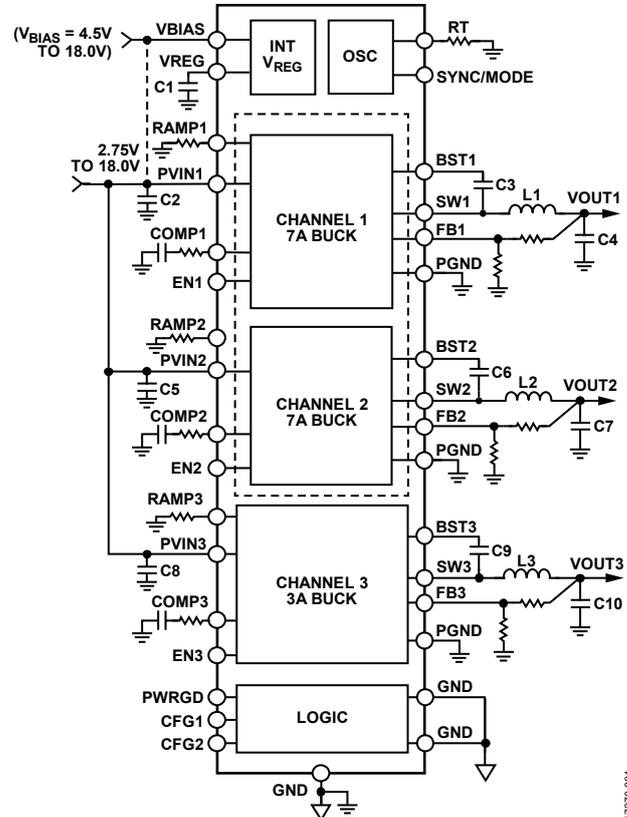


図 1.

ADP5056 のスイッチング周波数は、プログラム可能または外部クロックに同期可能です。各チャンネルにイネーブル・ピン (ENx) ピンがあるため、パワーアップ・シーケンスが容易なものになり、低電圧ロックアウト (UVLO) 閾値も調整可能です。

このデバイスには、スタートアップ/シャットダウン・シーケンス制御、強制パルス幅変調/パワー・セービング・モード (FPWM/PSM) 選択、出力放電スイッチ、パワーグッド信号などの機能が統合されています。

ADP5056 の定格ジャンクション温度は、-40°C~+150°C です。

このデータシートでは、SYNC/MODE などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SYNC のように 1 つのピン機能だけを表記しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

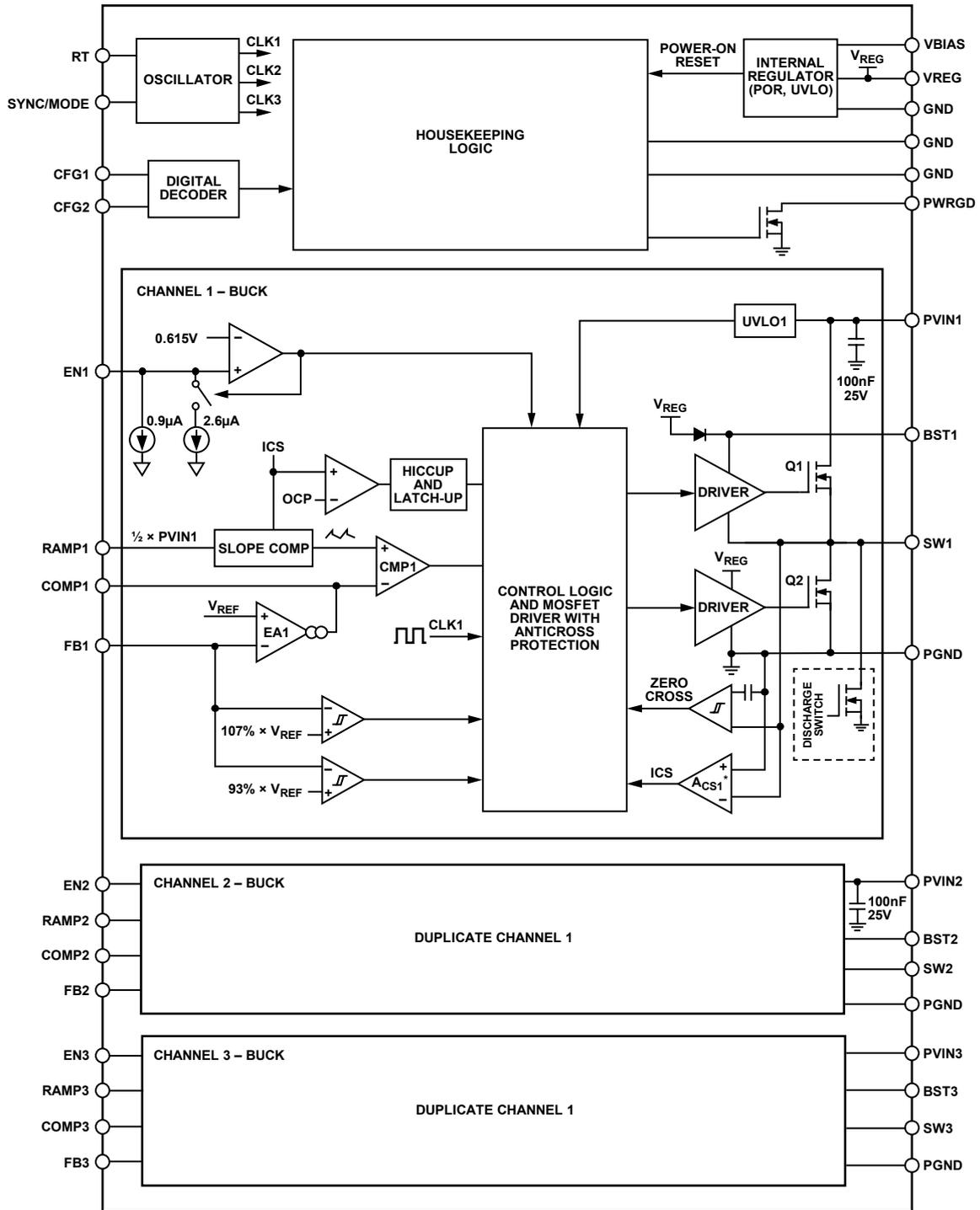
## 目次

特長	1	UVLO	20
アプリケーション	1	パワーグッド機能	20
代表的なアプリケーション回路	1	高温でのパワーアップ	20
概要	1	サーマル・シャットダウン	20
改訂履歴	2	アプリケーション情報	21
機能ブロック図	3	調整可能な出力電圧のプログラミング	21
仕様	4	電圧変換の制限	21
降圧レギュレータ仕様	5	電流制限設定	21
絶対最大定格	7	ソフト・スタート設定	21
熱抵抗	7	インダクタの選択	21
ESDに関する注意	7	出力コンデンサの選択	22
ピン配置およびピン機能の説明	8	入力コンデンサの選択	22
代表的な性能特性	10	UVLO入力のプログラミング	23
動作原理	14	勾配補償の設定	23
降圧レギュレータの動作モード	14	補償部品の設計	23
調整可能な出力電圧	14	消費電力	24
内蔵レギュレータ (VREG)	14	ジャンクション温度	24
個別電源アプリケーション	14	代表的なアプリケーション回路	25
ブートストラップ回路	15	設計例	28
アクティブ出力放電スイッチ	15	スイッチング周波数の設定	28
高精度イネーブル	15	出力電圧の設定	28
シーケンス・モード	15	構成の設定 (CFG1 および CFG2)	28
発振器	16	インダクタの選択	28
同期入出力	16	出力コンデンサの選択	29
ソフト・スタート	17	補償ネットワークの設計	29
機能設定 (CFG1 および CFG2)	17	入力コンデンサの選択	29
並列動作	18	推奨回路基板レイアウト	30
高速トランジェント・モード	19	外形寸法	31
プリチャージされた出力状態での起動	19	オーダー・ガイド	31
電流制限保護	19		

## 改訂履歴

5/2020—Revision 0: Initial Version

機能ブロック図



\*ACS1 IS THE CURRENT SENSING AMPLIFIER OF CHANNEL 1.

図 2.

17270-002

## 仕様

特に指定がない限り、入力電圧 ( $V_{IN}$ ) = バイアス入力電圧 ( $V_{BIAS}$ ) = 12V、VREG 電圧 = 4.8V、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$  (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}\text{C}$  (代表仕様値)。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
WIDE INPUT VOLTAGE RANGE	$V_{IN}$	2.75		18	V	PVIN1 ピン、PVIN2 ピン、PVIN3 ピン
BIAS INPUT VOLTAGE RANGE	$V_{BIAS}$	4.5		18	V	VBIAS ピン
QUIESCENT CURRENT						VBIAS ピン
Operating Quiescent Current	$I_{Q(3-BUCKS)}$		6.2	7.5	mA	スイッチングなし、すべての ENx ピンがハイ
Shutdown Current of Three Channels	$I_{SHDN(3-BUCKS)}$		42	80	$\mu\text{A}$	すべての ENx がロー
UNDERVOLTAGE LOCKOUT						
Power Input	$UVLO_{PVINx}$					PVIN1 ピン、PVIN2 ピン、PVIN3 ピン
Rising Threshold	$V_{UVLO1-RISING}$		2.5	2.75	V	
Falling Threshold	$V_{UVLO1-FALLING}$		2.22		V	
Hysteresis	$V_{HYS1}$		0.30		V	
Bias Input Voltage	$UVLO_{VBIAS}$					VBIAS ピン
Rising Threshold	$V_{UVLO2-RISING}$		4.20	4.50	V	
Falling Threshold	$V_{UVLO2-FALLING}$	3.60	3.80		V	
Hysteresis	$V_{HYS2}$		0.40		V	
OSCILLATOR CIRCUIT						
Switching Frequency	$f_{SW}$	530	600	630	kHz	$R_T = 280\text{k}\Omega$
		1140	1200	1250	kHz	$R_T = 140\text{k}\Omega$
		1700	1800	1900	kHz	$R_T = 94.2\text{k}\Omega$
Switching Frequency Range		250		2500	kHz	
Synchronization Input						
Input Clock Range	$f_{SYNC}$	250		2700	kHz	
Input Clock Pulse Width						
Minimum On Time	$t_{SYNC\_MIN\_ON}$	100			ns	
Minimum Off Time	$t_{SYNC\_MIN\_OFF}$	100			ns	
Input Clock High Voltage	$V_{H(SYNC)}$	2.65			V	
Input Clock Low Voltage	$V_{L(SYNC)}$			1.2	V	
Synchronization Output						
Clock Frequency	$f_{CLK}$		$f_{SW}$		kHz	
Positive Pulse Duty Cycle	$t_{CLK\_PULSE\_DUTY}$		50		%	
Rise or Fall Time	$t_{CLK\_RISE\_FALL}$		2		ns	
High Level Voltage	$V_{H(SYNC\_OUT)}$		$V_{REG}$		V	
PRECISION ENABLING						EN1 ピン、EN2 ピン、EN3 ピン
Enable Voltage Range	$V_{EN\_RANGE}$	0		18	V	
High Level Threshold	$V_{TH\_H(EN)}$		0.615	0.67	V	
Low Level Threshold	$V_{TH\_L(EN)}$	0.52	0.575		V	
Source Current (High Level)	$I_{TH\_H(EN)}$	0.48	0.9	1.55	$\mu\text{A}$	立上がり 閾値以上
Source Current (Low Level)	$I_{TH\_L(EN)}$	2.0	3.5	6.0	$\mu\text{A}$	立下がり 閾値以下
POWER GOOD						
Rising High Threshold	$V_{PWRGD(RISE\_H)}$		105		%	
Rising Low Threshold	$V_{PWRGD(RISE\_L)}$		95		%	
Falling High Threshold	$V_{PWRGD(FALL\_H)}$		107		%	
Falling Low Threshold	$V_{PWRGD(FALL\_L)}$		93		%	
Internal Power-Good Hysteresis	$V_{PWRGD(HYS)}$		2		%	
Falling Delay for PWRGD Pin	$t_{PWRGD\_FALL\_DLY}$		$4 \times \text{switching period } (t_{SW})$		ms	
Rising Delay for PWRGD Pin <sup>1</sup>	$t_{PWRGD\_RISE\_DLY}$		0 or $t_{SET}$		ms	CFG2 ピンの抵抗値 ( $R_{CFG2}$ ) が $0\Omega$ の場合は、 $t_{SET} = 2.6\text{ms}$

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
Leakage Current for PWRGD Pin	$I_{PWRGD\_LEAKAGE}$		0.1	1	$\mu A$	PWRGD ピンの電流 ( $I_{PWRGD}$ ) = 1mA
Output Low Voltage for PWRGD Pin	$V_{PWRGD\_LOW}$		10	150	mV	
THERMAL SHUTDOWN (TSD)						
Thermal Shutdown Threshold	$T_{SHDN}$		175		$^{\circ}C$	
Thermal Shutdown Hysteresis	$T_{HYS}$		15		$^{\circ}C$	

<sup>1</sup>  $t_{SET}$  は、CFG2 による設定時間です。

## 降圧レギュレータ仕様

特に指定のない限り、 $V_{IN} = 12V$ 、 $V_{REG} = 4.8V$ 、 $f_{SW} = 600kHz$  (全チャンネル)、 $T_J = -40^{\circ}C \sim +150^{\circ}C$  (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}C$  (代表仕様値)。

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
CHANNEL 1 BUCK REGULATOR						
Continuous Output Current	$I_O$		7			CFG1 ピンの構成により設定 (表 6)、 CFG1 の抵抗 ( $R_{CFG1}$ ) = $0\Omega$ CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1}$ = オープン
			3.5			
FB1 Pin						
Feedback Voltage			600		mV	
Feedback Voltage Accuracy	$V_{FB1\_DEFAULT}$	-0.25		+0.25	%	$T_J = 25^{\circ}C$
Feedback Reference Voltage of Channel 1 ( $V_{FB1}$ ) = 600 mV Default		-0.62		+0.69	%	$-40^{\circ}C \leq T_J \leq +125^{\circ}C$
		-0.62		+0.83	%	$-40^{\circ}C \leq T_J \leq +150^{\circ}C$
Feedback Bias Current	$I_{FB1}$			0.1	$\mu A$	調整可能電圧
SW1 Pin						
High-Side Power Field Effect Transistor (FET) On Resistance	$R_{DSON\_HS(1)}$		25		m $\Omega$	ピン間の測定値
Low-Side Power FET On Resistance	$R_{DSON\_LS(1)}$		12		m $\Omega$	ピン間の測定値
Valley Current-Limit Threshold	$I_{TH(ILIM1)}$	9.4			A	チャンネル 1 の電流制限値 ( $I_{LIM1}$ ) = 7A、 $T_J = 25^{\circ}C$
		4.4			A	$I_{LIM1} = 3.5A$ 、 $T_J = 25^{\circ}C$
Negative Current-Limit Threshold	$I_{TH(ILIM1-NEG)}$		-5.0		A	
Minimum On Time	$t_{MIN\_ON1}$		35	55	ns	$f_{SW} = 250kHz \sim 2500kHz$
Minimum Off Time	$t_{MIN\_OFF1}$		120	150	ns	$f_{SW} = 250kHz \sim 2500kHz$
Error Amplifier (EA), COMP1 Pin						
EA Transconductance	$g_{m1}$	330	350	365	$\mu S$	
Soft Start						
Soft Start Time	$t_{SS1}$		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6ms$
Hiccup Time	$t_{HICCUP1}$		$7 \times t_{SET}$		ms	
Output Capacitor ( $C_{OUT}$ ) Discharge Switch On Resistance	$R_{DIS1}$		85		$\Omega$	
CHANNEL 2 BUCK REGULATOR						
Continuous Output Current	$I_O$		7			CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1} = 0\Omega$ CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1}$ = オープン
			3.5			
FB2 Pin						
Feedback Voltage			600		mV	
Feedback Voltage Accuracy	$V_{FB2\_DEFAULT}$	-0.25		+0.25	%	$T_J = 25^{\circ}C$
Feedback Reference Voltage of Channel 2 ( $V_{FB2}$ ) = 600 mV Default		-0.62		+0.69	%	$-40^{\circ}C \leq T_J \leq +125^{\circ}C$
		-0.62		+0.83	%	$-40^{\circ}C \leq T_J \leq +150^{\circ}C$
Feedback Bias Current	$I_{FB2}$			0.1	$\mu A$	調整可能電圧

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
SW2 Pin						
High-Side Power FET On Resistance	$R_{DSON\_HS(2)}$		25		m $\Omega$	ピン間の測定値
Low-Side Power FET On Resistance	$R_{DSON\_LS(2)}$		12		m $\Omega$	ピン間の測定値
Valley Current-Limit Threshold	$I_{TH(ILIM2)}$	9.4			A	チャンネル2の電流制限値 ( $I_{LIM2}$ ) = 7A、 $T_J = 25^\circ\text{C}$
		4.4			A	$I_{LIM2} = 3.5\text{A}$ 、 $T_J = 25^\circ\text{C}$
Negative Current-Limit Threshold	$I_{TH(ILIM2-NEG)}$		-5.0		A	
Minimum On Time	$t_{MIN\_ON2}$		35	55	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
Minimum Off Time	$t_{MIN\_OFF2}$		120	150	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
EA, COMP2 Pin						
EA Transconductance	$g_{m2}$	330	350	365	$\mu\text{S}$	
Soft Start						
Soft Start Time	$t_{SS2}$		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6\text{ms}$
Hiccup Time	$t_{HICCUP2}$		$7 \times t_{SET}$		ms	
$C_{OUT}$ Discharge Switch On Resistance	$R_{DIS2}$		85		$\Omega$	
CHANNEL 1 AND CHANNEL 2 IN PARALLEL OPERATION						
Continuous Output Current	$I_O$		14			CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1} = 23.7\Omega$
CHANNEL 3 BUCK REGULATOR						
Continuous Output Current	$I_O$		3			CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1} = 0\Omega$
			1.5			CFG1 ピンの構成により設定 (表 6)、 $R_{CFG1} = \text{オープン}$
FB3 Pin						
Feedback Voltage			600		mV	
Feedback Voltage Accuracy	$V_{FB3\_DEFAULT}$	-0.25		+0.25	%	$T_J = 25^\circ\text{C}$
Feedback Reference Voltage of Channel 3 ( $V_{FB3}$ ) = 600 mV Default		-0.62		+0.69	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
		-0.62		+0.83	%	$-40^\circ\text{C} \leq T_J \leq +150^\circ\text{C}$
Feedback Bias Current	$I_{FB3}$			0.1	$\mu\text{A}$	調整可能電圧
SW3 Pin						
High-Side Power FET On Resistance	$R_{DSON\_HS(3)}$		85		m $\Omega$	ピン間の測定値
Low-Side Power FET On Resistance	$R_{DSON\_LS(3)}$		45		m $\Omega$	ピン間の測定値
Valley Current-Limit Threshold	$I_{TH(ILIM3)}$	4.2			A	チャンネル3の電流制限値 ( $I_{LIM3}$ ) = 3A、 $T_J = 25^\circ\text{C}$
		2.1			A	$I_{LIM3} = 1.5\text{A}$ 、 $T_J = 25^\circ\text{C}$
Negative Current-Limit Threshold	$I_{TH(ILIM3-NEG)}$		-2.5		A	
Minimum On Time	$t_{MIN\_ON3}$		35	55	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
Minimum Off Time	$t_{MIN\_OFF3}$		120	150	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
EA, COMP3 Pin						
EA Transconductance	$g_{m3}$	330	350	365	$\mu\text{S}$	
Soft Start						
Soft Start Time	$t_{SS3}$		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6\text{ms}$
Hiccup Time	$t_{HICCUP3}$		$7 \times t_{SET}$		ms	
$C_{OUT}$ Discharge Switch On Resistance	$R_{DIS3}$		85		$\Omega$	

## 絶対最大定格

表 3.

Parameter	Rating
VBIAS to GND	-0.3 V to +21 V
PVINx to PGND	-0.3 V to +21 V
SWx to PGND	-0.3 V to +21 V
RAMPx to GND	-0.3 V to +21 V
PGND to GND	-0.3 V to +0.3 V
BST1 to SW1	-0.3 V to +6.5 V
BST2 to SW2	-0.3 V to +6.5 V
BST3 to SW3	-0.3 V to +6.5 V
CFG1 and CFG2 to GND	-0.3 V to +6.5 V
ENx to GND	-0.3 V to +21 V
VREG to GND	-0.3 V to +6.5 V
SYNC/MODE to GND	-0.3 V to +6.5 V
RT to GND	-0.3 V to +6.5 V
PWRGD to GND	-0.3 V to +6.5 V
FB1, FB2, and FB3 to GND	-0.3 V to +6.5 V
COMPx to GND	-0.3 V to +6.5 V
Storage Temperature Range	-65°C to +150°C
Operational Junction Temperature Range	-40°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

（特に指定のない限り）表 4 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に従って使用します。放熱（PCB、ヒート・シンク、空気の流れなど）強化技術を使用し、熱抵抗を改善しています。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}^1$	$\theta_{JB}$	$\Psi_{JT}$	$\Psi_{JB}$	Unit
CC-43-1	26.0	14.3	9.3	0.2	9.0	(°C/W)

<sup>1</sup>  $\theta_{JC}$  の試験では、100 $\mu$ m の熱界面材料（TIM）を使用しています。TIM は 3.6W/mK と仮定しています。

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

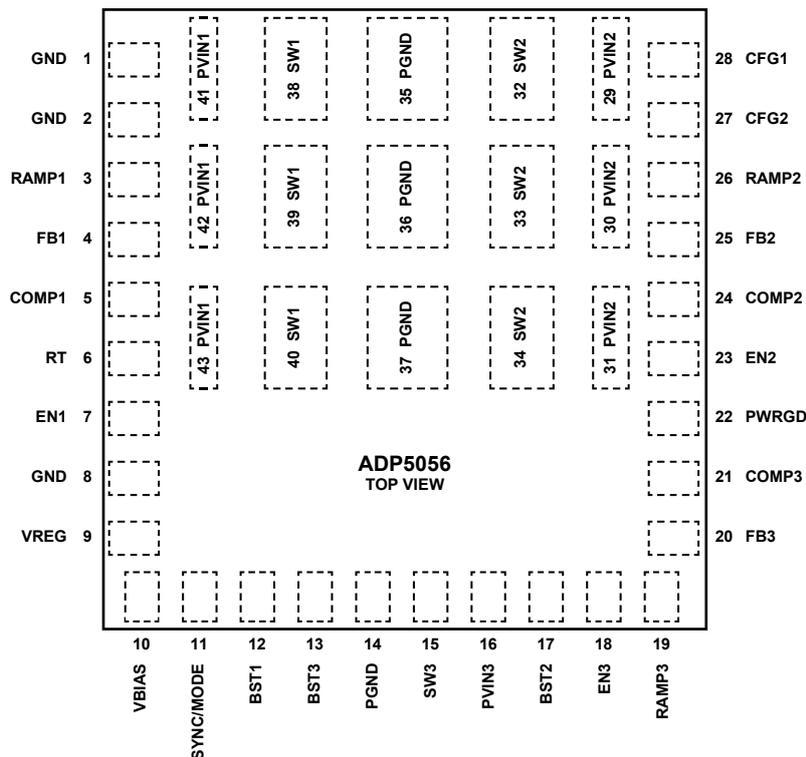


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	GND	このピンは内部試験用です。このピンはグラウンドに接続します。
2	GND	このピンは内部試験用です。このピンはグラウンドに接続します。
3	RAMP1	チャンネル1の勾配補償設定。勾配補償を設定するには、RAMP1からグラウンドに抵抗を接続します。
4	FB1	チャンネル1の帰還検出入力。
5	COMP1	チャンネル1のエラー・アンプ出力。このピンとグラウンドの間に抵抗とコンデンサ（RC）ネットワークを接続します。
6	RT	周波数の設定。RTとグラウンドの間に抵抗を接続してスイッチング周波数をプログラムします。
7	EN1	チャンネル1のイネーブル入力。
8	GND	アナログ・グラウンド。
9	VREG	内蔵4.8Vレギュレータの出力。制御回路はこのピンのこの電圧から給電されます。このピンとGNDの間に4.7μFのセラミック・コンデンサ（x7Rまたはx5R）を接続します。
10	VBIAS	内蔵レギュレータに給電するためのバイアス入力電圧ピン。
11	SYNC/MODE	同期入出力（SYNC）。デバイスのスイッチング周波数を外部クロックに同期するには、周波数250kHz~2700kHzの外部クロックにこのピンを接続します。このピンはCFG1ピンの構成により同期出力として設定することもできます。 FPWMまたは自動PWM/PSM選択ピン（MODE）。このピンがロジック・ハイの場合、各チャンネルはFPWMモードで動作します。このピンがロジック・ローの場合、すべてのチャンネルが自動PWM/PSMモードで動作します。
12	BST1	チャンネル1のハイサイド・ゲート・ドライブ用の電源レール。SW1とBST1の間に0.1μFのコンデンサ（x7Rまたはx5R）を接続します。
13	BST3	チャンネル3のハイサイド・ゲート・ドライブ用の電源レール。SW3とBST3の間に0.1μFのコンデンサ（x7Rまたはx5R）を接続します。
14	PGND	全チャンネルの電源グラウンド。
15	SW3	チャンネル3のスイッチング・ノード出力。
16	PVIN3	チャンネル3の電源入力。
17	BST2	チャンネル2のハイサイド・ゲート・ドライブ用の電源レール。SW2とBST2の間に0.1μFのコンデンサ（x7Rまたはx5R）を接続します。
18	EN3	チャンネル3のイネーブル入力。
19	RAMP3	チャンネル3の勾配補償設定。勾配補償を設定するには、RAMP3からグラウンドに抵抗を接続します。
20	FB3	チャンネル3の帰還検出入力。
21	COMP3	チャンネル3のエラー・アンプ出力。このピンとグラウンドの間にRCネットワークを接続します。

ピン番号	記号	説明
22	PWRGD	選択可能チャンネルのパワーグッド出力
23	EN2	チャンネル2のイネーブル入力。
24	COMP2	チャンネル2のエラー・アンプ出力。このピンとグラウンドの間にRCネットワークを接続します。
25	FB2	チャンネル2の帰還検出入力。
26	RAMP2	チャンネル2の勾配補償設定。勾配補償を設定するには、RAMP2からグラウンドに抵抗を接続します。
27	CFG2	システム設定ピン2。このピンとグラウンドの間に抵抗を接続し、 $t_{SET}$ タイマー、高速トランジエント・モード、シーケン ス・モードをプログラムします。
28	CFG1	システム設定ピン1。このピンとグラウンドの間に抵抗を接続して、電流制限、並列動作、クロック出力設定をプログラ ムします。
29	PVIN2	チャンネル2の電源入力。
30	PVIN2	チャンネル2の電源入力。
31	PVIN2	チャンネル2の電源入力。
32	SW2	チャンネル2のスイッチング・ノード出力。
33	SW2	チャンネル2のスイッチング・ノード出力。
34	SW2	チャンネル2のスイッチング・ノード出力。
35	PGND	全チャンネルの電源グラウンド。
36	PGND	全チャンネルの電源グラウンド。
37	PGND	全チャンネルの電源グラウンド。
38	SW1	チャンネル1のスイッチング・ノード出力。
39	SW1	チャンネル1のスイッチング・ノード出力。
40	SW1	チャンネル1のスイッチング・ノード出力。
41	PVIN1	チャンネル1の電源入力。
42	PVIN1	チャンネル1の電源入力。
43	PVIN1	チャンネル1の電源入力。

## 代表的な性能特性

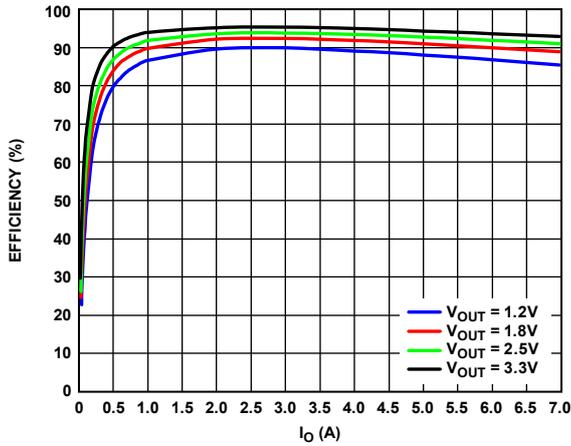


図 4. チャンネル 1/チャンネル 2 の効率カーブ、  
 $V_{IN} = 5V$ 、 $f_{sw} = 600kHz$ 、FPWM モード

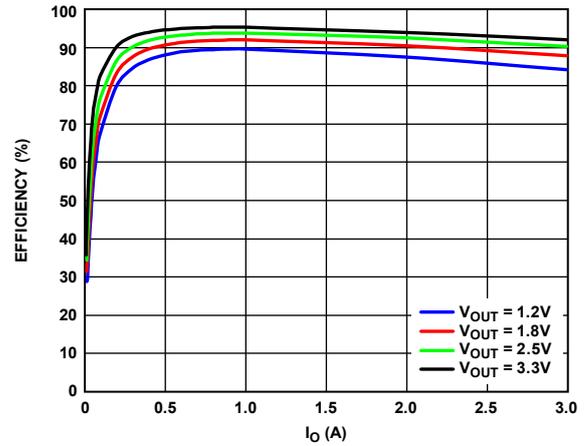


図 7. チャンネル 3 の効率カーブ、  
 $V_{IN} = 5V$ 、 $f_{sw} = 600kHz$ 、FPWM モード

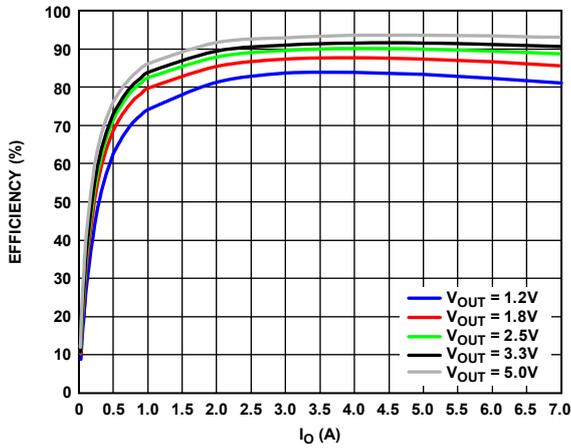


図 5. チャンネル 1/チャンネル 2 の効率カーブ、  
 $V_{IN} = 12V$ 、 $f_{sw} = 600kHz$ 、FPWM モード

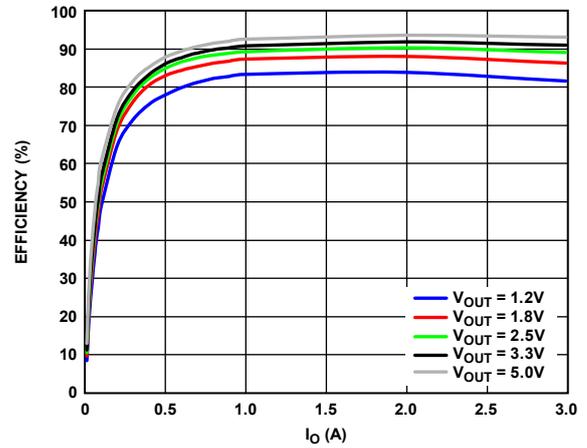


図 8. チャンネル 3 の効率カーブ、  
 $V_{IN} = 12V$ 、 $f_{sw} = 600kHz$ 、FPWM モード

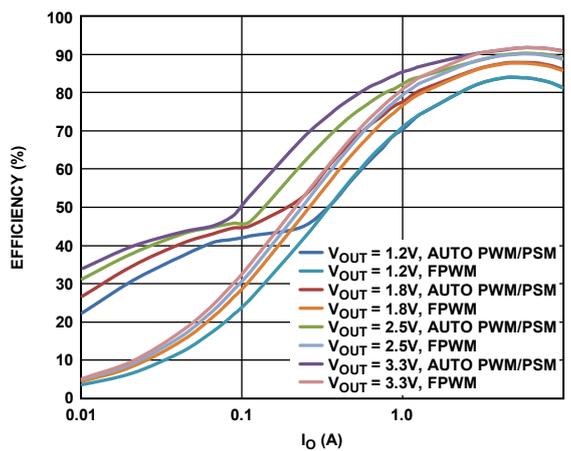


図 6. チャンネル 1/チャンネル 2 の効率カーブ、 $V_{IN} = 12V$ 、  
 $f_{sw} = 600kHz$ 、FPWM モードおよび自動 PWM/PSM モード

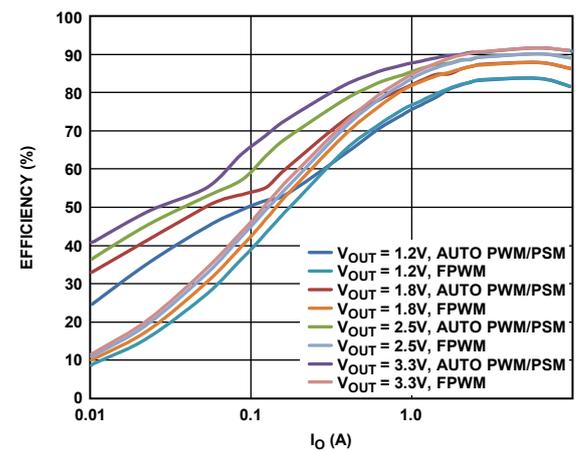
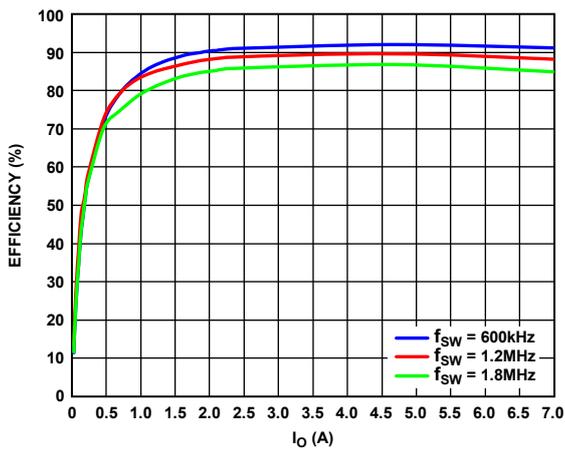
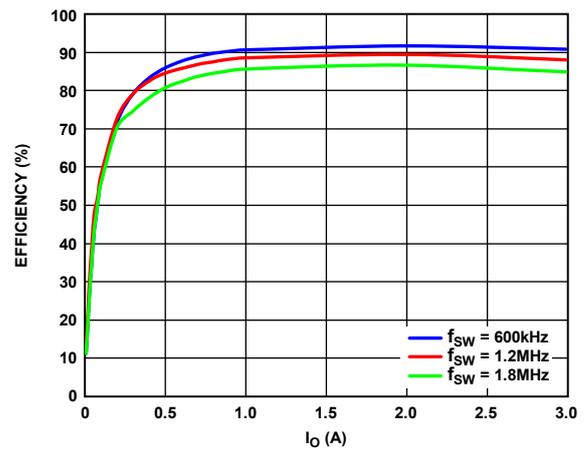


図 9. チャンネル 3 の効率カーブ、 $V_{IN} = 12V$ 、 $f_{sw} = 600kHz$ 、  
FPWM モードおよび自動 PWM/PSM モード



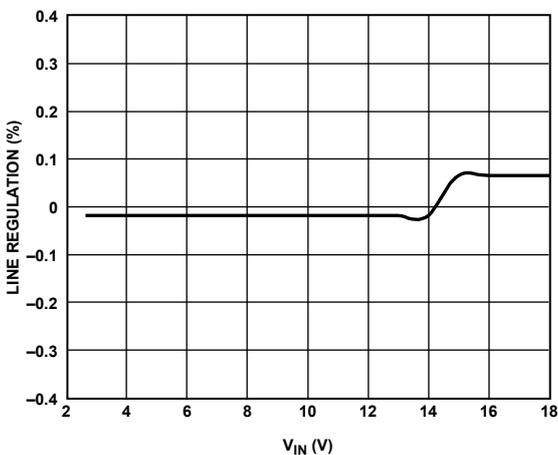
17270-010

図 10. チャンネル 1/チャンネル 2 の効率カーブ、  
 $V_{IN} = 12V$ 、出力電圧 ( $V_{OUT}$ ) = 3.3V、  
FPWM モード (600kHz、1.2MHz、1.8MHz)



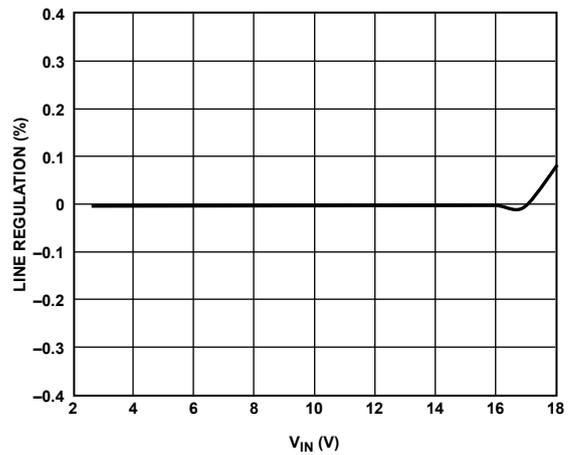
17270-013

図 13. チャンネル 3 の効率カーブ、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、  
FPWM モード (600kHz、1.2MHz、1.8MHz)



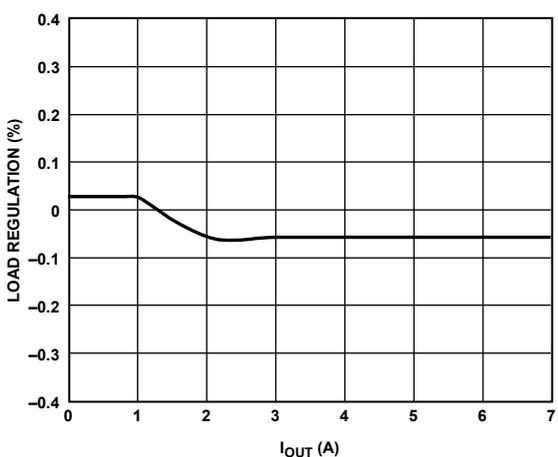
17270-011

図 11. チャンネル 1/チャンネル 2 のライン・  
レギュレーション、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 7A$ 、  
 $f_{SW} = 600kHz$ 、FPWM モード



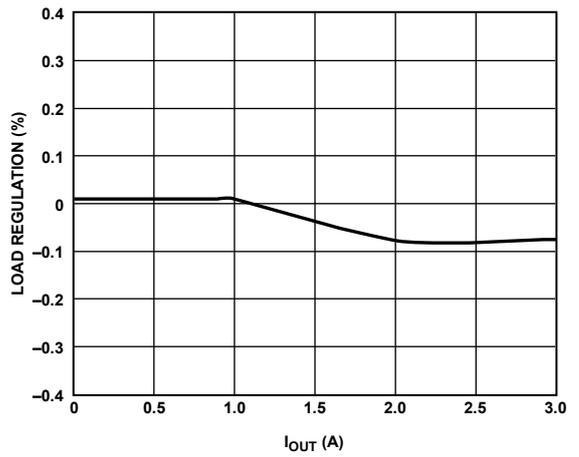
17270-014

図 14. チャンネル 3 のライン・レギュレーション、  
 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 3A$ 、 $f_{SW} = 600kHz$ 、FPWM モード



17270-012

図 12. チャンネル 1/チャンネル 2 の負荷レギュレーション、  
 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード



17270-015

図 15. チャンネル 3 の負荷レギュレーション、 $V_{IN} = 12V$ 、  
 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

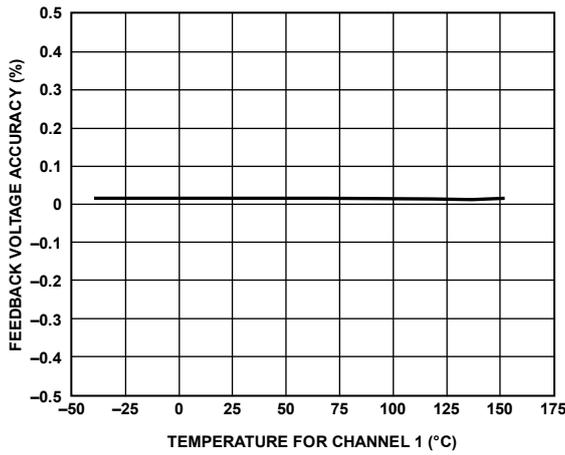


図 16. 帰還電圧精度の温度特性 (チャンネル 1)

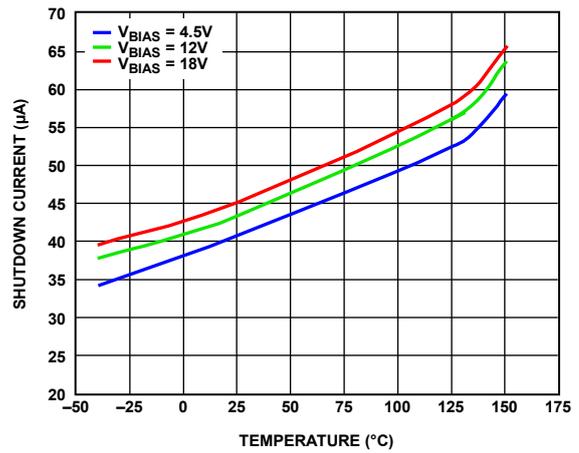


図 19. シャットダウン電流の温度特性 (EN1、EN2、EN3 がロー・レベルの場合)

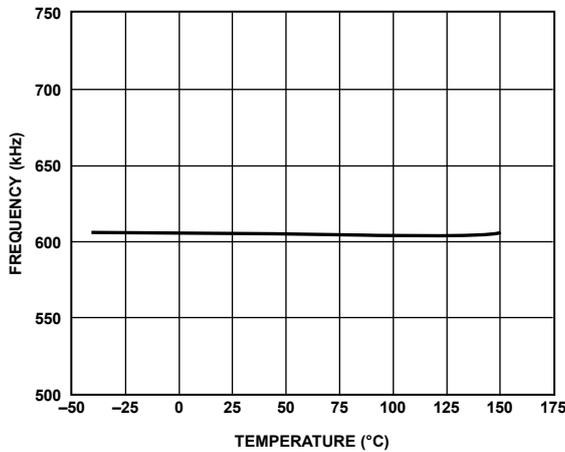


図 17. 周波数の温度特性、 $V_{IN} = 12V$

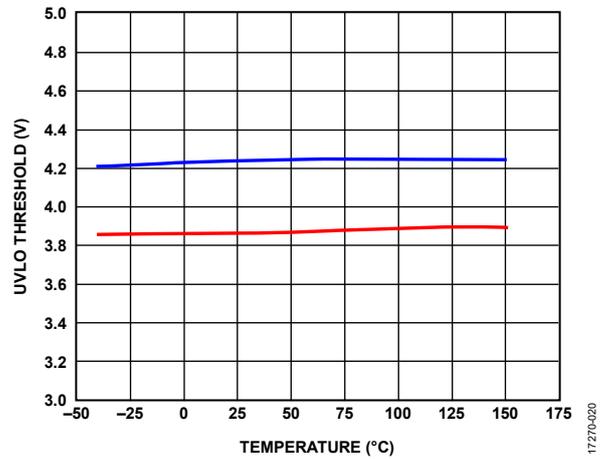


図 20. UVLO 閾値と温度の関係

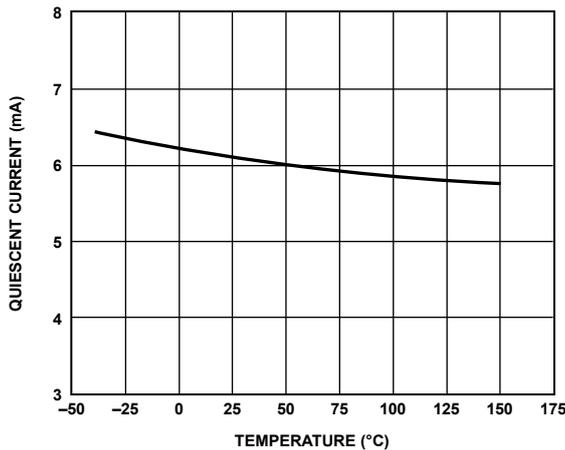


図 18. 静止電流の温度特性 (PVIN1、PVIN2、PVIN3 のすべてを含む)

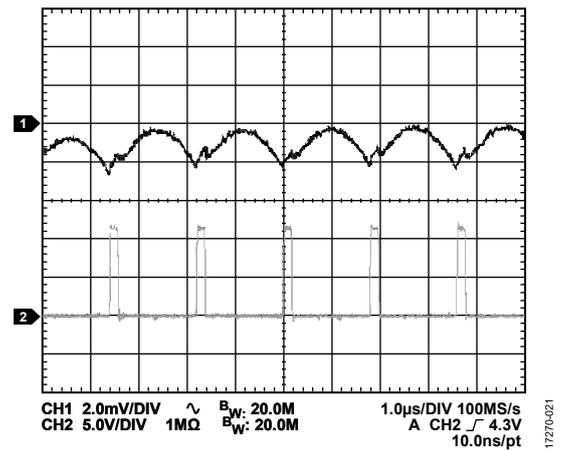


図 21. チャンネル 1/チャンネル 2 の定常状態波形、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 7A$ 、 $f_{SW} = 600kHz$ 、 $L = 1µH$ 、 $C_{OUT} = 47µF \times 6$ 、FPWM モード、チャンネル 1 =  $V_{OUT}$ 、チャンネル 2 = スイッチング・ポイント (SW)

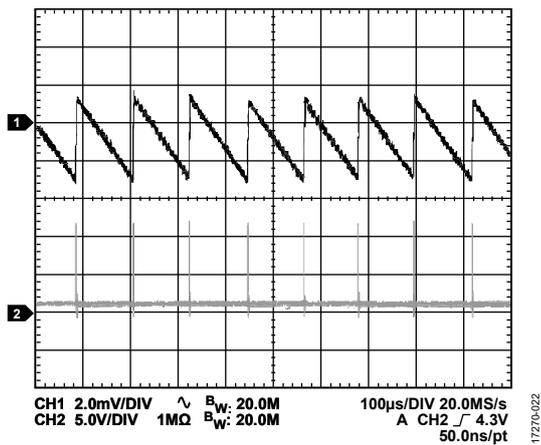


図 22. チャンネル 1/チャンネル 2 の定常状態波形、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 10mA$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、自動 PWM/PSM、チャンネル 1 =  $V_{OUT}$ 、チャンネル 2 = SW

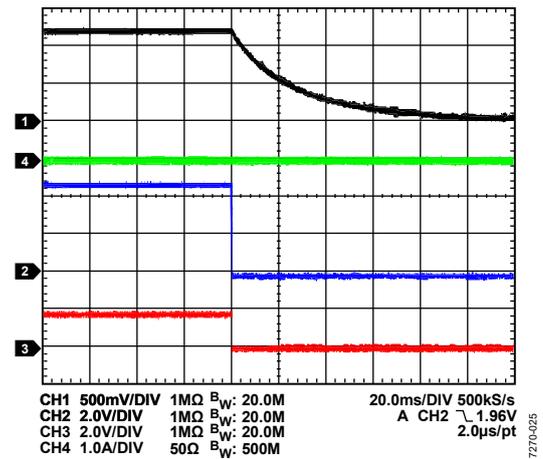


図 25. チャンネル 1/チャンネル 2 のシャットダウン (アクティブ出力放電時)、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 =  $V_{OUT}$ 、チャンネル 2 = EN、チャンネル 3 = PWRGD、チャンネル 4 =  $I_{OUT}$

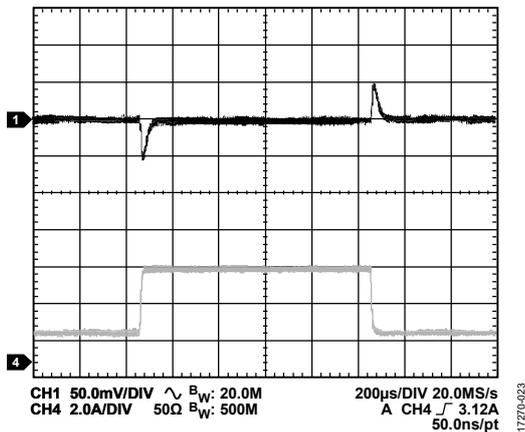


図 23. 負荷過渡応答 (チャンネル 1/チャンネル 2、 $1.5A \sim 5A$ )、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、 $1A/\mu s$ 、チャンネル 1 =  $V_{OUT}$ 、チャンネル 4 =  $I_{OUT}$

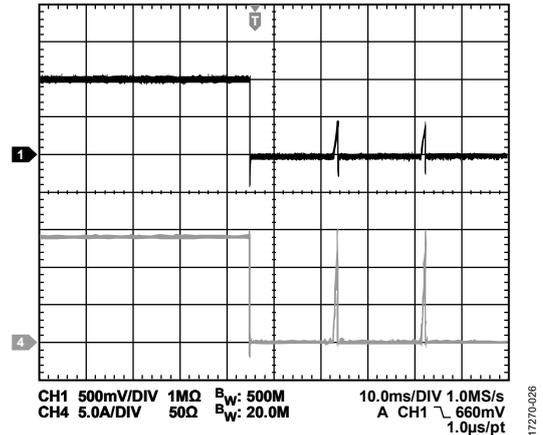


図 26. チャンネル 1/チャンネル 2 の短絡保護への移行、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.0V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 =  $V_{OUT}$ 、チャンネル 4 =  $I_{OUT}$

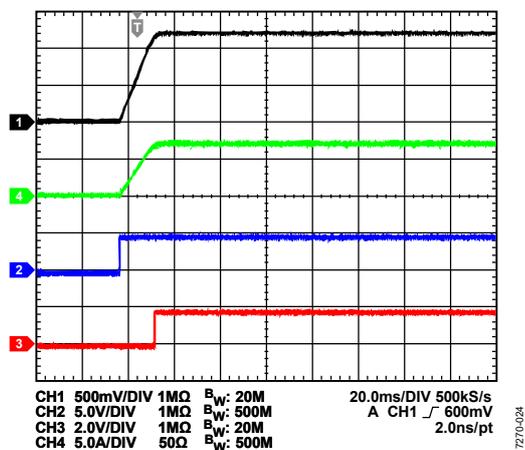


図 24. チャンネル 1/チャンネル 2 のソフト・スタート (7A の抵抗負荷)、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 =  $V_{OUT}$ 、チャンネル 2 = EN、チャンネル 3 = PWRGD、チャンネル 4 =  $I_{OUT}$

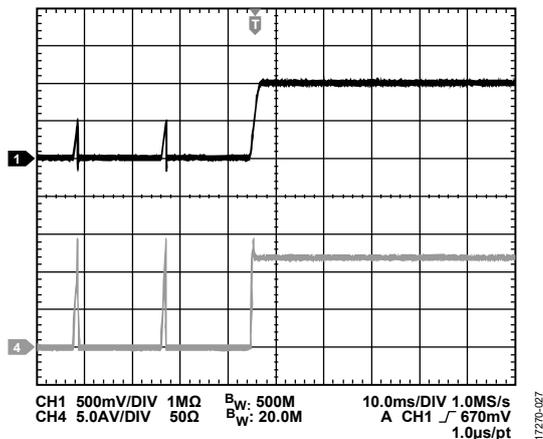


図 27. チャンネル 1/チャンネル 2 の短絡保護からの復帰、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.0V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 =  $V_{OUT}$ 、チャンネル 4 =  $I_{OUT}$

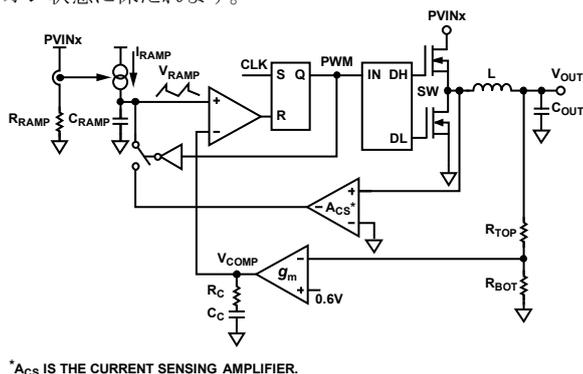
## 動作原理

ADP5056は、43端子LGAパッケージに3個の高性能降圧レギュレータを組み込み、性能とボード・スペースに対する厳しい条件をクリアしたパワー・マネージメント・ユニットです。このデバイスは、プリレギュレータなしで最大18Vの高入力電圧への直接接続が可能であるため、アプリケーションを簡素で効率的なものにできます。

### 降圧レギュレータの動作モード

#### PWMモード

PWMモードの場合、ADP5056の降圧レギュレータは固定周波数で動作します。RTピンでプログラムされた内部発振器がこの周波数を設定します。ADP5056は、図28に示すように、ローサイドMOSFETを使用してPWM制御を行います。オフ期間の最後に、バレー電流に関する情報が収集され、勾配ランプと組み合わせることで、エミュレートされた電流ランプ電圧が形成されます。RAMPxピンとグラウンドの間の抵抗が勾配ランプ電圧を制御します。各発振器サイクルの開始時にハイサイドMOSFETがオンになり、エミュレートされた電流ランプ電圧がCOMPxの電圧に達するまでインダクタ電流が増加します。電流ランプ電圧がCOMPxの電圧に達すると、ハイサイドMOSFETがオフになり、ローサイドMOSFETがオンになります。この結果、インダクタの両端に負の電圧が印加され、インダクタ電流が減少します。ローサイドMOSFETは、サイクルの残りの期間にわたってオン状態に保たれます。



\*ACS IS THE CURRENT SENSING AMPLIFIER.

17270-028

図 28. FlexMode PWM 制御アーキテクチャ

#### PSMモード

軽負荷時の効率を向上するため、ADP5056の降圧レギュレータは、出力負荷がPSM電流閾値を下回った場合に、可変周波数PSM動作に滑らかに移行します。出力電圧(V<sub>OUT</sub>)がレギュレーションを下回ると、降圧レギュレータは電圧がレギュレーション範囲に増加するまで発振器の数サイクル間PWMモードになります。バースト間のアイドル時には、MOSFETはオフになり、出力コンデンサが全出力電流を供給します。

PSMのコンパレータは、内部の補償ノードをモニタし、ピーク・インダクタ電流の情報を示します。PSM電流閾値の平均値は、V<sub>IN</sub>、V<sub>OUT</sub>、インダクタ、出力コンデンサによって決まります。出力電圧がレギュレーションを下回り、その後復帰するということが時折発生するため、PSM動作での出力電圧リップルは軽負荷条件で動作しているFPWMモードのリップルよりも大きくなります。

### FPWMモードおよび自動PWM/PSMモード

降圧レギュレータは、SYNC/MODEピンを使用して、常にFPWMモードで動作するように設定することができます。FPWMモードでは、出力電流がPWM/PSM閾値を下回った場合でも、レギュレータは固定周波数で動作を続けます。FPWMモードでは、軽負荷条件の場合、効率はPSMモードに比較して低くなります。インダクタ電流が0Aを下回った場合でも、ローサイドMOSFETはオンを維持します。これにより、ADP5056は連続導通モード(CCM)に入ります。

降圧レギュレータは、SYNC/MODEピンを使用して、自動PWM/PSMモードで動作するように設定することもできます。自動PWM/PSMモードでは、降圧レギュレータは出力電流に応じ、PWMモードまたはPSMモードのいずれかで動作します。平均出力電流がPWM/PSMの閾値を下回ると、降圧レギュレータはPSMモードの動作に入ります。PSMモードでは、レギュレータは高効率を維持するためにスイッチング周波数を減少して動作します。インダクタ電流が0AになるとローサイドMOSFETがオフになり、これにより、レギュレータは不連続モード(DCM)で動作するようになります。

動作中に、FPWMモードと自動PWM/PSMモードを切り替えることができます。デバイスの動作中に柔軟に設定できる機能があるため、パワー・マネージメントを効率的なものにできます。

SYNC/MODEピンにロジック・ロー・レベルが印加されると、3個の降圧レギュレータすべての動作モードは自動PWM/PSMモードになります。SYNC/MODEピンにロジック・ハイ・レベルが印加されると、3個の降圧レギュレータすべての動作モードはFPWMモードになります。

### 調整可能な出力電圧

ADP5056では、外付けの抵抗分圧器を介して出力電圧を調整できます。出力設定を調整可能とするには、外付け抵抗分圧器を使用し、帰還リファレンス電圧を介して目的の出力電圧に設定します。各帰還ピンのデフォルトのリファレンス電圧は、各チャンネルに対し600mVです。

### 内蔵レギュレータ (VREG)

ADP5056の内蔵VREGレギュレータは、内部回路に4.8Vの安定した電源を供給します。VREGピンとグラウンドの間に4.7μF(x5Rまたはx7R)のセラミック・コンデンサを接続してください。内蔵VREGレギュレータはVBIAS電圧が使用できる限り常にアクティブです。

### 個別電源アプリケーション

ADP5056では、3個の降圧レギュレータに別個の入力電圧を印加できます。つまり、3個の降圧レギュレータの入力電圧は別々の電源電圧に接続できます。ADP5056には、100nF、25V、x8Lのセラミック・コンデンサが内蔵されており、チャンネル1およびチャンネル2において、PVIN1およびPVIN2と電源グラウンドの間をローカルにデカップリングできます。

VBIAS電圧は、内蔵レギュレータと制御回路に電源を供給します。そのため、降圧レギュレータに個別の電源電圧を使用する場合は、他のチャンネルが動作を開始するまで、VBIAS電圧がUVLO閾値電圧より大きいことが必要です。

高精度イネーブルを使用して、PVIN1 ピン、PVIN2 ピン、PVIN3 ピンの電圧をモニタできます。また、PVIN1 ピン、PVIN2 ピン、PVIN3 ピンの電圧がレギュレーションの出力をサポートできる大きさであることを確認するために出力の開始を遅延させることができます。詳細については、[高精度イネーブル](#)のセクションを参照してください。

ADP5056 は 3 個の降圧レギュレータの連鎖的な電源動作が可能です。図 29 に示すように、PVIN2 および PVIN3 はチャンネル 1 の出力から給電されます。この構成では、チャンネル 1 の出力電圧は PVIN2 および PVIN3 の UVLO 閾値より高いことが必要です。

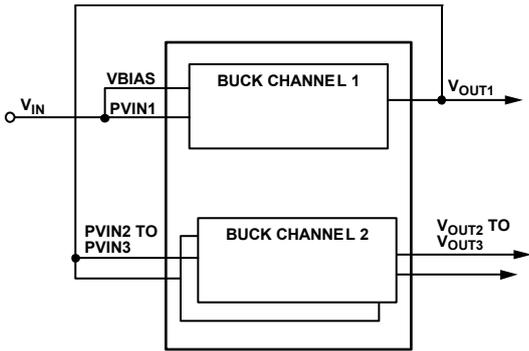


図 29. 連鎖的な電源アプリケーション

## ブートストラップ回路

ADP5056 の各降圧レギュレータにはブートストラップ・レギュレータが統合されています。ブートストラップ・レギュレータには BSTx ピンと SWx ピンの間に 0.1μF のセラミック・コンデンサ (x5R および x7R) が必要で、ハイサイド MOSFET のゲート駆動電圧を供給します。

## アクティブ出力放電スイッチ

ADP5056 の各降圧レギュレータには、スイッチング・ノードからグラウンドへの放電スイッチが内蔵されています。このスイッチは、対象のレギュレータがディスエーブルになったときにオンになり、これにより、出力コンデンサを素早く放電することができます。チャンネル 1~チャンネル 3 の放電スイッチの代表値は 85Ω です。

## 高精度イネーブル

ADP5056 には各レギュレータにイネーブル・コントロール・ピンがあります。イネーブル・コントロール・ピン (ENx) は、0.615V のリファレンス電圧を使用する高精度のイネーブル回路を備えています。ENx ピンの電圧が 0.615V (ハイ・レベル閾値の代表値) を超えると、レギュレータがイネーブルになります。ENx ピンの電圧が 0.575V (ロー・レベル閾値の代表値) を下回ると、レギュレータはディスエーブルになります。インダクタ電流がゼロになった場合のみ、ADP5056 はローサイド MOSFET をオフにします。

高精度イネーブル・ピンには、プルダウン電流源 (3.5μA) が内蔵されており、イネーブル・ピンがオープンになるときにデフォルトでオフになります。イネーブル・ピンが 0.615V (代表値) を超えた場合、レギュレータはイネーブルになり、イネーブル・ピン内蔵のプルダウン電流源は 0.9μA に減少します。高精度イネーブルは、外付け抵抗分圧器の比率を使用して UVLO 閾値をプログラムすることで入力電圧または出力電圧のいずれかをモニタでき、同時に、外付け抵抗分圧器の絶対値を使用してヒステリシス・ウィンドウをプログラムできます。詳細については、[UVLO 入力のプログラミング](#)のセクションを参照してください。

電力を投入したときにレギュレータを自動的に始動させるには、イネーブル・ピンを VREG ピンに接続します。

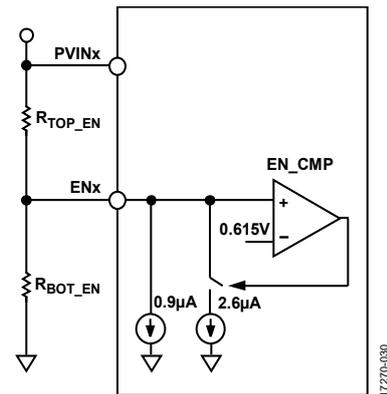


図 30. 1つのチャンネルに対する高精度イネーブルのブロック図

## シーケンス・モード

ADP5056 は、各チャンネルにシーケンス・コントロールを備えています。ENx 信号がハイになると、シーケンスにコントロールされた各チャンネルは、CFG2 ピンの設定 (表 7 を参照) で指定された遅延時間 (t<sub>EN\_DLYx</sub>) の後、ソフト・スタートを開始します。同様に、ENx 信号がローになると、遅延タイマー (t<sub>DIS\_DLYx</sub>) の後、各チャンネルはオフになります。全チャンネルのターンオンおよびターンオフ遅延タイマーは、標準的なシステム・シーケンス条件に適合させるため、逆の順番になるように設計されています。ターンオン遅延ステップは 3 × t<sub>SET</sub> タイマーで、ターンオフ遅延ステップは 6 × t<sub>SET</sub> タイマーです。これにより、放電時間が延長された出力が可能になります。t<sub>SET</sub> タイマーの設定時間は、CFG2 ピンの構成によって 2.6ms または 20.8ms が可能です。例えば、CFG2 ピンが 14.3kΩ に接続されると、スタートアップ・シーケンスはチャンネル 1、チャンネル 2、チャンネル 3 に設定されます。チャンネル 1、チャンネル 2、チャンネル 3 のイネーブル遅延は、0ms、7.8ms、15.6ms です。シャットダウン・シーケンスは、チャンネル 3、チャンネル 2、チャンネル 1 に設定されます。チャンネル 1、チャンネル 2、チャンネル 3 のディスエーブル遅延は、31.2ms、15.6ms、0ms です。図 31 に、グループ化した ENx 信号で制御された各チャンネルのロジック・ステートを示しますが、ソフト・スタートおよび出力放電スロープは示してありません。

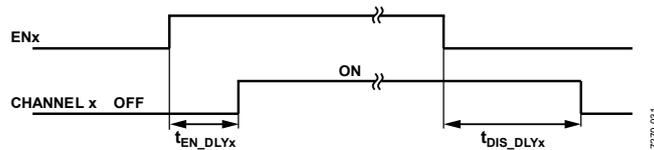


図 31. シーケンス・モード

## 発振器

RT ピンとグラウンドの間に抵抗を接続することで、ADP5056 の  $f_{sw}$  を 250kHz~2500kHz の値に設定できます。k $\Omega$  を単位として抵抗値  $R_T$  を計算するには、次式を用います。

$$R_T = \frac{167,305}{f_{sw}^{0.998}}$$

図 32 に、 $f_{sw}$  と  $R_T$  抵抗の代表的な関係を示します。周波数が調整可能であるため、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。

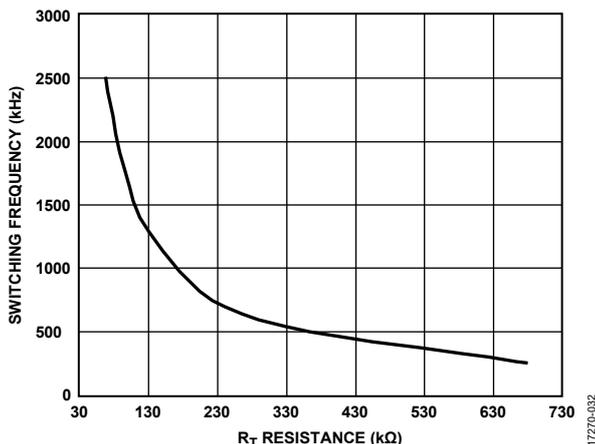


図 32. スイッチング周波数と  $R_T$  抵抗の関係

## 位相差動作

デフォルトでは、チャンネル 1、チャンネル 2、チャンネル 3 の間の位相シフトは 120° です。位相シフトをこの値にすることで、入力のリプル電流が減少し、グラウンド・ノイズが低減するため、位相差動作のメリットがもたらされます。

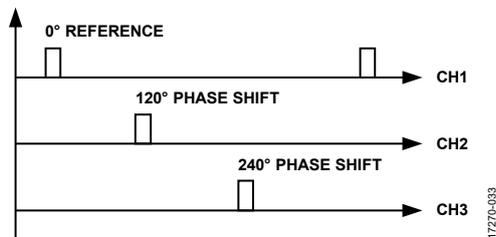


図 33. 3 個の降圧レギュレータの位相シフト・ダイアグラム

チャンネル 1 とチャンネル 2 の同位相並列動作構成の場合は、両チャンネルはチャンネル 1 の同じ位相で動作します。

チャンネル 1 とチャンネル 2 がインターリーブ並列動作構成の場合は、チャンネル 1、チャンネル 2、チャンネル 3 の位相シフトは、0°、180°、240° です。

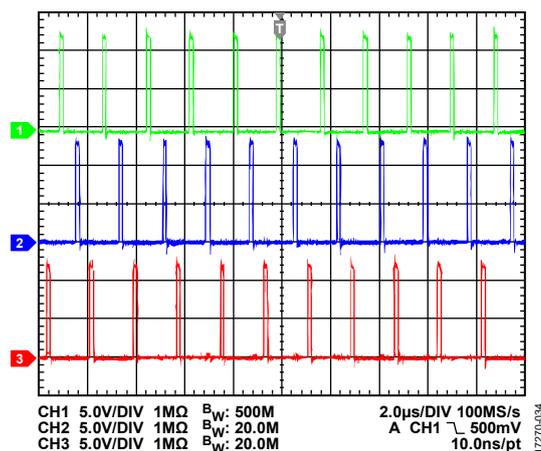


図 34. 3 個の降圧レギュレータの 120° 位相シフト波形：  
チャンネル 1 = SW1、チャンネル 2 = SW2、チャンネル 3 = SW3

## 同期入出力

ADP5056 のスイッチング周波数は、周波数範囲が 250kHz~2700kHz の外部クロックに同期させることができます。ADP5056 は、SYNC/MODE ピンに入力する外部クロックの存在を自動的に検出し、スイッチング周波数をその外部クロック周波数にスムーズに移行させます。外部クロック信号が停止した場合、デバイスは自動的に内部クロックに切り戻され、動作を続けます。

同期を良好に行うには、 $R_T$  ピンで設定される内部スイッチング周波数を外部クロックの値に近い値にプログラムする必要があります。推奨される周波数差は標準的なアプリケーションの場合、 $\pm 15\%$ 未満です。

SYNC/MODE ピンは、CFG1 ピンを使用して、同期クロック出力に設定できます (表 6 参照)。デューティ・サイクルが 50% で電圧レベルが VREG の正クロック・パルスが、 $R_T$  ピンで設定された内部スイッチング周波数と等しい周波数で、SYNC/MODE ピンに生成されます。

図 35 に周波数同期モードに設定された 2 個の ADP5056 デバイスを示します。一方の ADP5056 デバイスが他方の ADP5056 デバイスに同期するクロック出力として構成されています。

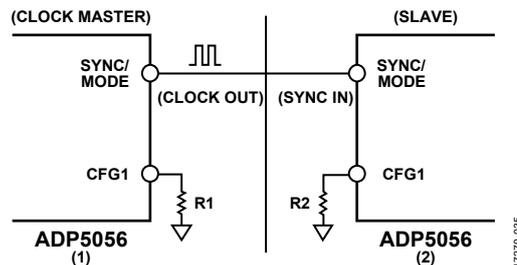


図 35. 同期モード用に構成された 2 個の ADP5056 デバイス

図 35 に示した構成では、1 つめの ADP5056 デバイスのチャンネル 1 と 2 つめの ADP5056 デバイスのチャンネル 1 との位相シフトは  $0^\circ$  です (図 36 を参照)。

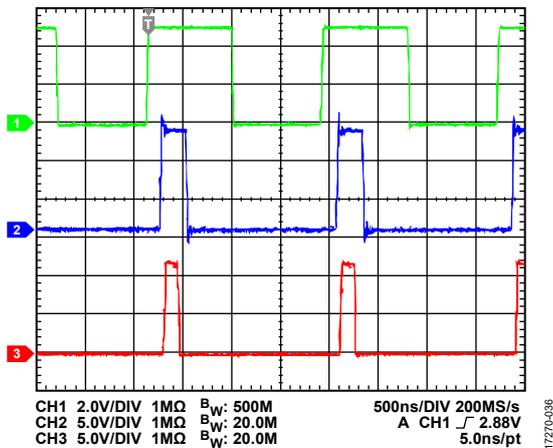


図 36. 同期モードで動作する 2 個の ADP5056 デバイスの波形、チャンネル 1 = 1 つめの ADP5056 デバイスの同期クロック出力、チャンネル 2 = 1 つめの ADP5056 デバイスの SW1、チャンネル 3 = 2 つめの ADP5056 デバイスの SW1

## ソフト・スタート

ADP5056 の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。すべてのチャンネルのソフト・スタート時間は  $0.83 \times t_{SET}$  タイマー (2.2ms または 17.3ms、 $R_{CFG2}$  の値による) に固定されています。

## 機能設定 (CFG1 および CFG2)

ADP5056 には全チャンネルの機能設定を復号する CFG1 ピンと CFG2 ピンがあります。各ピンのロジック状態は 1 個の抵抗をグラウンドに接続することで復号されます。正確な復号を行うために、抵抗許容誤差が  $\pm 1\%$  のものを使用することを推奨します。

この復号回路は、VBIAS がパワーオン・リセット (POR) 閾値を超える ADP5056 の初期化段階でのみ作動します。そのため、これらの設定は、内部レジスタにラッチされ、動作中は変更できません。

CFG1 ピンを使用すると、SYNC/MODE ピンまたは CLKOUT、負荷出力能力、全チャンネルの並列動作をプログラムできます。CFG1 ピンで様々な機能を設定するのに必要な  $R_{CFG1}$  値を表 6 に示します。

CFG2 ピンを使用すると、3 つのチャンネルの  $t_{SET}$  タイマー (2.6ms または 20.8ms)、高速トランジェント機能、シーケンスをプログラムできます。CFG2 ピンで様々な機能を設定するのに必要な  $R_{CFG2}$  値を表 7 に示します。

表 6. CFG1 ピンの設定

$R_{CFG1}$ (k $\Omega$ ), $\pm 1\%$	GPIO	Output Capability		
		Channel 1	Channel 2	Channel 3
0 (GND)	SYNC/MODE	7 A	7 A	3 A
14.3	SYNC/MODE	7 A	7 A	1.5 A
16.9	SYNC/MODE	7 A	3.5 A	3 A
20.0	SYNC/MODE	7 A	3.5 A	1.5 A
23.7	SYNC/MODE	Interleaved parallel (14 A)	Interleaved parallel (14 A)	3 A
Open	SYNC/MODE	3.5 A	3.5 A	1.5 A
32.4	SYNC/MODE	In phase parallel (14 A)	In phase parallel (14 A)	3 A
39.2	Clock output	7 A	7 A	3 A
47.5	Clock output	7 A	7 A	1.5 A
57.6	Clock output	7 A	3.5 A	3 A
71.5	Clock output	7 A	3.5 A	1.5 A
90.9	Clock output	3.5 A	7 A	3 A
127	Clock output	Interleaved parallel (14 A)	Interleaved parallel (14 A)	3 A
200	Clock output	3.5 A	3.5 A	1.5 A
511	Clock output	In phase parallel (14 A)	In phase parallel (14 A)	3 A

表 7. CFG2 ピンの設定

$R_{CFG2}$ (k $\Omega$ ), $\pm 1\%$	$t_{SET}$ timer (ms)	Fast Transient	Start-Up Sequence
0 (GND)	2.6	Disable	No delay
14.3	2.6	Disable	Channel 1, Channel 2, Channel 3
16.9	2.6	Disable	Channel 2, Channel 1, Channel 3
20	2.6	Disable	Channel 3, Channel 1, Channel 2
23.7	2.6	Enable	No delay
32.4	2.6	Enable	Channel 1, Channel 2, Channel 3
39.2	2.6	Enable	Channel 3, Channel 1, Channel 2
Open	20.8	Disable	No delay
47.5	20.8	Disable	Channel 1, Channel 2, Channel 3
57.6	20.8	Disable	Channel 2, Channel 1, Channel 3
71.5	20.8	Disable	Channel 3, Channel 1, Channel 2
90.9	20.8	Enable	No delay
127	20.8	Enable	Channel 1, Channel 2, Channel 3
200	20.8	Enable	Channel 2, Channel 1, Channel 3
511	20.8	Enable	Channel 3, Channel 1, Channel 2

## 並列動作

ADP5056 は、最大 14A の単一出力電流を供給する、チャンネル 1 およびチャンネル 2 の 2 位相並列動作が可能です。ADP5056 には、CFG1 ピン構成を介して、同位相並列動作とインターリーブ並列動作の 2 種類の並列動作モードがあります。

### 同位相並列動作

同位相並列動作では、チャンネル 1 とチャンネル 2 の間で内蔵 MOSFET とドライバ回路が並列化されます。同位相並列動作は、チャンネル 1 を制御マスタとして処理し、チャンネル 2 の制御段は無視します。また、外付け部品としてインダクタを 1 個だけ使用し、スペースを節約しています。チャンネル 1 とチャンネル 2 を同位相並列の単一出力動作に設定するには、以下を実行します (図 37 を参照)。

- 表 6 に記載のように、CFG1 ピンを使用して同位相並列動作を選択します。
- COMP1 ピンを補償ネットワークとして使用します。
- FB1 ピンを使用して出力電圧を設定します。
- EN1 ピンを使用してチャンネルをイネーブルします。
- FB2 ピンをグラウンドに接続します (FB2 は無視)。
- COMP2 ピンをオープンのままにします (COMP2 は無視)。
- RAMP2 ピンをオープンのままにします (RAMP2 は無視)。
- EN2 ピンをグラウンドに接続します (EN2 は無視)。

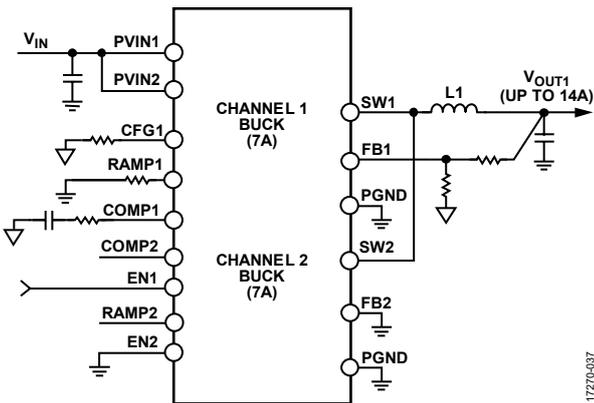


図 37. チャンネル 1 およびチャンネル 2 の同位相並列動作

### インターリーブ並列動作

ADP5056 は、最大 14A の単一出力電流を供給する、チャンネル 1 およびチャンネル 2 の 2 位相インターリーブ並列動作が可能です。このモードでは、2 つのチャンネルが 180° の位相差動作を行い、それぞれの制御ループに依存してこの 2 つのチャンネル間の電流バランスを保ちます。インターリーブ並列動作では、2 個のインダクタを使用して、リップル電流除去と等価スイッチング周波数の増大を図ります。

2 位相インターリーブ並列動作を設定するには、以下を実行します (図 38 を参照)。

- 表 6 に記載のように、CFG1 ピンを使用してインターリーブ並列動作を選択します。
- COMP1 ピンを補償ネットワークとして使用します。
- 同じ RAMP1 抵抗と RAMP2 抵抗を使用します。
- FB1 ピンを使用して出力電圧を設定します。
- EN1 ピンを使用してチャンネルをイネーブルします。
- FB2 ピンをグラウンドに接続します (FB2 は無視)。
- COMP2 ピンをオープンのままにします (COMP2 は無視)。
- EN2 ピンをグラウンドに接続します (EN2 は無視)。

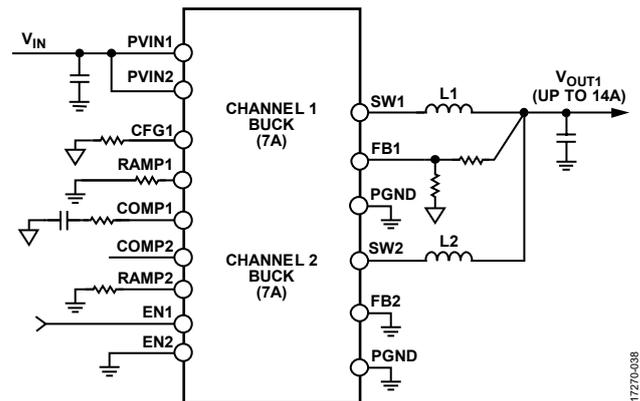


図 38. チャンネル 1 およびチャンネル 2 のインターリーブ並列動作  
並列構成での電流バランスは、対称的なプリント回路基板 (PCB) レイアウトの設計と回路設計を注意深く行うことで実現できます。図 39 と図 40 に、並列出力構成に適合した電流バランスの代表例を示します。

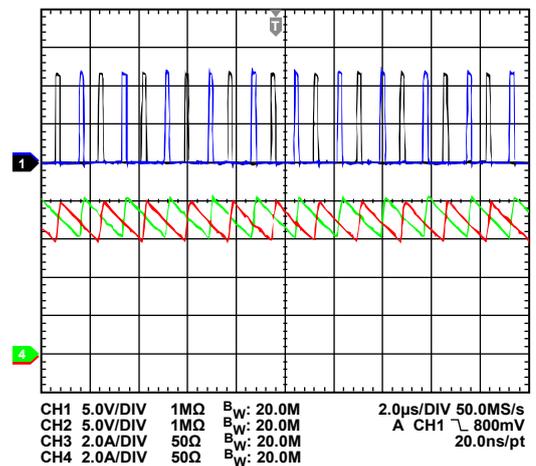


図 39. インターリーブ並列出力構成の定常状態波形、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、チャンネル 1 = SW1、チャンネル 2 = SW2、チャンネル 3 = インダクタ L1 の電流、チャンネル 4 = インダクタ L2 の電流

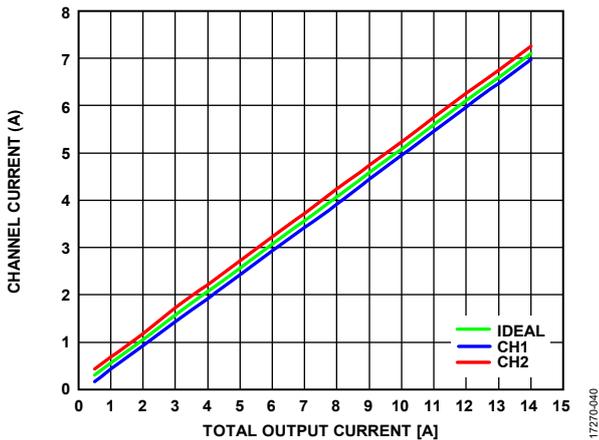


図 40. インターリーブ並列出力構成での電流バランス、  
 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

高速トランジェント・モード

ADP5056 には高速過渡応答機能があり、大きな負荷変動条件に対応します。ADP5056 の帰還ピンが出力電圧を検知し、負荷変動が発生したかどうかを判定します。出力電圧が所定の閾値を下回った場合、内部のループ・ゲインが漸増し、負荷過渡応答速度を改善します。強化された高速トランジェント閾値は、 $-2.5\% \times V_{OUT}$  で公称  $g_m$  ( $350\mu A/V$ ) の 5 倍です。

高速トランジェント・モードをオンにするには、CFG2 ピンがプログラマブルであることが必要です。

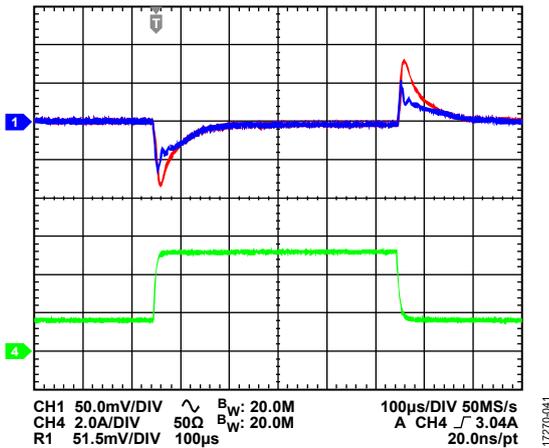


図 41. 高速トランジェント・モードの有効化と無効化、  
 負荷過渡応答の比較、

$V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、  
 チャンネル 1 =  $V_{OUT}$  (高速トランジェント・モード有効)、  
 チャンネル 3 =  $V_{OUT}$  (高速トランジェント・モード有効)、  
 チャンネル 4 =  $I_{OUT}$

プリチャージされた出力状態での起動

ADP5056 の降圧レギュレータは、起動時にローサイド FET を損傷から保護するプリチャージ起動機能を備えています。レギュレータがオンになる前に出力電圧がプリチャージされると、レギュレータは、ソフト・スタート用の内部リファレンス電圧が帰還ピン (FBx) のプリチャージ電圧を超えるまで (出力コンデンサを放電する) 逆インダクタ電流を阻止します。

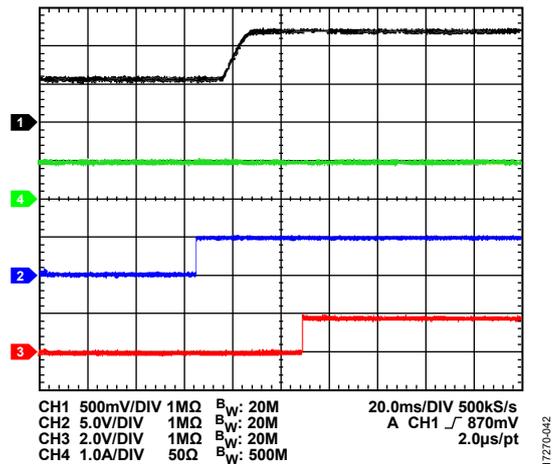


図 42. プリチャージされた出力状態でのチャンネル 1 の起動、  
 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、  
 チャンネル 1 =  $V_{OUT}$ 、チャンネル 2 = EN、  
 チャンネル 3 = PWRGD、チャンネル 4 =  $I_{OUT}$

電流制限保護

ADP5056 は、エミュレートされた電流ランプ電圧を使用してサイクルごとの電流制限保護を実行し、電流の暴走を防止します。エミュレートされた電流ランプ電圧が、バレー電流制限の閾値とランプ電圧値の合計に達した時点で、ハイサイド MOSFET はオフになり、ローサイド MOSFET は次のサイクルまでオンになります。過電流カウンタが 20 に達すると、ADP5056 はヒックアップ・モードに入り、ADP5056 はインダクタ電流がゼロになった後にのみ、ローサイド MOSFET をオフにします。ヒックアップ・モードの間、ハイサイド MOSFET とローサイド MOSFET はどちらもオフになります。デバイスは、7 回のソフト・スタート・サイクルにわたってヒックアップ・モードを維持した後、ソフト・スタートからの再スタートを試みます。電流制限エラーがクリアされると、デバイスは通常動作を再開します。エラーがクリアされないと、再度ヒックアップ・モードになります。

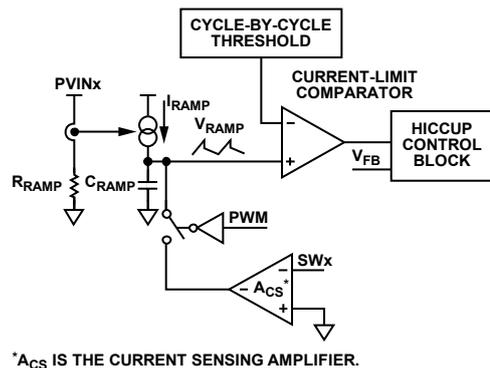


図 43. 電流制限回路

ADP5056 の降圧レギュレータには、ローサイド MOSFET スイッチおよびハイサイド MOSFET ボディ・ダイオードを流れる負電流の量を制限するための負電流制限保護回路が組み込まれています。

## UVLO

低電圧ロックアウト回路は、ADP5056 の各降圧レギュレータのバイアス入力電圧 (VBIAS ピン) および電力入力電圧レベル (PVINx ピン) をモニタします。電力入力電圧が 2.22V (立下がり閾値の代表値) を下回ると、対応チャンネルがオフになります。入力電圧が 2.5V (立上がり閾値の代表値) を上回ると、ソフト・スタート期間が開始され、ENx ピンがハイになったときに対応チャンネルがイネーブルになります。

バイアス電圧が 3.8V (立下がり閾値の代表値) を下回ると、全チャンネルがオフになります。バイアス電圧が 4.2V (立上がり閾値の代表値) を上回ると、イネーブルになっている各チャンネルのソフト・スタートが開始されます。

## パワーグッド機能

ADP5056 は、3 個の降圧レギュレータが正常動作しているときにアクティブ・ハイになる、オープンドレインのパワーグッド出力 (PWRGD ピン) を備えています。PWRGD ピンは 3 チャンネルの出力電圧をモニタします。

PWRGD 信号がロジック・ハイになっていることは、降圧レギュレータのレギュレーション出力電圧が公称出力の 95% (代表値) から 105% (代表値) の間にあることを示します。降圧レギュレータのレギュレーション出力電圧が、公称出力の 93% (代表値) を下回るか、107% (代表値) を上回り、この状態がおおよそ 4 スウィッチング・サイクルよりも長いデグリッチ時間続く場合は、PWRGD ピンは 0 に設定されます。

PWRGD ピンの出力は、全チャンネルの内部 PWRGD 信号の論理積となります。PWRGD ピンの出力は  $t_{SET}$  遅延の後ハイになりますが、CFG2 ピンがグラウンドに接続されている場合は 2.6ms です。 $t_{SET}$  タイマーの設定時間は、CFG2 ピンの構成によって 8 倍増大させることが可能です。1つの内部 PWRGD 信号に障害が生じると、その PWRGD ピンは遅延なしにローになります。

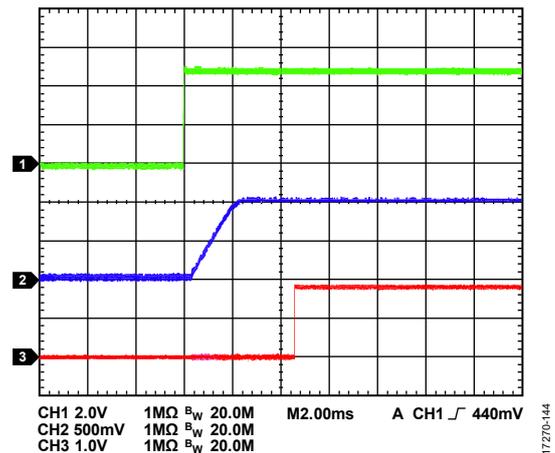


図 44. パワーグッド遅延、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.0V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、チャンネル 1 = EN、チャンネル 2 =  $V_{OUT}$ 、チャンネル 3 = PWRGD

## 高温でのパワーアップ

動作時の最大ジャンクション温度は 150°C ですが、ADP5056 には 125°C というより低温の温度保護制限があり、デバイスのパワーアップはこれに従う必要があります。125°C の制限によって、この初期パワーアップ時に読み出される内蔵揮発性メモリが保護されます。パワーアップとは、 $V_{BIAS}$  が  $UVLO_{VBIAS}$  を超えて増加している状態を言います。パワーアップが 125°C より高い温度で行われようとしても、デバイスは温度が 125°C 未満になるまで動作を許可しません。この温度に達し、その温度が揮発メモリに保存されると、デバイスは 125°C 制限を受けずに通常動作が可能となります。

## サーマル・シャットダウン

ADP5056 のジャンクション温度が 175°C を上回ると、サーマル・シャットダウン回路により内部リニア・レギュレータを除く IC がオフになります。インダクタ電流がゼロになった場合のみ、ADP5056 はローサイド MOSFET をオフにします。ジャンクション温度が極端に高くなる要因は、大電流の動作、回路ボードの設計不備、高い周囲温度などです。15°C のヒステリシスがあるため、サーマル・シャットダウン後、ADP5056 はチップ温度が 160°C を下回らないと動作に復帰しません。デバイスがサーマル・シャットダウンから復帰すると、イネーブルになっている各チャンネルのソフト・スタートが開始されます。

## アプリケーション情報

### 調整可能な出力電圧のプログラミング

ADP5056 の出力電圧は、出力電圧と FBx ピンとの間の抵抗分圧器によって外部から設定します。帰還バイアス電流に起因する出力電圧精度の低下を抑止するために、分圧器の下段抵抗の値が必要以上に大きくならないようにしてください。50kΩ 未満の値を推奨します。

出力電圧の設定値は、次式で求めることができます。

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

ここで、

$V_{OUT}$  は出力電圧。

$V_{REF}$  は帰還リファレンス電圧（チャンネル 1～チャンネル 3 について 0.6V）。

$R_{TOP}$  は  $V_{OUT}$  と FBx 間の帰還抵抗。

$R_{BOT}$  は FBx とグラウンドの間の帰還抵抗。

### 電圧変換の制限

最小オン時間と最小オフ時間に起因して、所定の入力電圧に対し、出力電圧の上限と下限が存在します。

最小オン時間によって、所定の入力電圧とスイッチング周波数に対する出力電圧が制限されます。チャンネル 1～チャンネル 3 の最小オン時間は 50ns（最大値）です。

FPWM モードでは、チャンネル 1 およびチャンネル 2 は、最小オン時間制限を超えた場合に出力のレギュレーションを維持するよう、スイッチング・パルスをスキップする場合があります。この状態を避けるため、スイッチング周波数は注意深く選択する必要があります。

所定の入力電圧とスイッチング周波数に対応する CCM の最小出力電圧は、次の式を使用して計算できます。

$$V_{OUT\_MIN} = V_{IN} \times t_{MIN\_ON} \times f_{SW} - (R_{DSON\_HS} - R_{DSON\_LS}) \times I_{OUT\_MIN} \times t_{MIN\_ON} \times f_{SW} - (R_{DSON\_LS} + R_L) \times I_{OUT\_MIN} \quad (1)$$

ここで、

$V_{OUT\_MIN}$  は最小出力電圧。

$V_{IN}$  は入力電圧。

$t_{MIN\_ON}$  は最小オン時間。

$f_{SW}$  はスイッチング周波数。

$R_{DSON\_HS}$  はハイサイド MOSFET の抵抗。

$R_{DSON\_LS}$  はローサイド MOSFET の抵抗。

$I_{OUT\_MIN}$  は最小出力電流。

$R_L$  は出力インダクタの抵抗。

所定の入力電圧とスイッチング周波数に対応する最大出力電圧は、最小オフ時間および、最大デューティ・サイクルによる制約を受けます。

所定の入力電圧とスイッチング周波数に対応する最大出力電圧は、次の式を使用して計算できます。

$$V_{OUT\_MAX} = V_{IN} \times (1 - t_{MIN\_OFF} \times f_{SW}) - (R_{DSON\_HS} - R_{DSON\_LS}) \times I_{OUT\_MAX} \times (1 - t_{MIN\_OFF} \times f_{SW}) - (R_{DSON\_LS} + R_L) \times I_{OUT\_MAX} \quad (2)$$

ここで、

$t_{MIN\_OFF}$  は最小オフ時間。

$I_{OUT\_MAX}$  は最大出力電流。

式 1 と式 2 に示されるように、スイッチング周波数を低くすると、最小オン時間と最小オフ時間による制限は緩和されます。

### 電流制限設定

ADP5056 ではチャンネル 1、チャンネル 2、チャンネル 3 について、2 つの電流制限閾値が選択できます。電流制限値は、全チャンネルの電流制限設定値が確実にインダクタのピーク電流値 ( $I_{PEAK}$ ) よりも大きくなるように選択してください。

### ソフト・スタート設定

ADP5056 の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。ソフト・スタート時間の値を 2.2ms または 17.3ms に設定するには、CFG2 ピンとグラウンドとの間に抵抗を接続します（ソフト・スタートのセクションを参照）。

### インダクタの選択

インダクタ値は、スイッチング周波数、入力電圧、出力電圧、インダクタのリップル電流によって決まります。小さなインダクタ値を使用すると、過渡応答は速くなりますが、インダクタのリップル電流が大きくなることによって効率が低下します。大きなインダクタ値を使用すると、リップル電流が小さくなって効率が向上しますが、過渡応答は遅くなります。このため、過渡応答と効率の間で必ずトレード・オフが発生します。通常の見方として、インダクタのリップル電流のピーク to ピーク値  $\Delta I_L$  は、最大負荷電流の 30%～40% の値に設定します。インダクタ値は次式を使用して計算します。

$$L = ((V_{IN} - V_{OUT}) \times D) / (\Delta I_L \times f_{SW})$$

ここで、

$V_{OUT}$  は出力電圧。

$D$  はデューティ・サイクル ( $D = V_{OUT}/V_{IN}$ ) 。

$\Delta I_L$  はインダクタのリップル電流。

ADP5056 には電流ループ内に内部スロープ補償が備わっており、デューティ・サイクルが 50% より大きい場合に低調波発振を防止します。

ピーク・インダクタ電流を計算するには、次式を使用します。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。急峻な飽和特性を持つフェライト・コア・インダクタに対しては、インダクタの定格飽和電流を降圧レギュレータの電流制限閾値よりも大きくして、インダクタが飽和しないようにする必要があります。

過熱と効率低下を避けるため、インダクタの実効値電流定格は最大実効値電流の計算値より大きくする必要があります。次式を使用して、インダクタの実効値電流を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

低コア損失と低電磁干渉 (EMI) を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。表 8 に推奨インダクタの一覧を示します。

表 8. 推奨インダクタ

Vendor	Series <sup>1</sup>
Coilcraft	XAL5030, XEL5030
Toko	FDUE0650
Würth	WE-HCI, WE-XHMI

<sup>1</sup> 推奨シリーズのインダクタの詳細については、Coilcraft、Toko、Würth の Web サイトを参照してください。

## 出力コンデンサの選択

出力コンデンサの選択は、レギュレータの出力電圧リップルおよび動的ループ特性の両方に影響を与えます。例えば、出力に負荷変動トランジェントが発生し、負荷が突然増大した場合は、制御ループがインダクタ電流を漸増させるまで出力コンデンサが負荷に給電するため、出力電圧がアンダーシュートします。

アンダーシュート (電圧ドループ) 条件を満たすために必要な出力容量を計算するには、次式を使用します。

$$C_{OUT\_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT\_UV}}$$

ここで、

$K_{UV}$  は係数 (通常は 2 に設定)。

$\Delta I_{STEP}$  は負荷変動の大きさ。

$\Delta V_{OUT\_UV}$  は出力電圧の許容アンダーシュート。

出力コンデンサの値がレギュレータの動的ループ特性に影響を与えるもう 1 つの例は、負荷が突然出力から除去された場合で、インダクタに蓄えられたエネルギーが出力コンデンサに流れ込み、出力電圧のオーバーシュートの原因となります。

オーバーシュート条件を満たすのに必要な出力容量を計算するには、次式を使用します。

$$C_{OUT\_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT\_OV})^2 - V_{OUT}^2}$$

ここで、

$K_{OV}$  は係数 (通常は 2 に設定)。

$\Delta I_{STEP}$  は負荷変動の大きさ。

$\Delta V_{OUT\_OV}$  は出力電圧の許容オーバーシュート。

出力コンデンサの等価直列抵抗 (ESR) および出力コンデンサの容量値によって、出力電圧リップルが決まります。出力リップル条件を満たす出力コンデンサを選択するには、次式を使用します。

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT\_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT\_RIPPLE}}{\Delta I_L}$$

ここで、

$\Delta I_L$  はインダクタのリップル電流。

$\Delta V_{OUT\_RIPPLE}$  は許容出力電圧リップル。

$R_{ESR}$  は出力コンデンサの等価直列抵抗値。

負荷過渡応答と出力リップル性能を満たすように、 $C_{OUT\_UV}$ 、 $C_{OUT\_OV}$ 、 $C_{OUT\_RIPPLE}$  のうちの最大出力容量を選択します。

セラミック・コンデンサの ESR は非常に低く、最適なリップル性能を示します。推奨する開始値については、[代表的なアプリケーション回路](#)のセクションを参照してください。過渡応答中の出力リップルと出力変動を抑制するには、x5R または x7R タイプのコンデンサを使用してください。トランジェント性能は、出力コンデンサの値を大きくし、 $V_{OUTx}$  と  $FBx$  の間にフィードフォワード・コンデンサを追加することで改善できます。出力容量を大きくしても出力電圧リップルを減少できます。値の小さい出力コンデンサを使用するとスペースとコストが節約できますが、トランジェント性能が悪化し、ループ不安定の原因となる可能性があります。推奨するコンデンサ値については、[代表的なアプリケーション回路](#)のセクションを参照してください。

コンデンサを選択する場合、電圧バイアスと温度の適切な動作条件の下で実効的な容量を計算してください。物理的に大きなコンデンサや電圧定格の大きいコンデンサが必要となる場合もあります。

## 入力コンデンサの選択

入力デカップリング・コンデンサは、入力の高周波ノイズを減衰し、エネルギーを蓄える作用をします。セラミック・コンデンサを使用し、これを  $PVINx$  ピンのそばに配置してください。この入力コンデンサ、ハイサイド MOSFET、ローサイド MOSFET によって形成されるループはできるだけ小さくする必要があります。入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。入力コンデンサの実効値定格電流は、次式で計算される値よりも大きくしてください。

$$I_{C_{IN\_rms}} = I_{OUT} \times \sqrt{D \times (1-D)}$$

## UVLO 入力のプログラミング

図 30 に示すように、高精度イネーブル入力を使用して入力電圧の UVLO 閾値をプログラムできます。

高精度ターンオン閾値は 0.615V、ターンオフ閾値は 0.575V です。次式を使用して、抵抗分圧器のプログラマブルな  $V_{IN}$  ターンオン電圧および  $V_{IN}$  ターンオフ電圧を計算します。

$$V_{IN\_RISING} = (3.5\mu A + 0.615V/R_{BOT\_EN}) \times R_{TOP\_EN} + 0.615V$$

$$V_{IN\_FALLING} = (0.9\mu A + 0.575V/R_{BOT\_EN}) \times R_{TOP\_EN} + 0.575V$$

ここで、

$V_{IN\_RISING}$  は  $V_{IN}$  ターンオン電圧。

$V_{IN\_FALLING}$  は  $V_{IN}$  ターンオフ電圧。

$R_{BOT\_EN}$  は  $ENx$  とグラウンドの間の抵抗。

$R_{TOP\_EN}$  は  $V_{IN}$  と  $ENx$  の間の抵抗。

## 勾配補償の設定

電流モード制御アーキテクチャでは、低調波の発振を防止し、安定した出力を維持するために、勾配補償が必要です。ADP5056 は、エミュレートされた電流モードを採用し、 $RAMPx$  ピンとグラウンドの間に抵抗 ( $R_{RAMPx}$ ) を接続する方法で勾配補償を実装しています。

理論的には、システムを安定化する上で、 $V_{OUT}/(2 \times L)$  という追加の勾配が十分な役割を果たします。どのノイズも 1 サイクルのうちに確実に減衰し、低調波発振の影響からシステムを保護して安定させるため、ADP5056 は  $V_{OUT}/L$  という勾配を追加して使用します。

次式を使用して、ランプ抵抗の値  $R_{RAMPx}$  ( $k\Omega$  単位) を計算します。

$$R_{RAMP1} = L1 \times 500$$

$$R_{RAMP2} = L2 \times 500$$

$$R_{RAMP3} = L3 \times 226$$

ここで、 $L1$ 、 $L2$ 、 $L3$  は各チャンネルのインダクタ値 ( $\mu H$  単位) です。

## 補償部品の設計

電流モード制御では、出力コンデンサと負荷抵抗に電流を供給する電圧制御された電流源として、電力段を簡略化できます。この簡略化されたループは、1 つのドメイン極と出力コンデンサの ESR によるゼロで構成されます。制御から出力までの伝達関数は、次式で表されます。

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \left( \frac{1 + \frac{s}{2 \times \pi \times f_z}}{1 + \frac{s}{2 \times \pi \times f_p}} \right)$$

ここで、

$s$  は制御から出力までの伝達関数のドメイン。

$A_{VI} = 12.5A/V$  (チャンネル 1 およびチャンネル 2)、 $5A/V$  (チャンネル 3)。

$R$  は負荷抵抗。

$f_z$  はゼロ周波数。

$f_p$  は極周波数。

$$f_z = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2 \times \pi \times (R + R_{ESR}) \times C_{OUT}}$$

ここで、 $C_{OUT}$  は出力コンデンサ。

ADP5056 は、誤差アンプとしてトランスコンダクタンス・アンプを使用し、システムを補償します。図 45 に、簡略化したピーク電流モード制御の小信号回路を示します。

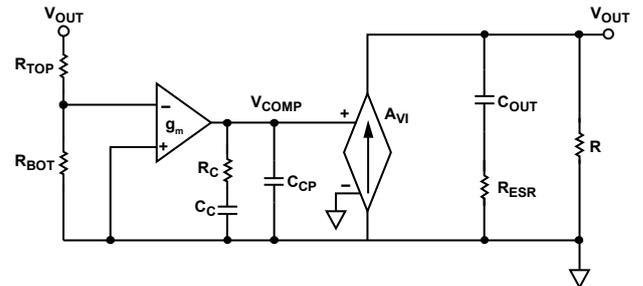


図 45. 簡略化したピーク電流モード制御小信号回路

補償部品  $R_C$  および  $C_C$  はゼロに寄与します。 $R_C$  とオプションの  $C_{CP}$  はオプションの極に寄与します。

クローズドループ伝達関数の式は次のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left( 1 + \frac{R_C \times C_C \times C_{CP} \times s}{C_C + C_{CP}} \right)} \times G_{vd}(s)$$

セラミック出力コンデンサのアプリケーション用に補償部品  $R_C$ 、 $C_C$ 、 $C_{CP}$  を選択する方法を、以下のガイドラインに示します。

1. 交差周波数  $f_c$  を決定します。通常、 $f_c$  は  $f_{sw}/12 \sim f_{sw}/6$  の範囲に収まります。
2. 次式を使用して  $R_C$  を算出します。

$$R_C = \frac{2 \times \pi \times V_{OUT} \times C_{OUT} \times f_c}{0.6 \times g_m \times A_{VI}}$$

3. ドメイン極 ( $f_p$ ) に補償ゼロを配置します。次式を使用して  $C_C$  を算出します。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4.  $C_{CP}$  はオプションです。 $C_{CP}$  は、出力コンデンサの ESR によって生じるゼロを打ち消す目的で使用します。 $C_{CP}$  は次式で計算します。

$$C_{CP} = \frac{R_{ESR} \times C_{OUT}}{R_C}$$

## 消費電力

ADP5056 の全消費電力は次式のように簡略化できます。

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3}$$

ここで、

$P_D$  はパッケージの消費電力。

$P_{BUCK1}$  は、チャンネル 1 の消費電力。

$P_{BUCK2}$  は、チャンネル 2 の消費電力。

$P_{BUCK3}$  は、チャンネル 3 の消費電力。

## 降圧レギュレータの消費電力

各降圧レギュレータの消費電力 ( $P_{LOSS}$ ) には、電源スイッチの導通損失 ( $P_{COND}$ )、スイッチング損失 ( $P_{SW}$ )、遷移損失 ( $P_{TRAN}$ ) などがあります。他にも電力消費の原因はありますが、それらは、アプリケーションの温度限界の高出力電流では、一般的にさほど影響を与えません。

次式を用いて降圧レギュレータの消費電力を見積もることができます。

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

### 電源スイッチの導通損失 ( $P_{COND}$ )

電源スイッチの導通損失は、出力電流がハイサイドおよびローサイドのパワー・スイッチを流れることが原因です。これらの各スイッチには内部にオン抵抗 ( $R_{DSON}$ ) があります。

次式を用いて電源スイッチの導通損失を見積もることができます。

$$P_{COND} = (R_{DSON\_HS} \times D + R_{DSON\_LS} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$R_{DSON\_HS}$  はハイサイド MOSFET の抵抗。

$R_{DSON\_LS}$  はローサイド MOSFET の抵抗。

### スイッチング損失 ( $P_{SW}$ )

スイッチング損失は、ドライバが電力デバイスをスイッチング周波数でオン/オフにする際に流れる電流によって発生します。電力デバイスのゲートがオン/オフするたびに、ドライバは電荷を入力電源からゲートへ、そしてゲートからグラウンドへと移動させます。次式を用いてスイッチング損失を見積もることができます。

$$P_{SW} = (C_{GATE\_HS} + C_{GATE\_LS}) \times V_{IN}^2 \times f_{SW}$$

ここで、

$C_{GATE\_HS}$  はハイサイド MOSFET のゲート容量。

$C_{GATE\_LS}$  はローサイド MOSFET のゲート容量。

## 遷移損失 ( $P_{TRAN}$ )

遷移損失は、ハイサイド MOSFET が瞬時にターンオン/ターンオフできないために発生します。スイッチ・ノードが遷移しているときに、MOSFET はすべてのインダクタ電流を供給します。MOSFET のソース/ドレイン間電圧は入力電圧の半分になり、結果として電力損失が発生します。遷移損失は、負荷および入力電圧と共に増大し、各スイッチング・サイクルで 2 回発生します。次式を用いて遷移損失を見積もることができます。

$$P_{TRAN} = 0.5 \times V_{IN} \times I_{OUT} \times (t_r + t_f) \times f_{SW}$$

ここで、

$t_r$  はスイッチ・ノードの立上がり時間。

$t_f$  はスイッチ・ノードの立下がり時間。

## ジャンクション温度

ダイのジャンクション温度は、次式に示すように、システムの置かれた環境の周囲温度と電力消費によるパッケージの温度上昇の和になります。

$$T_J = T_A + T_R$$

ここで、

$T_J$  はジャンクション温度、

$T_A$  は周囲温度、

$T_R$  は電力消費によるパッケージの温度上昇。

パッケージの温度上昇は、パッケージの電力消費に正比例します。この関係の比例係数は、次式に示すように、ダイのジャンクションから周囲温度までの熱抵抗です。

$$T_R = \theta_{JA} \times P_D$$

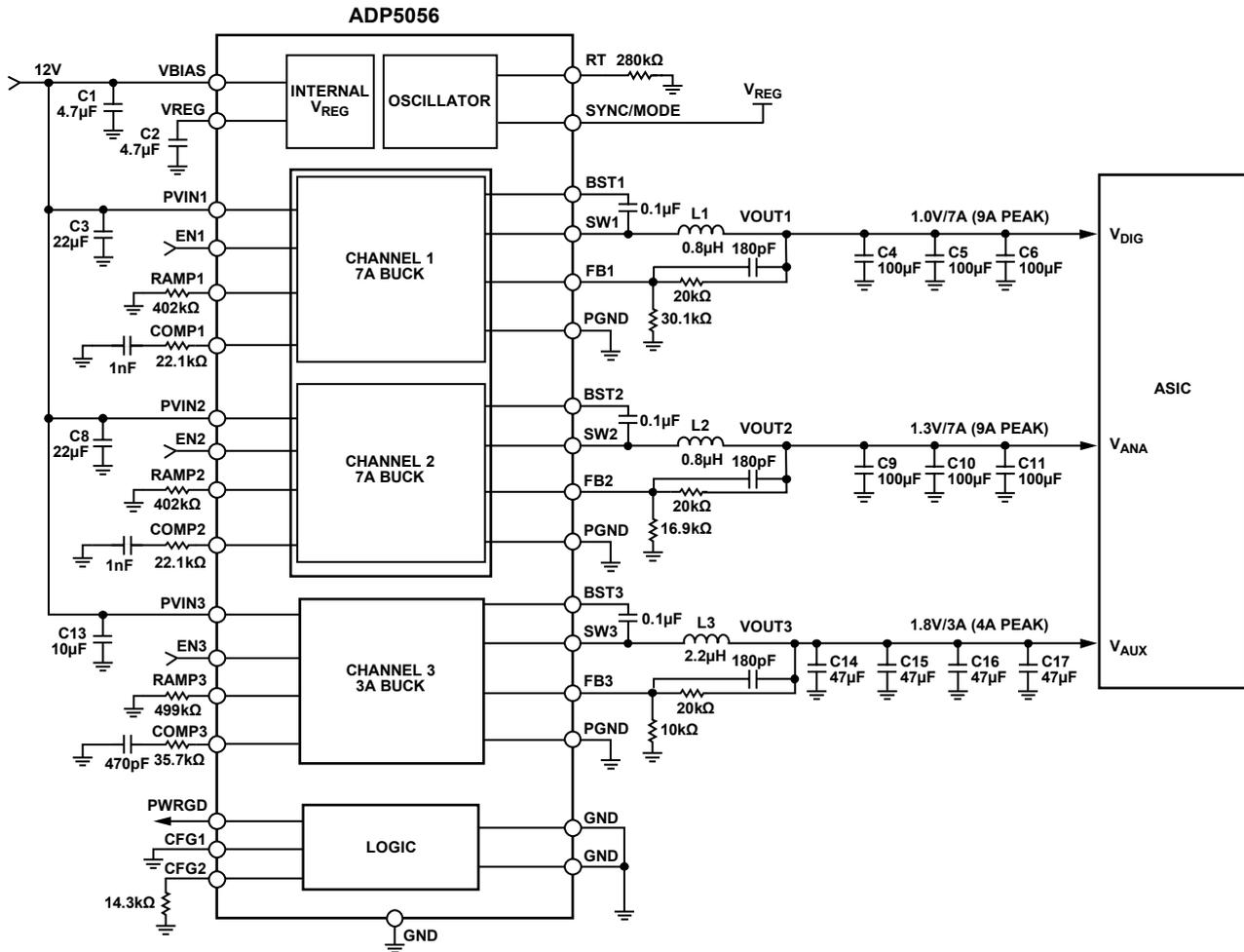
ここで、

$\theta_{JA}$  はダイのジャンクションからパッケージの周囲温度までの熱抵抗 (表 4 を参照)。

考慮すべき重要な点は、熱抵抗値は JEDEC 規格で仕様規定されているように、銅箔の厚さが 2.5 オンスの 4 層、4 インチ × 3 インチの PCB に基づいて定められているのに対し、実際のアプリケーションでは様々な大きさ、様々な層数の PCB が用いられる可能性があるということです。

使用する銅の量をできるだけ多くして、熱をデバイスから除去することが重要です。空気に露出している銅は、内部の層にある銅よりも熱を効率よく放出します。ピン 35、ピン 36、ピン 37 は、できるだけ多くのピアでグラウンド・プレーンに接続します。

## 代表的なアプリケーション回路



START UP SEQUENCE: 1.0V → 1.3V → 1.8V  
 SHUTDOWN SEQUENCE: 1.8V → 1.3V → 1.0V  
 (EN1/EN2/EN3 TURNS ON/OFF TOGETHER)

図 46. 代表的なアプリケーション、12V 入力、 $f_{SW} = 600\text{kHz}$ 、 $V_{OUT1} = 1.0\text{V}$ 、 $V_{OUT2} = 1.3\text{V}$ 、 $V_{OUT3} = 1.8\text{V}$ 、シーケンス・モード

17270-047

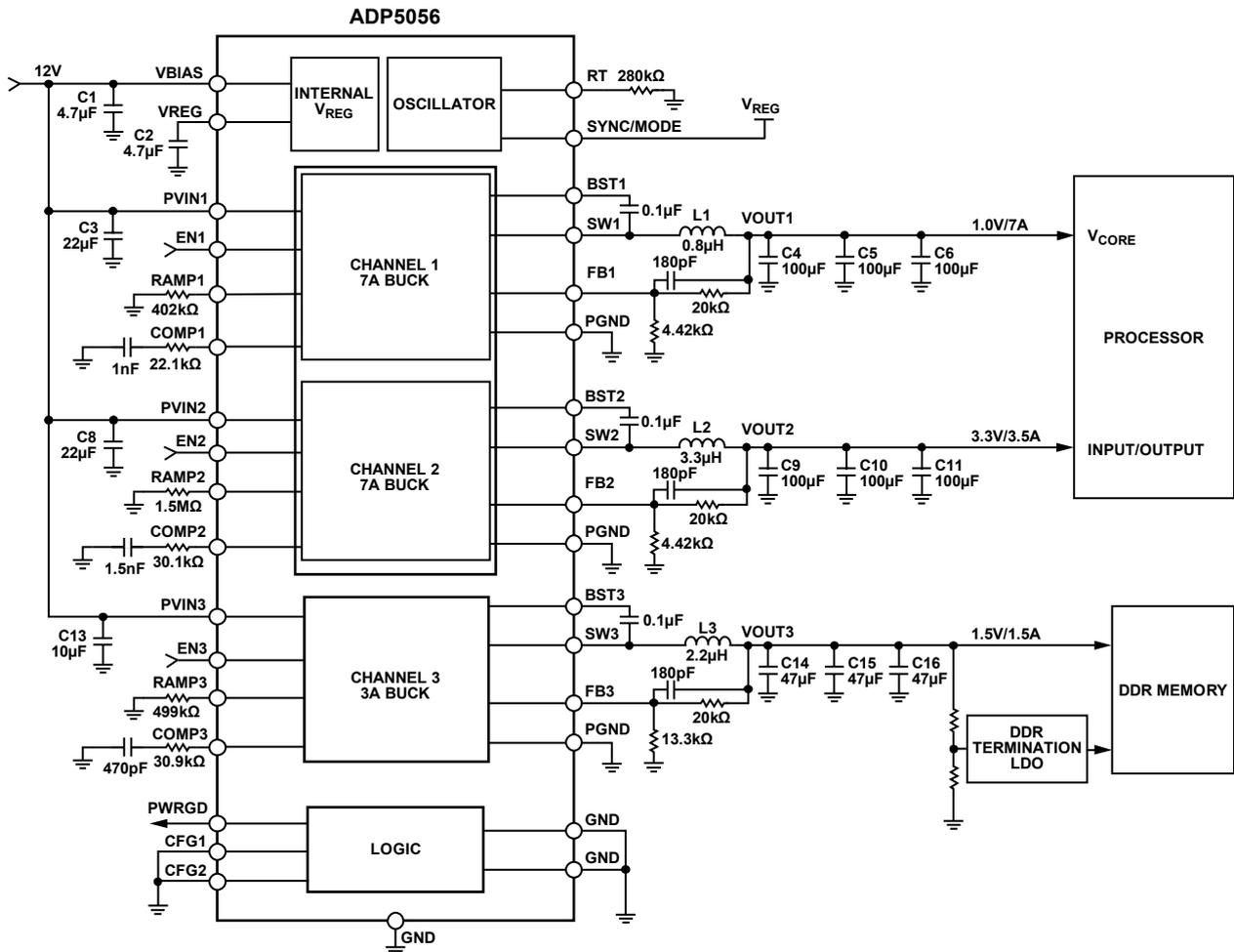
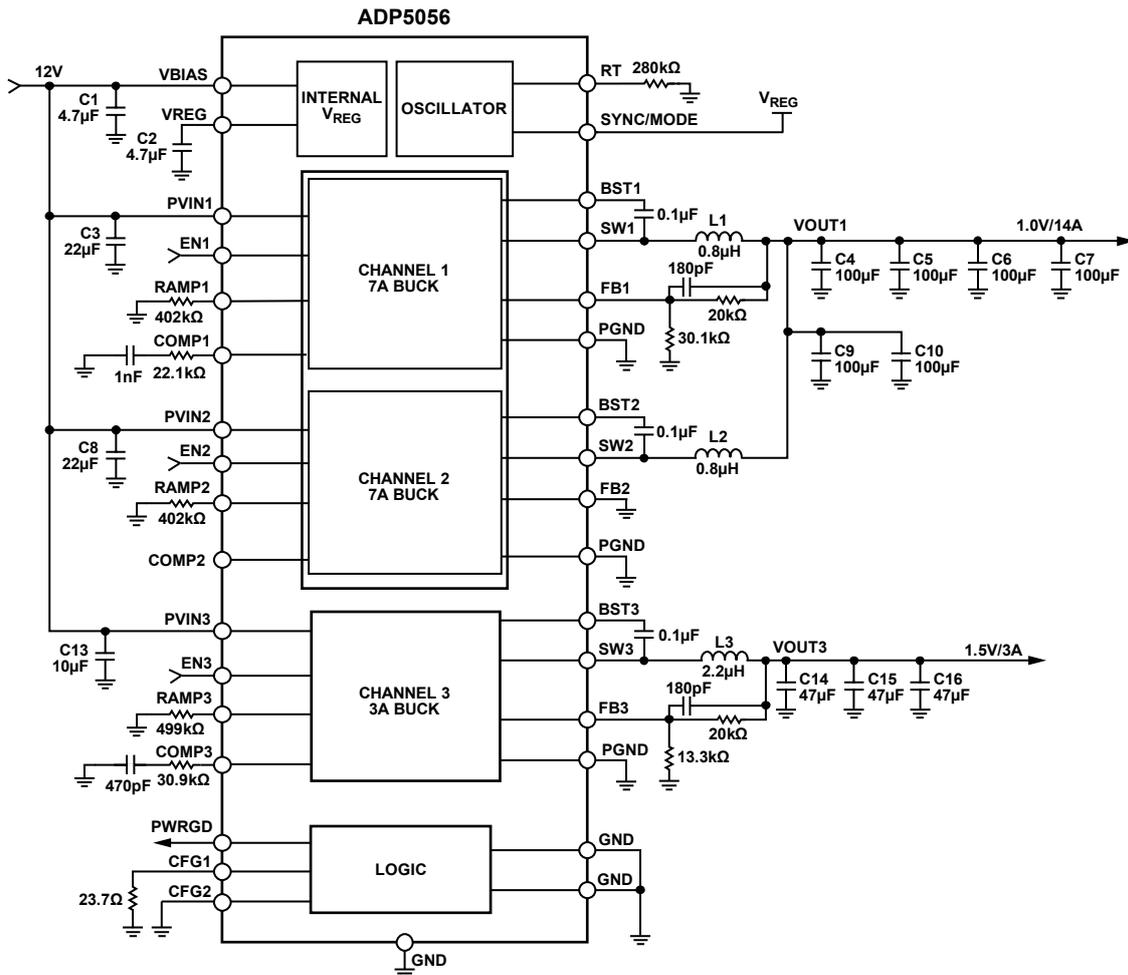


図 47. 代表的なアプリケーション、12V 入力、 $f_{sw} = 600\text{kHz}$ 、 $V_{OUT1} = 1.0\text{V}$ 、 $V_{OUT2} = 3.3\text{V}$ 、 $V_{OUT3} = 1.5\text{V}$

17270-048



17270-049

図 48. 代表的なチャンネル 1/チャンネル 2 インターリーブ並列アプリケーション、12V 入力、 $f_{sw} = 600\text{kHz}$ 、 $V_{out1} = 1.0\text{V}$ 、 $V_{out3} = 1.5\text{V}$

## 設計例

このセクションでは、ステップ・バイ・ステップの設計手順の例と、チャンネル 1 に必要とされる外付け部品について説明します。表 9 に、この例の設計条件を示します。

表 9. チャンネル 1 の設計条件例

Parameter	Specification
Input Voltage	$V_{PVIN1} = 12 \text{ V} \pm 5\%$
Output Voltage	$V_{OUT1} = 1.2 \text{ V}$
Output Current	$I_{OUT1} = 7 \text{ A}$
Output Ripple	$\Delta V_{OUT1\_RIPPLE} = 12 \text{ mV}$ in CCM mode
Load Transient	$\pm 5\%$ at 25% to 75% load transient, 1 A/ $\mu\text{s}$

この例ではチャンネル 1 に対するステップ・バイ・ステップの設計手順を示しますが、この手順は他のすべての降圧レギュレータ・チャンネル（チャンネル 1～チャンネル 3）にも適用できます。

### スイッチング周波数の設定

最初の手順は、ADP5056 の設計におけるスイッチング周波数を決定することです。一般に、スイッチング周波数が高いと、部品の値を小さくできるため、ソリューションのサイズは小さくなります。これに対し、スイッチング周波数が低いと、スイッチング損失が小さくなるため、変換効率が高くなります。

ADP5056 のスイッチング周波数は、RT ピンとグラウンドの間に抵抗を接続して、250kHz～2500kHz の値に設定できます。選択する抵抗は、効率とソリューション・サイズのトレード・オフに基づいて決定することができます。

しかし、設定する最大スイッチング周波数は、最小オン時間と最小オフ時間で決まる電圧変換制限を確認して判断する必要があります（[電圧変換の制限](#)のセクションを参照）。

この設計例では、小型のソリューション・サイズと高い変換効率の最適な組み合わせを実現するため、600kHz のスイッチング周波数を使用します。スイッチング周波数を 600kHz に設定し RT ピンとグラウンドの間の抵抗値  $R_T$  を計算するには、次式を使用します。

$$R_T (\text{k}\Omega) = \frac{167,305}{f_{SW} (\text{kHz})^{0.998}}$$

$$R_T (\text{k}\Omega) = \frac{167,305}{600^{0.998}} = 280 \text{ k}\Omega$$

従って、 $R_T = 280 \text{ k}\Omega$  に最も近い許容差 1% の標準的な抵抗を選択します。

### 出力電圧の設定

10k $\Omega$  の下段抵抗 ( $R_{BOT}$ ) を選択し、上段フィードバック抵抗値を次式で計算します。

$$R_{BOT} = R_{TOP} \times (V_{REF}/(V_{OUT} - V_{REF}))$$

ここで、 $V_{REF}$  はチャンネル 1 について 0.6V です。

出力電圧を 1.2V に設定するためには、次の抵抗値を選択します。

$R_{TOP} = 10 \text{ k}\Omega$ 、 $R_{BOT} = 10 \text{ k}\Omega$ 。

### 構成の設定（CFG1 および CFG2）

CFG1 ピンで、全チャンネルの負荷出力能力と並列動作をプログラムできます。この例では、 $R_{CFG1} = 0\Omega$  を選択します（表 6 を参照）。

CFG2 ピンで、ADP5056 の  $t_{SET}$  タイマー（2.6ms または 20.8ms）、高速トランジェント機能、シーケンスをプログラムできます。この例では、 $R_{CFG2} = 0\Omega$  を選択します（表 7 を参照）。

### インダクタの選択

ピーク to ピーク値  $\Delta I_L$  は、最大出力電流の 35% に設定されます。次式を用いてインダクタ値を見積もることができます。

$$L = ((V_{IN} - V_{OUT}) \times D) / (\Delta I_L \times f_{SW})$$

ここで、

$$V_{IN} = 12 \text{ V}$$

$$V_{OUT} = 1.2 \text{ V}$$

$D$  はデューティ・サイクル ( $D = V_{OUT}/V_{IN} = 0.1$ )。

$$\Delta I_L = 35\% \times 7 \text{ A} = 2.45 \text{ A}$$

$$f_{SW} = 600 \text{ kHz}$$

この結果、 $L$  の値は 0.73 $\mu\text{H}$  となります。最も近い標準的なインダクタの値は 0.8 $\mu\text{H}$  です。従って、 $\Delta I_L$  は 2.25A となります。

次式を用いて、ピーク・インダクタ電流を計算します。

$$I_{PEAK} = I_{OUT} + (\Delta I_L/2)$$

インダクタのピーク電流の計算値は 8.125A となります。

次式を用いて、インダクタの実効値電流を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

インダクタの実効値電流は約 7.03A となります。

このため、最小定格実効値電流が 7.03A、最小定格飽和電流が 8.125A のインダクタが必要です。しかし、電流制限条件下でインダクタが飽和点に達するのを防止するため、インダクタの飽和電流は最大ピーク電流の制限値よりも大きくなるよう、代表的には信頼性の高い動作のために 11.65A に設定することを推奨します。

これらの条件と推奨事項に基づき、5.14m $\Omega$  の直流抵抗値を持つ xAL5030-801ME をこの設計では選択しています。

## 出力コンデンサの選択

出力コンデンサは、出力電圧リップル条件と負荷過渡応答条件の両方を満たす必要があります。出力電圧のリップル条件を満たすには、次式を使用して ESR と容量値を計算します。

$$C_{OUT\_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT\_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT\_RIPPLE}}{\Delta I_L}$$

容量値  $C_{OUT\_RIPPLE}$  は  $39\mu\text{F}$ 、抵抗値  $R_{ESR}$  は  $5.3\text{m}\Omega$  と算出されます。

±5%のオーバーシュートおよびアンダーシュートの条件を満たすには、次式を使用して容量を計算します。

$$C_{OUT\_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT\_UV}}$$

$$C_{OUT\_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT\_OV})^2 - V_{OUT}^2}$$

推定のため、 $K_{OV} = K_{UV} = 2$  とします。その結果、 $C_{OUT\_OV} = 133\mu\text{F}$ 、 $C_{OUT\_UV} = 15.1\mu\text{F}$  になります。

出力コンデンサの ESR は、 $5.3\text{m}\Omega$  未満である必要があります。また、出力容量は  $133\mu\text{F}$  より大きい必要があります。3個のセラミック・コンデンサ ( $47\mu\text{F}$ 、x5R、6.3V) (村田製作所の GRM21BR60J476ME15、 $ESR = 2\text{m}\Omega$  など) を使用することを推奨します。

## 補償ネットワークの設計

負荷過渡応答と安定性を向上するには、 $f_c$  を  $f_{sw}/10$  に設定します。この例では、 $f_{sw}$  は  $600\text{kHz}$  に設定されています。そのため、 $f_c$  は  $60\text{kHz}$  に設定されています。

1.2V の出力レールに対し、 $47\mu\text{F}$  セラミック出力コンデンサのディレーティング値は  $40\mu\text{F}$  です。

次のように、標準部品を選択します。 $R_C = 24.9\text{k}\Omega$ 、 $C_C = 1\text{nF}$ 。 $C_{CP}$  はオプションです。

図 49 に 1.2V の出力レールのボード線図を示します。交差周波数は  $58\text{kHz}$  で、位相マージンは  $63^\circ$  です。

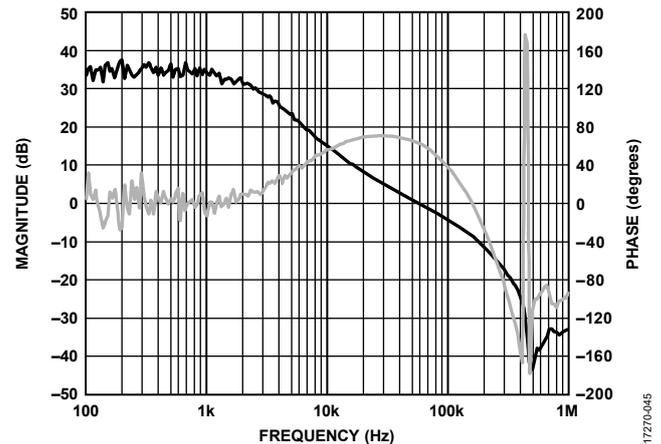


図 49. 1.2V 出力のボード線図

## 入力コンデンサの選択

入力コンデンサには、最小でも  $10\mu\text{F}$  のセラミック・コンデンサを選択します。入力コンデンサは PVIN1 ピンの近くに配置してください。この例では、 $10\mu\text{F}$ 、x5R、25V のセラミック・コンデンサを 1 個使用することを推奨します。

## 推奨回路基板レイアウト

ADP5056 から最高性能を引き出すためには、回路基板レイアウトの最適化が極めて重要です（図 50 を参照）。レイアウトに問題があると、EMI 性能および電磁両立性（EMC）性能だけでなく、デバイスのレギュレーションや安定性にも影響が及ぶ可能性があります。最適な PCB レイアウトにするには、次のガイドラインを参照してください。

- 入力コンデンサ、インダクタ、出力コンデンサ、ブートストラップ・コンデンサを IC の近くに配置します。
- 短く厚いパターンを使用して入力コンデンサを PVINx ピンに接続し、専用の電源グラウンドを使用して入力コンデンサと出力コンデンサをグラウンドに接続し、配線長は最小にします。
- 必要に応じていくつかの大電流ビアを使用して、PVINx および PGND を他のパワー・プレーンに接続します。
- 短く厚いパターンを使用して、インダクタを SWx ピンや出力コンデンサに接続します。
- 大電流のループ・パターンはできる限り短く、幅広くします。

- ピン 35、ピン 36、ピン 37 を接続するグラウンド・メタルの量を最大にし、部品側にできるだけ多くのビアを使って放熱性を良くします。
- グランド・プレーンを設け、複数のビアで部品面のグラウンドと接続すると、高感度の回路ノードのノイズ妨害を更に低減することができます。
- デカップリング・コンデンサを VREG ピンと VBIAS ピンの近くに配置します。
- 周波数設定抵抗を RT ピンの近くに配置します。
- 帰還抵抗分圧器を FBx ピンの近くに配置します。更に、FBx のパターンはノイズの影響を避けるため、大電流パターンとスイッチ・ノードからは離して配置します。
- 0402 または 0603 サイズの抵抗とコンデンサを使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。

推奨する PCB アセンブリと製造手順については、[μModule®設計と製造リソース](#)のページを参照してください。

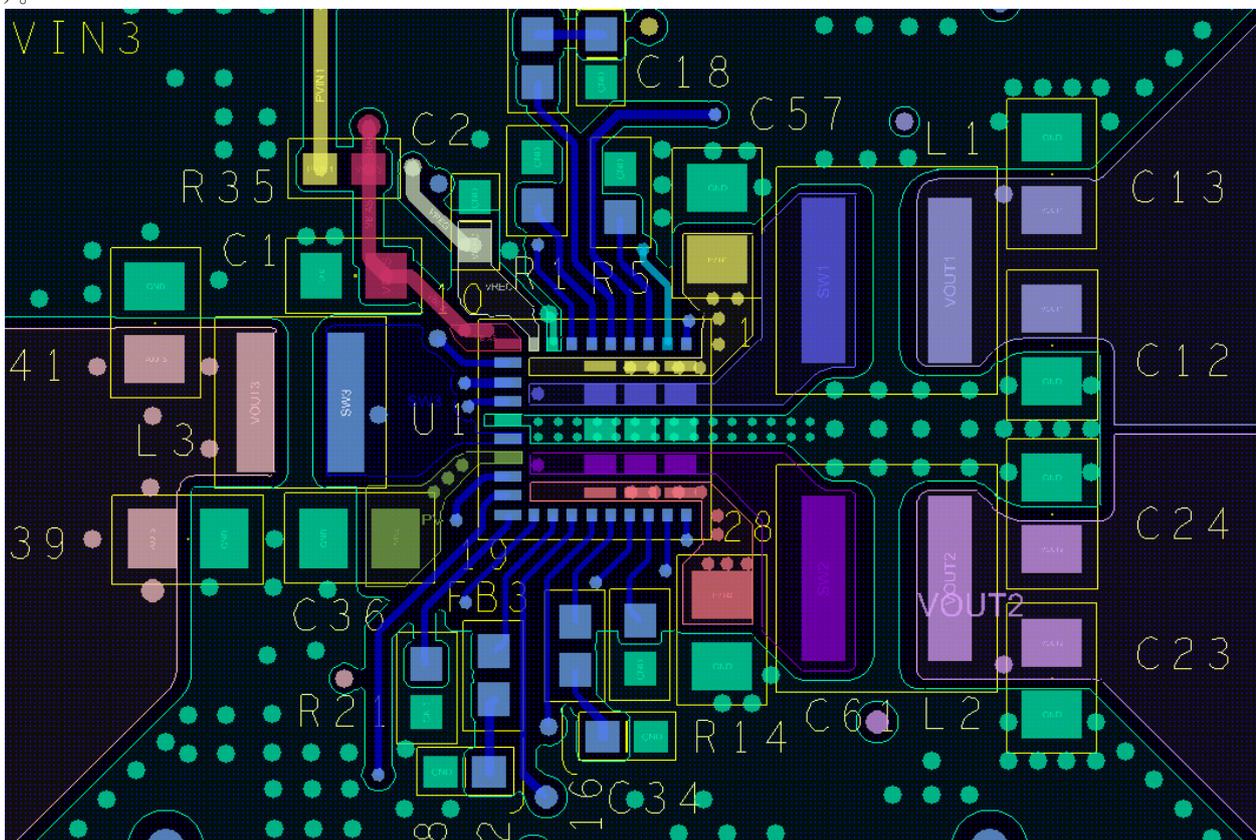


図 50. ADP5056 の代表的な PCB レイアウト

外形寸法

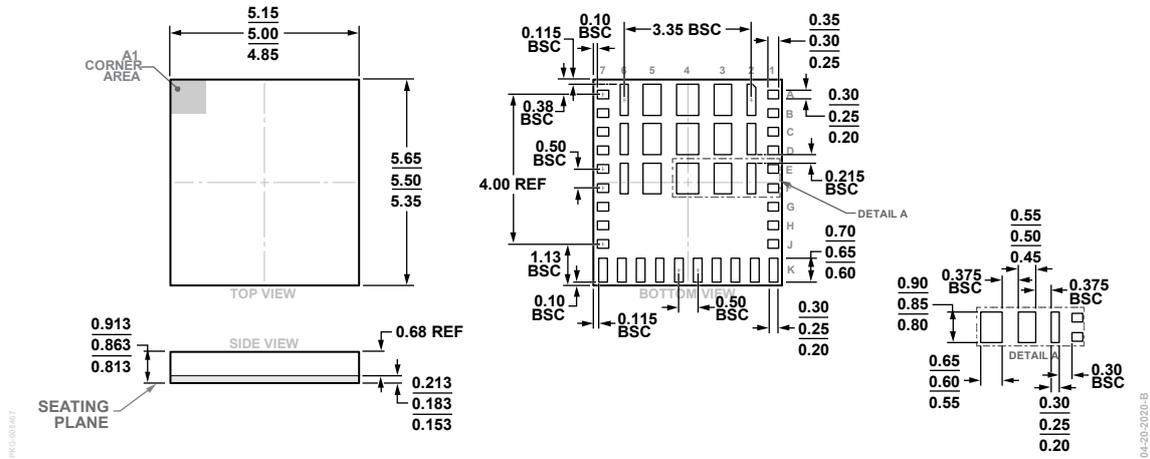


図 51.43 端子のランド・グリッド・アレイ [LGA]  
(CC-43-1)  
寸法単位：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADP5056ACCZ-R7	-40°C to +150°C	43-Terminal Land Grid Array [LGA]	CC-43-1
ADP5056-EVALZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品