



GaAs、pHEMT、MMIC、1/2W 18GHz～44GHz のパワー・アンプ

データシート

ADPA7002

特長

出力 P1dB : 28dBm (34GHz～44GHz での代表値)
P_{SAT} : 29.5dBm (24GHz～34GHz での代表値)
ゲイン : 15dB (34GHz～44GHz での代表値)
IP3 : 38dBm (代表値)
パワー・ディテクタ内蔵
電源電圧 : 5V/700mA
16 端子、6mm × 6mm のセラミック高周波エア・キャビティ・パッケージ

アプリケーション

防衛
試験用計測器
通信

機能ブロック図

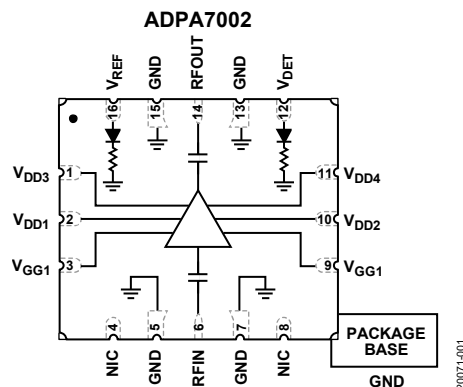


図 1.

概要

ADPA7002 は、ガリウム砒素 (GaAs) の擬似格子整合型高電子移動度トランジスタ (pHEMT) を使用したモノリシック・マイクロ波集積回路 (MMIC) による 28dBm (1/2W) のパワー・アンプです。温度補償されたパワー・ディテクタを内蔵し、18GHz～44GHz で動作します。5V 電源を使用し、32GHz の周波数で 15dB の小信号ゲインと 30dBm の飽和出力電力 (P_{SAT}) を実現します。IP3 が 38dBm の ADPA7002 は、28dBm を超える効率的な P_{SAT} が求められる、電子対抗手段や計測アプリケーションなどのリニア・アプリケーションに最適です。上位のアセンブリに組み込みやすくするため、RF 入出力は内部でマッチングされ、DC ブロックされています。ADPA7002 は、熱抵抗が小さいヒート・シンク付きの 6mm × 6mm セラミック・リードレス・チップ (LCC_HS) を採用しており、表面実装製造技術に対応しています。

的な P_{SAT} が求められる、電子対抗手段や計測アプリケーションなどのリニア・アプリケーションに最適です。上位のアセンブリに組み込みやすくするため、RF 入出力は内部でマッチングされ、DC ブロックされています。ADPA7002 は、熱抵抗が小さいヒート・シンク付きの 6mm × 6mm セラミック・リードレス・チップ (LCC_HS) を採用しており、表面実装製造技術に対応しています。

目次

特長	1	ESD に関する注意	5
アプリケーション	1	ピン配置およびピン機能の説明	6
機能ブロック図	1	インターフェース回路図	7
概要	1	代表的な性能特性	8
改訂履歴	2	定 I _{DD} での動作	14
仕様	3	動作原理	15
周波数範囲：18GHz～20GHz	3	アプリケーション情報	16
周波数範囲：20GHz～24GHz	3	バイアスの手順	17
周波数範囲：24GHz～34GHz	4	HMC980LP4E による ADPA7002 の バイアシング	17
周波数範囲：34GHz～44GHz	4	外形寸法	21
絶対最大定格	5	オーダー・ガイド	21
熱抵抗	5		

改訂履歴

12/2019—Revision 0: Initial Version

仕様

周波数範囲：18GHz～20GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、ドレイン電圧 (V_{DD}) = 5V、静止ドレイン電流 (I_{DQ}) = 700mA（通常動作時）。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
FREQUENCY RANGE		18		20	GHz	
GAIN			15		dB	
Flatness			± 0.5		dB	
Variation over Temperature			0.026		dB/ $^\circ\text{C}$	
NOISE FIGURE			11		dB	
RETURN LOSS						
Input			8		dB	
Output			13		dB	
OUTPUT						
Power for 1 dB Compression	P1dB		25.5		dBm	トーンあたり出力電力 (P_{OUT}) = 12dBm で測定を実施。
Saturated Output Power	P_{SAT}		27.5		dBm	
Third-Order Intercept	IP3		36.5		dBm	
POWER ADDED EFFICIENCY	PAE		12.5		%	P_{SAT} で測定
SUPPLY						
Quiescent Drain Current	I_{DQ}		700		mA	V_{GG1} を -1.5V～0V の範囲で調整して必要な I_{DQ} を設定。
Drain Voltage	V_{DD}	4	5		V	

周波数範囲：20GHz～24GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 700\text{mA}$ （通常動作時）。

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
FREQUENCY RANGE		20		24	GHz	
GAIN		15	17		dB	
Flatness			± 0.5		dB	
Variation over Temperature			0.026		dB/ $^\circ\text{C}$	
NOISE FIGURE			8		dB	
RETURN LOSS						
Input			12		dB	
Output			12		dB	
OUTPUT						
Power for 1 dB Compression	P1dB	24	27		dBm	トーンあたり $P_{OUT} = 12\text{dBm}$ で測定を実施。
Saturated Output Power	P_{SAT}		28.5		dBm	
Third-Order Intercept	IP3		37		dBm	
POWER ADDED EFFICIENCY	PAE		14		%	P_{SAT} で測定
SUPPLY						
Quiescent Drain Current	I_{DQ}		700		mA	V_{GG1} を -1.5V～0V の範囲で調整して必要な I_{DQ} を設定。
Drain Voltage	V_{DD}	4	5		V	

周波数範囲：24GHz～34GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 700\text{mA}$ （通常動作時）。

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
FREQUENCY RANGE		24		34	GHz	
GAIN		15	17		dB	
Flatness			± 0.7		dB	
Variation over Temperature			0.012		dB/ $^\circ\text{C}$	
NOISE FIGURE			5.8		dB	
RETURN LOSS						
Input			14		dB	
Output			14		dB	
OUTPUT						
Power for 1 dB Compression	P1dB	24.5	28		dBm	トーンあたり $P_{OUT} = 12\text{dBm}$ で測定を実施。
Saturated Output Power	P_{SAT}		29.5		dBm	
Third-Order Intercept	IP3		38		dBm	
POWER ADDED EFFICIENCY	PAE		16		%	P_{SAT} で測定
SUPPLY						
Quiescent Drain Current	I_{DQ}		700		mA	V_{GG1} を $-1.5\text{V} \sim 0\text{V}$ の範囲で調整して必要な I_{DQ} を設定。
Drain Voltage	V_{DD}	4	5		V	

周波数範囲：34GHz～44GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 700\text{mA}$ （通常動作時）。

表 4.

パラメータ	記号	Min	Typ	Max	単位	テスト条件／コメント
FREQUENCY RANGE		34		44	GHz	
GAIN		13.5	15.5		dB	
Flatness			± 0.9		dB	
Variation over Temperature			0.024		dB/ $^\circ\text{C}$	
NOISE FIGURE			5		dB	
RETURN LOSS						
Input			15		dB	
Output			16		dB	
OUTPUT						
Power for 1 dB Compression	P1dB	24	27		dBm	トーンあたり $P_{OUT} = 12\text{dBm}$ で測定を実施。
Saturated Output Power	P_{SAT}		28.5		dBm	
Third-Order Intercept	IP3		38.5		dBm	
POWER ADDED EFFICIENCY	PAE		10		%	P_{SAT} で測定
SUPPLY						
Quiescent Drain Current	I_{DQ}		700		mA	V_{GG1} を $-1.5\text{V} \sim 0\text{V}$ の範囲で調整して必要な I_{DQ} を設定。
Drain Voltage	V_{DD}	4	5		V	

絶対最大定格

表 5.

Parameter	Rating
V _{DDX}	6.0 V
V _{GGI}	−1.6 V to 0 V
RF Input Power (RFIN)	25 dBm
Continuous Power Dissipation (P _{DISS}), T _A = 85°C (Derate 69 mW/°C above 85°C)	6.21 W
Temperature	
Storage Range	−65°C to +150°C
Operating Range	−40°C to +85°C
Nominal Junction (T _A = 85°C, V _{DD} = 5 V, I _{DQ} = 700 mA)	135.75°C
Junction to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175°C
Electrostatic Discharge (ESD) Sensitivity	
Human Body Model (HBM)	Class 1A (passed 500 V)

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 6. 熱抵抗

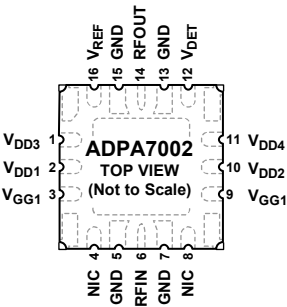
Package Type	θ _{JC}	Unit
EH-16-1 ¹	14.5	°C/W

¹ 熱抵抗（θ_{JC}）は、以下の条件でのシミュレーションによって求めます。すなわち、熱伝達はチャンネルからグラウンド・ピンを通して PCB までの熱伝導のみに起因し、グラウンド・ピンは 85°C の動作温度に保たれるものとします。

ESD に関する注意

	ESD（静電放電）の影響を受けやすいデバイスです。 電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	--

ピン配置およびピン機能の説明



- NOTES
- 1. NIC = NO INTERNAL CONNECTION. THESE PINS HAVE NO INTERNAL CONNECTIONS. CONNECT TO GROUND.
 - 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.
- 20071-002

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 2, 10, 11	$V_{DD3}, V_{DD1}, V_{DD2}, V_{DD4}$	ドレイン・バイアス。外付けのバイパス・コンデンサが必要です。
3, 9	V_{GG1}	ゲート・バイアス制御。外付けのバイパス・コンデンサが必要です。
4, 8	NIC	内部接続なし。これらのピンは内部接続されていません。グラウンドに接続します。
5, 7, 13, 15	GND	グラウンド。これらのピンは RF/DC グラウンドに接続する必要があります。
6	RFIN	RF 信号入力。このピンは AC カップリングされ、 50Ω に整合されています。
12	V_{DET}	RF 出力パワー測定用のディテクタ・ダイオード。このピンを介して出力電力を検出するには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。 V_{REF} と組み合わせて使用した場合、その電圧差 ($V_{REF} - V_{DET}$) は RF 出力パワーに比例した温度補償済み DC 電圧になります。
14	RFOUT	RF 信号出力。このピンは AC カップリングされ、 50Ω に整合されています。
16	V_{REF}	V_{DET} による RF 出力パワー測定値の温度補償用リファレンス・ダイオード。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース回路図

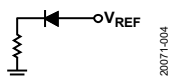


図 4. V_{REF} インターフェース回路図

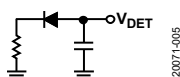


図 5. V_{DET} インターフェース回路図

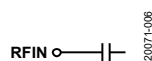


図 6. RFIN インターフェース回路図

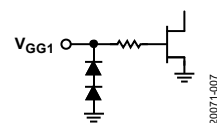


図 7. V_{GG1} 回路図

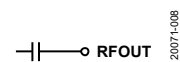


図 8. RFOUT インターフェース回路図

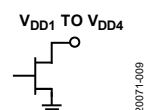


図 9. $V_{DD1} \sim V_{DD4}$ インターフェース回路図

代表的な性能特性

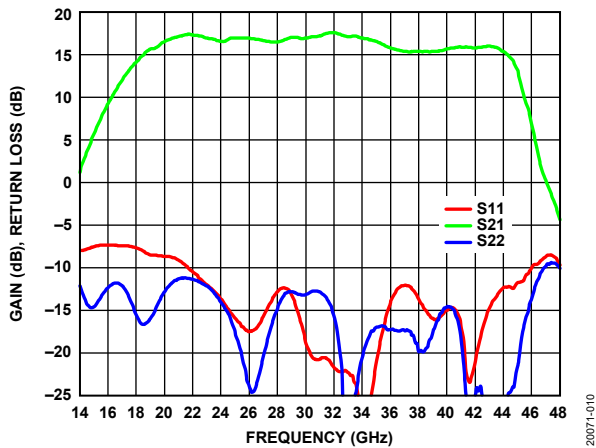


図 10. ゲインおよびリターン損失の周波数特性

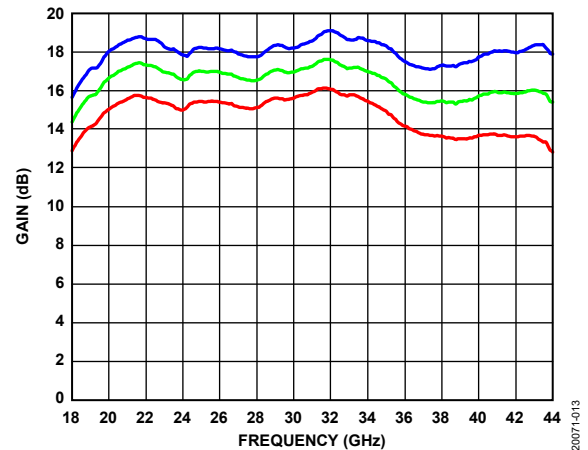


図 13. 様々な温度におけるゲインの周波数特性

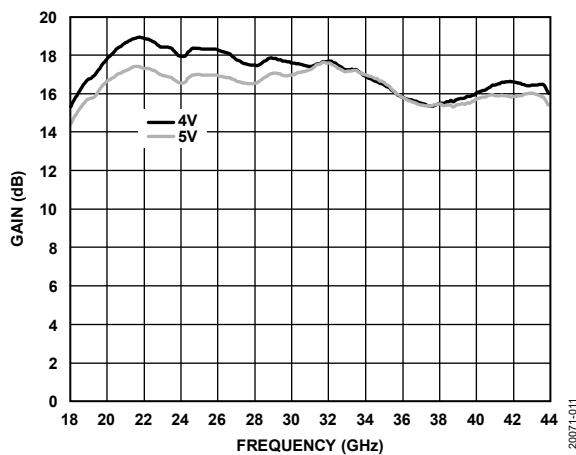


図 11. 異なるドレイン電圧におけるゲインの周波数特性

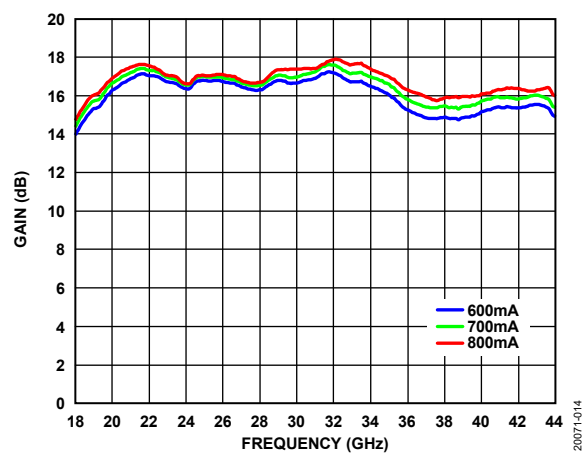


図 14. 様々な静止ドレイン電流におけるゲインの周波数特性

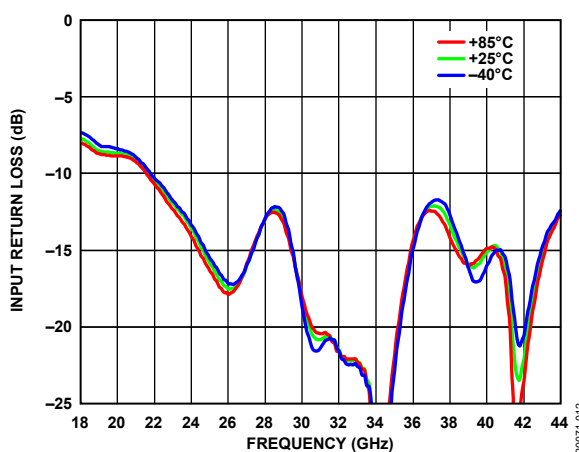


図 12. 様々な温度における入力リターン損失の周波数特性、
 $V_{DD} = 5V$ 、 $I_{DQ} = 700mA$

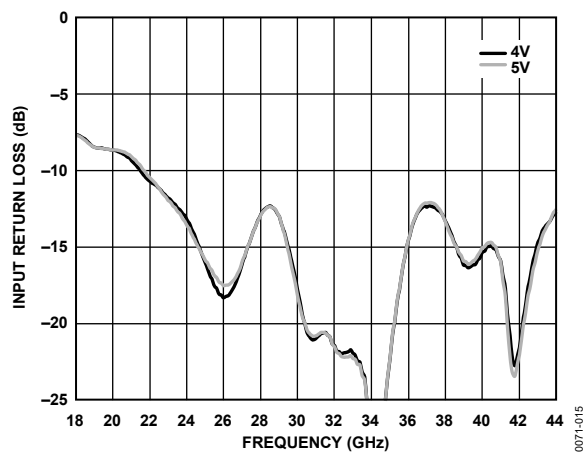


図 15. 異なるドレイン電圧における
入力リターン損失の周波数特性

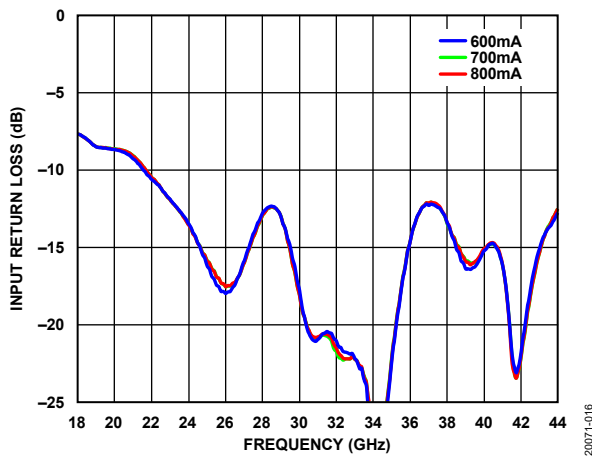


図 16. 様々な静止ドレイン電流における入力リターン損失の周波数特性

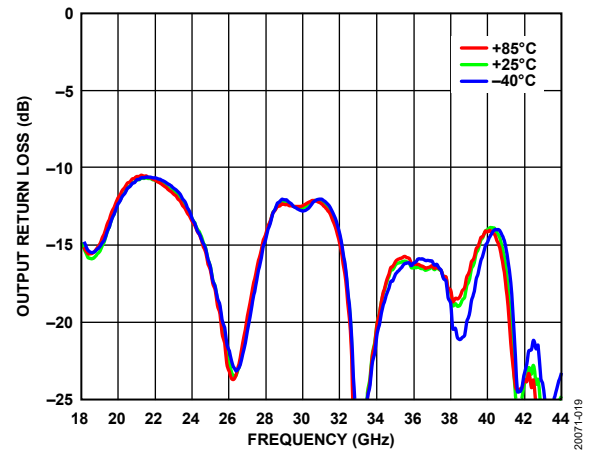


図 19. 様々な温度における出力リターン損失の周波数特性

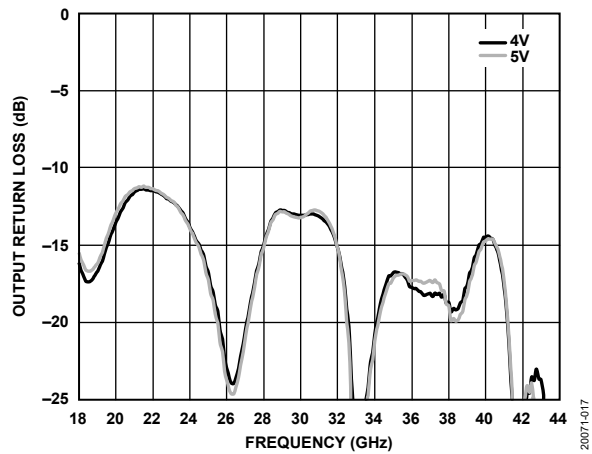


図 17. 様々なドレイン電圧における出力リターン損失の周波数特性

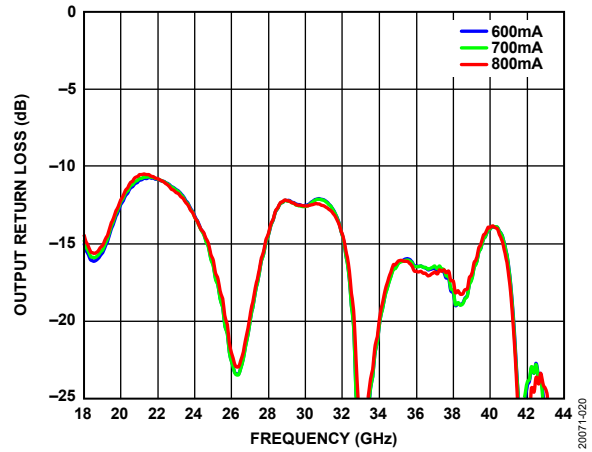


図 20. 様々な静止ドレイン電流における出力リターン損失の周波数特性

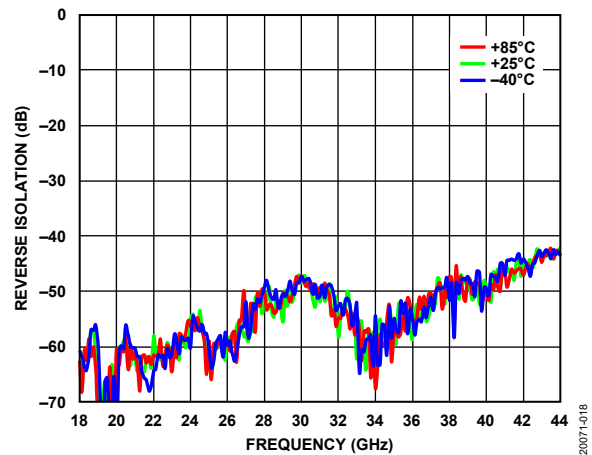


図 18. 様々な温度におけるリバース・アイソレーションの周波数特性

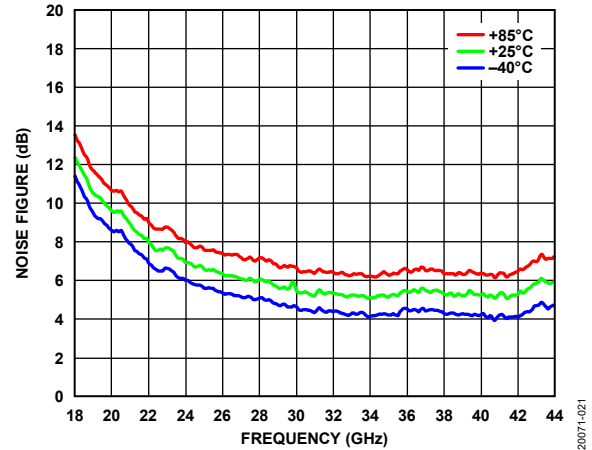


図 21. 様々な温度におけるノイズ指数の周波数特性

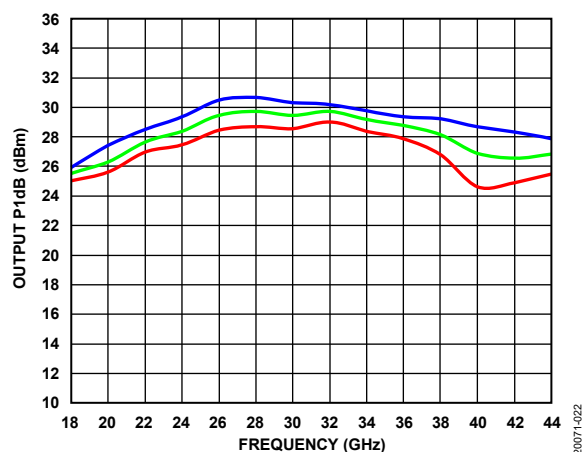


図 22. 様々な温度における出力 P1dB の周波数特性

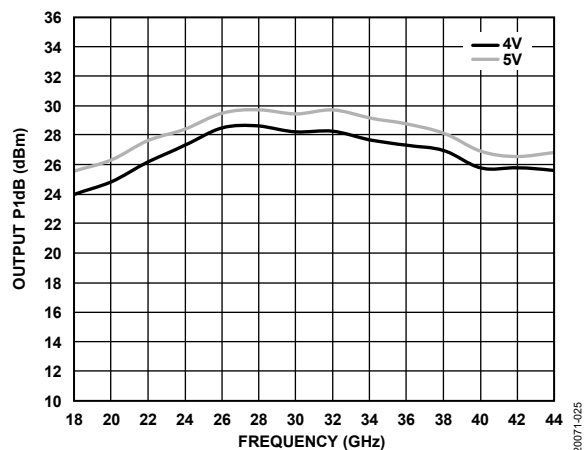


図 25. 異なるドレイン電圧における出力 P1dB の周波数特性

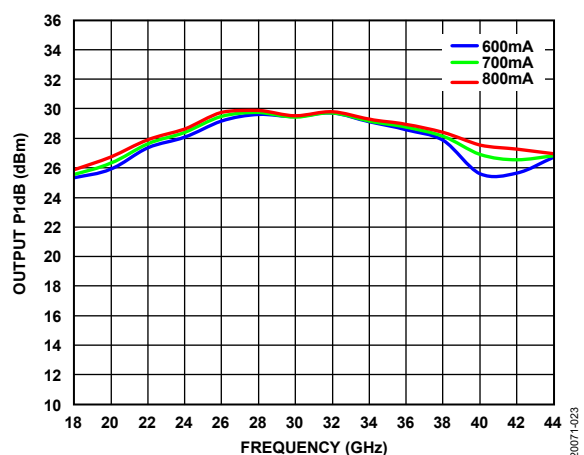


図 23. 様々な電流における出力 P1dB の周波数特性

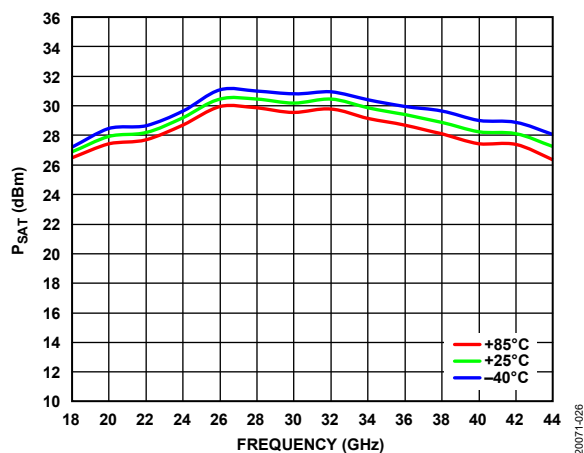


図 26. 様々な温度における P_{SAT} の周波数特性

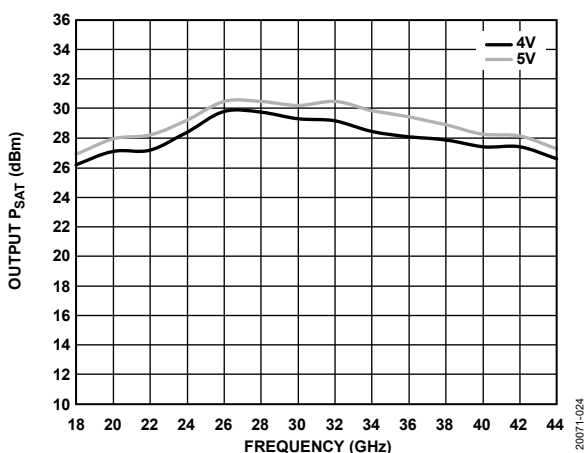


図 24. 異なるドレイン電圧における P_{SAT} の周波数特性

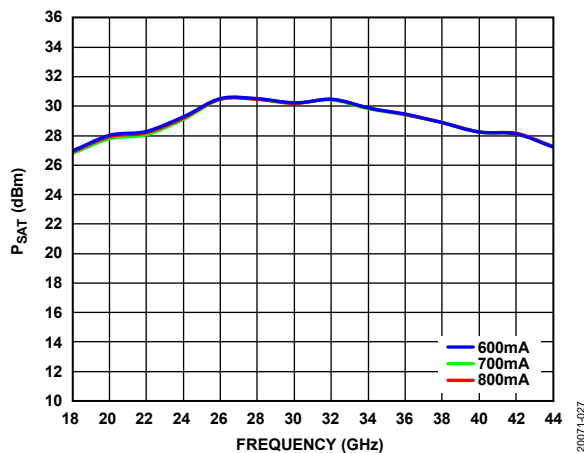


図 27. 様々な静止ドレイン電流における P_{SAT} の周波数特性

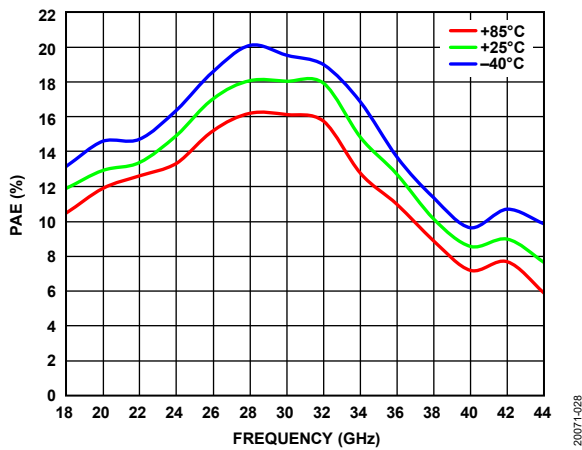


図 28. 様々な温度における PAE の周波数特性、 P_{SAT} で PAE を測定

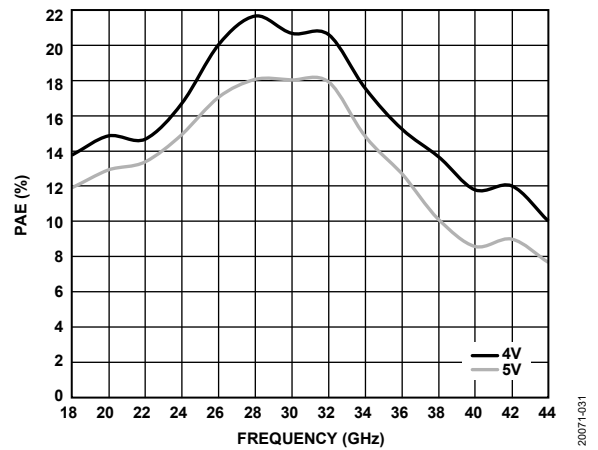


図 31. 様々なドレイン電圧における PAE の周波数特性、 P_{SAT} で PAE を測定

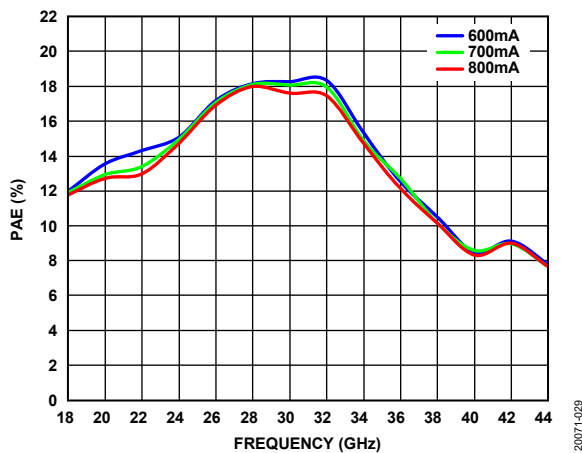


図 29. 様々な静止ドレイン電流における PAE の周波数測定、 P_{SAT} で PAE を測定

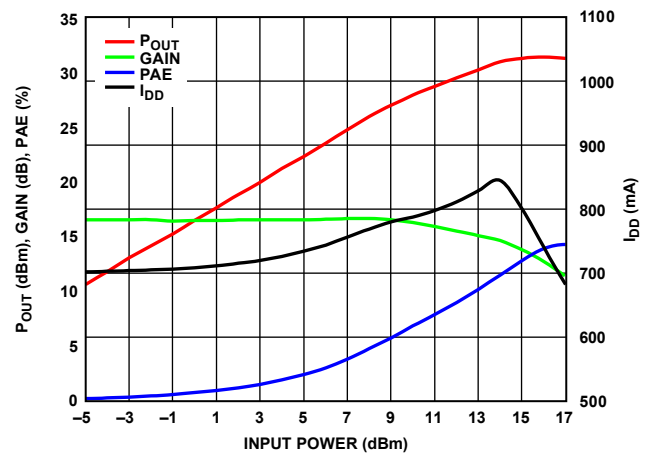


図 32. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、周波数= 22GHz

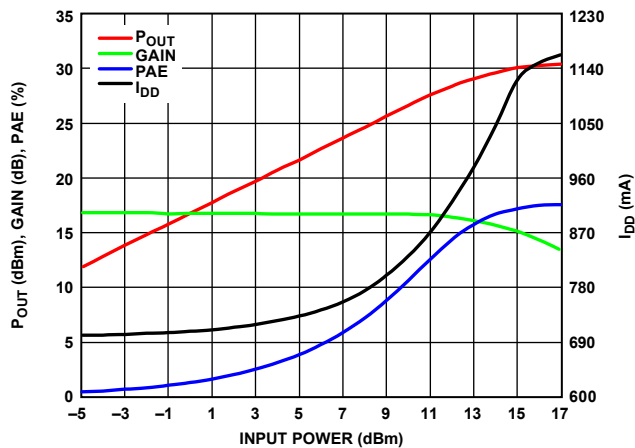


図 30. P_{OUT} 、ゲイン、PAE、ドレイン電流 (I_{DD}) と入力パワーの関係、周波数 = 26GHz

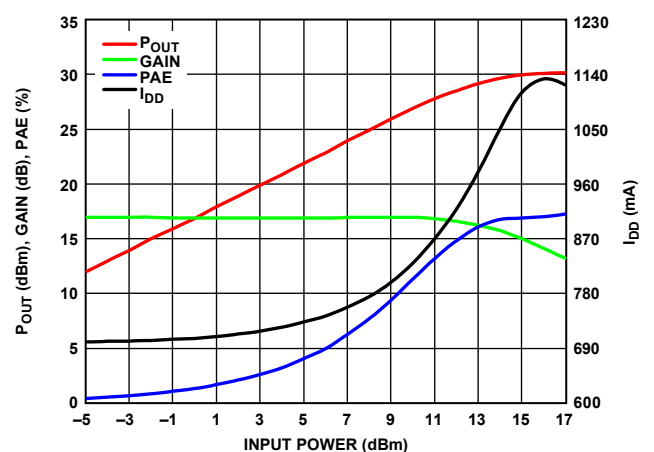


図 33. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、周波数= 30GHz

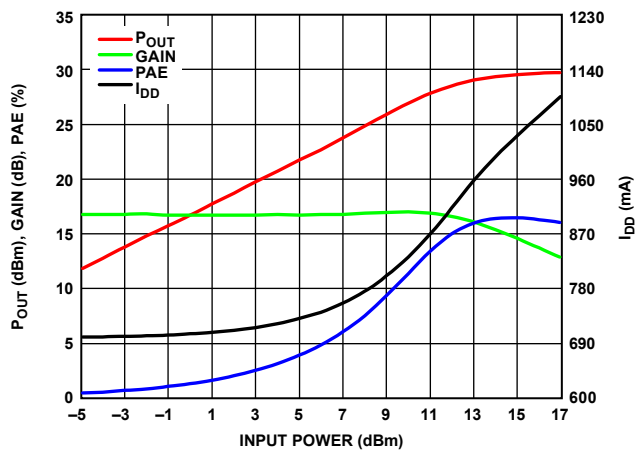


図 34. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、
周波数= 34GHz

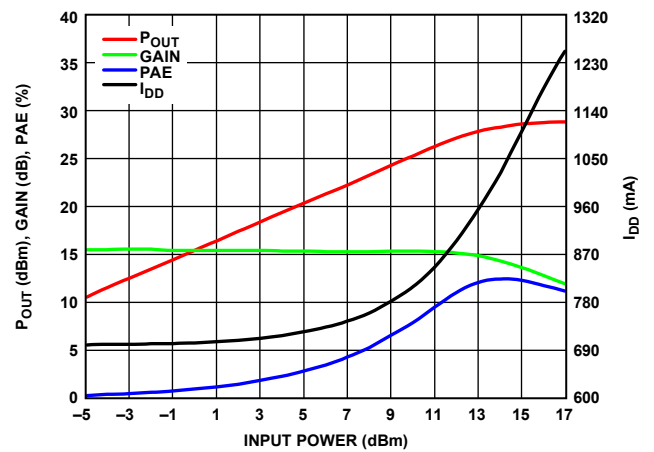


図 37. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、
周波数= 38GHz

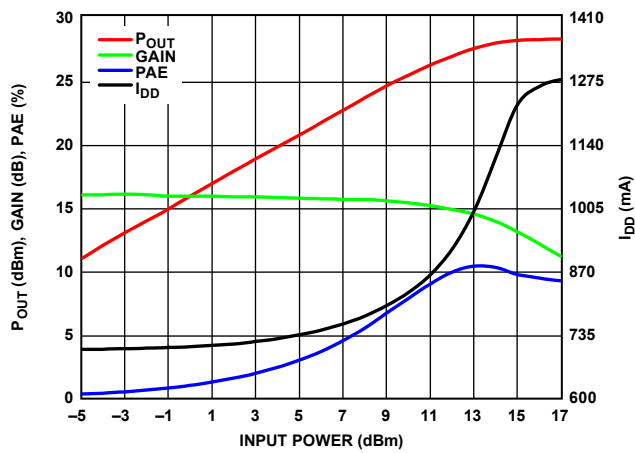


図 35. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力パワーの関係、
周波数= 42GHz

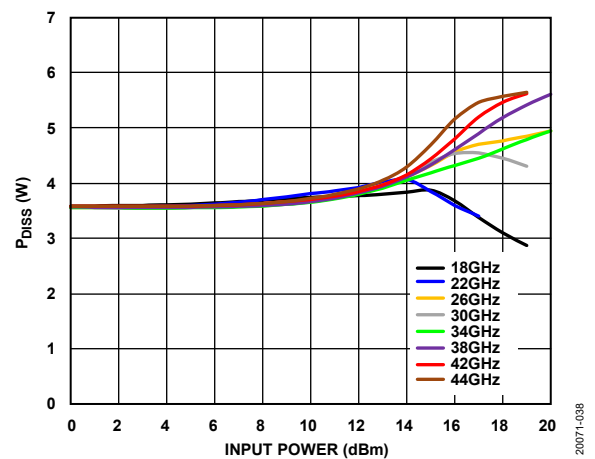


図 38. P_{DISS} と入力パワーの関係、 $T_A = 85^\circ\text{C}$

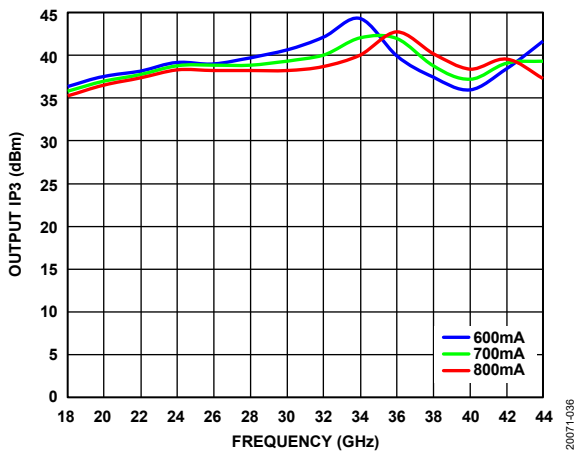


図 36. 様々なドレイン電流における出力 IP3 の周波数特性、
トーンあたり $P_{OUT} = 12\text{dBm}$

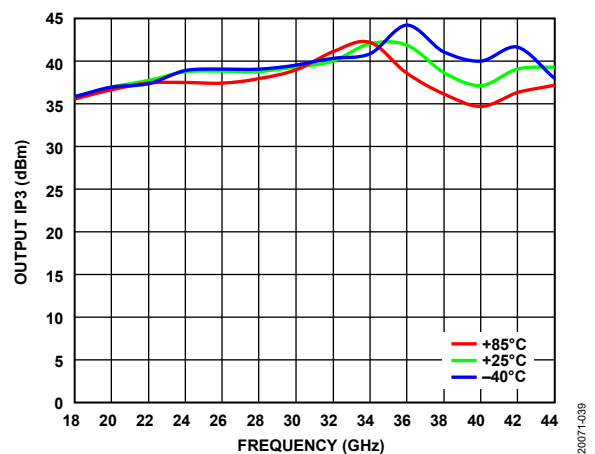


図 39. 様々な温度における出力 IP3 の周波数特性、
トーンあたり $P_{OUT} = 12\text{dBm}$ 、 $I_{DD} = 700\text{mA}$

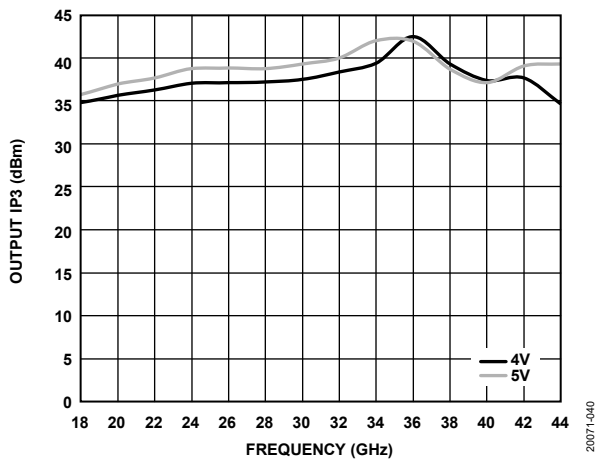


図 40. 様々なドレイン電圧における出力 IP3 の周波数特性、
トーンあたり $P_{OUT} = 12\text{dBm}$

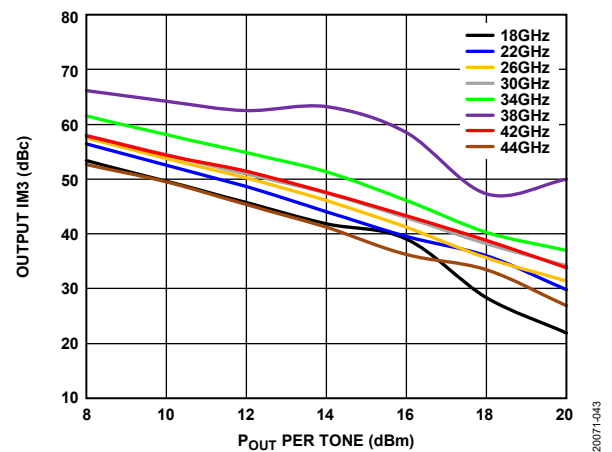


図 43. 様々な周波数における出力 3 次相互変調 (IM3) と
トーンあたり P_{OUT} の関係、 $V_{DD} = 4\text{V}$

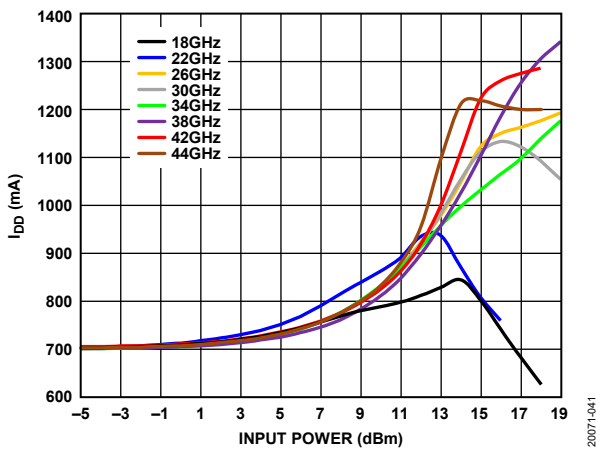


図 41. 様々な周波数における I_{DQ} と入力パワーの関係

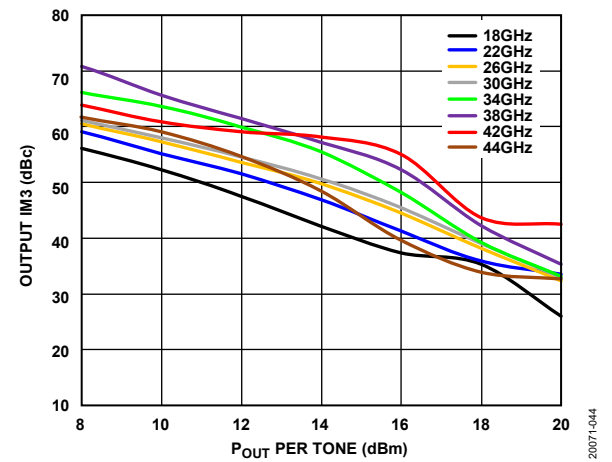


図 44. 様々な周波数における出力 IM3 と
トーンあたり P_{OUT} の関係、 $V_{DD} = 5\text{V}$

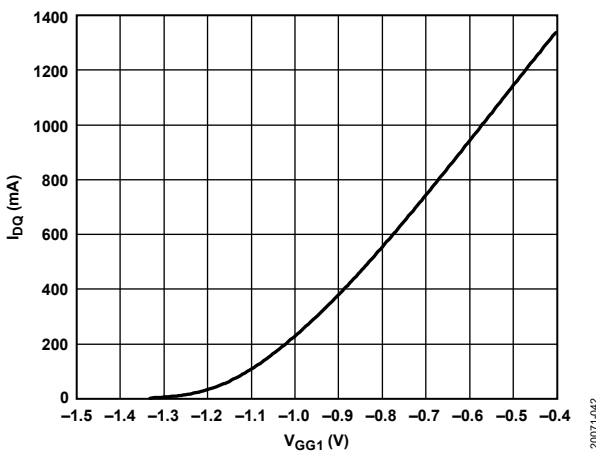


図 42. I_{DQ} と V_{GG1} の関係

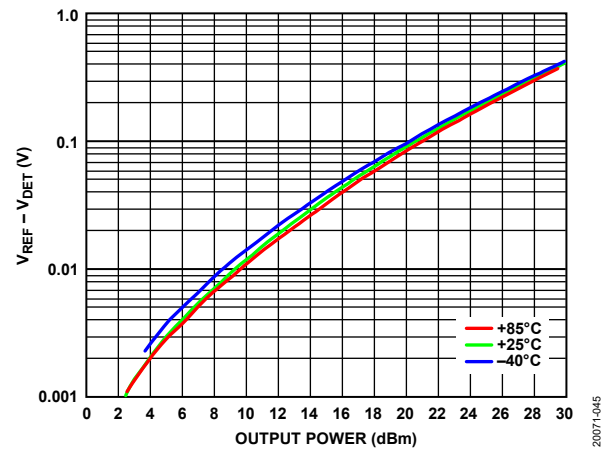


図 45. 様々な温度における $V_{REF} - V_{DET}$ と出力パワーの関係、
周波数 = 32GHz

定 I_{DD} での動作

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DD} = 800\text{mA}$ （通常動作時）。図 46～図 49 は、HMC980LP4E アクティブ・バイアス・コントローラによってバイアスされています。バイアシングの詳細については、HMC980LP4E による ADPA7002 のバイアシングのセクションを参照してください。

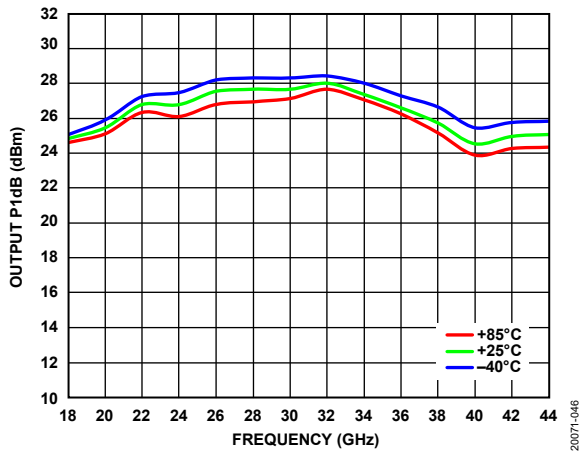


図 46. 様々な温度における出力 P1dB の周波数特性、 I_{DD} 一定でデータを測定

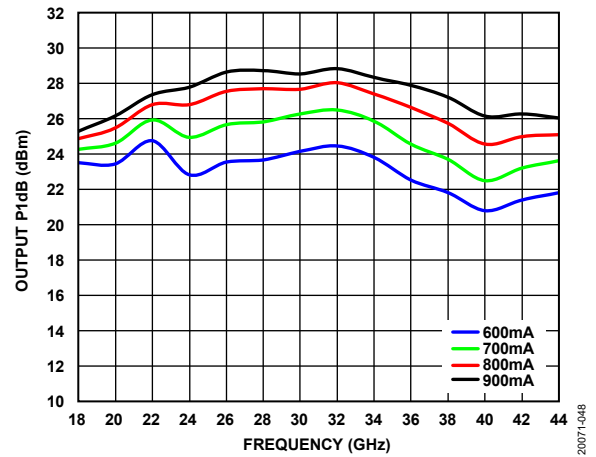


図 48. 様々な電源電流における出力 P1dB の周波数特性、 I_{DD} 一定でデータを測定

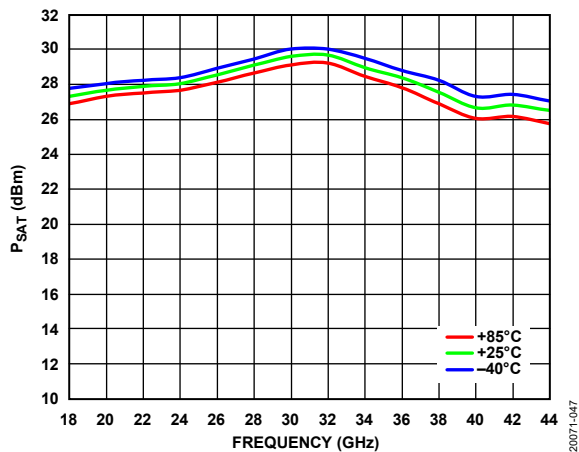


図 47. 様々な温度における P_{SAT} の周波数特性、 I_{DD} 一定でデータを測定

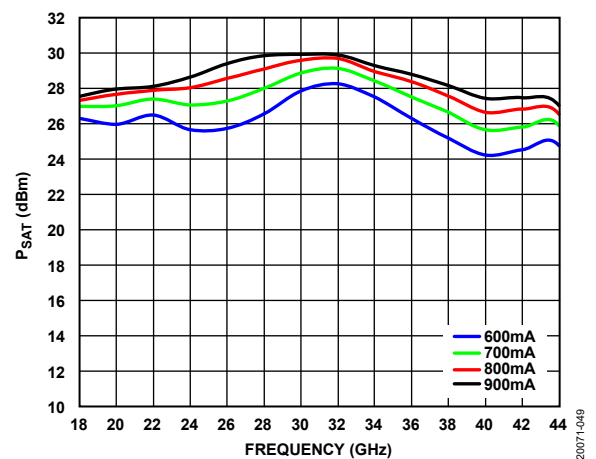


図 49. 様々な電源電流における P_{SAT} の周波数特性、 I_{DD} 一定でデータを測定

動作原理

ADPA7002 中出力パワー・アンプのアーキテクチャを図 50 に示します。ADPA7002 はカスケード接続された 3 段構成のアンプを使用しており、このアンプは 2 つの 90° ハイブリッド間にあって直交位相で動作します。

RF 出力信号の一部は、RF 出力パワー検出用のダイオードに方向性結合（カップリング）されます。このダイオードに DC バイアスを加えると RF パワーが整流され、 V_{DET} ピンで DC 電圧として RF パワーを測定に使用できるようになります。温度補償は、RF 出力（DC 電圧出力を含む）にカップリングされていない対称ダイオード回路を V_{REF} ピンでリファレンスすることによって

行われます。RF 出力に比例する温度補償信号は、電圧差 $V_{REF} - V_{DET}$ から得られます

90° ハイブリッドにより、入出力リターン損失は確実に 12dB より大きくなります。各種ブロックのバイアス方法の詳細については、アプリケーション情報のセクションに示すアプリケーション回路を参照してください。

ADPA7002 から最大限の性能を引き出し、デバイスの損傷を防ぐために、バイアスの手順のセクションに示す推奨バイアス・シーケンスに従ってください。

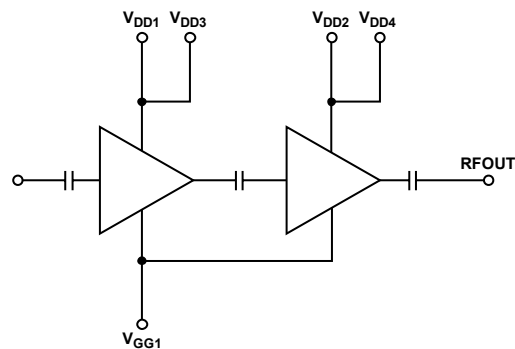


図 50. ADPA7002 のアーキテクチャの簡略図

アプリケーション情報

ADPA7002 に推奨される 2 つの代表的アプリケーション回路を図 51 と図 52 に示します。ピン 3 とピン 9 は V_{GG1} のゲート・バイアス制御ピンで、内部で接続されています。 V_{DD1} と V_{DD2} (ピン 2 とピン 10) はドライバ段のドレイン・バイアス・ピンで、内部で接続されています。 V_{DD3} と V_{DD4} (ピン 1 とピン 11) は出力段のドレイン・バイアス・ピンで、やはり内部で接続されています。

ゲート・バイアス電圧は、ピン 3 またはピン 9 に加えることができます。ドレイン・バイアスは、 V_{DD1} と V_{DD3} 、または V_{DD2} と V_{DD4} に加えることで、2 種類のバイアス構成を選ぶことができます。バイアス・オプション 1 (図 51 参照) では、ドレイン電圧とゲート電圧を

デバイスの図中下側にあるピン 9、ピン 10、およびピン 11 に加えます。バイアス・オプション 2 (図 52 参照) では、ドレイン電圧とゲート電圧をデバイスの図中上側にあるピン 1、ピン 2、およびピン 3 に加えます。使用するすべてのピンには、容量性バイパスを施す必要があります。

図 51 と 52 に示す電源デカップリング・コンデンサは、デバイスの特性を適切なものにするために使用します。コンデンサの数は一定の範囲で減らすことができますが、その範囲はそれぞれのシステムによって異なります。最初は、デバイスから最も遠い位置にある最大のコンデンサを取り除くか、組み合わせてみることを推奨します。

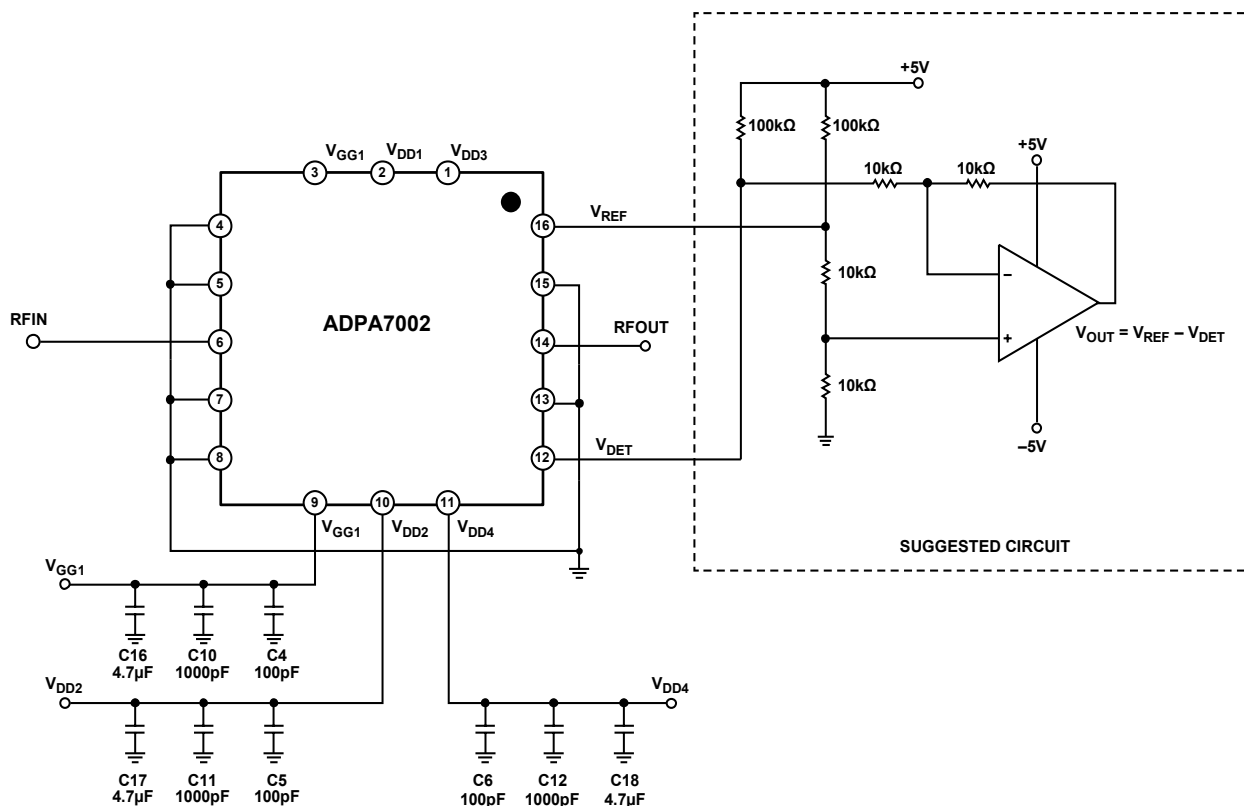


図 51. バイアス・オプション 1

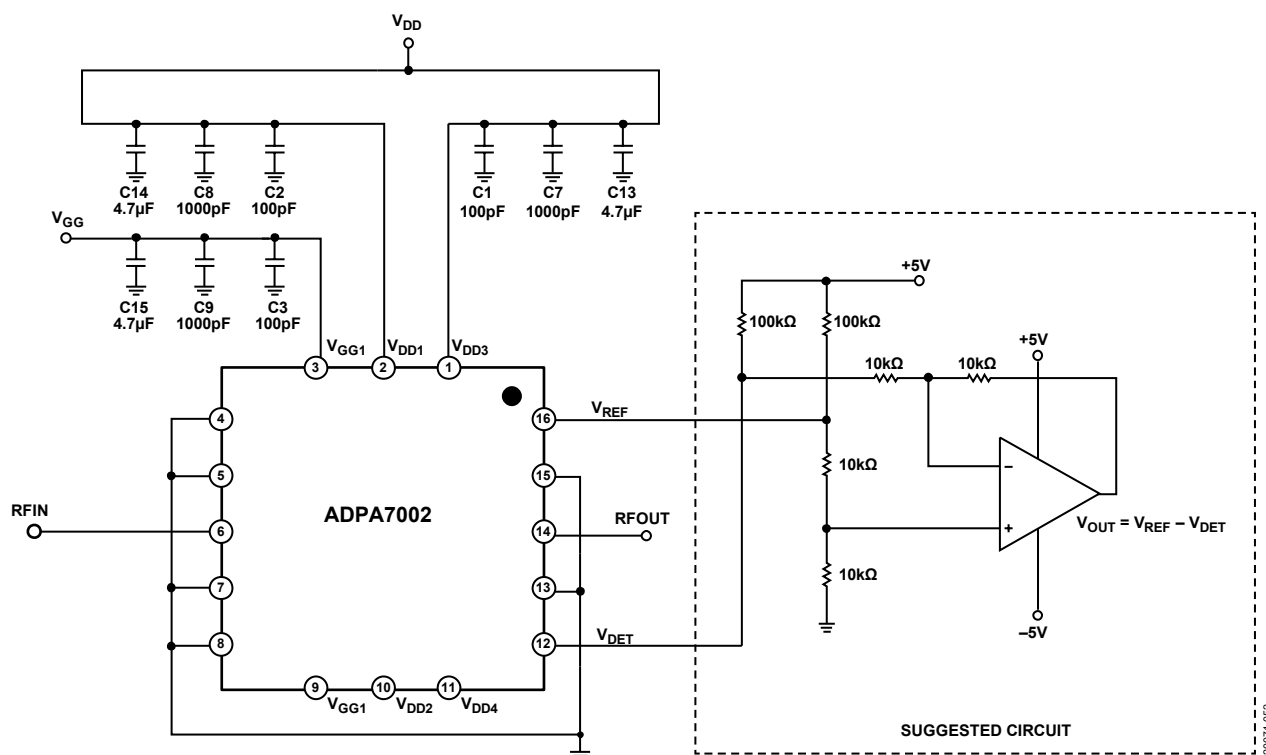


図 52. バイアス・オプション 2

バイアスの手順

パワーアップ時は以下のバイアス・シーケンスに従ってください。

1. GND を RF および DC グラウンドに接続します。
2. V_{GG1} ピン電圧を $-1.5V$ に設定します。
3. ドレイン・バイアス電圧ピン (V_{DDX}) を $5V$ に設定します。
4. V_{GG1} ピン電圧を上げて、 $I_{DQ} = 700mA$ にします。
5. RF 信号を印加します。

パワーダウン時は以下のバイアス・シーケンスに従ってください。

1. RF 信号をオフにします。
2. V_{GG1} を $-1.5V$ まで下げて、 $I_{DQ} = 0mA$ (およその値) にします。
3. ドレイン・バイアス電圧ピン (V_{DDX}) の電圧を $0V$ まで下げます。
4. V_{GG1} ピンの電圧を $0V$ まで下げます。

バイアス・ピンと専用ゲイン段の接続を示す簡略図を図 50 に示します。

表 8. パワー選択リスト^{1, 2}

I_{DQ} (mA)	Gain (dB)	P1dB (dBm)	OIP3 (dBm)	P_{DISS} (W)	V_{GG1} (V)
600	17.2	30.04	40.6	3	-0.73
700	17.7	30.24	38.7	3.5	-0.67
800	18.0	30.25	37.0	4	-0.62

¹ データは次のバイアス条件 (公称値) で測定しています: $V_{DD} = 5V$, $T_A = 25^\circ C$ 。

² V_{GG1} を $-1.5V \sim 0V$ の範囲で調整することによって、必要なドレイン電流が得られます。

ADPA7002 の性能を全般的に最適化するには、公称バイアス条件で使用することを推奨します。特に指定のない限り、代表的な性能特性のセクションに示すデータは推奨バイアス条件によって得たものです。異なるバイアス条件で動作させると、ADPA7002 の性能は、表 1、表 2、表 3、表 4 のデータと異なる値を示すことがあります。表 8 は、 $34GHz$ でバイアス電流を変化させた場合のゲイン、P1dB、OIP3 の変化を示したものです。

HMC980LP4E による ADPA7002 のバイアシング

HMC980LP4E は、ADPA7002 のようなデプレッション型アンプのバイアス条件を満たすために設計されたアクティブ・バイアス・コントローラです。HMC980LP4E は、デバイスごとに調整を行いながら、温度変化に関係なく一定の電流でバイアシングを行い、ゲート電圧とドレイン電圧の正しいシーケンシングで安全な動作を確保できる他、短絡時のための自己保護機能を備えています。HMC980LP4E は ADPA7002 のゲートに必要な負電圧を生成し、外部負電圧源として使用できるチャージ・ポンプを内蔵しています。

HMC980LP4E の詳しい使用方法については、HMC980LP4E のデータシートとアプリケーション・ノート AN-1363 を参照してください。

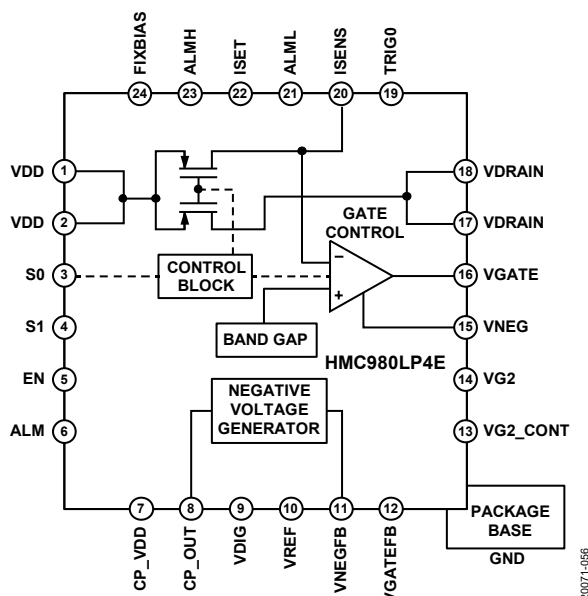


図 53. HMC980LP4E の機能図

アプリケーション回路のセットアップ

図 54 は、800mA にバイアスされた ADPA7002 のドレイン電流を HMC980LP4E で制御するアプリケーション回路です。この例では HMC980LP4E が負のゲート制御電圧を生成します。外部負電圧を使用するアプリケーション回路を図 55 に示します。

このアプリケーション回路では、次式により ADPA7002 のドレイン電圧とドレイン電流が設定されます。

$$VDRAIN = VDD - (IDRAIN \times 0.85\Omega)$$

$$VDRAIN = 5.68V - (800mA \times 0.85\Omega)$$

$$VDRAIN = 5V$$

および、

$$IDRAIN = (150\Omega)/(R10)$$

$$IDRAIN = (150\Omega)/(187\Omega)$$

$$IDRAIN = 0.802A$$

ここで、

VDRAIN はドレイン電圧、すなわち VDD、VDD は HMC980LP4E の電源電圧、IDRAIN は、HMC980LP4E のピン 17 とピン 18 からの出力電流です。

ADPA7002 の V_{GG1} の AMR に合わせた VGATE の制限

ADPA7002 を HMC980LP4E と共に使用する場合は、VNEG と VGATE の電圧を V_{GG1} ピンの絶対最大定格内に抑えるために、これらの最小電圧値を -1.5V に制限します。VNEG と VGATE の最小電圧を制限するには、R15 抵抗を 732kΩ に、R16 抵抗を 632kΩ に設定します。これについての詳細と、R15 および R16 の計算については、アプリケーション・ノート AN-1363 を参照してください。

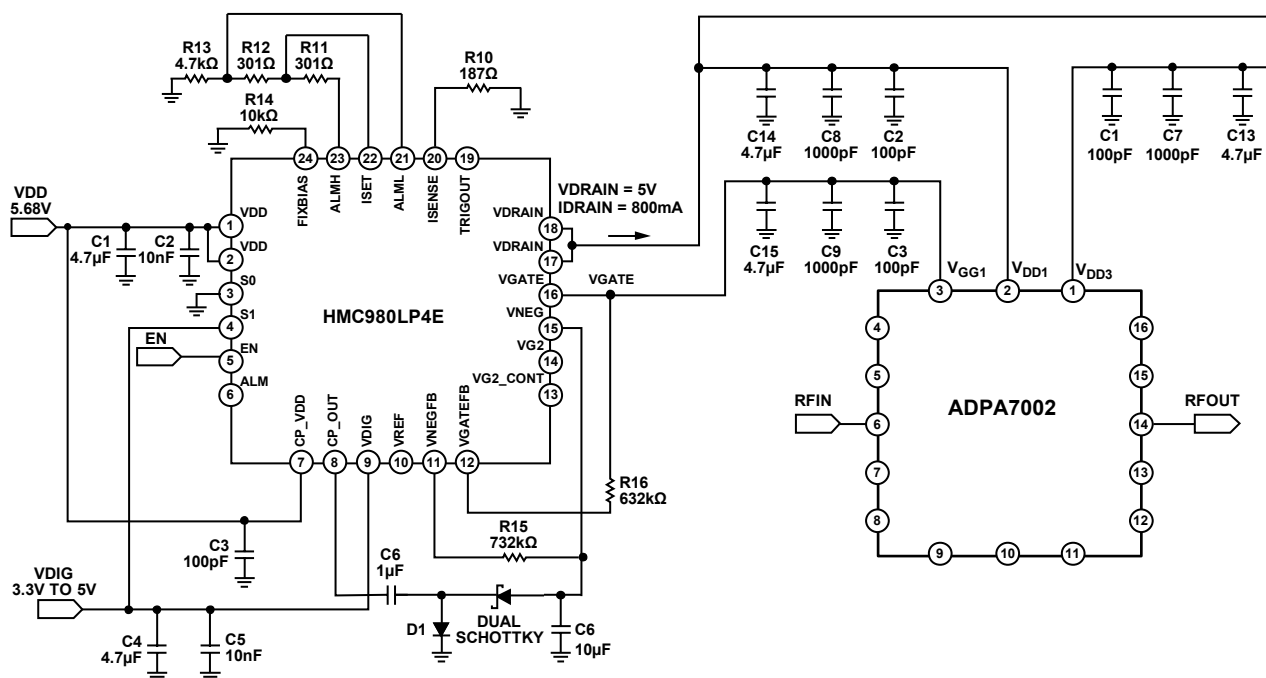


図 54. HMC980LP4E を使用して ADPA7002 のドレイン電流を制御するアプリケーション回路

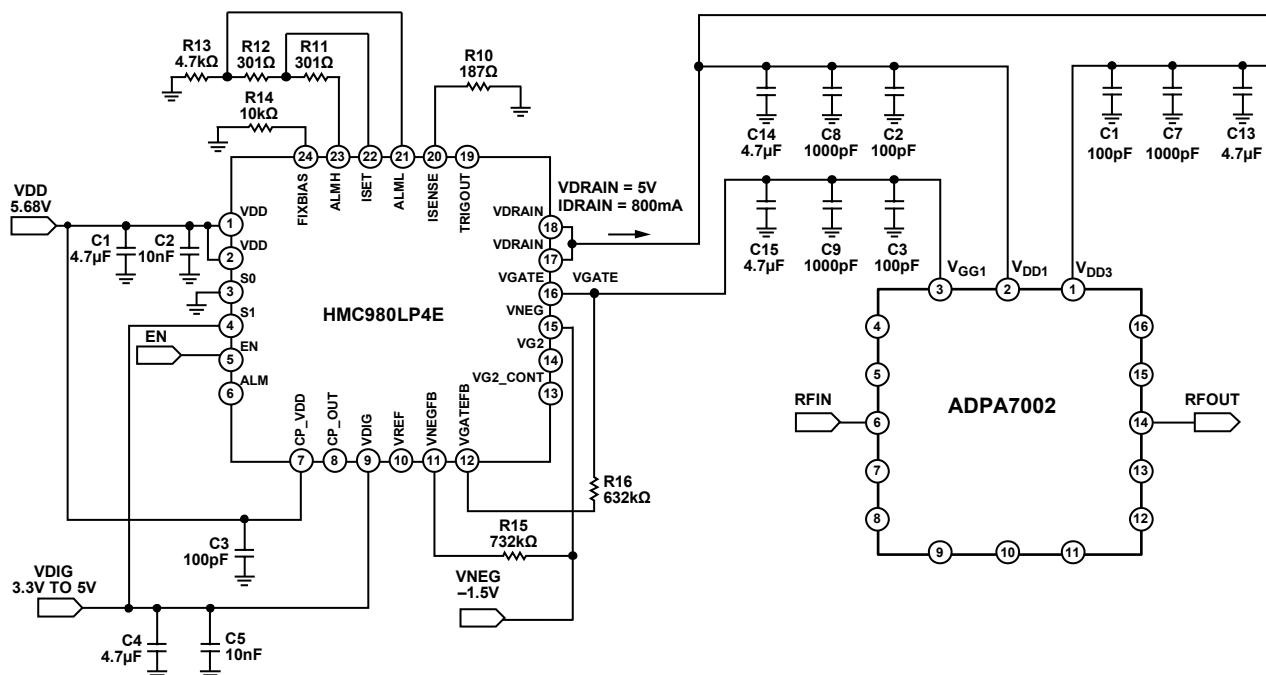


図 55. HMC980LP4E を使用して外部負電圧源を持つ ADPA7002 のドレイン電流を制御するアプリケーション回路

HMC980LP4E のバイアス・シーケンス

HMC980LP4E の損傷を避けるには、DC 電源のシーケンシングを正しく行う必要があります。パワーアップ時は、以下に示すシーケンス・ステップに従ってください。

1. VDIG ピン (ピン 9) を 3.3V に設定します。
2. S1 ピン (ピン 4) を 3.3V に設定します。
3. VDD ピン (ピン 1) を 5.68V に設定します。
4. VNEG ピン (ピン 15) を -1.5V に設定します。内部生成電圧を使用する場合、このステップは必要ありません。
5. EN ピン (ピン 5) を 3.3V に設定します。0V から 3.3V に遷移すると、VGATE ピン (ピン 16) と VDRAIN ピン (ピン 17) がオンになります。

パワーダウン時は、以下に示すシーケンス・ステップに従ってください。

1. EN を 0V に設定します。3.3V から 0V に遷移すると、VDRAIN と VGATE がオフになります。
2. VNEG ピンを 0V に設定します。内部生成電圧を使用する場合、このステップは必要ありません。
3. VDD を 0V に設定します。
4. S1 を 0V に設定します。
5. VDIG を 0V に設定します。

HMC980LP4E のバイアス制御回路をセットアップするときは、VDIG ピン電圧 (3.3V) または 0V を EN ピンに加えることによって、ADPA7002 のバイアスのオン/オフを切り替えることができます。EN ピンを VDIG 電圧に設定すると VGATE ピンが -1.5V に下がり、VDRAIN ピンが +5V でオンになって、IDRAIN が 800mA になるまで VGATE の電圧が上昇します。更に閉制御ループが IDRAIN を 800mA にレギュレーションします。EN を 0V に設定すると VGATE が自動的に -1.5V に設定され、VDRAIN は 0V に設定されます (図 56 と図 57 参照)。

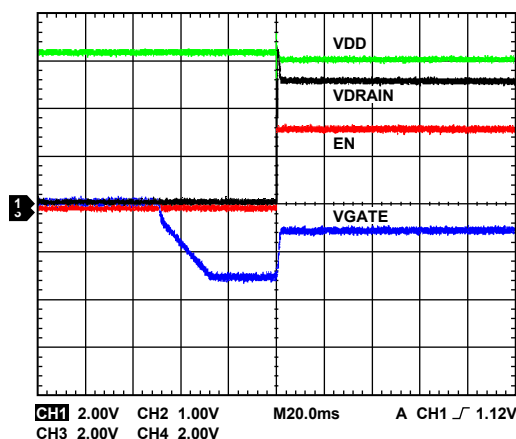


図 56. オン - ADPA7002 への HMC980LP4E 出力

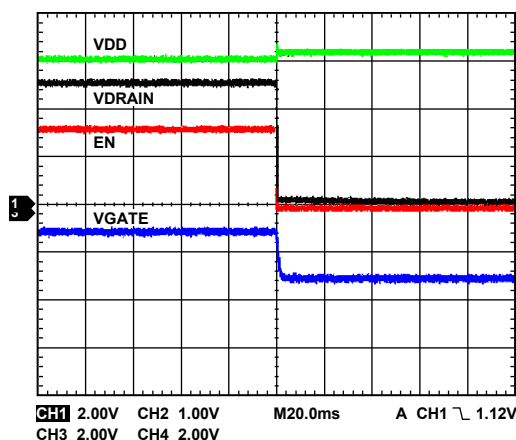


図 57. オフ - ADPA7002 への HMC980LP4E 出力

定ドレイン電流バイアシングと定ゲート電圧バイアシング

HMC980LP4E は、閉ループ・フィードバックを使用して連続的に VGATE を調整し、DC 電源の変動、温度変動、および部品ごとの変動がある場合でも、ゲート電流バイアスを一定に保ちます。定ドレイン電流バイアス法はキャリブレーション手順に要する時間を短縮し、時間による性能の変動をなくします。

RF パワーが加わると電流が増加する定ゲート電圧バイアスと比較して、定ドレイン電流では、出力 P1dB がわずかに低下します。HMC980LP4E が 1dB 圧縮ポイントに達すると、高入力パワー・レベル時のドレイン電流が定ゲート電圧バイアスの場合と比較して低下するため RF 性能も低下します。

バイアス電流設定値の値が大きくなった場合は、定ドレイン電流バイアスの出力 P1dB 性能が向上します。バイアス電流設定値を増加して約 1A にすると（図 61 参照）、出力 P1dB と出力パワーは、定ゲート電圧バイアシングによって実現できるレベルま

で増大します。バイアス電流を増大させた場合の定電流バイアスによる P_{OUT} と入力パワー (P_{IN}) の応答を図 59 に示します。

定電流動作時の I_{DD} の電流および温度限界は、通常、絶対最大定格の表の熱的制約（表 5 参照）と最大連続消費電流仕様によって設定されます。 I_{DD} が増加しても、出力 P1dB が無制限に増加することはありません。これは消費電力が増加するためです。したがって、定ドレイン電流バイアシングを使用するときは、消費電力と出力 P1dB 性能のトレードオフを考慮する必要があります。

HMC980LP4E のテスト

HMC980LP4E を使いアプリケーション・ノードで ADPA7002 をバイアスした後、その結果を図 58～図 61 と比較して、バイアシング手順が正しいことを確認してください。図 58～図 61 の測定値はダイ（ADPA7002CHIP）のものですが、ADPA7002 の測定値も同様の値を示します。

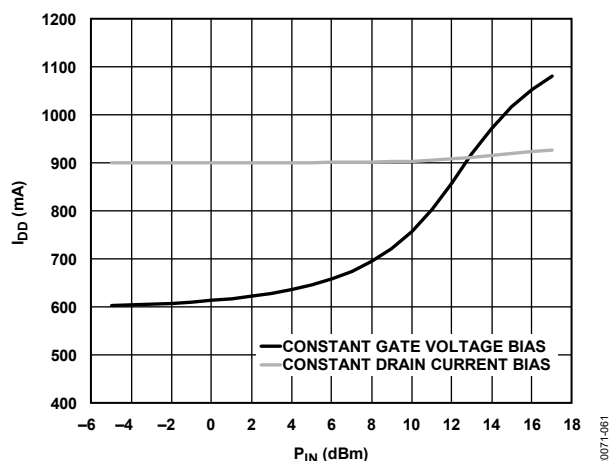


図 58. I_{DD} と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

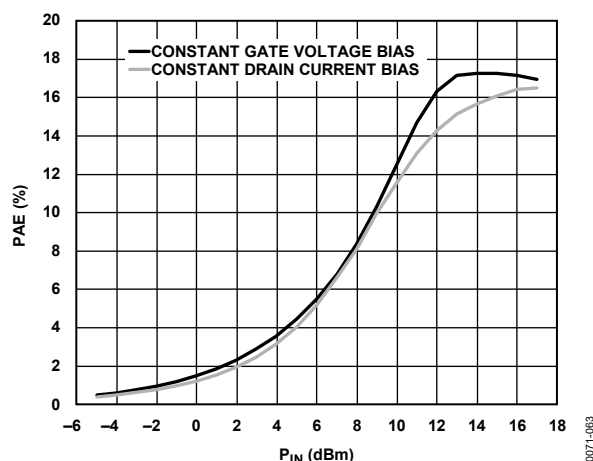


図 60. PAE と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

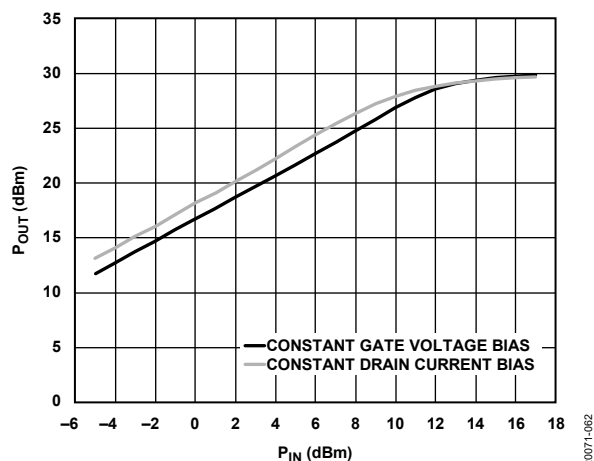


図 59. P_{OUT} と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

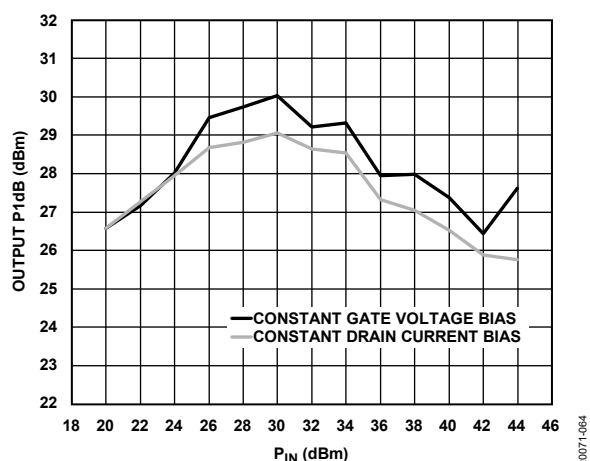


図 61. 出力 P1dB と P_{IN} の関係、 $V_{DD} = 5V$ 、周波数 = 32GHz、定電流バイアスと定電圧バイアス

外形寸法

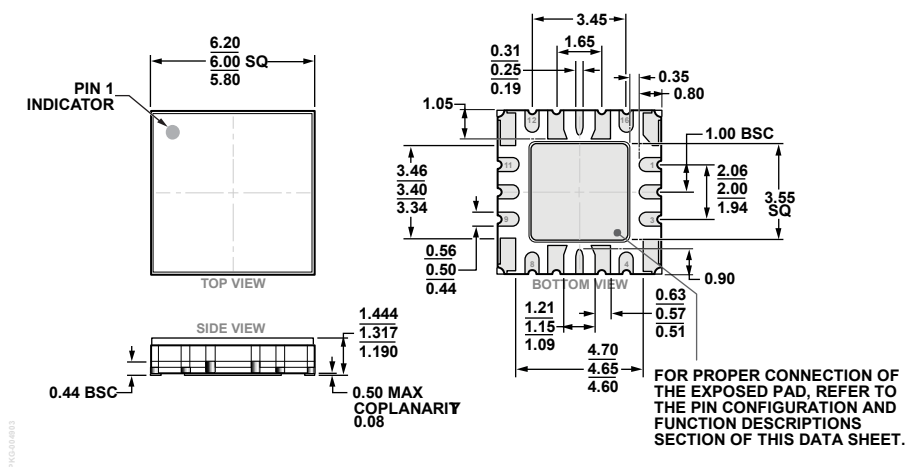


図 62. ヒート・シンク付き 16 端子セラミック・リードレス・チップ [LCC_HS]
(EH-16-1)
寸法 (ミリ単位)

オーダー・ガイド

Model ¹	Temperature Range	Moisture Sensitivity Level (MSL) Rating ²	Package Description	Package Option
ADPA7002AEHZ	-40°C to +85°C	MSL3	16-Terminal Ceramic LCC_HS	EH-16-1
ADPA7002AEHZ-R7	-40°C to +85°C	MSL3	16-Terminal Ceramic LCC_HS	EH-16-1
ADPA7002-EVALZ			Evaluation PCB	

¹ Z = RoHS 準拠製品。

² MSL 定格の詳細については絶対最大定格のセクションを参照してください。