



# 周囲光の除去性能と 2 個の LED を備えた内蔵型光学モジュール

データシート

ADPD188GG

## 特長

- 光学部品を内蔵した 3.8mm × 5.0mm × 0.9mm モジュール
- 緑色 LED2 個、IR カット・フィルタ付き PD2 個
- 2 つの外付けセンサー入力
- 3 個の 370mA LED ドライバ
- 1 周期で 20 ビットのサンプリングが可能な 20 ビット・バースト・アキュムレータ
- アキュムレータをサンプリングするオンボード・サンプリングにより、1 回で最大 27 ビットのデータ読出しが可能
- カスタムの光パッケージによりガラス窓の下で機能
- 信号が制限されている場合に最適な S/N 比
- I<sup>2</sup>C または SPI 通信

## アプリケーション

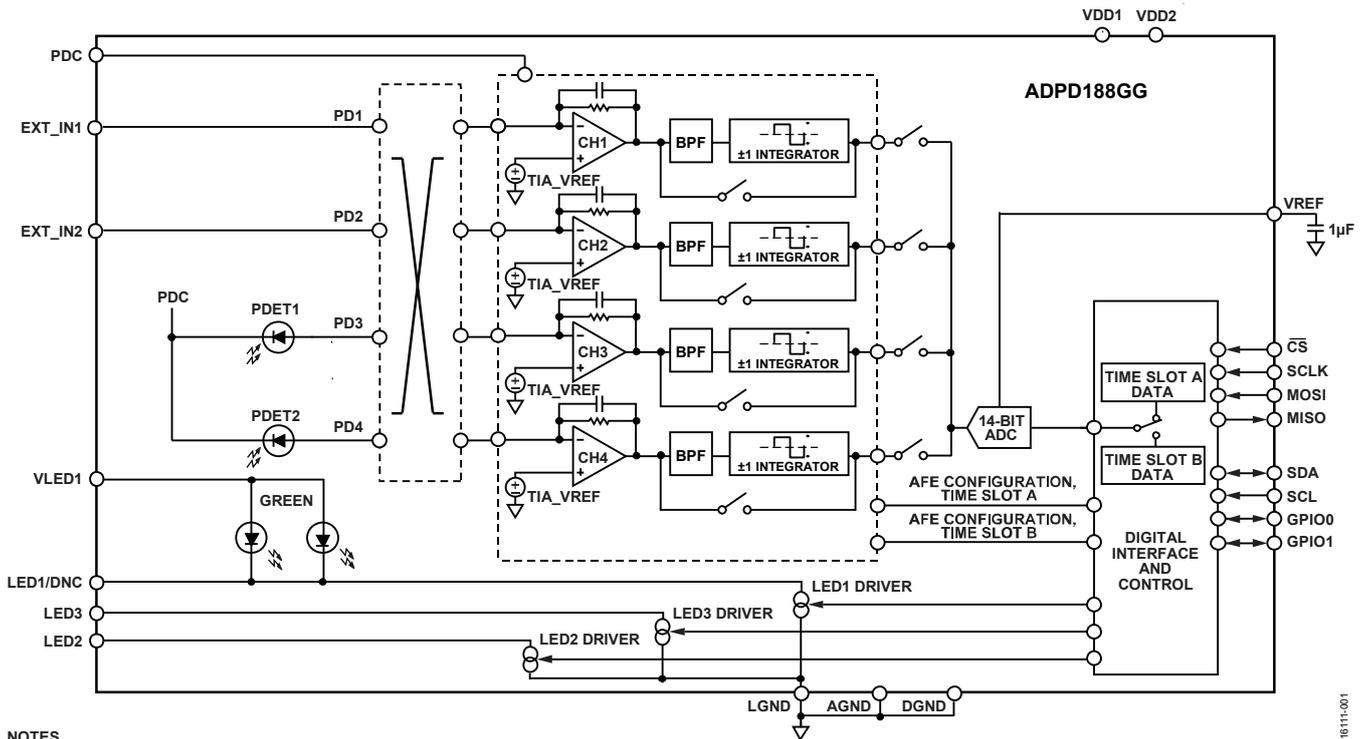
- 光学式の心拍数のモニタリング
- 反射 SpO<sub>2</sub> の測定
- CNIBP 測定

## 概要

ADPD188GG は、周辺光や同期反射発光ダイオード (LED) パルスの光学信号を測定するために設計された、フル性能のフォトメトリック・システムです。同期測定により、DC と AC の両方でクラス最高の周辺光干渉の除去を実現します。このモジュールは、効率が高いフォトメトリック・フロントエンド、LED2 個、フォトダイオード (PD) 2 個を内蔵しています。これらの項目はすべて、LED の光が、対象物に照射されず、フォトダイオードに直接入射されることを防ぐカスタムのパッケージに納められています。

特定用途向け集積回路 (ASIC) のフロントエンドは、制御ブロック、14 ビット A/D コンバータ (ADC) と 20 ビット・バースト・アキュムレータ、3 個の個別に構成可能で柔軟な LED ドライバを搭載しています。制御回路には、柔軟な LED 伝送機能と同期検出機能が備わっています。アナログ・フロント・エンド (AFE) は、一般に周囲光によって生じる変調干渉に起因する信号のオフセットや、破損を阻止するクラス最高レベルの能力を備えています。データ出力と機能設定は、1.8V I<sup>2</sup>C インターフェースまたはシリアル・ペリフェラル・インターフェース (SPI) を介して行われます。

## 機能ブロック図



NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN WHEN USING INTERNAL LEDs.

☒ 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

16111-001

## 目次

特長.....	1	代表的な接続図.....	22
アプリケーション.....	1	ランド・パターン.....	22
概要.....	1	推奨されるスタートアップ・シーケンス.....	23
機能ブロック図.....	1	データの読出し.....	23
改訂履歴.....	2	クロックとタイミングのキャリブレーション.....	24
仕様.....	3	GPIO0 と GPIO1 で利用できるオプションのタイ ミング信号.....	25
アナログ仕様.....	5	LED ドライバのピンと LED 電源電圧.....	26
デジタル仕様.....	6	LED ドライバの動作.....	26
タイミング仕様.....	7	平均電流の決定.....	27
絶対最大定格.....	9	C <sub>VLED</sub> の決定.....	27
熱抵抗.....	9	外部 LED の使用.....	28
推奨のハンダ付けプロファイル.....	9	消費電流の計算.....	28
ESD に関する注意.....	9	ADPD188GG のカバーに関する機構上の留意点.....	29
ピン配置およびピン機能の説明.....	10	TIA ADC モード.....	29
代表的な性能特性.....	11	パルス接続モード.....	32
動作原理.....	13	TIAADC モードを使用した ECG と PPG の同期測定.....	33
はじめに.....	13	フロート・モード.....	34
光学部品.....	13	レジスタの一覧.....	41
デュアル・タイム・スロット動作.....	14	LED 制御レジスタ.....	45
タイム・スロットの切替え.....	15	AFE 設定レジスタ.....	47
調整可能なサンプリング周波数.....	16	フロート・モード・レジスタ.....	50
サンプリングの外部同期.....	16	システム・レジスタ.....	53
ステート・マシンの動作.....	16	ADC レジスタ.....	57
通常モードの動作とデータ・フロー.....	17	データ・レジスタ.....	58
通信インターフェース.....	19	外形寸法.....	59
I <sup>2</sup> C インターフェース.....	19	オーダー・ガイド.....	59
SPI ポート.....	20		
アプリケーション情報.....	22		

## 改訂履歴

2/2018–Revision 0: Initial Version

## 仕様

特に指定のない限り、VDD1 および VDD2 に印加される電圧 (V<sub>DD</sub>) = 1.8V、T<sub>A</sub> = 全動作温度範囲。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CURRENT CONSUMPTION	See the Calculating Current Consumption section for the relevant equations				
Peak V <sub>DD</sub> Supply Current	Single-channel (Register 0x3C, Bits[8:3] = 0x38)		4.5		mA
V <sub>DD</sub> Standby Current			0.3		μA
Average V <sub>DD</sub> Supply Current	100 Hz data rate; LED offset = 25 μs; LED pulse period (t <sub>LED_PERIOD</sub> ) = 13 μs; LED peak current = 25 mA				
1 Pulse	Time Slot A only		53		μA
	Time Slot B only		41		μA
	Both Time Slot A and Time Slot B		76		μA
10 Pulses	Time Slot A only		107		μA
	Time Slot B only		95		μA
	Both Time Slot A and Time Slot B		184		μA
Average V <sub>LED</sub> Supply Current	LED peak current = 25 mA				
1 Pulse	50 Hz data rate		3.75		μA
	100 Hz data rate		7.5		μA
	200 Hz data rate		15		μA
10 Pulses	50 Hz data rate		38		μA
	100 Hz data rate		75		μA
	200 Hz data rate		150		μA
SATURATION ILLUMINANCE <sup>1</sup>	Blackbody color temperature (T = 5500 K) <sup>2</sup> , PDET1 and PDET2 multiplexed into a single channel (1.2 mm <sup>2</sup> active area)				
Direct Illumination	Transimpedance amplifier (TIA) gain = 25 kΩ		58.8		kLux
	TIA gain = 50 kΩ		29.4		kLux
	TIA gain = 100 kΩ		14.7		kLux
	TIA gain = 200 kΩ		7.4		kLux
DATA ACQUISITION					
ADC Resolution	Single pulse		14		Bits
Per Sample	64 pulses to 255 pulses		20		Bits
Per Data Read	64 pulses to 255 pulses; 128 samples averaged		27		Bits
LED PERIOD	AFE width = 4 μs <sup>3</sup>	13	19		μs
	AFE width = 3 μs	11	17		μs
Sampling Frequency <sup>4</sup>	Time Slot A or Time Slot B; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		2000	Hz
	Both time slots; normal mode; 1 pulse; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Time Slot A or Time Slot B; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1600	Hz
	Both time slots; normal mode; 8 pulses; SLOTA_LED_OFFSET = 23 μs; SLOTA_PERIOD = 19 μs	0.122		1000	Hz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CATHODE PIN (PDC) VOLTAGE					
During All Sampling Periods	Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 <sup>5</sup> Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0		1.8 1.3		V V
During Time Slot A Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x0 <sup>5</sup> Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x1 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x2		1.8 1.3 TIA_VREF + 0.25		V V V
During Time Slot B Sampling	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[9:8] = 0x3 <sup>6</sup> Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x0 <sup>5</sup> Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x1 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x2		0 1.8 1.3 TIA_VREF + 0.25		V V V V
During Sleep Periods	Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[11:10] = 0x3 <sup>6</sup> Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 1 Register 0x54, Bit 7 = 0x0; Register 0x3C, Bit 9 = 0 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x0 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x1 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x2 Register 0x54, Bit 7 = 0x1; Register 0x54, Bits[13:12] = 0x3		0 1.8 1.3 1.8 1.3 TIA_VREF + 0.25 0		V V V V V V V
LEDs					
LED Peak Current Setting	Adjustable via the Register 0x22 through Register 0x25 settings	12		370	mA
Dominant Wavelength <sup>7</sup>					
LED1; Green LED	I <sub>F</sub> = 40 mA		525		nm
Luminous Intensity	λ = 525 nm, I <sub>F</sub> = 40 mA at 25°C	2800		3200	mcad
Photodiode					
Responsivity	Wavelength, λ = 525 nm		0.25		A/W
Active Area					
Photodiode 1			0.4		mm <sup>2</sup>
Photodiode 2			0.8		mm <sup>2</sup>
POWER SUPPLY VOLTAGES	The ADPD188GG does not require a specific power-up sequence				
V <sub>DD</sub>	Applied at the VDD1 and VDD2 pins	1.7	1.8	1.9	V
V <sub>LED1</sub> <sup>8,9</sup>		4	4.5	5.0	V
DC Power Supply Rejection Ratio (PSRR)	At 75% full scale input signal		24		dB
TEMPERATURE RANGE					
Operating		-40		+85	°C

<sup>1</sup> 飽和輝度は、ADPD188GG 信号が飽和する周辺光の量です。実際の結果は、典型的な仕様から最大 2 倍のファクタで逸脱することがあります。判断の基準として、エアマス 1.5 (AM1.5) の太陽光 (最も明るい太陽光) は 100kLux を生成します。

<sup>2</sup> 黒体の色温度 (T = 5800K) は、太陽放射 (太陽光) が生成する光と厳密に一致します。

<sup>3</sup> 最小 LED 期間 = (2 × AFE 幅) + 5μs。

<sup>4</sup> この仕様に示す最大値は、通常動作モードにおける ADC の内部サンプリング・レートです。構成によっては、I<sup>2</sup>C の読出しレートが原因で出力データ・レートが制限を受ける可能性があります。

<sup>5</sup> このモードは、追加のノイズを誘発する可能性があり、必要な場合以外は推奨できません。1.8V 設定では、アノード電圧に大量の差動電圧ノイズを含む V<sub>DD</sub> を使用します。アノードとカソード間の差動電圧によって、フォトダイオードの接合両端間に差動電流が流れます。この電流の大きさは C × dV/dt で表せます。

<sup>6</sup> フォトダイオードを使用する場合、この設定は推奨できません。これは、フォトダイオードに 1.3V の順方向バイアスがかかるためです。

<sup>7</sup> I<sub>F</sub> はダイオードの順方向電流です。

<sup>8</sup> LEDx/DNC ピンに接続されている LED のオン電圧で、目的の最大 LED 電流を達成できる V<sub>LEDx</sub> を設定します。LEDx/DNC ピンは LEDx ドライバに接続され、電流シンクとしてモデリングできます (図 1)。適切な V<sub>LEDx</sub> を使用することで、LEDx/DNC ピンの電圧は LED オン電圧と LED 電流に対応するよう自動的に調整されます。

<sup>9</sup> 最低 VLED 電源電圧 V<sub>LED</sub> の電流制限の詳細については、図 9 を参照してください。

## アナログ仕様

特に指定のない限り、VDD1 = VDD2 = 1.8V、T<sub>A</sub> = 全動作温度範囲。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
EXT_INx SERIES RESISTANCE (R_IN) <sup>1</sup>	Measured from -3 μA to +3 μA		6.5		kΩ
PULSED SIGNAL CONVERSIONS, 3 μs WIDE LED PULSE <sup>2</sup> ADC Resolution <sup>3</sup>	4 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		3.27 1.64 0.82 0.41		nA/LSB nA/LSB nA/LSB nA/LSB
ADC Saturation Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		26.8 13.4 6.7 3.35		μA μA μA μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		23.6 11.8 5.9 2.95		μA μA μA μA
PULSED SIGNAL CONVERSIONS, 2 μs WIDE LED PULSE <sup>2</sup> ADC Resolution <sup>3</sup>	3 μs wide AFE integration; normal operation, Register 0x43 and Register 0x45 = 0xADA5 TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		4.62 2.31 1.15 0.58		nA/LSB nA/LSB nA/LSB nA/LSB
ADC Saturation Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		37.84 18.92 9.46 4.73		μA μA μA μA
Ambient Signal Headroom on Pulsed Signal	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		12.56 6.28 3.14 1.57		μA μA μA μA
FULL SIGNAL CONVERSIONS <sup>4</sup> TIA Saturation Level Pulsed Signal and Ambient Level	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		50.4 25.2 12.6 6.3		μA μA μA μA
TIA Linear Range	TIA feedback resistor 25 kΩ 50 kΩ 100 kΩ 200 kΩ		42.8 21.4 10.7 5.4		μA μA μA μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSTEM PERFORMANCE					
Total Output Noise Floor	Normal mode; per pulse; per channel; no LED; photodiode capacitance ( $C_{PD}$ ) = 25 pF				
	25 k $\Omega$ ; referred to ADC input		1.0		LSB rms
	25 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		4.6		nA rms
	25 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		3.3		nA rms
	25 k $\Omega$ ; saturation signal-to-noise ratio (SNR) per pulse per channel <sup>5</sup>		78.3		dB
	50 k $\Omega$ ; referred to ADC input		1.1		LSB rms
	50 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		2.5		nA rms
	50 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		1.8		nA rms
	50 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		77.4		dB
	100 k $\Omega$ ; referred to ADC input		1.2		LSB rms
	100 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		1.4		nA rms
	100 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		0.98		nA rms
	100 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		76.7		dB
	200 k $\Omega$ ; referred to ADC input		1.4		LSB rms
	200 k $\Omega$ ; referred to peak input signal for 2 $\mu$ s LED pulse		0.81		nA rms
	200 k $\Omega$ ; referred to peak input signal for 3 $\mu$ s LED pulse		0.57		nA rms
	200 k $\Omega$ ; saturation SNR per pulse per channel <sup>5</sup>		75.3		dB

<sup>1</sup> 電流源入力または PD 入力では、R\_IN 値は無視できます。この値は、抵抗経路の電圧入力の正しい電圧の計算に重要です。

<sup>2</sup> この飽和レベルは ADC のみに適用されるので、パルス信号のみが含まれています。パルス以外の信号は、ADC 段より前で除去されています。

<sup>3</sup> ADC 分解能は、パルスごとに記載されます。複数のパルスを使用する場合は、パルス数で除してください。

<sup>4</sup> この飽和レベルは信号バス全体に適用されるので、周辺信号とパルス信号の両方が含まれています。

<sup>5</sup> 飽和 SNR 値のノイズ項は受信ノイズのみを表し、光子撮影ノイズや LED 信号自体に重畳されるノイズは一切含まれていません。

## デジタル仕様

特に指定のない限り、VDD1 = VDD2 = 1.7V~1.9V。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS						
Input Voltage Level						
High	$V_{IH}$	GPIOx, SCLK, MOSI, $\overline{CS}$	$0.7 \times VDDx$		$VDDx$	V
High	$V_{IH}$	SCL, SDA	$0.7 \times VDDx$		3.6	V
Low	$V_{IL}$				$0.3 \times VDDx$	V
Input Current Level						
High	$I_{IH}$		-10		+10	$\mu$ A
Low	$I_{IL}$		-10		+10	$\mu$ A
Input Capacitance	$C_{IN}$			10		pF
LOGIC OUTPUTS						
Output Voltage Level						
High	$V_{OH}$	GPIOx, MISO	$VDDx - 0.5$			V
Low	$V_{OL}$	2 mA high level output current			0.5	V
Low	$V_{OL1}$	2 mA low level output current			$0.2 \times VDDx$	V
Output Current Level						
Low	$I_{OL}$	SDA $V_{OL1} = 0.6$ V	6			mA

タイミング仕様  
I<sup>2</sup>C タイミングの仕様

表 4.

Parameter	Symbol	Min	Typ	Max	Unit
SCL					
Frequency			1		Mb/sec
Minimum Pulse Width					
High	$t_1$	370			ns
Low	$t_2$	530			ns
START CONDITION					
Hold Time	$t_3$	260			ns
Setup Time	$t_4$	260			ns
SDA SETUP TIME	$t_5$	50			ns
SCL AND SDA					
Rise Time	$t_6$			120	ns
Fall Time	$t_7$			120	ns
STOP CONDITION					
Setup Time	$t_8$	260			ns

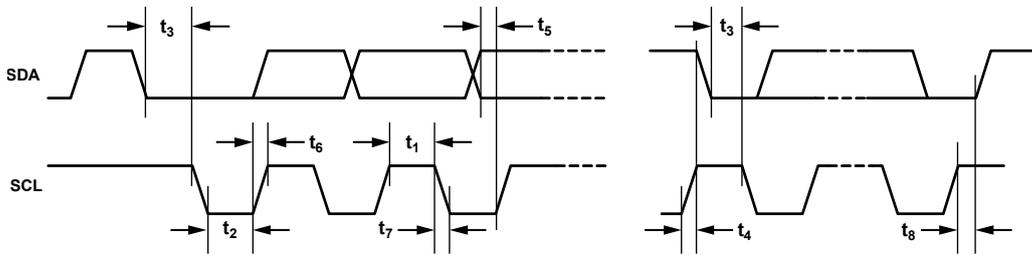


図 2. I<sup>2</sup>C タイミング図

16111-002

SPI タイミング仕様

表 5.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SCLK						
Frequency	$f_{SCLK}$				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		20			ns
Low	$t_{SCLKPWL}$		20			ns
CS						
Setup Time	$t_{CSS}$	$\overline{CS}$ setup to SCLK rising edge	10			ns
Hold Time	$t_{CSH}$	$\overline{CS}$ hold from SCLK rising edge	10			ns
Pulse Width High	$t_{CSPWH}$	$\overline{CS}$ pulse width high	10			ns
MOSI						
Setup Time	$t_{MOSIS}$	MOSI setup to SCLK rising edge	10			ns
Hold Time	$t_{MOSIH}$	MOSI hold from SCLK rising edge	10			ns
MISO OUTPUT DELAY	$t_{MISOD}$	MISO valid output delay from SCLK falling edge			21	ns

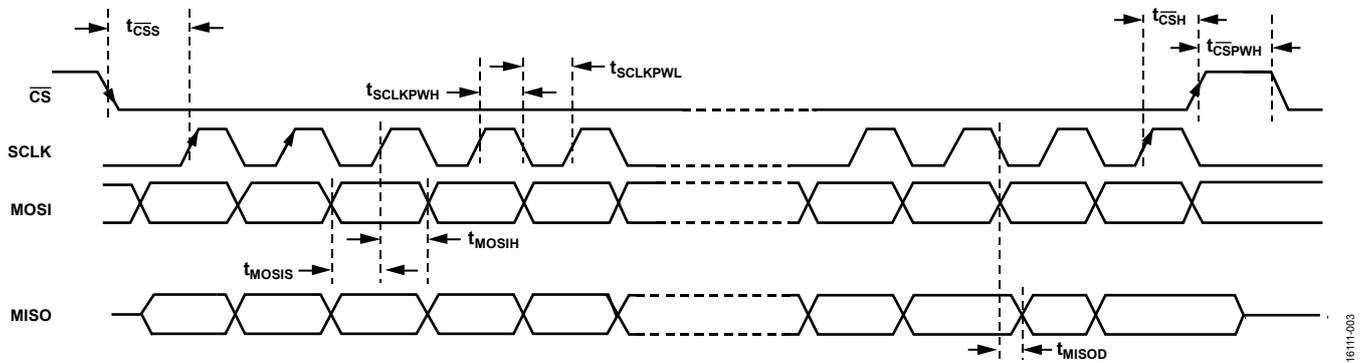


図 3. SPI タイミング仕様

16111-003

## 絶対最大定格

表 6.

Parameter	Rating
VDD1, VDD2 to AGND	-0.3 V to +2.2 V
VDD1, VDD2 to DGND	-0.3 V to +2.2 V
EXT_IN1/EXT_IN2	-0.3 V to +2.2 V
GPIO0/GPIO1 to DGND	-0.3 V to +2.2 V
MISO/MOSI/SCLK/ $\overline{\text{CS}}$ to DGND	-0.3 V to +2.2 V
LEDx/DNC to LGND	-0.3 V to +3.6 V
SCL/SDA to DGND	-0.3 V to +3.6 V
VLEDx to LGND <sup>1</sup>	-0.3 V to +5.0 V
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	3000 V
Charged Device Model (CDM)	1250 V
Machine Model (MM)	100 V
Solder Reflow (Pb-Free)	
Peak Temperature	260 (+0/-5)°C
Time at Peak Temperature	<30 sec
Temperature Range	
Powered	-40°C to +85°C
Storage	-40°C to +105°C
Junction Temperature	105°C

<sup>1</sup> VLEDx と LGND の間で許容できる絶対最大電圧は、LEDx/DNC ピンが絶対最大電圧に到達するか超過する電圧です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 7. 熱抵抗

Package Type <sup>1</sup>	Supply Pins	$\theta_{JA}$	Unit
CE-24-1			
ASIC	VDD1, VDD2	67	°C/W
LED1	VLED1	156	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は、JEDEC 2S2P と 2 個のサーマル・ビアに基づいています。JEDEC JESD51 を参照してください。

## 推奨のハンダ付けプロファイル

図 4 と表 8 に、推奨されるハンダ処理プロファイルの詳細を示します。

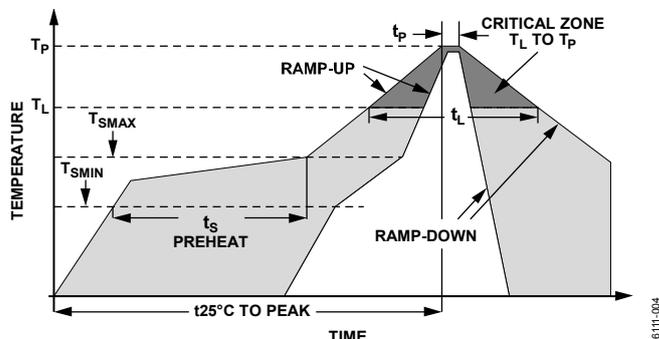


図 4. 推奨のハンダ付けプロファイル

表 8. 推奨のハンダ付けプロファイル

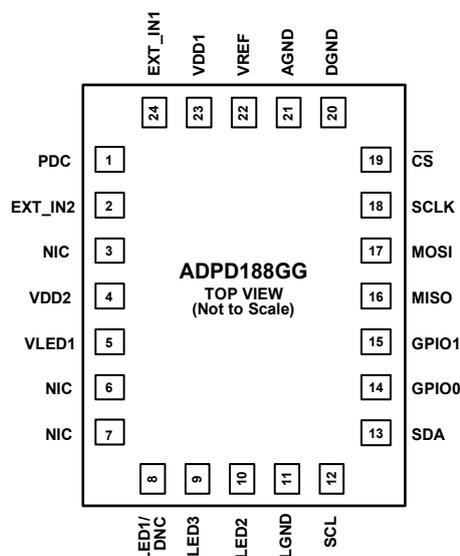
Profile Feature	Condition (Pb-Free)
Average Ramp Rate (T <sub>L</sub> to T <sub>P</sub> )	2°C/sec max
Preheat	
Minimum Temperature (T <sub>SMIN</sub> )	150°C
Maximum Temperature (T <sub>SMAX</sub> )	200°C
Time, T <sub>SMIN</sub> to T <sub>SMAX</sub> (t <sub>s</sub> )	60 sec to 120 sec
T <sub>SMAX</sub> to T <sub>L</sub> Ramp-Up Rate	2°C/sec max
Time Maintained Above Liquidous Temperature	
Liquidous Temperature (T <sub>L</sub> )	217°C
Time (t <sub>L</sub> )	60 sec to 150 sec
Peak Temperature (T <sub>P</sub> )	260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature (t <sub>p</sub> )	<30 sec
Ramp-Down Rate	3°C/sec max
Time 25°C to Peak Temperature	8 minutes max

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明



- NOTES**
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN WHEN USING INTERNAL LEDs.
  2. NIC = NO INTERNAL CONNECTION.

1611-905

図 5. ピン配置

表 9. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	PDC	AO	フォトダイオードのコモン・カソード・バイアス。
2	EXT_IN2	AI	EXT_IN2 電流入力。
3	NIC	NIC	内部接続されていません。このピンは、内部では接続されません。
4	VDD2	S	1.8V 電源。
5	VLED1	S	緑色 LED アノード電源電圧。
6	NIC	NIC	内部接続されていません。このピンは、内部では接続されません。
7	NIC	NIC	内部接続されていません。このピンは、内部では接続されません。
8	LED1/DNC	AO/DNC	LED1 ドライバ電流シンク (LED1) / 接続なし (DNC)。内部 LED を使用する場合はこのピンに接続しないでください。
9	LED3	AO	LED3 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
10	LED2	AO	LED2 ドライバの電流シンク。使用しない場合、このピンはフロート状態のままにしておきます。
11	LGND	S	LED ドライバのグラウンド。
12	SCL	DI	I <sup>2</sup> C クロック入力。
13	SDA	DO	I <sup>2</sup> C データ出力。
14	GPIO0	DIO	汎用入出力 0。
15	GPIO1	DIO	汎用入出力 1。
16	MISO	DO	SPI マスタ入力/スレーブ出力。
17	MOSI	DI	SPI マスタ出力/スレーブ入力。
18	SCLK	DI	SPI クロック入力。
19	CS	DI	SPI チップ・セレクト (アクティブ・ロー)。
20	DGND	S	デジタル・グラウンド。
21	AGND	S	アナログ・グラウンド。
22	VREF	REF	内部で生成される ADC 電圧リファレンス。VREF から 1μF セラミック・コンデンサをグラウンドに接続してください。
23	VDD1	S	1.8V 電源。
24	EXT_IN1	AI	EXT_IN1 電流入力。

<sup>1</sup> AO はアナログ出力、AI はアナログ入力、NIC は内部接続なし、S は電源、DNC は接続なし、DI はデジタル入力、DO はデジタル出力、DIO はデジタル入力/出力、REF はアナログ・リファレンスです。

代表的な性能特性

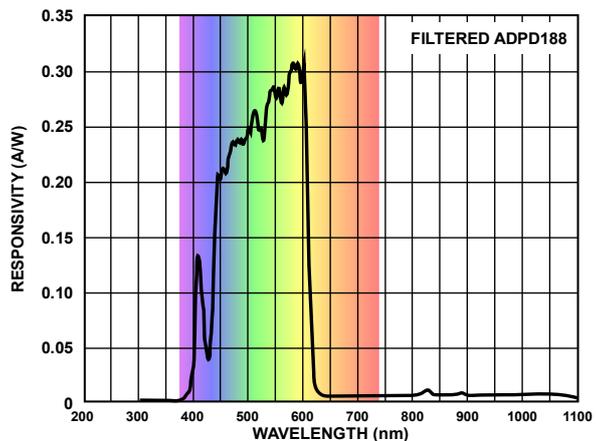


図 6. 典型的なフォトダイオード感度

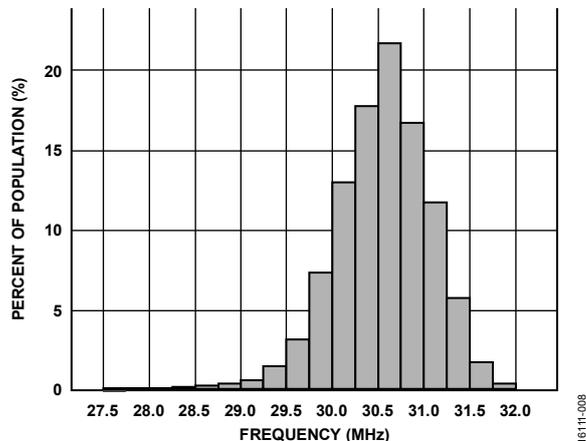


図 8. 32MHz クロック周波数の分布、デフォルト設定、ユーザによるキャリブレーションの前、レジスタ 0x4D = 0x425E

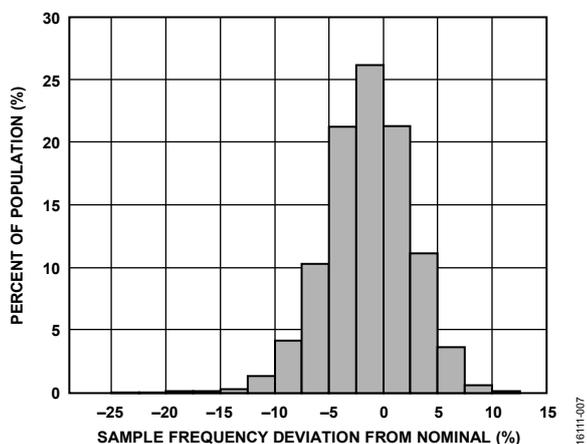


図 7. 32kHz クロック周波数の分布、デフォルト設定、ユーザによるキャリブレーションの前、レジスタ 0x4B = 0x2612

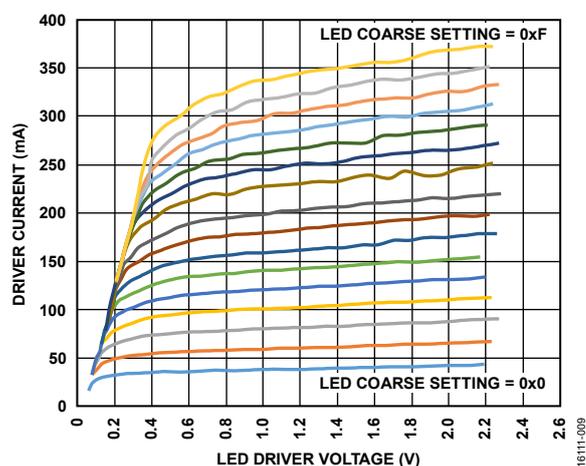


図 9. 各種のおおまかな設定における LED ドライバ電流と LED ドライバ電圧の関係

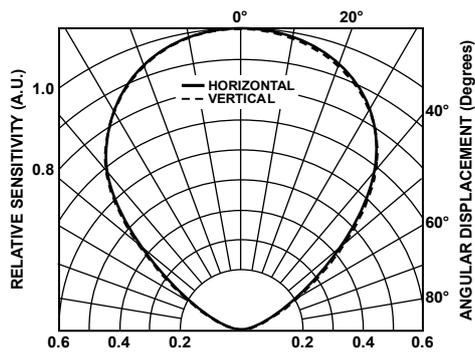


図 10. PD1 相対感度と角度変位の関係

16111-110

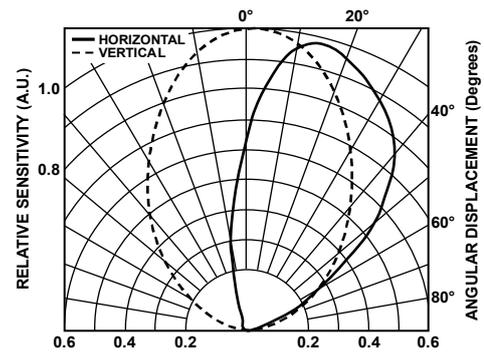


図 12. LED 相対強度と角度変位の関係

16111-112

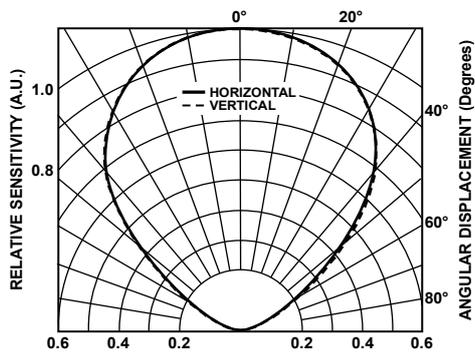


図 11. PD2 相対感度と角度変位の関係

16111-111

## 動作原理

### はじめに

ADPD188GG は、光電式容積脈波記録法 (PPG) 測定用に設計された内蔵光学モジュールです。モジュールには、2つの光学ディテクタがあります。フォトダイオード1 (PDET1) のアクティブ領域は  $0.4\text{mm}^2$ 、ASIC のチャンネル3に接続されます。フォトダイオード2 (PDET2) のアクティブ領域は  $0.8\text{mm}^2$ 、ASIC のチャンネル4に接続されます。 $1.2\text{mm}^2$  のアクティブ領域を使用して、2つのフォトダイオードを1つのディテクタに結合できます。両方のフォトダイオードは、赤外 (IR) カット・フィルタでコーティングされ、周辺光の除去を最大化し、他の光キャンセル技術は不要です。

モジュールは、緑色の LED 2個、ミックスド・シグナル、フォトメトリック・フロントエンド ASIC を使用して、デュアル・フォトディテクタを光学測定のための1台のコンパクトなデバイスに結合します。オンボード ASIC には、アナログ信号処理ブロック、ADC、デジタル信号処理ブロック、I<sup>2</sup>C、SPI 通信インターフェース、3個の独立したプログラマブル・パルス LED 電流源が搭載されています。

コア回路は複数の LED を励起して、個別のデータ保管場所で応答する光リターン信号を測定します。出力レジスタまたはファースト・イン・ファースト・アウト (FIFO) バッファからデータを読み出します。

この高集積システムは、周辺光の制御が不十分で、信号の変調比が低い環境で適切に動作します。その結果、デバイスは比較的低い LED 電力で高い S/N 比を生成します。

### 光学部品

#### フォトダイオード

ADPD188GG は、 $1.2\text{mm}^2$  ディープ接合フォトダイオードを内蔵しています。光学センシング領域は、ASIC でチャンネル PD3 とチャンネル PD4 に接続されているデュアル・ディテクタです。フォトダイオードは、タイム・スロット A またはタイム・スロット B からアクセスできます。ADPD188GG フォトダイオードの感度を図 6 に示します。

#### LED

ADPD188GG モジュールは、2個の緑色 LED を内蔵しています。

表 10. LED の主要な波長

LED Color	Driver	Typical Wavelength (nm)
Green (2×)	LED1	525

ADPD188GG は内蔵 LED の他に、外部 LED を駆動できます。

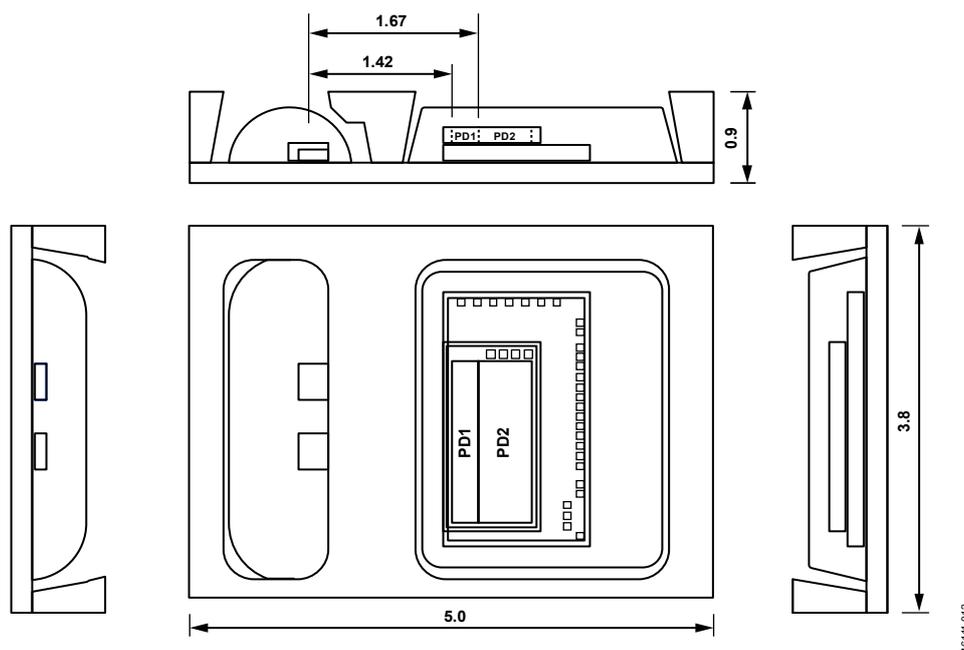


図 13. 光学部品の場所

デュアル・タイム・スロット動作

ADPD188GGは、順番に実行される2つの独立したタイム・スロット、つまりタイム・スロット A とタイム・スロット B で動作します。LED を励起してからデータをキャプチャし、処理を実行するまでの信号パス全体が、各タイム・スロット内で実行されます。各タイム・スロットには個別のデータパスがあります。これらのデータパスは、LED ドライバ、AFE のセットアップ、結果データごとに、独立した設定を使用します。タイム・スロット A とタイム・スロット B は、図 14 に示すように、サンプリング期間ごとに順番に動作します。

図 14 のタイミング・パラメータは、次のように定義されます。

$$t_A (\mu\text{s}) = 25 + n_A \times 19$$

ここで、 $n_A$  はタイム・スロット A に対応するパルス数（レジスタ 0x31 のビット [15:8]）です。

$$t_B (\mu\text{s}) = 25 + n_B \times 19$$

ここで、 $n_B$  はタイム・スロット B に対応するパルス数（レジスタ 0x36 のビット [15:8]）です。

$t_1 = 68\mu\text{s}$ 、タイム・スロット A の処理時間

$t_2 = 20\mu\text{s}$ 、タイム・スロット B の処理時間

$f_{\text{SAMPLE}}$  はサンプル周波数です（レジスタ 0x12 のビット [15:0]）。

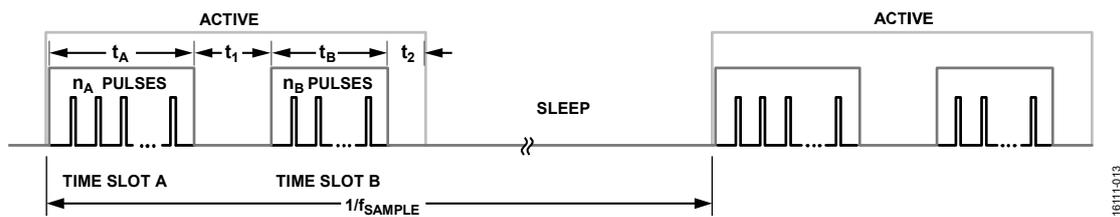


図 14. タイム・スロットのタイミング図

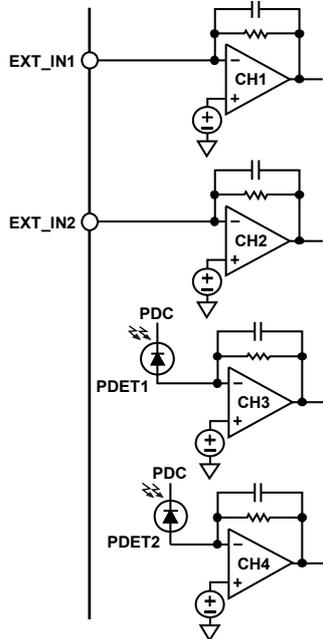
表 11. 推奨される AFE および LED のタイミング設定

Register Name	Address		Recommended Setting
	Time Slot A	Time Slot B	
SLOTx_LEDMODE	0x30	0x35	0x0319
SLOTx_AFEMODE	0x39	0x3B	0x2209

タイム・スロットの切替え

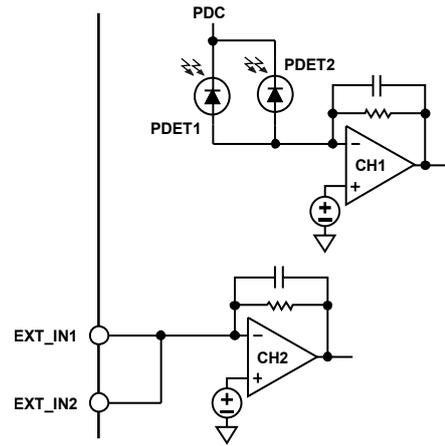
レジスタ 0x14 の設定によっては、4つの入力チャンネルの複数の構成がサポートされています。内蔵されたフォトダイオードは、チャンネル3とチャンネル4にルーティングするか、チャンネル1で総計を計算できます。外部EXT\_IN1およびEXT\_IN2入力は、それぞれチャンネル1およびチャンネル2にルーティングするか、チャンネル2で総計を計算できます。サポートされる構成については、図15および図16を参照してください。図15および図16では、PDET1はフォトダイオード1、PDET2はフォトダイオード2です。

タイム・スロット・スイッチのレジスタについては、表12を参照してください。デバイスが正しく動作するように、未使用の入力はフロート状態のままにしておくことが重要です。フォトダイオードの入力は電流ですが、これらのピンは電圧を出力することもみなされます。これらの入力をいずれかの電圧に接続すると、アナログ・ブロックが飽和する可能性があります。



INPUT CONFIGURATION FOR REGISTER 0x14[11:8] = 5 REGISTER 0x14[7:4] = 5

図 15. PD1~PD4 の接続



INPUT CONFIGURATION FOR REGISTER 0x14[11:8] = 1 REGISTER 0x14[7:4] = 1

図 16. 電流の合計

18111-015

表 12. タイム・スロット・スイッチ (レジスタ 0x14)

アドレス	ビット	名前	説明
0x14	[11:8]	SLOTB_PD_SEL	<p>図15と図16に示すように、これらのビットは、タイム・スロット B に接続する入力チャンネルを選択します。</p> <p>0x0: タイム・スロット B の入力はフロート状態です。</p> <p>0x1: タイム・スロット B の期間中、PDET1 と PDET2 をチャンネル 1 に接続し、EXT_IN1 と EXT_IN2 をチャンネル 2 に接続します。</p> <p>0x5: タイム・スロット B の期間中、EXT_IN1 をチャンネル 1 に接続し、EXT_IN2 をチャンネル 2 に接続し、PDET1 をチャンネル 3 に接続し、PDET2 をチャンネル 4 に接続します。</p> <p>その他: 予備。</p>
	[7:4]	SLOTA_PD_SEL	<p>図15と図16に示すように、これらのビットは、タイム・スロット A に接続する入力チャンネルを選択します。</p> <p>0x0: タイム・スロット A の入力はフロート状態です。</p> <p>0x1: タイム・スロット A の期間中、PDET1 と PDET2 をチャンネル 1 に接続し、EXT_IN1 と EXT_IN2 をチャンネル 2 に接続します。</p> <p>0x5: タイム・スロット A の期間中、EXT_IN1 をチャンネル 1 に接続し、EXT_IN2 をチャンネル 2 に接続し、PDET1 をチャンネル 3 に接続し、PDET2 をチャンネル 4 に接続します。</p> <p>その他: 予備。</p>

## 調整可能なサンプリング周波数

レジスタ 0x12 は ADPD188GG のサンプリング周波数設定を制御し、レジスタ 0x4B のビット [5:0] は精度を上げるために、更にこのクロックを調整します。サンプリング周波数は内蔵の 32kHz サンプル・レート・クロックで管理されますが、このクロックは内部ステート・マシンの遷移にも使われます。一部のサンプリング条件に対する最大サンプリング周波数を表 1 に示します。すべての条件に対する最大サンプル周波数  $f_{SAMPLE\_MAX}$  は、次式で決定されます。

$$f_{SAMPLE\_MAX} = 1/(t_A + t_I + t_B + t_2 + t_{SLEEP\_MIN})$$

ここで、 $t_{SLEEP\_MIN}$  は、複数のサンプリングの間で必須の最小スリープ時間です。 $t_A$ 、 $t_I$ 、 $t_B$ 、 $t_2$  の各定義については、デュアル・タイム・スロット動作のセクションを参照してください。

特定のタイム・スロットを使用しない場合、そのタイム・スロットに属する要素は計算に寄与しません。例えば、タイム・スロット A を使用しない場合、 $t_A$  と  $t_I$  はサンプリング期間に寄与しません。この場合、新しいサンプリング周波数は次のように計算されます。

$$f_{SAMPLE\_MAX} = 1/(t_B + t_2 + t_{SLEEP\_MIN})$$

## サンプリングの外部同期

ADPD188GG には、外部同期信号を使用してサンプリング周期をトリガするオプションがあります。この外部サンプリング同期信号は、GPIO0 ピンまたは GPIO1 ピンのどちらかに供給できます。この機能を制御するのは、レジスタ 0x4F のビット [3:2] です。この機能を有効にすると、次のサンプリング期間の開始時期は選択した入力の上上がりエッジによって指定されます。トリガされた時点で、1 つまたは 2 つのサンプリング・クロック (32kHz) 分の遅延が発生した後、通常のスタートアップ・シーケンスが開始されます。このシーケンスは、通常のサンプリング・タイマー期間でトリガを行う場合と同じです。外部同期信号を有効にするには、次の手順を使用します。

1. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
2. レジスタ 0x4F のビット [3:2] に適切な値を書き込み、GPIO0 と GPIO1 のどちらのピンが次のサンプリング・サイクルの開始時期を決定するか選択します。また、適切な入力バッファを有効にするため、GPIO0 ピンにはレジスタ 0x4F のビット 1 を使用し、GPIO1 ピンにはレジスタ 0x4F のビット 5 を使用します。
3. レジスタ 0x38 に 0x4000 を書き込みます。
4. レジスタ 0x10 に 0x2 を書き込み、サンプリング動作を開始します。
5. 選択したピンに対して、希望のレートで外部同期信号を印加します。サンプリングはこのレートで実施されます。通常のサンプリング動作の場合と同様、FIFO またはデータ・レジスタを使用してデータを読み出します。この場合も、最大周波数に関する制約が適用されます。

## 32 kHz 外部クロックの供給

ADPD188GG には、システム同期や、内部 32kHz クロックよりも高精度のクロックが必要な場合に備えて、外部 32kHz クロックを供給するオプションがあります。この 32kHz の外部クロックは、GPIO1 ピンのみに供給します。32kHz の外部クロックを有効にするには、スタートアップ時に次の手順に従います。

1. GPIO1 ピンを入力として使用する前に、GPIO1 を適切なロジック・レベルに設定するか、希望の 32kHz クロックで駆動します。このピンをフロート状態にしたまま、有効にすることを避けてください。
2. レジスタ 0x4F のビット [6:5] に 0x1 を書き込み、入力として GPIO1 ピンを有効にします。
3. レジスタ 0x4B のビット [8:7] に 0x2 を書き込み、32kHz の外部クロックを使用するようにデバイスを設定します。この設定により、32kHz の内部クロックは無効になり、32kHz の外部クロックが有効になります。
4. レジスタ 0x10 に 0x1 を書き込み、プログラム・モードに移行します。
5. デバイスがプログラム・モードの状態で、その他のコントロール・レジスタに任意の順番で書き込みを行い、必要に応じてデバイスを設定します。
6. レジスタ 0x10 に 0x2 を書き込み、通常のサンプリング動作を開始します。

## ステート・マシンの動作

各タイム・スロットにおいて、ADPD188GG はステート・マシンに従って動作します。ステート・マシンは、図 17 に示すシーケンスで動作します。

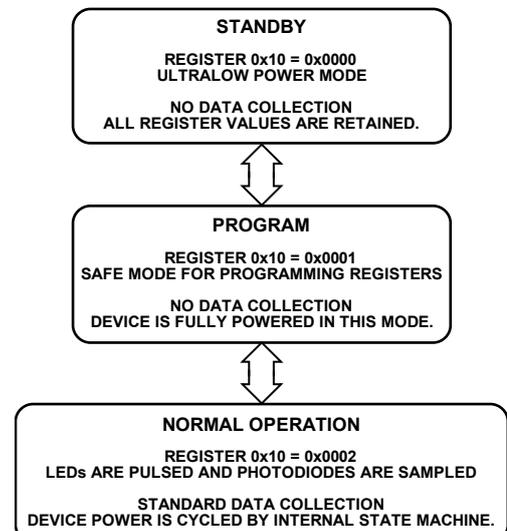


図 17. ステート・マシンの動作フローチャート

ADPD188GGは、スタンバイ・モード、プログラム・モード、通常サンプリング・モードの3モードのいずれか1つで動作します。

スタンバイ・モードは節電モードなので、データ収集は実施されません。このモードでは、すべてのレジスタ値が維持されます。デバイスをスタンバイ・モードにするには、レジスタ 0x10 のビット [1:0] に 0x0 を書き込みます。スタンバイ・モードでは、デバイスは通電状態になっています。

レジスタのプログラム（書き込み）を行う場合は、プログラム・モードを使用します。レジスタ書き込みやモード変更時は、常にADPD188GGのプログラム・モードを繰り返します。プログラム・モードではパワーサイクルが発生しないので、通常動作時よりもデバイスの消費電流量が大きくなる可能性があります。デバイスをプログラム・モードにするには、レジスタ 0x10 のビット [1:0] に 0x1 を書き込みます。

通常動作時、ADPD188GGは、パルス光を発生してデータを収集します。このモードにおける消費電力は、パルス数とデータ・レートに依存します。デバイスを通常のサンプリング・モードにするには、レジスタ 0x10 のビット [1:0] に 0x2 を書き込みます。

### 通常モードの動作とデータ・フロー

通常モードのADPD188GGは、ステート・マシンによってセットアップされる特定パターンに従って動作します。図18の対応するデータ・フロー図に、このパターンを示します。このパターンは、正常な状態では次のとおりです。

1. LEDパルスとサンプル。ADPD188GGは、外部LEDにパルスを出力します。ADPD188GGは、反射光に対するフォトダイオードの応答を測定します。各データ・サンプルは、 $n$ 個のパルスに対応する結果の合計です。ここで、 $n$ は1~255の範囲で設定できます。
2. サンプル間の平均。必要な場合は、2のべき乗を2~128個の範囲で使用し、ロジックで $n$ 個のサンプルの平均を求めて、出力データとして生成できます。新しい出力データは、 $N$ 個のサンプルごとに出力レジスタ内に保存されます。
3. データ読出し：ホスト・プロセッサは、データ・レジスタまたはFIFOから変換したデータを読み出します。
4. 反復。このシーケンスには、数種類の異なるループが存在しています。このため、異なる種類の平均を使用できるほか、両方のタイム・スロットを時間的に近接した状態に維持することもできます。

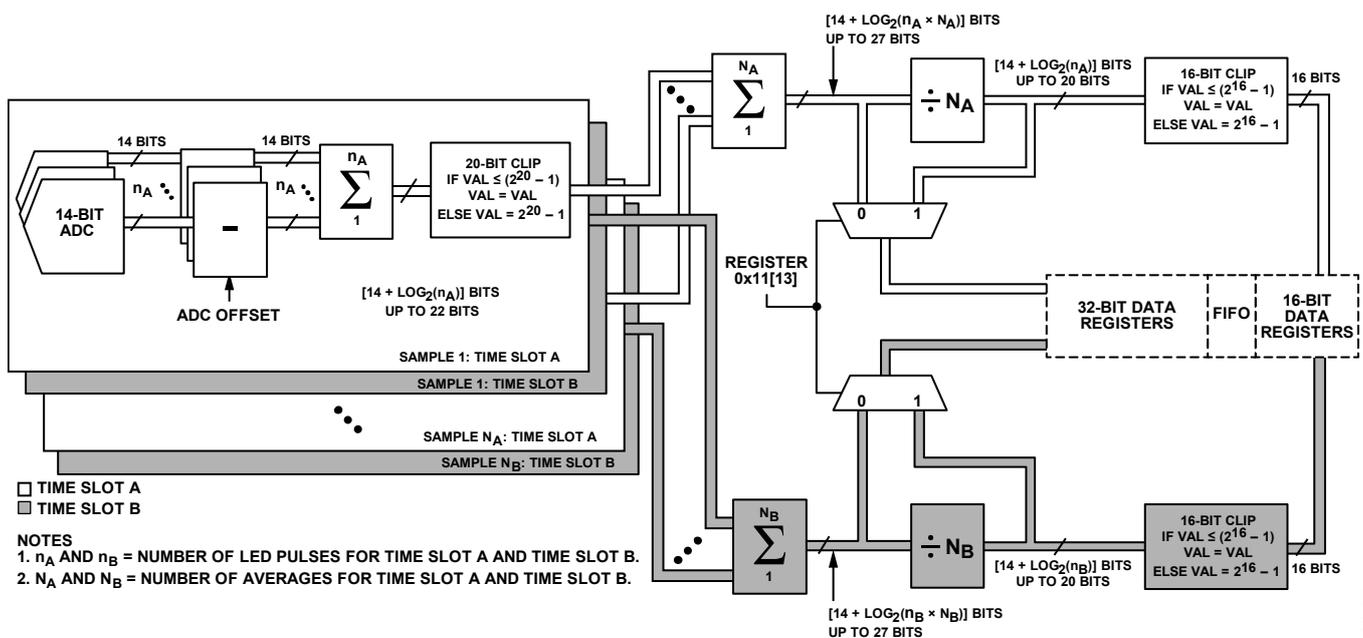


図 18. ステート・マシンの動作シーケンス（データパス）

## LED パルスとサンプル。

図 19 に示すように、各サンプリング期間に、選択した LED ドライバが一連の LED パルスを駆動します。パルスの振幅、持続期間、個数は、通信インターフェース経由で設定します。各 LED パルスは単一の検出期間と重なるので、検出された値は、対応する LED パルスの応答として収集された総電荷を表します。周辺光など、LED パルスに対応しない電荷は除去されます。

各 LED パルスの後に、パルス形式の LED 信号に関連するフォトダイオード出力がサンプリングされ、14 ビットの ADC によってデジタル値に変換されます。サンプリング期間内で実行される後続の各変換は、直前の結果に加算されます。各サンプリング期間内に、ADC から出力された最大 255 個のパルス値の合計を計算できます。サンプリング期間ごとに、20 ビットの最大範囲が存在します。

## 平均値の算出

ADPD188GG は、信号分解能向上のために、サンプルを蓄積して平均値を算出する機能を備えています。

サンプリング期間内に、AFE は最大 256 個の順次パルスの合計を計算できます。図 18 に示すように、AFE によって収集されたサンプルは、AFE の出力側で 20 ビットにクリップされます。複数のサンプリング期間にわたって平均化を実行することで、分解能を最大 27 ビットまで向上できます。N 個のサンプルで構成された累積データは、27 ビットの値として格納され、32 ビット出力レジスタを使用して直接読み出すか、または 32 ビット FIFO 構成を使用して読み出すことができます。

レジスタによってセットアップされた平均算出機能を使用する場合、後続のパルスを 2 の累乗で平均することができます。ユーザは平均化に使用するサンプルの個数として、2、4、8 から最大 128 までの 2 の累乗値を選択できます。パルス・データは AFE によ

て、サンプリング周波数  $f_{\text{SAMPLE}}$  (レジスタ 0x12 を参照) で収集されますが、新しいデータは N 番目のサンプルごとに、 $f_{\text{SAMPLE}}/N$  のレートでレジスタに書き込まれます。この新しいデータは、以前の N 個のサンプルの合計によって構成されます。32 ビットの合計全体は、32 ビット・レジスタに書き込まれます。ただし、このデータを FIFO に送信する前に、N による除算が実施されます。この除算はビット深度を維持し、FIFO におけるクリッピングを防止します。

複数のサンプル平均化でこの手法を使用すると、ノイズを低減するだけでなく、16 ビットの分解能を維持することができます。パルス数レジスタの値を 8 以下に維持すれば、16 ビット幅を超過することはありません。つまり、レジスタ 0x15 を使用して後続のパルスを平均化する場合、16 ビット幅を超過せずに多くのパルスを累積することができます。この設定により、ホスト・プロセッサが必要とする FIFO の読出し回数を減らすことができます。

## データ読出し

ホスト・プロセッサは、通信インターフェースを使って ADPD188GG から出力データを読み出します。読出しはデータ・レジスタまたは FIFO から行います。N 個のサンプルごとに、新しいデータを利用できるようになります。ここで、N はユーザが設定した平均化の係数です。タイム・スロット A とタイム・スロット B の平均個数は、互いに独立した値に設定できます。係数が等しい場合、両方のタイム・スロットで FIFO にデータを保存するように設定することもできます。2 つの平均化の係数が異なる場合、FIFO にデータを保存できるのはどちらか一方のタイム・スロットのみです。他方のタイム・スロットから得られたデータは、出力レジスタから読み出すことができます。

データ読出しの動作については、「データの読出し」セクションで詳細に説明します。

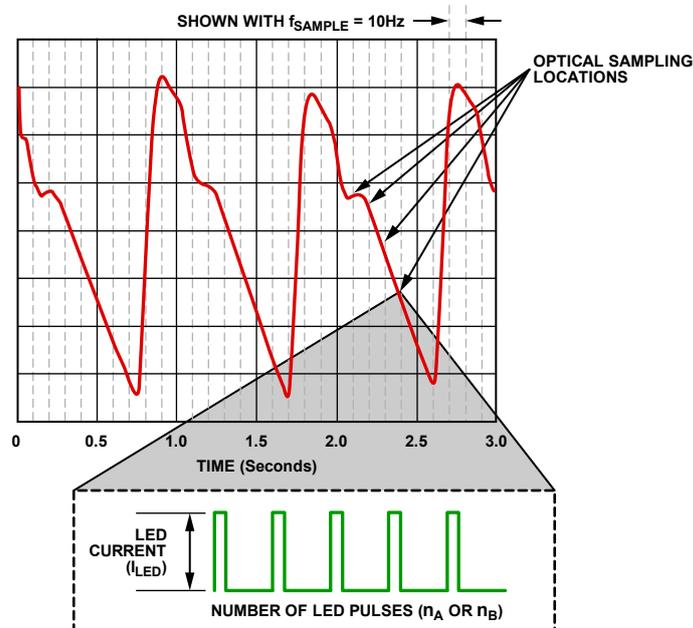


図 19. サンプルあたり 5 個のパルスを使用し、10Hz のデータ・レートで PPG 信号をサンプリングした例

## 通信インターフェース

ADPD188GGは、SPIとI<sup>2</sup>Cシリアル・インターフェースの両方をサポートしますが、実際のアプリケーションでは、同時に使用できるのは1つだけです。すべての内部レジスタは、この選択された通信インターフェース経由でアクセスします。

### I<sup>2</sup>C インターフェース

ADPD188GG I<sup>2</sup>Cは、UM10204 I<sup>2</sup>C-バス仕様およびユーザ・マニュアルの Rev. 05-9 October 2012、(NXP Semiconductors から入手可能)に適合しており、デバイスは、高速モード(400kbps)でのデータ転送をサポートしています。レジスタの読み出しと書き込み動作は、図 20 に示す方法でサポートされています。デバイスに対応する7ビットI<sup>2</sup>Cスレーブ・アドレスは0x64です。I<sup>2</sup>Cインターフェースを使用する場合は、CSピンをハイにして、SPIポートをディセーブルにする必要があります。

シングルワード書き込みとマルチワード読み出しの各動作がサポートされています。単一レジスタの読み出しの場合、2番目のデータ・バイトを読み出した後、ホストはNACK(ノー・アクノレッジ)を送信します。この場合、アクセスするごとに新しいレジスタ・アドレスが必要です。

マルチワード動作の場合、最後のワードの最終バイトを読み出すまで、各データ・バイトのペアに続いて、ホストからアクノレッジ(ACK)が送信されます。ホストは、ノー・アクノレッジを送信することで、最後のワード読み出しが行われたことを示します。FIFO(レジスタ0x60)から読み出す場合、データはFIFO内の次のアドレスへ自動的に進み、既に読み出したスペース(アドレス)は解放されます。他のレジスタから読み出す場合、レジスタ・アドレスは次のアドレスへ自動的に進み、各レジスタを再アドレス指定せずに読み出すことができます。そのため、複数のレジスタの読み出しに必要なオーバーヘッドが減ります。この自動インクリメントは、FIFOの前のレジスタ、レジスタ0x5F、最後のデータ・レジスタ、レジスタ0x7Eには適用されません。

レジスタ書き込みはいずれもシングルワードのみで、16ビット(1ワード)のデータが必要です。

ソフトウェア・リセット(レジスタ0x0Fのビット0)により、アクノレッジが返されます。その後、デバイスはスタンバイ・モードに戻り、すべてのレジスタがデフォルト状態になります。

表 13. I<sup>2</sup>C用語の定義

用語	説明
SCL	シリアル・クロック。
SDA	シリアル・アドレスとデータ。
マスタ	転送を開始してクロック信号を生成し、最後に転送を終了するデバイスです。
スレーブ	マスタによってアドレスが指定されるデバイスです。ADPD188GGはスレーブ・デバイスとして動作します。
開始 (S)	SCLがハイ・レベル状態でのSDAライン上のハイ・レベルからロー・レベルへの遷移。すべてのトランザクションは、開始条件により開始されます。
開始 (Sr)	反復開始条件。
停止 (P)	SCLがハイ・レベル状態でのSDAライン上のロー・レベルからハイ・レベルへの遷移。停止条件は、すべてのトランザクションを終了させます。
ACK	アクノレッジ(ACK)またはノー・アクノレッジ(NACK)の時のクロック・パルスで、SDAラインがローになり、その状態が維持されます。
NACK	ACKまたはNACKの時のクロック・パルスで、SDAラインがハイの状態に維持されます。
スレーブ・アドレス	起動(S)後に7ビットのスレーブ・アドレスが送られた後、データ方向ビット(読み出しまたは書き込み)が続きます。
読み出し (R)	1はデータ要求を示します。
書き込み (W)	0は送信を示します。

#### I<sup>2</sup>C WRITE

##### REGISTER WRITE

MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	DATA[15:8]	DATA[7:0]	STOP
SLAVE	ACK	ACK	ACK	ACK	

##### I<sup>2</sup>C SINGLE-WORD READ MODE

##### REGISTER READ

MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	NACK	STOP
SLAVE	ACK	ACK		ACK					

##### I<sup>2</sup>C MULTIWORD READ MODE

##### REGISTER READ

MASTER START	SLAVE ADDRESS + WRITE	REGISTER ADDRESS	Sr	SLAVE ADDRESS + READ	ACK	DATA[15:8]	DATA[7:0]	ACK/NACK	STOP
SLAVE	ACK	ACK		ACK					

#### NOTES

1. THE SHADED AREAS REPRESENT WHEN THE DEVICE IS LISTENING.

DATA TRANSFERRED  
n (DATA[15:8] + ACK + DATA[7:0] + ACK/NACK)

16111-019

図 20. I<sup>2</sup>C 読み出し動作と書き込み動作

## SPI ポート

SPIポートは4線インターフェースを使用します。このポートは、 $\overline{CS}$ 、MOSI、MISO、SCLK の各信号で構成されており、常にスレーブ・ポートとして動作します。 $\overline{CS}$ はトランザクションを開始する際にローになり、トランザクションを終了する際にハイになります。SCLK 信号はローからハイに遷移するときに、MOSI をラッチします。MISO データは SCLK の立下がりエッジでデバイスからシフト出力されます。また、SCLK の立上がりエッジでは、マイクロコントローラのような受信デバイスに対してクロックを供給する必要があります。MOSI 信号はシリアル入力データを伝送し、MISO 信号はシリアル出力データを伝送します。MISO 信号は、読出し動作が要求されるまでスリー・ステート (Z) を維持します。この結果、他の SPI 互換ペリフェラルが同じ MISO ラインを共有できます。すべての SPI トランザクションは、表 14 に示す共通の基本フォーマットを使用します。タイミング図を図 3 に示します。どのデータも、MSB ファーストで書き込みます。

表 14. 一般的な制御ワード・シーケンス

Byte 0	Byte 1	Byte 2	Subsequent Bytes
Address[6:0], W/R	Data[15:8]	Data[7:0]	Data[15:8], Data[7:0]

SPI トランザクションで最初に書き込まれるバイトは、7 ビットのアドレスです。これは、アクセスしようとするアドレスの場所を表しており、その後に W/R ビットが続きます。このビットで、通信が書込み (ロジック・レベル 1) または読取り (ロジック・レベル 0) のどちらであるかを決定します。この結果を表 15 に示します。

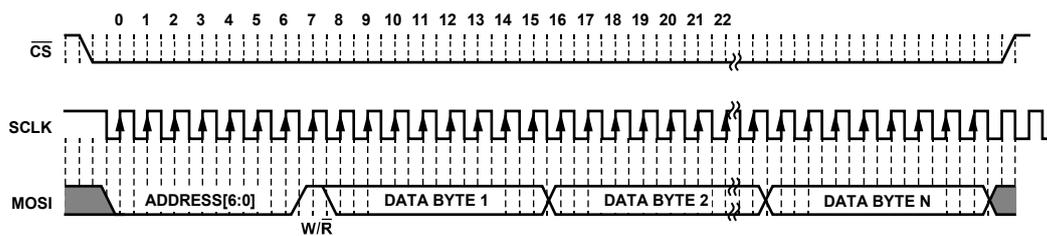
表 15. SPI アドレスと Write/ $\overline{R}$ のバイト・フォーマット

Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
A6	A5	A4	A3	A2	A1	A0	W/R

データはクロックの立ち上がりエッジ発生時に MOSI ピンでキャプチャされ、クロックの立下がりエッジ発生時に MISO ピンで伝搬されます。SPI スレーブ・ポートの最大読出し/書込み速度は 10MHz です。

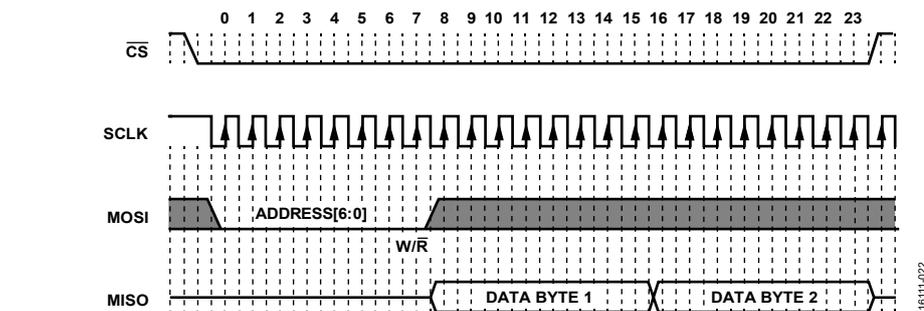
単一のレジスタに対するマルチワード SPI 書込み動作のサンプル・タイミング図を図 21 に示します。シングルワード SPI 読出し動作のサンプル・タイミング図を図 22 に示します。MISO ピンは、有効な  $\overline{R}$  ビットを受信した後、3 ステート (Z) から、駆動される状態に遷移します。この例では、バイト 0 はアドレスと W/R ビットで構成されており、それ以降のバイトはデータを伝送します。マルチワード SPI 読出し動作のサンプル・タイミング図を図 23 に示します。図 21～図 23 では、SCLK の立上がりエッジを上向きの矢印で示し、この立上がりエッジでデータ・ラインがサンプリングされることを表しています。

0x5F、0x60 (FIFO)、0x7F の各アドレスを除き、マルチワードの読取りまたは書込みを行う場合、データ・アドレスは後続のトランザクションに備えて、次の連続アドレスへ自動的にインクリメントします。



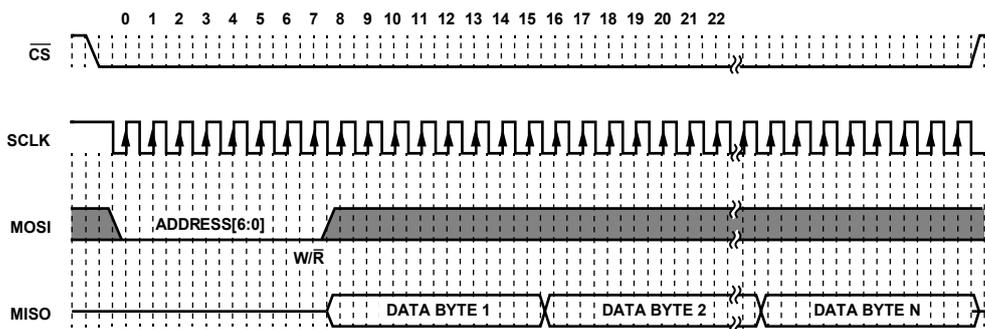
16111-021

図 21. SPI スレーブ書き込み用のクロック供給 (バースト書き込みモード、N バイト)



16111-022

図 22. SPI スレーブ読み出し用のクロック供給 (シングルワード・モード、2 バイト)



16111-023

図 23. SPI スレーブ読み出し用のクロック供給 (バースト読み出しモード、N バイト)

## アプリケーション情報

### 代表的な接続図

図 24 に、SPI 通信ポートを使用する ADPD188GG の推奨接続図を示します。図 25 に、I2C ポートを使用した回路を示します。目的の通信ポートを GPIO0 と GPIO1 の各ラインと組み合わせて、システムのマイクロプロセッサまたはセンサー・ハブに接続します。SPI ポートを使用する場合は、SDA ピンと SCL ピンのハイを 1.8V に接続して、I2C インターフェースをディスエーブルにする必要があります。I2C インターフェースを使用する場合は、CS を 1.8V に接続して SPI をディスエーブルにします。未使用の入力 SCLK と MOSI をグラウンドに接続します。EXT\_IN1 ピンと EXT\_IN2 ピンは電流入力力で、外部センサーに接続できます。電圧源を直列抵抗から EXT\_IN1 ピンと EXT\_IN2 ピンに接続して、電圧を電流に効果的に変換できます (EXT\_IN 1 と EXT\_IN 2 の入力を電圧源と使用するのセクションを参照)。

安定化された 1.8V 電源を使用して、VDD1 と VDD2 に接続します。表 1 に仕様規定されており、Calculating Current Consumption のセクションで計算方法を示すピーク電流要件に従う、標準的なレギュレータ回路を VLEDx レベルとして使用します。0.1 $\mu$ F のセラミック・デカップリング・コンデンサをできる限り VDD1 と VDD2 の近くに配置します。1.0 $\mu$ F のセラミック・コンデンサは、できる限り VREF ピンの近くに配置する必要があります。

最善のノイズ特性を達成するには、AGND、DGND、LGND のすべてを束ね、グラウンド・プレーン、グラウンド・ポア、太いグラウンド・パターンのように、面積の広い導体面に接続します。

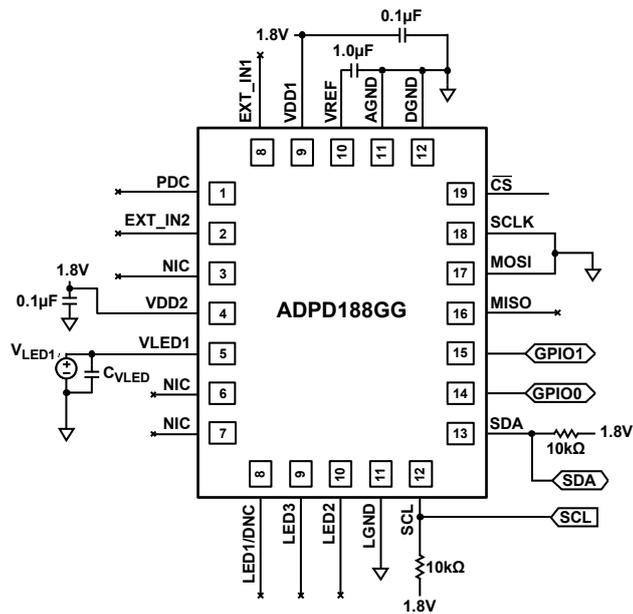


図 24. SPI モード接続図

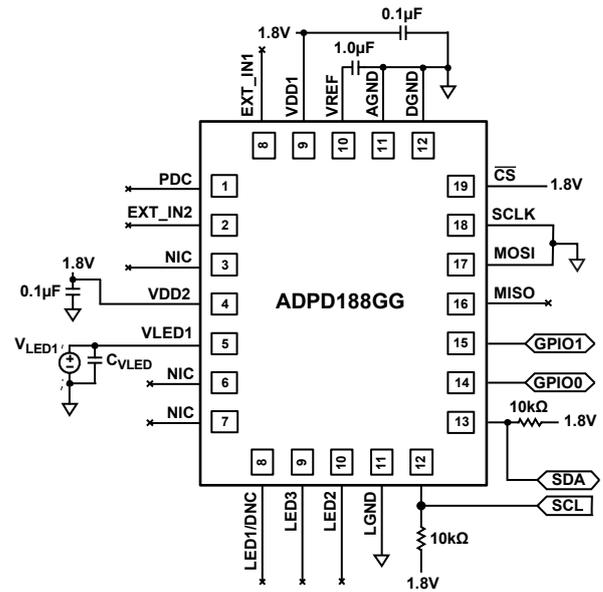


図 25. I<sup>2</sup>C モード接続図

### ランド・パターン

図 26 は、推奨する PCB のフットプリント (ランド・パターン) を示します。表 8 と図 4 に、推奨されるハンダ処理プロファイルを示します。

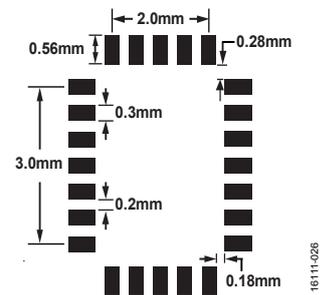


図 26. ランド・パターン

## 推奨されるスタートアップ・シーケンス

図 17 に示すように、パワーアップ時にデバイスはスタンバイ・モードになります（レジスタ 0x10=0x0）。ADPD188GG は特別なパワーアップ・シーケンスを必要としません。

スタンバイ・モードから測定を開始するには、以下の手順に従って ADPD188GG を操作してください。

1. CLK32K\_EN ビット（レジスタ 0x4B のビット 7）をセットし、サンプリング・クロック（32kHz クロック）を開始します。このクロックは、ステート・マシンを制御します。このクロックをオフにすると、ステート・マシンはレジスタ 0x10 の定義に従って遷移できません。
2. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。ステップ 1 とステップ 2 を入れ替えることもできますが、両方のステップを実施するまで、実際のステート遷移は発生しません。
3. デバイスがプログラム・モードにある間、他の制御レジスタに対して任意の順序で書き込みを行い、必要に応じてデバイスを設定します。
4. レジスタ 0x10 に 0x2 を書き込み、通常のサンプリング動作を開始します。

通常動作を終了するには、以下の手順に従って ADPD188GG をスタンバイ・モードにします。

1. レジスタ 0x10 に 0x1 を書き込み、デバイスを強制的にプログラム・モードに移行します。
2. デバイスがプログラム・モードにある間、任意の順序でレジスタに書き込みを行います。
3. レジスタ 0x00 に 0x00FF を書き込み、すべての割込みをクリアします。必要な場合、レジスタ 0x00 に 0x80FF を書き込む方法で、FIFO もクリアします。
4. レジスタ 0x0 に 0x0 を書き込み、デバイスを強制的にスタンバイ・モードに移行します。
5. 代わりに、CLK32K\_EN ビット（レジスタ 0x4B のビット 7）をリセットして、32kHz クロックを停止することもできます。デバイスがスタンバイ・モード（レジスタ 0x10 = 0x0）で、実行する必要がある書き込みはレジスタ 0x4B のビット 7=0 のみです。プログラム・モードまたは通常動作モードで、このビットに 0 を書き込むと、スタンバイ・モードを含め、他のどのモードにもデバイスを遷移することができません。これ以降にデバイスに対して書き込みを行い、モードの遷移を実行する場合も、この制限が適用されます。その結果、スタンバイ・モードのように見受けられる状態で、消費電力が大幅に増加します。この理由以外にも、32kHz クロックが動作している間も電流の引き込み量は非常に小さいため、使いやすさの観点から、32kHz クロックが有効になった後、このクロックを引き続き動作させることを推奨します。

## データの読出し

ADPD188GG がサンプル・データにアクセスする方法は複数あります。FIFO またはデータ・レジスタを使用してデータにアクセスできるように、各タイム・スロットを個別に設定できます。また、適切な時期に簡単にデータにアクセスできるように、割込み信号を使用する方法も利用できます。FIFO を使用すれば、データ・アクセスに関するシステムのタイミング要件を緩和することもできます。

### FIFO を使用したデータの読出し

ADPD188GG には 128 バイトの FIFO メモリ・バッファが含まれており、一方または両方のタイム・スロットからのデータを保存するように設定できます。各タイム・スロットから取得して FIFO に書き込むデータの種別を選択するには、レジスタ 0x11 を使用

します。両方のタイム・スロットが FIFO を使用するように設定することもできますが、両者の出力データ・レートが等しい場合のみ、この設定を使用できることに注意してください。

$$\text{出力データ・レート} = f_{\text{SAMPLE}}/N_x$$

ここで、 $f_{\text{sw}}$  は、サンプリング周波数。 $N_x$  は、各タイム・スロットの平均化の係数（ $N_A$  はタイム・スロット A、 $N_B$  はタイム・スロット B に対応）。言い換えると、両方のタイム・スロットから取得したデータを FIFO に格納するには、 $N_A = N_B$  が成立している必要があります。

データ・パケットは、出力データ・レートで FIFO に書き込まれます。FIFO に書き込むデータ・パケットは、有効になっている各タイム・スロットに対応するサンプル全体で形成されています。各フォトダイオード・チャンネルに対応するデータは、16 ビットと 32 ビットのどちらかで格納されます。モードとデータ・フォーマットに応じて、各タイム・スロットはサンプルあたり 2、4、8、16 バイトいずれかのデータを格納できます。データ・パケットの品質を損なわないように、パケット全体を書き込むのに十分なスペースが FIFO にあれば、新しいデータは FIFO にのみ書き込まれます。十分な空き容量がない時点で到着したデータは失われます。十分な空き容量が存在する場合、FIFO はデータの格納を続けます。データ・パケットが損傷していないことを確認するため、必ず完全なパケットを単位として FIFO データの読出しを行ってください。

FIFO 内に現在格納されているバイト数は、レジスタ 0x00 のビット [15:8] で確認できます。専用の FIFO 割込みを利用することもでき、指定した量のデータが FIFO に書き込まれた時点で、自動的に割込みが生成されます。

### 割込みベースの方法

割込みベースの方法を使用して FIFO からデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x06 のビット [13:8] にある FIFO\_THRESH を、割込み閾値に設定します。ここで推奨される値は、データ・パケット内にある 16 ビット・ワードの個数から 1 を引いた値です。この場合、FIFO 内に少なくとも完全なパケットを 1 個格納できる空き容量が存在する時点で、割込みが生成されます。
4. FIFO 割込みを有効にするには、レジスタ 0x01 のビット 8 にある FIFO\_INT\_MASK に 0 を書き込みます。更に、レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン（GPIO0）も設定します。
5. レジスタ 0x10 を 0x2 に設定して、通常動作モードに移行します。
6. 割込みが発生した場合、
  - a. 完全なパケットが 1 個以上存在する場合のみ、割込みが生成されるため、FIFO\_SAMPLES ビットを読み出す必要はありません。代わりに、割込みルーチンがこれらのビットを読み出す方法により、利用可能なパケットが複数あるかどうかを確認することもできます。
  - b. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。

FIFOからデータを読み出した直後にFIFOの割込みが自動的にクリアされます。また、FIFOへの書き込みが行われ、FIFO内のワード数が閾値に達した時点でのみ、割込みが再び設定されます。

### ポーリングによる方法

ポーリングによる方法を使用してFIFOからデータを読み出すには、次の手順を使用します。

1. プログラム・モードで、必要に応じてタイム・スロットを設定します。
2. レジスタ 0x11 に、各タイム・スロットで希望するデータ・フォーマットを書き込みます。
3. レジスタ 0x10 を 2 に設定して、通常の動作モードに移行します。

次に、ポーリング動作を開始します。

1. ポーリング間隔が経過するまで待ちます。
2. FIFO\_SAMPLES ビット (レジスタ 0x00 のビット [15:8]) を読み出します。
3. FIFO\_SAMPLES ≥ パケット・サイズである場合、次の手順を使用してパケットを読み出します。
  - a. レジスタ 0x60 を使用してマルチワード・アクセスを 1 回以上行う方法で、完全なパケットを読み出します。FIFO の読出しを行うと、該当する領域が自動的に解放され、新しいサンプルを格納できるようになります。
  - b. ステップ 1 を繰り返します。

モード変更が必要な場合や、通常のサンプリングに対して他の中絶が必要な場合、FIFO をクリアする必要があります。ステート をクリアし、FIFO を空にするには、次の手順に従います。

1. レジスタ 0x10 を 0x1 に設定して、プログラム・モードに移行します。
2. レジスタ 0x00 のビット 15 に 1 を書き込みます。

### 割込みを使用したレジスタからのデータ読み出し

最新のサンプル・データは常にデータ・レジスタで利用でき、各タイム・スロットの終了と同時に更新されます。各フォトダイオード・チャンネルに対応するデータ値は、タイム・スロット A ではレジスタ 0x64～レジスタ 0x67 にある 16 ビット値として利用できます。同様に、タイム・スロット B ではレジスタ 0x68～レジスタ 0x6B にある 16 ビット値として利用できます。最大値に達することが許容される場合、レジスタ 0x64～レジスタ 0x6B のクリップが実施されます。レジスタ 0x64～レジスタ 0x6B が飽和している場合、タイム・スロット A ではレジスタ 0x70～レジスタ 0x77、タイム・スロット B ではレジスタ 0x78～レジスタ 0x7F で、各チャンネルに対応する飽和していない値 (最大 27 ビット) を利用できます。レジスタが更新され、読出しの準備ができた時点で、サンプルの割込みを利用できるようになります。特定のタイム・スロットに対応する割込みを使用するには、次の手順に従います。

1. サンプル割込みを有効にするには、レジスタ 0x01 の適切なビットに 0 を書き込みます。タイム・スロット A での割込みを有効にするには、ビット 5 に 0 を書き込みます。タイム・スロット B での割込みを有効にするには、ビット 6 に 0 を書き込みます。一方または両方の割込みを設定できます。
2. レジスタ 0x02 内の各ビットに適切な値を書き込む方法で、割込みピン (GPIO0) を設定します。
3. データ・レジスタが更新された時点で、割込みが生成されます。
4. 割込みハンドラは以下の処理を行う必要があります。
  - a. レジスタ 0x00 を読み取り、ビット 5 またはビット 6 を参照して、どちらの割込みが発生したか確認します。どちらか一方の割込みのみを使用している場合、このステップは不要です。

- b. 次のサンプルの書き込みが可能になる前に、データ・レジスタを読み出します。出力データ・レートに基づき、システム内で適切な割込み遅延を達成し、次のデータ更新が発生する前に応答できるほど十分短いサービス時間を実現する必要があります。
- c. 割込みをクリアするには、レジスタ 0x00 のビット 5 またはビット 6 に 1 を書き込みます。

両方のタイム・スロットを使用している場合、タイム・スロット B の割込みを使用して、すべてのレジスタを読み出す準備ができたときに通知を行うことも可能です。データ・レジスタからデータを転送する目的で、マルチワード読出しを使用することが推奨されます。

### 割込みを使用しないレジスタからのデータ読み出し

システム割込みの応答が高速でないか十分な予測可能性を確保できないことが原因で、割込みベースの方法を使用できない場合や、割込みピン (GPIOx) を使用していない場合は、データ保持の機構を使用して信頼性の高いデータ・アクセスを実現できます。同じサンプリング時刻に複数のレジスタからデータを読み出すには、現在のデータを読み出している間にサンプルが更新されることを防止する必要があります。割込みのタイミングを使用せずにレジスタ読出しを行う方法は、次のとおりです。

1. アクセスする必要のあるタイム・スロットを対象にして、SLOTA\_DATA\_HOLD または SLOTB\_DATA\_HOLD (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 1 を書き込みます (両方のタイム・スロットにアクセスすることもできます)。この設定により、サンプルの更新が防止されます。
2. 必要に応じて、レジスタを読み出します。
3. 既にセットした SLOTA\_DATA\_HOLD ビットまたは SLOTB\_DATA\_HOLD ビット (それぞれ、レジスタ 0x5F のビット 1 とビット 2) に 0 を書き込みます。サンプルの更新が再び許可されます。

読出しを実施している間に新しいサンプルが到着する可能性があるため、この方法を採用すると、読み出し中のデータの一部分が新しいサンプルによって上書きされる問題を防止できます。

### クロックとタイミングのキャリブレーション

ADPD188GG は、2 個の内部タイム・ベースを使用して動作します。32kHz クロックはサンプル・タイミングを設定し、32MHz クロックは LED パルスの生成やデータ取得といった内部機能のタイミングを制御します。どちらのクロックも内部で生成され、デバイス間で約 10% (typ) の変動を示します。

心拍数のモニタリング (HRM) アプリケーションには、1 分あたりの心拍数を正確にカウントするために、正確なタイム・ベースが必要です。ADPD188GG は、両方のクロックに対する簡単なキャリブレーション手順を備えています。

### 32 kHz クロックのキャリブレーション

この手順は、出力データ・レートに関連する項目を較正します。このクロックのキャリブレーションは、心拍数測定など、正確なデータ・レートが必要とされる項目にとって重要です。

32kHz クロックのキャリブレーションを行うには、次の手順に従ってください。

1. サンプル周波数を、システムが扱える最大値 (例えば 2000Hz) に設定します。32kHz クロックはサンプリングのタイミングを制御するので、この周波数は GPIO0 ピンを通じて容易にアクセスできます。レジスタ 0x02 のビット [2:0] に適切な値を書き込むことで、割込みを設定します。また、レジスタ 0x01 のビット 5 またはビット 6 に 0x0 を書き込むことで、サンプリング周波数で割込みが発生するように設定します。GPIO0 ピンをモニタリングします。割込み周波数は、設定済みのサンプリング周波数に一致する必要があります。

2. モニタリング中の割り込み周波数が、設定済みのサンプリング周波数を下回っている場合、CLK32K\_ADJUST ビット（レジスタ 0x4B のビット [5:0]）を大きくします。モニタリング中の割り込み周波数が、設定済みのサンプリング周波数を上回っている場合、CLK32K\_ADJUST ビットを小さくします。
3. モニタリング中の割り込み周波数が、設定済みのサンプリング周波数に近接するまで、ステップ 1 を繰り返します。

## 32 MHz クロックのキャリブレーション

これは、LED パルスの幅や間隔など、サンプル周期内の精密タイミングに関連する項目を校正します。32kHz クロックが較正済みであることが前提です。

32 MHz クロックのキャリブレーションを行うには、次の手順に従ってください。

1. レジスタ 0x5F のビット 0 に 0x1 を書き込みます。
2. レジスタ 0x50 のビット 5 (CLK32M\_CAL\_EN) に 0x1 を書き込むことで、CLK\_RATIO の計算を有効にします。この機能は、32kHz クロックの 2 サイクル分を単位として、32MHz クロックのサイクルを計数します。この機能が有効になっている場合、この値はレジスタ 0x0A のビット [11:0] に書き込まれます。この比率の公称値は 2000 (0x07D0) です。
3. 次のように、32MHz クロックの誤差を計算します。  

$$\text{クロック誤差} = 32\text{MHz} \times (1 - \text{CLK\_RATIO}/2000)$$
4. 次の式に従って、レジスタ 0x4D のビット [7:0] を設定することで、周波数を調整します。  

$$\text{CLK32M\_ADJUST} = \text{クロック誤差} / 109\text{kHz}$$
5. レジスタ 0x50 のビット 5 に 0x0 を書き込み、CLK\_RATIO 機能をリセットします。
6. 必要な精度を達成できるまで、ステップ 1～ステップ 5 を繰り返します。
7. レジスタ 0x5F のビット 0 に 0x1 を書き込み、GPIO0 ピンを通常動作で必要とされるモードに戻します。

## GPIO0 と GPIO1 で利用できるオプションのタイミング信号

ADPD188GG は、GPIO0 ピンと GPIO1 ピンを介して、様々なタイミング信号を供給しています。この結果、システム同期が容易

になり、柔軟性の高いトリガ・オプションを利用できるようになります。GPIOx ピンが他のドライバとバスを共有している場合、これらのピンの各ビットをオープンドレイン出力として設定できます。代わりに、これらのピンが常にバスを駆動するように設定することもできます。タイミング信号をデフォルト状態から反転できるように、どちらの出力も極性制御の機能を備えています。

表 16. GPIOx 制御の設定値

Pin Name	Register, Bits	Setting Description
GPIO0	0x02, Bit 0	0: polarity active high 1: polarity active low
	0x02, Bit 1	0: always drives the bus 1: drives the bus when asserted
	0x02, Bit 2	0: disables the GPIO0 pin drive 1: enables the GPIO0 pin drive
GPIO1	0x02, Bit 8	0: polarity active high 1: polarity active low
	0x02, Bit 9	0: always drives the bus 1: drives the bus when asserted
	0x4F, Bit 6	0: disables the GPIO1 pin drive 1: enables the GPIO1 pin drive

各種の利用可能なタイミング信号は、レジスタ 0x0B 内の設定値を使用して制御できます。このレジスタのビット [12:8] は、GPIO1 で利用できるタイミング信号を制御します。ビット [4:0] は、GPIO0 で利用できるタイミング信号を制御します。このデータシートに掲載されているタイミング信号はすべて、GPIO0 ピンと GPIO1 ピンのどちらか一方（または両方）で利用できます。タイミング図を図 27 と図 28 に示します。タイミング図を生成するために使用したタイム・スロットの設定を表 17 に示します。

表 17. 図 27 と図 28 に示すタイミング図で使用した ADPD188GG の設定

Register	Setting	Description
0x31	0x0118	Time Slot A: 1 LED pulse
0x36	0x0418	Time Slot B: 4 LED pulses
0x15	0x0120	Time Slot A decimation = 4, Time Slot B decimation = 2

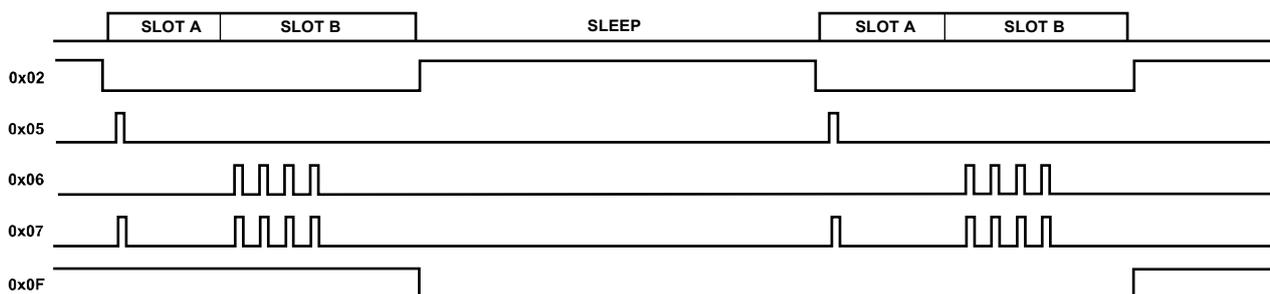


図 27. GPIOx で利用できるオプションのタイミング信号—レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x05、0x06、0x07、および 0x0F

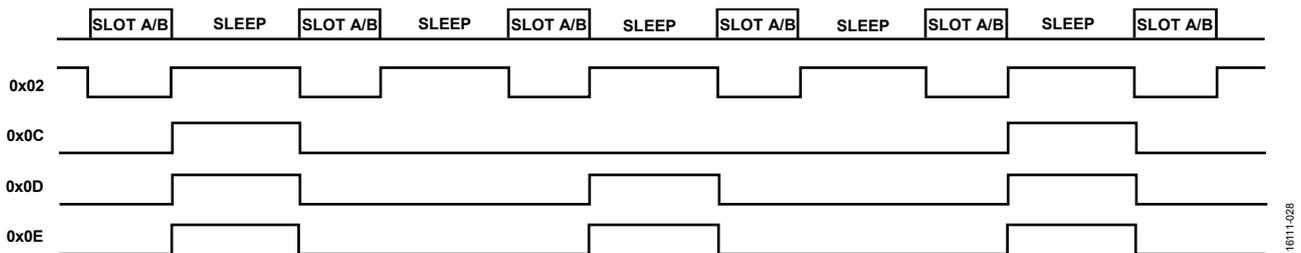


図 28. GPIOx で利用できるオプションのタイミング信号—レジスタ 0x0B のビット [12:8] またはビット [4:0] = 0x02、0x0C、0x0D、および 0x0E

## 割込み機能

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x01 に設定すると、該当するピンが、レジスタ 0x01 で設定されている定義に従って、割込み機能を実行するようになります。

## サンプリングのタイミング

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x02 に設定すると、該当するピンが次のような信号を供給するようになります。この信号は、現在のサンプルの最初のタイム・スロット開始時にアサートされ、現在のサンプルの最後のタイム・スロット終了時にアサート解除されます。例えば、両方のタイム・スロットが有効な場合、この信号はタイム・スロット A の開始時にアサートされ、タイム・スロット B の終了時にアサート解除されます。どちらか一方のタイム・スロットのみが有効な場合、この信号は有効なタイム・スロットの開始時にアサートされ、同じタイム・スロットの終了時にアサート解除されます。

## パルス出力

LED パルス出力のコピーを作成するには、3つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x05 に設定すると、タイム・スロット A の LED パルスをコピーしたものが、該当のピンに供給されます。レジスタ 0x06 を設定すると、タイム・スロット B のパルスが供給され、レジスタ 0x07 を設定すると、両方のタイム・スロットのパルスが供給されます。

## 出力データ・サイクル信号

出力データ・レジスタまたは FIFO に出力データが書き込まれた時点を示す信号を供給する場合、3つのオプションを利用できます。レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0C に設定すると、タイム・スロット A にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0D を設定すると、タイム・スロット B にデータ値が書き込まれたことを示す信号が供給されます。レジスタ 0x0E を設定すると、どちらか一方のタイム・スロットに値が書き込まれたことを示す信号が供給されます。出力データが既に書き込まれている場合、この信号は、該当するタイム・スロット終了時にアサートされ、それ以降のサンプリング開始時にアサート解除されます。FIFO を使用している場合、このタイミング信号は特に役立ちます。例えば、FIFO が、レジスタ 0x06 のビット [13:8] で設定した FIFO 閾値に達した時点で割込みを生成するように、一方の GPIOx ピンを設定できます。もう一方の GPIOx ピンは、出力データ・サイクル信号を供給するように設定できます。この信号を使用して、加速度センサーのような周辺機器をトリガすることもできます。その結果、時間整列された信号をプロセッサに供給できます。

## fs/2 出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0F に設定すると、該当するピンが、サンプリング・レートの半分でトグルする信号を供給するようになります。デバイスがスタンバイ・モードから通常動作モードに切り替わると、fs/2 タイミング信号は必ずアクティブ・ロー状態から開始されます。その後、最初のサンプリングが完了した時点で、この信号はハイの状態に移移します。

## ロジック 0 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x0F に設定すると、該当するピンがロジック 0 の出力を供給するようになります。

## ロジック 1 の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x11 に設定すると、該当するピンがロジック 1 の出力を供給するようになります。

## 32kHz 発振器の出力

レジスタ 0x0B のビット [12:8] またはビット [4:0] を 0x13 に設定すると、該当するピンがオンボードの 32kHz 発振器のコピーを供給するようになります。

## LED ドライバのピンと LED 電源電圧

LED ドライバのピン (LED1/DNC、LED2、LED3) には、3.6V の絶対最大定格の電圧が印加されます。この定格を超過する電圧を印加した場合でも、デバイス動作の信頼性に影響を与え、特定の状況ではデバイスが正常に動作しなくなる場合があります。LED ドライバ・ピンの電圧と LED の供給電圧 ( $V_{LED1}$  と  $V_{LED2}$ ) を混同しないでください。これらは、VLED1 で接続された内部 LED のアノードに印加される電圧です。

## LED ドライバの動作

ADPD188GG の LED ドライバは、電流シンク型です。典型的な LED ドライバ電流と LED ドライバ電圧を図 9 に示します。LED ドライバを介して LED に ADPD188GG を接続する方法を説明する基本回路図を図 24 に示します。平均電流の決定と CVLED の決定のセクションで、バイパス・コンデンサ (CVLED) と LED の供給電圧 (VLED) の要件を定義します。

## 平均電流の決定

ADPD188GG が LED を駆動する場合は、一連の短いパルスで LED を駆動します。ADPD188GG の代表的なパルス・バースト・シーケンス波形を図 29 に示します。このシーケンスでは、LED パルス幅  $t_{LED\_PULSE}$  は  $3\mu\text{s}$ 、LED パルス期間  $t_{LED\_PERIOD}$  は  $19\mu\text{s}$  になります。CVLED の目的は、個別のパルスの中で LED のバッファとして機能することにあります。最も厳しい条件のシナリオでは、図 29 に示すパルス系列が短いパルスの連続シーケンスとして発生し、VLED 電源が平均電流を供給する必要が生じます。したがって、次のように  $I_{LED\_AVERAGE}$  を計算します。

$$I_{LED\_AVERAGE} = (t_{LED\_PULSE}/t_{LED\_PERIOD}) \times I_{LED\_PEAK} \quad (1)$$

ここで、

$I_{LED\_AVERAGE}$  は、VLED 電源から供給する必要がある平均電流になります。これは、VLED の定格電源電流でもあります。 $I_{LED\_PEAK}$  は、LED を流れるピーク電流の設定値です。

図 29 に記載された数値を代入すると、 $I_{LED\_AVERAGE} = 3/19 \times I_{LED\_PEAK}$  となります。代表的な LED タイミングでは、VLED の平均電源電流は  $3/19 \times 250\text{mA} = 39.4\text{mA}$  となり、VLED 電源が  $40\text{mA}$  の DC 電流をサポートする必要があることを示しています。

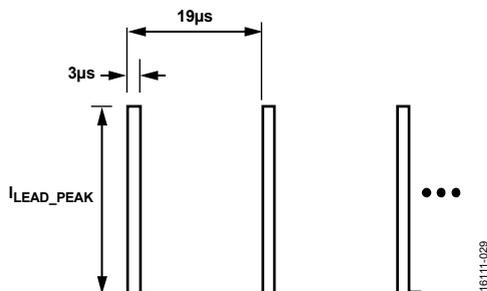


図 29. LED パルス・バースト・シーケンスの代表的な設定

## CVLED の決定

CVLED コンデンサの値を決定するには、LED 動作中の最大順方向バイアス電圧である  $V_{FB\_LED\_MAX}$  を決定する必要があります。図 30 から、 $I_{LED\_PEAK}$  を  $V_{FB\_LED\_MAX}$  に変換します。例えば、 $200\text{mA}$  の電流では、 $V_{FB\_LED\_MAX}$  は  $3.65\text{V}$  になります。この電圧では、LED のパスに直列抵抗も追加する必要があります。LED パスを設計する際、 $200\text{mA}$  の電流がレジスタを介して駆動される場合は、抵抗成分が小さくても電圧降下が大きくなる可能性があることに注意してください。これらの抵抗成分は、VLED 電源に不要な制約を課す可能性があります。

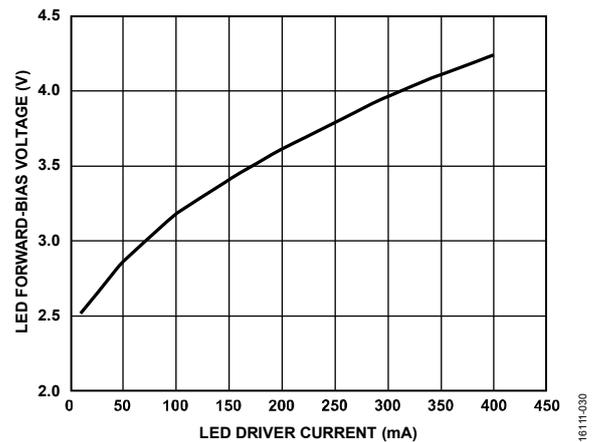


図 30. LED ドライバ電流の関数として表現した典型的な LED 順方向バイアス電圧降下の例

CVLED コンデンサのサイズを正しく設定するには、コンデンサの枯渇を避け、LED へのパルス供給を行っている間、コンデンサの電圧が LED の順方向バイアス電圧を下回らないように設定してください。VLED バイパス・コンデンサの最小値を計算するには、次の式を使用します。

$$C_{VLED} = \frac{t_{LED\_PULSE} \times I_{LED\_PEAK}}{V_{LED\_MIN} - (V_{FB\_LED\_MAX} + 0.6)} \quad (2)$$

ここで、

$t_{LED\_PULSE}$  は、LED パルス幅。 $I_{LED\_PEAK}$  は、デバイスを動作させる際に使用する LED の最大順方向バイアス電流。 $V_{LED\_MIN}$  は、無負荷時に VLED 電源から供給される最小電圧。 $V_{FB\_LED\_MAX}$  は、 $I_{LED\_PEAK}$  を実現するために LED で必要とされる最大順方向バイアス電圧です。

CVLED の式における分子から、バイパス・コンデンサから放電される合計電荷をクーロン単位で表した値が計算されます。この値は設定済みの LED のシングル・パルスを最大電流で供給するために必要となります。分母は、LED で必要とされる電圧と VLED 電源の最小電圧の間の差を表します。LED で必要となる電圧とは、 $200\text{mA}$  で  $0.6\text{V}$  で動作する LED ドライバのコンプライアンスや、最大電流で動作する LED の順方向バイアス電圧を実現する、LED のアノード電圧を意味します。代表的な ADPD188GG の例として、VLED 電源の最小値が  $4.4\text{V}$  で、2 個の  $525\text{nm}$  LED の並列使用時のピーク電流が  $200\text{mA}$  であるものとします。CVLED の最小値は  $4\mu\text{F}$  です。

$$C_{VLED} = (3 \times 10^{-6} \times 0.20)/(4.4 - (3.65 + 0.6)) = 4.0\mu\text{F} \quad (3)$$

式 3 に示すように、電源の最小電圧降下は最大アノード電圧に近い値なので、CVLED に対する要件はより厳しくなり、コンデンサの値がより大きくなる傾向を招きます。これらの式には、正しい値を代入することが重要です。例えば、 $V_{LED\_MIN}$  の最も厳しい条件の値ではなく、 $V_{LED\_MIN}$  の平均値を使用すると、問題を引き起こすおそれがあるので、CVLED の値に十分なマージンを追加することを強く推奨します。

## 外部 LED の使用

また、ADPD188GG LED ドライバは、外部 LED を駆動できるように、必要に応じて外部パッケージ・ピンに接続されます。図 31 に、外部 LED を駆動できる接続図を示します。

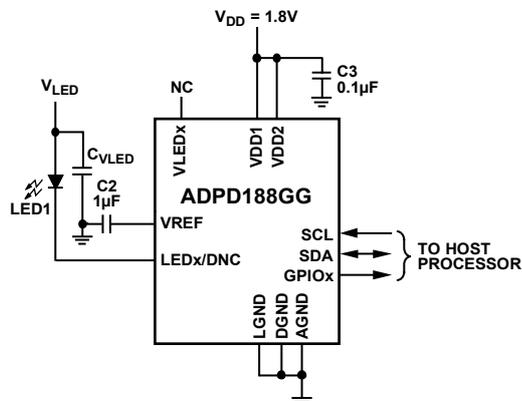


図 31. ADPD188GG LED ドライバを使用して外部 LED を駆動する

## 消費電流の計算

以下の式に示すように、ADPD188GG の消費電流はユーザが選択する動作設定によって異なります。

### 消費電力の計算

合計消費電力を計算するには、式 4 を使用します。

$$\text{合計電力} = I_{VDD\_AVERAGE} \times V_{DD} + I_{LED\_AVERAGE} \times V_{LED} \quad (4)$$

ここで、

$I_{VDD\_AVERAGE}$  は、平均  $V_{DD}$  電源電流 ( $V_{DD1}$  と  $V_{DD2}$  で給電)。

$V_{DD}$  は  $V_{DD1}$  ピンと  $V_{DD2}$  ピンに印加される電圧。

$I_{LED\_AVERAGE}$  は平均 LED 電流。

$V_{LED}$  は  $V_{LEDx}$  ピンの電圧。

### $V_{DD}$ からの平均電源電流

$V_{DD}$  からの平均電源電流を計算するには、式 5 を使用します。

$$I_{VDD\_AVG} = DR \times ((I_{AFE\_A} \times t_{SLOTA}) + (I_{AFE\_B} \times t_{SLOTB}) + Q_{PROC\_X}) + I_{VDD\_STANDBY} \quad (5)$$

ここで、

$DR$  は、Hz 単位のデータ・レート。

$I_{SOURCE} = 0.2\mu A$

$Q_{PROC\_X}$  は、処理時間に対して次のように関連付けられる平均電荷です。

タイム・スロット A のみが有効な場合

$$Q_{PROC\_A} (C) = 0.35 \times 10^{-6}$$

タイム・スロット B のみが有効な場合

$$Q_{PROC\_B} (C) = 0.24 \times 10^{-6}$$

タイム・スロット A とタイム・スロット B が有効な場合

$$Q_{PROC\_AB} (C) = 0.40 \times 10^{-6}$$

$$I_{AFE\_X} (A) = 3.0 \times 10^{-3} + (1.5 \times 10^{-3} \times NUM\_CHANNELS) + (4.6 \times 10^{-3} \times I_{LEDX\_PK} / SCALE\_X) \quad (6)$$

$$t_{SLOTx} (sec) = LEDx\_OFFSET + LEDx\_PERIOD \times PULSE\_COUNT \quad (7)$$

ここで、

$NUM\_CHANNELS$  は、アクティブなチャンネルの数。

$I_{LEDX\_PK}$  は、特定のタイム・スロットで有効になっている LED を流れる、アンペア単位のピーク LED 電流。

$SCALE\_X$  は、 $I_{LED\_COARSE}$  レジスタのビット 13 によって決定される LED 駆動電流のスケール・ファクタ。

$LEDx\_OFFSET$  は、秒単位で表現されるパルス開始時刻のオフセット。

$LEDx\_PERIOD$  は、秒単位で表現されるパルス期間。

$PULSE\_COUNT$  はパルス数。

タイム・スロット A とタイム・スロット B の一方が無効になっている場合、該当するタイム・スロットで  $I_{AFE\_X} = 0$  になっています。

### $V_{LEDA}$ からの平均電源電流

$V_{LEDA}$  からの平均電源電流を計算するには、式 8 を使用します。

$$I_{LED\_AVG\_A} = SLOTA\_LED\_WIDTH \times I_{LEDA\_PK} \times DR \times PULSE\_COUNT \quad (8)$$

ここで、

$SLOTA\_LED\_WIDTH$  は、秒単位で表現される LED パルス幅。

$I_{LEDA\_PK}$  は、タイム・スロット A LED のアンプで表現されるピーク電流。

### $V_{LEDB}$ からの平均電源電流

$V_{LEDB}$  からの平均電源電流を計算するには、式 9 を使用します。

$$I_{LED\_AVG\_B} = SLOTB\_LED\_WIDTH \times I_{LEDB\_PK} \times DR \times PULSE\_COUNT \quad (9)$$

ここで、

$SLOTB\_LED\_WIDTH$  は、秒単位で表現される LED パルス幅。

$I_{LEDB\_PK}$  は、タイム・スロット B LED のアンプで表現されるピーク電流。

## 信号に制限のあるシステムにおけるワットあたりの SNR の最適化

実際には、ピーク SNR の最適化が必ずしも実用的であるとは限りません。信号が制限される領域で PPG 信号の SNR が不十分になる状況を考えましょう。このシナリオでは、目的のリターン (反射) レベルを達成する前に、LED 電流が上限に達します。

ピーク SNR の改善が停止する場所から、この状況を調整する作業を開始することになります。開始ポイントとして、50k の公称ゲインを使用します。LED 電流の最小設定値を 12 mA として、フォトダイオードが飽和しないことや、強度が高い周辺光から保護するには 50k のゲインで十分であることを前提とすると、このゲイン値は妥当です。いずれかの条件が成立しない場合、出発点として 25k のゲインを使用します。

DC リターン信号を 50% や 60% などの特定の ADC 範囲に収めることがチューニングの目標です。ADC レンジの選択肢は、時間の経過に伴って DC レベルが変動する場合でも、飽和を防止するために必要となるヘッドルームのマージンの関数として表現できます。PPG 波形の SNR は常に、DC レベルに比べて何らかのパーセント値に相当します。最善のゲインを使用しても目標のレベルを達成できない場合は、ゲインを大きくしてこの手順を繰り返します。システムを調整する際に、周辺信号による飽和を防止するため、ゲインの上限を設定することが必要となる場合があります。

## パルス数の調整

LED ピーク電流と TIA ゲインを最適化した後、サンプルあたりのパルス数を増やすと、パルス数の平方根に比例して SNR が改善されます。パルス数を増やす方法は 2 つあります。パルス数レジスタ（レジスタ 0x31 のビット [15:8] とレジスタ 0x36 のビット [15:8]）を使用して、内部サンプルあたりのパルス数を変更します。レジスタ 0x15 のビット [6:4] とビット [10:8] は、データを出力へ送信する前に平均化の対象となる内部サンプルの数を制御します。したがって、サンプルあたりのパルス数は、パルス数レジスタの値に、後続の平均化に使用されるサンプル数を掛けた値に等しくなります。通常、望ましい出力データ・レートを維持するため、平均化の対象となる内部サンプルの数を増やすと、内部サンプリング・レートは増大します。SNR/ワットは、パルス数の値が 16 以下のときに最大の最適化を実現できます。パルス数の値が 16 より大きい場合、パルス数レジスタ内で平方根の関係が維持されません。ただし、レジスタ 0x15 を使用して平均化の対象となるサンプルの数を変更すると、この関係を引き続き維持できます。

LED ピーク電流を大きくすると、LED の消費電力にほぼ比例して SNR が改善されますが、 $n$  倍だけパルス数を増やす場合、SNR の公称値は  $\sqrt{n}$  倍しか改善されません。

合計/平均化の対象となるサンプルの数を変更する機能（レジスタ 0x15）を使用する場合、総計されるサンプルの数に応じて出力データ・レートは低下します。静的な出力データ・レートを維持するには、レジスタ 0x15 で選択したのと同じ係数倍だけ、サンプリング周波数（レジスタ 0x12）を引き上げます。例えば、出力データ・レートが 100Hz で、合計/平均化の対象となるサンプルの数が 4 個の場合は、サンプリング周波数を 400Hz に設定します。

## ADPD188GG のカバーに関する機構上の留意点

一部のアプリケーションでは、湿気から保護するために、ADPD188GG をカバーする必要があります。ADPD188GG は、この条件を念頭に置いて設計されています。デバイスの独自の断面図（図 13 を参照）は、厚い窓でも LED からディテクタへ直接光が入射することを防ぎます。最適に動作させるために、窓の厚さは 0.7mm 未満、モジュールと窓の間の空気ギャップは 0.5mm 未満にすることを推奨します。

## TIA ADC モード

図 32 に、アナログ BPF と積分器を使用せず、実質的に TIA を ADC 内で直接作動させるモードにするよう ADPD188GG を設定する方法を示します。このモードを TIA ADC モードと呼びます。TIA ADC モードを使用する基本的なアプリケーションが 2 つあります。通常モードでは、すべての背景光がシグナル・チェーンからブロックされるので、背景光を測定することはできません。TIA\_ADC モードでは、背景光/周辺光の量を測定できます。また、このモードでは、漏れ抵抗のような他の DC 入力電流を測定することもできます。

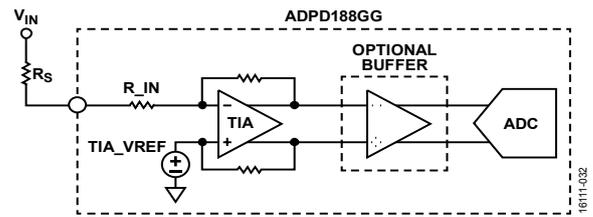


図 32. TIA ADC モードのブロック図

デバイスが TIA ADC モードで動作している場合、BPF と積分器の段はバイパスされます。このバイパスにより、実質的に TIA が ADC に直結されます。設定済みのサンプリング周波数で、ADC はチャンネル 1 からチャンネル 4 を順番にサンプリングし、各サンプルは 1  $\mu$ s の間隔で取得されます。

TIA ADC モードには、2 種類の動作モードがあります。1 つの動作モードは反転設定であり、TIA ADC モードが ADC を直接駆動します。この動作モードを有効にするには、レジスタ 0x43（タイム・スロット A）とレジスタ 0x45（タイム・スロット B）の一方または両方を 0xB065 に設定します。この結果、BPF と積分器はバイパスされます。目的のチャンネルで ADC オフセット・レジスタを 0 に設定し、TIA\_VREF を 1.265V に設定した場合、ADC の出力は、単一パルスとゼロ入力電流の条件下で約 13,000 のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 0 に向かって減少します。

TIA ADC モードでは、BPF をバイパスし、積分器をバッファとして設定する動作モードも推奨されています。この動作モードを有効にするには、レジスタ 0x43（タイム・スロット A）とレジスタ 0x45（タイム・スロット B）の一方または両方に 0xAE65 を書き込み、BPF をバイパスします。更に、積分器をバッファとして構成するために、レジスタ 0x42 のビット 7（タイム・スロット A）とレジスタ 0x44 のビット 7（タイム・スロット B）の一方または両方を 1 に設定し、レジスタ 0x58 のビット 7 を 1 に設定します。目的のチャンネルで ADC オフセット・レジスタを 0 に設定し、TIA\_VREF を 1.265V に設定した場合、ADC の出力は、単一パルスとゼロ入力電流の条件下で約 13,000 のコードになります。フォトダイオードからの入力電流が増加すると、ADC 出力は 0 に向かって減少します。

積分器をバッファとして構成する場合は、ゲインを 1 または 0.7 のいずれかに設定するオプションがあります。ゲインを 0.7 に設定すると、TIA への入力で使用可能なダイナミック・レンジが増えます。バッファ・ゲインは、タイム・スロット A のレジスタ 0x42 のビット 9、およびタイム・スロット B のレジスタ 0x44 のビット 9 を使用して設定します。このビットを 0（デフォルト）に設定すると、ゲインが 1 に設定されます。このビットを 1 に設定すると、バッファのゲインが 0.7 に設定されます。

ADC 出力 (ADC<sub>OUT</sub>) は、次のように計算されます。

$$ADC_{OUT} = 8192 \pm \left( (2 \times TIA\_VREF - 2 \times i \times R_F - 1.8V) / 146\mu V/LSB \right) \times SLOTx\_BUF\_GAIN \quad (11)$$

ここで、

TIA\_VREF は、TIA のバイアス電圧（デフォルト値は 1.265V）。

$i$  は TIA への入力電流。

$R_F$  は TIA の帰還抵抗。

SLOTx\_BUF\_GAIN は、レジスタ 0x42 のビット 9 およびレジスタ 0x44 のビット 9 の設定に基づいて、0.7 または 1 になります。

式 11 は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算は ADC オフセット・レジスタが 0 に設定されることも想定しています。

一方のタイム・スロットを TIA ADC モードで使用すると同時に、他方のタイム・スロットを通常のパルス・モードで使用することもできます。周辺信号とパルス信号を同時にモニタリングする場合、この設定が役に立ちます。TIA ADC モードを使用するように設定したタイム・スロットで周辺信号をモニタリングすると同時に、周辺信号を除去したパルス信号は、通常動作モードに設定したタイム・スロットでモニタリングします。

### 通常動作時の TIA 飽和の防止

飽和する可能性のある環境への対策を備えることが、TIA ADC モードでモニタリングを行う理由の 1 つです。大光量条件下での動作における懸念事項として (特に大きいフォトダイオードを使用する場合)、ADPD188GG がデータ通信を継続している間に、TIA 段が飽和する可能性が挙げられます。結果として生じる飽和は、代表的なものではありません。この設定に基づく TIA が取り扱えるのは、特定のレベルのフォトダイオード電流のみです。ADPD188GG の設定状態に基づき、フォトダイオードからの電流レベルが TIA の扱える限度を超えた場合は、LED パルス内での TIA 出力が電流パルス幅を効果的に拡張します。その後、バンドパス・フィルタの出力の正の部分が、積分ウィンドウの負のセクションにまで拡大されるため、AFE のタイミング違反が発生します。この結果、フォトダイオードに起因する信号が、信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIA からの応答を測定し、この段が飽和していないことを確認するには、デバイスを TIA ADC モードに移行し、タイミングをわずかに変更します。特に、4 個のチャンネルのうち 2 個または 3 個が最小値に達するまで、SLOTx\_AFE\_OFFSET を掃引します (TIA が反転設定になっていることに注意してください)。4 個のチャンネルはいずれも、この最小値に達しません。通常、3  $\mu$ s の LED パルス幅を使用し、ADC は 1  $\mu$ s の間隔で 4 個のチャンネルを順にサンプリングするからです。この手順に従えば、ADC のサンプリング時間が、光検出器に投射される光の量を測定する LED パルスに整合します (例えば、周辺光+LED パルス)。

通常、TIA が飽和しないための安全な動作領域は、フルスケールの 3/4 以下です。チャンネル/パルスをベースとして、出力コードを ADC レベルにマップする方法を決定するには、表 18 を参照してください。バンドパス・フィルタと積分器がユニティ・ゲイン素子ではないため、これらのコードは通常動作モードと同じではありません。

### PCB の寄生入力抵抗の測定

ADPD188GG のマウント・プロセスにおいては、アセンブリ誤差や PCB 上のデブリにより、入力に望ましくない抵抗が生じることがあります。これらの抵抗は、アノードとカソードの間や、アノードと他の電源 (またはグラウンド) の間に形成されることがあります。通常動作時には、ADPD188GG の外乱排除機能によってこれらの抵抗の一次的な影響が隠されるので、検出が非常に困難になります。ただし、抵抗が 1M $\Omega$ ~10M $\Omega$  の範囲に達した場合でも、ノイズの増加やダイナミック・レンジの縮小という形で性能に大きな影響を与えることがあります。TIA ADC モードを使用すれば、組み立てて起因するこれらの問題を検討できます。

### フォトダイオードに影響するシャント抵抗の測定

通常、フォトダイオード/EXT\_INx の両端に接続されたシャント抵抗は、動作中のデバイスの出力レベルに影響を与えません。特に、動作中にフォトダイオードが 0V に固定される場合、TIA の実効インピーダンスが非常に小さくなるのが原因です。ただし、このような抵抗はシステム・ノイズの増加と性能低下を招く可能性があります。フォトダイオード・シャント抵抗を使用するのが、フォトダイオードの漏れを検出する最善の方法です。この抵抗は、TIA ADC モードのデバイスを暗状態に移行し、動作モードのカソード電圧を変化させます。カソードの電位を 1.3V に設定すると、フォトダイオード両端の電圧は 0V になります。動作中、アノードの電位は常に 1.3V になるためです。カソードを 1.8V に設定すると、フォトダイオード両端の電圧は 0.5V になります。表 1 に示すレジスタの設定値を使用して、カソード電圧を制御し、両方の電圧で TIA ADC の値を測定します。次に、(0.5V の電位差) / (電流に変換した ADC の結果) を計算します (割り算)。この結果が、シャント抵抗の近似値です。この値が 10M $\Omega$  を上回る場合、測定が困難になりますが、明白な障害を識別する上で、この方法は役立ちます。

### TIA 入力のシャント抵抗の測定

別の問題として、TIA 入力と PCB 上に存在する別の電源またはグラウンドの間に抵抗が出現する可能性があります。これらの抵抗が原因で、TIA が永続的に飽和状態になることがあります。このように早期の飽和が発生した場合、動作中のデバイスのダイナミック・レンジが縮小し、入力に対してジョンソン・ノイズ成分が追加されます。これらの抵抗を測定するには、TIA ADC モードのデバイスを暗状態に移行し、フォトダイオードの入力を非接続状態にして (レジスタ 0x14 のビット [11:8] = 0 またはレジスタ 0x14 のビット [7:4] = 0)、TIA ADC オフセット・レベルの測定を開始します。この値から、TIA ADC モードで暗状態のフォトダイオードを接続したときの測定値を差し引き、その差を電流に変換します。この値が正であり、ADC 信号が減少している場合、V<sub>DD</sub> のように 1.3V よりも高い電圧との間に抵抗が存在しています。TIA に流れ込む電流は出力を低下させます。ADC のコードが増加する現象が示すように、出力の差が負である場合、電流は TIA から流出し、グラウンドのように、1.3V よりも低い電位との間にシャント抵抗が存在します。

**EXT\_IN 1 と EXT\_IN 2 の入力を電圧源と使用する**

ADPD188GG は、電圧入力に使用できます。電圧入力は、通常動作モードまたは TIA ADC モードで測定できます。これらの入力が LED ドライバの励起の結果でない場合は、TIA ADC モードが適しています。直列抵抗  $R_S$  を介して電圧の変換ゲインを理解するために、図 33 の回路図に従い電流を決定できます。

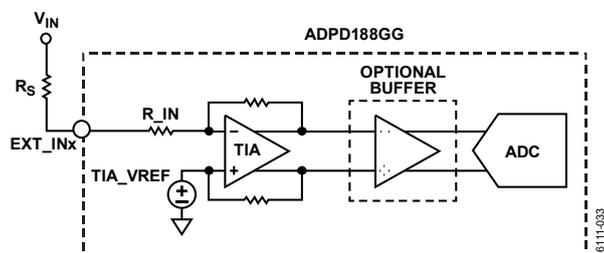


図 33. 電圧入力に使用される ADPD188GG

$$\text{入力電流} = (V_{IN} - TIA\_VREF) / (R_S + R_{IN})$$

$R_{IN}$  の値は表 2 に記載されています。フォトダイオードやその他の電流入力では、 $R_{IN}$  は不要です。これらの入力の電流は、入力抵抗の関数ではないことが理由です。TIA ADC モードでは、アンプの入力電流から ADC コード (LSB) への変換は表 18 に従います。通常動作モードでの電流変換は表 2 に記載されています。表 18 に示すオフセット・レベルは、電流入力が 0 の場合に予想されるコード値を表します。0 以外の入力電流では、この値に nA/LSB の変換ゲインを追加できます。

表 18. TIA ADC モードとデジタル積分モードのアナログ仕様

Parameter	Test Conditions/Comments	Typ	Unit
TIA ADC Offset Level	Floating input (Input current = 0A); Register 0x43 and Register 0x45 = 0xAE65; Register 0x42 and Register 0x44, Bit 7 = 1, Register 0x58, Bit 7 = 1		
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 0 (1.14 V)	11400	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 1 (1.01 V)	9700	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 2 (0.89 V)	8100	LSB
	TIA_VREF = Register 0x42 and Register 0x44, Bits[5:4] = 3 (1.27 V); recommended for PD inputs	13200	LSB
TIA ADC Saturation Levels <sup>1</sup>	Values expressed per channel, per sample; buffer gain = 1		
	25 kΩ	38.32	μA
	50 kΩ	19.16	μA
	100 kΩ	9.58	μA
	200 kΩ	4.79	μA
TIA ADC Resolution	Values expressed per channel, per sample; buffer gain = 1		
	25 kΩ	2.92	nA/LSB
	50 kΩ	1.5	nA/LSB
	100 kΩ	0.73	nA/LSB
	200 kΩ	0.37	nA/LSB

<sup>1</sup> TIA の直線性ダイナミック・レンジは、記載されている飽和レベルの 85% です。

表 19. 通常サンプル・モードと TIA ADC モードの切替えに使用する設定レジスタ

アドレス	データ・ビット	ビット名	通常動作モードの値	TIA ADC モードの値	説明
0x42	[15:10]	SLOTA_AFE_MODE	0x07	該当せず	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	[9]	SLOTA_BUF_GAIN	0x0	0x0	0 : バッファ・ゲイン = 1.0 1 : バッファ・ゲイン = 0.7
	[7]	SLOTA_INT_AS_BUF	0x0	0x1	0 : 通常の積分設定。 1 : TIA ADC モードで積分器をバッファ・アンプに変換 (0x43 = 0xAE65 で必要)
0x43	[15:0]	SLOTA_AFE_CFG	0xADA5	0xAE65	タイム・スロット A の AFE 接続。 0xAE65 : バンドパス・フィルタがバイパスされます。 0xB065 : TIA ADC モードでも使用できます。この設定値により、BPF と積分器の両方がバイパスされます。
0x44	[15:10]	SLOTB_AFE_MODE	0x07	該当せず	通常動作モードでは、この設定値を使用して、積分器ブロックの動作を最適化します。この設定値は、TIA ADC モードでは重要ではありません。
	[9]	SLOTB_BUF_GAIN	0x0	0x0	0 : バッファ・ゲイン = 1.0 1 : バッファ・ゲイン = 0.7
	[7]	SLOTB_INT_AS_BUF	0x0	0x1	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (0x45 = 0xAE65 で必要)
0x45	[15:0]	SLOTB_AFE_CFG	0xADA5	0xAE65	タイム・スロット B の AFE 接続。 0xAE65 : バンドパス・フィルタがバイパスされます。 0xB065 : TIA ADC モードでも使用できます。この設定はバンドパス・フィルタ (BPF) と積分器をバイパスします。
0x58	[7]	ENA_INT_AS_BUF	0x0	0x1	TIA ADC モードで積分器をバッファとして構成する機能を有効にする

## パルス接続モード

パルス接続モードでは、LED パルス・タイミング・レジスタで設定されたタイミングに応じて、フォトダイオードにパルスが供給されます。このモードで、2  $\mu$ s の LED パルスを供給するように LED パルス・タイミングが設定されている場合、デバイスは 2  $\mu$ s の LED パルスを供給する代わりに、フォトダイオードの入力に 2  $\mu$ s にわたってパルスを供給します。このモードは TIA ADC モードに代わるオプションで、各種センサー（例えば、ECG）を

利用して周辺光や他の種類の測定を行う目的で、バンドパス・フィルタと積分器を含む信号パス全体を使用します。

パルス接続モードを有効にするには、通常動作モードと同様の方法でデバイスを設定しますが、例外として、タイム・スロット A ではレジスタ 0x14 のビット [3:2] = 0、タイム・スロット B ではレジスタ 0x14 のビット [1:0] = 0 に設定します。

TIA ADC モードを使用した ECG と PPG の同期測定

患者のヘルスケアを監視する目的で開発されたウェアラブル・デバイスでは、生物医学信号を同期して測定することが必要になります。例えば、患者の ECG と PPG の同期測定を行うと、PWTT (パルス波搬送時間) を決定できます。この値を使用すれば、血圧を推定できます。

図 35 に記載した回路は、AD8233 と ADPD188GG を使用した、ECG と PPG の同期測定を示しています。AD8233 では、カットオフ周波数が 0.3Hz である 2 極ハイパス・フィルタと、カットオフ周波数が 37Hz である 2 極ローパス・フィルタを実装しています。AD8233 の出力は、200kΩ の抵抗を経由して ADPD188GG の EXT\_IN1 電流入力のいずれかに供給され、AD8233 の電圧出力は電流に変換されます。

ADPD188GG は、連続する複数のタイム・スロットを使用して、フォトダイオードの信号と、AD8233 から出力される ECG 信号を交互に測定し、完全に同期された PPG 測定値と ECG 測定値を供給するように設定されています。オンチップ FIFO またはデータ・レジスタから、直接データを読み出すことができます。ECG 信号を処理する目的で使用する ADPD188GG のチャンネルは、TIA ADC モードで設定されています。タイム・スロット A で ECG 信号を測定する場合はレジスタ 0x42 のビット [5:4] を使用し、タイム・スロット B で ECG 信号を測定する場合はレジスタ 0x44

のビット [5:4] を使用して、バイアス電圧の設定値を 0.90V に指定します。信号バスのダイナミック・レンジを最適化する目的で、TIA ゲインの設定値を指定することもできます。PPG 信号を処理するために使用するチャンネルは、通常動作モードで設定します。図 34 に、AD8233 と ADPD188GG を使用した、ECG と PPG の同期測定のプロットを示します。

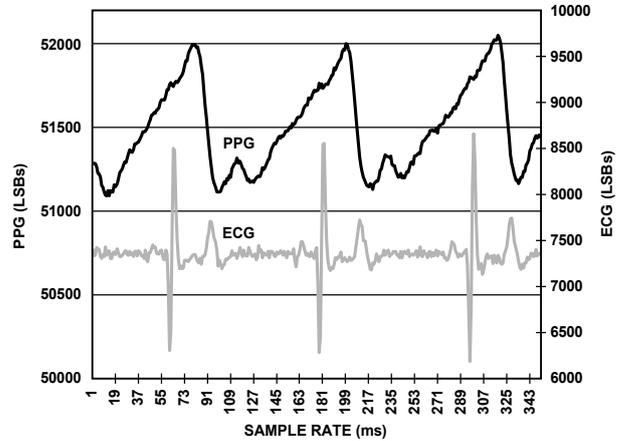


図 34. ECG と PPG の同期波形のプロット

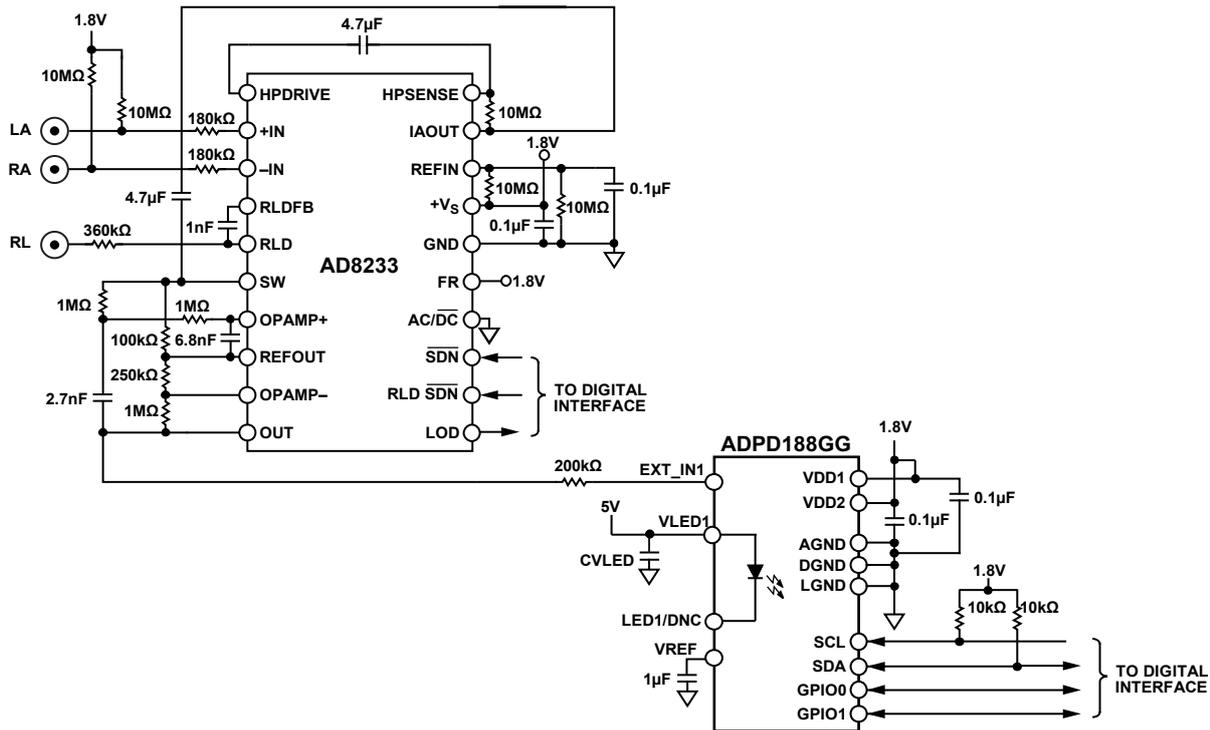


図 35. ADPD188GG と AD8233 を使用した PPG と ECG の同期測定

## フロート・モード

ADPD188GGには、独自の動作モードであるフロート・モードがあります。暗い場所でも、低消費電力で優れた S/N 比を実現します。フロート・モードでは、フォトダイオードは最初に既知の状態にプリコンディショニングされ、フォトダイオードのアノードは、プリセットのフロート期間中、ADPD188GGの受信パスから切断されます。フロート期間中、動作モードに応じて、周辺光、パルス LED 光、または 2つの組み合わせにより、フォトダイオードに光が照射されます。センサーからの電荷は、直接センサーの容量に保存されます。フロート期間の最後には、フォトダイオード・スイッチは ADPD188GG の受信パスに切り戻され、蓄積された電荷の突入が発生します。その後、ADPD188GGの積分器によって積算されます。これにより、信号パスによって追加されるノイズの量を最低限に抑え、パルスあたりの電荷の最大量を処理できます。最大電荷を得られる限り、信号にノイズを加える信号パスのアンプに関係なく、フォトダイオードの容量に電荷が外部で積算されます。

アンプと ADC ノイズの値は、特定の測定に対して一定になります。最適な S/N 比を実現するには、各測定の信号の量（電荷）を大きくするのが望ましいです。通常動作モードでは、パルス時間が固定されるので、測定あたりの電荷を増やすには、LED 駆動電流を増やすのが唯一の方法です。光が強い条件では、この方法で十分です。ただし、光が弱い条件では、使用できる電流に制限があります。更に、電流パルスが強いと、一部のシステムでグラウンド・ノイズが発生することがあります。電流が高くなると、緑色 LED の効率が低下し、多くのバッテリー設計で高電流パルスを効率よく配信できません。フロート・モードでは、LED の駆動電流を増やすか、フロート時間を増やすことで、各測定の電荷量を増やすことができます。この柔軟性は、低電流伝達率（CTR）条件で特に便利です。例えば、10nA/mA の場合、通常動作モードでは許容可能なレベルの S/N 比を実現するために複数のパルスが必要です。

フラット・モードでは、信号パスは BPF をバイパスし、TIA と積分器のみを使用します。通常動作モードでは、パルスの形状は既知（通常は 2 $\mu$ s または 3 $\mu$ s）で、あらゆるデバイスと条件で一貫しています。BPF 経由で入力される信号の形状は予想でき、積分器のタイミングとフィルタ処理された信号のゼロ交差を揃えることができます。フラット・モードでは、電荷ダンプで生成される信号の形状は、デバイスと条件によって異なります。フィルタ処理された信号は高い信頼度で揃えられないので、BPF を使用できません。フラット・モードでは、電荷ダンプ全体が積分器の負のサイクルで積算され、正のサイクルはオフセットをキャンセルします。

## フロート・モードの測定サイクル

図 36 にフロート・モード測定サイクルのタイミング図を示し、ポイントの詳細を以下に説明します。

- プリコンディショニング期間は、ポイント A の前に発生します。フォトダイオードは TIA に接続され、光電流が TIA に流れ込みます。フォトダイオード・アノードは、0.9V に保たれます（レジスタ 0x42 とレジスタ 0x44 のビット [5:4] = 0x2 を書き込むと、TIA\_VREF = 0.9V に設定されます）。レジスタ 0x54 のビット 7 = 1 およびレジスタ 0x54 のビット [9:8] = 0x2 に設定することで、フォトダイオードに約 250mV の最大逆バイアスが印加されます。この時点で、TIA の出力は  $(TIA\_OUT) = TIA\_VREF - (I_{PD} \times R_f)$  となります。ここで、 $I_{PD}$  は、PD から ADPD1080/ADPD1081 入力に流れる電流で、積分器はオフになっています。
- ポイント A で、フォトダイオードは受信パスから切断されます。光はフォトダイオードに引き続き照射され、フォトダイオード容量に直接蓄積する電荷が生成されます。電荷が蓄積すると、フローティングのフォトダイオードのアノードの電圧が上がります。TIA は ADPD188GG への入力から切断され、電流は TIA を流れず、TIA 出力は TIA\_VREF になります。ポイント B の直前に、積分器は 0 にリセットされます。同期 LED 測定のフロート・モードのセクションでは、LED はポイント A ~ ポイント D の期間にパルスが発生します。4 $\mu$ s 未満のフロート時間は許可されません。
- ポイント B で、積分器は正の積分フェーズを開始します。TIA 出力と積分器のリファレンスの間に小さな DC オフセットが存在するので、積分器の出力によって、正のオフセットではランプアップまたは負のオフセットではランプダウンが発生することがあります。この期間中、フォトダイオードは引き続き電荷を蓄積します。
- ポイント C で、積分器は負の積分フェーズを開始します。この極性の反転は、オフセットで発生した信号のキャンセルを開始します。このオフセットのキャンセルは、オフセットが完全にキャンセルされるポイント F まで続きます。
- ポイント D で、フォトダイオードは受信パスに切り替わり、フロート時間中にフォトダイオードの容量に蓄積されたすべての電荷が TIA にダンプされます。典型的な電荷ダンプ時間は 2 $\mu$ s 未満です。電流が TIA 経由で流れるので、TIA の出力は大きな負の信号に応答します。この時点で、積分器は負の積分フェーズにあり、デバイスへの入力電流が合計電荷に積算されるので、積分器の出力は増加します。ポイント D ~ ポイント E の間、フォトダイオードへの光の入射によって追加の光電流が生成され、積分器によって電荷として即座に積分されます。
- ポイント E で、TIA は受信パスから切断され、TIA 出力は TIA\_VREF に戻ります。ポイント E ~ ポイント F の間、積分器は負の積分フェーズとオフセットのキャンセルを完了します。
- ポイント F では、積分器の出力は ADC でサンプリングされるまで保持されます。

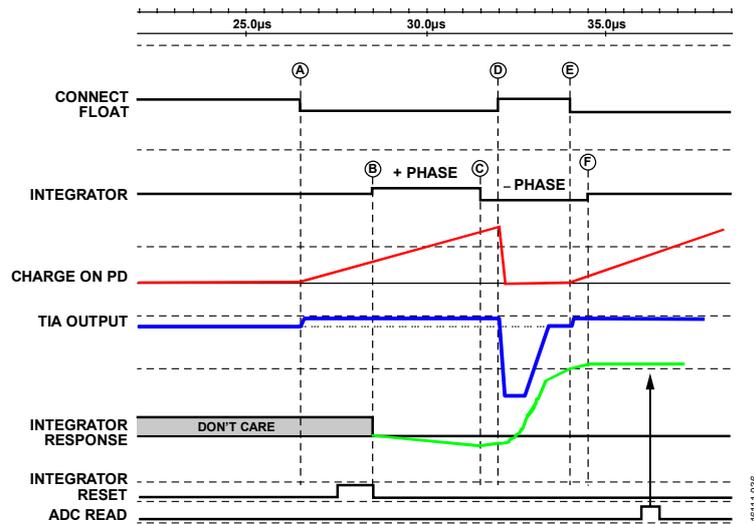


図 36. フロート・モードの測定サイクルのタイミング図

### フロート・モードの制限

フロート・モードを使用する場合は、モードの制限を理解する必要があります。例えば、フォトダイオードの容量に蓄積できる電荷の量は有限です。また、積分器によって積算できる電荷にも上限があります。フォトダイオードの初期の逆バイアスが 250mV で、約 200mV の順バイアスで非直線性になると仮定すると、アノード電圧には約 450mV のヘッドルームがあり、フロート時間の開始ポイントでの電荷が直線状に蓄積するのを停止するまで増加を開始します。フォトダイオードの線形領域のみで動作することが望ましいです (図 37 を参照)。フロート・モードがダイオードの線形領域で動作することを確認するには、簡単なチェックを実行できます。目的のフロート時間でデータを記録し、次にフロート時間の半分でデータを記録します。受信した 2 つの信号の比率が 2 : 1 であることを推奨します。この比率が当てはまらない場合、ダイオードは長いフロート時間で順バイアスを開始し、非直線性になります。

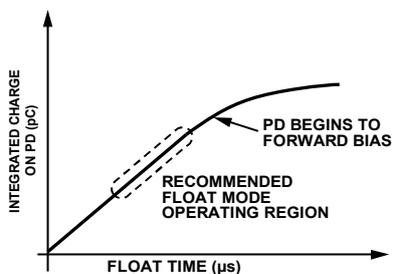


図 37. フォトダイオードで積算された電荷の伝達関数とフロート時間

フォトダイオード容量に保存でき、センサーの直線動作領域に留まることのできる電荷の最大量は、次のように推定できます。

$$Q = CV$$

ここで、

$Q$  は積分された電荷。

$C$  はフォトダイオードの容量。

$V$  はフォトダイオードが非直線になる前にフォトダイオードの両端で変化する電圧量。

70pF の容量と 450mV のヘッドルームの 7mm<sup>2</sup> のフォトダイオードを使用する典型的なディスクリート光学設計では、フォトダイオード容量に保存できる電荷の最大量は 31.5pC です。

更に、ADPD188GG の積分器で積算できる電荷の最大量を考えます。積分器は、最大 7.6pC まで積算できます。この電荷が入力に差し戻される場合は、TIA ゲインを考慮します。TIA ゲインが 200k $\Omega$  の場合、入力換算される電荷は、積分器で積算される電荷に対して 1 : 1 の比になります。100k $\Omega$  のゲインでは 2 : 1、50k $\Omega$  のゲインでは 4 : 1、25k $\Omega$  のゲインでは 8 : 1 になります。70pF 容量のフォトダイオードを使用する前述の例では、50k $\Omega$  の TIA ゲインを使用して、単一パルスで ADC の出力がフルスケールの 70% (典型的な動作条件) になるようフロートのタイミングを設定します。このような動作条件では、フォトダイオード容量に蓄積された 21.2pC の電荷はパルスあたり 5.3pC に積分されます。ただし、小さな CTR では、フォトダイオード容量に 21.2pC の電荷が蓄積するまでに長時間を要することがあります。この場合、特定の期間に蓄積できる電荷の量に応じて、高い TIA ゲインを使用します。最終的に、フロート期間は測定のタイプ (周辺光またはパルス LED)、フォトダイオード容量、システムの CTR によって決定されます。

### 周辺光測定のフロート・モード

フロート・モードは、背景光が非常に少ない周辺光測定で使用されます。強度が高い周辺光測定では、TIA ADC モードを使用します。適切なフロート期間で少量の光を測定でき、システムのノイズ・フロアを超えて測定できる大きなレベルに入力電荷を蓄積できます。この光源は、同期光 (例 : パルス LED) と非同期光 (背景光) の組み合わせです。システムが生成した光源がない場合は、背景光の測定になります。

2パルスの差動測定技術を使用して、電子回路のドリフトとオフセットがキャンセルされます。異なるフロート期間で2回測定します。1番目のフロート期間は、2番目のパルスよりも大幅に短くなります。2回の測定後、測定2から測定1を減算します。これにより、両方の測定に共通するオフセットとドリフトが効果的にキャンセルされます。残りは、1番目と2番目のフロート期間の間に積分された電荷の量に基づく周辺光の測定値です。例えば、フロート時間1が6μsでフロート時間2が26μsの場合、周辺光の測定はオフセットとドリフトが削除されたフォトダイオード容

量で積分された20μsの電荷に基づきます。周辺光のフロート・モードでは、最初のパルスのみ短くなるので、パルスの数を2に設定して、ドリフトとオフセットをキャンセルする必要があります。3つ以上のパルスを使用できますが、2~nまでのパルスは、常に同じ長さになります。ドリフトのキャンセルが不要な場合、任意の数のパルスを使用して総計できます。図38に、フロート周辺モードのタイミング例を示し、表20に構成する必要がある関連レジスタの詳細を示します。

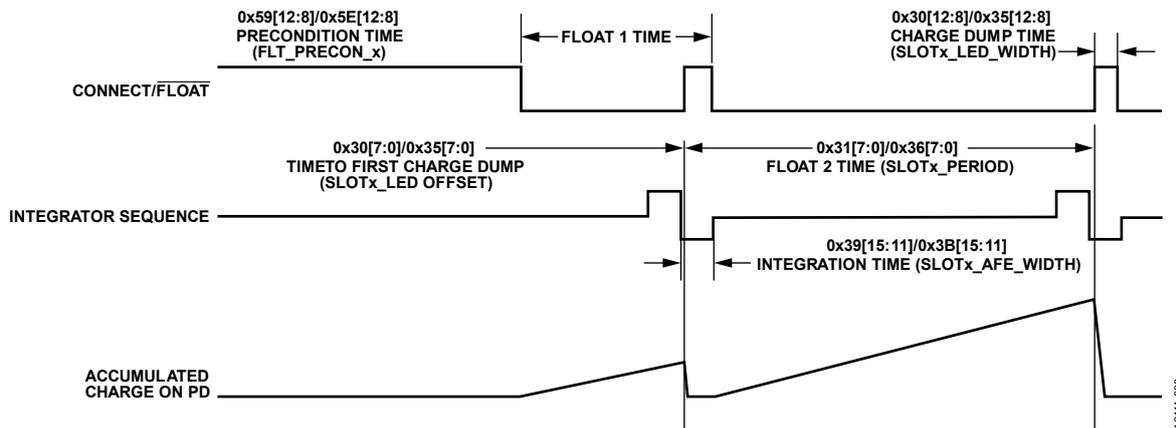


図 38. フロート周辺モードのタイミングの例

表 20. フロート周辺モード・レジスタ

グループ	Register Name	レジスタ		フロート・モードの説明
		タイム・スロット A	タイム・スロット B	
フロート・モードの動作	SLOTx_LED_SEL	0x14のビット [1:0]	0x14のビット [3:2]	フロート・モードを有効にするには、0に設定。
	FLT_EN_x	0x5Eのビット[14:13]	0x59のビット[14:13]	接続パルス間のフロートを有効にするには、3に設定。
	FLT_MATH12_x	0x58のビット [2:1]	0x58のビット [6:5]	1番目のパルスを減算して2番目のパルスを加算するには、2に設定。
	SLOTx_AFE_CFG	0x43のビット [15:0]	0x45のビット [15:0]	TIA、積分器、バイパス BPF 用に 0xAE65 に設定。
	SLOTx_TIA_VREF	0x42のビット [5:4]	0x44のビット [5:4]	TIA_VREF = 0.9V 用に 2 に設定。
	SLOTx_V_CATHODE	0x54のビット [9:8]	0x54のビット[11:10]	プリコンディションでフォトダイオードの 250mV の逆バイアス向けに 2 に設定。
	REG54_VCAT_ENABLE	0x54のビット 7	0x54のビット 7	レジスタ 0x3C カソード電圧設定を上書きするには、1 に設定。
フロート・モードのタイミング	FLT_PRECON_x	0x5Eのビット [12:8]	0x59のビット [12:8]	プリコンディション時間 (フロート 1 期間の開始)
	SLOTx_PERIOD	0x31のビット [7:0]	0x36のビット [7:0]	8LSB のフロート期間 (μs 単位)、フロート 2 期間 = SLOTx_PERIOD
	SLOTx_PERIOD	0x37のビット [1:0]	0x37のビット [9:8]	2MSB のフロート期間。
	SLOTx_LED_WIDTH	0x30のビット [12:8]	0x35のビット [12:8]	接続時間 (μs)。フォトダイオード容量から蓄積された電荷をダンプするための時間 (通常 2μs)。
	SLOTx_LED_OFFSET	0x30のビット [7:0]	0x35のビット [7:0]	最初の電荷ダンプまでの時間。フロート 1 期間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECONx。
	SLOTx_AFE_WIDTH	0x39のビット [15:11]	0x3Bのビット [15:11]	積分時間 (μs)。FLT_CONNx + 1 に設定。
	SLOTx_AFE_OFFSET	0x39のビット [10:0]	0x3Bのビット [10:0]	31.25ns インクリメントでの積分器の開始時間。(SLOTx_LED_OFFSETx - SLOTx_AFE_WIDTH - 9.25) μs に設定
	SLOTx_PULSES	0x31のビット [15:8]	0x36のビット [15:8]	パルスの数。フロート周辺モードでは 2 に設定。

同期 LED 測定のプロット・モード

フロート LED モードでは、光電流はフロート期間中の周辺光とパルス LED 光から生成されます。フロート LED モードは、CTR が 10nA/mA 未満の低い信号条件が望ましいです。更に、フロート・モードは、心拍数測定で緑色 LED の駆動電流を制限する必要がある状況に最適のオプションです。この状況では、LED 電源のブースト・コンバータを不要にできるレベルに緑色 LED の順方向の電圧降下を維持するのが望ましいです。例えば、LED 電流を 10mA に制限して、LED の電圧降下を約 3V に抑えます。この場合、ブースト・コンバータが不要になり、バッテリーから直接動作することができます。フロート・モードは、信号パスからのノイズを追加することなく、長い LED パルスの発生中に受信した電荷を蓄積し、最高の S/N 比と光子を効果的に実現できます。

フロート周辺モードと同様、複数のパルスで電子回路のオフセットとドリフトがキャンセルされますが、フロート LED モードでは、LED パルスからの反射リターンのみが必要なため、周辺光もキャンセルする必要があります。これを実現するため、長さの等しい偶数個のパルスを使用します。パルスのペアごとに、LED は一方のパルスをフラッシュし、他方のパルスはフラッシュしません。LED からのリターン光 + 周辺光 + オフセットは一方のパ

ルスに存在します。他方のパルスには、周辺光とオフセットだけが存在します。2 つのパルスの減算により、周辺光だけでなく、オフセットとドリフトが除去されます。パルス 2 とパルス 3 で LED をフラッシュする測定には、4 パルスのグループを使用することを推奨します。アキュムレータは、パルス 2 とパルス 3 を加算し、パルス 1 とパルス 4 を減算します。追加の S/N 比を取得するには、4 パルスのグループを複数使用します。

FLT\_LED\_FIRE\_x、レジスタ 0x5A のビット [15:8] の設定によって、LED がパルス位置でオンになるかどうか決定されます。加算または減算されるパルス位置は、レジスタ 0x58 のビット FLT\_MATH12x およびビット FLT\_MATH34x で設定されます。これらのシーケンスは、4 パルスのグループで繰り返されます。FIFO またはデータ・レジスタに書き込まれる値は、サンプル期間あたりのパルスの合計数に依存します。例えば、デバイスが 32 パルスでセットアップされている場合は、FLT\_LED\_FIRE\_x および FLT\_MATHxxx で定義されているように 4 パルスのシーケンスが 8 回繰り返されます。この際、32 パルスに基づいて、1 つのレジスタまたは FIFO の最終的な値の書き込みが実行されます。表 21 に、フロート LED モードの関連するレジスタの詳細を示します。

表 21. フロート LED モード・レジスタ

グループ	Register Name	レジスタ・アドレス		フロート・モードの説明
		タイム・スロット A	タイム・スロット B	
フロート・モードの動作	SLOTx_LED_SEL	0x14 のビット [1:0]	0x14 のビット [3:2]	フロート・モードを有効にするには、0 に設定。 接続パルス間のフロートを有効にするには、3 に設定。 1 番目のパルスを減算して 2 番目のパルスを加算するには、2 に設定。 3 番目のパルスを加算して 4 番目のパルスを減算するには、1 に設定。 TIA + 積分器、バイパス BPF 用に 0xAE65 に設定。 TIA_VREF = 0.9V 用に 2 に設定。 プリコンディションでフォトダイオードの 250mV の逆バイアス向けに 2 に設定。 レジスタ 0x3C カソード電圧設定を上書きするには、1 に設定。 フロート LED モードの LED 選択。 00 = LED なし。 01 = LED1。 10 = LED2。 11 = LED3。
	FLT_EN_x	0x5E のビット [14:13]	0x59 のビット [14:13]	
	FLT_MATH12_x	0x58 のビット [2:1]	0x58 のビット [6:5]	
	FLT_MATH34_x	0x58 のビット [9:8]	0x58 のビット [11:10]	
	SLOTx_AFE_CFG	0x43 のビット [15:0]	0x45 のビット [15:0]	
	SLOTx_TIA_VREF	0x42 のビット [5:4]	0x44 のビット [5:4]	
	SLOTx_V_CATHODE	0x54 のビット [9:8]	0x54 のビット [11:10]	
	REG54_VCAT_ENABLE	0x54 のビット 7	0x54 のビット 7	
	FLT_LED_SELECT_x	0x3E のビット [15:14]	0x3F [15:14]	
フロート・モードのタイミング	FLT_PRECON_x	0x5E のビット [12:8]	0x59 のビット [12:8]	プリコンディション時間 (フロート 1 期間の開始) 8LSB のフロート期間 (μs)。フロート 2 の期間 = SLOTx_PERIOD。フロート 2 の期間は、1 番目のパルスに続く各パルスで有効です。フロート LED モードでは、フロート 1 の期間をフロート 2 の期間と等しく設定する必要があります。 2MSB のフロート期間。 接続時間 (μs)。フォトダイオード容量から蓄積された電荷をダンプする時間。通常は 2μs に設定。 最初の電荷ダンプまでの時間。フロート 1 の期間 = (SLOTx_LED_OFFSET + SLOTx_LED_WIDTH) - FLT_PRECONx。フロート LED モードでは、フロート 1 の期間をフロート 2 の期間と等しく設定する必要があります。
	SLOTx_PERIOD	0x31 のビット [7:0]	0x36 のビット [7:0]	
	SLOTx_PERIOD	0x37 のビット [1:0]	0x37 のビット [9:8]	
	SLOTx_LED_WIDTH	0x30 のビット [12:8]	0x35 のビット [12:8]	
	SLOTx_LED_OFFSET	0x30 のビット [7:0]	0x35 のビット [7:0]	

グループ	Register Name	レジスタ・アドレス		フロート・モードの説明
		タイム・スロット A	タイム・スロット B	
	SLOTx_AFE_WIDTH	0x39 のビット [15:11]	0x3B のビット [15:11]	積分時間 (μs)。FLT_CONN + 1 に設定。
	SLOTx_AFE_OFFSET	0x39 のビット [10:0]	0x3B のビット [10:0]	31.25ns インクリメントの積分器の開始時間。 (SLOTx_AFE_OFFSET = SLOTx_LED_OFFSET - SLOTx_AFE_WIDTH - 9.25) μs に設定。
	SLOTx_PULSES	0x31 のビット [15:8]	0x36 のビット [15:8]	パルスの数。2 の倍数に設定する (最低 2)。
	FLT_LED_WIDTH_x	0x3E のビット [12:8]	0x3F のビット [12:8]	フロート LED モードの LED パルス幅 (μs)。
	FLT_LED_OFFSET_x	0x3E のビット [7:0]	0x3F のビット [7:0]	フロート LED モードの 1 番目の LED パルスの期間。
	FLT_LED_FIRE_x	0x5A のビット [11:8]	0x5A のビット [15:12]	4 パルスの任意のシーケンスで、選択された位置で LED をオンにする。選択はアクティブ・ロー (0 の場 合に LED をオン)。例えば、タイム・スロット B の 4 パルスのシーケンスでは、レジスタ 0x5A のビット 12 が 1 番目のパルス、レジスタ 0x5A のビット 15 が 4 番 目のパルスです。4 パルスのシーケンスでは、レジス タ 0x5 のビット [15:12] に 0x9 を書き込むと、2 番目 のパルスと 3 番目のパルスで LED がオンになります。

タイム・スロット B の 4 パルスのフロート LED シーケンスのタイミング図を図 39 に示します。この例では、16μs のフロート期間に収まるよう LED パルス幅が 12μs にセットアップされます。そのうち、2μs はフォトダイオードに蓄積される電荷のダンプに使用されます。積分時間は電荷ダンプ時間よりも 1μs 長い 3μs に設定され、入力電荷を積分するときにタイミング・マージンが追加されます。積分の開始時間に 9μs のオフセットが組み込まれています。SLOTx\_AFE\_OFFSET 値を設定するときは、このオフセットを考慮してください。図 39 に示すように、最初の電荷ダンプの時間は 30μs に設定されます。SLOTx\_AFE\_OFFSET は、3μs の積分時間、9μs のオフセット、エッジ配置マージンに追加された 250ns を考慮して、0x238 (17.75μs) に設定されます。

SLOTx\_AFE\_OFFSET を計算するには、以下の式を使用します。

$$SLOTx\_AFE\_OFFSET = SLOTx\_LED\_OFFSET - \\ SLOTx\_AFE\_WIDTH - 9.25\mu s$$

積分期間は、電荷ダンプ・フェーズを中心とする負の積分フェーズに配置されます。TIA は反転段なので、フォトダイオードの電荷ダンプ中に負の積分フェーズを配置すると、積分値は TIA の立下がりの出力信号だけ増加します。

LED は、4 パルスのシーケンスのうち、2 番目と 3 番目のパルスでフラッシュします。レジスタ 0x58 のビット [6:5] を 2 に設定し、レジスタ 0x58 のビット [11:10] を 1 に設定すると、デバイスに 2 番目と 3 番目のパルスを加算し、1 番目と 4 番目のパルスを減算し、効果的に周辺光および電子回路のオフセットとドリフトをキャンセルします。

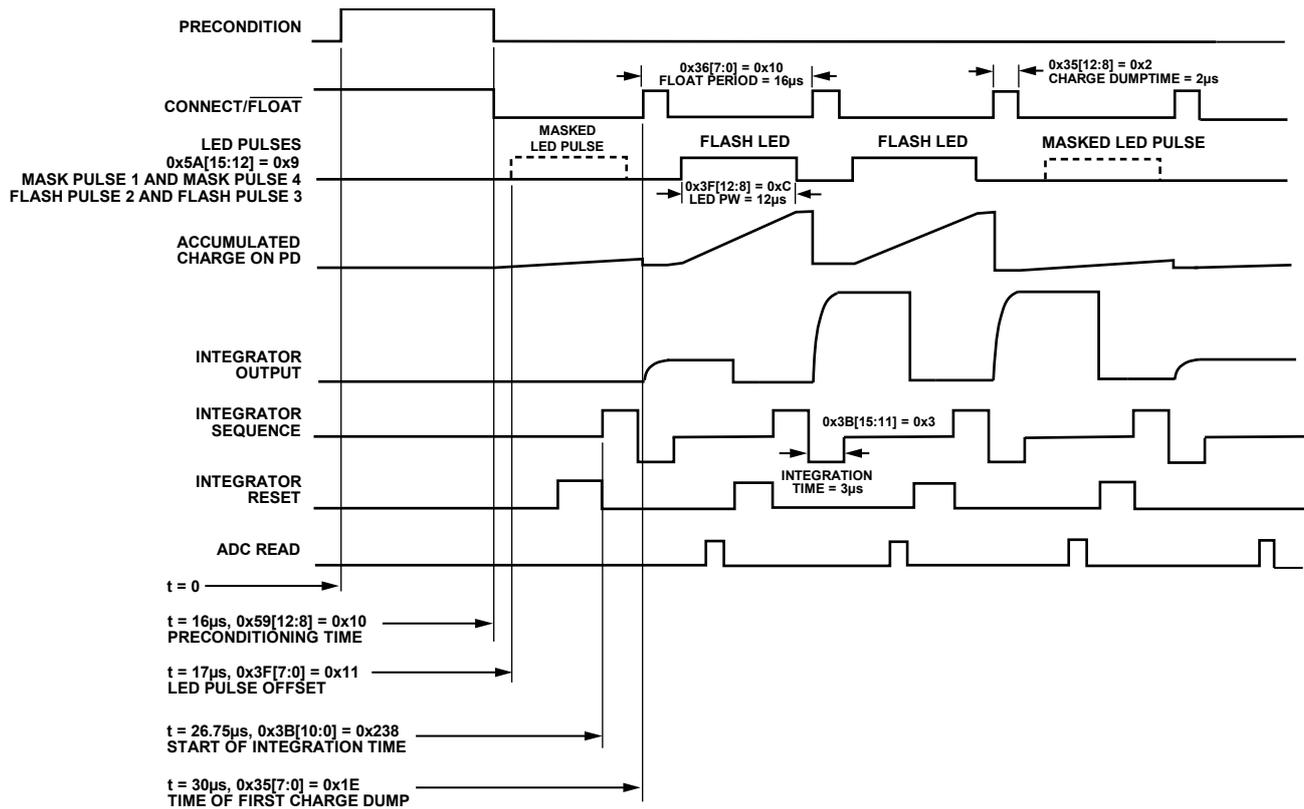


図 39.4 パルス・フロート LED モード・シーケンスのタイミング図の例

フロート周辺光モードとフロート LED モードの比較を表 22 と表 23 に示します。

表 22. フロート周辺光モード-周辺光レベルの測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Shorter	Offset, Ambient 1 (shorter time)	Subtract	Ambient Measurement = Ambient 2 – Ambient 1 (offset cancels)
2	Longer	Offset, Ambient 1 (shorter time)	Add	
3	Not applicable	Not applicable	Not applicable	
4	Not applicable	Not applicable	Not applicable	

表 23. フロート LED モード-LED の同期反射光の測定

Pulse	Float Time	Integrated Charge	Calculation	Result
1	Equal	Offset + Ambient	Subtract	Sync LED response = reflected LED return (offset and ambient cancel)
2	Equal	Offset + Ambient + LED	Add	
3	Equal	Offset + Ambient + LED	Add	
4	Equal	Offset + Ambient	Subtract	

## フロートLEDモードでの周辺光レベルのモニタリング

実際のアプリケーションでは、周辺光レベルは常時変化するのが一般的です。フロートLEDモードを使用している場合、周辺光の量が増えると、電荷の量が、フォトダイオード容量に保存できるダイナミック・レンジの許容量を超えることがあります。この理由で、必要ときにフロート期間、TIA ゲイン、動作モードなどの設定を変更できるように、周辺光レベルを監視することが必要です。周辺光レベルを監視する方法は2つあります。1つ目の方法では、TIA ADC モードを代替の時間スロットで使用し、周辺光レベルを連続して監視します。2つ目の方法では、フロート・モード動作中に背景の周辺光レベルを自動的に監視し、ADPD188GG の機能を使用してユーザ定義の閾値と比較します。周辺光レベルがユーザ定義の回数の閾値を超えると、フラグがデバイスによって設定され、ユーザによる読出し、または GPIO への出力が可能になります。表 24 に、フロートLEDモードで周辺光レベルの監視に使用するすべてのレジスタを示します。

周辺レベルの閾値は BG\_THRESH レジスタで設定します。これは、フロートLEDモードの減算サイクルのADC結果と比較する閾値です。フロートLEDモードの減算サイクルは、LEDパルスがマスクされるパルス・シーケンス内の位置です。つまり、背景レベルの測定値になります。ADCの結果は、未処理のADC出力からADCオフセット・レジスタ(レジスタ0x18~レジスタ0x1Bおよびレジスタ0x1E~レジスタ0x21)の値を引いたものと同じになります。BG\_COUNT レジスタでは、ADCの結果が何回目のサイクルでBG\_THRESHを超過したら、特定のチャンネルでBG\_STATUSビットを設定するかについて、サイクルの上限を設定します。減算サイクル中にADCの結果がBG\_THRESH値を超えるたびに、内部カウンタがインクリメントします。各チャンネルが独自のカウンタを備えています。このカウンタがBG\_COUNTレジスタで設定した制限を超過するたびに、チャンネルに対してBG\_STATUSビットが設定されます。定期的にBG\_STATUSレジスタを監視して、アサートされたビットを確認できます。または、BG\_STATUSフラグが設定されたときにGPIOxピンをアサートできます。GPIOxで可能なBG\_STATUSフラグと割込みの論理的な組み合わせについては、表24を参照してください。

表 24. フロートLEDモードで周辺光をモニタリングするレジスタ

フロート・モードの レジスタ名	レジスタ		説明
	タイム・スロットA	タイム・スロットB	
BG_STATUS_x	0x04のビット [3:0]	0x04のビット [7:4]	背景光レベルと背景閾値 (BG_THRESH) の比較ステータス。任意のビット位置が1の場合、BG_COUNT回だけ閾値を超過したことを意味します。このレジスタは、読み出されるとクリアされます。 ビット0: タイム・スロットA、チャンネル1が閾値のカウンタを超過した。 ビット1: タイム・スロットA、チャンネル2が閾値のカウンタを超過した。 ビット2: タイム・スロットA、チャンネル3が閾値のカウンタを超過した。 ビット3: タイム・スロットA、チャンネル4が閾値のカウンタを超過した。 ビット4: タイム・スロットB、チャンネル1が閾値のカウンタを超過した。 ビット5: タイム・スロットB、チャンネル2が閾値のカウンタを超過した。 ビット6: タイム・スロットB、チャンネル3が閾値のカウンタを超過した。 ビット7: タイム・スロットB、チャンネル4が閾値のカウンタを超過した。
BG_THRESH_x	0x16のビット [13:0]	0x1C [13:0]	フロート・モードの減算サイクル中に、ADCの結果に対して比較される背景閾値。ADC結果がこのレジスタの値を超過すると、BG_COUNTがインクリメントします。
BG_COUNT_x	0x16のビット [15:14]	0x1C[15:14]	フロート・モードの減算サイクル中にADC値がBG_THRESH_x値をこの回数だけ超過すると、BG_STATUSビットが設定されます。 0x0: BG_STATUSを設定しない。 0x1: BG_THRESH_xを1回超過したら設定する。 0x02: BG_THRESH_xを4回超過したら設定する。 0x03: BG_THRESH_xを16回超過したら設定する。
GPIO0_ALT_CFG	0x0B [4:0]	0x0B [4:0]	GPIO0は次の条件でアサートされます。 0x10: BG_STATUS_xのビット [3:0] の論理 OR。 0x1A: BG_STATUS_xのビット [7:4] の論理 OR。 0x1B: BG_STATUS_xのビット [7:0] の論理 OR。 0x1C: BG_STATUS_xのビット [7:0] と INT の論理 OR。
GPIO1_ALT_CFG	0x0B [12:8]	0x0B [12:8]	GPIO1は次の条件でアサートされます。 0x10: BG_STATUS_xのビット [3:0] の論理 OR。 0x1A: BG_STATUS_xのビット [7:4] の論理 OR。 0x1B: BG_STATUS_xのビット [7:0] の論理 OR。 0x1C: BG_STATUS_xのビット [7:0] と INT の論理 OR。

## レジスタの一覧

推奨値は記載していません。表 25 には、パワーオン・リセット値のみを記載しています。推奨値は、使用状況に大きく依存します。

表 25. 数値型レジスタの一覧

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x00	Status	[15:8]	FIFO_SAMPLES[7:0]									0x0000	R/W	
		[7:0]	Reserved	SLOTB_INT	SLOTA_INT	Reserved								
0x01	INT_MASK	[15:8]	Reserved									0x00FF	R/W	
		[7:0]	Reserved	SLOTB_INT_MASK	SLOTA_INT_MASK	Reserved								
0x02	GPIO_DRV	[15:8]	Reserved						GPIO1_DRV	GPIO1_POL	Reserved		0x0000	R/W
		[7:0]	Reserved						GPIO0_ENA	GPIO0_DRV	GPIO0_POL			
0x04	BG_STATUS	[15:8]	Reserved									0x0000	R/W	
		[7:0]	BG_STATUS_B[3:0]					BG_STATUS_A[3:0]						
0x06	FIFO_THRESH	[15:8]	Reserved			FIFO_THRESH[5:0]						0x0000	R/W	
		[7:0]	Reserved											
0x08	DEVID	[15:8]	REV_NUM[7:0]									0x0916	R	
		[7:0]	DEV_ID[7:0]											
0x09	I2CS_ID	[15:8]	ADDRESS_WRITE_KEY[7:0]									0x00C8	R/W	
		[7:0]	SLAVE_ADDRESS[6:0]							Reserved				
0x0A	CLK_RATIO	[15:8]	Reserved				CLK_RATIO[11:8]						0x0000	R
		[7:0]	CLK_RATIO[7:0]											
0x0B	GPIO_CTRL	[15:8]	Reserved			GPIO1_ALT_CFG[4:0]						0x0000	R/W	
		[7:0]	Reserved			GPIO0_ALT_CFG[4:0]								
0x0D	SLAVE_ADDRESS_KEY	[15:8]	SLAVE_ADDRESS_KEY[15:8]									0x0000	R/W	
		[7:0]	SLAVE_ADDRESS_KEY[7:0]											
0x0F	SW_RESET	[15:8]	Reserved									0x0000	R/W	
		[7:0]	Reserved								SW_RESET			
0x10	Mode	[15:8]	Reserved									0x0000	R/W	
		[7:0]	Reserved						Mode[1:0]					
0x11	SLOT_EN	[15:8]	Reserved		RDOUT_MODE	FIFO_OVRN_PREVENT	Reserved			SLOTB_FIFO_MODE[2]	0x1000	R/W		
		[7:0]	SLOTB_FIFO_MODE[1:0]	SLOTB_EN	SLOTA_FIFO_MODE[2:0]			Reserved	SLOTA_EN					
0x12	FSAMPLE	[15:8]	FSAMPLE[15:8]									0x0028	R/W	
		[7:0]	FSAMPLE[7:0]											
0x14	PD_LED_SELECT	[15:8]	Reserved						SLOTB_PD_SEL[3:0]			0x0541	R/W	
		[7:0]	SLOTA_PD_SEL[3:0]				SLOTB_LED_SEL[1:0]		SLOTA_LED_SEL[1:0]					
0x15	NUM_AVG	[15:8]	Reserved						SLOTB_NUM_AVG[2:0]			0x0600	R/W	
		[7:0]	Reserved	SLOTA_NUM_AVG[2:0]				Reserved						
0x16	BG_MEAS_A	[15:8]	BG_COUNT_A[1:0]		BG_THRESH_A[13:8]						0x0000	R/W		
		[7:0]	BG_THRESH_A[7:0]											
0x18	SLOTA_CH1_OFFSET	[15:8]	SLOTA_CH1_OFFSET[15:8]									0x2000	R/W	
		[7:0]	SLOTA_CH1_OFFSET[7:0]											
0x19	SLOTA_CH2_OFFSET	[15:8]	SLOTA_CH2_OFFSET[15:8]									0x2000	R/W	
		[7:0]	SLOTA_CH2_OFFSET[7:0]											
0x1A	SLOTA_CH3_OFFSET	[15:8]	SLOTA_CH3_OFFSET[15:8]									0x2000	R/W	
		[7:0]	SLOTA_CH3_OFFSET[7:0]											
0x1B	SLOTA_CH4_OFFSET	[15:8]	SLOTA_CH4_OFFSET[15:8]									0x2000	R/W	
		[7:0]	SLOTA_CH4_OFFSET[7:0]											
0x1C	BG_MEAS_B	[15:8]	BG_COUNT_B[1:0]		BG_THRESH_B[13:8]						0x0000	R/W		
		[7:0]	BG_THRESH_B[7:0]											
0x1E	SLOTB_CH1_OFFSET	[15:8]	SLOTB_CH1_OFFSET[15:8]									0x2000	R/W	
		[7:0]	SLOTB_CH1_OFFSET[7:0]											

Hex. Addr.	Name	Bits	Bit 15		Bit 14		Bit 13		Bit 12		Bit 11		Bit 10		Bit 9		Bit 8		Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0											
0x1F	SLOTB_CH2_OFFSET	[15:8]	SLOTB_CH2_OFFSET[15:8]																	0x2000	R/W
		[7:0]	SLOTB_CH2_OFFSET[7:0]																		
0x20	SLOTB_CH3_OFFSET	[15:8]	SLOTB_CH3_OFFSET[15:8]																	0x2000	R/W
		[7:0]	SLOTB_CH3_OFFSET[7:0]																		
0x21	SLOTB_CH4_OFFSET	[15:8]	SLOTB_CH4_OFFSET[15:8]																	0x2000	R/W
		[7:0]	SLOTB_CH4_OFFSET[7:0]																		
0x22	ILED3_COARSE	[15:8]	Reserved				ILED3_SCALE				Reserved				0x3000	R/W					
		[7:0]	Reserved		ILED3_SLEW[2:0]				ILED3_COARSE[3:0]												
0x23	ILED1_COARSE	[15:8]	Reserved				ILED1_SCALE				Reserved				0x3000	R/W					
		[7:0]	Reserved		ILED1_SLEW[2:0]				ILED1_COARSE[3:0]												
0x24	ILED2_COARSE	[15:8]	Reserved				ILED2_SCALE				Reserved				0x3000	R/W					
		[7:0]	Reserved		ILED2_SLEW[2:0]				ILED2_COARSE[3:0]												
0x25	ILED_FINE	[15:8]	Reserved				ILED3_FINE[4:0]				ILED2_FINE[4:2]				0x630C	R/W					
		[7:0]	ILED2_FINE[1:0]				Reserved				ILED1_FINE[4:0]										
0x30	SLOTA_LED_PULSE	[15:8]	Reserved																	0x0320	R/W
		[7:0]	SLOTA_LED_WIDTH[4:0]																		
0x31	SLOTA_NUMPULSES	[15:8]	SLOTA_LED_OFFSET[7:0]																	0x0818	R/W
		[7:0]	SLOTA_PULSES[7:0]																		
0x34	LED_DISABLE	[15:8]	Reserved												SLOTA_LED_DIS		SLOTA_LED_DIS		0x0000	R/W	
		[7:0]	Reserved																		
0x35	SLOTB_LED_PULSE	[15:8]	Reserved								SLOTB_LED_WIDTH[4:0]								0x0320	R/W	
		[7:0]	SLOTB_LED_OFFSET[7:0]																		
0x36	SLOTB_NUMPULSES	[15:8]	SLOTB_LED_WIDTH[4:0]																	0x0818	R/W
		[7:0]	SLOTB_PULSES[7:0]																		
0x37	ALT_PWR_DN	[15:8]	CH34_DISABLE[15:13]						CH2_DISABLE[12:10]						SLOTB_PERIOD[9:8]				0x0000	R/W	
		[7:0]	Reserved												SLOTA_PERIOD[9:8]						
0x38	EXT_SYNC_STARTUP	[15:8]	EXT_SYNC_STARTUP[15:8]																	0x000	R/W
		[7:0]	EXT_SYNC_STARTUP[7:0]																		
0x39	SLOTA_AFE_WINDOW	[15:8]	SLOTA_AFE_WIDTH[4:0]								SLOTA_AFE_OFFSET[10:8]								0x22FC	R/W	
		[7:0]	SLOTA_AFE_OFFSET[7:0]																		
0x3B	SLOTB_AFE_WINDOW	[15:8]	SLOTB_AFE_WIDTH[4:0]								SLOTB_AFE_OFFSET[10:8]								0x22FC	R/W	
		[7:0]	SLOTB_AFE_OFFSET[7:0]																		
0x3C	AFE_PWR_CFG1	[15:8]	Reserved				Reserved				Reserved		V_CATHODE		AFE_POWER-DOWN[5]		0x3006	R/W			
		[7:0]	AFE_POWERDOWN[4:0]												Reserved						
0x3E	SLOTA_FLOAT_LED	[15:8]	FLT_LED_SELECT_A[1:0]		Reserved				FLT_LED_WIDTH_A[4:0]						0x0320	R/W					
		[7:0]	FLT_LED_OFFSET_A[7:0]																		
0x3F	SLOTB_FLOAT_LED	[15:8]	FLT_LED_SELECT_B[1:0]		Reserved				FLT_LED_WIDTH_B[4:0]						0x0320	R/W					
		[7:0]	FLT_LED_OFFSET_B[7:0]																		
0x42	SLOTA_TIA_CFG	[15:8]	SLOTA_AFE_MODE[5:0]												SLOTA_BUF_GAIN		Reserved		0x1C38	R/W	
		[7:0]	SLOTA_INT_AS_BUF		SLOTA_TIA_IND_EN		SLOTA_TIA_VREF[1:0]				Reserved (write 0x1)				SLOTA_TIA_GAIN[1:0]						
0x43	SLOTA_AFE_CFG	[15:8]	SLOTA_AFE_CFG[15:8]																	0xADA5	R/W
		[7:0]	SLOTA_AFE_CFG[7:0]																		
0x44	SLOTB_TIA_CFG	[15:8]	SLOTB_AFE_MODE[5:0]												SLOTB_BUF_GAIN		Reserved		0x1C38	R/W	
		[7:0]	SLOTB_INT_AS_BUF		SLOTB_TIA_IND_EN		SLOTB_TIA_VREF[1:0]				Reserved (write 0x1)				SLOTB_TIA_GAIN[1:0]						
0x45	SLOTB_AFE_CFG	[15:8]	SLOTB_AFE_CFG[15:8]																	0xADA5	R/W
		[7:0]	SLOTB_AFE_CFG[7:0]																		
0x4B	SAMPLE_CLK	[15:8]	Reserved																	0x2612	R/W
		[7:0]	CLK32K_EN		Reserved				CLK32K_ADJUST[5:0]						CLK32K_BYN						
0x4D	CLK32M_ADJUST	[15:8]	Reserved																	0x0098	R/W
		[7:0]	CLK32M_ADJUST[7:0]																		

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W			
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0					
0x4F	EXT_SYNC_SEL	[15:8]	Reserved									0x2090	R/W		
		[7:0]	Reserved	GPIO1_OE	GPIO1_IE	Reserved	EXT_SYNC_SEL[1:0]	GPIO0_IE	Reserved						
0x50	CLK32M_CAL_EN	[15:8]	Reserved									0x0000	R/W		
		[7:0]	Reserved	GPIO1_CTRL	CLK32M_CAL_EN	Reserved									
0x54	AFE_PWR_CFG2	[15:8]	Reserved		SLEEP_V_CATHODE[1:0]	SLOTB_V_CATHODE[1:0]	SLOTA_V_CATHODE[1:0]						0x0020	R/W	
		[7:0]	REG54_VCAT_ENABLE	Reserved											
0x55	TIA_INDEP_GAIN	[15:8]	Reserved			SLOTB_TIA_GAIN_4[1:0]	SLOTB_TIA_GAIN_3[1:0]						0x0000	R/W	
		[7:0]	SLOTB_TIA_GAIN_2[1:0]	SLOTA_TIA_GAIN_4[1:0]	SLOTA_TIA_GAIN_3[1:0]	SLOTA_TIA_GAIN_2[1:0]									
0x58	MATH	[15:8]	Reserved				FLT_MATH34_B[1:0]	FLT_MATH34_A[1:0]						0x0000	R/W
		[7:0]	ENA_INT_AS_BUF	FLT_MATH12_B[1:0]	Reserved	Reserved	FLT_MATH12_A[1:0]	Reserved							
0x59	FLT_CONFIG_B	[15:8]	Reserved	FLT_EN_B[1:0]	FLT_PRECON_B[4:0]							0x0808	R/W		
		[7:0]	Reserved												
0x5A	FLT_LED_FIRE	[15:8]	FLT_LED_FIRE_B[3:0]			FLT_LED_FIRE_A[3:0]						0x0010	R/W		
		[7:0]	Reserved (write 0x10)												
0x5E	FLT_CONFIG_A	[15:8]	Reserved	FLT_EN_A[1:0]	FLT_PRECON_A[4:0]							0x0808	R/W		
		[7:0]	Reserved												
0x5F	DATA_ACCESS_CTL	[15:8]	Reserved									0x0000	R/W		
		[7:0]	Reserved					SLOTB_DATA_HOLD	SLOTA_DATA_HOLD	DIGITAL_CLOCK_ENA					
0x60	FIFO_ACCESS	[15:8]	FIFO_DATA[15:8]									0x0000	R		
		[7:0]	FIFO_DATA[7:0]												
0x64	SLOTA_PD1_16BIT	[15:8]	SLOTA_CH1_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTA_CH1_16BIT[7:0]												
0x65	SLOTA_PD2_16BIT	[15:8]	SLOTA_CH2_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTA_CH2_16BIT[7:0]												
0x66	SLOTA_PD3_16BIT	[15:8]	SLOTA_CH3_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTA_CH3_16BIT[7:0]												
0x67	SLOTA_PD4_16BIT	[15:8]	SLOTA_CH4_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTA_CH4_16BIT[7:0]												
0x68	SLOTB_PD1_16BIT	[15:8]	SLOTB_CH1_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTB_CH1_16BIT[7:0]												
0x69	SLOTB_PD2_16BIT	[15:8]	SLOTB_CH2_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTB_CH2_16BIT[7:0]												
0x6A	SLOTB_PD3_16BIT	[15:8]	SLOTB_CH3_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTB_CH3_16BIT[7:0]												
0x6B	SLOTB_PD4_16BIT	[15:8]	SLOTB_CH4_16BIT[15:8]									0x0000	R		
		[7:0]	SLOTB_CH4_16BIT[7:0]												
0x70	A_PD1_LOW	[15:8]	SLOTA_CH1_LOW[15:8]									0x0000	R		
		[7:0]	SLOTA_CH1_LOW[7:0]												
0x71	A_PD2_LOW	[15:8]	SLOTA_CH2_LOW[15:8]									0x0000	R		
		[7:0]	SLOTA_CH2_LOW[7:0]												
0x72	A_PD3_LOW	[15:8]	SLOTA_CH3_LOW[15:8]									0x0000	R		
		[7:0]	SLOTA_CH3_LOW[7:0]												
0x73	A_PD4_LOW	[15:8]	SLOTA_CH4_LOW[15:8]									0x0000	R		
		[7:0]	SLOTA_CH4_LOW[7:0]												
0x74	A_PD1_HIGH	[15:8]	SLOTA_CH1_HIGH[15:8]									0x0000	R		
		[7:0]	SLOTA_CH1_HIGH[7:0]												
0x75	A_PD2_HIGH	[15:8]	SLOTA_CH2_HIGH[15:8]									0x0000	R		
		[7:0]	SLOTA_CH2_HIGH[7:0]												
0x76	A_PD3_HIGH	[15:8]	SLOTA_CH3_HIGH[15:8]									0x0000	R		
		[7:0]	SLOTA_CH3_HIGH[7:0]												
0x77	A_PD4_HIGH	[15:8]	SLOTA_CH4_HIGH[15:8]									0x0000	R		
		[7:0]	SLOTA_CH4_HIGH[7:0]												
0x78	B_PD1_LOW	[15:8]	SLOTB_CH1_LOW[15:8]									0x0000	R		
		[7:0]	SLOTB_CH1_LOW[7:0]												

Hex. Addr.	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x79	B_PD2_LOW	[15:8]	SLOTB_CH2_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_LOW[7:0]										
0x7A	B_PD3_LOW	[15:8]	SLOTB_CH3_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_LOW[7:0]										
0x7B	B_PD4_LOW	[15:8]	SLOTB_CH4_LOW[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_LOW[7:0]										
0x7C	B_PD1_HIGH	[15:8]	SLOTB_CH1_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH1_HIGH[7:0]										
0x7D	B_PD2_HIGH	[15:8]	SLOTB_CH2_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH2_HIGH[7:0]										
0x7E	B_PD3_HIGH	[15:8]	SLOTB_CH3_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH3_HIGH[7:0]										
0x7F	B_PD4_HIGH	[15:8]	SLOTB_CH4_HIGH[15:8]									0x0000	R
		[7:0]	SLOTB_CH4_HIGH[7:0]										

## LED 制御レジスタ

表 26. LED 制御レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x14	[15:12]	0x0	R/W	予備	正しく動作するように、これらのビットに 0x0 書き込みます。
	[11:8]	0x5	R/W	SLOTB_PD_SEL	タイム・スロット B の PDx 接続選択。詳細については、タイム・スロットの切替えのセクションを参照してください。
	[7:4]	0x4	R/W	SLOTA_PD_SEL	タイム・スロット A の PDx 接続選択。詳細については、タイム・スロットの切替えのセクションを参照してください。
	[3:2]	0x0	R/W	SLOTB_LED_SEL	タイム・スロット B の LED 設定。これらのビットは、どの LED がタイム・スロット B に関連付けられるかを決定します。 0x0 : AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードが有効。 0x1 : タイム・スロット B の期間中、LEDX1 にパルスを供給します。 0x2 : タイム・スロット B の期間中、LEDX2 にパルスを供給します。 0x3 : タイム・スロット B の期間中、LEDX3 にパルスを供給します。
	[1:0]	0x1	R/W	SLOTA_LED_SEL	タイム・スロット A の LED 設定。これらのビットを使用して、タイム・スロット A に関連付ける LED を決定します。 0x0 : AFE への PDx 接続にパルスを供給します。フロート・モードとパルス接続モードが有効。 0x1 : タイム・スロット A の期間中、LEDX1 にパルスを供給します。 0x2 : タイム・スロット A の期間中、LEDX2 にパルスを供給します。 0x3 : タイム・スロット A の期間中、LEDX3 にパルスを供給します。
0x22	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	13	0x1	R/W	ILED3_SCALE	LEDX3 の電流のスケール・ファクタ。 1 : 100%の強度。 0 : 10%の強度、LEDX3 ドライバを低消費電力モードに設定します。 LEDX3 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x22 のビット 13)。
	12	0x1	R/W	予備	0x1 を書き込みます。
	[11:7]	0x0	R/W	予備	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED3_SLEW	LEDX3 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0x0 : 最も遅いスルー・レート。 ... 0x7:最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED3_COARSE	LEDX3 のおおまかな電流設定値。標準的な動作時における LEDX3 のおおまかな電流シンク目標。 0x0 : おおまかな最小設定値。 ... 0xF:おおまかな最大設定値。 $LED3_{PEAK} = LED3_{COARSE} \times LED3_{FINE} \times LED3_{SCALE}$ ここで、 LED3 <sub>PEAK</sub> は、LEDX3 のピーク目標値 (mA)。 LED3 <sub>COARSE</sub> = $50.3 + 19.8 \times$ (レジスタ 0x22 のビット [3:0])。 LED3 <sub>FINE</sub> = $0.74 + 0.022 \times$ (レジスタ 0x25, ビット [15:11])。 LED3 <sub>SCALE</sub> = $0.1 + 0.9 \times$ (レジスタ 0x22 のビット 13)。
0x23	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	13	0x1	R/W	ILED1_SCALE	LEDX1 の電流のスケール・ファクタ。 1 : 100%の強度。 0 : 10%の強度、LEDX1 ドライバを低消費電力モードに設定します。 LEDX1 の電流スケール = $0.1 + 0.9 \times$ (レジスタ 0x23 のビット 13)。
	12	0x1	R/W	予備	0x1 を書き込みます。
	[11:7]	0x0	R/W	予備	0x0 を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
	[6:4]	0x0	R/W	ILED1_SLEW	LEDX1 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED1_COARSE	LEDX1 のおおまかな電流設定値。標準的な動作時における LEDX1 のおおまかな電流シンク目標。 0x0: おおまかな最小設定値。 ... 0xF: おおまかな最大設定値。 $LED1_{PEAK} = LED1_{COARSE} \times LED1_{FINE} \times LED1_{SCALE}$ ここで、 $LED1_{PEAK}$ は、LEDX1 のピーク目標値 (mA)。 $LED1_{COARSE} = 50.3 + 19.8 \times (\text{レジスタ } 0x23 \text{ のビット } [3:0])$ 。 $LED1_{FINE} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ , ビット } [4:0])$ 。 $LED1_{SCALE} = 0.1 + 0.9 \times (\text{レジスタ } 0x23 \text{ , ビット } 13)$ 。
0x24	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	13	0x1	R/W	ILED2_SCALE	LEDX2 の電流のスケール・ファクタ。 1: 100%の強度。 0: 40%の強度、LEDX2 ドライバを低消費電力モードに設定します。 $LED2$ の電流スケール = $0.1 + 0.9 \times (\text{レジスタ } 0x24 \text{ のビット } 13)$ 。
	12	0x1	R/W	予備	0x1 を書き込みます。
	[11:7]	0x0	R/W	予備	0x0 を書き込みます。
	[6:4]	0x0	R/W	ILED2_SLEW	LEDX2 ドライバのスルー・レート制御。スルー・レートを低速化すると、LED ドライバの過電圧発生リスクが低下するため、動作の安全性が向上します。 0: 最も遅いスルー・レート。 ... 7: 最も速いスルー・レート。
	[3:0]	0x0	R/W	ILED2_COARSE	LEDX2 のおおまかな電流設定値。標準的な動作時における LEDX2 のおおまかな電流シンク目標。 0x0: おおまかな最小設定値。 ... 0xF: おおまかな最大設定値。 $LED2_{PEAK} = LED2_{COARSE} \times LED2_{FINE} \times LED2_{SCALE}$ ここで、 $LED2_{PEAK}$ は、LEDX2 のピーク目標値 (mA)。 $LED2_{COARSE} = 50.3 + 19.8 \times (\text{レジスタ } 0x24 \text{ のビット } [3:0])$ 。 $LED2_{FINE} = 0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ , ビット } [10:6])$ 。 $LED2_{SCALE} = 0.1 + 0.9 \times (\text{レジスタ } 0x24 \text{ , ビット } 13)$ 。
0x25	[15:11]	0xC	R/W	ILED3_FINE	LEDX3 の微調整。LED3 の電流調整の乗数。 $LEDX3$ の微調整 = $0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [15:11])$ 。 LED3 の式全体については、レジスタ 0x22 のビット [3:0] を参照してください。
	[10:6]	0xC	R/W	ILED2_FINE	LEDX2 の微調整。LED2 の電流調整の乗数。 $LEDX2$ の微調整 = $0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [10:6])$ 。 LED2 の式全体については、レジスタ 0x24 のビット [3:0] を参照してください。
	5	0x0	R/W	予備	0x0 を書き込みます。
	[4:0]	0xC	R/W	ILED1_FINE	LEDX1 の微調整。LED1 の電流調整の乗数。 $LEDX1$ の微調整 = $0.74 + 0.022 \times (\text{レジスタ } 0x25 \text{ のビット } [4:0])$ 。 LED1 の式全体については、レジスタ 0x23 のビット [3:0] を参照してください。
0x30	[15:13]	0x0	R/W	予備	0x0 を書き込みます。
	[12:8]	0x3	R/W	SLOTA_LED_WIDTH	タイム・スロット A に対応する LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	SLOTA_LED_OFFSET	タイム・スロット A に対応する LED オフセット幅 (1 $\mu$ s ステップ)。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x31	[15:8]	0x08	R/W	SLOTA_PULSES	LED タイム・スロット A のパルス数、 $n_A$ : タイム・スロット A の LED パルス数。
	[7:0]	0x18	R/W	SLOTA_PERIOD	8LSB の LED タイム・スロット A のパルス数 (1 $\mu$ s ステップ)。
0x34	[15:10]	0x00	R/W	予備	0x0 を書き込みます。
	9	0x0	R/W	SLOTB_LED_DIS	タイム・スロット B の LED 無効化。1 : タイム・スロット B に割り当てられた LED を無効化します。 レジスタ 0x34 はドライバをアクティブ状態に維持し、ドライバが LED に対して電流をパルス供給することを防止します。暗レベルを測定するため、このレジスタを使用して両方の LED を無効化する手法がよく使用されます。 LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
	8	0x0	R/W	SLOTA_LED_DIS	タイム・スロット A の LED 無効化。1 : タイム・スロット A に割り当てられた LED を無効化します。 LED に加え、実際のタイム・スロットの使用も有効化または無効化するには、レジスタ 0x11 を使用します。
0x35	[7:0]	0x00	R/W	予備	0x00 を書き込みます。
	[15:13]	0x0	R/W	予備	0x0 を書き込みます。
	[12:8]	0x3		SLOTB_LED_WIDTH	タイム・スロット B に対応する LED パルス幅 (1 $\mu$ s ステップ)。
0x36	[7:0]	0x20		SLOTB_LED_OFFSET	タイム・スロット B に対応する LED オフセット幅 (1 $\mu$ s ステップ)。
	[15:8]	0x08	R/W	SLOTB_PULSES	LED タイム・スロット B のパルス数、 $n_B$ : タイム・スロット B の LED パルス数。
	[7:0]	0x18	R/W	SLOTB_PERIOD	8LSB の LED タイム・スロット B のパルス数 (1 $\mu$ s ステップ)。

## AFE 設定レジスタ

表 27. AFE グローバル設定レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x37	[15:13]	0x0	R/W	CH34_DISABLE	チャンネル 3 とチャンネル 4 のみのパワーダウン・オプション。 ビット 13:チャンネル 3 とチャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 14:チャンネル 3 とチャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 15:チャンネル 3 とチャンネル 4 の積分器オペアンプをパワーダウンします。
	[12:10]	0x0	R/W	CH2_DISABLE	ビット 10 : チャンネル 2 の TIA オペアンプをパワーダウンします。 ビット 11 : チャンネル 2 の BPF オペアンプをパワーダウンします。 ビット 12:チャンネル 2 の積分器オペアンプをパワーダウンします。
	[9:8]	0x0	R/W	SLOTB_PERIOD	8MSB の LED タイム・スロット B のパルス数。
	[7:2]	0x00	R/W	予備	0x00 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_PERIOD	8MSB の LED タイム・スロット A のパルス数。
0x3C	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	[13:11]	0x6	R/W	予備	0x6 を書き込みます。
	10	0x0	R/W	予備	予備
	9	0x0	R/W	V_CATHODE	0x0 : 1.3V (アノード電圧と同じ)。 0x1 : 1.8V (550mV までの逆バイアス・フォトダイオード)。この設定値を使用すると、ノイズが増加する可能性があります。
	[8:3]	0x00	R/W	AFE_POWERDOWN	AFE チャンネルのパワーダウン選択。 0x0 : すべてのチャンネルをオンに維持。 ビット 3:チャンネル 1 の TIA オペアンプをパワーダウンします。 ビット 4:チャンネル 1 の BPF オペアンプをパワーダウンします。 ビット 5:チャンネル 1 の積分器オペアンプをパワーダウンします。 ビット 6:チャンネル 2、チャンネル 3、チャンネル 4 の TIA オペアンプをパワーダウンします。 ビット 7:チャンネル 2、チャンネル 3、チャンネル 4 の BPF オペアンプをパワーダウンします。 ビット 8:チャンネル 2、チャンネル 3、チャンネル 4 の積分器オペアンプをパワーダウンします。
	[2:0]	0x6	R/W	予備	0x6 を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x54	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	[13:12]	0x0	R/W	SLEEP_V_CATHODE	ビット 7=1 の場合、デバイスがスリープ・モードになっている間、この設定値はカソード電圧に適用されます。 0x0 : $V_{DD0}$ 0x1 : アイドル中は AFE VREF、スリープ中は $V_{DD0}$ 0x2 : フロート。 0x3 : 0.0V
	[11:10]	0x0	R/W	SLOTB_V_CATHODE	ビット 7=1 の場合、デバイスがタイム・スロット B で動作している間、この設定値はカソード電圧に適用されます。アノード電圧は、レジスタ 0x44 のビット [5:4] によって決定されます。 0x0 : $V_{DD}$ (1.8V)。 0x1 : PD アノード電圧と等しい。 0x2 : 逆 PD バイアスを約 250mV に設定 (推奨設定)。 0x3 : 0.0V (入力側でダイオードに順方向バイアスを印加します)。
	[9:8]	0x0	R/W	SLOTA_V_CATHODE	ビット 7=1 の場合、デバイスがタイム・スロット A で動作している間、この設定値はカソード電圧に適用されます。アノード電圧は、レジスタ 0x42 のビット [5:4] によって決定されます。 0x0 : $V_{DD}$ (1.8V)。 0x1 : PD アノード電圧と等しい。 0x2 : 逆 PD バイアスを約 250mV に設定 (推奨設定)。 0x3 : 0.0V (入力側でダイオードに順方向バイアスを印加します)。
	7	0x0	R/W	REG54_VCAT_ENABLE	0 : レジスタ 0x3C のビット 9 で定義したカソード電圧の設定を使用します。 1: レジスタ 0x54 のビット [13:8] で定義したカソード設定値を使用して、レジスタ 0x3C のビット 9 を上書きします。
	[6:0]	0x20	R/W	予備	予備
0x55	[15:12]	0x0	R/W	予備	0x0 を書き込みます。
	[11:10]	0x0	R/W	SLOTB_TIA_GAIN_4	レジスタ 0x44 のビット 6 が 1 の場合のタイム・スロット B、チャンネル 4 の TIA ゲイン。 0 : 200k $\Omega$ 。 1 : 100k $\Omega$ 。 2 : 50k $\Omega$ 。 3 : 25k $\Omega$ 。
	[9:8]	0x0	R/W	SLOTB_TIA_GAIN_3	レジスタ 0x44 のビット 6 が 1 の場合のタイム・スロット B、チャンネル 3 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 100k $\Omega$ 。 2 : 50k $\Omega$ 。 3 : 25k $\Omega$ 。
	[7:6]	0x0	R/W	SLOTB_TIA_GAIN_2	レジスタ 0x44 のビット 6 が 1 の場合のタイム・スロット B、チャンネル 2 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 100k $\Omega$ 。 2 : 50k $\Omega$ 。 3 : 25k $\Omega$ 。
	[5:4]	0x0	R/W	SLOTA_TIA_GAIN_4	レジスタ 0x42 のビット 6 が 1 の場合のタイム・スロット A、チャンネル 4 の TIA ゲイン。 0 : 200k $\Omega$ 1 : 100k $\Omega$ 。 2 : 50k $\Omega$ 。 3 : 25k $\Omega$ 。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
	[3:2]	0x0	R/W	SLOTA_TIA_GAIN_3	レジスタ 0x42 のビット 6 が 1 の場合のタイム・スロット A、チャンネル 3 の TIA ゲイン。 0 : 200kΩ 1 : 100kΩ。 2 : 50kΩ。 3 : 25kΩ。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN_2	レジスタ 0x42 のビット 6 が 1 の場合のタイム・スロット A、チャンネル 2 の TIA ゲイン。 0 : 200kΩ 1 : 100kΩ。 2 : 50kΩ。 3 : 25kΩ。

表 28. AFE 設定レジスタ、タイム・スロット A

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x39	[15:11]	0x4	R/W	SLOTA_AFE_WIDTH	タイム・スロット A に対応する AFE 積分ウィンドウ幅(1μs ステップ)。
	[10:0]	0x2FC	R/W	SLOTA_AFE_OFFSET	タイム・スロット A に対応する AFE 積分ウィンドウのオフセット (31.25ns ステップ)。
0x42	[15:10]	0x07	R/W	SLOTA_AFE_MODE	0x07 に設定。
	9	0x0	R/W	SLOTA_BUF_GAIN	0 : 積分器はバッファ・ゲイン=1。 1 : 積分器はバッファ・ゲイン=0.7。
	8	0x0	R/W	予備	0 に設定。
	7	0x0	R/W	SLOTA_INT_AS_BUF	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (TIA ADC モードのみで使用)
	6	0x0	R/W	SLOTA_TIA_IND_EN	タイム・スロット A の TIA ゲインの個別設定を有効にします。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x42 のビット [1:0] を使用して設定し、チャンネル 2~チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [5:0] を使用して設定します。 0 : TIA ゲインの個別設定を無効にします。 1 : TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTA_TIA_VREF	タイム・スロット A に対応する TIA の V <sub>REF</sub> を設定します。 0 : 1.14V 1 : 1.01V 2 : 0.90V 3 : 1.27V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	予備	予備 0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTA_TIA_GAIN	タイム・スロット A に対応するトランスインピーダンス・アンプのゲイン。SLOTA_TIA_IND_EN が有効な場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。SLOTA_TIA_IND_EN が無効な場合、タイム・スロット A に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0 : 200kΩ。 1 : 100kΩ。 2 : 50kΩ。 3 : 25kΩ。
0x43	[15:0]	0xADA5	R/W	SLOTA_AFE_CFG	タイム・スロット A の AFE 接続。 0xADA5 : アナログ・フル・パス・モード (TIA→BPF→INT→ADC)。 0xAE65 : TIA ADC モード (0x42 のビット 7 を 1 に設定し、レジスタ 0x58 のビット 7 を 1 に設定する必要があります)。 0xB065 : TIA ADC モード (レジスタ 1x42 のビット 7 = 0 の場合)。 その他 : 予備。

表 29. AFE 設定レジスタ、タイム・スロット B

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x3B	[15:11]	0x04	R/W	SLOTB_AFE_WIDTH	タイム・スロット B に対応する AFE 積分ウィンドウ幅 (1 $\mu$ s ステップ)。
	[10:0]	0x17	R/W	SLOTB_AFE_OFFSET	タイム・スロット B に対応する AFE 積分ウィンドウのオフセット (31.25ns ステップ)。
0x44	[15:10]	0x07	R/W	SLOTB_AFE_MODE	0x07 に設定。
	9	0x0	R/W	SLOTB_BUF_GAIN	0 : 積分器はバッファ・ゲイン = 1。 1 : 積分器はバッファ・ゲイン = 0.7。
	8	0x0	R/W	予備	0 に設定。
	7	0x0	R/W	SLOTB_INT_AS_BUF	0 : 通常の積分設定。 1 : 積分器をバッファ・アンプに変換 (TIA ADC モードのみで使用)
	6	0x0	R/W	SLOTB_TIA_IND_EN	タイム・スロット B の TIA ゲインの個別調整を有効にするかどうか。有効にする場合、チャンネル 1 の TIA ゲインはレジスタ 0x44 のビット [1:0] を使用して設定し、チャンネル 2~チャンネル 4 の TIA ゲインはレジスタ 0x55 のビット [11:6] を使用して設定します。 0 : TIA ゲインの個別設定を無効にします。 1 : TIA ゲインの個別設定を有効にします。
	[5:4]	0x3	R/W	SLOTB_TIA_VREF	タイム・スロット B に対応する TIA の VREF を設定します。 0 : 1.14V 1 : 1.01V 2 : 0.90V 3 : 1.27V (デフォルトの推奨値)。
	[3:2]	0x2	R/W	予備	0x1 を書き込みます。
	[1:0]	0x0	R/W	SLOTB_TIA_GAIN	タイム・スロット B に対応するトランスインピーダンス・アンプのゲイン。SLOTB_TIA_IND_EN が有効な場合、タイム・スロット B に対応するチャンネル 1 の TIA ゲインが対象になります。 SLOTB_TIA_IND_EN が無効な場合、タイム・スロット B に対応する 4 つのチャンネルすべての TIA ゲイン設定値が対象になります。 0 : 200k $\Omega$ 。 1 : 100k $\Omega$ 。 2 : 50k $\Omega$ 。 3 : 25k $\Omega$ 。
	0x45	[15:0]	0xADA5	R/W	SLOTB_AFE_CFG

## フロート・モード・レジスタ

表 30. フロート・モード・レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x04	[15:8]	0x0	R	予備	該当せず。
	[7:4]	0x0	R	BG_STATUS_B	タイム・スロット B の背景光レベルと背景閾値 (G_THRESH_B) の比較ステータス。任意のビット位置が 1 になっている場合、閾値を超過した回数は BG_COUNT_B 回です。このレジスタは、読み出されるとクリアされます。 ビット 4 : タイム・スロット B、チャンネル 1 が閾値のカウントを超過した。 ビット 5 : タイム・スロット B、チャンネル 2 が閾値のカウントを超過した。 ビット 6 : タイム・スロット B、チャンネル 3 が閾値のカウントを超過した。 ビット 7 : タイム・スロット B、チャンネル 4 が閾値のカウントを超過した。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
	[3:0]	0x0	R	BG_STATUS_A	<p>タイム・スロット A の背景光レベルと背景閾値 (BG_THRESH_A) の比較ステータス。任意のビット位置が 1 になっている場合、閾値を超過した回数は BG_COUNT_A 回です。このレジスタは、読み出されるとクリアされます。</p> <p>ビット 0 : タイム・スロット A、チャンネル 1 が閾値のカウントを超過した。</p> <p>ビット 1 : タイム・スロット A、チャンネル 2 が閾値のカウントを超過した。</p> <p>ビット 2 : タイム・スロット A、チャンネル 3 が閾値のカウントを超過した。</p> <p>ビット 3 : タイム・スロット A、チャンネル 4 が閾値のカウントを超過した。</p>
0x16	[15:14]	0x0	R/W	BG_COUNT_A	<p>タイム・スロット A で、フロート・モードの減算サイクル中に ADC 値が BG_THRESH_A 値をこの回数だけ超過すると、BG_STATUS_A ビットが設定されます。</p> <p>0 : BG_STATUS_A を設定しない。</p> <p>1 : BG_THRESH_A を 1 回超過したら設定する。</p> <p>2 : BG_THRESH_A を 4 回超過したら設定する。</p> <p>3 : BG_THRESH_A を 16 回超過したら設定する。</p>
	[13:0]	0x0	R/W	BG_THRESH_A	<p>タイム・スロット A でフロート・モードの減算サイクル中に ADC 結果に対して比較される背景閾値。ADC の結果がこのレジスタの値を超過すると、BG_COUNT_A がインクリメントします。</p>
0x1C	[15:14]	0x0	R/W	BG_COUNT_B	<p>タイム・スロット B で、フロート・モードの減算サイクル中に ADC 値が BG_THRESH_B 値をこの回数だけ超過すると、BG_STATUS_B ビットが設定されます。</p> <p>0 : BG_STATUS_B を設定しない。</p> <p>1 : BG_THRESH_B を 1 回超過したら設定する。</p> <p>2 : BG_THRESH_B を 4 回超過したら設定する。</p> <p>3 : BG_THRESH_B を 16 回超過したら設定する。</p>
	[13:0]	0x0	R/W	BG_THRESH_B	<p>タイム・スロット B でフロート・モードの減算サイクル中に ADC の結果に対して比較される背景閾値。ADC の結果がこのレジスタの値を超過すると、BG_COUNT_B がインクリメントします。</p>
0x3E	[15:14]	0x0	R/W	FLT_LED_SELECT_A	<p>フロート LED モードでのタイム・スロット A の LED 選択。</p> <p>0 : LED 選択なし。</p> <p>1 : LED1</p> <p>2 : LED2</p> <p>3 : LED3</p>
	13	0	R/W	予備	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_A	LED フロート・モードでのタイム・スロット A の LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_A	フロート・モードでのタイム・スロット A の 1 番目の LED パルスまでの時間。
0x3F	[15:14]	0x0	R/W	FLT_LED_SELECT_B	<p>フロート LED モードでのタイム・スロット B の LED 選択。</p> <p>0 : LED 選択なし。</p> <p>1 : LED1</p> <p>2 : LED2</p> <p>3 : LED3</p>
	13	0	R/W	予備	0x0 を書き込みます。
	[12:8]	0x03	R/W	FLT_LED_WIDTH_B	LED フロート・モードでのタイム・スロット B の LED パルス幅 (1 $\mu$ s ステップ)。
	[7:0]	0x20	R/W	FLT_LED_OFFSET_B	フロート・モードでのタイム・スロット A の 1 番目の LED パルスまでの時間。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x58	[15:12]	0x0	R/W	予備	予備
	[11:10]	0x0	R/W	FLT_MATH34_B	4パルスのシーケンスでサンプル3とサンプル4を加算および減算するためのタイム・スロットBの制御（4パルスの任意の乗数。例：16パルスのシーケンスのサンプル15とサンプル16）。 00：3番目と4番目を加算。 01：3番目を加算、4番目を減算。 10：3番目を減算、4番目を加算。 11：3番目と4番目を減算。
	[9:8]	0x0	R/W	FLT_MATH34_A	4パルスのシーケンスでサンプル3とサンプル4を加算および減算するためのタイム・スロットAの制御（4パルスの任意の乗数。例：16パルス・シーケンスのサンプル15とサンプル16）。 00：3番目と4番目を加算。 01：3番目を加算、4番目を減算。 10：3番目を減算、4番目を加算。 11：3番目と4番目を減算。
	7	0x0	R/W	ENA_INT_AS_BUF	TIA ADCモードで積分器をバッファとして構成することを有効にするには、1に設定。
	[6:5]	0x0	R/W	FLT_MATH12_B	4パルスのシーケンスでサンプル1とサンプル2を加算および減算するためのタイム・スロットBの制御（4パルスの任意の乗数。例：16パルスのシーケンスのサンプル14とサンプル16）。 00：3番目と4番目を加算。 01：3番目を加算、4番目を減算。 10：3番目を減算、4番目を加算。 11：3番目と4番目を減算。
	[4:3]	0x0	R/W	予備	0x0を書き込みます。
	[2:1]	0x0	R/W	FLT_MATH12_A	4パルスのシーケンスでサンプル1とサンプル2を加算および減算するためのタイム・スロットAの制御（4パルスの任意の乗数。例：16パルス・シーケンスのサンプル14とサンプル16）。 00：1番目と2番目を加算。 01：1番目を加算、2番目を減算。 10：1番目を減算、2番目を加算。 11：1番目と2番目を減算。
	0	0x0	R/W	予備	0x0を書き込みます。
0x59	15	0x0	R/W	予備	0x0を書き込みます。
	[14:13]	0x0	R/W	FLT_EN_B	0：デフォルト設定。タイム・スロットBでフロートをディスエーブル。 1：予約済み 2：予約済み 3：フロート・モードをイネーブル。
	[12:8]	0x08	R/W	FLT_PRECON_B	フロート・モードでのタイム・スロットBのプリコンディショニング時間。最初のフロート期間の開始時間（通常16μs）。
0x5A	[7:0]	0x08	R/W	予備	0x08を書き込みます。
	[15:12]	0x0	R/W	FLT_LED_FIRE_B	4パルスの任意のシーケンスで、パルス位置に0を書き込むことで、選択された位置でLEDをオンにする。その位置に1を書き込むことで、LEDパルスをマスクする（LEDをオンにしない）。タイム・スロットBの4パルスのシーケンスでは、レジスタ0x5Aのビット12が1番目のパルス、ビット13が2番目のパルス、ビット14が3番目のパルス、ビット15が4番目のパルスになります。
	[11:8]	0x0	R/W	FLT_LED_FIRE_A	4パルスの任意のシーケンスで、パルス位置に0を書き込むことで、選択された位置でLEDをオンにする。その位置に1を書き込むことで、LEDパルスをマスクする（LEDをオンにしない）。タイム・スロットAの4パルスのシーケンスでは、レジスタ0x5Aのビット8が1番目のパルス、ビット9が2番目のパルス、ビット10が3番目のパルス、ビット11が4番目のパルスになります。
	[7:0]	0x10	R/W	予備	0x10を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x5E	15	0x0	R/W	予備	0x0 を書き込みます。
	[14:13]	0x0	R/W	FLT_EN_A	0: デフォルト設定。タイム・スロット A でフロートをディスエーブル。 1: 予約済み 2: 予約済み 3: タイム・スロット A でフロート・モードをイネーブル。
	[12:8]	0x08	R/W	FLT_PRECON_A	フロート・モードでのタイム・スロット A のプリコンディショニング時間。最初のフロート期間の開始時間 (通常 16μs)。
	[7:0]	0x08	R/W	予備	0x08 を書き込みます。

## システム・レジスタ

表 31. システム・レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x00	[15:8]	0x00	R/W	FIFO_SAMPLES	FIFO のステータス。FIFO から読み出すことができるバイト数。この値を FIFO 長の閾値 (レジスタ 0x06 のビット [13:8]) と比較する場合、FIFO のステータス値はバイト単位で、FIFO 長の閾値はワード単位であることに注意してください。ここで、1 ワード=2 バイトです。 FIFO の内容をクリアするには、ビット 15 に 1 を書き込みます。
	7	0x0	R/W	予備	0x1 を書き込むと、このビットはクリアされて 0x0 になります。
	6	0x0	R/W	SLOTB_INT	タイム・スロット B の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生しています。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも、何の効果もありません。
	5	0x0	R/W	SLOTA_INT	タイム・スロット A の割込み。割込みイベントの種類。値が 1 の場合、特定のイベントに対応する割込みが発生しています。1 を書き込むと、対応する割込みがクリアされます。クリア後、レジスタは 0 になります。このレジスタに 0 を書き込んでも、何の効果もありません。
	[4:0]	0x00	R/W	予備	0x1F を書き込むと、これらのビットはクリアされて 0x00 になります。
0x01	[15:9]	0x00	R/W	予備	0x00 を書き込みます。
	8	0x1	R/W	FIFO_INT_MASK	FIFO データ長が、レジスタ 0x06 のビット [13:8] で指定された FIFO 長の閾値を上回る場合、割込みを送信するかどうか。この値を 0 にすると、割込みが有効になります。
	7	0x1	R/W	予備	0x1 を書き込みます。
	6	0x1	R/W	SLOTB_INT_MASK	タイム・スロット B のサンプリングに対して割込みを送信します。1 を書き込むと、割込みが無効になります。0 を書き込むと、割込みが有効になります。
	5	0x1	R/W	SLOTA_INT_MASK	タイム・スロット A のサンプリングに対して割込みを送信します。1 を書き込むと、割込みが無効になります。0 を書き込むと、割込みが有効になります。
	[4:0]	0x1F	R/W	予備	0x1F を書き込みます。
0x02	[15:10]	0x00	R/W	予備	0x0000 を書き込みます。
	9	0x0	R/W	GPIO1_DRV	GPIO1 を駆動するかどうか。 0: GPIO1 ピンは常に駆動されます。 1: 割込みがアサートされると、GPIO1 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります (オープン・ドレインとして動作)。複数のデバイスが GPIO1 ピンを共有する必要がある場合は、この設定値を使用します。
	8	0x0	R/W	GPIO1_POL	GPIO1 の極性。 0: GPIO1 ピンはアクティブ・ハイ。 1: GPIO1 ピンはアクティブ・ロー。
	[7:3]	0x00	R/W	予備	0x00 を書き込みます。
	2	0x0	R/W	GPIO0_ENA	GPIO0 ピンを有効にするかどうか。 0: GPIO0 ピンを無効にします。割込みのステータスに関係なく、GPIO0 ピンはフロート状態になります。ステータス・レジスタ (アドレス 0x00) はアクティブな状態にとどまります。 1: GPIO0 ピンを有効にします。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
	1	0x0	R/W	GPIO0_DRV	GPIO0 を駆動するかどうか。 0 : GPIO0 ピンは常に駆動されます。 1 : 割込みがアサートされると、GPIO0 ピンが駆動されます。それ以外の場合は、フロート状態のままになり、極性に応じてプルアップ抵抗またはプルダウン抵抗が必要になります(オープン・ドレインとして動作)。複数のデバイスが GPIO0 ピンを共有する必要がある場合は、この設定値を使用します。
	0	0x0	R/W	GPIO0_POL	GPIO0 の極性。 0 : GPIO0 ピンはアクティブ・ハイ。 1 : GPIO0 ピンはアクティブ・ロー。
0x06	[15:14]	0x0	R/W	予備	0x0 を書き込みます。
	[13:8]	0x00	R/W	FIFO_THRESH	FIFO 長の閾値。FIFO 内にあるデータワードの数が、FIFO_THRESH の値を上回ったときに割込みが生成されます。FIFO 内にあるデータワードの数が、FIFO_THRESH の値以下になった時点で、割込みピンは自動的にアサート解除されます。
	[7:0]	0x00	R/W	予備	0x00 を書き込みます。
0x08	[15:8]	0x09	R	REV_NUM	リビジョン番号。
	[7:0]	0x16	R	DEV_ID	デバイス ID。
0x09	[15:8]	0x00	W	ADDRESS_WRITE_KEY	SLAVE_ADDRESS への書き込みを行うときは、0xAD を書き込みます。それ以外の場合は、アクセスしないでください。
	[7:1]	0x64	R/W	SLAVE_ADDRESS	I <sup>2</sup> C のスレーブ・アドレス。
	0	0x0	R	予備	アクセスしないでください。
0x0A	[15:12]	0x0	R	予備	0x0 を書き込みます。
	[11:0]	0x000	R	CLK_RATIO	CLK32M_CAL_EN ビット (レジスタ 0x50 のビット 5) がセットされている場合、デバイスは 32kHz クロックの 2 サイクル分を単位として、32MHz クロックのサイクル数を計算します。その結果、通常は CLK_RATIO ビット内に 2000 (0x07D0) が格納されます。
0x0B	[15:13]	0x0	R/W	予備	0x0 を書き込みます。
	[12:8]	0x00	R/W	GPIO1_ALT_CFG	GPIO1 ピンの代替設定。 0x00 : GPIO1 は、ADPD103 の PDSO ピンの機能との下位互換性を備えています。 0x01 : レジスタ 0x01 の定義に従って、GPIO1 で割込み機能を提供します。 0x02 : 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x05 : タイム・スロット A のパルス出力。 0x06 : タイム・スロット B のパルス出力。 0x07:両方のタイム・スロットのパルス出力。 0x0C:タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0x0D:タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0x0E:発生したデータ・サイクルを出力します。 0x0F:サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10 : 出力 = 0 0x11 : 出力 = 1 0x13 : 32kHz 発振器の出力。 残りの設定値はサポートされていません。
	[7:5]	0x0	R/W	予備	0x0 を書き込みます。
	[4:0]	0x00	R/W	GPIO0_ALT_CFG	GPIO0 ピンの代替設定。 0x0 : GPIO0 は、ADPD103 の INT ピンの機能との下位互換性があります。 0x1 : レジスタ 0x01 の定義に従って、GPIO0 で割込み機能を提供します。 0x2 : 最初のタイム・スロット開始時にアサートされ、最後のタイム・スロット終了時にアサート解除されます 0x5 : タイム・スロット A のパルス出力。 0x6 : タイム・スロット B のパルス出力。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
					0x7:両方のタイム・スロットのパルス出力。 0xC:タイム・スロット A に対応して発生したデータ・サイクルを出力します。 0xD:タイム・スロット B に対応して発生したデータ・サイクルを出力します。 0xE:発生したデータ・サイクルを出力します。 0xF:サンプルごとにトグルします。この結果、サンプリング・レートの半分で信号が供給されます。 0x10: 出力 = 0 0x11: 出力 = 1 0x13: 32kHz 発振器の出力。 残りの設定値はサポートされていません。
0x0D	[15:0]	0x0000	R/W	SLAVE_ADDRESS_KEY	レジスタ 0x09 を使用した I <sup>2</sup> C アドレスの変更を有効にするかどうか。 0x04AD: アドレスの変更を常に有効にします。 0x44AD: GPIO0 がハイの場合、アドレスの変更を有効にします。 0x84AD: GPIO1 がハイの場合、アドレスの変更を有効にします。 0xC4AD: GPIO0 と GPIO1 の両方がハイの場合、アドレスの変更が有効になります。
0x0F	[15:1]	0x0000	R	予備	0x0000 を書き込みます。
	0	0x0	R/W	SW_RESET	ソフトウェア・リセット。デバイスをリセットするには、0x1 を書き込みます。リセット後、このビットは自らクリアされます。I <sup>2</sup> C 通信に関して、このコマンドはアクノレッジを返した後、すべてのレジスタでデフォルト状態にリセットされると、デバイスはスタンバイ・モードに戻ります。
0x10	[15:2]	0x0000	R/W	予備	0x000 を書き込みます。
	[1:0]	0x0	R/W	モード	ADPD1080/ADPD1081 の動作モードを決定します。 0x0: スタンバイ。 0x1: プログラム。 0x2: 通常動作。
0x11	[15:14]	0x0	R/W	予備	予備
	13	0x0	R/W	RDOUT_MODE	拡張データに対するリードバック・データ・モード。 0x0: N 個のサンプルのブロック合計。 0x1: N 個のサンプルのブロック平均。
	12	0x1	R/W	FIFO_OVRN_PREVENT	0x0: 古いデータを新しいデータで書き直して、FIFO をラップ・アラウンドします。 0x1: FIFO がいっぱいでない場合は新しいデータを書き込みます (推奨設定値)。
	[11:9]	0x0	R/W	予備	予備
	[8:6]	0x0	R/W	SLOTB_FIFO_MODE	タイム・スロット B の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 つのチャンネルすべての 16 ビットの合計。 2: 4 つのチャンネルすべての 32 ビットの合計。 4: タイム・スロット B の 16 ビット・サンプル・データの 4 チャンネル。 6: タイム・スロット B の 32 ビット拡張サンプル・データの 4 チャンネル。 その他: 予備。 タイム・スロット B で選択したデータは FIFO に保存されます。タイム・スロット A が同じ平均化の係数 N を使用している場合 (レジスタ 0x15 のビット [10:8] = ビット [6:4]) や、タイム・スロット A が FIFO にデータを格納しない場合 (レジスタ 0x11 のビット [4:2] = 0) のみ、使用できます。
	5	0x0	R/W	SLOTB_EN	タイム・スロット B の有効化。1: タイム・スロット B を有効にします。
	[4:2]	0x0	R/W	SLOTA_FIFO_MODE	タイム・スロット A の FIFO データ・フォーマット。 0: FIFO にデータを書き込みません。 1: 4 つのチャンネルすべての 16 ビットの合計。 2: 4 つのチャンネルすべての 32 ビットの合計。 4: タイム・スロット A の 16 ビット・サンプル・データの 4 チャンネル。 6: タイム・スロット A の 32 ビット拡張サンプル・データの 4 チャンネル。 その他: 予備。
	1	0x0	R/W	予備	0x0 を書き込みます。
0	0x0	R/W	SLOTA_EN	タイム・スロット A の有効化。1: タイム・スロット A を有効にします。	

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x38	[15:0]	0x0000	R/W	EXT_SYNC_STARTUP	EXT_SYNC_SEL が 01 または 10 の場合、0x4000 を書き込みます。それ以外の場合は、0x0 を書き込みます。
0x4B	[15:9]	0x13	R/W	予備	0x26 を書き込みます。
	8	0x0	R/W	CLK32K_BYP	32kHz の内部発振器をバイパスする。 0x0 : 通常動作。 0x1 : GPIO1 ピンにある外部クロックを供給します。入力として GPIO1 ピンを有効にするには、レジスタ 0x4F のビット [6:5] = 01 に設定する必要があります。
	7	0x0	R/W	CLK32K_EN	サンプリング・クロックのパワーアップ。データ・サンプリング・クロックを有効にするかどうか。 0x0 : クロックを無効にします。 0x1 : 通常動作。
	6	0x0	R/W	予備	0x0 を書き込みます。
	[5:0]	0x12	R/W	CLK32K_ADJUST	データ・サンプリング (32kHz) クロックの周波数を調整。このレジスタは、デバイスのサンプリング周波数をキャリブレーションし、レジスタ 0x12 で定義されるデータ・レートで高精度を達成するために使用します。LSB あたり 0.6kHz でサンプル・マスタの 32kHz クロックを調整します。レジスタ 0x12 で 100Hz のサンプリング・レートを定義する場合、レジスタ 0x4B、ビット [5:0] の 1LSB は 1.9Hz になります。 この値を大きくすると、周波数は低くなります。クロック調整の詳細については、「クロックとタイミングのキャリブレーション」セクションを参照してください。 00 0000 : 最大周波数。 10 0010 : 代表的なセンター周波数。 11 1111 : 最小周波数。
0x4D	[15:8]	0x00	R/W	予備	0x00 を書き込みます。
	[7:0]	0x98	R/W	CLK32M_ADJUST	内部タイミング (32MHz) クロックの周波数を調整。このレジスタは、デバイスの内部クロックをキャリブレーションし、LED パルスを高精度のタイミングで供給する場合に使用します。LSB あたり 109kHz で 32MHz クロックを調整します。 クロック調整の詳細については、「クロックとタイミングのキャリブレーション」セクションを参照してください。 0000 0000 : 最小周波数。 1001 1000 : デフォルト周波数。 1111 1111 : 最大周波数。
0x4F	[15:8]	0x20	R/W	予備	0x20 を書き込みます。
	7	0x1	R/W	予備	0x1 を書き込みます。
	6	0x0	R/W	GPIO1_OE	GPIO1 ピンを有効にするかどうか。
	5	0x0	R/W	GPIO1_IE	GPIO1 ピンの入力を有効にするかどうか。
	4	0x1	R/W	予備	0x1 を書き込みます。
	[3:2]	0x0	R/W	EXT_SYNC_SEL	サンプリング同期の選択。 00 : 32kHz の内部クロックを FSAMPLE と組み合わせて使用し、サンプリングのタイミングを選択します。 01 : GPIO0 ピンを使用してサンプリング・サイクルをトリガします。 10 : GPIO1 ピンを使用してサンプリング・サイクルをトリガします。 11 : 予約済み
	1	0x0	R/W	GPIO0_IE	GPIO0 ピンの入力を有効にするかどうか。
	0	0x0	R/W	予備	0x0 を書き込みます。
0x50	[15:7]	0x000	R/W	予備	0x000 を書き込みます。
	6	0x0	R/W	GPIO1_CTRL	GPIO1 出力が有効になっている場合 (GPIO1_OE = 0x1)、GPIO1 出力を制御します。 0x0 : GPIO1 出力をローに駆動します。 0x1 : GPIO1 出力は AFE のパワーダウン信号によって駆動されます。
	5	0x0	R/W	CLK32M_CAL_EN	32MHz クロックのキャリブレーション・ルーチンの一部として、1 を書き込んでクロック比の計算を開始します。この計算の結果はレジスタ 0x0A の CLK_RATIO ビットから読み出します。 計算を再び初期化する前に、このビットを 0 にリセットしてください。
	[4:0]	0x00	R/W	予備	0x0 を書き込みます。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x5F	[15:3]	0x0000	R/W	予備	0x0000 を書き込みます。
	2	0x0	R/W	SLOTB_DATA_HOLD	このビットをセットすると、タイム・スロット B に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが確実に更新されなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット B に対応するデータ・レジスタを維持します。 0: データ・レジスタの更新を許可します。
	1	0x0	R/W	SLOTA_DATA_HOLD	このビットをセットすると、タイム・スロット A に対応するデータ・レジスタの更新が防止されます。このビットをセットすると、まだ読み出していないデータ・レジスタが確実に更新されなくなり、4つのフォトダイオード・チャンネルすべてから取得した連続データ・セットが確保されます。 1: タイム・スロット A に対応するデータ・レジスタを維持します。 0: データ・レジスタの更新を許可します。
	0	0x0	R/W	DIGITAL_CLOCK_ENA	32MHz クロックのキャリブレーションを実施するとき、32MHz クロックを有効にするため、このビットを 1 に設定します。このビットを 0 にリセットしてキャリブレーションを実施した後、必ず 32MHz クロックを無効にしてください。

## ADC レジスタ

表 32. ADC レジスタ

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x12	[15:0]	0x0028	R/W	FSAMPLE	サンプリング周波数: $f_{\text{SAMPLE}} = 32\text{kHz}$ / (レジスタ 0x12 のビット [15:0] $\times$ 4)。例えば、100Hz = 0x0050、200Hz = 0x0028 です。
0x15	[15:11]	0x00	R/W	予備	0x0 を書き込みます。
	[10:8]	0x6	R/W	SLOTB_NUM_AVG	タイム・スロット B に対応するサンプルの合計/平均。平均化の係数 $N_B$ を指定します。この値は、合計の対象になる個別サンプル数であり、ADC よりも後段で平均化されます。レジスタ 0x70 ~ レジスタ 0x7F はデータの合計を保持します。レジスタ 0x64 ~ レジスタ 0x6B、およびレジスタ 0x60 内のデータ・バッファはデータ平均を保持します。この値を使用すると、16 ビット・レジスタでクリップを実行せずに SNR を向上させることができます。SLOTB_NUMB_AVG ビットの値を使用して、データ・レートのデシメーションが実行されます。 0: 1. 1: 2. 2: 4. 3: 8. 4: 16. 5: 32. 6: 64. 7: 128.
	7	0x0	R/W	予備	0x0 を書き込みます。
	[6:4]	0x0	R/W	SLOTA_NUM_AVG	タイム・スロット A に対応するサンプルの合計/平均、 $N_A$ : ビット [10:8] に似ていますが、タイム・スロット A を対象にしています。レジスタ 0x15 のビット [10:8] に関する説明を参照してください。
	[3:0]	0x0	R/W	予備	0x0 を書き込みます。
0x18	[15:0]	0x2000	R/W	SLOTA_CH1_OFFSET	タイム・スロット A のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x19	[15:0]	0x2000	R/W	SLOTA_CH2_OFFSET	タイム・スロット A のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1A	[15:0]	0x2000	R/W	SLOTA_CH3_OFFSET	タイム・スロット A のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1B	[15:0]	0x2000	R/W	SLOTA_CH4_OFFSET	タイム・スロット A のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1E	[15:0]	0x2000	R/W	SLOTB_CH1_OFFSET	タイム・スロット B のチャンネル 1 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x1F	[15:0]	0x2000	R/W	SLOTB_CH2_OFFSET	タイム・スロット B のチャンネル 2 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

アドレス	データ・ビット	デフォルト値	アクセス	名前	説明
0x20	[15:0]	0x2000	R/W	SLOTB_CH3_OFFSET	タイム・スロット B のチャンネル 3 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。
0x21	[15:0]	0x2000	R/W	SLOTB_CH4_OFFSET	タイム・スロット B のチャンネル 4 における ADC オフセット。ADC の未処理値から、この値を差し引きます。代表値は 0x2000 です。

## データ・レジスタ

表 33. データ・レジスタ

アドレス	データ・ビット	アクセス	名前	説明
0x60	[15:0]	R	FIFO_DATA	FIFO 内で次に利用できるワード。
0x64	[15:0]	R	SLOTA_CH1_16BIT	タイム・スロット A のチャンネル 1 にある 16 ビット値。
0x65	[15:0]	R	SLOTA_CH2_16BIT	タイム・スロット A のチャンネル 2 にある 16 ビット値。
0x66	[15:0]	R	SLOTA_CH3_16BIT	タイム・スロット A のチャンネル 3 にある 16 ビット値。
0x67	[15:0]	R	SLOTA_CH4_16BIT	タイム・スロット A のチャンネル 4 にある 16 ビット値。
0x68	[15:0]	R	SLOTB_CH1_16BIT	タイム・スロット B のチャンネル 1 にある 16 ビット値。
0x69	[15:0]	R	SLOTB_CH2_16BIT	タイム・スロット B のチャンネル 2 にある 16 ビット値。
0x6A	[15:0]	R	SLOTB_CH3_16BIT	タイム・スロット B のチャンネル 3 にある 16 ビット値。
0x6B	[15:0]	R	SLOTB_CH4_16BIT	タイム・スロット B のチャンネル 4 にある 16 ビット値。
0x70	[15:0]	R	SLOTA_CH1_LOW	タイム・スロット A のチャンネル 1 にある下位データワード。
0x71	[15:0]	R	SLOTA_CH2_LOW	タイム・スロット A のチャンネル 2 にある下位データワード。
0x72	[15:0]	R	SLOTA_CH3_LOW	タイム・スロット A のチャンネル 3 にある下位データワード。
0x73	[15:0]	R	SLOTA_CH4_LOW	タイム・スロット A のチャンネル 4 にある下位データワード。
0x74	[15:0]	R	SLOTA_CH1_HIGH	タイム・スロット A のチャンネル 1 にある上位データワード。
0x75	[15:0]	R	SLOTA_CH2_HIGH	タイム・スロット A のチャンネル 2 にある上位データワード。
0x76	[15:0]	R	SLOTA_CH3_HIGH	タイム・スロット A のチャンネル 3 にある上位データワード。
0x77	[15:0]	R	SLOTA_CH4_HIGH	タイム・スロット A のチャンネル 4 にある上位データワード。
0x78	[15:0]	R	SLOTB_CH1_LOW	タイム・スロット B のチャンネル 1 にある下位データワード。
0x79	[15:0]	R	SLOTB_CH2_LOW	タイム・スロット B のチャンネル 2 にある下位データワード。
0x7A	[15:0]	R	SLOTB_CH3_LOW	タイム・スロット B のチャンネル 3 にある下位データワード。
0x7B	[15:0]	R	SLOTB_CH4_LOW	タイム・スロット B のチャンネル 4 にある下位データワード。
0x7C	[15:0]	R	SLOTB_CH1_HIGH	タイム・スロット B のチャンネル 1 にある上位データワード。
0x7D	[15:0]	R	SLOTB_CH2_HIGH	タイム・スロット B のチャンネル 2 にある上位データワード。
0x7E	[15:0]	R	SLOTB_CH3_HIGH	タイム・スロット B のチャンネル 3 にある上位データワード。
0x7F	[15:0]	R	SLOTB_CH4_HIGH	タイム・スロット B のチャンネル 4 にある上位データワード。

外形寸法

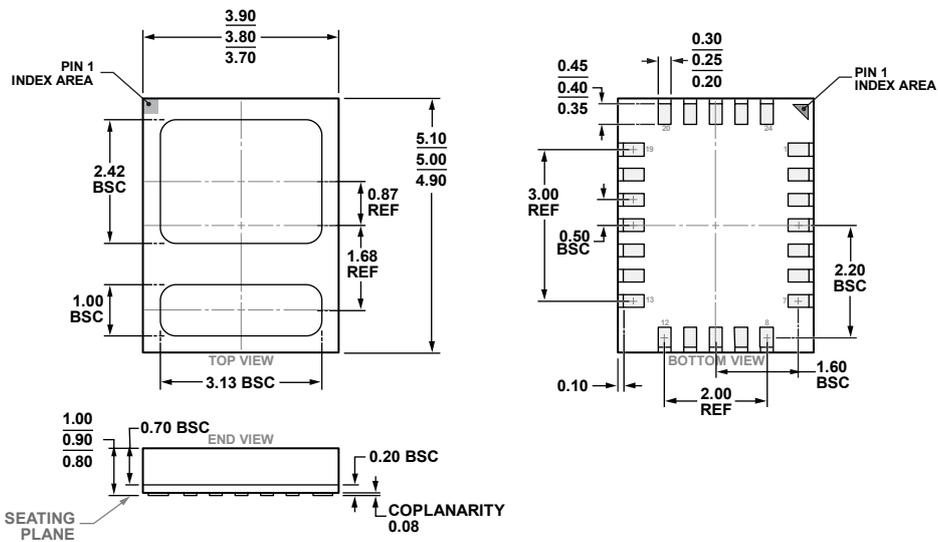


図 40. 24 端子チップ・アレイ・スモール・アウトライン・リードなしキャビティ [LGA\_CAV]  
 3.80mm × 5.00mm ボディ、0.9mm パッケージ高 (CE-24-1)  
 寸法 : mm

オーダー・ガイド

Model <sup>1,2</sup>	Temperature Range	Package Description	Package Option
ADPD188GG-ACEZR7	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV], 7" Tape and Reel	CE-24-1
ADPD188GG-ACEZRL	-40°C to +85°C	24-Terminal Chip Array Small Outline No Lead Cavity [LGA_CAV], 13" Tape and Reel	CE-24-1
EVAL-ADPD188GGZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品

<sup>2</sup> EVAL-ADPDUCZ は、別売りのマイクロコントローラ・ボード。EVAL-ADPD188GGZ 評価用ボードとの接続に必要。