



デュアル・チャンネル 3.3GHz~4.0GHz、20W の レシーバー・フロント・エンド

データシート

ADRF5515

特長

デュアル・チャンネル RF フロント・エンドを内蔵
2 段 LNA および高出力シリコン SPDT スイッチ
オンチップのバイアスおよびマッチング
単電源動作

ゲイン

高ゲイン・モード：3.6GHz で 33dB（代表値）
低ゲイン・モード：3.6GHz で 16dB（代表値）

低ノイズ指数

高ゲイン・モード：3.6GHz で 1.0dB（代表値）
低ゲイン・モード：3.6GHz で 1.0dB（代表値）

高アイソレーション

RXOUT-CHA と RXOUT-CHB：45dB（代表値）
TERM-CHA と TERM-CHB：60dB（代表値）

低挿入損失：3.6GHz で 0.45dB（代表値）

T_{CASE} = 105°C で高出力に対応

寿命全期間

平均 LTE 出力 (9dB PAR)：43dBm

高 OIP3（高ゲイン・モード）：32dBm（代表値）

LNA 用パワーダウン・モードおよび低ゲイン・モード

低電源電流

高ゲイン・モード：5V で 86mA（代表値）
低ゲイン・モード：5V で 36mA（代表値）
パワーダウン・モード：5V で 12mA（代表値）

正ロジック制御

6mm × 6mm、40 ピン LFCSP パッケージ

ADRF5545A（10W バージョン）とのピン互換性

アプリケーション

ワイヤレス・インフラストラクチャ

TDD Massive Multiple-Input Multiple-Output および

アクティブ・アンテナ・システム

TDD ベースの通信システム

概要

ADRF5515 は、時分割複信（TDD）アプリケーション用に設計されたデュアル・チャンネルの統合型 RF フロント・エンド・マルチチップ・モジュールです。このデバイスは 3.3GHz~4.0GHz の範囲で動作します。2 段カスケード LNA と高出力シリコン SPDT スイッチを備えたデュアル・チャンネル構成となっています。

高ゲイン・モードでは、2 段カスケード LNA およびスイッチを使用して、低ノイズ指数 1.0dB、高ゲイン 33dB（3.6GHz 時）、出力 3 次インターセプト・ポイント（OIP3）32dBm（代表値）を実現します。低ゲイン・モードでは、2 段 LNA のうち 1 段はバイパスされ、36mA という低電流で 16dB のゲインを実現します。パワーダウン・モードでは、LNA はオフとなり、デバイスは 12mA の電流を供給します。

送信動作において、RF 入力が終端ピン（TERM-CHA または TERM-CHB）に接続されると、スイッチは 0.45dB という低挿入損失となり、ロング・ターム・エボリューション（LTE）の平均電力（ピーク対平均値比（PAR）9dB）は、寿命全期間動作で 43dBm になります。

ADRF5515 は、2.4GHz~4.2GHz で動作する ADRF5545A（10W バージョン）とのピン互換性を備えています。

ADRF5515 の RF ポートは内部で 50Ω に整合されているため、マッチング部品は不要です。また、ANT ポートと TERM ポートは内部で AC カップリングされています。そのため、レシーバー・ポートにのみ、外付けの DC 阻止コンデンサが必要となります。

このデバイスは、RoHS 準拠の小型 6mm × 6mm、40 ピン LFCSP パッケージを採用しています。

機能ブロック図

ADRF5515

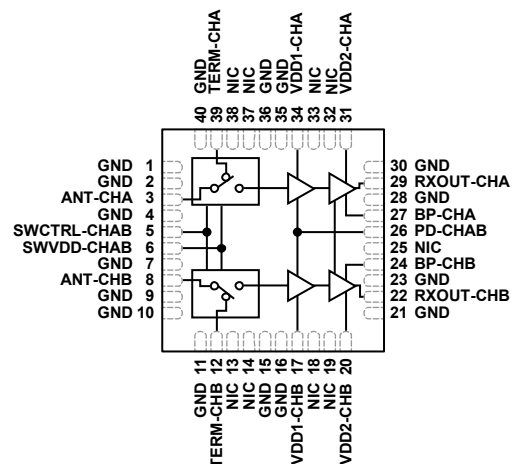


図 1.

20051-001

目次

特長	1	インターフェース回路図	7
アプリケーション	1	代表的な性能特性	8
概要	1	受信動作、高ゲイン・モード	8
機能ブロック図	1	受信動作、低ゲイン・モード	10
改訂履歴	2	送信動作	12
仕様	3	動作原理	13
電気仕様	3	信号パスの選択	13
絶対最大定格	5	バイアス・シーケンス	13
熱抵抗	5	アプリケーション情報	14
静電放電（ESD）定格	5	外形寸法	15
ESD に関する注意	5	オーダー・ガイド	15
ピン配置およびピン機能の説明	6		

改訂履歴

11/2020—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω のシステムに対し、VDD1-CHA、VDD1-CHB、VDD2-CHA、VDD2-CHB、SWVDD-CHAB = 5V、SWCTRL-CHAB = 0V または SWVDD-CHAB、BP-CHA = VDD1-CHA または 0V、BP-CHB = VDD1-CHB または 0V、PD-CHAB = 0V または VDD1-CHA、T_{CASE} = 25°C。

表 1.

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
FREQUENCY RANGE		3.3		4.0	GHz
GAIN ¹	3.6GHz での受信動作				
High Gain Mode			33		dB
Low Gain Mode			16		dB
GAIN FLATNESS ¹	任意の 100MHz 帯域幅での受信動作				
High Gain Mode			0.6		dB
Low Gain Mode			0.2		dB
NOISE FIGURE ¹	3.6GHz での受信動作				
High Gain Mode			1.0		dB
Low Gain Mode			1.0		dB
OUTPUT THIRD-ORDER INTERCEPT POINT (OIP3) ¹	受信動作。ツー-tone 出力電力：tone あたり 8dBm（1MHz の tone 間隔時）。				
High Gain Mode			32		dBm
Low Gain Mode			29		dBm
OUTPUT 1 dB COMPRESSION (OP1dB)					
High Gain Mode			18		dBm
Low Gain Mode			15		dBm
INSERTION LOSS ¹	3.6GHz での送信動作		0.45		dB
Channel to Channel Isolation ¹	3.6GHz 時				
Between RXOUT-CHA AND RXOUT-CHB	受信動作		45		dB
Between TERM-CHA AND TERM-CHB	送信動作		60		dB
SWITCH ISOLATION					
ANT-CHA to TERM-CHA and ANT-CHB to TERM-CHB ¹	送信動作、PD-CHAB = 0V		18.5		dB
SWITCHING CHARACTERISTICS (t _{ON} , t _{OFF})					
	受信動作時、50%の制御電圧から RXOUT-CHA または RXOUT-CHB の 90%および 10%まで		600		ns
	送信動作時、50%の制御電圧から TERM-CHA または TERM-CHB の 90%および 10%まで		595		ns
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage (V _{DD}) Range	VDD1-CHA、VDD1-CHB、VDD2-CHA、VDD2-CHB、SWVDD-CHAB	4.75	5	5.25	V
Control Voltage Range	SWCTRL-CHAB、BP-CHA、BP-CHB、PD-CHAB	0		V _{DD}	V
RF Input Power	SWCTRL-CHAB = 5V、T _{CASE} = 105°C				
At ANT-CHA, ANT-CHB	PD-CHAB = 5V、BP-CHA = BP-CHB = 0V				
	9dB PAR（LTE 寿命全期間平均）			43	dBm
	7dB PAR（LTE シングル・イベント（10 秒未満）平均） ¹			46	dBm
At ANT-CHA, ANT-CHB	PD-CHAB = 0V、BP-CHA = BP-CHB = 0V				
	9dB PAR（LTE 寿命全期間平均）			31	dBm

データシート

ADRF5515

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
At ANT-CHA, ANT-CHB	PD-CHAB = 0V、BP-CHA = BP-CHB = 5V 9dB PAR (LTE 寿命全期間平均)、3.3GHz~4.0GHz 7dB PAR (LTE シングル・イベント (10 秒未満) 平均) ¹			43 46	dBm dBm
T _{CASE} Range ² Junction Temperature at Maximum T _{CASE}	受信動作 ³ 送信動作 ³	-40		+105 132 134	°C °C °C
DIGITAL INPUT SWCTRL-CHAB, PD-CHAB Low (V _{IL}) High (V _{IH}) BP-CHA, BP-CHB Low (V _{IL}) High (V _{IH})		0 1.4 0 1.0		0.7 V _{DD} 0.3 V _{DD}	V V V V
SUPPLY CURRENT (I _{DD}) High Gain Mode Low Gain Mode Power-Down Mode Transmitter Current (Switch)	VDD1-CHx および VDD2-CHx = 5V (チャンネルあたり) SWVDD-CHAB = 5V		86 36 12 1.3		mA mA mA mA
DIGITAL INPUT CURRENTS SWCTRL-CHAB PD-CHAB BP-CHA, BP-CHB	SWCTRL-CHAB、PD-CHAB、BP-CHA、BP-CHB = 5V (チャンネルあたり)		0.084 0.19 0.19		mA mA mA

¹ 53dBm を上回るピーク電力は評価していません。

² 露出パッドで測定

³ 表 5 および表 6 を参照してください。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage (V_{DD}) VDD1-CHA, VDD1-CHB, VDD2-CHA, and VDD2-CHB	7 V
SWVDD-CHAB	5.4 V
Digital Control Input Voltage SWCTRL-CHAB	−0.3 V to $V_{DD} + 0.3$ V
BP-CHA, BP-CHB, and PD-CHAB	−0.3 V to $V_{DD} + 0.3$ V
Digital Control Input Current BP-CHA, BP-CHB, PD-CHAB, and SWCTRL-CHAB	20 mA
RF Input Power Transmit Input Power (LTE Peak, 9 dB PAR)	53 dBm
Receive Input Power (LTE Peak, 9 dB PAR)	25 dBm
Temperature Storage Range	−65°C to +150°C
Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部（チャンネルからパッケージ底部）への熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC}	Unit
CP-40-15		
High Gain Mode	30	°C/W
Low Gain Mode	36	°C/W
Power-Down Mode	6	°C/W

静電放電（ESD）定格

以下の ESD 情報は、ESD 保護された領域でのみ ESD に敏感なデバイスを扱うためのものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

ADRF5515 の ESD 定格

表 4. ADRF5515、40 ピン LFCSP

ESD Model	Withstand Threshold	Class
HBM	1 kV	1C
CDM	750 V	

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

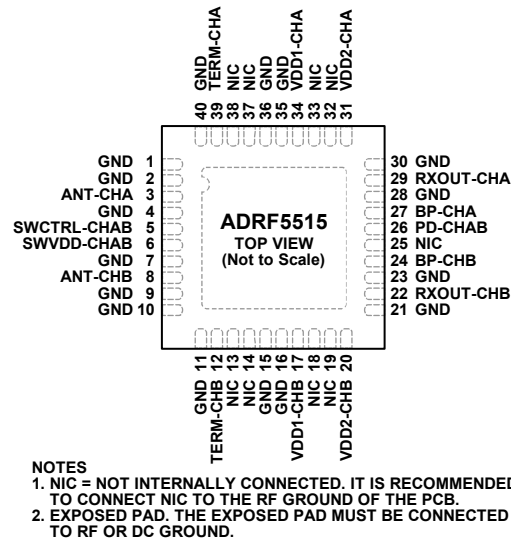


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 7, 9 to 11, 15, 16, 21, 23, 28, 30, 35, 36, 40	GND	グラウンド。
3	ANT-CHA	チャンネル A の RF 入力。ANT-CHA ピンは 0V に AC カップリングされ、 50Ω に整合されています。マッチング・コンデンサおよび DC 阻止コンデンサは不要です。
5	SWCTRL-CHAB	チャンネル A およびチャンネル B のスイッチ用制御電圧。
6	SWVDD-CHAB	チャンネル A およびチャンネル B のスイッチ用電源電圧。
8	ANT-CHB	チャンネル B の RF 入力。ANT-CHB ピンは 0V に AC カップリングされ、 50Ω に整合されています。マッチング・コンデンサおよび DC 阻止コンデンサは不要です。
12	TERM-CHB	チャンネル B の終端出力。TERM-CHB ピンはチャンネル B のトランスミッタ・パスです。TERM-CHB ピンは 0V に AC カップリングされ、 50Ω に整合されています。マッチング・コンデンサおよび DC 阻止コンデンサは不要です。
13, 14, 18, 19, 25, 32, 33, 37, 38	NIC	内部では未接続。NIC は PCB の RF グラウンドに接続することを推奨します。
17	VDD1-CHB	チャンネル B の 1 段目の LNA 用電源電圧。
20	VDD2-CHB	チャンネル B の 2 段目の LNA 用電源電圧。
22	RXOUT-CHB	レシーバー出力。RXOUT-CHB ピンはチャンネル B のレシーバー・パスです。RXOUT-CHB ピンは 50Ω に AC 整合されています。マッチング部品は不要ですが、DC 阻止コンデンサが必要です。
24	BP-CHB	チャンネル B の 2 段目の LNA をバイパス。
26	PD-CHAB	チャンネル A およびチャンネル B の全段の LNA をパワーダウン。
27	BP-CHA	チャンネル A の 2 段目の LNA をバイパス。
29	RXOUT-CHA	レシーバー出力。RXOUT-CHA ピンはチャンネル A のレシーバー・パスです。RXOUT-CHA ピンは 50Ω に AC 整合されています。マッチング部品は不要ですが、DC 阻止コンデンサが必要です。
31	VDD2-CHA	チャンネル A の 2 段目の LNA 用電源電圧。
34	VDD1-CHA	チャンネル A の 1 段目の LNA 用電源電圧。
39	TERM-CHA	チャンネル A の終端出力。TERM-CHA ピンはチャンネル A のトランスミッタ・パスです。TERM-CHA ピンは 0V に AC カップリングされ、 50Ω に整合されています。マッチング・コンデンサおよび DC 阻止コンデンサは不要です。
	EPAD	露出パッド。露出パッドは RF または DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース

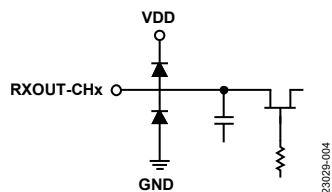


図 4. RXOUT-CHx のインターフェース

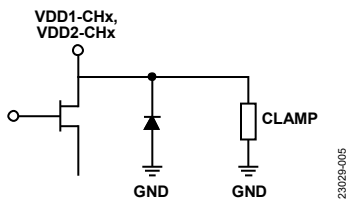


図 5. VDD1-CHx、VDD2-CHx のインターフェース

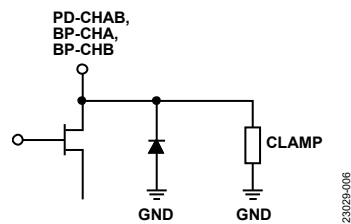


図 6. PD-CHAB、BP-CHx のインターフェース

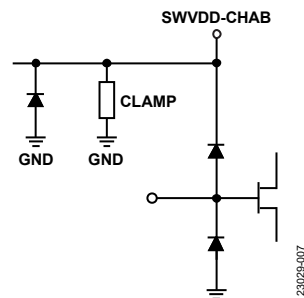


図 7. SWCTRL-CHAB、SWVDD-CHAB のインターフェース

代表的な性能特性

受信動作、高ゲイン・モード

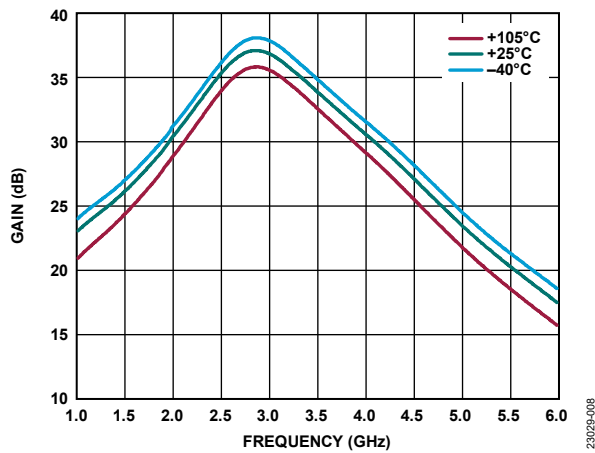


図 8. 様々な温度でのゲインの周波数特性

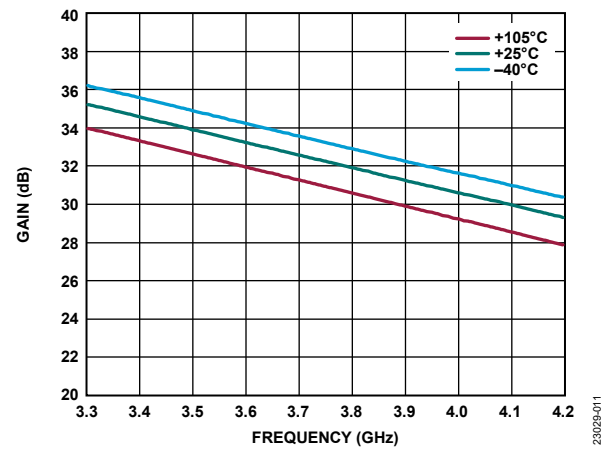


図 11. 様々な温度でのゲインの周波数特性、3.3GHz~4.2GHz

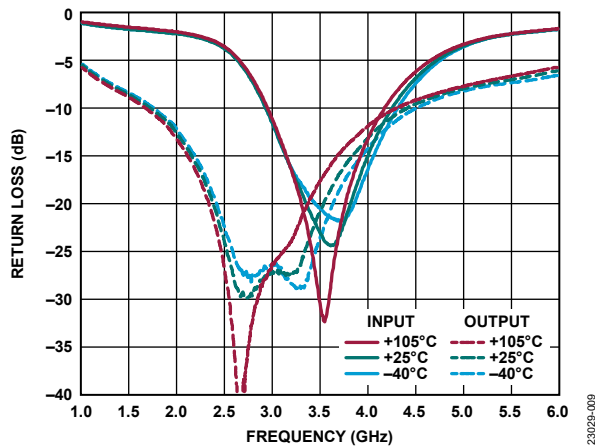


図 9. 様々な温度での入出力リターン・ロスの周波数特性

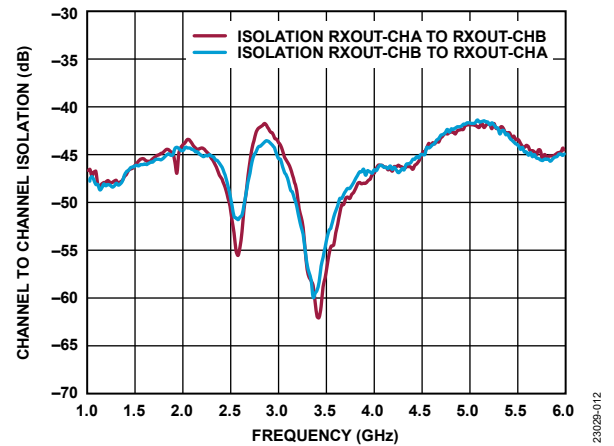


図 12. チャンネル間アイソレーションの周波数特性

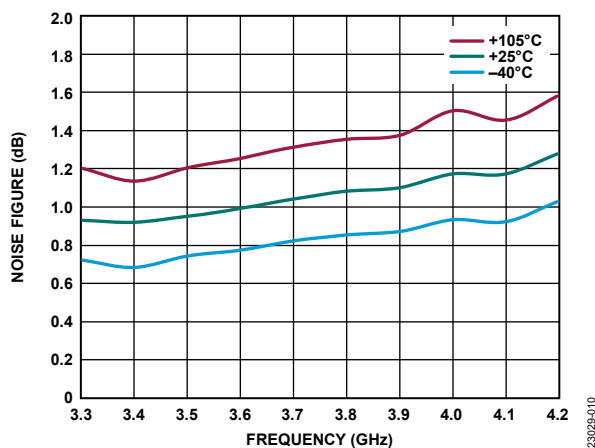


図 10. 様々な温度でのノイズ指数の周波数特性

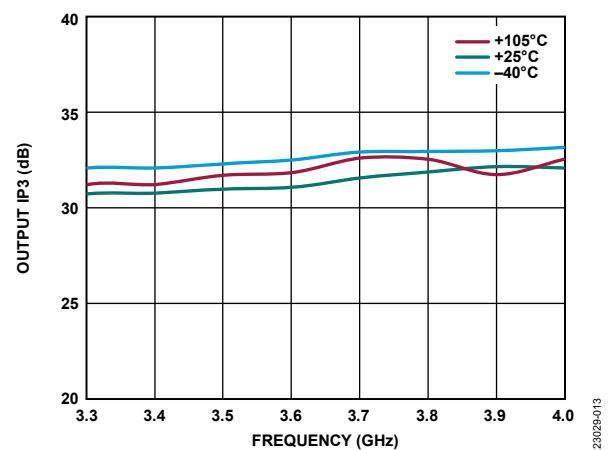


図 13. 様々な温度での出力 IP3 の周波数特性、
出力トーン電力 8dBm

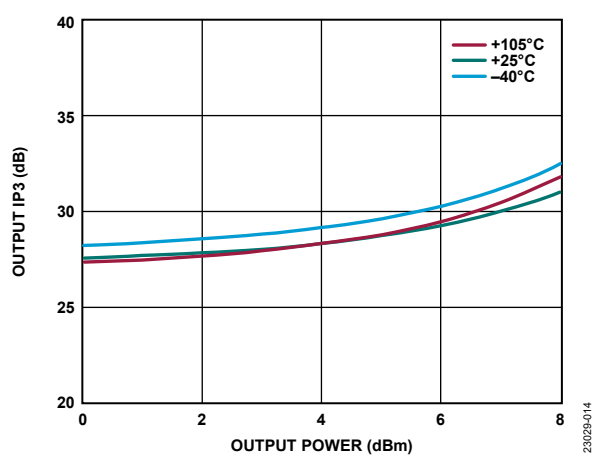


図 14. 様々な温度での出力 IP3 と出力電力の関係、3.6GHz

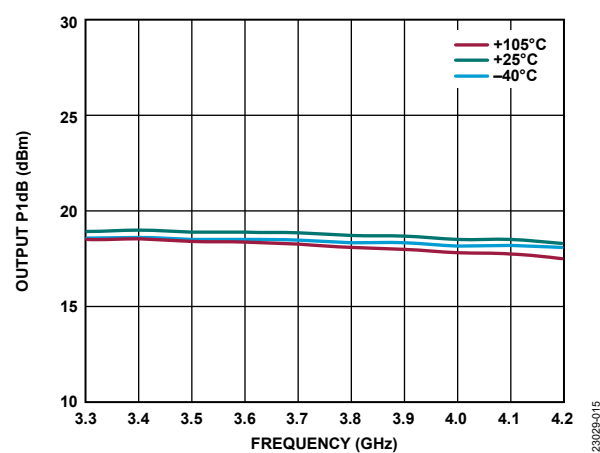


図 15. 様々な温度での出力 P1dB の周波数特性

受信動作、低ゲイン・モード

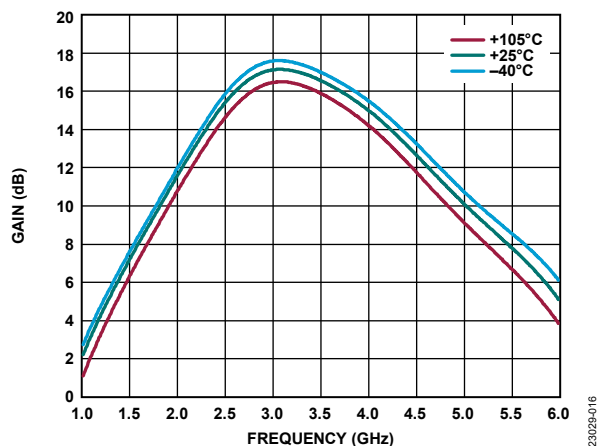


図 16. 様々な温度でのゲインの周波数特性

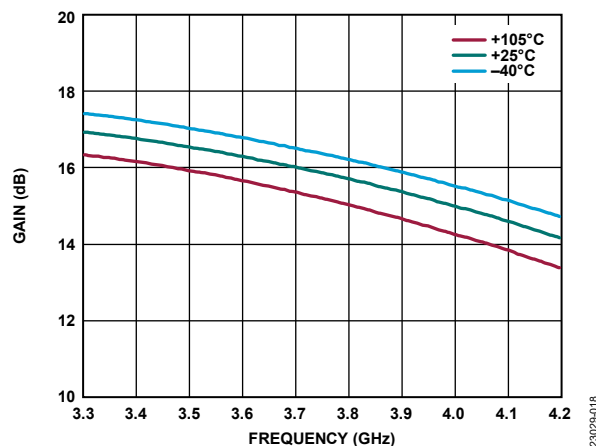


図 18. 様々な温度でのゲインの周波数特性、3.3GHz~4.2GHz

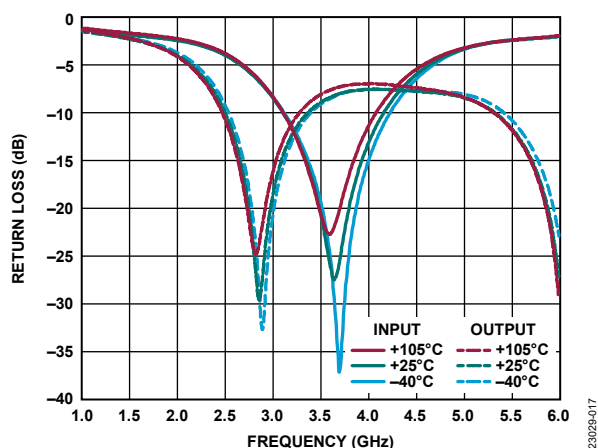


図 17. 様々な温度での入出力リターン・ロスの周波数特性

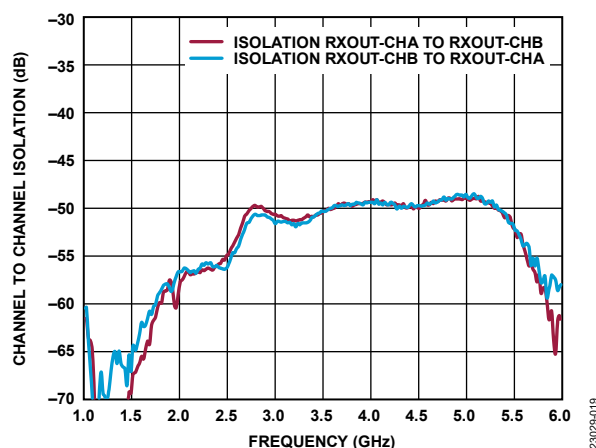


図 19. チャンネル間アイソレーションの周波数特性

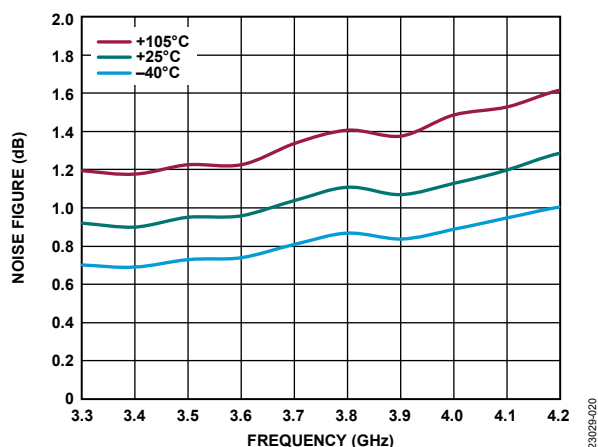


図 20. 様々な温度でのノイズ指数の周波数特性

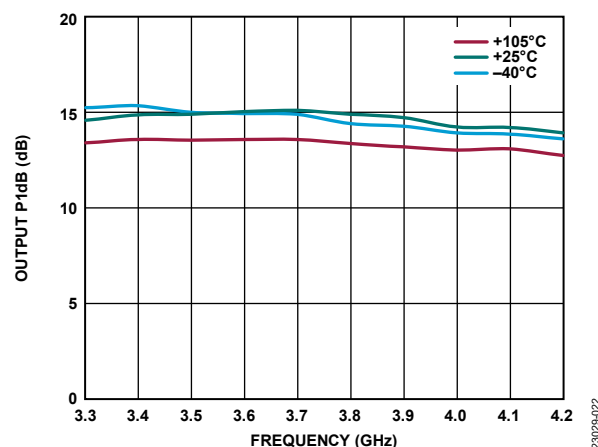


図 22. 様々な温度での出力 P1dB の周波数特性

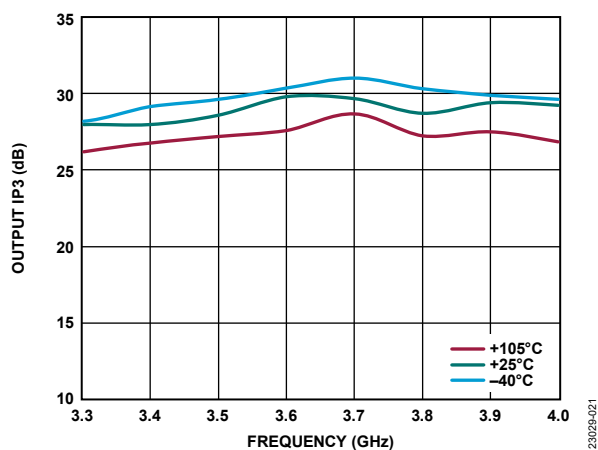


図 21. 様々な温度での出力 IP3 の周波数特性、
出力トーン電力-10dBm

送信動作

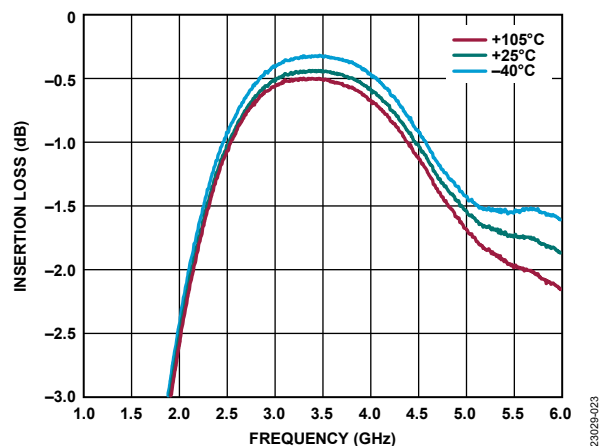


図 23. 様々な温度での挿入損失の周波数特性

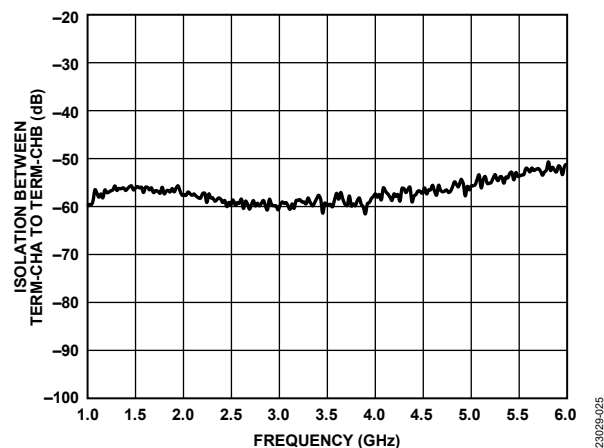


図 25. TERM-CHA と TERM-CHB 間のアイソレーションの周波数特性

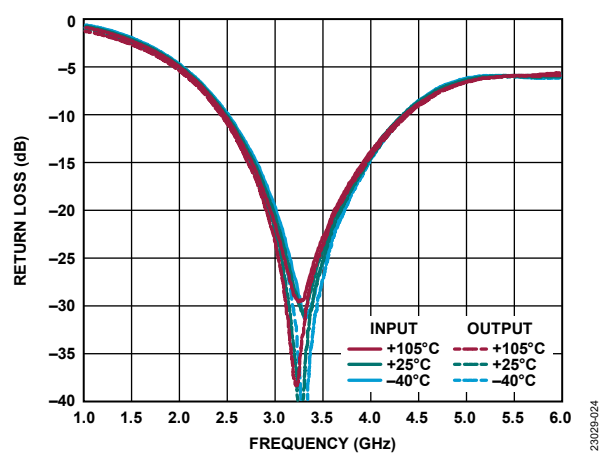


図 24. 様々な温度での入出力リターン・ロスの周波数特性

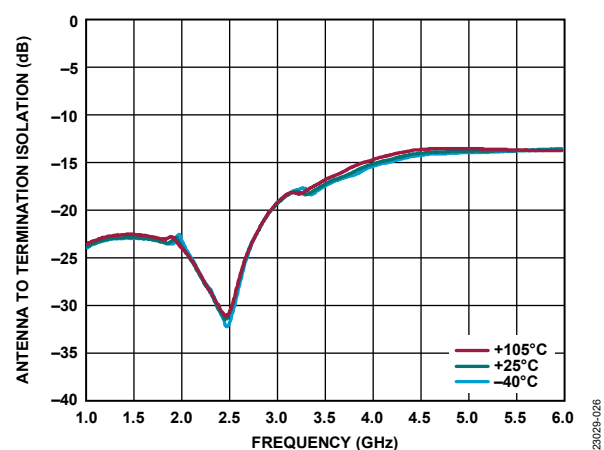


図 26. 様々な温度でのアンテナと終端間のアイソレーションの周波数特性、LNA オン

動作原理

ADRF5515 には、VDD1-CHA、VDD2-CHA、VDD1-CHB、VDD2-CHB、SWVDD-CHAB に印加する正電源電圧が必要です。ノイズを除去するため、電源ラインにはバイパス用コンデンサを使用してください。また、グリッチおよび過電流保護のため、デジタル制御ピンの BP-CHx と PD-CHAB には 300Ω の直列抵抗を使用してください。

信号パスの選択

SWCTRL-CHAB に 5V が印加されると、ADRF5515 は送信動作に対応します。送信動作では、ANT-CHA および ANT-CHB に RF が入力されると、ANT-CHA から TERM-CHA、および ANT-CHB から TERM-CHB への信号パスが接続されます。

SWCTRL-CHAB に 0V が印加されると、ADRF5515 は受信動作に対応します。受信動作では、ANT-CHA および ANT-CHB に RF が入力されると、ANT-CHA から RXOUT-CHA、および ANT-CHB から RXOUT-CHB への接続が行われます。

送信動作

送信動作、すなわち SWCTRL-CHAB = 5V のときには、ADRF5515 は挿入損失モードとアイソレーション・モードをサポートします。[表 7](#) に詳述されているように、PD-CHAB を 5V、BP-CHA または BP-CHB を 0V に設定すると挿入損失モードが選択されます。同じ状況下で PD-CHAB に 0V を印加すると、アイソレーション・モードが選択されます。

受信動作

[表 7](#) に示すように、ADRF5515 は受信動作において、高ゲイン・モード、低ゲイン・モード、パワーダウン高アイソレーション・モード、パワーダウン低アイソレーション・モードをサポートします。

PD-CHAB に 0V を印加すると、LNA がパワーアップし、ユーザは高ゲイン・モードまたは低ゲイン・モードを選択できます。高ゲイン・モードを選択するには、BP-CHA または BP-CHB に 0V を印加します。低ゲイン・モードを選択するには、BP-CHA または BP-CHB に 5V を印加します。

PD-CHAB に 5V を印加すると、ADRF5515 はパワーダウン・モードになります。パワーダウン高アイソレーション・モードを選択するには、BP-CHA または BP-CHB に 0V を印加します。パワーダウン低アイソレーション・モードを選択するには、BP-CHA または BP-CHB に 5V を印加します。

バイアス・シーケンス

ADRF5515 にバイアスを加えるには、以下の手順を実行します。

1. GND を接地します。
2. VDD1-CHA、VDD2-CHA、VDD1-CHB、VDD2-CHB、SWVDD-CHAB にバイアスを加えます。
3. SWCTRL-CHAB にバイアスを加えます。
4. PD-CHAB にバイアスを加えます。
5. BP-CHA と BP-CHB にバイアスを加えます。
6. RF 入力信号を印加します。

バイアスを停止するには、これらの手順を逆順で実行します。

表 6. 真理値表：信号パス

SWCTRL-CHAB	Signal Path Select	
	Transmit Operation ¹	Receive Operation
Low	Off	On
High	On	Off

¹ [表 6](#) の信号パスの説明を参照してください。

表 7. 真理値表：動作、SWCTRL-CHAB = ロー

Operation	PD-CHAB	BP-CHA, BP-CHB	Signal Path
Receive Operation			ANT-CHA to RXOUT-CHA, ANT-CHB to RXOUT-CHB
High Gain Mode	Low	Low	
Low Gain Mode	Low	High	
Power-Down High Isolation Mode	High	Low	
Power-Down Low Isolation Mode	High	High	

アプリケーション情報

代表的なアプリケーション回路（詳細については [ADRF5515-EVALZ ユーザ・ガイド](#) を参照）で使用される評価用 PCB を作成するには、適切な RF 回路設計技術を使用してください。RF ポートの信号線のインピーダンスは 50Ω である必要があります。また、パッケージのグラウンド・リードと裏面のグラウンド・スラグはグラウンド・プレーンに直接接続する必要があります。

グリッチおよび過電流保護のため、デジタル制御ピンの BP-CHx と PD-CHAB には 300Ω の直列抵抗を使用してください。図 27 に示した評価用ボードは、ご要望に応じてアナログ・デバイセスから提供されます。評価用ボードの追加情報については、ADRF5515-EVALZ ユーザ・ガイドを参照してください。

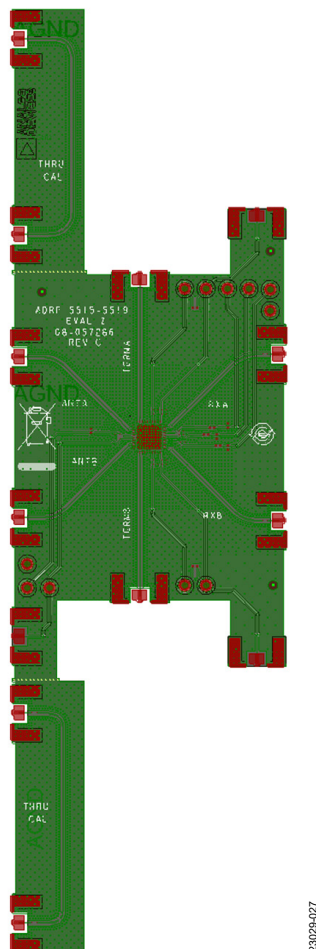


図 27. ADRF5515-EVALZ 評価用ボード

Figure 1: Dimensions of the 16-pin package.

Top View:

- Overall width: 6.10
- Overall height: 6.00 SQ
- Inner width: 5.90
- PIN 1 INDICATOR (shaded area)

Bottom View:

- Pin pitch: 0.30
- Pin width: 0.25
- Pin gap: 0.18
- Pin height: 0.50 BSC
- Exposed pad width: 0.45
- Exposed pad height: 0.40
- Exposed pad thickness: 0.35
- Pin 1 indicator area options (see Detail A)
- Pin 1 indicator area height: 4.70
- Pin 1 indicator area width: 4.60 SQ
- Pin 1 indicator area thickness: 4.50
- Pin 1 indicator area offset: 0.25 MIN
- Pin 1 indicator area coplanarity: 0.02 NOM

End View:

- Overall height: 1.00
- Overall width: 0.95
- Overall thickness: 0.85
- Pin height: 0.05 MAX
- Pin width: 0.02 NOM
- Pin gap: 0.20 REF
- Pin coplanarity: 0.08
- SEATING PLANE

図 28. 40 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP]
6mm × 6mm ボディ、0.95mm パッケージ高
(CP-40-15)
寸法：mm

Model ¹	Temperature Range	Package Description	Package Option
ADRF5515BCPZN	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5515BCPZN-R7	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5515BCPZN-RL	-40°C to +105°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-15
ADRF5515-EVALZ		Evaluation Board	

¹ Z = RoHS 準拠製品。