



2dB LSB、4ビットのシリコン・デジタル減衰器、10MHz～60GHz

データシート

ADRF5740

特長

超広帯域周波数範囲：10MHz～60GHz

減衰範囲：2dB ステップで 22dB まで

低挿入損失

20GHz まで：1.4dB

44GHz まで：2.2dB

55GHz まで：3.3dB

減衰精度（インピーダンス・マッチング有り）

20GHz まで：± (0.1 + 設定値の 1.0%) dB

44GHz まで：± (0.2 + 設定値の 3.0%) dB

55GHz まで：± (0.2 + 設定値の 7.0%) dB

ステップ誤差（代表値）：

20GHz まで：±0.30dB

44GHz まで：±0.50dB

55GHz まで：±0.60dB

高入力直線性

P0.1dB：25.5dBm（代表値）

IP3：45dBm（代表値）

大 RF 入力電力処理：24dBm（平均）、24dBm（ピーク）

緊密な分布の相対位相

低周波数スプリアス・シグナルなし

パラレル・モード制御、CMOS/LVTTL 互換

RF 振幅のセトリング・タイム（最終 RF 出力の 0.1dB まで）：

175ns

16 端子、2.5mm × 2.5mm、RoHS 準拠 LGA パッケージ

アプリケーション

工業用スキャナ

試験および計測器

セルラ・インフラストラクチャ：5G ミリ波

防衛用無線、レーダー、電子対抗手段（ECM）

マイクロ波無線および超小型地球局（VSAT）

概要

ADRF5740 は、22dB の減衰範囲を 2dB ステップで制御する、4ビット・シリコン・デジタル・アッテネータです。

このデバイスは 10MHz～60GHz の範囲で動作し、挿入損失は 3.3dB 未満、55GHz での減衰精度は± (0.2% + 減衰状態の 7.0%) です。ATTIN ポートには、すべての減衰状態で平均 24dBm、ピーク 24dBm の RF 入力電力処理能力があります。

ADRF5740 は、+3.3V と -3.3V の両電源電圧を必要とします。パラレル・モード制御と、CMOS/低電圧トランジスタ・トランジスタ・ロジック（LVTTL）の互換制御を備えています。

ADRF5740 の RF ポートは、50Ω の特性インピーダンスにマッチするように設計されています。ADRF5740 は、16 端子、2.5mm × 2.5mm の RoHS 準拠ランド・グリッド・アレイ（LGA）パッケージで提供され、-40°C～+105°C で動作可能です。

機能ブロック図

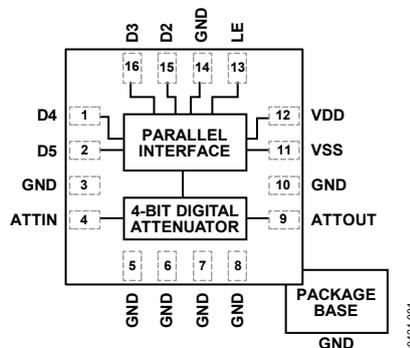


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

| | | | |
|----------------------|---|-------------------------------------|----|
| 特長 | 1 | 挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相 | 7 |
| アプリケーション | 1 | 入力電力圧縮と 3 次インターセプト | 9 |
| 機能ブロック図 | 1 | 動作原理 | 10 |
| 概要 | 1 | 電源 | 10 |
| 改訂履歴 | 2 | RF 入出力 | 10 |
| 仕様 | 3 | パラレル・モード・インターフェース | 11 |
| 電気仕様 | 3 | アプリケーション情報 | 12 |
| タイミング仕様 | 4 | レイアウト時の考慮事項 | 12 |
| 絶対最大定格 | 5 | ボード・レイアウト | 12 |
| 静電放電 (ESD) 定格 | 5 | RF およびデジタル制御 | 12 |
| 熱抵抗 | 5 | パッケージとオーダー情報 | 13 |
| パワー・ディレーティング曲線 | 5 | 外形寸法 | 13 |
| ESD に関する注意 | 5 | オーダー・ガイド | 13 |
| ピン配置およびピン機能の説明 | 6 | | |
| インターフェース回路図 | 6 | | |
| 代表的な性能特性 | 7 | | |

改訂履歴

6/2020—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ω システムに対し、VDD = 3.3V、VSS = -3.3V、デジタル電圧 = 0V または VDD、T_{CASE} = 25°C。

表 1.

| パラメータ | テスト条件/コメント | Min | Typ | Max | 単位 | |
|---------------------------|---|--|------------------------|------------------------|-----|--|
| FREQUENCY RANGE | | 10 | | 60,000 | MHz | |
| INSERTION LOSS | 10MHz~20GHz | | 1.4 | | dB | |
| | 20GHz~44GHz | | 2.2 | | dB | |
| | 44GHz~55GHz | | 3.3 | | dB | |
| | 55GHz~60GHz | | 4.4 | | dB | |
| RETURN LOSS | ATTIN および ATTOUT、すべての減衰状態 | | | | | |
| | 10MHz~20GHz | | 14 | | dB | |
| | 20GHz~44GHz | | 13 | | dB | |
| | 44GHz~55GHz | | 12 | | dB | |
| 55GHz~60GHz | | 10 | | dB | | |
| ATTENUATION | Range | 最小減衰状態と最大減衰状態の間 | | 22 | dB | |
| | Step Size | 連続する減衰状態の間 | | 2 | dB | |
| | Accuracy | 挿入損失を基準 | | | | |
| | | 10MHz~20GHz | | ±(0.1 + 1.0% of state) | dB | |
| | | 20GHz~44GHz | | ±(0.2 + 3.0% of state) | dB | |
| | | 44GHz~55GHz | | ±(0.2 + 7.0% of state) | dB | |
| | 55GHz~60GHz | | ±(0.3 + 7.0% of state) | dB | | |
| | Step Error | 連続する状態の間 | | | | |
| | | 10MHz~20GHz | | ±0.30 | dB | |
| | | 20GHz~44GHz | | ±0.50 | dB | |
| 44GHz~55GHz | | | ±0.60 | dB | | |
| 55GHz~60GHz | | ±1.2 | dB | | | |
| RELATIVE PHASE | 挿入損失を基準 | | | | | |
| | 10MHz~20GHz | | 22 | Degrees | | |
| | 20GHz~44GHz | | 55 | Degrees | | |
| | 44GHz~55GHz | | 65 | Degrees | | |
| 55GHz~60GHz | | 70 | Degrees | | | |
| SWITCHING CHARACTERISTICS | すべての減衰状態 (入力電力 = 10dBm) | | | | | |
| | Rise and Fall Time (t _{RISE} and t _{FALL}) | RF 出力の 10%~90% | 50 | ns | | |
| | On and Off Time (t _{ON} and t _{OFF}) | 50%でトリガ制御されてから RF 出力の 90%に達するまでの時間 | 100 | ns | | |
| | RF Amplitude Settling Time | 50%でトリガ制御されてから最終 RF 出力の 0.1dB に達するまでの時間 | | 175 | ns | |
| | | 0.1 dB | | | | |
| | 0.05 dB | 50%でトリガ制御されてから最終 RF 出力の 0.05dB に達するまでの時間 | | 225 | ns | |
| | | | | | | |
| | Overshoot | | 2 | dB | | |
| | Undershoot | | 0.75 | dB | | |
| | RF Phase Settling Time | f = 40GHz | | | | |
| 5° | | 50%でトリガ制御されてから最終 RF 出力の 5°に達するまでの時間 | 105 | ns | | |
| 1° | 50%でトリガ制御されてから最終 RF 出力の 1°に達するまでの時間 | 120 | ns | | | |

| パラメータ | テスト条件/コメント | Min | Typ | Max | 単位 |
|--------------------------------------|--|-------|------|-------|------------------|
| INPUT LINEARITY ¹ | 100MHz~50GHz | | | | |
| 0.1 dB Power Compression (P0.1dB) | | | 25.5 | | dBm |
| 1 dB Power Compression (P1dB) | | | 26.5 | | dBm |
| Third-Order Intercept (IP3) | ツー・トーン入力電力 = 12dBm (トーンあたり)、 $\Delta f = 1\text{MHz}$ 、すべての減衰状態 | | 45 | | dBm |
| DIGITAL CONTROL INPUTS | LE、D2、D3、D4、D5 ピン | | | | |
| Voltage | | | | | |
| Low (V_{INL}) | | 0 | | 0.8 | V |
| High (V_{INH}) | | 1.2 | | 3.3 | V |
| Current | | | | | |
| Low (I_{INL}) | | | -10 | | μA |
| High (I_{INH}) | LE、D2、D3、D4、D5 ピン | | <1 | | μA |
| SUPPLY CURRENT | | | | | |
| Positive Supply Current (I_{DD}) | VDD ピン | | | | |
| Bias Low | LE、D2、D3、D4、D5 = 0V | | 52 | | μA |
| Bias High | LE、D2、D3、D4、D5 = 3.3V | | 2 | | μA |
| Negative Supply Current (I_{SS}) | VSS ピン | | -110 | | μA |
| RECOMMENDED OPERATING CONDITIONS | | | | | |
| Supply Voltage | | | | | |
| VDD | | 3.15 | | 3.45 | V |
| VSS | | -3.45 | | -3.15 | V |
| Digital Control Voltage | | 0 | | VDD | V |
| RF Power ² | $f = 100\text{MHz} \sim 50\text{GHz}$ 、 $T_{\text{CASE}} = 85^\circ\text{C}$ 、 ³ すべての減衰状態 | | | | |
| Input at ATTIN | 定常状態、平均 | | | 24 | dBm |
| | 定常状態、ピーク | | | 24 | dBm |
| | ホット・スイッチング、平均 | | | 24 | dBm |
| | ホット・スイッチング、ピーク | | | 24 | dBm |
| Input at ATTOUT | 定常状態、平均 | | | 16 | dBm |
| | 定常状態、ピーク | | | 16 | dBm |
| | ホット・スイッチング、平均 | | | 16 | dBm |
| | ホット・スイッチング、ピーク | | | 16 | dBm |
| T_{CASE} | | -40 | | +105 | $^\circ\text{C}$ |

¹ 入力直線性は周波数の増加と共に低下します (図 21 および図 22 を参照)。

² パワー・ディレーティングと周波数の関係については、図 2 および図 3 を参照してください。パワー・ディレーティングは ATTIN と ATTOUT のすべての電力仕様に適用できます。

³ 105 $^\circ\text{C}$ での動作の場合、電力処理は $T_{\text{CASE}} = 85^\circ\text{C}$ での仕様より 3dB 低下します。

タイミング仕様

タイミング図については、図 24 を参照してください。

表 2.

| Parameter | Description | Min | Typ | Max | Unit |
|-----------|------------------------|-----|-----|-----|------|
| t_{LEW} | Minimum LE pulse width | | 10 | | ns |
| t_{PH} | Hold time | | 10 | | ns |
| t_{PS} | Setup time | | 2 | | ns |

絶対最大定格

表 3.

| Parameter | Rating |
|--|-----------------------|
| Positive Supply Voltage | -0.3 V to +3.6 V |
| Negative Supply Voltage | -3.6 V to +0.3 V |
| Digital Control Input Voltage | -0.3 V to VDD + 0.3 V |
| RF Power ¹ (f = 100 MHz to 50 GHz, T _{CASE} = 85°C ²) | |
| Input at ATTIN | |
| Steady State, Average | 25 dBm |
| Steady State, Peak | 25 dBm |
| Hot Switching, Average | 25 dBm |
| Hot Switching, Peak | 25 dBm |
| Input at ATTOUT | |
| Steady State, Average | 17 dBm |
| Steady State, Peak | 17 dBm |
| Hot Switching, Average | 17 dBm |
| Hot Switching, Peak | 17 dBm |
| RF Power Under Unbiased Condition ¹ (VDD, VSS = 0 V) | |
| Input at ATTIN | 18 dBm |
| Input at ATTOUT | 10 dBm |
| Temperature | |
| Junction (T _J) | 135°C |
| Storage | -65°C to +150°C |
| Reflow | 260°C |
| Continuous Power Dissipation (P _{DISS}) | 0.25 W |

¹ パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。ATTINおよびATTOUTのすべての電力仕様に適用されます。

² 105°Cでの動作の場合、電力処理はT_{CASE} = 85°Cでの仕様より3dB低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

静電放電 (ESD) 定格

次のESD情報は、ESDに敏感なデバイスをESD保護領域内においてのみ取り扱う場合のものであります。

人体モデル (HBM) はESDA/JEDEC JS-001に準拠しています。

電界誘導デバイス帯電モデル (FICDM) はESDA/JEDEC JS-002に準拠しています。

ADRF5740のESD定格

表 4. ADRF5740、16 端子 LGA

| ESD Model | Withstand Threshold (V) |
|-------------------------|-------------------------|
| HBM | |
| ATTIN and ATTOUT Pins | ±250 |
| Supply and Control Pins | ±2000 |
| FICDM | ±1250 |

熱抵抗

熱性能は、PCBの設計と動作環境に直接関連します。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケース底部（チャンネルからパッケージ底部）への熱抵抗です。

表 5. 熱抵抗

| Package Type | θ_{JC} ¹ | Unit |
|--------------|----------------------------|------|
| CC-16-6 | 200 | °C/W |

¹ θ_{JC} はシミュレーションにより求めます。シミュレーションは、伝熱はチャンネルからグラウンド・パッドを通してPCBに至る熱伝導のみによるものとする、という条件で行います。また、グラウンド・パッドの動作温度は85°Cで一定に保たれるものとしします。

パワー・ディレーティング曲線

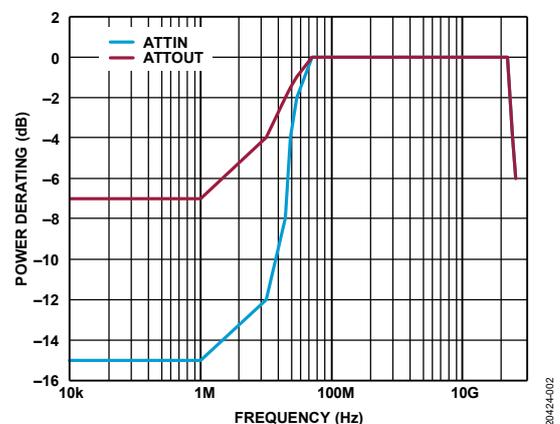


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、T_{CASE} = 85°C

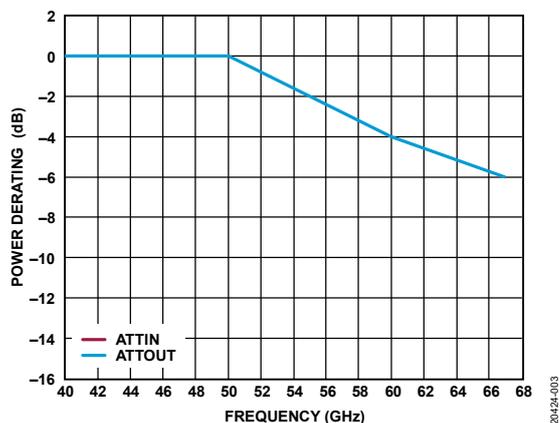


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、T_{CASE} = 85°C

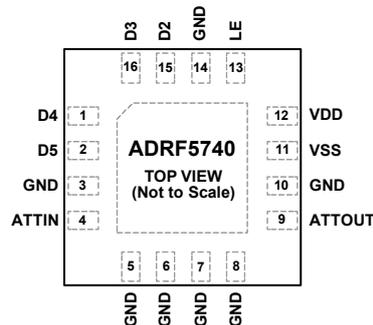
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND OF THE PCB.

20424-004

図 4. ピン配置

表 6. ピン機能の説明

| ピン番号 | 記号 | 説明 |
|-------------------|--------|--|
| 1 | D4 | 8dB 減衰ビット用パラレル制御入力。詳細については、 動作原理 のセクションを参照してください。 |
| 2 | D5 | 8dB 減衰ビット用パラレル制御入力。詳細については、 動作原理 のセクションを参照してください。 |
| 3, 5 to 8, 10, 14 | GND | グラウンド。GND ピンは、PCB の RF/DC グラウンドに接続する必要があります。 |
| 4 | ATTIN | 減衰器入力。ATTIN は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。 |
| 9 | ATTOUT | 減衰器出力。ATTOUT は 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0Vdc に等しい場合は、DC 阻止コンデンサは不要です。 |
| 11 | VSS | 負電源入力。 |
| 12 | VDD | 正電源入力。 |
| 13 | LE | ラッチ・イネーブル入力。詳細については、 動作原理 のセクションを参照してください。 |
| 15 | D2 | 2dB 減衰ビット用パラレル制御入力。詳細については、 動作原理 のセクションを参照してください。 |
| 16 | D3 | 4dB 減衰ビット用パラレル制御入力。詳細については、 動作原理 のセクションを参照してください。 |
| | EPAD | 露出パッド。露出パッドは、PCB の RF/DC グラウンドに接続する必要があります。 |

インターフェース回路図

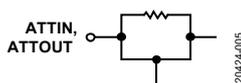


図 5. ATTIN と ATTOUT のインターフェース

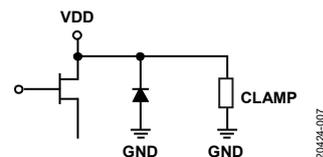


図 7. VDD ピンのインターフェース回路図

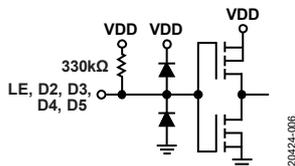


図 6. デジタル入力インターフェース (LE、D2、D3、D4、D5)

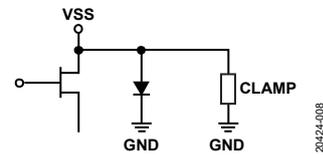


図 8. VSS ピンのインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、50Ω システムに対し、VDD = 3.3V、VSS = -3.3V、デジタル電圧 = 0V または VDD、T_{CASE} = 25°C。ADRF5740-EVALZ-185 上で測定。評価用ボードの詳細については、[アプリケーション情報](#)のセクションを参照してください。

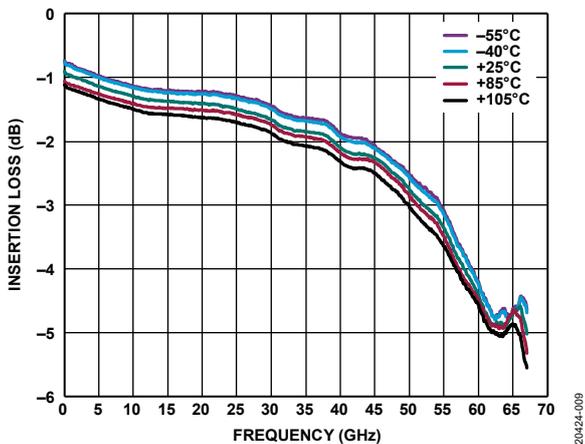


図 9. 挿入損失と周波数/温度の関係

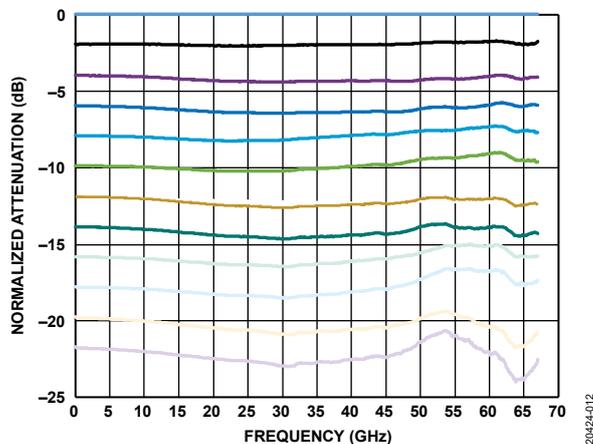


図 12. 全状態の規格化減衰量と周波数の関係 (室温)

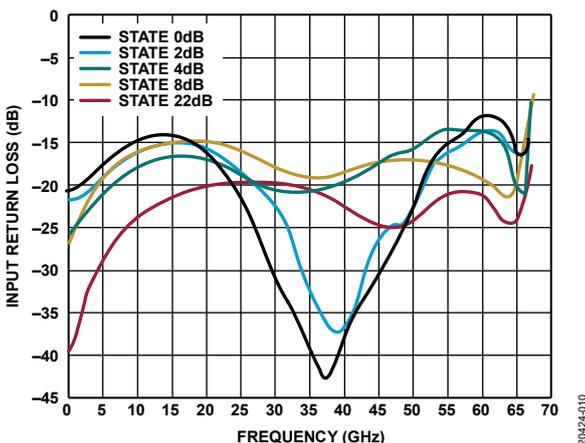


図 10. 入力リターン・ロスと周波数の関係 (主要状態のみ)

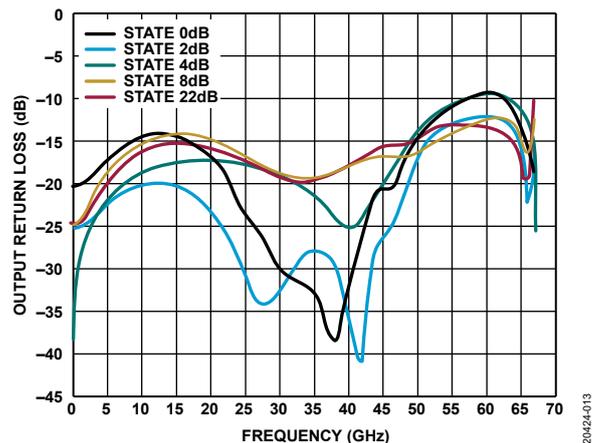


図 13. 出力リターン・ロスと周波数の関係 (主要状態のみ)

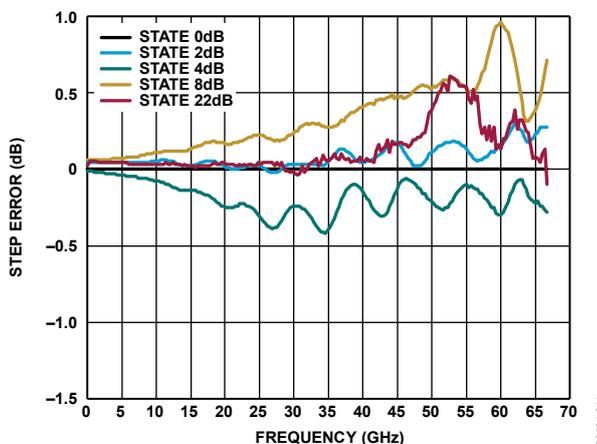


図 11. ステップ誤差と周波数の関係 (主要状態のみ)

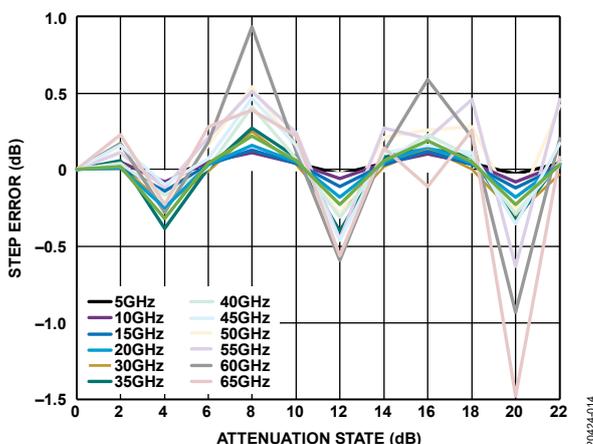


図 14. 各種周波数でのステップ誤差と減衰状態の関係

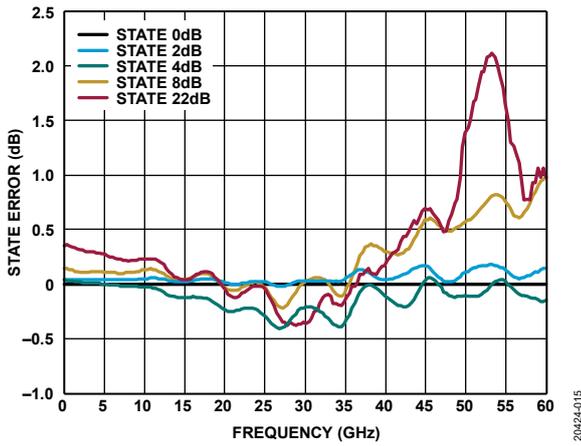


図 15. 状態誤差と周波数の関係 (主要状態のみ)

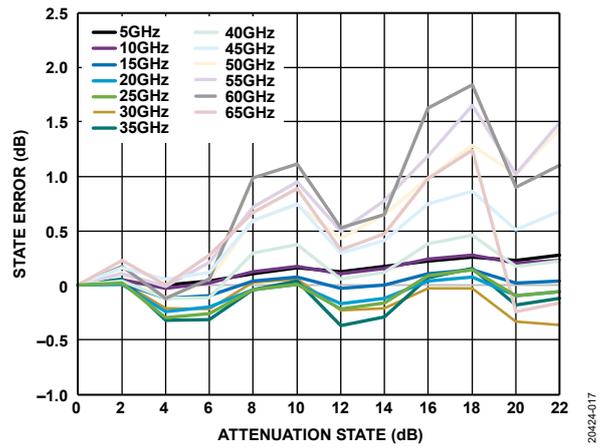


図 17. 各種周波数での状態誤差と減衰状態の関係

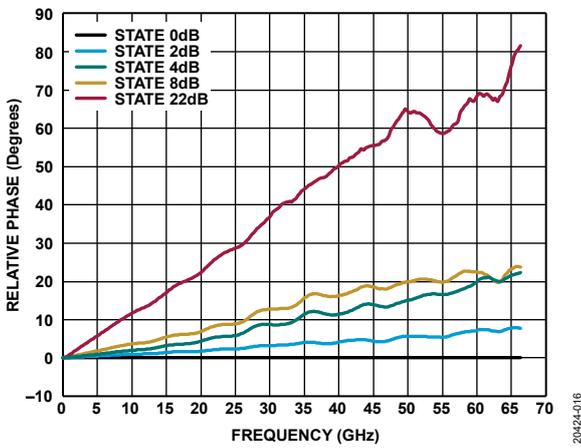


図 16. 相対位相と周波数の関係 (主要状態のみ)

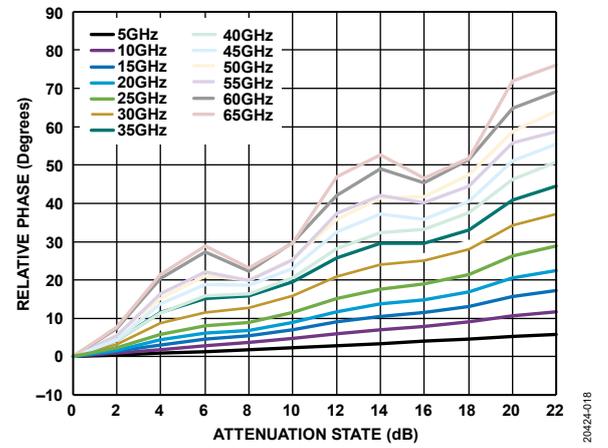


図 18. 各種周波数での相対位相と減衰状態の関係

入力電力圧縮と 3 次インターセプト

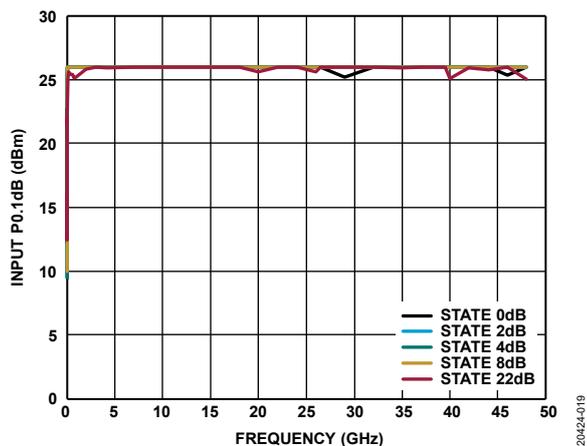


図 19. 入力 P0.1dB と周波数の関係 (主要状態のみ)

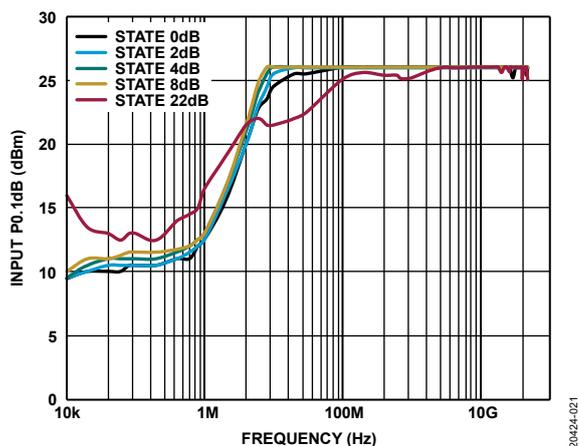


図 21. 入力 P0.1dB と周波数の関係 (主要状態のみ)、
低周波数の詳細

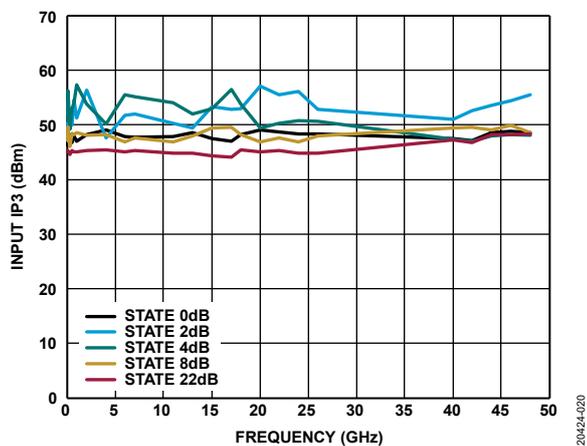


図 20. 入力 IP3 と周波数の関係 (主要状態のみ)

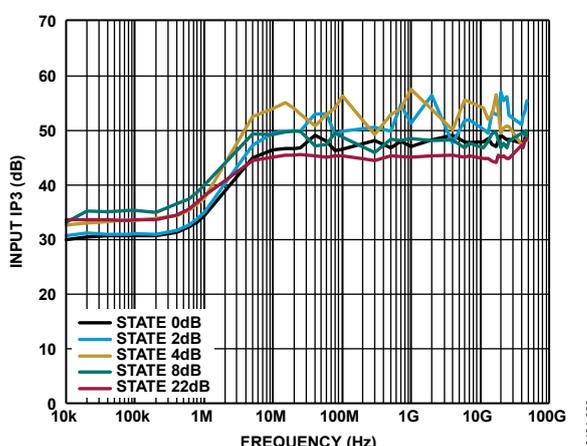


図 22. 入力 IP3 と周波数の関係 (主要状態のみ)、
低周波数の詳細

動作原理

ADRF5740 は、2dB ステップで 22dB の減衰範囲を備えた 4 ビット固定の減衰器アレイを内蔵しています。内蔵のドライバが減衰器アレイのパラレル・モード制御を行います。

ADRF5740 には、D2 (LSB) ~D5 の 4 ビットのデジタル制御入力があり、パラレル・モードで希望の減衰状態を選択できます (図 23 参照)。内部には 8dB の段が 2 つあり、これらは D4 ピンと D5 ピンで制御できます。

電源

ADRF5740 は、VDD ピンに供給する正電源電圧と、VSS ピンに供給する負電源電圧を必要とします。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

電源投入シーケンスは次のとおりです。

1. GND を接地します。
2. VDD と VSS に電源を入れます。ランプ上昇する間に VDD で電流トランジェントが発生しないように、VDD の電源投入後に VSS を電源投入してください。
3. デジタル制御入力に電源を投入します。デジタル制御入力間の相互の順序は重要ではありません。ただし、VDD への電源投入の前にデジタル制御入力に電源を投入すると、意図せぬ順方向バイアスの原因となり、内蔵 ESD 保護構造に損傷を与えるおそれがあります。この損傷を防ぐため、1kΩ の抵抗を直列に接続して制御ピンに流入する電流を制限してください。
4. RF 入力信号を ATTIN と ATTOUT に印加します。

パワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

パワーアップ状態

ADRF5740 はプルアップ抵抗を内蔵しています (図 6 を参照)。VDD と VSS に電圧が印加されると、この内蔵プルアップ抵抗によって、減衰器が最大減衰状態 (22dB) に設定されます。

RF 入出力

両 RF ポート (ATTIN および ATTOUT) は 0V に DC カップリングしており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング部品は不要です。

ADRF5740 は、低消費電力レベルでは双方向動作に対応します。ATTIN ポートと ATTOUT ポートの電力処理は異なります。そのため、双方向の電力処理は ATTOUT ポートで定義されます。表 1 の RF 入力電力の各仕様を参照してください。

表 7. 推奨の真理値表

| Digital Control Input ¹ | | | | Attenuation State (dB) |
|------------------------------------|-----------------|------|------|------------------------|
| D5 ² | D4 ² | D3 | D2 | |
| Low | Low | Low | Low | 0 (reference) |
| Low | Low | Low | High | 2 |
| Low | Low | High | Low | 4 |
| Low | Low | High | High | 6 |
| Low | High | Low | Low | 8 |
| Low | High | Low | High | 10 |
| Low | High | High | Low | 12 |
| Low | High | High | High | 14 |
| High | High | Low | Low | 16 |
| High | High | Low | High | 18 |
| High | High | High | Low | 20 |
| High | High | High | High | 22 |

¹ 表 7 に示す制御電圧入力状態をどのように組み合わせても、選択したビットの和に相当する減衰量が提供されます。

² D4 と D5 はどちらも 8dB 状態に対応します。D4 の方が、高い周波数での状態に対しわずかに高い精度を持っています。

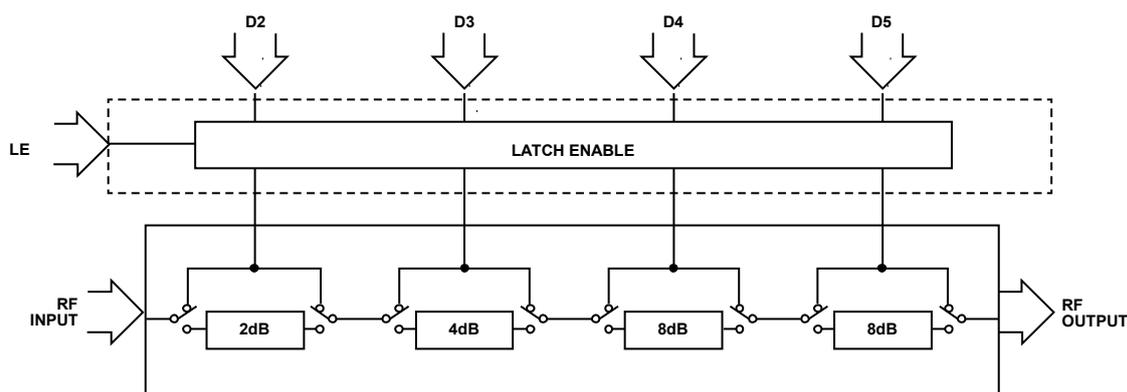


図 23. 簡素化した回路図

20424-023

パラレル・モード・インターフェース

パラレル動作には、直接パラレルとラッチド・パラレルの 2 つのモードがあります。

直接パラレル・モード

パラレル・モードを有効にするには、LE ピンをハイのままにします。減衰状態は、制御電圧入力 (D2~D5) を使って直接変更できます。直接パラレル・モードは、減衰器を手動で制御する場合に使用します。

ラッチド・パラレル・モード

ラッチド・パラレル・モードを有効にするには、制御電圧入力 (D2~D5) を変更して減衰状態を設定する際に、LE ピンをローのままにします。LE ピンはレベル・トリガです。目的の減衰状態が設定されたら、LE をハイにトグルし、データを減衰器アレイのバイパス・スイッチに転送します。その後、LE をローにトグルすると、次に減衰の変更が必要となるまでデバイスの変更は確保されます。

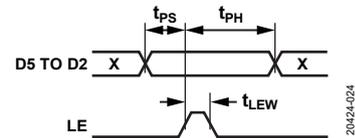


図 24. ラッチド・パラレル・モードのタイミング図

アプリケーション情報

レイアウト時の考慮事項

このデータシートに示すすべての測定値は、ADRF5740-EVALZ-185 評価用ボードで測定しています。ADRF5740-EVALZ-185 と ADRF5740-EVALZ-292 の設計は、ADRF5740 のアプリケーションのレイアウトに関する推奨事項の役割を果たします。

評価用ボード使用に関する詳細は、ADRF5740-EVALZ-185 および ADRF5740-EVALZ-292 のユーザ・ガイドを参照してください。

ボード・レイアウト

ADRF5740-EVALZ-185 と ADRF5740-EVALZ-292 は、4 層の評価用ボードです。外側の銅 (Cu) 層は内部の 0.5oz (0.7mil) とは異なり 1.5oz (2.2mil) の厚さにメッキされ、誘電体材料で分離されています。図 25 に ADRF5740-EVALZ-185 と ADRF5740-EVALZ-292 の層構造を示します。

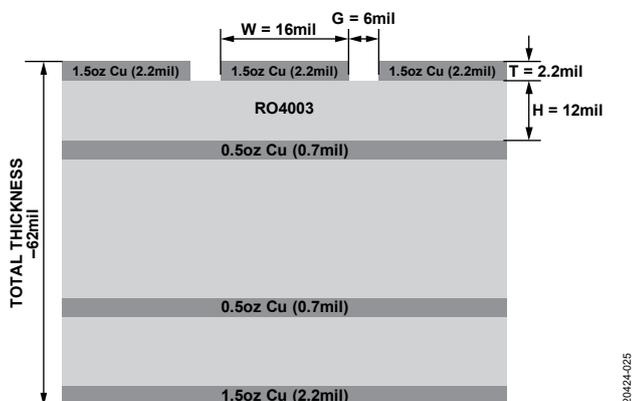


図 25. ADRF5740-EVALZ-185 と ADRF5740-EVALZ-292 の層構造

RF と DC のすべてのパターンが上面の銅層に配線されています。一方、内部の層と底面の層はグラウンド・プレーンで、RF 伝送ラインに安定したグラウンドを提供します。上面の誘電体材料は 12 ミルの Rogers RO4003 で、最適な高周波性能を実現します。中間部および下部の誘電体材料によって、機械的な強度がもたらされます。ボード全体の厚さは 62mil なので、1.85mm の RF ランチャをボード端に接続できます。

RF およびデジタル制御

RF 伝送ラインはコプレーナ導波路 (CPWG) モデルを使用して設計されており、パターン幅を 16 ミル、グラウンド・クリアランスを 6 ミルとし、特性インピーダンスが 50Ω になるようにしています。RF 接地と熱接地を最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのスルー・ビアが配置されています。

RF 入出力ポート (ATTIN および ATTOUT) は、50Ω の伝送ラインを通して、1.85mm の RF ランチャに接続されています。VDD と VSS の電源パターンでは、100pF のバイパス・コンデンサによって高周波ノイズが除去されます。

図 26 に、ADRF5740 の代表的なアプリケーション回路を示します。

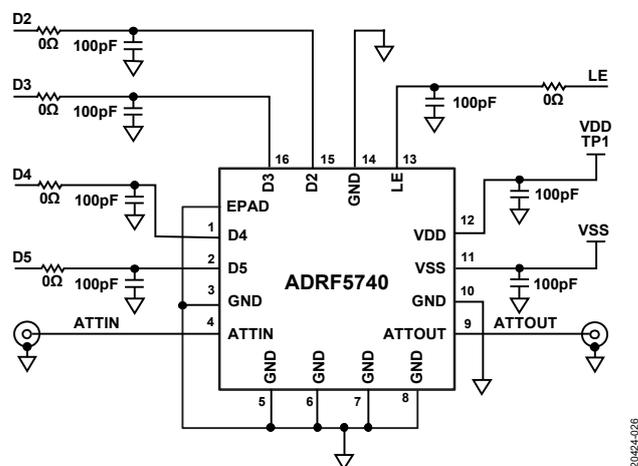


図 26. 簡略化したアプリケーション回路図

パッケージとオーダー情報

外形寸法

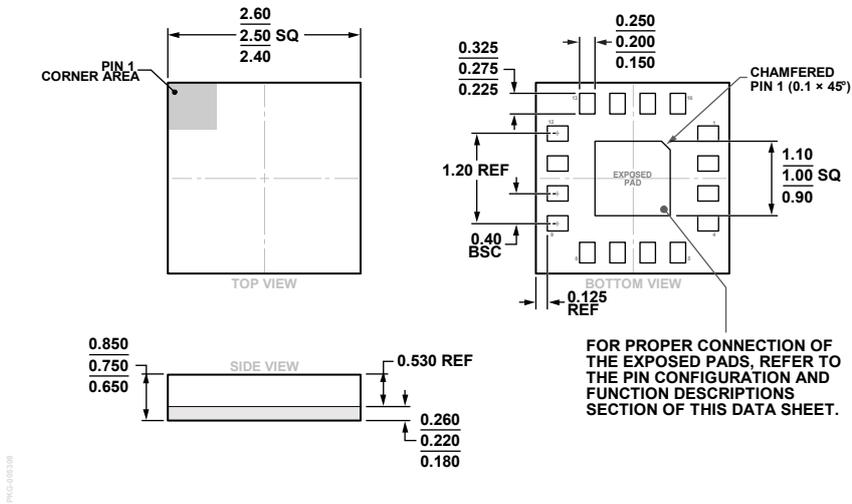


図 27. 16 端子ランド・グリッド・アレイ [LGA]
 2.5mm × 2.5mm ボディ、0.75mm パッケージ高
 (CC-16-6)
 寸法：mm

オーダー・ガイド

| Model ¹ | Temperature Range | Package Description | Package Option | Marking Code |
|--------------------|-------------------|--|----------------|--------------|
| ADRF5740BCCZN | -40°C to +105°C | 16-Terminal Land Grid Array [LGA] | CC-16-6 | FF |
| ADRF5740BCCZN-R7 | -40°C to +105°C | 16-Terminal Land Grid Array [LGA] | CC-16-6 | FF |
| ADRF5740-EVALZ-185 | | Evaluation Board with 1.85 mm Connectors | | |
| ADRF5740-EVALZ-292 | | Evaluation Board with 2.92 mm Connectors | | |

¹ Z = RoHS 準拠製品