

正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。 この正誤表は、2021 年 3 月 24 日現在、アナログ・デバイセズ株式会社で確認した誤りを 記したものです。 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

**正誤表作成年月日**: 2021年3月24日

製品名:ADRV9029 対象となるデータシートのリビジョン(Rev): Rev.0 訂正箇所: 129ページ 左の段 下から4行目

【誤】 「これら2つのシナリオ・・」

【正】

「これら3つのシナリオ・・」

日本語参考資料 最新版英語データシートはこちら

**ADRV9029** 

# ANALOG オブザベーション・パス付きの DEVICES 集積化クワッド RF トランシーバー

データシート

#### 特長

差動トランスミッタ×4個 差動レシーバー×4個 2入力オブザベーション・レシーバー×2個 中心周波数:75MHz~6000MHz パワー・アンプ直線化用の完全内蔵型 DPD アダプテーション・ エンジン クレスト・ファクタ低減エンジン レシーバー最大帯域幅: 200MHz トランスミッタ大信号最大帯域幅:200MHz トランスミッタ・シンセシス最大帯域幅:450MHz オブザベーション・レシーバー最大帯域幅:450MHz 完全内蔵型の独立したフラクショナルN無線周波数 シンセサイザ 完全内蔵型のクロック・シンセサイザ すべての局部発振器およびベースバンド・クロック用の マルチチップ位相同期 TDD および FDD アプリケーションをサポート 24.33Gbps JESD204B/JESD204C デジタル・インターフェース

#### アプリケーション

3G/4G/5G TDD および FDD Massive MIMO、マクロ・セル およびスモール・セル基地局

#### 概要

ADRV9029 は、高度に集積化された無線周波数(RF) アジャイ ル・トランシーバーです。個別に制御可能なトランスミッタ 4 個、各トランスミッタ・チャンネル監視専用のオブザベーショ ン・レシーバー入力、個別に制御可能なレシーバー4 個、内蔵 シンセサイザ、デジタル信号処理回路を搭載し、フル機能のト ランシーバー・ソリューションを提供します。また、スモー ル・セル基地局無線、マクロ 3G/4G/5G システム、Massive MIMO (Multiple Input Multiple Output) 基地局などのセルラ・イ ンフラストラクチャ・アプリケーションに必要な性能を備えて います。

レシーバー・サブシステムには、幅広いダイナミック・レンジ を持つ独立した 4 つの広帯域幅ダイレクト・コンバージョン・ レシーバーが搭載されています。4 つの独立したトランスミッ タはダイレクト・コンバージョン変調器を使用しているため、 動作時のノイズと消費電力を低減できます。また、各トランス ミッタ出力を監視するための 2 つの入力を備えた広帯域幅の時 分割方式オブザベーション・パス・レシーバーを 2 個内蔵して います。

トランシーバー・サブシステムは全機能内蔵型で、自動および 手動の減衰制御、DC オフセット補正回路、直交誤差補正回路 (QEC)、およびデジタル・フィルタリングなどの機能を備え ているので、デジタル・ベースバンドにこれらの機能は不要で す。また、多数のデジタル制御オプションを提供する A/D コン バータ(ADC)、D/A コンバータ(DAC)、汎用入出力(GPIO) などの補助機能も搭載しています。

高レベルの RF性能を実現するため、トランシーバーには、完全 内蔵型のフェーズ・ロック・ループ (PLL) が5個搭載されてい ます。PLL のうち 2 個は、トランスミッタとレシーバー信号パ スに対し、低ノイズで低消費電力のフラクショナル N-RF シンセ シスを行います。もう 1 個は、オブザベーション・レシーバー 用の独立した局部発振器 (LO) モードをサポートしています。 残り 2 個のうちの片方はコンバータとデジタル回路に必要なク ロックを生成し、もう片方はシリアル・データ・インターフェ ース用のクロックを生成します。

マルチチップ同期メカニズムは、複数の ADRV9029 チップ間で すべての局部発振器(LO)とベースバンド・クロックの位相を 同期します。また、すべての電圧制御発振器(VCO)とルー プ・フィルタの構成要素が内蔵されており、デジタル制御イン ターフェースを通じて調節することができます。

このデバイスには、パワー・アンプのリニアライゼーションに 使用する、完全内蔵型で低消費電力のデジタル・プリディスト ーション (DPD) アダプテーション・エンジンが搭載されてい ます。DPD によって、高効率のパワー・アンプを使用できるよ うになるため、基地局無線の消費電力を低減すると同時に、ベ ースバンド・プロセッサとのインターフェース接続に必要な SERDES レーンの数を削減することができます。

ADRV9029の低消費電力クレスト・ファクタ低減(CFR)エンジンは、入力信号のピーク値と平均値の比(PAR)を小さくして、ベースバンド・プロセッサの処理負荷を軽減しながら、効率の高い送信系列を実現します。

シリアル・データ・インターフェースは、4 つのシリアライ ザ・レーンと 4 つのデシリアライザ・レーンで構成されていま す。インターフェースは JESD204B 規格および JESD204C 規格の 両方をサポートしており、最大24.33 Gbpsのデータ・レートで動 作します。また、低帯域幅用にインターリーブ・モードをサポ ートすることで、高速データ・インターフェース・レーン数を 1 個に減らしています。データ・フォーマットは、固定小数点 と浮動小数点両方をサポートしています。浮動小数点フォーマ ットを選択すると、内部自動ゲイン制御(AGC)を復調器デバ イスから見えなくすることができます。

ADRV9029 は 1.0V、1.3V、1.8V のレギュレータから直接給電し、 標準シリアル・ペリフェラル・インターフェース (SPI) のシリ アル・ポートで制御します。また、通常使用の消費電力を最小 限に抑えるために、包括的パワーダウン・モードを搭載してい ます。ADRV9029 は、14mm × 14mm、289 ボールのチップ・ス ケール・ボール・グリッド・アレイ (CSP\_BGA) パッケージを 採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって 生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示 的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有 者の財産です。※日本語版資料は KEVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

	本	社/〒105-6891	東京都港区海岸 1-16-1 ニューヒ 電話 03(5402)8200	『ア竹芝サウスタワービル 10F
アナログ・デバイセズ株式会社	大	阪営業所/〒532-0003	大阪府大阪市淀川区宮原 3-5-36 電話 06(6350)6868	新大阪トラストタワー 10F
	名古	ā屋営業所/〒451-6038	愛知県名古屋市西区牛島町 6-1 電話 052(569)6300	名古屋ルーセントタワー 38F

## ADRV9029

### 目次

特長1
アプリケーション1
概要1
改訂履歴2
機能ブロック図3
仕様4
トランスミッタとレシーバー4
シンセサイザ、補助コンバータ、およびクロック・リファレ
アンタル仕様14
電源仕様15
消費電流16
デジタル・インターフェースとタイミング仕様17
絶対最大定格18
ジャンクション温度18
リフロー・プロファイル18
熱抵抗18
ESDに関する注意18
ピン配置およびピン機能の説明19
代表的な性能特性24
75MHz 带域
800MHz 带域
1800MHz 带域
2600MHz 带域67

3800MHz 带域	82
4800MHz 带域	97
5700MHz 带域	
動作原理	
一般特性	
トランスミッタ	
レシーバー	
オブザベーション・レシーバー	
クロック入力	127
シンセサイザ	
SPIインターフェース	
GPIO_x ピン	
補助コンバータ	
デジタル・プリディストーション(DPD)	
クレスト・ファクタ低減(CFR)	
JTAGバウンダリ・スキャン	131
アプリケーション情報	
電源シーケンス	
データ・インターフェース	
外形寸法	
オーダー・ガイド	

### 改訂履歴

12/2020-Revision 0: Initial Version

データシート

25607-001

### 機能ブロック図



<sup>1</sup>VDDA\_1P8 REPRESENTS VCONV1\_1P8, VCONV2\_1P8, VANA1\_1P8, VANA2\_1P8, VANA3\_1P8, VANA4\_1P8, AND VJVCO\_1P8.
<sup>2</sup>VDDA\_1P3 REPRESENTS VANA1\_1P3, VANA2\_1P3, VCONV1\_1P3, VCONV2\_1P3, VRFVCO1\_1P3, VRFVCO2\_1P3, VAUXVCO\_1P3, VCLKVCO\_1P3, VRFSYN1\_1P3, VRFSYN1\_1P3, VCLKSYN\_1P3, VAUXSYN\_1P3, VRXLO\_1P3, AND VTXLO\_1P3.
<sup>3</sup>VDDA\_1P0 REPRESENTS VJSYN\_1P0, VDES\_1P0, VTT\_DES, AND VSER\_1P0.

図 1.

### 仕様

標準的な周囲温度範囲における電気的特性。各種電源は以下の通り。VDDA\_1P8 = 1.8V、VIF = 1.8V、VDDA\_1P3 = 1.3V、VDDA\_1P0 = 1.0V、VDIG\_1P0 = 1.0V。VDDA\_1P8 は、VCONV1\_1P8、VCONV2\_1P8、VANA1\_1P8、VANA2\_1P8、VANA3\_1P8、VANA4\_1P8、および VJVCO\_1P8 を表します。VDDA\_1P3 は、VANA1\_1P3、VANA2\_1P3、VCONV1\_1P3、VCONV2\_1P3、VRFVCO1\_1P3、VRFVCO2\_1P3、VAUXVCO\_1P3、VCLKVCO\_1P3、VRFSYN1\_1P3、VRFSYN2\_1P3、VCLKSYN\_1P3、VAUXSYN\_1P3、VRXLO\_1P3、VTXLO\_1P3 を表します。VDDA\_1P0 は、VJSYN\_1P0、VDES\_1P0、VTT\_DES、VSER\_1P0.を表します。特に指定のない限り、すべての RF 仕様は測定に基づくもので、これにはプリント回路基板 (PCB) とマッチング回路の損失が含まれています。

デバイス構成プロファイル:特に指定のない限り、レシーバー=200MHz帯域幅、I/Qレート=245.76MHz、トランスミッタ=200MHz大 信号帯域幅+450MHzシンセシス帯域幅、I/Qレート=491.52MHz、オブザベーション・レシーバー(ORx)=450MHz帯域幅、I/Qレート =491.52MHz、デバイス・クロック=245.76MHz。75MHzでの特性評価は以下のプロファイルによります:レシーバー=62.5MHz帯域幅、 I/Qレート=76.8MHz、トランスミッタ=62.5MHz大信号帯域幅+141MHzシンセシス帯域幅、I/Qレート=153.6MHz、オブザベーショ ン・レシーバー=141MHz帯域幅、I/Qレート=153.6MHz、デバイス・クロック=153.6MHz。

注:信号が基本帯域幅の外側にある場合は、直線性、イメージ除去、平坦性などの性能が低下することがあります。

### トランスミッタとレシーバー

表	1	

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
TRANSMITTERS	Tx					
Center Frequency		75		6000	MHz	
Tx Synthesis Bandwidth				450	MHz	
Tx Large Signal Bandwidth				200	MHz	ゼロ中間周波数(IF)モード
Peak-to-Peak Gain Deviation			1.0		dB	帯域幅:450MHz、プログラマブル有限インパルス 応答 (FIR) フィルタによる補償を含む
			0.1		dB	任意の 20MHz 帯域幅スパン、プログラマブル FIR フィルタ(pFIR)による補償を含む
Deviation from Linear Phase			1		Degrees	帯域幅:450MHz
Maximum Output Power						0dBFS、1MHz信号入力、50Ω負荷、0dBトラン スミッタ減衰
75 MHz			7.0		dBm	
800 MHz			6.7		dBm	
1800 MHz			6.6		dBm	
2600 MHz			6.3		dBm	
3800 MHz			6.4		dBm	
4800 MHz			6.1		dBm	
5700 MHz			6.4		dBm	
Power Control Range			32		dB	
Power Control Resolution			0.05		dB	
Attenuation Accuracy						
Integral Nonlinearity (Gain)	INL		0.1		dB	任意の 4dB ステップにおける全パワー・コントロ ール範囲で有効
Differential Nonlinearity (Gain)	DNL		$\pm 0.04$		dB	単調増加
Output Power Temperature Slope			-4.5		mdB/°C	全パワー・コントロール範囲で有効
LO Delay Temperature Slope			1.05		ps/°C	全パワー・コントロール範囲で有効
Adjacent Channel Leakage Power Ratio (ACLR) Long Term Evolution (LTE)						-12dBFS での 20MHz LTE
75 MHz			-64		dB	
800 MHz			-68		dB	
1800 MHz			-67		dB	
2600 MHz			-66		dB	
3800 MHz			-65		dB	
4800 MHz			-65		dB	
5700 MHz			-65		dB	

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
In Band Noise Floor			-154.5		dBFS/Hz	0dB減衰。0dB~20dBの減衰設定で1dBの減衰ご
						とに帯域内ノイズが 1dB 低下
Interpolation Images			-76		dBc	
Tx to Tx Isolation: All Tx Output						
Effects on All Other Tx Outputs			70		15	
800 MHz			78		dB	
1800MHZ			//		dB	
2600 MHZ			71		dB	
3800 MHz 4800 MHz			/1 70		dB dD	
4800 MHz			70 65		dD dD	
Image Rejection			05		uБ	
Within 200 MHz Large Signal						減存が 204D にたるまで OEC アクティブ 連結波
Bandwidth						限長が 200B になるま CQEC アクアイン、 運転版 トーンで大信号帯域幅をスイープ
75 MHz			80		dB	
800 MHz			76		dB	
1800 MHz			75		dB	
2600 MHz			73		dB	
3800 MHz			65		dB	
4800 MHz			64		dB	
5700 MHz			61		dB	
Beyond Large Signal Bandwidth						歪み電力密度が必要電力密度より 25dB 低いと仮 定
800 MHz			40		dB	
1800 MHz			38		dB	
2600 MHz			34		dB	
3800 MHz			37		dB	
4800 MHz			37		dB	
5700 MHz			37		dB	
Output Impedance	Zout		50		Ω	差動 - 公称値
Maximum Output Load Voltage Standing Wave Ratio	VSWR			3		適切なキャリブレーションを確保するための最大 値
Output Return Loss			10		dB	
Output Third-Order Intercept Point	OIP3					0dB トランスミッタ減衰
75 MHz			30		dBm	
800 MHz			29		dBm	
1800 MHz			29		dBm	
2600 MHz			28		dBm	
3800 MHz			26.5		dBm	
4800 MHz			29		dBm	
5700 MHz			27		dBm	
Carrier Leakage						LO リーク補償アクティブ、0dB トランスミッタ 減衰、減衰 1 デシベルごとに 1 デシベル変化
Carrier Offset from LO						
75 MHz LO			-84		dBFS/MHz	
800 MHz LO			-84		dBFS/MHz	
1800 MHz LO			-84		dBFS/MHz	
2600 MHz LO			-83		dBFS/MHz	
3800 MHz L O			-84		dBFS/MHz	
4800 MHz LO			-84		dBFS/MHz	
5700 MHz LO			-83		dBFS/MHz	

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Carrier on the LO			-71		dBFS/MHz	LTE 20MHz 信号を使って測定
Error Vector Magnitude	EVM					狭帯域ノイズに最適化された PLL、LTE 20MHz 信号を使って測定
75 MHz LO			0.25		%	PLL 帯域幅: 50kHz
800 MHz LO			0.38		%	PLL 帯域幅: 50kHz
1800 MHz LO			0.60		%	PLL 帯城幅·50kHz
2600 MHz LO			0.44		%	PLL 带城幅: 500kHz
3800 MHz LO			0.53		%	PLL 带域幅: 200kHz
4800 MHz LO			0.55		9/2	PLL 带域幅: 200kHz
5700 MHz LO			0.03		9/2	TLL带减幅,400kHz
Transmitter Time Division Durlay	TDD		0.84		70	FLL 市域幅. 500KHZ
Time from SPI_EN Going High to Change in Tx Attenuation	t <sub>SCH</sub>		12		ns	
Time Between Consecutive Microattenuation Steps	t <sub>ACH</sub>		20		ns	大きな減衰変化を一連の小さい減衰変化に分割可 能
Attenuation Overshoot During Transition			0.1		dB	
Change in Attenuation per Microstep			0.1		dB	
RECEIVERS	Rx					
Center Frequency		75		6000	MHz	
Gain Range			30		dB	
Attenuation Accuracy						
Analog Gain Step			0.5		dB	0dB~6dBの減衰ステップ
			1		dB	6dB~30dBの減衰ステップ
Residual Gain Step Error			0.1		dB	
Gain Temperature Slope			-6.4		mdB/°C	
Internal LO Delay Temperature Slope			1.0		ps/°C	
Frequency Response						
Peak-to-Peak Gain Deviation			1		dB	帯域幅:200MHz、プログラマブル FIR フィルタ による補償を含む
			0.2		dB	任意の 20MHz スパン、プログラマブル FIR フィ ルタによる補償を含む
Rx Bandwidth				200	MHz	ゼロIFモード
Rx Alias Band Rejection		80			dB	デジタル・フィルタによる
Maximum Useable Input Level	P <sub>HIGH</sub>					この連続波信号レベルは、0dB チャンネル減衰で デジタル出力に-2dBFS を生成する入力電力に相 当
75 MHz			-11.7		dBm	
800 MHz			-12.4		dBm	
1800 MHz			-12.7		dBm	
2600 MHz			-11.9		dBm	
3800 MHz			-11.0		dBm	
4800 MHz			-12.0		dBm	
5700 MHz			-11.1		dBm	
Maximum Source VSWR				3		
Input Impedance	Z <sub>IN</sub>		100		Ω	差動
Input Port/Return Loss			10		dB	マッチングされていない差動ポートのリターン損 失

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Noise Figure	NF					0dB レシーバー減衰、シングルエンド入力で測
						定、マッチング回路を含む
75 MHz			12		dB	
800 MHz			11		dB	
1800 MHz			11.5		dB	
2600 MHz			11.9		dB	
3800 MHz			12.8		dB	
4800 MHz			13.3		dB	
5700 MHz			14.5		dB	
Noise Figure Ripple			1.5		dB	バンド・エッジでの値
Second-Order Input Intermodulation Intercept Point	IIP2					0dB 減衰、複素数
75 MHz			70		dBm	
800 MHz			65		dBm	
1800 MHz			65		dBm	
2600 MHz			65		dBm	
3800 MHz			62		dBm	
4800 MHz			62		dBm	
5700 MHz			58		dBm	
Wideband Third-Order Input Intermodulation Intercept Point, Difference Product	$IIP3_{WB\_DIFF}$					バンド・エッジ付近のツー・トーン、テスト条 件 : P <sub>HIGH</sub> – 9dB/tone
75 MHz			14		dBm	
800 MHz			15		dBm	
1800 MHz			17		dBm	
2600 MHz			17		dBm	
3800 MHz			17		dBm	
4800 MHz			17		dBm	
5700 MHz			18		dBm	
Midband Third-Order Input Intermodulation Intercept Point, Difference Product	IIP3 <sub>MB_DIFF</sub>		10		dDiii	バンド中央付近のツー・トーン。テスト条件: P <sub>HIGH</sub> – 9dB/tone
75 MHz			20		dBm	
800 MHz			18		dBm	
1800 MHz			22		dBm	
2600 MHz			21		dBm	
3800 MHz			22		dBm	
4800 MHz			22		dBm	
5700 MHz			20		dBm	
Wideband Third-Order Input Intermodulation Intercept Point, Sum Product	IIP3 <sub>wb_sum</sub>					LO から約「帯域幅÷6」オフセットさせた位置で のツー・トーン。テスト条件: P <sub>HIGH</sub> - 9dB/tone
75 MHz			15		dBm	
800 MHz			17		dBm	
1800 MHz			17		dBm	
2600 MHz			20		dBm	
3800 MHz			23		dBm	
4800 MHz			23		dBm	
5700 MHz			20		dBm	
Second-Order Harmonic Distortion						
Maximum Input	HD2 <sub>MAX</sub>		-72		dBc	P <sub>HIGH</sub> 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Recommended Input	HD2		-75		dBc	P <sub>HIGH</sub> -3dB連続波信号、高調波歪みトーンはLO の100MHz 以内

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
Third-Order Harmonic Distortion			. ) P	max		
Maximum Input	HD3 <sub>MAX</sub>		-66		dBc	P <sub>HIGH</sub> 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Recommended Input	HD3		-72		dBc	P <sub>HIGH</sub> - 3dB 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Fourth-Order Harmonic Distortion Maximum Input	HD4 <sub>MAX</sub>		-90		dBc	P <sub>HIGH</sub> 連続波信号、高調波歪みトーンは LO の 100MHz U内
Recommended Input	HD4		-90		dBc	P <sub>HIGH</sub> - 3dB 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Fifth-Order Harmonic Distortion						
Maximum Input	HD5 <sub>MAX</sub>		-87		dBc	P <sub>HIGH</sub> 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Recommended Input	HD5		-90		dBc	P <sub>HIGH</sub> - 3dB 連続波信号、高調波歪みトーンは LO の 100MHz 以内
Image Rejection			75		dB	QEC:アクティブ、200MHzのレシーバー帯域幅 内
Rx to Rx Signal Isolation						
75 MHz			80		dB	
800 MHz			75		dB	
1800 MHz			70		dB	
2600 MHz			70		dB	
3800 MHz			65		dB	
4800 MHz			62		dB	
5700 MHz			60		dB	
Rx Band Spurs Referenced to RF Input			-95		dBm	このレベルのスプリアスはレシーバー帯域幅
at Maximum Gain						10MHzごとに1つ以下。リファレンス・クロック の高調波を除く
Spurious-Free Dynamic Range	SFDR		81		dBc	±20MHz帯域内の任意の位置に P <sub>HGH</sub> 連続波信 号、高調波歪み積を除く
Rx Input LO Leakage at Maximum Gain						最初の12デシベルの減衰では、1デシベルの減衰 ごとにリークが1デシベル減少
75 MHz			-68		dBm	
800 MHz			-68		dBm	
1800 MHz			-68		dBm	
2600 MHz			-65		dBm	
3800 MHz			-65		dBm	
4800 MHz			-58		dBm	
5700 MHz			-54		dBm	
Tx to Rx Signal Isolation: All Tx Output Effects on all Rx Inputs						
75 MHz			80		dB	
800 MHz			80		dB	
1800 MHz			75		dB	
2600 MHz			75		dB	
3800 MHz			65		dB	
4800 MHz			65		dB	
5700 MHz			65		dB	
OBSERVATION RECEIVERS	ORx					
Center Frequency		75		6000	MHz	
Gain Range			30		dB	
Attenuation Accuracy						
Analog Gain Step			0.5		dB	0dB~6dBの減衰ステップ
			1		dB	6dB~30dBの減衰ステップ

### ADRV9029

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Peak-to-Peak Gain Deviation			1		dB	RF帯域幅:450MHz、プログラマブル FIR フィル
			0.1		10	タによる補償
			0.1		dB	任意の 20MHz 帯域幅スハン、フロクラマブル FIR フィルタによる補償
Deviation from Linear Phase			1		Degrees	RF 帯域幅:450MHz
ORx Bandwidth				450	MHz	
ORx Alias Band Rejection		60			dB	デジタル・フィルタによる
Maximum Useable Input Level	P <sub>HIGH</sub>					この連続波信号レベルは、0dB チャンネル減衰で
						デジタル出力に-2dBFSを生成する入力電力に相当
75 MHz			-11.4		dBm	
800 MHz			-12.7		dBm	
1800 MHz			-11.5		dBm	
2600 MHz			-10.6		dBm	
3800 MHz			-12.0		dBm	
4800 MHz			-11.3		dBm	
5700 MHz			-9.5		dBm	
Input Impedance	Z <sub>IN</sub>		100		Ω	差動
Input Source VSWR				3		
Input Port Return Loss			10		dB	マッチングされていない差動ポートのリターン損
						失
Integrated Noise						
450 MHz Bandwidth			-58.5		dBFS	500kHz~225MHz で積分した最大値でのサンプ ル・レート、入力信号なし
491.52 MHz Bandwidth (Nyquist)			-57.5		dBFS	500kHz~245.76MHz で積分した最大値でのサンプ ル・レート、入力信号なし
Second-Order Input Intermodulation Intercept Point	IIP2					最大オブザベーション・レシーバー・ゲイン。テ スト条件:Purgu = 11dB/tone
75 MHz			55		dBm	
800 MHz			55		dBm	
1800 MHz			53		dBm	
2600 MHz			55		dBm	
3800 MHz			48		dBm	
4800 MHz			45		dBm	
5700 MHz			55		dBm	
Third-Order Input Intermodulation	IIP3					最大オブザベーション・レシーバー・ゲイン。テ
Intercept Point	-					スト条件:P <sub>HIGH</sub> -11dB/tone
Narrow Band	IIP3 <sub>NB</sub>					ベースバンドでの IM3 積 < 130MHz。テスト条
						件:P <sub>HIGH</sub> -11dB/tone、491.52MSPS
75 MHz			11		dBm	
800 MHz			13.6		dBm	
1800 MHz			15		dBm	
2600 MHz			16.5		dBm	
3800 MHz			18		dBm	
4800 MHz			18		dBm	
5700 MHz			18		dBm	
Wide Band	$IIP3_{WB}$					ベースバンドでの IM3 積 > 130MHz。テスト条
						件: $P_{HIGH} - 11$ dB/tone、491.52MSPS
800 MHz			7.8		dBm	
1800 MHz			13		dBm	
2600 MHz			11		dBm	
3800 MHz			13		dBm	
4800 MHz			13		dBm	
5700 MHz		1	14		dBm	

\_

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Third-Order Intermodulation Product	IM3					
Narrow Band	IM3 <sub>NB</sub>					ベースバンドで IM3 積 < 130MHz。テスト条件:
						ツー・トーン、それぞれ $P_{HIGH}$ – 11dB、
900 MI			74		10	491.52MSPS
800 MHZ			-/4			
1800 MHz			-/9		dBc	
2600 MHZ			-/8.6		dBc	
3800 MHZ			-80.4		dBc	
4800 MHZ			-/9.8		dBc	
5700 MHZ	D.(2		-/6		dBc	バーマ バンドテロロ 使、100 の1 ニマークル
Wide Band	IM3 <sub>WB</sub>					へースハント $C$ IM3 槓 > 130MHz。アスト条件:
						$\gamma = 0$ $\gamma = \gamma$ , $\gamma = \gamma$ , $\gamma = \gamma$ , $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 10$
800 MHz			-62.4		dBc	+71.52WB1 5
1800 MHz			-70		dBc	
2600 MHz			-67.6		dBc	
2000 MHz			-07.0		dBc	
4800 MHz			-60.8		dPo	
4800 MHz			-09.8		dDo	
5700 MHZ	D.45		-00		dBc	
Newsee Day 1	IM5					· · · · · · · · · · · · · · · · · · ·
Narrow Band	INIS <sub>NB</sub>					$ ^ - \land - \land \land$
						$\gamma = 0$ $\gamma = \gamma$ , $\gamma = \gamma$ , $\gamma = \gamma$ , $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 11$ dB, $\gamma = 10$
800 MHz			-83		dBc	+71.52WB1 5
1800 MHz			-87		dBc	
2600 MHz			-84		dBc	
3800 MHz			-80		dBc	
4800 MHz			-78		dBc	
5700 MHz			-81		dBc	
Wide Band	IM5		01		ube	ベーフバンドで1145 待、1201/11- テフト冬休,
white Dana	INDWB					マー・トーン それぞれ $P_{max} = 11dB$
						491.52MSPS
800 MHz			-83		dBc	
1800 MHz			-96		dBc	
2600 MHz			-85		dBc	
3800 MHz			-80		dBc	
4800 MHz			-77		dBc	
5700 MHz			-85		dBc	
Seventh-Order Intermodulation Product	IM7					
Narrow Band						ベースバンドで IM7 積 < 130MHz テスト条件・
						ツー・トーン、それぞれ $P_{uncu} = 11$ dB、
						491.52MSPS
800 MHz			-74		dBc	
1800 MHz			-78		dBc	
2600 MHz			-75		dBc	
3800 MHz			-73		dBc	
4800 MHz			-78		dBc	
5700 MHz			-75		dBc	

### ADRV9029

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Wide Band	IM7 <sub>WB</sub>					ベースバンドで IM7 積 > 130MHz。テスト条件:
						ツー・トーン、それぞれ P <sub>HIGH</sub> – 11dB、
						491.52MSPS
800 MHz			-83		dBc	
1800 MHz			-82		dBc	
2600 MHz			-83		dBc	
3800 MHz			-83		dBc	
4800 MHz			-85		dBc	
5700 MHz			-81		dBc	
Spurious-Free Dynamic Range	SFDR		64		dB	非相互変調関連スプリアス。高調波歪みを含まな
						い。入力を P <sub>HIGH</sub> – 8dB に設定
Second-Order Harmonic Distortion	HD2					入力を P <sub>HIGH</sub> – 8dB に設定
In Band			-80		dBc	帯域内高調波歪みは±100MHz以内
Out of Band			-73		dBc	帯域外高調波歪みは±225MHz以内
Third-Order Harmonic Distortion	HD3					入力を P <sub>HIGH</sub> – 8dB に設定
In Band			-70		dBc	高調波歪みは±100MHz以内
Out of Band			-65		dBc	高調波歪みは±225MHz以内
Image Rejection			75		dB	オンライン・トーン・キャリブレーション後、
						QEC:アクティブ
Tx to ORx Signal Isolation: All Tx			75		dB	
Output Effects on all ORx Inputs						

### シンセサイザ、補助コンバータ、およびクロック・リファレンス

表 2.

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
LO1 and LO2 SYNTHESIZER	LO1, LO2					
Frequency Step			7.3		Hz	1.6GHz~3.2GHz、位相周波数検出器(PFD) 周波数: 245.76MHz
Spectral Purity			-80		dBc	
Integrated Phase Noise						1kHz~100MHz で積分
Narrow Bandwidth Optimized						200kHz を超えるオフセットでの位相ノイズを 最小限に抑えるように最適化した PLL 帯域幅
800 MHz			0.12		°rms	
1800 MHz			0.27		°rms	
2600 MHz			0.66		°rms	
3800 MHz			0.53		°rms	
4800 MHz			0.91		°rms	
5700 MHz			1.57		°rms	
Wide Bandwidth Optimized						積分位相ノイズと1MHzを超えるオフセット での位相ノイズに合わせて最適化した PLL 帯 域幅
800 MHz			0.07		°rms	
1800 MHz			0.11		°rms	
2600 MHz			0.17		°rms	
3800 MHz			0.26		°rms	
4800 MHz			0.30		°rms	
5700 MHz			0.42		°rms	
Spot Phase Noise: Narrow Band						200kHz を超えるオフセットでの位相ノイズを 最小限に抑えるように最適化した PLL 帯域幅
800 MHz LO1 and LO2						
100 kHz Offset			-115		dBc/Hz	
1 MHz Offset			-141		dBc/Hz	
10 MHz Offset			-162		dBc/Hz	

パラメータ	記号	Min Typ	Мах	単位	テスト条件/コメント
1800 MHz LO1 and LO2					
100 kHz Offset		-107		dBc/Hz	
200 kHz Offset		-115		dBc/Hz	
400 kHz Offset		-123		dBc/Hz	
600 kHz Offset		-128		dBc/Hz	
800 kHz Offset		-131		dBc/Hz	
1.2 MHz Offset		-136		dBc/Hz	
1.8 MHz Offset		-140		dBc/Hz	
6 MHz Offset		-151		dBc/Hz	
10 MHz Offset		-156		dBc/Hz	
2600 MHz LO1 and LO2					
100 kHz Offset		-97		dBc/Hz	
1 MHz Offset		-124		dBc/Hz	
10 MHz Offset		-150		dBc/Hz	
3800 MHz LO1 and LO2					
100 kHz Offset		-100		dBc/Hz	
1 MHz Offset		-126		dBc/Hz	
10 MHz Offset		-149		dBc/Hz	
4800 MHz LO1 and LO2					
100 kHz Offset		-94		dBc/Hz	
1 MHz Offset		-120		dBc/Hz	
10 MHz Offset		-145		dBc/Hz	
5700 MHz LO1 and LO2					
100 kHz Offset		-89		dBc/Hz	
1 MHz Offset		-115		dBc/Hz	
10 MHz Offset		-141		dBc/Hz	
Spot Phase Noise: Wideband					積分位相ノイズと 1MHz を超えるオフセット
					での位相ノイズに合わせて最適化した PLL 帯
					域幅
800 MHz LO1 and LO2					
100 kHz Offset		-114		dBc/Hz	
1 MHz Offset		-141		dBc/Hz	
10 MHz Offset		-162		dBc/Hz	
1800 MHz LO1 and LO2					
100 kHz Offset		-112		dBc/Hz	
1 MHz Offset		-133		dBc/Hz	
10 MHz Offset		-156		dBc/Hz	
2600 MHz LO1 and LO2					
100 kHz Offset		-112		dBc/Hz	
1 MHz Offset		-120		dBc/Hz	
10 MHz Offset		-149		dBc/Hz	
3800 MHz LO					
100 kHz Offset		-104		dBc/Hz	
1 MHz Offset		-125		dBc/Hz	
10 MHz Offset		-149		dBc/Hz	
4800 MHz LO1 and LO2		107		15 /11	
100 kHz Offset		-106		dBc/Hz	
1 MHz Ottset		-117		dBc/Hz	
10 MHz Offset		-144		dBc/Hz	
5/00 MHz LO1 and LO2		104		10 /11	
100 KHZ Offset		-104		dBc/HZ	
1 MHZ Offset		-112		dBc/HZ	
IU IVILIZ OHSEL		-140		udu/nz	

パラメータ	記号	Min Typ	Max	単位	テスト条件/コメント
AUXILIARY SYNTHESIZER	LO3				
Frequency Step		1.8		Hz	1.625GHz~3.25GHz、61.44MHz PFD 周波数
Spectral Purity		-65		dBc	$ \mathbf{f}_{\text{RFLO}} - \mathbf{f}_{\text{AUXLO}}  > 15 \text{MHz}$
Integrated Phase Noise					1kHz~100MHzを積分、積分位相ノイズに合
-					わせて最適化した PLL 帯域幅
800 MHz LO3		0.18		°rms	
1800 MHz LO3		0.22		°rms	
2600 MHz LO3		0.46		°rms	
3800 MHz LO3		0.43		°rms	
4800 MHz LO3		0.70		°rms	
5700 MHz LO3		1.12		°rms	
Spot Phase Noise					
800 MHz LO3					
100 kHz Offset		-112		dBc/Hz	
1 MHz Offset		-121		dBc/Hz	
10 MHz Offset		-141		dBc/Hz	
1800 MHz LO3					
100 kHz Offset		-110		dBc/Hz	
1 MHz Offset		-120		dBc/Hz	
10 MHz Offset		-134		dBc/Hz	
2600 MHz LO3					
100 kHz Offset		-103		dBc/Hz	
1 MHz Offset		-114		dBc/Hz	
10 MHz Offset		-132		dBc/Hz	
3800 MHz LO3					
100 kHz Offset		-104		dBc/Hz	
1 MHz Offset		-114		dBc/Hz	
10 MHz Offset		-128		dBc/Hz	
4800 MHz LO3					
100 kHz Offset		-100		dBc/Hz	
1 MHz Offset		-110		dBc/Hz	
10 MHz Offset		-127		dBc/Hz	
5700 MHz LO3					
100 kHz Offset		-95		dBc/Hz	
1 MHz Offset		-106		dBc/Hz	
10 MHz Offset		-126		dBc/Hz	
LO PHASE SYNCHRONIZATION					
Initial Phase Sync Accuracy		0.9		ps	
CLOCK SYNTHESIZER				1	
4915.2 MHz Sample Clock					
Integrated Phase Noise		0.69		°rms	1kHz~10MHz、積分位相ノイズに合わせて最
8		,			適化した PLL 帯域幅
Spot Phase Noise					積分位相ノイズに合わせて最適化した PLL帯
					域幅
100 kHz Offset		-96		dBc/Hz	
1 MHz Offset		-113		dBc/Hz	
10 MHz Offset		-140		dBc/Hz	
3932.16 MHz Sample Clock					
Integrated Phase Noise		0.89		°rms	1kHz~10MHz、200kHz を超えるオフセット
-					での位相ノイズを最小限に抑えるように最適
					化した PLL 帯域幅

### ADRV9029

パラメータ	記号	Min	Тур	Max	単位	テスト条件/コメント
Spot Phase Noise						200kHzを超えるオフセットでの位相ノイズを
						最小限に抑えるように最適化した PLL 帯域幅
100 kHz Offset			-91		dBc/Hz	
1 MHz Offset			-120		dBc/Hz	
10 MHz Offset			-143		dBc/Hz	
REFERENCE CLOCK (DEV_CLK± INPUT SIGNAL)	DEV_CLK+, DEV_CLK-					
Frequency Range		15		1000	MHz	
Signal Level (Differential)		0.2		1.0	V p-p	AC カップリングされたコモンモード電圧を 内部供給。最大限のスプリアス性能を実現し て指定 PLL 性能パラメータの要求を満たすた めに、IVp-p 入力クロックを使用
SYSTEM REFERENCE INPUTS	SYSREF+, SYSREF-					
Logic Compliance			LVDS/LVPECL			
Differential Input Voltage		400	800	1800	mV p-p	外付けの 100Ω 差動終端
Input Common-Mode Voltage			0.675	2.0	v	
Input Resistance (Differential)			18		kΩ	
Input Capacitance (Differential)			1		pF	
AUXILIARY CONVERTERS						
ADC						
Resolution			10		Bits	
Input Voltage						
Minimum			0.05		V	
Maximum			0.95		V	
AUXDAC_0						
Resolution			12		Bits	
Output Voltage						
Minimum			0.2		V	
Maximum			VDDA_1P8 - 0.25		V	
AUXDAC_1 To AUXDAC_7						
Resolution			12		Bits	
Output Voltage						
Minimum			0.1		V	
Maximum			VDDA_1P8 - 0.1		V	
Drive Capability			10		mA	

### デジタル仕様

### 表 3.

パラメータ	Min	Тур	Max	単位	テスト条件/コメント
DIGITAL SPECIFICATIONS— SINGLE-ENDED SIGNALS					以下のピンに適用:GPIO_x、 GPINTx、TXx_EN、RXx_EN、 ORX_CTRL_x、TEST_EN、 RESET、SPI_EN、SPI_CLK、 SPI_DO、SPI_DIO
Logic Inputs					
Input Voltage					
High Level	$VIF \times 0.65$		VIF + 0.18	V	
Low Level	-0.30		$\mathrm{VIF} \times 0.35$	V	

### **ADRV9029**

パラメータ	Min	Тур	Max	単位	テスト条件/コメント
Input Current					
High Level	-10		+10	μΑ	
Low Level	-10		+10	μΑ	
Logic Outputs					
Output Voltage					
High Level	VIF - 0.45			V	
Low Level			0.45	v	
Drive Capability		10		mA	
DIGITAL SPECIFICATIONS—DIFFERENTIAL SIGNALS					SYNCINx 生ピンと SYNCOUTx
					エビンに週用
Logic Inputs	0.25		1 (75	* 7	
Input Voltage Range	825		1675	mV	ペアの各差動人力
Input Differential Voltage Threshold	-100		+100	mV	
Receiver Differential Input Impedance		100		Ω	内部終端をイネーブル
Logic Outputs					
Output Voltage					
High			1375	mV	
Low	1025			mV	
Differential		225		mV	
Offset		1200		mV	
DIGITAL SPECIFICATIONS—VDDA_1P8 REFERENCED SIGNALS					GPIO_ANA_x ピンに適用
Logic Inputs					
Input Voltage					
High Level	VDDA_1P8 $\times$ 0.65		VDDA_1P8 + 0.18	V	
Low Level	-0.30		VDDA_1P8 $\times$ 0.35	V	
Input Current					
High Level	-10		+10	μΑ	
Low Level	-10		+10	μΑ	
Logic Outputs					
Output Voltage					
High Level	VDDA_1P8 - 0.45			V	
Low Level			0.45	V	
Drive Capability		10		mA	

### 電源仕様

#### 表 4. 電源電圧 Parameter Min Тур Max Unit SUPPLY CHARACTERISTICS VDDA\_1P0 Supply 0.95 1.0 1.05 V VDIG Supply 0.95 1.0 1.05 V VDDA\_1P3 Supply 1.235 1.3 1.365 V VDDA\_1P8 Supply 1.71 1.8 1.89 V VIF Supply 1.71 1.81.89 V

#### 消費電流

表 5、表 6、表 7 において、最初の行には UC13-NLS プロファイルのデータを、その後の行には UC13-NLS プロファイルの詳細を示します。表 5、表 6、表 7 に示したすべての電流測定値は、ヒートシンクを使わずに室温で得た値です。

### TDD 動作 - 4 つのレシーバー・チャンネルをイネーブル

最大ゲインと代表値。

表 5.

	Supply (A)		N)		
Profile Conditions	1.0 V	1.3 V	1.8 V	Total Average Power (W)	75% Tx, 25% Rx Average Power (W)
USE CASE UC13-NLS (16 BITS)	1.181	2.003	0.217	4.19	5.01
245.76 MSPS Tx/ORx Data Rate					
122.88 MSPS Rx Data Rate					
245.76 MHz Device Clock					

#### TDD 動作 - 4 つのトランスミッタ・チャンネルと 1 つのオブザベーション・レシーバー・チャンネルをイネーブル

最大ゲイン、0dB減衰、代表値。

表 6.

	Supply (A)		.)		
Profile Conditions	1.0 V	1.3 V	1.8 V	Total Average Power (W)	75% Tx, 25% Rx Average Power (W)
USE CASE UC13-NLS (16 BITS)	1.419	2.084	0.633	5.28	5.01
245.76 MSPS Tx/ORx Data Rate					
122.88 MSPS Rx Data Rate					
245.76 MHz Device Clock					

# FDD 動作 - LO1 と LO2、4 つのレシーバー、4 つのトランスミッタ、および 1 つのオブザベーション・レシーバー のチャンネルをイネーブル。

最大ゲイン、0dB減衰、代表値。

表 7.

	Supply (A)		(A)	
Profile Conditions	1.0 V	1.3 V	1.8 V	Total Average Power (W)
USE CASE UC13-NLS (16 BITS)	1.664	2.929	0.762	6.86
245.76 MSPS Tx/ORx Data Rate				
122.88 MSPS Rx Data Rate				
245.76 MHz Device Clock				



### デジタル・インターフェースとタイミング仕様

表 8.						
Parameter	Symbol	Min	Тур	Max	Unit	Test Conditions/Comments
SERIAL PERIPHERAL INTERFACE (SPI) TIMING						
SPI_CLK Period	t <sub>CP</sub>	40			ns	
SPI_CLK Pulse Width	t <sub>MP</sub>	10			ns	
SPI_EN Setup to First SPI_CLK Rising Edge	t <sub>SC</sub>	4			ns	
Last SPI_CLK Falling Edge to SPI_EN Hold	t <sub>HC</sub>	0			ns	
SPI_DIO Data Input Setup to SPI_CLK	ts	4			ns	
SPI_DIO Data Input Hold to SPI_CLK	t <sub>H</sub>	0			ns	
SPI_CLK Falling Edge to Output Data Delay	t <sub>CO</sub>	10		8	ns	3- or 4-wire mode
Bus Turnaround Time After Baseband Processor Drives Last Address Bit	t <sub>HZM</sub>	t <sub>H</sub>		t <sub>CO</sub>	ns	
Bus Turnaround Time After ADRV9029 Drives Last Address Bit	t <sub>HZS</sub>	0		t <sub>CO</sub>	ns	
DIGITAL TIMING						
TXx_EN Pulse Width		10			μs	
RXx_EN Pulse Width		10			μs	
ORX_CTRL_x Pulse Width		10			μs	
TXx_EN to Valid Data			2		μs	
RXx_EN to Valid Data			2		μs	
ORX_CTRL_x to Valid Data			3		μs	
JESD204B/JESD204C DATA OUTPUT TIMING						
Unit Interval	UI	41.1		333	ps	
Data Rate per Channel (No Return to Zero (NRZ))		3000		24330.24	Mbps	
Rise Time	t <sub>R</sub>	17	20		ps	20% to 80% in 100 $\Omega$ load
Fall Time	t <sub>F</sub>	17	20		ps	20% to 80% in 100 $\Omega$ load
Output Common-Mode Voltage	V <sub>CM</sub>	0		1.8	V	AC-coupled
Differential Output Voltage	V <sub>DIFF</sub>	475		1050	mV p-p	
Short-Circuit Current	I <sub>DSHORT</sub>	-100		+100	mA	
Differential Termination Impedance	Z <sub>RDIFF</sub>	80	100	120	Ω	
SYSREF± Input Signal Setup Time to DEV_CLK± Input Signal	ts	200			ps	
SYSREF± Input Signal Hold Time to DEV_CLK± Input Signal	t <sub>H</sub>	200			ps	
JESD204B/C DATA INPUT TIMING						
Unit Interval	UI	41.1		333	ps	
Data Rate per Channel (NRZ)		3000		24330.24	Mbps	
Input Common-Mode Voltage	V <sub>CM</sub>	0.05		1.65	V	AC-coupled
Termination Voltage = 1.0 V	V <sub>TT</sub>	720		1200	mV	DC-coupled (not recommended)
Differential Input Voltage	V <sub>DIFF</sub>	110		1050	mV	
V <sub>TT</sub> Source Impedance	Z <sub>TT</sub>		7.5	30	Ω	
Differential Termination Impedance	Z <sub>RDIFF</sub>	80	100	120	Ω	
V <sub>TT</sub>						
AC-Coupled		0.95		1.05	V	
DC-Coupled		0.95		1.05	V	

### 絶対最大定格

#### 表 9.

12 5.	
Parameter	Rating
VDDA_1P8 to VSSA	-0.3 V to +2.2 V
VDDA_1P3 to VSSA	-0.2 V to +1.5 V
VDDA_1P0, VDIG_1P0 to VSSD, VSSA	-0.2 V to +1.2 V
VIF Referenced Logic Inputs and Outputs to VSSD	-0.3 V to VIF + 0.3 V
JESD204B/JESD204C Logic Outputs to VSSA	-0.3 V to VSER_1P0
JESD204B/JESD204C Logic Inputs to VSSA	-0.3 V to VDES_1P0
Input Current to Any Pin Except Supplies	$\pm 10 \text{ mA}$
Maximum Input Power into RF Ports	See Table 11 for limits vs. survival time
Reflow Temperature	260°C
Junction Temperature Range <sup>1</sup>	-40°C to +110°C
Storage Temperature Range	-65°C to +150°C

<sup>1</sup>連続動作時の最大ジャンクション温度は110°Cです。詳細については ジャンクション温度のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに 恒久的な損傷を与えることがあります。この規定はストレス定 格のみを指定するものであり、この仕様の動作のセクションに 記載する規定値以上でのデバイス動作を定めたものではありま せん。デバイスを長時間にわたり絶対最大定格状態に置くと、 デバイスの信頼性に影響を与えることがあります。

#### ジャンクション温度

連続使用時の最大ジャンクション温度は 110°C です。最大動作 温度は 125°C ですが、仕様への適合が確保されているのは 110° Cまでです。110°Cを超える温度下での使用による動作寿命の低 下を防ぐには、次式で得られる時間だけ温度を 110°C 未満に抑 えてデバイスを使用する必要があります。

 $t_{UNITS < 110} = (AF_{T > 110} - 1)/(1 - AF_{T < 110})$ 

#### ここで、

AF は加速係数、

AF<sub>T>110</sub>とAF<sub>T<110</sub>は表 10から得られた加速係数です。

例えば、デバイスを125℃で1時間使用した場合でも、110℃を 超える温度での動作の影響を相殺するために100℃で4.5時間動 作させれば、予想デバイス寿命は維持されます。

#### 表 10. 高温動作時の加速係数

Operating Junction Temperature (°C)	Acceleration Factor
125	3.75
120	2.44
115	1.57
110	1.00
105	0.63
100	0.39
95	0.24
90	0.14

#### 表 11. RF ポートへの最大入力電力と寿命の関係

RF Port Input Power,	Lifetime					
Continuous Wave Signal (dBm)	Gain = −30 dB	Gain = 0 dB				
7	>10 years	>10 years				
10	>10 years	20,000 hours				
20	>10 years	14 hours				
23	>10 years	110 minutes				
25	>7 years	60 minutes				

#### リフロー・プロファイル

ADRV9029 のリフロー・プロファイルは、鉛フリー・デバイス に関する JEDEC JESD20 の基準に従っています。最大リフロー 温度は 260°C です。

#### 熱抵抗

表 12 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて 計算されており、JESD51-2 に準拠して使用する必要があります。 放熱強化技術(PCB、ヒートシンク、空気流など)を使用する と、熱抵抗が改善されます。

#### 表 12. 熱抵抗値

Package Type	$\theta_{JA}$	$\theta_{\text{JCTOP}}$	$\theta_{JB}$	ΨJC	$\psi_{JB}$	Unit
BC-289-6	14.8	0.03	3.4	0.02	3.4	(°C/W)

#### ESD に関する注意



ESD(静電放電)の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されない まま放電することがあります。本製品は当社独自の特 許技術である ESD 保護回路を内蔵してはいますが、デ バイスが高エネルギーの静電放電を被った場合、損傷 を生じる可能性があります。したがって、性能劣化や 機能低下を防止するため、ESD に対する適切な予防措 置を講じることをお勧めします。

## ピン配置およびピン機能の説明

	(Not to Scale)																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
A	VSSA	VSSA	VSSA	ТХ3+	тхз–	VSSA	VTXLO_ 1P3	VSSA	VRXLO_ 1P3	VSSA	VSSA	VSSA	TX2+	TX2-	VSSA	VSSA	VSSA
в	RX3–	VSSA	VSSA	VANA3_ 1P8	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	VAUXVCO_ 1P0	VSSA	VSSA	VANA2_ 1P8	VSSA	VSSA	RX2+
с	RX3+	VSSA	NIC	GPIO_ ANA_7	GPIO_ ANA_6	VAUXSYN_ 1P3	VSSA	DEVCLK+	DEVCLK-	VSSA	VAUXVCO_ 1P3	GPIO_ ANA_1	GPIO_ ANA_0	VSSA	RBIAS	VSSA	RX2-
D	VSSA	VSSA	VANA2_ 1P3	VSSA	VSSA	VSSA	VSSA	SYSREF+	SYSREF-	VSSA	VSSA	VSSA	VSSA	VSSA	VANA1_ 1P3	VSSA	VSSA
E	AUXADC_3	EXT_LO2-	VSSA	ORX3+	ORX3-	VSSA	TX3_EN	GPIO_11	GPIO_9	GPIO_3	TX2_EN	VSSA	ORX1+	ORX1-	VSSA	EXT_LO1+	AUXADC_1
F	AUXADC_2	EXT_LO2+	VSSA	VSSA	VSSA	VSSA	ORX_ CTRL_C	GPIO_12	GPIO_10	GPIO_4	ORX_ CTRL_B	VSSA	VSSA	VSSA	VSSA	EXT_LO1-	AUXADC_0
G	VSSA	VSSA	VRFVCO2_ 1P3	VSSA	VRFVCO2_ 1P0	VSSA	RX3_EN	GPIO_13	VDIG_1P0	GPIO_5	RX2_EN	VSSA	VRFVCO1_ 1P0	VSSA	VRFVCO1_ 1P3	VSSA	VSSA
н	RX4-	VSSA	VCONV2_ 1P8	VSSA	VSSA	VSSA	GPIO_17	GPIO_14	VSSD	GPIO_6	GPIO_0	VSSA	VSSA	VSSA	VCONV1_ 1P8	VSSA	RX1+
J	RX4+	VSSA	VCONV2_ 1P3	VSSA	VRFSYN2_ 1P3	VSSA	RX4_EN	GPIO_15	VDIG_1P0	GPIO_7	RX1_EN	VSSA	VRFSYN1_ 1P3	VSSA	VCONV1_ 1P3	VSSA	RX1-
к	VSSA	VSSA	VCONV2_ 1P0	VSSA	VSSA	VSSA	GPIO_18	GPIO_16	VSSD	GPIO_8	GPIO_1	VSSA	VSSA	VSSA	VCONV1_ 1P0	VSSA	VSSA
L	GPIO_ ANA_5	GPIO_ ANA_4	VSSA	ORX4+	ORX4-	VSSA	ORX_ CTRL_D	SPI_DIO	VDIG_1P0	SPI_EN	ORX_ CTRL_A	VSSA	ORX2+	ORX2-	VSSA	GPIO_ ANA_2	GPIO_ ANA_3
м	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA	TX4_EN	SPI_DO	VSSD	SPI_CLK	TX1_EN	VSSA	VSSA	VSSA	VSSA	VSSA	VSSA
N	TX4-	VANA4_ 1P8	VSSA	VSSA	VCLKVCO_ 1P3	SYNCIN3+	GPINT2	GPINT1	VIF	RESET	GPIO_2	SYNCIN1+	SYNCIN1-	SYNCOUT2+	SYNCOUT2-	VANA1_ 1P8	TX1+
Ρ	TX4+	VSSA	VSSA	VSSA	VCLKVCO_ 1P0	SYNCIN3-	SYNCIN2+	SYNCIN2-	VSSA	TEST_EN	VJVCO_ 1P8	VDES_1P0	VDES_1P0	VTT_DES	SYNCOUT1+	VSSA	TX1-
R	VSSA	VSSA	VSER_ 1P0	VSER_ 1P0	VSSA	VSSA	VCLKSYN_ 1P3	VSSA	VJSYN_ 1P0	VSSA	NIC	VSSA	VSSA	VSSA	SYNCOUT1-	VSSA	VSSA
т	VSSA	VSSA	SERDOUTC+	SERDOUTC-	VSSA	VSSA	SERDOUTA+	SERDOUTA-	VSSA	SERDINA-	SERDINA+	VSSA	VSSA	SERDINC-	SERDINC+	VSSA	VSSA
U	SERDOUTD+	SERDOUTD-	VSSA	VSSA	SERDOUTB+	SERDOUTB-	VSSA	VSSA	VSSA	VSSA	VSSA	SERDINB+	SERDINB-	VSSA	VSSA	SERDIND+	SERDIND-
	ANALOG GROUND DIGITAL POWER AUXILIARY ADC INPUTS UVDS SERDES CONTROLS NOT INTERNALLY CONNECTED DIGITAL GROUND ANALOG DIGITAL DIGITAL SERDES INPUTS/OUTPUTS																

ADRV9029

NOTES 1. NIC = NOT INTERNALLY CONNECTED. THESE PINS MUST REMAIN DISCONNECTED.

ANALOG POWER ANALOG GPIO SPI BUS

図 2. ピン配置

DIFFERENTIAL SYSREF SIGNAL

25607-004

#### に、接合う出日 -...

表 13. ヒン機能の説明		1	
ピン番号	記号	タイプ1	説明
A1 to A3, A6, A8, A10 to A12, A15 to A17, B2, B3, B5 to B10, B12, B13, B15, B16, C2, C7, C10, C14, C16, D1, D2, D4 to D7, D10 to D14, D16, D17, E3, E6, E12, E15, F3 to F6, F12 to F15, G1, G2, G4, G6, G12, G14, G16, G17, H2, H4 to H6, H12 to H14, H16, J2, J4, J6, J12, J14, J16, K1, K2, K4 to K6, K12 to K14, K16, K17, L3, L6, L12, L15, M1 to M6, M12 to M17, N3, N4, P2 to P4, P9, P16, R1, R2, R5, R6, R8, R10, R12 to R14, R16, R17, T1, T2, T5, T6, T9, T12, T13, T16, T17, U3, U4, U7 to U11, U14, U15	VSSA	I	アナログ・グラウンド。
A4, A5	TX3+, TX3-	0	トランスミッタ・チャンネル3の差動出力。使用し ない場合、これらのピンは接続しないでください。
A7	VTXLO_1P3	Ι	1.3V 電源入力。
A9	VRXLO_1P3	Ι	1.3V 電源入力。
A13, A14	TX2+, TX2-	0	トランスミッタ・チャンネル2の差動出力。使用し ない場合は接続しないでください。
B1, C1	RX3-, RX3+	Ι	レシーバー・チャンネル3の差動入力。使用しない 場合、これらのピンはVSSAに接続します。
B4	VANA3_1P8	Ι	1.8V 電源入力。
B11	VAUXVCO_1P0	0	1.0V 内部電源ノード。4.7μF のコンデンサを使用し てピン B11 ヘバイパスします。
B14	VANA2_1P8	Ι	1.8V 電源入力。
B17, C17	RX2+, RX2-	Ι	レシーバー・チャンネル2の差動入力。使用しない 場合、これらのピンは VSSA に接続します。
C3, R11	NIC	N/A	内部では未接続。これらのピンは未接続のままにし てください。
C4, C5, L1, L2, L17, L16, C12, C13	GPIO_ANA_7 to GPIO_ANA_0	I/O	汎用入出力。GPIO_ANA_7~GPIO_ANA_0ピンは 1.8V 基準で、補助 DAC 出力として使用することも できます。使用しない場合、これらのピンは 10kΩ の抵抗を使って VSSA に接続するか、ローに駆動さ れる出力として設定し、未接続のままにすることが できます。
C6	VAUXSYN_1P3	Ι	1.3V 電源入力。
C8, C9	DEVCLK+, DEVCLK-	Ι	デバイス・クロックの差動入力。
C11	VAUXVCO_1P3	Ι	1.3V 電源入力。
C15	RBIAS	I	バイアス抵抗の接続。ピン C15 は、外付けの 1%抵 抗に基づいて内部電流を生成します。ピン C15 とア ナログ・グラウンド (VSSA)の間に、4.99kΩの抵 抗を接続してください。
D3	VANA2_1P3	Ι	1.3V 電源入力。
D8, D9	SYSREF+, SYSREF–	Ι	SERDES インターフェース用の LVDS システム・リ ファレンス・クロック入力。これらのピンの間には 100Ωの終端抵抗を接続します。
D15	VANA1_1P3	Ι	1.3V 電源入力。
E1	AUXADC_3	Ι	補助 ADC 3 の入力。ピン El を使用しない場合は接 続しないでください。
E2, F2	EXT_LO2-, EXT_LO2+	I/O	外部 LO の差動入出力 2。外部 LO 入力に使用する場 合は、入力周波数を必要キャリア周波数の 2 倍とす る必要があります。使用しない場合は接続しないで ください。現在のところ、外部 LO 機能はサポート されていません。
E4, E5	ORX3+, ORX3-	Ι	オブザベーション・レシーバー・チャンネル3の差 動入力。使用しない場合は VSSA に接続します。
E7	TX3_EN	Ι	トランスミッタ・チャンネル 3 のイネーブル入力。 使用しない場合は VSSA に接続します。



ピン番号	記号	タイプ 1	説明
H11, K11, N11, E10, F10, G10, H10, J10, K10, E9, F9, E8, F8, G8, H8, J8, K8, H7, K7	GPIO_0 to GPIO_18	I/O	汎用デジタル入出力。ボール位置とGPIO_x信号名 の対応については図2を参照してください。使用し ない場合、これらのピンは10kΩの抵抗を使って VSSAに接続するか、ローに駆動される出力として 設定し、未接続のままにすることができます。
E11	TX2_EN	Ι	トランスミッタ・チャンネル2のイネーブル入力。 使用しない場合は VSSA に接続します。
E13, E14	ORX1+, ORX1-	Ι	オブザベーション・レシーバー・チャンネル1の差 動入力。使用しない場合は VSSA に接続します。
E16, F16	EXT_LO1+, EXT_LO1-	I/O	外部 LO の差動入出力 1。外部 LO 入力に使用する場 合は、入力周波数を必要キャリア周波数の2倍とす る必要があります。使用しない場合は接続しないで ください。現在のところ、外部 LO 機能はサポート されていません。
E17	AUXADC_1	Ι	補助 ADC1の入力。使用しない場合は接続しないで ください。
FI	AUXADC_2	Ι	補助 ADC 2 の入力。使用しない場合は接続しないで ください。
F7, F11, L7, L11	ORX_CTRL_C, ORX_CTRL_B, ORX_CTRL_D, ORX_CTRL_A	Ι	アクティブなオブザベーション・レシーバー・パス を決定します。使用しない場合は、直接 VSSA に接 続するか、プルダウン抵抗を介して VSSA に接続し ます。
F17	AUXADC_0	Ι	補助 ADC 0 の入力。使用しない場合は接続しないで ください。
G3	VRFVCO2_1P3	Ι	1.3V 電源入力。
G5	VRFVCO2_1P0	0	1.0V 内部電源ノード。このピンは 4.7μF のコンデン サを使用してバイパスします。
G7	RX3_EN	Ι	レシーバー・チャンネル3の入力をイネーブルしま す。使用しない場合は VSSA に接続します。
G9, J9, L9	VDIG_1P0	Ι	1.0V デジタル電源入力。
G11	RX2_EN	Ι	レシーバー・チャンネル2の入力をイネーブルしま す。使用しない場合は VSSA に接続します。
G13	VRFVCO1_1P0	0	1.0V 内部電源ノード。このピンは 4.7μF のコンデン サを使用してバイパスします。
G15	VRFVCO1_1P3	Ι	1.3V 電源入力。
Н1, J1	RX4-, RX4+	Ι	レシーバー・チャンネル4の差動入力。使用しない 場合は VSSA に接続します。
Н3	VCONV2_1P8	Ι	1.8V 電源入力。
H9, K9, M9	VSSD	Ι	デジタル・グラウンド。
H15	VCONV1_1P8	Ι	1.8V 電源入力。
Н17, J17	RX1+, RX1-	Ι	レシーバー・チャンネル 1 の差動入力。使用しない 場合は VSSA に接続します。
J3	VCONV2_1P3	Ι	1.3V 電源入力。
J5	VRFSYN2_1P3	Ι	1.3V 電源入力。
J7	RX4_EN	Ι	レシーバー・チャンネル 4 の入力をイネーブルしま す。使用しない場合は VSSA に接続します。
311	RX1_EN	Ι	レシーバー・チャンネル 1 の入力をイネーブルしま す。使用しない場合は VSSA に接続します。
J13	VRFSYN1_1P3	Ι	1.3V 電源入力。
J15	VCONV1_1P3	Ι	1.3V 電源入力。
K3	VCONV2_1P0	0	1.0V 内部電源ノード。このピンは 4.7μF のコンデン サを使用してバイパスします。
K15	VCONV1_1P0	0	1.0V 内部電源ノード。このピンは 4.7μF のコンデン サを使用してバイパスします。
L4, L5	ORX4+, ORX4–	Ι	オブザベーション・レシーバー・チャンネル4の差 動入力。使用しない場合は VSSA に接続します。

18         SPL DIO         10 $\forall Tr k \cdot \vec{\tau} - Q_r A_r$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $\exists red V = F(r) A_{th} = red A_{th}$ , $d red V = F(r) A_{th}$ , $d red A_{th}$ , $d red V = F(r) A_{th}$ , $d red A_{th}$ , $d r$	ピン番号	記号	タイプ 1	説明
$I_{10}$ $I_{10}$ $I_{10}$ $I_{10}^{\gamma_{10}-\gamma_{10}-\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ L10OK25, OK22-I $I_{10}^{\gamma_{10}}$ , $I_{10}^{\gamma_{10}}$ , $I_{10}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ L13, L14OK25, OK22-I $I_{10}^{\gamma_{10}}$ , $I_{10}^{\gamma_{10}}$ , $I_{20}^{\gamma_{10}}$ ,	L8	SPI_DIO	I/O	シリアル・データ入力。SPI DIOは4線モードのシ
L10         T         T $\sqrt{1}$ $\sqrt{1}$ $\sqrt{1}$ $\sqrt{2}$ $\sqrt{1}$ $\sqrt{2}$ $$				リアル・データ入力、または3線モードの入出力で
L10         SP, EN         I $\forall y = y - r - y - \lambda x \partial x + y - y + v + k + x + y \partial x \partial x + y + y + v + k + x + x + x + x + x + x + x + x + x$				す。
Image: Description of the section of the sectin sectin of the se	L10	SPI_EN	I	シリアル・データ・バスのチップ・セレクト。アク
11.1       000000000000000000000000000000000000	112 114	ODV1 ODV1	т	ブイノ・ロー。 ナブザベーション・1.2~ ビー・チェンクル2の美
M7         TX4_EN         I         PSPX25974700000000000000000000000000000000000	115, 114	OKA2+, OKA2-	1	オノサハーション・レシーハー・テャンイル20定 動入力 使用したい場合は VSSA に接続します
International and the set of th	M7	TX4 FN	T	トランスミッタ・チャンネル4のイネーブル入力
M8         SPL_DO         O         シッファ・データーボ, ジア・データーボ, ジア・データーボ, スシック・ディンネルション, ビア・シンネルション, ビア・シンネルション, ビアンネン, ビアンネンション, ビアンネンション, ビアンネンション, ビアンネンション, ビアンネン, ビアン, ビアンネン, ビアンネン, ビアン, ビアンネン, ビアンネン, ビアン, ビアンネン, ビアン, ビアンネン, ビアン, ビアン, ビアン, ビアン, ビアン, ビアン, ビアン, ビア				使用しない場合はVSSAに接続します。
M10         SPLCLK         I $9/7h + 7 - 7 + 7 (xo p + y - y A A f)$ M11         TX1_EN         I $1 - 5 > 2x_2 + y + y + xh + a b x_3 (wh t) + y + w + xh + a b x_3 (wh t) + y + y + w + a b x_3 (wh t) + y $	M8	SPI_DO	0	シリアル・データ出力。
M11TX1_ENIF>>X30 9.749.749.740.740.740.740.740.740.740.740.740.740	M10	SPI_CLK	Ι	シリアル・データ・バスのクロック入力。
NI, PI         IVA -, TX4 -, TX4 -         O $I > J > 2 > 7 + 2 > A + 0 > A = 0 > M$	M11	TX1_EN	Ι	トランスミッタ・チャンネル1のイネーブル入力。
NI, PI       TX4, TX4       O $F > 2 \times 2 \times 2 \times 4 \times 4 \times 2 \otimes 2 \otimes 1 \times 4 \times 4 \otimes 2 \otimes 1 \times 4 \times 4 \otimes 2 \otimes 1 \times 4 \times$				使用しない場合は VSSA に接続します。
N2         VANA4_IP8         I         ISV 地容12880L XXVVC (2.5%).           N5         VCLK VCO_IP3         I         1.3V 電源入力.           N6, P6         SYNCINJ-, SYNCINJ-         I         LVDS 同期信号入力.3, 使用 LXv 場合は VSSA (2.4KVVC)           N7         GPINT2         Q         汎用制込み出力.2, 使用 LXv 場合は VSSA (2.4KVVC)           N8         GPINT1         Q         汎用制込み出力.1, 使用 LXv 場合は接続 LXvVC (2.5%).           N8         GPINT1         Q         汎用制込み出力.1, 使用 LXv 場合は接続 LXvVC (2.5%).           N9         VIF         I         I.8V 4/2 /> 2-7 -2 -2 電源入力.           N10         RESET         I         TVD 7 // 7 - 0 -0 // 7 - 1 // 2 + 0 // 5.           N12, N13         SYNCINI+, SYNCINI-         I         LVDS 同期信号力.1, 使用 LXv 場合は接続 LXvVC (2.5%).           N16         VANA1_IP8         I         LSV 電源(A).           N17, P17         TXI+, TXI-         Q         LVDS 同期信号力力.2, 使用 LXv场合は XSSA (2.4KVC) (2.5%).           P5         VCLK VCO_IP0         Q         LVDS 同期信号力力.2, 使用 LXv场合は XSSA (2.4KVC) (2.5%).           P10         TEST_EN         I         LVDS 同期信号力力.2, 使用 LXv场合は XSSA (2.4KVC) (2.5%).           P11         VVCO_IP8         I         LSV 電点力力.           P12, P13         VTT_DES         I         LVDS 可用 (1.4VV=4/2 + Z/V/T)/ - Z(2.	N1, P1	TX4–, TX4+	0	トランスミッタ・チャンネル4の差動出力。使用し
N2         VARATURS         I         INVERTING         INVERTING           N5         VCLKVC0.1P3         I         LVUSERIJERAAD.           N6, P6         SYNCIN3+, SYNCIN3-         I         LVUSERIJERAAD.         EJELAVIJERAAD.           N7         GPINT2         O         JURREACHID.2, EJELAVIJERAUSALID.2, EJELAVIJERAUSALID.2, EJELAVIJERAUSALID.2, EJELAVIJERAUSALID.2, EJELAVIJERAUSALID.2, EJELAVIJERAUSALID.1, EJELAVIJERAUSALID.2, EJELAVIJERAUSA	22	VANIAA 1D0	т	ない場合は接続しないでくたさい。
NS       VELK VG2_HS       I       LVE REM, $J_{s}$ N6, P6       SYNCN3+, SYNCN3-       I       UNDS [mfl/B}, J_5], & #UL2x/Bdck USAK I:         N7       GPINT1       O       RL#BUSA-HD_2 $#HL2x/Bdck USAK I:$ N8       GPINT1       O       RL#BUSA-HD_2 $#HL2x/Bdck Udaver$ N8       GPINT1       O       RL#BUSA-HD_2 $#HL2x/Bdck Udaver$ N9       VIF       I       I XV 4/94-72x-7 $Zdk X/2x^2$ N10       RESET       I $T / T / T / T / T = 0 / T / T / T / T / T / T / T = 0$ $YDS (Bmfl/B / T / L / X / W / T / T / T / T / T / T / T / T / T$	INZ	VANA4_IP8	I T	1.8V 電源入力。
NATO         STRCERS, FIRCUS         I         Exponents (A)	NG D6	SVNCIN2+ SVNCIN2-	I I	1.5V 电原八刀。 LVDC 目期信号 1 カ 2 (
N7         GPINT2         O $\exists R = b = b = c < c < s < s < s < s < s < s < s < s <$	N0, P0	STINCINST, STINCINST	1	LVDS 同期信号八刀 5。使用しない場合は VSSA に 接続します。
N8         GPINTI         Q $\langle \vec{E} S v_n \rangle$ $\langle \vec{E} S v_n \rangle$ N9         VIF         I $1.8V 4 2 9 - 7 \pm -3 \pi R_R \Lambda_D$ ,           N10         RESET         I $7 2 7 \pi 7 7 (7 - n - 0 + 5 \sqrt{7} + 1 + 2 \sqrt{7} +$	N7	GPINT2	0	汎用割込み出力2。使用しない場合は接続しないで
N8GPINTIO期間込み出力1,使用しない場合は接続しないで ください。N9VFIL8Vインターフェース電源入力。N10RESETIアクティブ・ローのチップ・リセット。N12,N13SYNCN1+, SYNCINI-ILVDS 同期信号入力1, 使用しない場合は接続しない などださい。N14,N15SYNCOUT2+, SYNCOUT2+, SYNCOUT2+,QLVDS 同期信号出力2。使用しない場合は接続しない いてください。N16VAN 1/P8ILSV 電源入力。N17,P17TXI+,TX1-Qトランスミック・チャンネル1の差動出力。使用し ない場合は接続したいでください。P5VCLKVC0_IP0Qトランスミック・ジャンネル1の差動出力。使用し ない場合は使続したいてください。P7,P8SYNCN2+, SYNCN2-ILVDS 同期信号入力2, 使用しない場合は VSSA に 接続します。P10TEST_ENILVDS 同期信号入力2, 使用しない場合は VSSA に 接続します。P14VUK0_IP8IL8V 電源入力。P15,R15VSNCOUT1+, SYNCOUT1+IL0V 7トログ電源入力,P15,R15VSNCOUT1+, SYNCOUT1+IL0V 7トログ電源入力,P15,R15VSRCUT1+, SYNCOUT1+IL3V 電源入力。R7VCLKSYN_IP3IL3V 電源入力,R7VCLKSYN_IP3IL3V 電源入力,R7VSRSN_IP0IL0V 7トログ電源入力,R7VSRSN_IP10IL3V 電源入力,R7VSRSN_IP10IL3V 電源入力,R7SERDOUTC-, SERDOUTC-, SERDOUTC+, 				ください。
N9VIFIKKZK N,N10RESET1 $1.8V V > P = v = x = t = t = t = t = t = t = t = t = t$	N8	GPINT1	0	汎用割込み出力 1。使用しない場合は接続しないで
N9         VIF         I $1.8V 4 \sqrt{9} - 7 2 - 3 \pi m_{BX} \Lambda_{0}$ N10         RESET         I $7 \sqrt{9} \sqrt{7} \sqrt{1} - u - o \sqrt{9} \sqrt{7} \sqrt{1} + v + o$ .           N12, N13         SYNCR1+, SYNCN1-         I         LVDS 同期信号AJ1, 使用 Ldx 場合は VSSA に 接続します。           N14, N15         SYNCOUT2+, SYNCOUT2-         0         LVDS 同期信号AJ1, 使用 Ldx 場合は VSSA に VCLVS 同期信号AJ1, 使用 Ldx 場合は VSSA に VCLVS 同期信号AJ1, 使用 Ldx 場合は VSSA に VCLVC012-           N16         VANA1_IP8         I         1.8V 電源入力。           N17, P17         TX1+, TX1-         0 $1 \sqrt{7} \sqrt{7} \sqrt{7} \sqrt{7} \sqrt{7} \sqrt{7} \sqrt{7} \sqrt{7}$				ください。
N10         RESET         I $T / p + q + r + n = 0 + p + r + s + s + s + s + s + s + s + s + s$	N9	VIF	Ι	1.8Vインターフェース電源入力。
N12, N13       SYNCINI-       I       LVDS 同期信号入力 1。使用 Lckv場合は VSSA に 接続します。         N14, N15       SYNCOUT2+, SYNCOUT2-       O       LVDS 同期信号出力 2。使用 Lckv場合は接続しな いでください。         N16       VANA1_IP8       I       1.8V 電源入力。         N17, P17       TX1+, TX1-       O $h \ni 2xx_2 \cdot y + 5 + x > x + 1 \circ 差動出力。 使用 Lx v % 合は接続しないでください。         P5       VCLKVC0_IP0       O       1.0V 内部電源/ / - F。 このビンは 4.7µ o = x > x > y + y ≠ y + x / x / x 1 o 差 ⇒ x > y + y ≠ y + x / x / x 1 o 差 ⇒ x > y + y ≠ y = x + x > x + x + x < x + x + x + x + x + x + x +$	N10	RESET	Ι	アクティブ・ローのチップ・リセット。
Ni4, Ni5         SYNCOUT2+, SYNCOUT2-         O         LVDS 同期信号出力2, 使用しない場合は接続しな いでください。           Ni6         VANA1_IP8         I         1.88 電源入力。           Ni7, PI7         TX1+, TX1-         O         トランスミッタ・チャンネル1の差動出力。使用し いでください。           P5         VCLKVC0_IP0         O         1.0V 内部電源ノード。このピンは 4.7µF のコンデン 少を使用してバイバスします。           P7, P8         SYNCIN2+, SYNCIN2-         I         LVDS 同期信号入力2, 使用しない場合は VSSA に 接続します。           P10         TEST_EN         I         LVDS 同期信号入力2, 使用しない場合は VSSA に 接続します。           P10         TEST_EN         I         LVDS 同期信号入力2, 使用しない場合は VSSA に 接続します。           P11         VJVC0_IP8         I         L8V 電源入力。           P12, P13         VDES_IP0         I         1.0V アナログ電源入力。           P14         VTT DES         I         LVDS 同期信号从力。           P15, R15         SYNCOUT1-         O         LVDS 同期信号加力1。使用しない場合は接続しない でぐださい。           R7         VCLKSYN_IP3         I         1.3V 電源入力。           R9         I         L0V アナログ電源入力。           R9         I         L0V アナログ電源入力。           R7         VCLKSYN_IP3         I         1.3V 電源入力。           R9         VSERDOUTC+         SERDOS 差動力力。         SERDOS 差動力力。           R7, T8 </td <td>N12, N13</td> <td>SYNCIN1+, SYNCIN1-</td> <td>Ι</td> <td>LVDS 同期信号入力 1。使用しない場合は VSSA に 接続しませ</td>	N12, N13	SYNCIN1+, SYNCIN1-	Ι	LVDS 同期信号入力 1。使用しない場合は VSSA に 接続しませ
N14, N15         SYNCOUT2- vr3 (r 25 v).         O         EVEN By Rep 1/12. (ER CA Vier an Legen CA Vier a	N14 N15	SVNCOUT2+	0	
N16         VANAI_IP8         I         I.SV電源入方。           N17, P17         TXI+, TXI-         O         トランスミッタ・チャンネル 1 の差動出力。使用し ない場合は接続しないでください。           P5         VCLKVCO_IP0         O         1.0V 内部電源ノード。このビンは 4.7µF の コンデン サを使用してパイパスします。           P7, P8         SYNCIN2+, SYNCIN2-         I         LVDS 同期信号入力 2。使用しない場合は VSSA に 接続します。           P10         TEST_EN         I         JTAG パウンダリ・スキャンのテスト入力。パウン ダリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に 接続します。           P14         VJVCO_IP8         I         1.8V 電源入力。           P15, R15         VUT_DES         I         1.0V アキログ電源入力。           P15, R15         SYNCOUTI+, SYNCOUTI+         O         LVDS 同期信号出力 1。使用しない場合は接続しな いでください。           R7         VSER_IP0         I         1.0V アキログ電源入力。           R9         VSER_IP0         I         1.0V アキログ電源入力。           T3, T4         SERDOUTC+, SERDOUTC+, SERDOUTC+, SERDOUTC+         SERDES 差動出力 A. 使用しない場合は接続しない でください。           T10, T11         SERDOUTA+, SERDOUTA+, SERDOUTA+, SERDOUTA+, SERDOUTA+, SERDOUTA+, SERDOUTA+,         SERDES 差動入 A. 使用したい場合は接続しない	N14, N15	SYNCOUT2-	0	LVDS 回朔信ち山刀 2。使用しない場合は接続しな いでください。
N17, P17         D         トランスミッタ・チャンネル1の差動出力。使用し ない場合は接続しないでください。           P5         VCLKVCO_1P0         O         1.0V 内部電源ノード。このビンは 4.7µF のコンデン 物を使用してバイパスします。           P7, P8         SYNCIN2+, SYNCIN2-         I         LVDS 同期信号入力 2。使用しない場合は VSSA に 接続します。           P10         TEST_EN         I         JTAG バウンダリ・スキャンのテスト入力。バウン ダリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に接続します。           P11         VJVCO_1P8         I         I.8V 電源入力。           P12, P13         VDES_1P0         I         1.0V アナログ電源入力。           P14         VTT_DES         I         1.0V アラログ電源入力。           P15, R15         SYNCOUTI+, SYNCOUTI+         O         LVDS 同期信号出力 1。使用しない場合は接続しな いでください。           R3, R4         VDES_1P0         I         1.0V アナログ電源入力。           R4         VSER_1P0         I         1.0V アナログ電源入力。           R5         SERDOUT1+, SERDOUT1+         O         ERDES 差動出力 0.           R4         VSEST_1P0         I         1.0V アナログ電源入力。           R5         SERDOUT2+         O         SERDES 差動出力 0.           R5         SERDOUTC+         SERDES 差動出力 0.         使用しない場合は接続しない でください。           T10, T11         SERDOUTA+         O         SERDES 差動出力 0.         使用しない場合は接続しない	N16	VANA1 1P8	Ι	1.8V 電源入力。
P5         VCLKVC0_1P0         O         ない場合は接続しないでください。           P5, P5         VCLKVC0_1P0         O         1.0V内部電源ノート。このビンは 4.7µF のコンデン サを使用してバイバスします。           P7, P8         SYNCIN2+, SYNCIN2-         I         LVDS 同期信号入力2。使用しない場合は VSSA に 接続します。           P10         TEST_EN         I         JTAG バウンダリ・スキャンのテスト入力。バウン ダリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に接続しします。           P11         VVC0_1P8         I         1.8V 電源入力。           P12, P13         VDES_IP0         I         1.0V アキログ電源入力。           P14         VTT_DES         I         1.0V アキログ電源入力。           P15, R15         SYNCOUTI+, SYNCOUTI+, SYNCOUTI-         O         LVDS 同期信号出力 1。使用しない場合は接続しない いでください。           R3, R4         VSER_IP0         I         1.0V アナログ電源入力。           R5         VJSYN_1P3         I         1.3V 電源入力。           R9         VJSYN_1P0         I         1.0V アナログ電源入力。           T3, T4         SERDOUTC+, SERDOUTC-         SERDES 差動出力 C。使用しない場合は接続しない でください。         SERDES 差動出力 A。使用しない場合は接続しない でください。           T10, T11         SERDINA-, SERDINA+         I         SERDES 差動力 A。使用しない場合は接続しない	N17, P17	TX1+, TX1-	0	トランスミッタ・チャンネル1の差動出力。使用し
P5VCLKVCO_IP0OI.0V 内部電源ノード。このピンは 4.7µF のコンデン サを使用してバイバスします。P7, P8SYNCIN2+, SYNCIN2-ILVDS 同期信号入力 2. 使用しない場合は VSSA に 接続します。P10TEST_ENILVDS 同期信号入力 2. 使用しない場合は VSSA に 接続します。P11TEST_ENIJTAG パウングリ・スキャンのテスト入力。パウン グリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に接続しします。P12, P13VDES_IP0II.0V アナログ電源入力。P14VTT_DESI1.0V アナログ電源入力。P15, R15SYNCOUTI+, SYNCOUTI-OLVDS 同期信号出力 1. 使用しない場合は接続しない いでください。R3, R4VSER_IP0II.0V アナログ電源入力。R7VJSYN_IP3II.3V 電源入力。R9VJSYN_IP0II.0V アナログ電源入力。T3, T4SERDOUTC+, SERDOUTC+OSERDES 差動出力 C. 使用しない場合は接続しない でください。T10, T11SERDINA-, SERDINA+ISERDES 差動出力 A. 使用しない場合は接続しない				ない場合は接続しないでください。
P7, P8       SYNCIN2+, SYNCIN2-       I       サを使用してバイバスします。         P10       SYNCIN2+, SYNCIN2-       I       LVDS 同期信号入力 2。使用しない場合は VSSA に 接続します。         P10       TEST_EN       I       JTAG バウンダリ・スキャンのテスト入力。バウン ダリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に接続しします。         P11       VJVCO_1P8       I       1.8V 電源入力。         P12, P13       VDES_IP0       I       1.0V アナログ電源入力。         P14       VTT_DES       I       1.0V アナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しな いでください。         R3, R4       VSER_IP0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しない でください。         T10, T11       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しない でください。	P5	VCLKVCO_1P0	0	1.0V内部電源ノード。このピンは4.7µFのコンデン
P7, P8STNCH27, STNCH27IIIVDS 同期信号人力 2。使用 $U_{k}V$ 場合は VSSA ( 接続します。P10TEST_ENIJTAG $v (v \neq y) \cdot x + v > v (v \neq y) \cdot x + v > v (v \neq y) \cdot x + v > v (v \neq x) + v + v + v + v + v + v + v + v + v + $	D7 D0		т	サを使用してバイバスします。
P10       TEST_EN       I       JTAG パウンダリ・スキャンのテスト入力。パウン ダリ・スキャンをイネーブルするにはハイにしま す。使用しない場合は VSSA に接続しします。         P11       VJVC0_1P8       I       1.8V 電源入力。         P12, P13       VDES_1P0       I       1.0V アナログ電源入力。         P14       VTT_DES       I       1.0V アナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しな いでください。         R3, R4       VSER_1P0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC+, SERDOUTC+       O       SERDES 差動出力 C。使用しない場合は接続しない でください。         T10, T11       SERDINA-, SERDINA+       I       SERDES 差動払力 A、使用しない場合は接続しない	r7, rð	$51$ NCIN2 $\pm$ , $51$ NCIN2 $\pm$	1	LVDS 同期信亏八月 2。使用しない場合は VSSA に 接続します。
P11       VJVCO_1P8       I       1.8V 電源入力。         P12, P13       VDES_1P0       I       1.0V アナログ電源入力。         P14       VTT_DES       I       1.0V アナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しない いでください。         R3, R4       VSER_1P0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しない でください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しない でください。	P10	TEST EN	Ι	JTAG バウンダリ・スキャンのテスト入力。バウン
P11VJVCO_1P8I+。使用しない場合は VSSA に接続しします。P14VDES_1P0I1.8V 電源入力。P14VTT_DESI1.0V アナログ電源入力。P15, R15SYNCOUT1+, SYNCOUT1-OLVDS 同期信号出力 1。使用しない場合は接続しないでください。R3, R4VSER_1P0I1.0V アナログ電源入力。R7VCLKSYN_1P3I1.3V 電源入力。R9VJSYN_1P0I1.0V アナログ電源入力。T3, T4SERDOUTC+, SERDOUTC-OSERDES 差動出力 C。使用しない場合は接続しないでください。T7, T8SERDOUTA+, SERDOUTA-OSERDES 差動出力 A。使用しない場合は接続しないでください。		—		ダリ・スキャンをイネーブルするにはハイにしま
P11       VJVC0_1P8       I       1.8V 電源入力。         P12, P13       VDES_1P0       I       1.0V アナログ電源入力。         P14       VTT_DES       I       1.0V アナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しないでください。         R3, R4       VSER_1P0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しないでください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しないでください。				す。使用しない場合は VSSA に接続しします。
P12, P13       VDES_1P0       I       1.0Vアナログ電源入力。         P14       VTT_DES       I       1.0Vアナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しないでください。         R3, R4       VSER_1P0       I       1.0Vアナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0Vアナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しないでください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しないでください。	P11	VJVCO_1P8	Ι	1.8V 電源入力。
P14       VTT_DES       I       1.0Vアナログ電源入力。         P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しないでください。         R3, R4       VSER_1P0       I       1.0Vアナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0Vアナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しないでください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しないでください。         T10, T11       SERDINA-, SERDINA+       I       SERDES 差動出力 A。使用しない場合は接続しない	P12, P13	VDES_1P0	Ι	1.0Vアナログ電源入力。
P15, R15       SYNCOUT1+, SYNCOUT1-       O       LVDS 同期信号出力 1。使用しない場合は接続しないでください。         R3, R4       VSER_1P0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しないでください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しないでください。	P14	VTT_DES	I	1.0Vアナログ電源入力。
R3, R4       VSER_1P0       I       1.0V アナログ電源入力。         R7       VCLKSYN_1P3       I       1.3V 電源入力。         R9       VJSYN_1P0       I       1.0V アナログ電源入力。         T3, T4       SERDOUTC+, SERDOUTC-       O       SERDES 差動出力 C。使用しない場合は接続しない でください。         T7, T8       SERDOUTA+, SERDOUTA-       O       SERDES 差動出力 A。使用しない場合は接続しない でください。         T10, T11       SERDINA-, SERDINA+       I       SERDES 差動入力 A 使用したい場合は接続しない	P15, R15	SYNCOUTI+, SYNCOUTI-	0	LVDS 同期信号出力 1。使用しない場合は接続しないでください
R7VCLKSYN_1P3I1.3V 電源入力。R9VJSYN_1P0I1.0V アナログ電源入力。T3, T4SERDOUTC+, SERDOUTC-OSERDES 差動出力 C。使用しない場合は接続しない でください。T7, T8SERDOUTA+, SERDOUTA-OSERDES 差動出力 A。使用しない場合は接続しない でください。T10, T11SERDINA-, SERDINA+ISERDES 差動入力 A でください。	R3. R4	VSER 1P0	I	<ul> <li>1 0V アナログ電源入力。</li> </ul>
R9     VJSYN_IP0     I     I.0Vアナログ電源入力。       T3, T4     SERDOUTC+, SERDOUTC-     O     SERDES 差動出力 C。使用しない場合は接続しない でください。       T7, T8     SERDOUTA+, SERDOUTA-     O     SERDES 差動出力 A。使用しない場合は接続しない でください。       T10, T11     SERDINA-, SERDINA+     I     SERDES 差動払力 A、使用しない場合は接続しない	R7	VCLKSYN 1P3	T	1 3V 電源入力。
T3, T4SERDOUTC+, SERDOUTC-OSERDES 差動出力 C。使用しない場合は接続しない でください。T7, T8SERDOUTA+, SERDOUTA-OSERDES 差動出力 A。使用しない場合は接続しない でください。T10, T11SERDINA-, SERDINA+ISERDES 差動入力 A 使用したい場合は接続しない	R9	VJSYN 1P0	I	1.0Vアナログ電源入力。
SERDOUTC-     でください。       T7, T8     SERDOUTA+, SERDOUTA-     O     SERDES 差動出力 A。使用しない場合は接続しない でください。       T10, T11     SERDINA-, SERDINA+     I     SERDES 差動入力 A 使用したい場合は接続しない	T3, T4	SERDOUTC+,	0	SERDES 差動出力 C。使用しない場合は接続しない
T7, T8     SERDOUTA+, SERDOUTA-     O     SERDES 差動出力 A。使用しない場合は接続しない でください。       T10, T11     SFRDINA-, SERDINA+     I     SFRDFS 差動入力 A 使用したい場合は接続しない		SERDOUTC-		でください。
SERDOUTA-     でください。       T10.T11     SFRDINA SERDINA+     I       SFRDFS 差動入力 a 使用したい場合け接続したい	T7, T8	SERDOUTA+,	0	SERDES 差動出力 A。使用しない場合は接続しない
T10.T11 I SERDINA SERDINA+ II I SERDES 差動入力 A 使用したい場合け接続したい		SERDOUTA-	_	でください。
	110, 111	SERDINA-, SERDINA+	1	SERDES 差動人力 A。使用しない場合は接続しない でください
T14 T15 SERDINC- SERDINC+ I SERDES 美動入力C 体田1 かい埋合け接続1 かい	T14 T15	SERDINC- SERDINC+	Т	SNRCCON SFRDFS 善動入力C 使用したい場合け接続したい
これの目を定動入力で、反用しない物合体要称しない。	,	SERENCE , SERENCE		でください。
U1, U2SERDOUTD+,OSERDES 差動出力 D。使用しない場合は接続しない	U1, U2	SERDOUTD+,	0	SERDES 差動出力 D。使用しない場合は接続しない
SERDOUTD- でください。		SERDOUTD-		でください。
US_UGCERDOUTR+CERDDEC 学報山も D 法田 (A) (4) (4) (4) (4) (4) (4) (4) (4) (4) (4	U5, U6	SERDOUTB+, SERDOUTB–	0	SERDES 差動出力 B。使用しない場合は接続しない でください
		SERDOUTB-	Ŭ	でください。



ピン番号	記号	タイプ 1	説明
U12, U13	SERDINB+, SERDINB-	Ι	SERDES 差動入力 B。使用しない場合は接続しない
			でください。
U16, U17	SERDIND+, SERDIND-	Ι	SERDES 差動入力 D。使用しない場合は接続しない
			でください。

<sup>1</sup>Iは入力、Oは出力、I/Oは入出力、N/Aは該当なしを意味します。

### **ADRV9029**

### 代表的な性能特性

デバイス構成プロファイル:特に指定のない限り、レシーバー=62.5MHz帯域幅、I/Q レート=76.8MHz、トランスミッタ=62.5MHz大信 号帯域幅 + 141MHz シンセシス帯域幅、I/Q レート = 153.6MHz、オブザベーション・レシーバー(ORx) = 141MHz帯域幅、I/Q レート = 153.6MHz、デバイス・クロック = 153.6MHz。

#### 75MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 75MHz に設定します。



図 5. 大信号帯域幅におけるトランスミッタのイメージ除去と ベースバンド・オフセット周波数の関係



図 6. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット



図 7. トランスミッタのパス・バンド平坦性とベースバンド・ オフセット周波数の関係



図 8. 隣接チャンネル電力レベルとトランスミッタ減衰の関係、 21MHz ベースバンド・オフセット、5MHz LTE、 ピーク対平均値比(PAR) = 12dB





図 10. トランスミッタ 2 次高調波歪み(HD2)とトランスミッタ 減衰の関係、10MHz オフセット



減衰の関係、10MHz オフセット



図 12. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 13. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 5MHz LTE 信号、 サンプル・レート = 153.6MSPS、



図 14. トランスミッタ OIP3(2f1 - f2)とトランスミッタ減衰の 関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 45.5MHz、f2 = 50.5MHz

7

### **ADRV9029**

5607-616

25607-617

25607\_618



622

-623

5607

-624

5607

25

525

25



積分帯域幅 = 500kHz~30MHz

-タシート



ータシート

7

図 27. レシーバー・ゲインのステップ誤差とレシーバー減衰の 関係、10MHz オフセット、-5dBFS 入力信号



図 28. レシーバー・イメージとベースバンド・オフセット周波数 の関係、トラッキング・キャリブレーション:アクティブ、 サンプル・レート = 76.8MSPS



 図 29. レシーバー・イメージとレシーバー減衰の関係、
 10MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 76.8MSPS



図 30. レシーバーDC オフセットとレシーバー減衰の関係、 10MHz オフセット、-5dBFS 入力信号



図 31. レシーバーDC オフセットとレシーバーLO 周波数の 関係、10MHz オフセット、-5dBFS 入力信号



図 32. レシーバーHD2(左側)とベースバンド・オフセット
 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを
 測定(HD2 キャンセラー:イネーブル)



図 33. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定(HD2 キャンセラー:イネーブル)



図 34. レシーバーHD3(左側)とベースバンド・オフセット
 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを
 測定



図 35. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーン を測定



図 36. レシーバーIIP2(f1 + f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 37. レシーバーIIP2(f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz





どちらのトーンも-11dBFS、f1 = f2 + 2MHz

ータシート

7

Rev. 0

#### 35 –40°C, Rx1 -+25°C, Rx1 +110°C, kx1 -40°C, Rx2 -+25°C, Rx2 +110°C, Rx2 -40°C, Rx3 -+25°C, Rx3 -+110°C, Rx3 30 -40°C, Rx4 -+25°C, Rx4 -+110°C, Rx4 (dBm) RECEIVER IIP3, 2f2 - f1 25 20 15 10 25607-643 8 12 16 20 24 28 TWO-TONE FREQUENCY SPACING (MHz)

図 45. レシーバーIIP3(2f2 - f1)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 46. レシーバー誤差ベクトルの大きさとレシーバー入力電力の 関係、LO 周波数を中心とする 20MHz LTE 信号、サンプル・ レート = 153.6MSPS、ループ・フィルタ帯域幅 = 50kHz、 ループ・フィルタ位相マージン = 40°



図 47. オブザベーション・レシーバー(ORx)積分ノイズ指数と オブザベーション・レシーバー減衰の関係、141MHz 帯域幅、 サンプル・レート =153.6MSPS、 積分帯域幅 = 500kHz~70.5MHz



図 48. オブザベーション・レシーバー積分ノイズ指数と ベースバンド・オフセット周波数の関係、141MHz 帯域幅、 サンプル・レート =153.6MSPS、200kHz ステップで積分











図 51. オブザベーション・レシーバー・ゲインのステップ誤差と オブザベーション・レシーバー減衰の関係、 14.1MHz オフセット、-10dBFS 入力信号



図 52. 正規化したオブザベーション・レシーバー平坦性と ベースバンド・オフセット周波数の関係、-10dBFS 入力信号







図 54. オブザベーション・レシーバー・イメージとオブザベーシ ョン・レシーバー減衰の関係、14.1MHz オフセット、 トラッキング・キャリブレーション:アクティブ、 サンプル・レート = 153.6MSPS



図 55. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバー減衰の関係、 14.1MHz オフセット、-10dBFS 入力信号



#### -40 dBc) -40°C, ORx1 -40°C, ORx2 -40°C, ORx3 -40°C, ORx4 +25°C, ORx1 +25°C, ORx2 +25°C, ORx3 +25°C, ORx4 +110°C. ORx1 +110°C, ORx2 +110°C, ORx3 +110°C, ORx3 -50 **RIGHT SIDE** -60 -70 **RECEIVER HD2**, -80 -90 OBSERVATION -100 -110 -120 -35 -30 -25 -20 -15 -10 -5 655 0 5 10 15 20 25 30 35 25607 BASEBAND OFFSET FREQUENCY (MHz)

図 57. オブザベーション・レシーバーHD2(右側)と ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の右側で歪みトーンを測定



図 58. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の左側で歪みトーンを測定



ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の右側で歪みトーンを測定



**ADRV9029** 

図 60. オブザベーション・レシーバーIIP2(f1 + f2)とトーン2 周波数の関係、どちらのトーンも-13dBFS、f1 = f2 + 2MHz



図 61. オブザベーション・レシーバーIIP2(f1 - f2)とトーン2 周波数の関係、どちらのトーンも-13dBFS、f1 = f2 + 2MHz



どちらのトーンも-13dBFS、f2 = 2MHz

#### — 33/133 —



-タシート

7



ータシート

7


-タシー

7

図 73. オブザベーション・レシーバーIIP3(2f2 - f1)と ツー・トーン周波数間隔の関係、 どちらのトーンも-13dBFS、f2 = 2MHz



図 74. オフザベーション・レシーバーIIP3 (212 + 11) と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 45MHz、f2 = 2MHz



図 75. オブザベーション・レシーバーIIP3(2f2 - f1)と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 45MHz、f2 = 2MHz

## ADRV9029

#### 800MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 800MHz に設定します。







ータシート

7

図 82. 隣接チャンネル電力レベルとトランスミッタ減衰の関係、 90MHz ベースバンド・オフセット、20MHz LTE、PAR = 12dB



図 83. トランスミッタ 2 次高調波歪み(HD2)とトランスミッタ 減衰の関係、10MHz オフセット



図 84. トランスミッタ 3 次高調波歪み(HD3)とトランスミッタ 減衰の関係、10MHz オフセット



図 85. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 86. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 491.52MSPS、 ループ・フィルタ帯域幅 = 50kHz、 ループ・フィルタ位相マージン = 85°



図 87. トランスミッタ OIP3(2f1 - f2)とトランスミッタ減衰の 関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 50.5MHz、f2 = 55.5MHz





図 94. トランスミッタ~トランスミッタ間のアイソレーションと トランスミッタ LO 周波数の関係



図 95. トランスミッタ~レシーバー間のアイソレーションと レシーバーLO 周波数の関係



図 96. トランスミッタ~オブザベーション・レシーバー間の アイソレーションとトランスミッタ LO 周波数の関係





図 98. レシーバー積分ノイズ指数とレシーバー減衰の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS、 積分帯域幅 = 500kHz~100MHz



図 99. レシーバー積分ノイズ指数とレシーバーLO 周波数の 関係、200MHz 帯域幅、サンプル・レート = 245.76MSPS、 積分帯域幅 = 500kHz~100MHz

## ,

-タシート

7





図 103. レシーバー・ゲインとレシーバーLO 周波数の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS



図 104. レシーバー・ゲインのステップ誤差とレシーバー減衰の 関係、20MHz オフセット、-5dBFS 入力信号



## **ADRV9029**







図 107. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



20MHz オフセット、--5dBFS 入力信号



図 109. レシーバーDC オフセットとレシーバーLO 周波数の 関係、20MHz オフセット、-5dBFS 入力信号



図 110. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定(HD2 キャンセラー:イネーブル)



図 111. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定(HD2 キャンセラー:イネーブル)

5607-037



図 112. レシーバーHD3(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定



図 113. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定



図 114. レシーバーIIP2(f1 + f2)とトーン 2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 115. レシーバーIIP2(f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 116. レシーバーIIP2(f1 + f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 117. レシーバーIIP2(f1 - f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



ータシート

7





図 121. レシーバーIIP3 (2f2 + f1) とトーン2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 122. レシーバーIIP3 (2f1 - f2) とトーン 2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz







図 124. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 125. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz





図 127. レシーバーIIP3 (2f2 - f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 128. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 245.76MSPS、 ループ・フィルタ帯域幅 = 50kHz、





-タシート

7











図 133. オブザベーション・レシーバー積分ノイズ指数と ベースバンド・オフセット周波数の関係、450MHz帯域幅、 サンプル・レート = 491.52MSPS、200kHz ステップで積分



## **ADRV9029**





図 137. オブザベーション・レシーバー・ゲインのステップ誤差 とオブザベーション・レシーバー減衰の関係、 45MHz オフセット、-10dBFS 入力信号





(dBc)

**OBSERVATION RECEIVER IMAGE** 

**OBSERVATION RECEIVER IMAGE (dBc)** 



オブザベーション・レシーバー減衰の関係、 45MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 491.52MSPS



45MHz オフセット、-10dBFS 入力信号



図 142. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS



図 143. オブザベーション・レシーバーHD2(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定







図 145. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



図 146. オブザベーション・レシーバーHD3(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの右側で歪みトーンを測定















図 162. オブザベーション・レシーバーIIP3 (2f2 - f1) と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 122MHz、f2 = 2MHz

#### 1800MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 1800MHz に設定します。







図 164. トランスミッタ出力電力スペクトラム、TX1、5MHz LTE、10MHz オフセット、-10dBFS RMS、 1MHz 分解能帯域幅、T」= 25℃



図 165. 大信号帯域幅におけるトランスミッタのイメージ除去と ベースバンド・オフセット周波数の関係



図 166. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット



図 167. トランスミッタのパス・バンド平坦性とベースバンド・ オフセット周波数の関係



図 168. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、-10MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB

#### -タシート 7

## **ADRV9029**

25607-101

25607-102

S

25607-

32

20

32





ータシート

7

図 175. トランスミッタ OIP3(2f2 - f1)とトランスミッタ減衰 の関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 50.5MHz、f2 = 55.5MHz



図 176. トランスミッタ OIP3 (2f1 - f2) と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ: 15dB



図 177. トランスミッタ OIP3 (2f2 - f1) と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ: 15dB



図 178. トランスミッタ OIP3 (2f1 + f2) と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 179. トランスミッタ OIP3(2f2 + f1)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB









図 184. レシーバー~レシーバー間のアイソレーションと レシーバーLO 周波数の関係



図 185. レシーバー積分ノイズ指数とレシーバー減衰の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS、 積分帯域幅 = 500kHz~100MHz



図 186. レシーバー積分ノイズ指数とレシーバーLO 周波数の 関係、200MHz 帯域幅、サンプル・レート = 245.76MSPS、 積分帯域幅 = 500kHz~100MHz









図 190. レシーバー・ゲインとレシーバーLO 周波数の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS



図 191. レシーバー・ゲインのステップ誤差とレシーバー減衰の 関係、20MHz オフセット、-5dBFS 入力信号









図 194. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



20MHz オフセット、-5dBFS 入力信号



図 196. レシーバーDC オフセットとレシーバーLO 周波数の 関係、20MHz オフセット、-5dBFS 入力信号



図 197. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 198. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の右側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 199. レシーバーHD3(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定



図 200. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定



どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 202. レシーバーIIP2(f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz







図 204. レシーバーIIP2(f1 - f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz

#### -タシー 7

## **ADRV9029**

25607-137

1825

1895 607-136

25607-13





ータシー

7

図 211. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 212. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz





図 214. レシーバーIIP3 (2f2 - f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 215. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 245.76MSPS、 ループ・フィルタ帯域幅 = 500kHz、



#### -タシート 7













図 220. オブザベーション・レシーバー積分ノイズ指数と ベースバンド・オフセット周波数の関係、450MHz帯域幅、 サンプル・レート = 491.52MSPS、200kHz ステップで積分



サンプル・レート = 491.52MSPS





-タシート

7



図 224. オブザベーション・レシーバー・ゲインのステップ誤差 とオブザベーション・レシーバー減衰の関係、 45MHz オフセット、-10dBFS 入力信号







図 228. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバー減衰の関係、 45MHz オフセット、-10dBFS 入力信号

**OBSERVATION RECEIVER ATTENUATION (dB)** 



-タシート

7

図 229. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS



図 230. オブザベーション・レシーバーHD2(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの左側で歪みトーンを測定



ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の右側で歪みトーンを測定



図 232. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



図 233. オブザベーション・レシーバーHD3(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの右側で歪みトーンを測定













データシート



図 249. オブザベーション・レシーバーIIP3 (2f2 - f1) と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 122MHz、f2 = 2MHz

#### 2600MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 2600MHz に設定します。





図 251. トランスミッタ出力電力スペクトラム、 Tx1、5MHz LTE、10MHz オフセット、-10dBFS RMS、 1MHz 分解能帯域幅、T」= 25℃



図 252. 大信号帯域幅におけるトランスミッタのイメージ除去と ベースバンド・オフセット周波数の関係



図 253. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット



図 254. トランスミッタのパス・バンド平坦性とベースバンド・ オフセット周波数の関係



図 255. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、-10MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



ータシート

7

図 256. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、90MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



図 257.トランスミッタ 2 次高調波歪み(HD2)と トランスミッタ減衰の関係、10MHz オフセット



トランスミッタ減衰の関係、10MHz オフセット



図 259. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 260. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 491.52MSPS、 ループ・フィルタ帯域幅 = 500kHz、

ループ・フィルタ位相マージン=60°



図 261. トランスミッタ OIP3 (2f1 - f2) とトランスミッタ減衰 の関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 50.5MHz、f2 = 55.5MHz



図 262. トランスミッタ OIP3 (2f2 - f1) とトランスミッタ減衰 の関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 50.5MHz、f2 = 55.5MHz



図 263. トランスミッタ OIP3(2f1 - f2)とf1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 264. トランスミッタ OIP3(2f2 - f1)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 265. トランスミッタ OIP3(2f1 + f2)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 266. トランスミッタ OIP3(2f2 + f1)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB





TRANSMITTER TO OBSERVATION RECEIVER ISOLATION (dB)

ータシート

7

TRANSMITTER TO TRANSMITTER ISOLATION (dB)
















図 281. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 282. レシーバーDC オフセットとレシーバー減衰の関係、 20MHz オフセット、-5dBFS 入力信号



図 283. レシーバーDC オフセットとレシーバーLO 周波数の 関係、20MHz オフセット、-5dBFS 入力信号



図 284. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 285. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の右側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 286. レシーバーHD3(左側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の左側で歪みトーンを 測定



図 287. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定



どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 289. レシーバーIIP2(f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 290. レシーバーIIP2(f1 + f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 291. レシーバーIIP2(f1 - f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz







図 295. レシーバーIIP3 (2f2 + f1) とトーン 2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 296. レシーバーIIP3(2f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz







図 298. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 299. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 300. レシーバーIIP3 (2f1 - f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 301. レシーバーIIP3(2f2-f1)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 302. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、サンプル・ レート = 245.76MSPS、ループ・フィルタ帯域幅 = 500kHz、 ループ・フィルタ位相マージン = 60°





-タシート











図 307.オブザベーション・レシーバー積分ノイズ指数とベース バンド・オフセット周波数の関係、450MHz 帯域幅、サンプル・ レート = 491.52MSPS、200kHz ステップで積分



図 308. オブザベーション・レシーバーLO リークと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS









図 316. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS



図 317. オブザベーション・レシーバーHD2(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの左側で歪みトーンを測定



ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の右側で歪みトーンを測定



図 319. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



















図 336. オブザベーション・レシーバーIIP3(2f2 - f1)と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 122MHz、f2 = 2MHz

#### 3800MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 3800MHz に設定します。





図 338. トランスミッタ出力電力スペクトラム、Tx1、 5MHz LTE、10MHz オフセット、-10dBFS RMS、 1MHz 分解能帯域幅、T」= ステップ 25℃ (3600MHz でのステップ、スペクトラム・アナライザによる)

FREQUENCY (MHz)



図 339. 大信号帯域幅におけるトランスミッタのイメージ除去と ベースバンド・オフセット周波数の関係



図 340. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット周波数



オフセット周波数の関係



図 342. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、-10MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



-タシート

図 343. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、90MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



図 344. トランスミッタ 2 次高調波歪み(HD2) と トランスミッタ減衰の関係、10MHz オフセット







図 346. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 347. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 491.52MSPS、 ループ・フィルタ帯域幅 = 200kHz、 ループ・フィルタ位相マージン = 60°





25607-281

190

150

170

170

190

150



トーンあたりのデジタル・バック・オフ:15dB

データシート







図 363. レシーバー・ゲインとレシーバー減衰の関係、20MHz オフセット、200MHz 帯域幅、サンプル・レート = 245.76MSPS



図 364. レシーバー・ゲインとレシーバーLO 周波数の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS



図 365. レシーバー・ゲインのステップ誤差とレシーバー減衰の 関係、20MHz オフセット、-5dBFS 入力信号





図 367. レシーバー・イメージとベースバンド・オフセット 周波数の関係、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 368. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 369. レシーバーDC オフセットとレシーバー減衰の関係、 20MHz オフセット、-5dBFS 入力信号、 サンプル・レート = 245.76MSPS



図 370. レシーバーDC オフセットとレシーバーLO 周波数の 関係、減衰 = 0dB、サンプル・レート = 245.76MSPS



図 371. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 372. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の右側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 373. レシーバーHD3(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定



図 374. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定



図 375. レシーバーIIP2(f1 + f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz















図 379. レシーバーIIP2(f1 + f2)とレシーバー減衰の関係、 どちらのトーンも-11dBFS、f1 = 92MHz、f2 = 2MHz



図 380. レシーバーIIP2 (f1 - f2) とレシーバー減衰の関係、 どちらのトーンも-11dBFS、f1 = 92MHz、f2 = 2MHz







図 382. レシーバーIIP3 (2f2 + f1) とトーン2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 383. レシーバーIIP3 (2f1 - f2) とトーン 2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz







図 385. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 386. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz





図 388. レシーバーIIP3 (2f2 - f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 389. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、サンプル・ レート = 245.76MSPS、ループ・フィルタ帯域幅 = 200kHz、 ループ・フィルタ位相マージン = 60°



ループ帯域幅 = 75kHz、位相マージン = 85º



-タシート











図 394. オブザベーション・レシーバー積分ノイズ指数と ベースバンド・オフセット周波数の関係、450MHz 帯域幅、 サンプル・レート = 491.52MSPS、200kHz ステップで積分



図 395. オブザベーション・レシーバーLO リークと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS









図 399. 正規化したオフリベーション・レシーバー平坦性と ベースバンド・オフセット周波数の関係、−10dBFS 入力信号





図 401.オブザベーション・レシーバー・イメージと オブザベーション・レシーバー減衰の関係、 45MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 491.52MSPS



サンプル・レート = 491.52MSPS

#### ADRV9029



図 403. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS



図 404. オブザベーション・レシーバーHD2(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



ベースバンド・オフセット周波数の関係、-10dBFS 入力信号、 0Hz の右側で歪みトーンを測定



図 406. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



図 407. オブザベーション・レシーバーHD3(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の右側で歪みトーンを測定



どちらのトーンも-13dBFS、f1 = f2 + 2MHz













図 423. オブザベーション・レシーバーIIP3 (2f2 - f1) と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 122MHz、f2 = 2MHz

#### 4800MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 4800MHz に設定します。







図 427. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット周波数



図 428. トランスミッタのパス・バンド平坦性とベースバンド・ オフセット周波数の関係



図 429. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、-10MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



ータシート

7









トランスミッタ減衰の関係、10MHz オフセット



図 433. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 434. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 491.52MSPS、

ループ・フィルタ帯域幅 = 400kHz、 ループ・フィルタ位相マージン = 60°







ータシート





図 437. トランスミッタ OIP3 (2f1 - f2) と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 439. トランスミッタ OIP3 (2f1 + f2) と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 440. トランスミッタ OIP3(2f2 + f1)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



### **ADRV9029**





積分帯域幅 = 500kHz~100MHz







-タシート

図 454. レシーバー・イメージとベースバンド・オフセット 周波数の関係、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 455. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



<sup>20</sup>MHz オフセット、-5dBFS 入力信号、 サンプル・レート = 245.76MSPS







図 458. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の左側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 459. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の右側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)

385



-タシート





図 461. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定











図 464. レシーバーIIP2(f1 + f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz





図 466. レシーバーIIP2(f1 + f2)とレシーバー減衰の関係、 どちらのトーンも-11dBFS、f1 = 92MHz、f2 = 2MHz



図 467. レシーバーIIP2 (f1 - f2) とレシーバー減衰の関係、 どちらのトーンも-11dBFS、f1 = 92MHz、f2 = 2MHz















#### **ADRV9029**

#### 35 30 (dBm) RECEIVER IIP3, 2f1 + f2 25 20 +25°C, Rx1 40°C, Rx1 +110°C, Rx1 15 -40°C, Rx2 -40°C, Rx3 40°C, Rx4 – +25°C, Rx4 - +110°C, Rx4 10 401 10 15 20 25 30 35 40 25607-TWO-TONE FREQUENCY SPACING (MHz)

図 472. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 473. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz







図 475. レシーバーIIP3 (2f2 - f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 476. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、サンプル・ レート = 245.76MSPS、ループ・フィルタ帯域幅 = 400kHz、 ループ・フィルタ位相マージン = 60<sup>o</sup>















-タシート

図 486. 正規化したオブザベーション・レシーバー平坦性と ベースバンド・オフセット周波数の関係、-10dBFS 入力信号



-40


### ADRV9029



ータシート





図 491. オブザベーション・レシーバーHD2(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



0Hzの右側で歪みトーンを測定



図 493. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の左側で歪みトーンを測定



図 494. オブザベーション・レシーバーHD3(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hz の右側で歪みトーンを測定



### **ADRV9029**

25607-428

5607-425

25607-430

30

30













#### 5700MHz 帯域

温度設定はダイ温度を表します。特に指定のない限り、すべての LO 周波数は 5700MHz に設定します。







図 512. トランスミッタ出力電力スペクトラム、Tx1、 5MHz LTE、10MHz オフセット、-10dBFS RMS、 1MHz 分解能帯域幅、T」= 25℃



図 513. 大信号帯域幅におけるトランスミッタのイメージ除去と ベースバンド・オフセット周波数の関係



図 514. トランスミッタ・ノイズとトランスミッタ減衰の関係、 10MHz オフセット周波数



図 515. トランスミッタのパス・バンド平坦性とベースバンド・ オフセット周波数の関係



図 516. 隣接チャンネル電力レベルとトランスミッタ減衰の 関係、-10MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB

### **ADRV9029**



ータシート

7

図 517 .隣接チャンネル電力レベルとトランスミッタ減衰の 関係、90MHz ベースバンド・オフセット、20MHz LTE、 PAR = 12dB



図 518. トランスミッタ 2 次高調波歪み(HD2)と トランスミッタ減衰の関係、10MHz オフセット







図 520. トランスミッタ減衰器のステップ誤差とトランスミッタ 減衰の関係、10MHz オフセット



図 521. トランスミッタ誤差ベクトルの大きさとトランスミッタ 減衰の関係、LO 周波数を中心とする 20MHz LTE 信号、 サンプル・レート = 491.52MSPS、 ループ・フィルタ帯域幅 = 400kHz、 ループ・フィルタ位相マージン = 60°



図 522. トランスミッタ OIP3 (2f1 - f2) とトランスミッタ減衰 の関係、トーンあたりのデジタル・バック・オフ:15dB、 f1 = 50.5MHz、f2 = 55.5MHz







図 524. トランスミッタ OIP3 (2f1 - f2) と f1 ベースバンド オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 526. トランスミッタ OIP3(2f1 + f2)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB



図 527. トランスミッタ OIP3(2f2 + f1)と f1 ベースバンド・ オフセット・トーン周波数の関係、f2 = f1 + 5MHz、 トーンあたりのデジタル・バック・オフ:15dB





図 529. トランスミッタ〜トランスミッタ間のアイソレーション とトランスミッタ LO 周波数の関係



図 530. トランスミッタ~レシーバー間のアイソレーションと レシーバーLO 周波数の関係



アイソレーションとトランスミッタ LO 周波数の関係





図 534. レシーバー積分ノイズ指数とレシーバーLO 周波数の 関係、200MHz 帯域幅、サンプル・レート = 245.76MSPS、 積分帯域幅 = 500kHz~100MHz

### **ADRV9029**





RECEIVER GAIN (dB)

RECEIVER LO FREQUENCY (MHz) 図 538. レシーバー・ゲインとレシーバーLO 周波数の関係、 200MHz 帯域幅、サンプル・レート = 245.76MSPS



図 539. レシーバー・ゲインのステップ誤差とレシーバー減衰の 関係、20MHz オフセット、-5dBFS 入力信号



15

**RECEIVER ATTENUATION (dB)** 

20

25

オフセット周波数の関係、-5dBFS 入力信号

25607-466

30

-10

-15

0

5

10

図 537. レシーバー・ゲインとレシーバー減衰の関係、 20MHz オフセット、200MHz 帯域幅、 サンプル・レート = 245.76MSPS

### **ADRV9029**



図 541. レシーバー・イメージとベースバンド・オフセット 周波数の関係、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 542. レシーバー・イメージとレシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 245.76MSPS



図 543. レシーハーDC オフセットとレシーハー減衰の関係、 20MHz オフセット、-5dBFS 入力信号、 サンプル・レート = 245.76MSPS



図 544. レシーバーDC オフセットとレシーバーLO 周波数の 関係、減衰 = 0dB、サンプル・レート = 245.76MSPS



図 545. レシーバーHD2(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)



図 546. レシーバーHD2(右側)とベースバンド・オフセット 周波数の関係、-5dBFS 入力信号、0Hz の右側で歪みトーンを 測定(HD2 キャンセラー:イネーブルしない)

472

5607-



図 547. レシーバーHD3(左側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの左側で歪みトーンを 測定



図 548. レシーバーHD3(右側)とベースバンド・オフセット 周波数の関係、-5dBFS入力信号、0Hzの右側で歪みトーンを 測定



どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 550. レシーバーIIP2(f1 - f2)とトーン2周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 551. レシーバーIIP2(f1 + f2)とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



















図 556. レシーバーIIP3 (2f2 + f1) とトーン 2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz







図 558. レシーバーIIP3 (2f2 - f1) とトーン2 周波数の関係、 どちらのトーンも-11dBFS、f1 = f2 + 2MHz



図 559. レシーバーIIP3 (2f1 + f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 560. レシーバーIIP3 (2f2 + f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 561. レシーバーIIP3 (2f1 - f2) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 562. レシーバーIIP3 (2f2 - f1) とツー・トーン周波数間隔の 関係、どちらのトーンも-11dBFS、f2 = 2MHz



図 563. レシーバー誤差ベクトルの大きさとレシーバー入力電力 の関係、LO 周波数を中心とする 20MHz LTE 信号、サンプル・ レート = 245.76MSPS、ループ・フィルタ帯域幅 = 400kHz、 ループ・フィルタ位相マージン = 60°



= 75kHz、位相マージン = 85°

















図 569. オブザベーション・レシーバーLO リークと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS







図 572. オブザベーション・レシーバー・ゲインのステップ誤差 とオブザベーション・レシーバー減衰の関係、 45MHz オフセット、-10dBFS 入力信号



図 573. 正規化したオブザベーション・レシーバー平坦性と ベースバンド・オフセット周波数の関係、-10dBFS 入力信号







図 575. オブザベーション・レシーバー・イメージと オブザベーション・レシーバー減衰の関係、 20MHz オフセット、トラッキング・キャリブレーション: アクティブ、サンプル・レート = 491.52MSPS





図 577. オブザベーション・レシーバーDC オフセットと オブザベーション・レシーバーLO 周波数の関係、減衰 = 0dB、 サンプル・レート = 491.52MSPS







図 579. オブザベーション・レシーバーHD2(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの右側で歪みトーンを測定



図 580. オブザベーション・レシーバーHD3(左側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの左側で歪みトーンを測定



図 581. オブザベーション・レシーバーHD3(右側)と ベースバンド・オフセット周波数の関係、-10dBFS入力信号、 0Hzの右側で歪みトーンを測定

















図 597. オブザベーション・レシーバーIIP3(2f2 - f1)と オブザベーション・レシーバー減衰の関係、 どちらのトーンも-13dBFS、f1 = 122MHz、f2 = 2MHz

### ADRV9029

### 動作原理 一般特性

ADRV9029は高集積の RF トランシーバーで、幅広いアプリケー ションに合わせて構成することができます。このデバイスは、 トランスミッタ、トラフィック・レシーバー、オブザベーショ ン・レシーバー用のあらゆる機能を 1 つのデバイスで提供する ために必要な RF ブロック、ミックスドシグナル・ブロック、お よびデジタル・ブロックをすべて内蔵しています。設定を変更 できるので、周波数分割多重(FDD)モードと時分割多重 (TDD)モードで、様々な3G/4G/5Gセルラ標準に使用できるよ うに調整が可能です。

4 つのオブザベーション・レシーバー・チャンネルがトランス ミッタ出力をモニタして、DCオフセット、直交誤差、およびト ランスミッタLOリークのトラッキング補正を行い、温度や入力 信号条件が変化する環境下でも高い性能レベルを維持します。 デバイス付属のファームウェアがすべての初期化とキャリブレ ーションを行うので、ユーザがこれらの操作を行う必要はあり ません。更に、デバイスにはテスト・モードが組み込まれてい るので、システム設計者はプロトタイピング時に設計のデバッ グを行って、無線の構成を最適化することができます。

ADRV9029 は、送信チェーン用の 4 つの高速シリアル・インタ ーフェース (SERDES) リンクと、レシーバーとオブザベーシ ョン・レシーバーのチェーンによって共有される 4 つの高速リ ンク (JESD204B サブクラス 1 適合で JESD204C をサポート)を 内蔵しています。

#### トランスミッタ

ADRV9029 のトランスミッタ・セクションは独立して制御され る 4 つの同じチャンネルで構成されており、これらのチャンネ ルは共通の周波数シンセサイザを使用して、ダイレクト・コン バージョン・システムの実装に必要なすべてのデジタル処理ブ ロック、ミックスドシグナル・ブロック、および RF ブロックを 提供します。SERDES レーンからのデジタル・データは、一連 のプログラマブル・ハーフバンド・フィルタ、インターポレー ション段、および FIR フィルタが組み込まれたデジタル処理ブ ロックを通過します。FIR フィルタには、可変インターポレー ション・レートと最大 80 個のタップを備えたプログラマブル FIR フィルタが含まれています。このデジタル・チェーンの出 力は D/A コンバータ (DAC) に接続されています。DAC のサン プル・レートは最大 2.5GHz まで調整可能です。それぞれのトラ ンスミッタ・シグナル・チェーンの同相 (I) チャンネルと直交 (Q) チャンネルは、同じものです。

ベースバンド・アナログ信号への変換後、I信号とQ信号にはサ ンプリング・アーチファクトを除去するためのフィルタがかけ られ、その後にアップコンバージョン・ミキサーへ送られます。 各トランスミッタ・チェーンは、設計者が S/N 比 (SNR) を最 適化する際の助けとなるように、高分解能の広い減衰調整範囲 を備えています。

#### レシーバー

ADRV9029は、4つの独立したレシーバー・チャンネルを備えて います。各チャンネルには、RF 信号を受信し、更にこれらの信 号をベースバンド・プロセッサで使用可能なデジタル・データ に変換するために必要な、すべてのブロックが組み込まれてい ます。各レシーバーは、最大 200MHz の帯域幅をサポートする、 ダイレクト・コンバージョン・システムとして設定できます。 各チャンネルにはプログラマブル減衰器段が組み込まれており、 その後段にはマッチングの取られた I ミキサーと Q ミキサーが あります。これらのミキサーは、デジタル化のためにレシーバ ーの信号をベースバンドにダウンコンバートします。 以下に示すように、2 種類のゲイン制御オプションが使用可能 です。

- 手動ゲイン制御モードを管理するためのベースバンド・プロセッサを使って、ユーザ固有のゲイン制御アルゴリズムを実装できます。
- 内蔵の自動ゲイン制御(AGC)システムを使用できます。

性能は、それぞれのゲイン制御設定を、受信信号パス内の各調 整可能ゲイン・ブロックにおける特定の減衰レベルにマッピン グすることによって、最適化されます。更に、各チャンネルに は、独立した受信信号強度表示(RSSI)測定機能と DC オフセ ット・トラッキング機能に加えて、セルフ・キャリブレーショ ンに必要なすべての回路が組み込まれています。

レシーバーは A/D コンバータ (ADC) とサンプル・レート調整 機能を備えており、これらを使って受信信号からデータ・スト リームを生成します。信号は、一連のデシメーション・フィル タと、追加的なデシメーションが設定されたプログラマブル FIR フィルタによって、更にコンディショニングすることがで きます。各デジタル・フィルタ・ブロックのサンプル・レート は、必要な出力データ・レートを生成するためのデシメーショ ン係数を変更することによって調整できます。すべてのレシー バー出力は SERDES ブロックに接続されており、そこで、ベー スバンド・プロセッサへ送信するためにデータのフォーマット とシリアル化が行われます。

### オブザベーション・レシーバー

ADRV9029は、4つの独立したオブザベーション・レシーバー入 力を備えています。これらの入力は、ミキサー・ブロック、 ADC ブロック、およびフィルタリング・ブロックに関する限り、 標準レシーバー・チャンネルと同様に実装されています。主な 違いは、これらのレシーバーが最大 450MHz のオブザベーショ ン帯域幅で動作するということで、これにより、デジタル補正 アルゴリズムを実装するために必要なすべてのトランスミッ タ・チャンネル情報を受信できるようになっています。

各入力は、対応するトランスミッタ・チャンネルのフィードバ ック・モニタ・チャンネルとして使われます。トランスミッ タ・チャンネルとオブザベーション・チャンネルの可能な組み 合わせを表 14 に示します。

表 14. トランスミッタ・チャンネルとオブザベーション・ チャンネルの可能な組み合わせ

Transmitter Channel	Observation Channel
TX1±	AORX1± or ORX2±
TX2±	ORX1 $\pm$ or ORX2 $\pm$
TX3±	AORX3 $\pm$ or ORX4 $\pm$
TX4±	ORX3 $\pm$ or ORX4 $\pm$

### クロック入力

ADRV9029 の DEVCLK±ピンには差動クロックを接続する必要 があります。クロック入力の周波数は 15MHz~1000MHz でなけ ればなりません。また、この信号は RF LO と内部サンプリン グ・クロックを生成するので、位相ノイズも小さくなければな りません。

## ADRV9029

### シンセサイザ

ADRV9029 には、信号パス用の RF LO とすべての内部クロッ ク・ソースを生成するために、4 つのフラクショナル N PLL が 組み込まれています。この PLL のグループには、生成した LO 信号を送受信するための RF PLL が 2 つ、オブザベーション・レ シーバーが使用することのできる補助 PLL が 1 つ、そしてクロ ック PLL が 1 つ含まれています。各 PLL は独立して制御され、 周波数設定用の外付け部品は必要ありません。

#### RF シンセサイザ

2つの RF シンセサイザが、フラクショナル N PLL を使って、複数のレシーバー・チャンネルとトランスミッタ・チャンネル用 に RF LOを生成します。フラクショナル N PLL は4コアの内部 電圧制御発振器(VCO)とループ・フィルタを内蔵しており、 外付け部品を使用することなく低位相ノイズの信号を生成する ことができます。1つの内部 LO マルチプレクサ(mux)は、各 PLL がすべてのレシーバーとトランスミッタ、またはそのうち の1つに LOを供給することを可能にし(例えば LO1 からすべ てのトランスミッタ、LO2 からすべてのレシーバー)、TDD 動 作用にデバイスを設定する際に最大限の柔軟性を提供します。 複数デバイス上にあるLOの位相を同期させることができるので、 アクティブ・アンテナ・システムやビーム・フォーミングなど のアプリケーションにも対応可能です。

#### 補助シンセサイザ

補助シンセサイザは、シングル・コアの VCO フラクショナル N PLL を使用して、デバイスのキャリブレーションに必要な信号 を生成します。このブロックの出力は、別々の mux システムを 使用して、初期化時に様々な機能のキャリブレーションを行う ためにLOをルーティングします。補助シンセサイザは、オブザ ベーション・レシーバー用のLO信号生成に使用したり、レシー バー・シグナル・チェーン用のオフセットLOとして使用したり することも可能です。

#### クロック・シンセサイザ

ADRV9029 は、ベースバンドに関係するすべてのクロック信号 と SERDES クロックを生成する、シングル・コアのフラクショ ナル N PLL シンセサイザを内蔵しています。このフラクショナ ル N PLL は、システムのデータ・レート条件とサンプル・レー ト条件に基づいてプログラムされます。通常、システムはイン テジャー・モードで動作させる必要があります。

Np = 12の JESD204B 構成と JESD204C 構成では、SERDES ブロックに含まれる専用 PLL が SERDES クロックを生成します。

### SPI インターフェース

ADRV9029は、SPIを使ってベースバンド・プロセッサとの通信 を行います。このインターフェースは、受信専用ポートと送信 専用ポートを持つ4線式インターフェースとして設定するか、 双方向データ通信ポートを1つ持つ3線式インターフェースと して設定することができます。このバスにより、ベースバン ド・プロセッサは、単純なアドレス・データ・シリアル・バ ス・プロトコルを使って、すべてのデバイス制御パラメータを 設定することができます。

書込みコマンドは24ビット・フォーマットを使用します。最初 のビットはバス転送の方向を設定します。次の15ビットは、デ ータを書き込むアドレスを設定します。最後の8ビットは、特 定のレジスタ・アドレスへ転送されるデータです。

読出しコマンドも同様のフォーマットを使用します。異なるの は、最初の16ビットが SPI\_DIO ピンで転送される点と、4 線式 モードでは最後の8ビットが SPI\_DO ピンを介して ADRV9029 から読み出され、3 線式モードでは SPI\_DIO ピンを介して読み 出される点です。

### GPIO\_x ピン

ADRV9029 では、VIF を基準とする 19 個の汎用入出力信号 (GPIO) があり、様々な機能に合わせて設定できます。出力と して設定した場合は、特定のピンを使ってリアルタイムの信号 情報をベースバンド・プロセッサへ送り、ベースバンド・プロ セッサがレシーバーの性能を判定できるようにすることができ ます。ポインタ・レジスタは、どの情報をこれらのピンに出力 するかを選択します。

手動ゲイン・モード、キャリブレーション・フラグ、ステート・マシンのステータス、および様々なレシーバー・パラメータに使われる信号は、GPIO ピンでモニタすることができます。 更に、一部のGPIOピンは入力として設定し、リアルタイムでのレシーバー・ゲイン設定を始めとする様々な機能に使用することができます。

#### 補助コンバータ

#### GPIO\_ANA\_x/AUXDAC\_x

ADRV9029 は、8 個の同じ補助 DAC(AUXDAC\_x)によってマ ルチプレクスされる8つのアナログ GPIO(GPIO\_ANA\_xピン) を備えています。これらのアナログ GPIOポートは、他のアナロ グ・デバイスの制御や、VDDA\_1P8 電源を基準とする制御入力 の受信に使用できます。補助 DACは12ビット・コンバータで、 最大で 10mA を供給することができます。通常、これらの出力 は、アナログ制御入力を持つ他の関連部品にバイアス電流や可 変制御電圧を供給するために使われます。

#### AUXADC\_x

ADRV9029は2つの補助 ADCを内蔵しており、合計で4本の入 カピン(AUXADC\_x)を備えています。これらの補助 ADCは、 0.05V~0.95Vの入力電圧範囲で10ビットの単調増加性出力を供 給します。各補助 ADCは、イネーブルするとフリー・ランニン グ状態になります。ADCの出力値は、アプリケーション・プロ グラミング・インターフェース(API) コマンドによってレジ スタにラッチされます。ADRV9029は、組み込みのダイオード ベース温度センサーをサポートする ADC も内蔵しています。

#### デジタル・プリディストーション(DPD)

ADRV9029 は、トランスミッタ・パワー・アンプの出力を直線 化する DPD システムを内蔵しています。この直線化は、デジタ ル波形を変化させてパワー・アンプ応答の非直線性を補償する ことによって行います。DPD アクチュエータと係数計算エンジ ンは、共にデバイスに内蔵されています。このシステムは、 ORx チャンネルを使用してパワー・アンプの出力をモニタし、 出力を直線化するためにトランスミッタのデータ・パスに挿入 する必要のある、適切なプリディストーションを計算します。 組み込まれた DPD は、システムがパワー・アンプを飽和に近い 状態で駆動できるようにして、直線性を維持しながら、より高 い効率のパワー・アンプを実現することを可能にします。DPD は、出力電力の実効値が250mW~10Wのパワー・アンプに合わ せて最適化されています。DPD エンジンは高い設定自由度を備 えており、クロック・レートの全範囲にわたって動作させるこ とができます。これによって DPD システムをスケーリングする ことが可能になるので、このシステムはトランスミッタ帯域幅 内の様々なキャリア設定に対応することができます。DPD ブロ ックをイネーブルしたときに追加的に消費される電力は、チャ ンネルあたり 20mW(最小帯域幅)からチャンネルあたり 325mW(最大帯域幅)の範囲です。

#### DPD の改善例:2600MHz

DPD 性能の向上を図 598 (20MHz LTE 信号) と図 599 (100MHz 5G NR 信号) に示します。パワー・アンプは、特定デバイスにおける隣接チャンネル漏洩電力比 (ACLR) の改善を示すため に、20MHz LTE 信号と 100MHz 5G NR 信号の両方に Band 41 Skyworks SKY66398-11 高効率パワー・アンプを使用しました。

DPD を有効にした場合にこれら 2 つのシナリオにおいて実現された ACLR 改善の詳細を、表 15 と表 16 に示します。ACLR 改善の度合いは使用するパワー・アンプに大きく依存し、一般に信号帯域幅の拡大と共に低下します。

#### DPD の改善例:3500MHz

性能の向上を図 600 (20MHz LTE 信号) 、図 601 (100MHz 5G NR 信号) 、および図 602 (2×100MHz 5G NR 信号) に示します。 パワー・アンプは、特定デバイスにおける ACLR の改善を示す ために、20MHz LTE 信号、100MHz 5G NR 信号、および 2× 100MHz 5G NR 信号のすべてに NXP AFSC5G35D37 高効率パワ ー・アンプを使用しました。

DPD を有効にした場合に、これら 2 つのシナリオにおいて実現 された ACLR 改善の詳細を、表 15、表 16、表 17 に示します。 ACLR 改善の度合いは使用するパワー・アンプに大きく依存し、 一般に信号帯域幅の拡大と共に低下します。



図 598. 通常動作時(赤)と DPD 使用時(青)のトランスミッタ 出力スペクトル。20MHz LTE 信号、28dBm、LO = 2600MHz、 分解能帯域幅(R<sub>BW</sub>) = 100kHz







図 600. 通常動作時(赤)と DPD 使用時(青)のトランスミッタ 出力スペクトル。20MHz LTE 信号、37dBm、LO = 3500MHz、 R<sub>BW</sub> = 100kHz





**ADRV9029** 



出力スペクトル。2×100MHz 5G NR200 波形、37dBm、 LO = 3500MHz、R<sub>BW</sub> = 100kHz

#### 表 15. 20MHz LTE 波形での ACLR 比較、DPD 使用時と未使用時

	20 MHz Offset (dBc)		40	0 MHz Offset (dBc)	
Mode <sup>1</sup>	Lower	Upper	Lower	Upper	
2600 MHz					
Normal Operation	-38.6	-43.5	-54.4	-58.0	
DPD Activated	-60.3	-60.5	-63.2	-64.3	
3500 MHz					
Normal Operation	-31.9	-31.0	-45.9	-45.5	
DPD Activated	-60.7	-59.8	-62.6	-62.0	

<sup>1</sup> 波形は LTE E-UTRA (Evolved Universal Terrestrial Radio Access) テストモデル 3.1 (E-TM 3.1) で、PAR 8dB、CFR アクティブ、占有帯域幅 18.015MHz、LO = 2600MHz で出力 28dBm、LO = 3500MHz で出力 37dBm です。

#### 表 16. 100MHz 5G NR 波形での ACLR 比較、DPD 使用時と未使用時

	10	00 MHz Offset (dBc)	20	200 MHz Offset (dBc)	
Mode <sup>1</sup>	Lower	Upper	Lower	Upper	
2600 MHz					
Normal Operation	-31.9	-42.0	-46.5	-52.8	
DPD Activated	-49.5	-51.0	-52.4	-54.5	
3500 MHz					
Normal Operation	-30.8	-28.3	-43.9	-43.5	
DPD Activated	-50.9	-50.7	-52.8	-53.1	

<sup>1</sup> 波形は NR-FR1-TM3.1 64 QAM (mu = 1:30kHz サブキャリア間隔) で、PAR 8dB、CFR アクティブ、占有帯域幅 98.28MHz、LO =2600MHz で出力 28dBm、LO = 3500MHz で出力 37dBm です。

#### 表 17.2×100MHz 5G NR 波形での ACLR 比較、DPD 使用時と未使用時

	200 MHz Offset (dBc)		
Mode <sup>1</sup>	Lower	Upper	
3500 MHz			
Normal Operation	-27.5	-25.3	
DPD Activated	-49.0	-48.3	

<sup>1</sup> 波形は隣接する 2 つの NR-FR1-TM3.1 64 QAM (mu = 1:30kHz サブキャリア間隔) で、PAR & dB、CFR アクティブ、占有帯域幅 196.56MHz、出力 37dBm です。

### クレスト・ファクタ低減(CFR)

ADRV9029 には、パワー・アンプをより効率的に動作できるようにする低消費電力の CFR 機能が搭載されています。不定包絡線変調方式を使用する場合は、信号の PAR が大きくなる可能性があります。CFR アルゴリズムは PAR を小さくして、EVM や帯域外放射レベルなどの信号品質パラメータへの影響を最小限に抑えながら、パワー・アンプをより効率的に動作させることを可能にします。システム設計者は、これらの性能パラメータがシステム仕様の限度内に収まるように、CFR アルゴリズムを設定することができます。

### JTAG バウンダリ・スキャン

ADRV9029は、JTAGバウンダリ・スキャンをサポートしていま す。JTAGインターフェース関連のデュアル機能ピンは5本あり ます。表 18 にリストしたこれらのピンは、オンチップ・テス ト・アクセス・ポートへアクセスするために使用します。JTAG 機能を有効にするには、必要な JESD204B 同期信号をソフトウ ェア内にどのように設定するか(差動モードかシングルエン ド・モードか)に応じて、GPIO\_0 ピンから GPIO\_2 ピンまでを 表 19 に従って設定します。JTAG モードを有効にするには、 TEST EN ピンをハイにして VIF 電源に接続します。

## ADRV9029

表 18. デュアル機能のバウンダリ・スキャン・テスト・ピン							
記号	JTAG 記号	説明					
GPIO_14	ATRST <sup>E</sup>	テスト・アクセス・ポートの					
		リセット					
GPIO_15	TDO	テスト・データの出力					
GPIO_16	TDI	テスト・データの入力					
GPIO_17	TMS	テスト・アクセス・ポートの					
		モード選択					
GPIO_18	TCK	テスト・クロック					

#### <u>表 19. JTAG モード</u>

テスト・ ピン・レベル		該明
0	XXX <sup>1</sup>	通常動作
1	000	差動 JESD204B 同期信 号を使用する JTAG モ ード
1	011	シングルエンド JESD204B 同期信号を 使用する JTAG モード

<sup>1</sup>Xは任意の組み合わせを意味します。

### **ADRV9029**

## アプリケーション情報

### 電源シーケンス

ADRV9029 は、望ましくないパワーアップ電流を避けるために 特別なパワーアップ・シーケンスを必要とします。最適なパワ ーアップ・シーケンスでは、VDIG\_1P0 電源が最初にアクティ ブになります。VDIG\_1P0 が VDDA\_1P0 に電源を供給すれば、 その後はすべての 1.0V 電源を同時にパワーオンすることができ ます。

VDIG\_1P0が接続されていない場合、VDDA\_1P8、VDDA\_1P3、 および VDDA\_1P0 電源は、いずれも VDIG\_1P0 がアクティブに なった後でパワーアップする必要があります。VIF 電源は任意 の時点でパワーアップできます。

また、設定に先立ち、RESET信号は電源が安定した後にトグル することを推奨します。 パワーダウン・シーケンスを実行する場合は、デジタル制御ラ インのバック・バイアスを避けるために、VDIG\_1P0 を最後に パワーダウンしてください。シーケンシングを行わない場合は、 すべての電源を同時にパワーダウンすることを推奨します。

### データ・インターフェース

ADRV9029 のデジタル・データ・インターフェースは、JEDEC 規格の JESD204B サブクラス1と JESD204C を実装します。シリ アル・インターフェースは最大 24,330.24Mbpsの速度で動作しま す。様々な JESD インターフェース設定におけるパラメータの例 を、表 20、表 21、表 22 に示します。表 20、表 21、表 22 にそれ ぞれレポートされているインターフェース・レートについては、 その他の出力レート、帯域幅、およびレーン数もサポートされ ています。

$\pm 00.1 - \sigma$	ヽ <b>エ ヽヽ ユ エ エ フ カ ニ</b>	ノブルーナ 担人	$(\mathbf{M} - \mathbf{O})$		· · · · ·	7 1	
衣 20.4 リル	テヤノイルをドクナ	イノにしに吻合	(IVI = 0)	のレシーハーの1	ノダーノエ	ース・レー	- ト 0ノ19リ

Bandwidth (MHz)	Output Rate (MSPS)	JESD Np Parameter	JESD204B F Parameter	JESD204B Lane Rate (Mbps)	JESD204B Number of Lanes	JESD204C F Parameter	JESD204C Lane Rate (Mbps)	JESD204C Number of Lanes
40	61.44	16	16	9830.4	1	16	8110.08	1
60	76.8	16	16	12288	1	16	10137.6	1
100	122.88	16	8	9830.4	2	8	8110.08	2
150	184.32	16	4	7372.8	4	8	12165.12	2
200	245.76	16	4	9830.4	4	4	8110.08	4
200	245.76	12	3	7372.8	4	6	12165.12	2
200	245.76	12	6	14745.6	2	12	24330.24	1

表 21.4 つのチャンネルをアクティブにした場合(M=8)のトランスミッタのインターフェース・レート

Primary Signal Bandwidth (MHz)	Total Bandwidth (MHz)	Input Rate (MSPS)	JESD Np Parameter	JESD204B F Parameter	JESD204B Lane Rate (Mbps)	JESD204B Number of Lanes	JESD204C F Parameter	JESD204C Lane Rate (Mbps)	JESD204C Number of Lanes
50	113	122.88	16	8	9830.4	2	8	8110.08	2
75	150	184.32	16	4	7372.8	4	8	12165.12	2
100	225	245.76	16	4	9830.4	4	4	8110.08	4
100	225	245.76	12	3	7372.8	4	6	12165.12	2
200	450	491.52	12	3	14745.6	4	8	24330.24	2

表 22.1つのチャンネルをアクティブにした場合(M=2)のレシーバーのインターフェース・レート

Total Bandwidth (MHz)	Output Rate (MSPS)	JESD Np Parameter	JESD204B F Parameter	JESD204B Lane Rate (Mbps)	JESD204B Number of Lanes	JESD204C F Parameter	JESD204C Lane Rate (Mbps)	JESD204C Number of Lanes
150	184.32	16	4	7372.8	1	4	6082.56	1
225	245.76	16	4	9830.4	1	4	8110.08	1
225	245.76	12	3	7372.8	1	3	6082.56	1
250	307.2	16	4	12288	1	4	10137.6	1
300	368.64	16	2	7372.8	2	4	12165.12	1
450	491.52	16	2	9830.4	2	2	8110.08	2
450	491.52	12	3	14745.6	1	4	12165.12	1

## 外形寸法



### オーダー・ガイド

Model <sup>1, 2</sup>	Temperature Range <sup>3</sup>	Package Description	Package Option
ADRV9029BBCZ	-40°C to +110°C	289-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-289-6
ADRV9029BBCZ-REEL	-40°C to +110°C	289-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-289-6
ADRV9029-HB/PCBZ		High Band Evaluation Board for 2.8 GHz to 6 GHz	
ADRV9029-MB/PCBZ		Mid Band Evaluation Board for 650 MHz to 2.8 GHz	
ADRV9029-LB/PCBZ		Low Band Evaluation Board for 50 MHz to 1.0 GHz	
ADS9-V2EBZ		ADS9-V2 Motherboard	

<sup>1</sup>Z=RoHS 準拠製品

<sup>2</sup> ADRV9029-HB/PCBZ、ADRV9029-MB/PCBZ、または ADRV9020-LB/PCBZ 評価用ボードには、ADS9-V2EBZ マザーボード(別途注文)を使用する必要が あります。

3ジャンクション温度のセクションを参照してください。