



DC/DCコンバータ内蔵 クワッド・チャンネル・アイソレータ

データシート

ADuM6420A/ADuM6421A/ADuM6422A

特長

isoPower 内蔵の絶縁型 DC/DC コンバータ

100mA の出力電源

最大 5Mbps、最大負荷時の 2 層 PCB で、CISPR 32/EN550
32 Class B 放射制限に適合

4 本の DC~100Mbps 信号絶縁チャンネル

28 ピン、精細ピッチ、SOIC パッケージ（最小沿面距離
8.3mm）

高温動作：最高 125°C

高いコモンモード過渡耐圧：100kV/μs

安全性と規制に対する認定（申請中）

UL 認定（申請中）：

1 分間で 5000V（実効値）、UL 1577 規格に準拠

CSA Component Acceptance Notice 5A（申請中）

VDE V 0884-11 適合性認定（申請中）

$V_{IORM} = 566 \text{ V peak}$

アプリケーション

RS-232 トランシーバ

電源スタートアップ・バイアスとゲート・ドライブ

絶縁センサー・インターフェース

産業用プログラマブル・ロジック・コントローラ（PLC）

概要

ADuM6420A/ADuM6421A/ADuM6422A¹ は、isoPower[®]内蔵の絶縁型 DC/DC コンバータを組み込んだ 4 チャンネル・デジタル・アイソレータです。アナログ・デバイセズの iCoupler[®]技術をベースとした DC/DC コンバータは、安定化された絶縁型電源を提供します。これにより、フェライトを搭載した 2 層プリント回路基板（PCB）に最大の負荷がかかった場合でも、CISPR32/EN 55032 Class B 制限に適合する安定した電力が確保されます。よく使われる電圧の組合せと、それらに対応する出力電流レベルを表 1 に示します。

ADuM6420A/ADuM6421A/ADuM6422A を使用した 500mW の絶縁設計では、絶縁型 DC/DC コンバータを個別に用意する必要はありません。また、iCoupler チップスケール・トランス技術をロジック信号の絶縁と DC/DC

¹ 米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2020 Analog Devices, Inc. All rights reserved.

Rev. 0

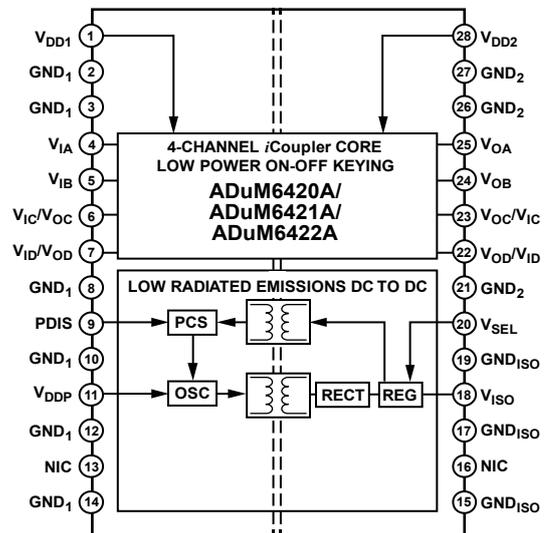
アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200

大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868

名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

機能ブロック図



NIC = NO INTERNAL CONNECTION. LEAVE THIS PIN FLOATING.

図 1.

コンバータの磁気部品両方に採用し、結果として、小型で全回路の絶縁を実現しています。

ADuM6420A/ADuM6421A/ADuM6422A アイソレータは、互いに独立した 4 つの絶縁チャンネルを備えています（詳細はピン配置およびピン機能の説明を参照）。

表 1. ADuM6420A/ADuM6421A/ADuM6422A の出力電流レベル

V_{DDP} (V)	V_{ISO} (V)	ISO Current, I_{ISO} (mA)		
		85°C	105°C	125°C
5	5	100	65	30
5	3.3	100	65	30

目次

特長	1	絶対最大定格	16
アプリケーション	1	ESD に関する注意	16
機能ブロック図	1	ピン配置およびピン機能の説明	17
概要	1	真理値表	20
改訂履歴	2	代表的な性能特性	21
仕様	3	用語の定義	24
電気的特性 — 5V 主入力電源 / 5V 二次絶縁電源	3	動作原理	25
電気的特性 — 5V 主入力電源 / 3.3V 二次絶縁電源	6	アプリケーション情報	26
電気的特性 — 3.3V 動作のデジタル・アイソレータ・		PCB レイアウト	26
チャンネルのみ	8	熱解析	27
電気的特性 — 2.5V 動作のデジタル・アイソレータ・		伝搬遅延に関するパラメータ	27
チャンネルのみ	10	EMI に関する考慮事項	27
電気的特性 — 1.8V 動作のデジタル・アイソレータ・		消費電力	27
チャンネルのみ	12	絶縁寿命	27
パッケージ特性	13	外形寸法	29
規制に対する認定	14	オーダー・ガイド	29
絶縁および安全性関連の仕様	14		
DIN V VDE V 0884-11 絶縁特性	15		
推奨動作条件	15		

改訂履歴

12/2019-Revision 0: 初版

仕様

電気的特性 - 5V 主入力電源 / 5V 二次絶縁電源

特に指定のない限り、すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = V_{DD2} = V_{ISO} = 5\text{V}$ で規定されます。最小 / 最大仕様には、 $4.5\text{V} \leq (V_{DD1}, V_{DDP}, V_{DD2}, V_{ISO}) \leq 5.5\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲が適用されます。特に指定がない限り、スイッチング仕様は、負荷容量 (C_L) = 15pF、相補型金属酸化膜半導体 (CMOS) 信号レベルで試験されます。

表 2. DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTERS SUPPLY						
Setpoint	V_{ISO}	4.75	5.0	5.25	V	ISO current (I_{ISO}) = 10 mA
Line Regulation	$V_{ISO}(\text{LINE})$		20		mV/V	$I_{ISO} = 50\text{ mA}$, $V_{DD1} = 4.5\text{ V to } 5.5\text{ V}$
Load Regulation	$V_{ISO}(\text{LOAD})$		1	5	%	$I_{ISO} = 10\text{ mA to } 90\text{ mA}$
Output Ripple	$V_{ISO}(\text{RIP})$		75		mV p-p	20 MHz bandwidth, bulk output capacitance (C_{BO}) = 0.1 μF 10 μF , $I_{ISO} = 90\text{ mA}$
Output Noise	$V_{ISO}(\text{NOISE})$		200		mV p-p	$C_{BO} = 0.1\ \mu\text{F}$ 10 μF , $I_{ISO} = 90\text{ mA}$
Switching Frequency	f_{OSC}		180		MHz	
Pulse-Width Modulation (PWM) Frequency	f_{PWM}		625		kHz	
Output Supply ¹	$I_{ISO}(\text{MAX})$	100			mA	$4.5\text{ V} < V_{ISO} < 5.25\text{ V}$
		50			mA	$4.75\text{ V} < V_{ISO} < 5.25\text{ V}$
Efficiency at $I_{ISO}(\text{MAX})$ ¹			34		%	$I_{ISO} = 100\text{ mA}$, $T_A = 25^\circ\text{C}$
V_{DD1} Supply Current						
No V_{ISO} Load	$I_{DDP}(\text{Q})$		14	25	mA	
Full V_{ISO} Load	$I_{DDP}(\text{MAX})$		310		mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

¹ 最大 V_{ISO} 出力電流は、 $T_A > 85^\circ\text{C}$ の場合、1.75mA/ $^\circ\text{C}$ でディレーティングされます。

表 3. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			10 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM6420A	I_{DD1}		4.9	8.7		5.5	9.5		8.0	12.2	mA	$C_L = 0\text{ pF}$
	I_{DD2}		1.5	2.5		2.3	3.6		8	11	mA	
ADuM6421A	I_{DD1}		4.2	8.4		4.5	8.5		8.0	12.0	mA	
	I_{DD2}		2.3	4.5		2.8	5.7		8.8	12	mA	
ADuM6422A	I_{DD1}		3.3	6.0		3.9	6.2		8.3	12.0	mA	
	I_{DD2}		3.0	6.0		4	6.5		9.5	13.5	mA	

表 4. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	10			ns	Within pulse width distortion (PWD) limit
Data Rate				100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	7.0	10	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		1	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			8.0	ns	Between any two units at the same temperature, voltage, and load

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Channel Matching						
Codirectional	t _{PSKCD}		1	5.0	ns	
Opposing Direction	t _{PSKOD}		1	5.0	ns	
Jitter			816		ps p-p	

表 5. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V _{IH}	0.7 × V _{DD1} or 0.7 × V _{DD2}			V	
Logic Low	V _{IL}			0.3 × V _{DD1} or 0.3 × V _{DD2}	V	
Output Voltage						
Logic High	V _{OH}	V _{DD1} - 0.2 or V _{DD2} - 0.2	V _{DD1} or V _{DD2}		V	I _{Ox} ¹ = -20 μA, V _{Ix} = V _{IxH} ²
Logic Low	V _{OL}	V _{DD1} - 0.5 or V _{DD2} - 0.5	V _{DD1} - 0.2 or V _{DD2} - 0.2	0.0 0.0	V V	I _{Ox} ¹ = -3.2 mA, V _{Ix} = V _{IxH} ² I _{Ox} ¹ = 20 μA, V _{Ix} = V _{IxL} ³
Undervoltage Lockout	UVLO					V _{DD1} , V _{DD2} , and V _{DDP} supply
Positive Going Threshold	V _{UV+}		1.6		V	
Negative Going Threshold	V _{UV-}		1.5		V	
Hysteresis	V _{UVH}		0.1		V	
Input Currents per Channel	I _I	-10	+0.01	+10	μA	0 V ≤ V _{Ix} ≤ V _{DDx}
Quiescent Supply Current						
ADuM6420A						
I _{DD1} (Q)			0.37	1.2	mA	V _{Ix} = Logic 0
I _{DD2} (Q)			1.2	1.9	mA	V _{Ix} = Logic 0
I _{DD1} (Q)			9.5	16	mA	V _{Ix} = Logic 1
I _{DD2} (Q)			1.5	2.5	mA	V _{Ix} = Logic 1
ADuM6421A						
I _{DD1} (Q)			0.5	1.4	mA	V _{Ix} = Logic 0
I _{DD2} (Q)			0.9	1.5	mA	V _{Ix} = Logic 0
I _{DD1} (Q)			7.5	14	mA	V _{Ix} = Logic 1
I _{DD2} (Q)			3.3	6.2	mA	V _{Ix} = Logic 1
ADuM6422A						
I _{DD1} (Q)			0.7	1.2	mA	V _{Ix} = Logic 0
I _{DD2} (Q)			0.72	1.3	mA	V _{Ix} = Logic 0
I _{DD1} (Q)			5.4	9.5	mA	V _{Ix} = Logic 1
I _{DD2} (Q)			5.3	9.7	mA	V _{Ix} = Logic 1
Dynamic Supply Current						
Input	I _{DD1} (D)		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	I _{DD0} (D)		0.02		mA/Mbps	Inputs switching, 50% duty cycle

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
AC SPECIFICATIONS						
Output Rise Time/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μ s	$V_{IX} = V_{DD1}$ or V_{ISO} , common-mode voltage (V_{CM}) = 1000 V, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μ s	$V_{IX} = 0$ V, $V_{CM} = 1000$ V, transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D です。

² V_{Ish} は入力側ロジック・ハイ・レベルです。

³ V_{Isl} は入力側ロジック・ロー・レベルです。

⁴ $|CM_H|$ は、電圧出力 (V_O) > $0.8V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8$ V を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電気的特性 - 5V 主入力電源 / 3.3V 二次絶縁電源

特に指定のない限り、すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DDP} = 5.0\text{V}$ 、 $V_{DD2} = V_{ISO} = 3.3\text{V}$ で規定されます。最小 / 最大仕様には、 $4.5\text{V} \leq (V_{DD1}, V_{DDP}) \leq 5.5\text{V}$ 、 $3.0\text{V} \leq (V_{DD2}, V_{ISO}) \leq 3.6\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲が適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS 信号レベルで試験されます。

表 6. DC/DC コンバータの静的仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTERS SUPPLY						
Setpoint	V_{ISO}	3.135	3.3	3.465	V	$I_{ISO} = 10\text{ mA}$
Line Regulation	V_{ISO} (LINE)		20		mV/V	$I_{ISO} = 50\text{ mA}$, $V_{DD1} = 3.0\text{ V to } 3.6\text{ V}$
Load Regulation	V_{ISO} (LOAD)		1	5	%	$I_{ISO} = 10\text{ mA to } 90\text{ mA}$
Output Ripple	V_{ISO} (RIP)		50		mV p-p	20 MHz bandwidth, $C_{BO} = 0.1\ \mu\text{F} \parallel 10\ \mu\text{F}$, $I_{ISO} = 90\text{ mA}$
Output Noise	V_{ISO} (NOISE)		130		mV p-p	$C_{BO} = 0.1\ \mu\text{F} \parallel 10\ \mu\text{F}$, $I_{ISO} = 90\text{ mA}$
Switching Frequency	f_{OSC}		180		MHz	
Pulse-Width Modulation Frequency	f_{PWM}		625		kHz	
Output Supply ¹	I_{ISO} (MAX)	100			mA	$3.465\text{ V} > V_{ISO} > 3.135\text{ V}$, $T_A \leq +105^\circ\text{C}$
Efficiency at I_{ISO} (MAX)			34		%	$I_{ISO} = 100\text{ mA}$
V_{DDP} Supply Current						
No V_{ISO} Load	I_{DDP} (Q)		14	20	mA	
Full V_{ISO} Load	I_{DDP} (MAX)				mA	
Thermal Shutdown						
Shutdown Temperature			154		$^\circ\text{C}$	
Thermal Hysteresis			10		$^\circ\text{C}$	

¹ 最大 V_{ISO} 出力電流は、 $T_A > 85^\circ\text{C}$ の場合、 $1.75\text{mA}/^\circ\text{C}$ でデイレートイングされます。

表 7. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			10 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM6420A	I_{DD1}	4.9	8.7		5.5	9.5		8.0	12.2		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.4	2.5		2.1	3.4		7.5	11		mA	
ADuM6421A	I_{DD1}	4.2	8.4		4.5	8.5		8.0	12.0		mA	
	I_{DD2}	2.1	4.4		2.7	5.6		8.0	11.6		mA	
ADuM6422A	I_{DD1}	3.3	6.0		3.9	6.2		8.3	12.0		mA	
	I_{DD2}	3.0	6.0		3.7	6.2		8.5	12		mA	

表 8. スイッチング仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	10			ns	Within PWD limit
Data Rate				100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	7.0	10	15	ns	50% input to 50% output
Pulse Width Distortion	PWD		1.0	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			8.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		1.0	5.0	ns	
Opposing Direction	t_{PSKOD}		1.0	5.0	ns	
Jitter			816		ps p-p	

表 9. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox}^1 = -20 \mu A$, $V_{Ix} = V_{IxH}^2$
		$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$		V	$I_{Ox}^1 = -3.2 \text{ mA}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^1 = 20 \mu A$, $V_{Ix} = V_{IxL}^3$
			0.0	0.4	V	$I_{Ox}^1 = 3.2 \text{ mA}$, $V_{Ix} = V_{IxL}^3$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0 \text{ V} \leq V_{Ix} \leq V_{DDx}$
Quiescent Supply Current						
ADuM6420A	$I_{DD1} (Q)$		0.37	1.2	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2} (Q)$		1.1	1.8	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1} (Q)$		9.5	16	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2} (Q)$		1.5	2.4	mA	$V_{Ix} = \text{Logic } 1$
ADuM6421A	$I_{DD1} (Q)$		0.5	1.4	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2} (Q)$		0.93	1.5	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1} (Q)$		7.5	14	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2} (Q)$		3.2	6.2	mA	$V_{Ix} = \text{Logic } 1$
ADuM6422A	$I_{DD1} (Q)$		0.7	1.2	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD2} (Q)$		0.8	1.2	mA	$V_{Ix} = \text{Logic } 0$
	$I_{DD1} (Q)$		5.4	9.5	mA	$V_{Ix} = \text{Logic } 1$
	$I_{DD2} (Q)$		5.3	9.6	mA	$V_{Ix} = \text{Logic } 1$
Dynamic Supply Current						
Input	$I_{DD1} (D)$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DD0} (D)$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μs	$V_{Ix} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{Ix} = 0 \text{ V}$, $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D です。² V_{IxH} は入力側ロジック・ハイ・レベルです。³ V_{IxL} は入力側ロジック・ロー・レベルです。⁴ $|CM_H|$ は、電圧出力 (V_O) > $0.8V_{DDx}$ に維持しながら持続できる共通モード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8V$ を維持しながら持続できる共通モード電圧の最大スルー・レートです。共通モード電圧スルー・レートは、立ち上がりと立ち下がり両方の共通モード電圧エッジに適用されます。

電気的特性 – 3.3V 動作のデジタル・アイソレータ・チャンネルのみ

特に指定のない限り、すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 3.3\text{V}$ 時の値です。最小/最大仕様は、 $3.0\text{V} \leq V_{DD1} \leq 3.6\text{V}$ 、 $3.0\text{V} \leq V_{DD2} \leq 3.6\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで指定されています。

表 10. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			10 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM6420A	I_{DD1}	4.8	8.5		4.9	9.0		7.0	11.0		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.4	2.5		2.1	3.4		7.5	11			
ADuM6421A	I_{DD1}	4.0	8.3		4.3	8.4		7.1	11.6			
	I_{DD2}	2.1	4.4		2.7	5.6		8.0	11.6			
ADuM6422A	I_{DD1}	3.1	6.0		3.6	6.2		7.4	11.0			
	I_{DD2}	3.0	6.0		3.7	6.2		8.5	12			

表 11. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	10			ns	Within PWD limit
Data Rate				100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	7.0	10	16	ns	50% input to 50% output
Pulse Width Distortion	PWD		1.0	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			8.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		1.0	5.0	ns	
Opposing Direction	t_{PSKOD}		1.0	5.0	ns	
Jitter			816		ps p-p	

表 12. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox}^1 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$		V	$I_{Ox}^1 = -3.2\ \text{mA}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^1 = 20\ \mu\text{A}$, $V_{Ix} = V_{Ixl}^3$
Logic Low	V_{OL}		0.0	0.4	V	$I_{Ox}^1 = 3.2\ \text{mA}$, $V_{Ix} = V_{Ixl}^3$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{I_x} \leq V_{DDx}$
Quiescent Supply Current						
ADuM6420A	$I_{DD1(Q)}$		0.34	1.2	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		1.1	1.8	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		9.5	16	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		1.5	2.4	mA	$V_{I_x} = \text{Logic 1}$
ADuM6421A	$I_{DD1(Q)}$		0.48	1.1	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.8	1.5	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		7.4	13.5	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		3.2	6.2	mA	$V_{I_x} = \text{Logic 1}$
ADuM6422A	$I_{DD1(Q)}$		0.65	1.2	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.7	1.2	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		5.3	9.5	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		5.4	9.6	mA	$V_{I_x} = \text{Logic 1}$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μs	$V_{I_x} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{I_x} = 0\text{ V}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D です。

² V_{IH} は入力側ロジック・ハイ・レベルです。

³ V_{IL} は入力側ロジック・ロー・レベルです。

⁴ $|CM_H|$ は、電圧出力 (V_O) > $0.8V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8\text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電気的特性 - 2.5V 動作のデジタル・アイソレータ・チャンネルのみ

特に指定のない限り、すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 2.5\text{V}$ 時の値です。最小/最大仕様は、 $2.25\text{V} \leq V_{DD1} \leq 2.75\text{V}$ 、 $2.25\text{V} \leq V_{DD2} \leq 2.75\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで指定されています。

表 13. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			10 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM6420A	I_{DD1}	4.8	8.5		4.8	9.0		6.4	11		mA $C_L = 0\text{ pF}$	
	I_{DD2}	1.4	2.3		2.0	3.3		6.5	9.5			
ADuM6421A	I_{DD1}	4.2	8.0		4.4	8.2		6.7	11.5			
	I_{DD2}	2.3	4.4		2.4	5.4		6.5	10			
ADuM6422A	I_{DD1}	3.0	6.0		3.4	6.1		6.4	9.5			
	I_{DD2}	3.0	6.0		3.4	6.1		6.4	9.5			

表 14. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	10			ns	Within PWD limit
Data Rate				100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	8.0	11	16	ns	50% input to 50% output
Pulse Width Distortion	PWD		1.0	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/°C	
Propagation Delay Skew	t_{PSK}			8.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		1.0	5.0	ns	
Opposing Direction	t_{PSKOD}		1.0	5.0	ns	
Jitter			816		ps p-p	

表 15. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{ISO}$ or $0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{ISO}$ or $0.3 \times V_{DD1}$	V	
Output Voltage						
Logic High	V_{OH}	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	V_{DD1} or V_{DD2}		V	$I_{Ox}^1 = -20\ \mu\text{A}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}	$V_{DD1} - 0.5$ or $V_{DD2} - 0.5$	$V_{DD1} - 0.2$ or $V_{DD2} - 0.2$	0.0	V	$I_{Ox}^1 = -3.2\ \text{mA}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^1 = 20\ \mu\text{A}$, $V_{Ix} = V_{IxL}^3$
Logic Low	V_{OL}		0.0	0.4	V	$I_{Ox}^1 = 3.2\ \text{mA}$, $V_{Ix} = V_{IxL}^3$
Undervoltage Lockout	UVLO					V_{DD1} , V_{DD2} , and V_{DDP} supply
Positive Going Threshold	V_{UV+}		1.6		V	
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{I_x} \leq V_{DDx}$
Quiescent Supply Current						
ADuM6420A	$I_{DD1(Q)}$		0.33	1.0	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		1.1	1.7	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		1.5	2.2	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		9.5	16	mA	$V_{I_x} = \text{Logic 1}$
ADuM6421A	$I_{DD1(Q)}$		0.5	1.0	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.9	1.5	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		7.4	13.5	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		3.2	6.2	mA	$V_{I_x} = \text{Logic 1}$
ADuM6422A	$I_{DD1(Q)}$		0.55	1.2	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.55	1.2	mA	$V_{I_x} = \text{Logic 0}$
	$I_{DD1(Q)}$		5.3	9.5	mA	$V_{I_x} = \text{Logic 1}$
	$I_{DD2(Q)}$		5.3	9.5	mA	$V_{I_x} = \text{Logic 1}$
Dynamic Supply Current						
Dynamic Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Dynamic Output	$I_{DDO(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μs	$V_{I_x} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{I_x} = 0\text{ V}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D です。

² V_{IH} は入力側ロジック・ハイ・レベルです。

³ V_{IL} は入力側ロジック・ロー・レベルです。

⁴ $|CM_H|$ は、電圧出力 (V_O) > $0.8V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8\text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

電気的特性 - 1.8V 動作のデジタル・アイソレータ・チャンネルのみ

特に指定のない限り、すべての代表的な仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DD2} = 1.8\text{V}$ 時の値です。最小/最大仕様は、 $1.7\text{V} \leq V_{DD1} \leq 1.9\text{V}$ 、 $1.7\text{V} \leq V_{DD2} \leq 1.9\text{V}$ 、および $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ の全推奨動作範囲に適用されます。特に指定がない限り、スイッチング仕様は、 $C_L = 15\text{pF}$ 、CMOS 信号レベルで試験されます。電源電流の仕様は 50% デューティ・サイクルで指定されています。

表 16. データ・チャンネルの電源電流仕様

Parameter	Symbol	1 Mbps			10 Mbps			100 Mbps			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT												
ADuM6420A	I_{DD1}	4.3	8.5		4.9	8.5		6.4	10.6		mA	$C_L = 0\text{ pF}$
	I_{DD2}	1.3	2.3		1.4	2.5		6.4	9.0		mA	
ADuM6421A	I_{DD1}	4.1	8.0		4.4	8.0		6.7	11.5		mA	
	I_{DD2}	2.3	4.4		2.6	5.3		6.5	9.5		mA	
ADuM6422A	I_{DD1}	3.0	6.0		3.4	6.2		6.2	9.0		mA	
	I_{DD2}	3.0	6.0		3.4	6.2		6.0	9.0		mA	

表 17. スwitching仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width	PW	10			ns	Within PWD limit
Data Rate				100	Mbps	Within PWD limit
Propagation Delay	t_{PHL} , t_{PLH}	8.0	12	17	ns	50% input to 50% output
Pulse Width Distortion	PWD		1.0	5.0	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			1.5		ps/ $^\circ\text{C}$	
Propagation Delay Skew	t_{PSK}			8.0	ns	Between any two units at the same temperature, voltage, and load
Channel Matching						
Codirectional	t_{PSKCD}		1.0	5.0	ns	
Opposing Direction	t_{PSKOD}		1.0	5.0	ns	
Jitter			816		ps p-p	

表 18. 入力特性と出力特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DDx}$			V	
Logic Low	V_{IL}				$0.3 \times V_{DDx}$	V
Output Voltages						
Logic High	V_{OH}	$V_{DDx} - 0.1$	V_{DDx}		V	$I_{Ox}^1 = -20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxH}^2$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox}^1 = -3.2\text{ mA}$, $V_{Ix} = V_{IxH}^2$
Logic Low	V_{OL}		0.0	0.1	V	$I_{Ox}^1 = 20\text{ }\mu\text{A}$, $V_{Ix} = V_{IxL}^3$
			0.2	0.4	V	$I_{Ox}^1 = 3.2\text{ mA}$, $V_{Ix} = V_{IxL}^3$
Undervoltage Lockout						
Positive Going Threshold	V_{UV+}		1.6		V	V_{DD1} , V_{DD2} , and V_{DDP} supply
Negative Going Threshold	V_{UV-}		1.5		V	
Hysteresis	V_{UVH}		0.1		V	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Input Currents per Channel	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IX} \leq V_{DDx}$
Quiescent Supply Current						
ADuM6420A	$I_{DD1(Q)}$		0.35	1.0	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD2(Q)}$		1.0	1.7	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD1(Q)}$		9.4	16	mA	$V_{IX} = \text{Logic 1}$
	$I_{DD2(Q)}$		1.4	2.2	mA	$V_{IX} = \text{Logic 1}$
ADuM6421A	$I_{DD1(Q)}$		0.5	1.0	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.9	1.4	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD1(Q)}$		7.5	13.5	mA	$V_{IX} = \text{Logic 1}$
	$I_{DD2(Q)}$		3.2	6.2	mA	$V_{IX} = \text{Logic 1}$
ADuM6422A	$I_{DD1(Q)}$		0.6	1.2	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD2(Q)}$		0.65	1.2	mA	$V_{IX} = \text{Logic 0}$
	$I_{DD1(Q)}$		5.3	9.5	mA	$V_{IX} = \text{Logic 1}$
	$I_{DD2(Q)}$		5.3	9.5	mA	$V_{IX} = \text{Logic 1}$
Dynamic Supply Current						
Input	$I_{DD1(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
Output	$I_{DD0(D)}$		0.01		mA/Mbps	Inputs switching, 50% duty cycle
AC SPECIFICATIONS						
Output Rise/Fall Time	t_R/t_F		2.5		ns	10% to 90%
Common-Mode Transient Immunity ⁴	$ CM_H $	75	100		kV/ μs	$V_{IX} = V_{DD1}$ or V_{ISO} , $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V
	$ CM_L $	75	100		kV/ μs	$V_{IX} = 0\text{ V}$, $V_{CM} = 1000\text{ V}$, transient magnitude = 800 V

¹ I_{Ox} はチャンネル x の出力電流で、x = A、B、C、または D です。

² V_{IXH} は入力側ロジック・ハイ・レベルです。

³ V_{IXL} は入力側ロジック・ロー・レベルです。

⁴ $|CM_H|$ は、電圧出力 (V_O) > $0.8V_{DDx}$ に維持しながら持続できるコモンモード電圧の最大スルー・レートです。 $|CM_L|$ は、 $V_O > 0.8\text{ V}$ を維持しながら持続できるコモンモード電圧の最大スルー・レートです。コモンモード電圧スルー・レートは、立ち上がりと立ち下がり両方のコモンモード電圧エッジに適用されます。

パッケージ特性

表 19. 熱特性と絶縁特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R_{I-O}		10 ¹³		Ω	
Capacitance (Input to Output) ¹	C_{I-O}		2.2		pF	Frequency = 1 MHz
Input Capacitance ²	C_I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ_{JA}		45		$^{\circ}\text{C/W}$	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces ³

¹ このデバイスは 2 端子デバイスとみなされます。すなわち、1 番ピン～14 番ピンが相互に短絡されており、15 番ピン～28 番ピンも相互に短絡されています。

² 入力容量は任意の入力データ・ピンとグラウンドの間の値です。

³ 熱モデルの定義については熱解析のセクションを参照してください。

規制に対する認定

表 20.

UL (Pending) ¹	CSA (Pending)	VDE (Pending) ²	CQC (Pending)
Recognized Under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	DIN V VDE V 0884-11 (VDE V 0884-11):2017-1	Certified under CQC11-471543-2012
Single Protection, 5000 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 830 V rms (1173 V peak) Reinforced insulation at 415 V rms (586 V peak) IEC 60601-1 Edition 3.1: Basic insulation (1 means of patient protection (2 MOPP)), 250 V rms CSA 61010-1-12 and IEC 61010-1 third edition: Basic insulation at 300 V rms mains, 815 V rms (1173 V peak) secondary Reinforced insulation at 300 V rms mains, 415 V rms (586 V peak)	Reinforced insulation 566 V peak, $V_{IOSM} = 6000$ V peak Transient voltage, $V_{IOTM} = 8000$ V peak	GB4943.1-2011: Basic insulation at 815 V rms (1173 V peak) Reinforced insulation at 415 V rms (586 V peak)
File E214100	File 205078	File (pending)	File (pending)

¹ UL 1577 に従い、それぞれの ADuM6420A/ADuM6421A/ADuM6422A には、6000V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています。

² DIN V VDE V 0884-11 に従い、それぞれの ADuM6420A/ADuM6421A/ADuM6422A には、1059V peak 以上の絶縁試験電圧を 1 秒間加える耐電圧テストを実施しています (部分放電検出の規定値 = 5pC)。デバイス表面のアスタリスク (*) マークは、DIN V VDE V 0884-11 認定製品であることを示します。

絶縁および安全性関連の仕様

表 21. 安全に関する重要な寸法と材料特性

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		5000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.3	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.3	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the PCB	L (PCB)	8.3	mm min	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5	μm min	Minimum distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>600	V	DIN IEC 112/VDE 0303, Part 1
Isolation Group		I		Material group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-11 絶縁特性

ADuM6420A/ADuM6421A/ADuM6422A は、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって確保されます。パッケージ表面に付いたアスタリスク (*) マーキングは、DIN V VDE V 0884-11 認定製品であることを表します。

表 22. VDE 特性

説明	テスト条件/コメント	記号	特性	単位
DIN VDE 0110 による設置カテゴリ 定格主電源電圧 ≤ 150Vrms 定格主電源電圧 ≤ 300Vrms 定格主電源電圧 ≤ 400Vrms			I to IV I to IV I to IV	
耐候性カテゴリ			40/125/21	
DIN VDE 0110, Table 1 による汚染度			2	
最大動作絶縁電圧		V_{IORM}	566	V peak
入力~出力テスト電圧、メソッド b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1059	V peak
入力~出力テスト電圧、メソッド a		V_{PR}		
環境テスト・サブグループ 1 に従う	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	849	V peak
入力および/または安全テスト・サブグループ 2 およびサブグループ 3 に従う	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	679	V peak
最大許容過電圧	Transient overvoltage, $t_{TR} = 10$ sec	V_{IOTM}	8000	V peak
絶縁電圧耐性	1-minute withstand rating	V_{ISO}	5000	V rms
強化サージ絶縁電圧	$V_{IOSM(TEST)} = 12.8$ kV; 1.2 μ s rise time; 50 μ s, 50% fall time	V_{IOSM}	8000	V peak
安全制限値	Maximum value allowed in the event of a failure (see Figure 2)			
ケース温度		T_s	150	°C
25°C での総消費電力		I_{S1}	2.78	W
T_s における絶縁抵抗	$V_{IO} = 500$ V	R_s	>10 ⁹	Ω

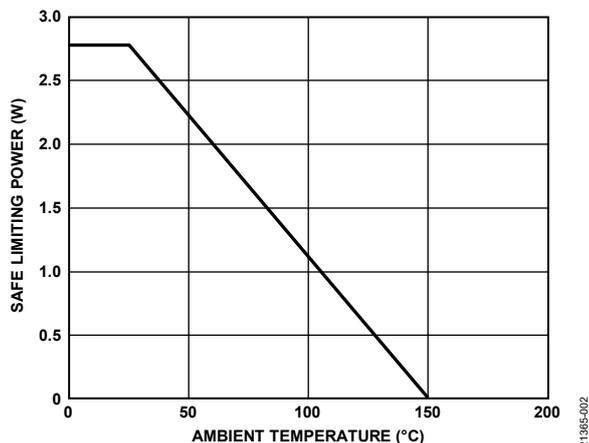


図 2. 熱ディレーティング曲線、DIN EN 60747-5-2 による安全限界値のケース温度に対する依存性

推奨動作条件

表 23.

Parameter	Min	Max	Unit
Operating Temperature (T_A) ¹	-40	+125	°C
Supply Voltages ²			
V_{DDP} at $V_{ISO} = 3.135$ V to 3.465 V	3.0	5.5	V
V_{DDP} at $V_{ISO} = 4.75$ V to 5.25 V	4.5	5.5	V
V_{DD1}, V_{DD2}	1.7	5.5	V

¹ 85°C を上回る温度で動作させるには、最大負荷電流を減らす必要があります。

² 各電圧は対応するグラウンドを基準にします。

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 24.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to $+150^\circ\text{C}$
Ambient Operating Temperature	-40°C to $+125^\circ\text{C}$
Supply Voltages (V_{DD1} , V_{DDP} , V_{DD2} , V_{ISO}) ¹	-0.5 V to $+7.0\text{ V}$
V_{ISO} Supply Current ²	100 mA
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID} , V_{SEL} , $PDIS$) ^{1,3}	-0.5 V to $V_{DD1} + 0.5\text{ V}$
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,3}	-0.5 V to $V_{DD0} + 0.5\text{ V}$
Average Output Current Per Data Output Pin ⁴	-10 mA to $+10\text{ mA}$
Common-Mode Transients ⁵	$-200\text{ kV}/\mu\text{s}$ to $+200\text{ kV}/\mu\text{s}$

¹すべての電圧は、対応するグラウンドを基準としています。

² V_{ISO} ピンは、 V_{ISO} 入力/出力チャンネルの DC 電流と動的負荷電流を供給します。 V_{ISO} の合計電源電流を決定するときは、この電流を含める必要があります。周囲温度が 85°C ~ 125°C では、最大許容電流が減少します。

³ V_{DD1} と V_{DD0} は、それぞれ所定のチャンネルの入力側と出力側の電源電圧を指します。PCB レイアウトのセクションを参照してください。

⁴ 様々な温度での最大定格電流値については、図 2 を参照してください。

⁵ コモンモード・トランジェントは、絶縁バリアをまたぐコモンモード・トランジェントを表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



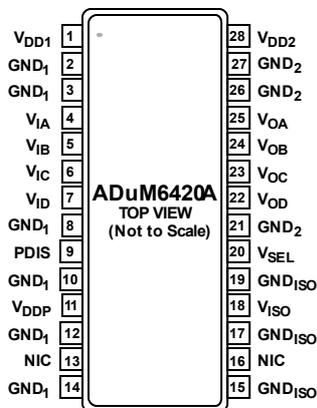
ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 25. VDE-0884-11¹による最大連続動作電圧

Parameter	Rating	Constraint
AC Voltage		
Bipolar Waveform		
Basic Insulation	636 V peak	
Reinforced Insulation	566 V peak	
Unipolar Waveform		
Basic Insulation	1130 V peak	
Reinforced Insulation	932 V peak	
DC Voltage		
Basic Insulation	1158 V peak	Lifetime limited by package creepage per IEC 60664-1
Reinforced Insulation	579 V peak	Lifetime limited by package creepage per IEC 60664-1

¹ 最大連続動作電圧は、絶縁バリアの両端にかかる連続電圧の大きさを表します。詳細については、絶縁寿命のセクションを参照してください。

ピン配置およびピン機能の説明

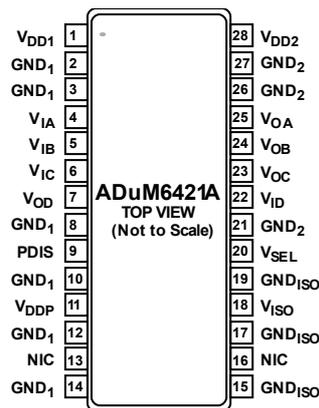


注意
1. NIC は内部で未接続を意味します。これらのピンは、内部で接続されません。

図 3. ADuM6420A のピン配置

表 26. ADuM6420A のピン機能の説明

ピン番号	記号	説明
1	VDD1	デバイスの 1 次側論理回路用電源。VDD1 には 100nF のバイパス・コンデンサが必要です。VDD1 は VDDP から独立しており、1.7V~5.5V の電源電圧で動作します。
2, 3, 8, 10, 12, 14	GND1	グラウンド 1。1 次側アイソレータのグラウンド・リファレンス。2 番ピン、3 番ピン、8 番ピン、10 番ピン、12 番ピン、および 14 番ピンは内部で接続されています。GND1 ピンは共通グラウンドに接続することを推奨します。
4	VIA	ロジック入力 A。
5	VIB	ロジック入力 B。
6	VIC	ロジック入力 C。
7	VID	ロジック入力 D。
9	PDIS	電源ディスエーブル。PDIS を GND1 に接続すると、パワー・コンバータがアクティブになります。PDIS にロジック・ハイ電圧が印加されると、電源は低消費電力のスタンバイ・モードになります。
11	VDDP	主電源電圧 (4.5V~5.5V)。VDDP と GND1 の間には 100nF および 10μF のバイパス・コンデンサが必要です。
13, 16	NIC	内部では未接続。これらのピンは、内部で接続されません。
15, 17, 19	GNDISO	2 次側の VISO 用グラウンド・リファレンス。GNDISO ピンは、まとめて接続することを推奨します。GNDISO ピンは内部で GND2 から絶縁されています。
18	VISO	外部負荷用の 2 次電源電圧出力。アイソレータ・チャンネルに電力を供給するには VDD2 に接続します。
20	VSEL	出力電圧の選択入力。5V 出力の場合は VSEL を VISO に接続し、3.3V 出力の場合は VSEL を GNDISO に接続します。
21, 26, 27	GND2	2 次側の VDD2 用グラウンド・リファレンス。GND2 ピンは、まとめて接続することを推奨します。GND2 ピンは内部で GNDISO から絶縁されています。
22	VOD	ロジック出力 D。
23	VOC	ロジック出力 C。
24	VOB	ロジック出力 B。
25	VOA	ロジック出力 A。
28	VDD2	デバイスの 2 次側論理回路用電源。VDD2 には 100nF のバイパス・コンデンサが必要です。VDD2 は VISO から独立しており、1.7V~5.5V の電源電圧で動作します。

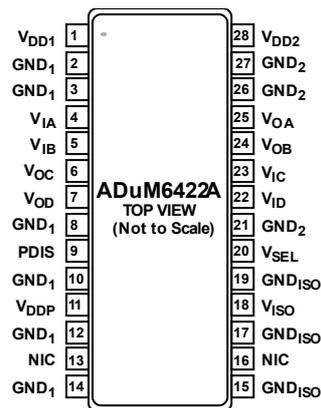


注意
1. NICは内部で未接続を意味します。これらのピンは、内部で接続されません。

図 4. ADuM6421A のピン配置

表 27. ADuM6421A のピン機能の説明

ピン番号	記号	説明
1	VDD1	デバイスの 1 次側論理回路用電源。VDD1 と GND1 の間には 0.10 μ F のバイパス・コンデンサが必要です。VDD1 は VDDP から独立しており、1.7V~5.5V の電源電圧で動作します。
2, 3, 8, 10, 12, 14	GND1	グラウンド 1。1 次側アイソレータのグラウンド・リファレンス。2 番ピン、3 番ピン、8 番ピン、10 番ピン、12 番ピン、および 14 番ピンは内部で接続されています。GND1 ピンは共通グラウンドに接続することを推奨します。
4	VIA	ロジック入力 A。
5	VIB	ロジック入力 B。
6	VIC	ロジック入力 C。
7	VOD	ロジック出力 D。
9	PDIS	電源ディスエーブル。PDIS を GND1 に接続すると、パワー・コンバータがアクティブになります。PDIS にロジック・ハイ電圧が印加されると、電源は低消費電力のスタンバイ・モードになります。
11	VDDP	DC/DC コンバータ電源電圧 (4.5V~5.5V)。VDDP と GND1 の間には 0.10 μ F および 10 μ F のバイパス・コンデンサが必要です。
13, 16	NIC	内部では未接続。これらのピンは、内部で接続されません。
15, 17, 19	GND1SO	絶縁型 DC/DC コンバータのグラウンド。GND1SO ピンは 1 つのフェライト・ビーズを介して PCB のグラウンドにまとめて接続します。GND1SO ピンは内部で GND2 から絶縁されています。
18	VISO	外部負荷用の 2 次電源電圧出力。VISO と GND1SO の間には 0.10 μ F および 10 μ F のコンデンサが必要です。VISO はフェライト・ビーズを介して外部負荷に接続します。
20	VSEL	出力電圧の選択入力。5V 出力の場合は VSEL を VISO に接続し、3.3V 出力の場合は VSEL を GND1SO に接続します。
21, 26, 27	GND2	2 次側の VDD2 用グラウンド・リファレンス。GND2 ピンは、まとめて接続することを推奨します。GND2 ピンは内部で GND1SO から絶縁されています。
22	VID	ロジック入力 D。
23	VOC	ロジック出力 C。
24	VOB	ロジック出力 B。
25	VOA	ロジック出力 A。
28	VDD2	デバイスの 2 次側論理回路用電源。VDD2 には 100nF のバイパス・コンデンサが必要です。VDD2 は VISO から独立しており、1.7V~5.5V の電源電圧で動作します。



注意
1. NICは内部で未接続を意味します。これらのピンは、内部で接続されません。

21365-005

図 5. ADuM6422A のピン配置

表 28. ADuM6422A のピン機能の説明

ピン番号	記号	説明
1	VDD1	デバイスの 1 次側論理回路用電源。VDD1 と GND1 の間には 0.10 μ F のバイパス・コンデンサが必要です。VDD1 は VDDP から独立しており、1.7V~5.5V の電源電圧で動作します。
2, 3, 8, 10, 12, 14	GND1	グラウンド 1。1 次側アイソレータのグラウンド・リファレンス。2 番ピン、3 番ピン、8 番ピン、10 番ピン、12 番ピン、および 14 番ピンは内部で接続されています。GND1 ピンは共通グラウンドに接続することを推奨します。
4	VIA	ロジック入力 A。
5	VIB	ロジック入力 B。
6	Voc	ロジック出力 C。
7	VOD	ロジック出力 D。
9	PDIS	電源ディスエーブル。PDIS を GND1 に接続すると、パワー・コンバータがアクティブになります。PDIS にロジック・ハイ電圧が印加されると、電源は低消費電力のスタンバイ・モードになります。
11	VDDP	DC/DC コンバータ電源電圧 (4.5V~5.5V)。VDDP と GND1 の間には 0.10 μ F および 10 μ F のバイパス・コンデンサが必要です。
13, 16	NIC	内部では未接続。これらのピンは、内部で接続されません。
15, 17, 19	GND1ISO	絶縁型 DC/DC コンバータのグラウンド。GND1ISO ピンは 1 つのフェライト・ビーズを介して PCB のグラウンドにまとめて接続します。GND1ISO ピンは内部で GND2 から絶縁されています。
18	VISO	外部負荷用の 2 次電源電圧出力。VISO と GND1ISO の間には 0.10 μ F および 10 μ F のコンデンサが必要です。VISO はフェライト・ビーズを介して外部負荷に接続します。
20	VSEL	出力電圧の選択入力。5V 出力の場合は VSEL を VISO に接続し、3.3V 出力の場合は VSEL を GND1ISO に接続します。
21, 26, 27	GND2	2 次側の VDD2 用グラウンド・リファレンス。GND2 ピンは、まとめて接続することを推奨します。GND2 ピンは内部で GND1ISO から絶縁されています。
22	VID	ロジック入力 D。
23	VIC	ロジック入力 C。
24	VOB	ロジック出力 B。
25	VOA	ロジック出力 A。
28	VDD2	デバイスの 2 次側論理回路用電源。VDD2 には 100nF のバイパス・コンデンサが必要です。VDD2 は VISO から独立しており、1.7V~5.5V の電源電圧で動作します。

真理値表

表 29. データ・セクション真理値表（正論理）

V _{DDI} State ¹	V _{Ix} Input ¹	V _{DDO} State ¹	V _{Ox} Output ¹	Notes
Powered	High	Powered	High	Normal operation, data is high.
Powered	Low	Powered	Low	Normal operation, data is low.
Don't care	Don't care	Unpowered	High-Z	Output is off.
Unpowered	Low	Powered	Low	Output default low.
Unpowered	High	Powered	Indeterminate	If a high level is applied to an input when no supply is present, the input can parasitically power the input side, causing unpredictable operation.

¹ V_{DDI} と V_{DDO} はそれぞれ、所定のチャンネルの入力側と出力側の電源電圧を指します。V_{Ix} と V_{Ox} は、所定のチャンネル（チャンネル A、チャンネル B、チャンネル C またはチャンネル D）の入出力信号を指します。

表 30. 電力セクション真理値表（正論理）

V _{DDP} (V)	V _{SEL} Input	PDIS Input	V _{ISO} (V)
5	High	Low	5
5	Don't care	High	0
5	Low	Low	3.3
5	Don't care	High	0

代表的な性能特性

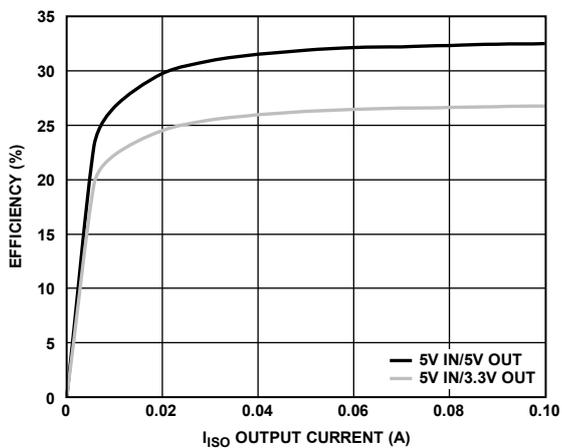


図 6. 5V/5V および 5V/3.3V での電源効率

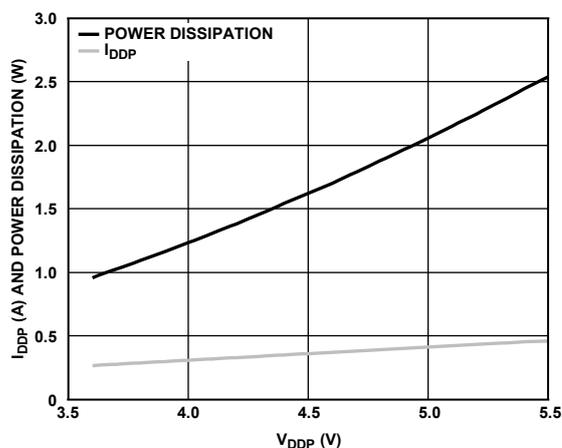


図 9. 短絡入力電流 (I_{DDP})、消費電力と V_{DDP} の関係

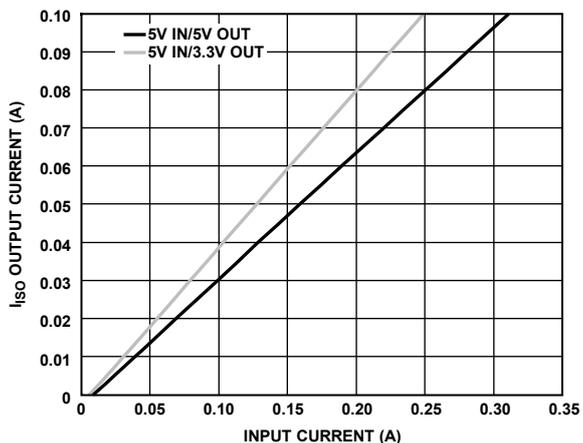


図 7. サポートされる電源構成での I_{ISO} 出力電流と入力電流の関係

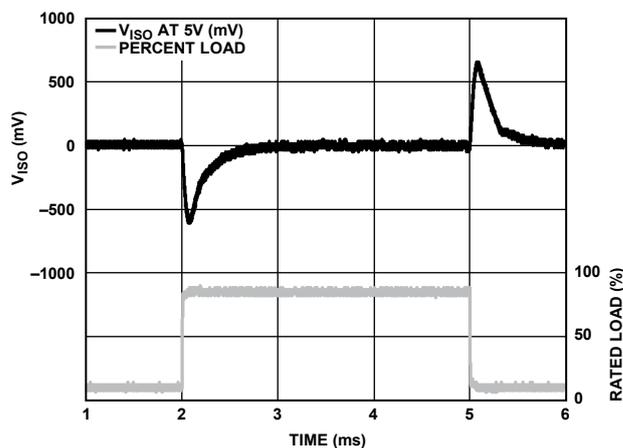


図 10. V_{ISO} の過渡負荷応答、5V 出力、10%~90%負荷ステップ

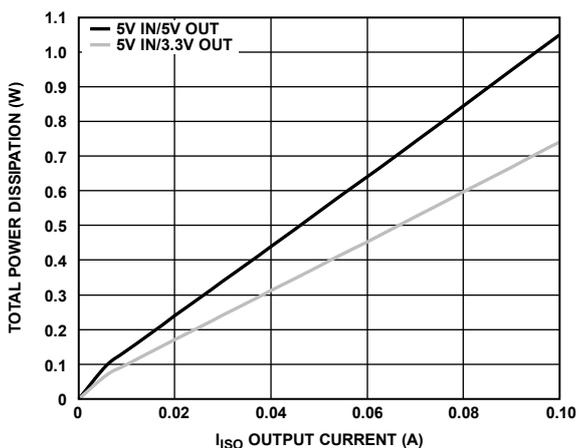


図 8. サポートされる電源構成での合計消費電力と I_{ISO} 出力電流の関係

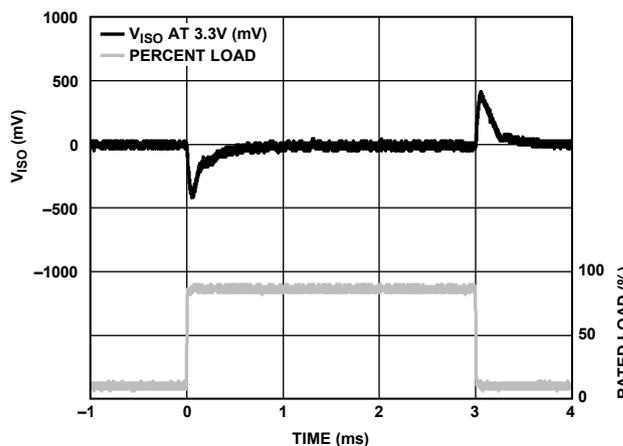


図 11. V_{ISO} 過渡負荷応答、入力 5V、出力 3.3V、10%~90%の負荷ステップ

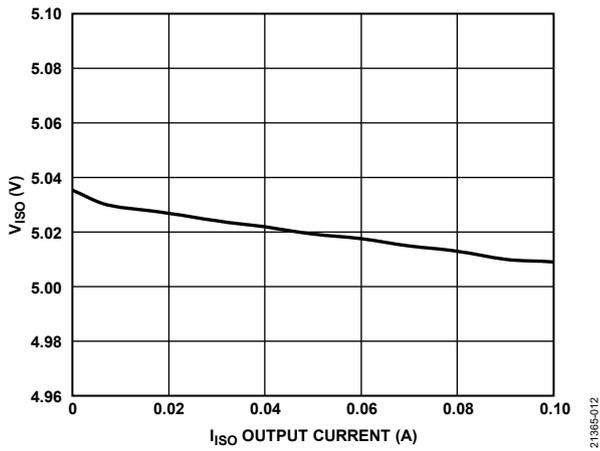


図 12. V_{ISO} と I_{ISO} 出力電流の関係、入力 = 5V、V_{ISO} = 5V

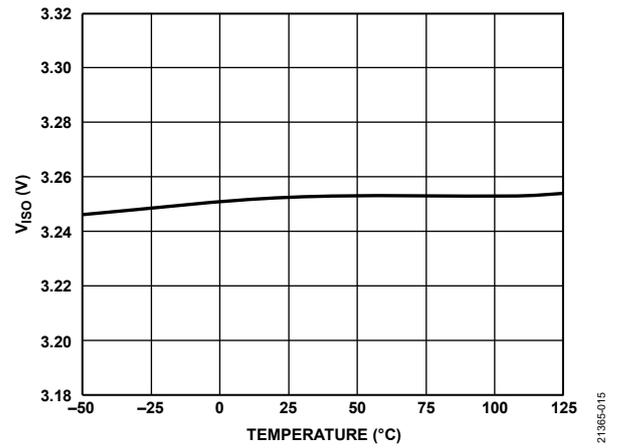


図 15. V_{ISO} と温度の関係、入力 = 3.3V、V_{ISO} = 3.3V

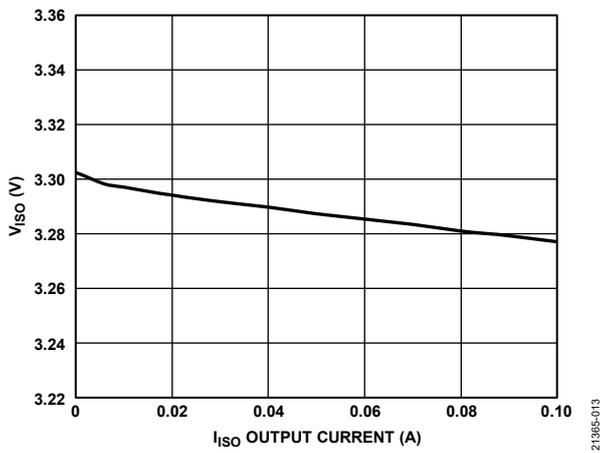


図 13. V_{ISO} と I_{ISO} 出力電流の関係、入力 = 5V、V_{ISO} = 3.3V

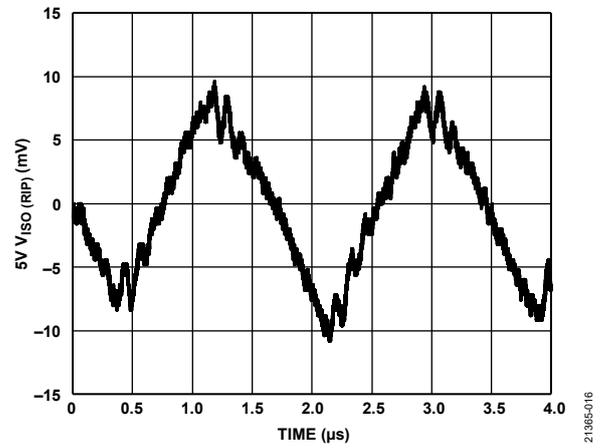


図 16. 90% 負荷での出力電圧リップル、V_{ISO} = 5V

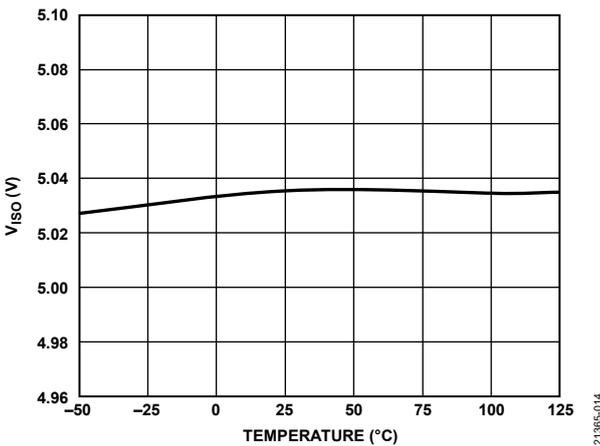


図 14. V_{ISO} と温度の関係、入力 = 5V、V_{ISO} = 5V

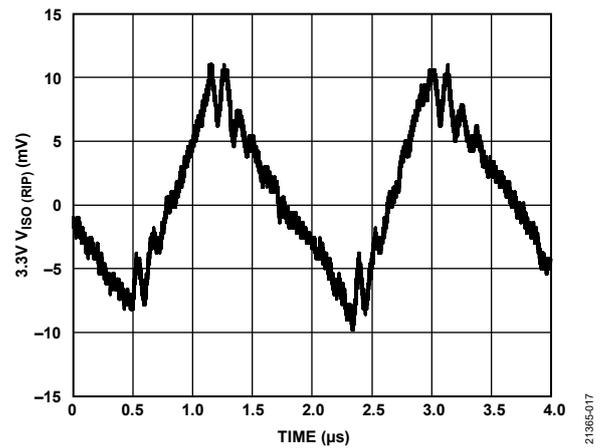


図 17. 90% 負荷での出力電圧リップル、V_{ISO} = 3.3V

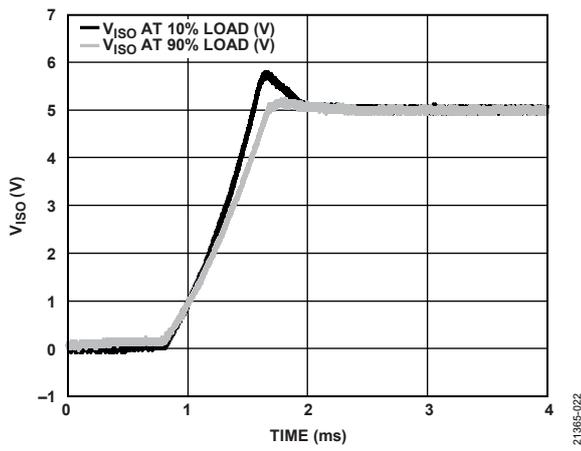


図 18. 入力 5V、出力 5V、 V_{iso} スタートアップ・トランジェント、10%と 90%の負荷

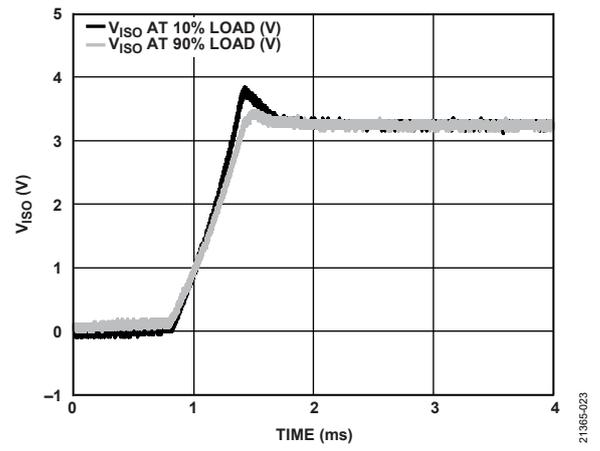


図 19. 入力 5V、出力 3.3V、 V_{iso} スタートアップ・トランジェント、10%と 90%の負荷

用語の定義

I_{DD1}

I_{DD1} は、デジタル・アイソレータの 1 次側に必要な電源電流です。

I_{DD2}

I_{DD2} は、デジタル・アイソレータの 2 次側に必要な電源電流です。

I_{DDP}

I_{DDP} は、絶縁型 DC/DC コンバータの 1 次側に必要な電源電流です。

I_{ISO}

I_{ISO} は、外部負荷に利用可能な絶縁型電源電流です。

伝搬遅延、t_{PHL}

t_{PHL} は、V_{Ix} 信号の立下がりエッジの 50% レベルから、V_{Ox} 信号の立下がりエッジの 50% レベルまでの間で測定されます。

伝搬遅延、t_{PLH}

t_{PLH} は、V_{Ix} 信号の立上がりエッジの 50% レベルから、V_{Ox} 信号の立上がりエッジの 50% レベルまでの間で計測されます。

伝搬遅延スキュー、t_{PSK}

t_{PSK} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷において、複数のユニットで測定した t_{PHL} および/または t_{PLH} の最も厳しい条件の差の大きさです。

チャンネル間マッチング、t_{PSKCD}/t_{PSKOD}

t_{PSKCD} は、等価な負荷で動作する同一方向の 2 チャンネル間の伝搬遅延の差の絶対値です。t_{PSKOD} は、反対方向に転送している 2 チャンネル間の伝搬遅延の差の絶対値です。

最小パルス幅

最小パルス幅は、仕様規定されたパルス幅歪みが保証される最小のパルス幅です。

最大データ・レート

最大データ・レートは、仕様規定されたパルス幅歪みが保証される最大のデータ・レートです。

動作原理

ADuM6420A/ADuM6421A/ADuM6422A の DC/DC コンバータの部分は、最近のほとんどの電源に共通する原理に基づいて動作します。

ADuM6420A/ADuM6421A/ADuM6422A は、絶縁型 PWM フィードバックを備えたスプリット・コントローラ・アーキテクチャを採用しています。V_{DDP} 電源は、チップ・スケール空芯トランスへの電流を切り替える発振回路に供給されます。2 次側に転送される電力は、V_{SEL} ピンの設定に応じて、3.3V または 5V に整流されて安定化されます。2 次 (V_{ISO}) 側のコントローラは、PWM 制御信号を生成することによって出力を安定化しますが、この制御信号は専用の iCoupler データ・チャンネルによって 1 次 (V_{DDP}) 側へ送られます。PWM は、2 次側に送る電力を制御するために発振回路を変調します。帰還により、極めて高い電力と効率が可能になります。

ADuM6420A/ADuM6421A/ADuM6422A は、1 次側および 2 次側の入出力ピンと V_{DDP} 電源入力に、ヒステリシス付きの低電圧ロックアウト (UVLO) を実装しています。この機能は、ノイズの多い入力電源や電源投入時の低速の電圧上昇が原因でコンバータが発振しないようにします。

デジタル・アイソレータ・チャンネルは、複数のポリイミド絶縁層で分離された iCoupler チップスケール・トランス・コイルを使用した絶縁バリアをまたいでデータを転送するのに、高周波搬送波を使用します。オンオフ・キーイング方式と、図 20 に示す差動構造を使用して、デジタル・アイソレータ・チャンネルは低い伝搬遅延と高い速度を実現しています。また、内蔵レギュレータと入出力設計手法により、1.7V~5.5V の幅広いロジック電圧と電源電圧に対応でき、1.8V、2.5V、3.3V、および 5V ロジックの電圧変換機能を実現します。このアーキテクチャは、高いコモンモード過渡耐圧を備え、電気ノイズや磁気干渉に対して高い耐性を発揮するように設計されています。放射妨害波は、スペクトラム拡散オンオフ・キーイング搬送波その他の手法によって最小限に抑えられています。

デジタル・アイソレータ・チャンネルの波形を図 20 に示します。このチャンネルはフェールセーフ出力状態の条件がロー・レベルで、入力状態がロー・レベルになると搬送波の波形がオフになります。入力側がオフの場合や動作していない場合は、ロー・レベルのフェールセーフ出力状態により、出力がロー・レベルに設定されます。

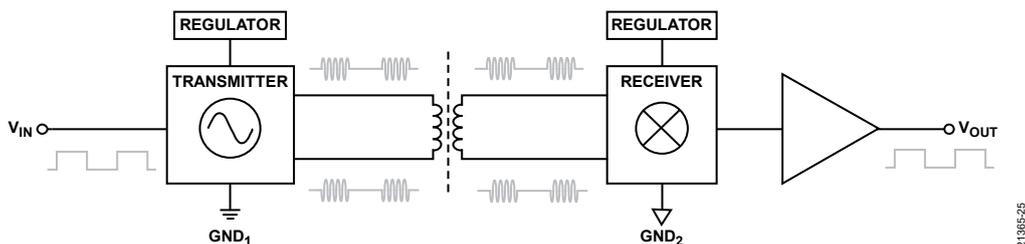


図 20. シングル・チャンネルの機能ブロック図（ロー・レベルのフェールセーフ出力状態）、V_{IN}は入力電圧、V_{OUT}は出力電圧

アプリケーション情報

PCB レイアウト

isoPower 内蔵の DC/DC コンバータを組み込んだ ADuM6420A/ADuM6421A/ADuM6422A デジタル・アイソレータに、ロジック・インターフェース用の外部インターフェース回路は不要です。入力および出力電源ピンには、電源バイパス・コンデンサを接続する必要があります (図 21、図 22、および図 23 を参照)。データ・チャンネルを正しく動作させるには、 V_{DD1} ピンと GND_1 ピンの間、および V_{DD2} ピンと GND_2 ピンの間の、チップ・パッドにできるだけ近い位置に、容量が $0.01\mu\text{F}$ ~ $0.1\mu\text{F}$ の低等価直列抵抗 (ESR) バイパス・コンデンサを接続する必要があります。長さが 2mm を超えるパターンを使用してバイパス・コンデンサを接続すると、データが破壊される可能性があります。電源を効果的にバイパスするには、isoPower 入力に複数の受動部品を接続すると共に、出力電圧を設定する必要があります。

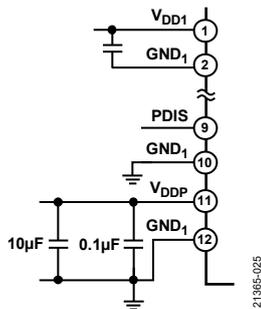


図 21. V_{DD1} および V_{DDP} のバイアスおよびバイパス用部品

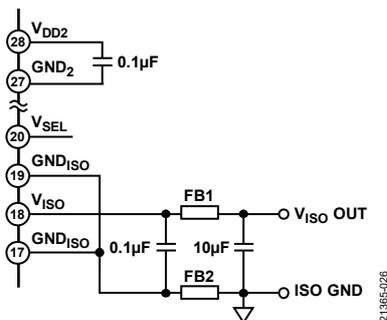


図 22. V_{DD2} および V_{ISO} のバイアスおよびバイパス用部品

ADuM6420A/ADuM6421A/ADuM6422A の電源部分は、チップ・スケール・トランスを通して効率的に電力を伝えるために、 180MHz の発振周波数を使用しています。いくつかの動作周波数では、バイパス・コンデンサが必要になります。ノイズの抑制には、低インダクタンス、高周波数のコンデンサが必要です。リップルの抑制と適切なレギュレーションには、大きな値のコンデンサが必要です。これらのコンデンサは、 V_{DDP} ピンと GND_1 ピンの間、および V_{ISO} ピンと GND_{ISO} ピンの間に接続します。ノイズとリップルを抑制するには、少なくとも 2 個のコンデンサを並列に接続する必要があります。 V_{DD1} 用に必要コンデンサの容量は $0.1\mu\text{F}$ と $10\mu\text{F}$ です。コンデン

サを小さくするほど、ESR の値も小さくする必要があります。例えば、セラミック・コンデンサを使用することをお勧めします。低 ESR コンデンサの両端と入力電源ピンの間の合計リード長が 2mm を超えないようにしてください。

電磁放射レベルを下げるために、 V_{ISO} および GND_{ISO} ピンと PCB パターン接続の間の高周波電流に対するインピーダンスを大きくすることができます。この方法で電磁干渉 (EMI) を抑制する場合は、図 23 に示すように、表面実装フェライト・ビーズを V_{ISO} ピンと GND_{ISO} ピンに対して直列に配置することによって、放射信号を発生源で制御します。 180MHz の 1 次側スイッチング周波数、および 360MHz の 2 次側整流周波数と高調波の放射を減らすには、インピーダンスが 100MHz ~ 1GHz の周波数範囲で約 $1.8\text{k}\Omega$ となるようなフェライト・ビーズを選択します。適切な表面実装フェライト・ビーズの例については、表 31 を参照してください。

表 31. 表面実装フェライト・ビーズの例

Manufacturer	Part No.
Taiyo Yuden	BKH1005LM182-T
Murata Electronics	BLM15HD182SN1

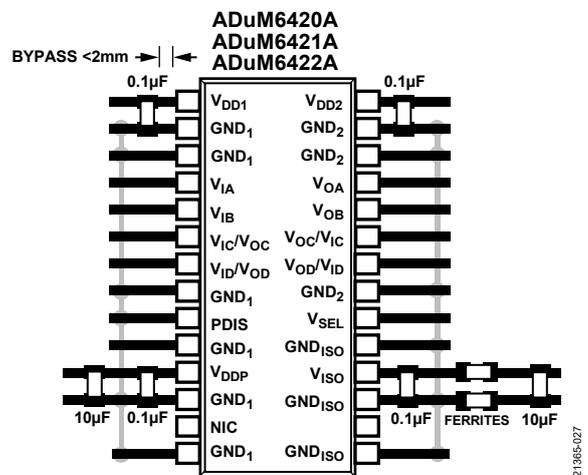


図 23. 推奨プリント回路基板 (PCB) レイアウト

高いコモンモード過渡電圧が発生するアプリケーションでは、絶縁バリアをまたぐボード結合を最小限に抑えてください。更に、すべての結合がデバイス側のすべてのピンで均等に発生するように PCB レイアウトを設計する必要があります。これらの手順に従わないと、ピン間に電位差が生じて、表 24 で規定される絶対最大定格を超えることにより、ラッチアップや恒久的な損傷が発生することがあります。

熱解析

ADuM6420A/ADuM6421A/ADuM6422A は、2 個のダイ・アタッチ・パッドを持つ 1 個のスプリット・リードフレームに取り付けられた、5 個の内部ダイで構成されています。熱解析ではダイを 1 つのサーマル・ユニットとして扱い、最高接合部温度には表 19 の θ_{JA} の値を反映させます。 θ_{JA} の値は、細いパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値に基づいています。通常の動作条件では、ADuM6420A/ ADuM6421A/ADuM6422A は最大負荷で動作できます。ただし、図 2 に示すように、 105°C を超える温度では出力電流のディレーティングが必要になることがあります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです（図 24 を参照）。ロジック・ロー出力への伝搬遅延は、ロジック・ハイ出力への伝搬遅延と異なる場合があります。

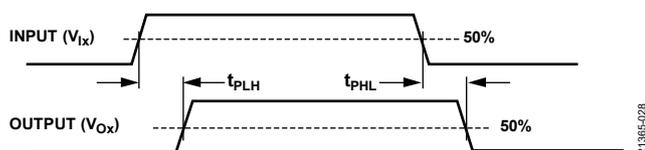


図 24. 伝搬遅延パラメータ

パルス幅歪みは、これら 2 つの伝搬遅延値の最大差で、入力信号のタイミングがどれだけ正確に保たれるかを表します。

チャンネル間マッチングは、1 つの

ADuM6420A/ADuM6421A/ADuM6422A コンポーネント内にある複数のチャンネル間の伝搬遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM6420A/ADuM6421A/ADuM6422A コンポーネント間での伝播遅延差の最大値です。

EMI に関する考慮事項

ADuM6420A/ADuM6421A/ADuM6422A デバイスの DC/DC コンバータ部分は、小型トランス経由で効率良く電力を伝送するために、高い周波数で動作する必要があります。これによって高周波電流が発生し、これが回路ボードのグラウンド・プレーンと電力プレーンへ伝搬することがあるため、入力および出力電源ピンに適切な電源バイパス・コンデンサが必要です（図 23 を参照）。適切なレイアウトとバイパス手法を使用した場合、DC/DC コンバータは、フェライトを搭載した 2 層 PCB 上で最大負荷で最大 5Mbps まで CISPR 32/EN 55032 クラス B の制限に適合する、安定化された絶縁型電源を提供するように設計されています。

消費電力

V_{DDP} 電源入力、コンバータにだけ電源を供給します。データ・チャンネル用の電源は、 V_{DD1} と V_{DD2} を介して供給されます。これらの電源は、必要に応じて V_{DDP} と V_{ISO} に接続できます。あるいは、独立した電源から電力を受け取ることもできます。コンバータは、設計者の自由裁量で利用できるスタンドアロン電源として扱ってください。

ADuM6420A/ADuM6421A/ADuM6422A アイソレータの特定のチャンネルの V_{DD1} または V_{DD2} 電源電流は、電源電圧、そのチャンネルのデータ・レート、およびそのチャンネルの出力負荷によって決まります。

ADuM6420A/ADuM6421A/ADuM6422A の各モデルについて、標準的な電源および室温の条件における無負荷時の出力状態での V_{DD1} と V_{DD2} の電源電流および合計電源電流とデータ・レートとの関係を、代表的な性能特性のセクションの図に示します。

ADuM6420A/ADuM6421A/ADuM6422A の合計 I_{ISO} 出力電流と入力電流の関係を図 7 に示します。更に、総消費電力と出力電流の関係を図 8 に示します。

絶縁寿命

すべての絶縁構造は、充分長い時間にわたり電圧ストレスを加えると、最終的には破壊されます。絶縁性能の低下率は、絶縁体に加える電圧波形の特性だけでなく、材料自体や材料の境界面にも依存します。

絶縁劣化には、空気にさらされる表面に沿った破壊と絶縁疲労という注目すべき 2 つのタイプがあります。表面の破損は表面トラッキング現象で、システム・レベルの規格に定められた沿面距離条件を決定する主要な要素となります。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたり絶縁の劣化が生じる現象です。

表面トラッキング

表面トラッキングは電気安全規格に規定されており、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離を定めることによって決定されます。安全性規制当局は、部品の表面絶縁について特性評価テストを行います。これにより、部品を異なる材料グループに分類することができます。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、小さい沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループに対する最小沿面距離は、各システム・レベル規格の範囲内にあります。この値は、絶縁をまたぐ合計実効値電圧、汚染度、材料グループに基づいています。このデジタル・アイソレータの材料グループと沿面距離を表 21 に示します。

絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であることを確認することが重要です。アイソレータがサポートしている耐疲労動作電圧は、耐トラッキング動作電圧と異なる場合があります。トラッキングに該当する動作電圧は、ほとんどの規格で仕様規定されています。

試験とモデリングにより、長期間にわたる性能低下の主な要因は、増分型の損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスと、AC 成分の時間と共に変化する電圧ストレスに大別でき、前者は変位電流が存在しないためわずかな疲労しか発生させず、後者は疲労を発生させます。

通常、認定文書に記載されている定格は、60Hz のサイン波ストレスに基づいています。このストレスには、ライン電圧からの絶縁が反映されることが理由です。ただし、多くの実用的なアプリケーションでは、バリアをまたぐ 60Hz の AC 電圧と DC 電圧の組み合わせが使用されます (式 1 を参照)。ストレスを受ける AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を並べ替えることができます (式 2 を参照)。これらの製品で使用されるポリイミド材料の絶縁疲労については、AC rms 電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

V_{RMS} は、合計 rms 動作電圧。

$V_{AC\ RMS}$ は、動作電圧の時間と共に変化する部分。

V_{DC} は、動作電圧の DC オフセット。

計算とパラメータ使用の例

一般的な電力変換アプリケーションの例を以下に示します。絶縁バリアの一方に AC 実効値が 240V のライン電圧が存在し、他方に 400V dc のバス電圧が存在するとします。絶縁材料はポリイミドです。デバイスの沿面距離、間隙、寿命を判断するために臨界電圧を求める場合は、図 25 と以降の数式を参照してください。

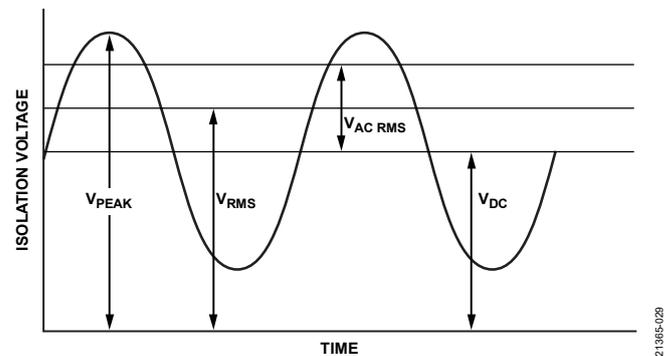


図 25. 臨界電圧の例

式 1 のバリアの両端にかかる動作電圧は次のようになります。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{V}$$

この V_{RMS} 値は、システムの規格で要求される沿面距離を求める際に、材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が十分かどうかを判断するには、動作電圧の時間と共に変化する部分を求めます。AC 実効値電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{V rms}$$

この場合、AC 実効値電圧は 240V rms のライン電圧です。この計算は、波形がサイン波でない場合は更に精度が向上します。表 25 の動作電圧の制限値とこの値を比較して期待寿命を確認すると、60Hz のサイン波の値よりも低く、50 年の運用寿命規定を十分に満たしていることがわかります。

DC 動作電圧の制限値は、IEC 60664-1 で規定されているパッケージの沿面距離によって定められています。この値は、特定のシステム・レベル規格と異なる場合があります。

外形寸法

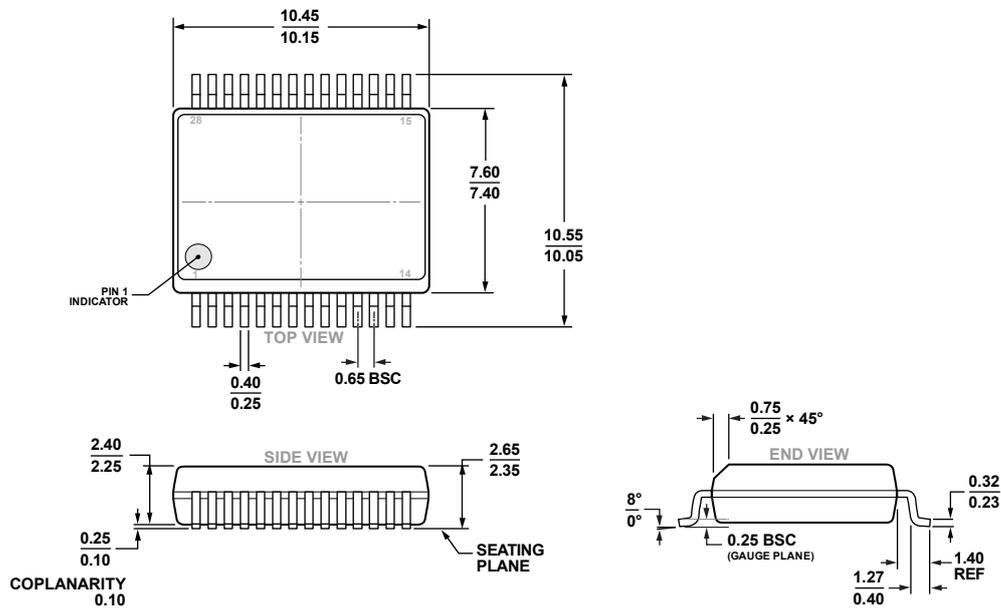


図 26. 28 ピン標準スモール・アウトライン、ワイド・ボディ、精細ピッチ [SOIC_W_FP] (RN-28-1) 寸法：mm

オーダー・ガイド

Model ^{1, 2, 3}	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{ISO} Side	Standard or SPI Isolator	Typical V _{DDP} Voltage (V)	Temperature Range (°C)	Package Description	Package Option
ADuM6420ABRNZ5	4	0	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
ADuM6420ABRNZ5-RL	4	0	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
ADuM6421ABRNZ5	3	1	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
ADuM6421ABRNZ5-RL	3	1	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
ADuM6422ABRNZ5	2	2	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
ADuM6422ABRNZ5-RL	2	2	Standard	5.0	-40°C to +125°C	28-Lead SOIC_W_FP	RN-28-1
EVAL-ADuM6421ARNZ						Evaluation Board ²	
EVAL-ADuM6421AURNZ						Evaluation Board ³	

¹ Z = RoHS 準拠製品

² EVAL-ADuM6421ARNZ は、ADuM6421ABRNZ5 を取り付けられた状態でパッケージされています。

³ EVAL-ADuM6421AURNZ は、デバイスを取り付けていない状態でパッケージされています。ADuM6420A、ADuM6421A、ADuM6422A は、別途発注して取り付ける必要があります。