

マルチセル・バッテリー・モニタ

特長

- 最大18個の直列に接続されたバッテリー・セルを測定
- 全測定誤差:最大2.2mV
- スタック構成可能なアーキテクチャにより数百個のセルをサポート
- isoSPI™インタフェースを内蔵
 - 1Mbの絶縁型シリアル通信
 - 1本のツイスト・ペア・ケーブルを使用、最長100メートル
 - EMIの影響を受けにくく、EMIの放射が少ない
 - 双方向により断線保護に対応
- システム内の全セルを290µsで測定
- 電圧と電流の同期測定
- 設定可能な3次ノイズ・フィルタを備えた16ビット・デルタシグマ(ΔΣ)型A/Dコンバータ(ADC)
- ISO 26262準拠システムに対応した設計
- 設定可能なパルス幅変調機能を備えた最大200mAのパッシブ方式セル・バランスング
- 9つの汎用デジタル入出力またはアナログ入力
 - 温度センサ入力またはその他のセンサ入力
 - I²CまたはSPIのマスタとして構成可能
- スリープ・モード時の電源電流:6µA
- 64ピンeLQFPパッケージ

アプリケーション

- 電気自動車およびハイブリッド車
- バックアップ・バッテリー・システム
- グリッド・エネルギー蓄積装置
- 大電力携帯機器

概要

LTC®6813-1は、最大18個の直列に接続されたバッテリー・セルを2.2mV未滿の全測定誤差で測定するマルチセル・バッテリー・スタック・モニタです。セルの測定範囲は0V~5Vなので、LTC6813-1はほとんどのバッテリーの化学的組成に適しています。全18セルは290µs以内に測定可能であり、低めのデータ収集率を選択することにより、ノイズ低減率を高めることができます。

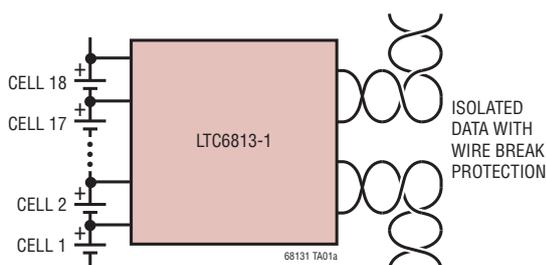
複数のLTC6813-1デバイスを直列に接続できるので、電圧が高く長いバッテリー列のセルを同時にモニタすることができます。各LTC6813-1は、電波の影響を受けない高速、長距離通信対応のisoSPIインタフェースを備えています。複数のデバイスがデジタイズチェーン接続され、1箇所のホスト・プロセッサ接続で全てのデバイスと接続されます。このデジタイズチェーンは双方向に動作するので、通信経路にフォルトが発生した場合でも通信は安定します。

LTC6813-1への電力は、バッテリー・スタックから直接供給することも、絶縁型電源から供給することもできます。LTC6813-1は、各セルのパッシブ方式バランス調整機能を内蔵しており、PWMのデューティ・サイクルをセルごとに個別に制御できます。その他の特長として、内蔵の5Vレギュレータ、9つの汎用入出力線、消費電流が6µAまで減少するスリープ・モードがあります。

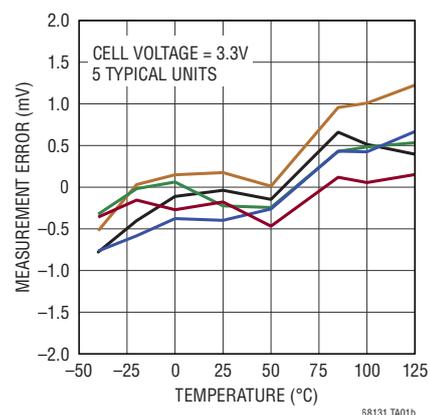
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8908779、9182428、9270133を含む米国特許によって保護されています。

標準的応用例

18セルのモニタおよびバランス調整IC



セル18の測定誤差と温度



目次

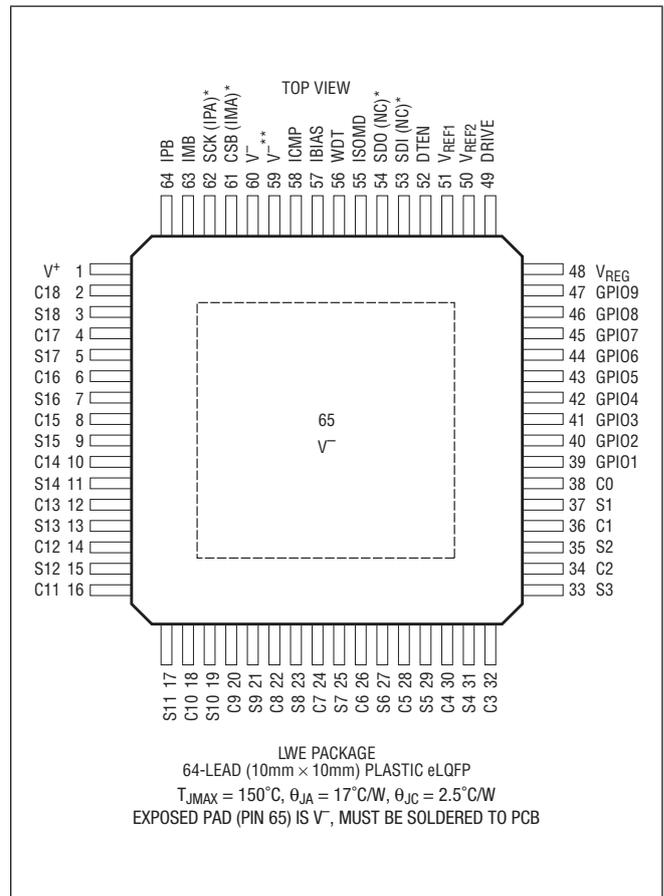
特長	1	放電タイマ・モニタ	34
アプリケーション	1	GPIO を使用する LTC6813-1 の I ² C/SPI マスタ	34
標準的応用例	1	Sピンの制御設定を使用した S ピンのパルス動作	39
概要	1	Sピンのミュート	40
絶対最大定格	3	シリアル・インタフェースの概要	40
発注情報	3	4線シリアル・ペリフェラル・インタフェース (SPI) の物理層	40
ピン配置	3	2線絶縁インタフェース (isoSPI) の物理層	40
電気的特性	4	データ・リンク層	51
標準的性能特性	9	ネットワーク層	51
ピン機能	15	アプリケーション情報	67
ブロック図	16	DC 電力の供給	67
LTC6811-1 からの改善点	17	内部保護とフィルタリング	67
動作	18	セル・バランシング	70
状態図	18	セル測定時の放電制御	72
LTC6813-1 のコアのステートの説明	18	デジタル通信	74
isoSPI のステートの説明	19	高度なアプリケーション	82
消費電力	19	外部温度プローブの読み取り	82
ADC の動作	20	パッケージ	85
データ収集システムの診断	25	標準的応用例	86
ウォッチドッグ・タイマと放電タイマ	32	関連製品	86
セル・バランシングに対応した S ピンのパルス幅変調	33		

絶対最大定格

(Note 1)

全電源電圧	
V ⁺ - V ⁻ 間	112.5V
電源電圧 (C12が基準)	
V ⁺ - C12間	50V
入力電圧 (V ⁺ が基準)	
C0	-0.3V~6V
C18	-0.3V~最小値 (V ⁺ + 5.5V、112.5V)
C(n)、S(n)	-0.3V~最小値 (8 • n、112.5V)
IPA、IMA、IPB、IMB	-0.3V~V _{REG} + 0.3V、≤ 6V
DRIVE	-0.3V~7V
他の全てのピン	-0.3V~6V
入力間の電圧	
C(n) - C(n-1)間、S(n) - C(n-1)間	-0.3V~8V
C18 - C15間、C15 - C12間、C12 - C9間、	
C9 - C6間、C6 - C3間、C3 - C0間	-0.3V~21V
ピンへの流入電流/ピンからの流出電流	
V _{REG} 、IPA、IMA、IPB、IMB、S(n)を除く全てのピン	10mA
IPA、IMA、IPB、IMB	30mA
規定接合部温度範囲	
LTC6813I-1	-40°C~85°C
LTC6813H-1	-40°C~125°C
接合部温度	150°C
保存温度範囲	-65°C~150°C
デバイスのHBM (人体モデル) ESD分類レベル	1C
デバイスのCDM (帯電デバイス・モデル) ESD分類レベル	C5

ピン配置



*これらのピンの機能は、ISOMDの接続先により異なる。
 ISOMDをV⁻に接続した場合：CSB、SCK、SDI、SDO
 ISOMDをV_{REG}に接続した場合：IPA、IMA、NC、NC
 **このピンはV⁻に接続する必要がある。

発注情報

<http://www.linear-tech.co.jp/product/LTC6813-1#orderinfo>

トレイ	製品マーキング*	パッケージ	規定接合部温度範囲
LTC6813LWE-1#3ZZPBF	LTC6813LWE-1	64-Lead Plastic eLQFP	-40°C to 85°C
LTC6813HLWE-1#3ZZPBF	LTC6813LWE-1	64-Lead Plastic eLQFP	-40°C to 125°C

*温度グレードは出荷時のコンテナのラベルで識別されます。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
 この製品はトレイでのみ供給されます。詳細については、<http://www.linear-tech.co.jp/packaging/> をご覧ください。

電气的特性

●は規定の全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 59.4\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMDピンはVピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
ADCのDC仕様							
	Measurement Resolution		●	0.1		mV/Bit	
	ADC Offset Voltage	(Note 2)	●	0.1		mV	
	ADC Gain Error	(Note 2)	●	0.01 0.02		% %	
	Total Measurement Error (TME) in Normal Mode	C(n) to C(n-1), GPIO(n) to $V^- = 0$		± 0.2		mV	
		C(n) to C(n-1) = 2.0			± 1.6	mV	
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6813I	●			± 1.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6813H	●			± 2.0	mV
		C(n) to C(n-1) = 3.3				± 2.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6813I	●			± 3.0	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6813H	●			± 3.3	mV
		C(n) to C(n-1) = 4.2				± 2.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6813I	●			± 3.8	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6813H	●			± 4.2	mV
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$			± 1		mV
		Sum of Cells	●		± 0.05	± 0.35	%
		Internal Temperature, T = Maximum Specified Temperature				± 5	$^\circ\text{C}$
		V _{REG} Pin	●	-1	-0.15	0	%
		V _{REF2} Pin	●	-0.05	0.05	0.20	%
		Digital Supply Voltage, V _{REGD}	●	-0.5	0.5	1.5	%
			Total Measurement Error (TME) in Filtered Mode	C(n) to C(n-1), GPIO(n) to $V^- = 0$		± 0.1	
C(n) to C(n-1) = 2.0					± 1.6	mV	
C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6813I	●					± 1.8	mV
C(n) to C(n-1), GPIO(n) to $V^- = 2.0$, LTC6813H	●					± 2.0	mV
C(n) to C(n-1) = 3.3						± 2.2	mV
C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6813I	●					± 3.0	mV
C(n) to C(n-1), GPIO(n) to $V^- = 3.3$, LTC6813H	●					± 3.3	mV
C(n) to C(n-1) = 4.2						± 2.8	mV
C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6813I	●					± 3.8	mV
C(n) to C(n-1), GPIO(n) to $V^- = 4.2$, LTC6813H	●					± 4.2	mV
C(n) to C(n-1), GPIO(n) to $V^- = 5.0$					± 1		mV
Sum of Cells	●				± 0.05	± 0.35	%
Internal Temperature, T = Maximum Specified Temperature						± 5	$^\circ\text{C}$
V _{REG} Pin	●			-1	-0.15	0	%
V _{REF2} Pin	●			-0.05	0.05	0.20	%
Digital Supply Voltage, V _{REGD}	●			-0.5	0.8	1.5	%

電气的特性

●は規定の全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 59.4\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMDピンは V^- ピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Total Measurement Error (TME) in Fast Mode	C(n) to C(n-1), GPIO(n) to $V^- = 0$		± 2		mV	
		C(n) to C(n-1), GPIO(n) to $V^- = 2.0$	●		± 4	mV	
		C(n) to C(n-1), GPIO(n) to $V^- = 3.3$	●		± 6	mV	
		C(n) to C(n-1), GPIO(n) to $V^- = 4.2$	●		± 8.3	mV	
		C(n) to C(n-1), GPIO(n) to $V^- = 5.0$		± 10		mV	
		Sum of Cells	●	± 0.15	± 0.5	%	
		Internal Temperature, T = Maximum Specified Temperature		± 5		$^\circ\text{C}$	
		V_{REG} Pin	●	-1.5	-0.15	1	%
		V_{REF2} Pin	●	-0.18	0.05	0.32	%
		Digital Supply Voltage, V_{REGD}	●	-2.5	-0.4	2	%
	Input Range	C(n) n = 1 to 18	●	C(n-1)	C(n-1) + 5	V	
		CO	●	0	1	V	
		GPIO(n) n = 1 to 9	●	0	5	V	
I_L	Input Leakage Current When Inputs Are Not Being Measured	C(n) n = 0 to 18	●	10	± 250	nA	
		GPIO(n) n = 1 to 9	●	10	± 250	nA	
	Input Current When Inputs Are Being Measured (State: Core = MEASURE)	C(n) n = 0 to 18		± 1		μA	
		GPIO(n) n = 1 to 9		± 1		μA	
	Input Current During Open Wire Detection		●	70	100	130	μA

電圧リファレンスの仕様

V_{REF1}	1st Reference Voltage	V_{REF1} Pin, No Load	●	3.0	3.15	3.3	V
	1st Reference Voltage TC	V_{REF1} Pin, No Load			3		ppm/ $^\circ\text{C}$
	1st Reference Voltage Thermal Hysteresis	V_{REF1} Pin, No Load			20		ppm
	1st Reference Voltage Long Term Drift	V_{REF1} Pin, No Load			20		ppm/ $\sqrt{\text{kHz}}$
V_{REF2}	2nd Reference Voltage	V_{REF2} Pin, No Load	●	2.993	3	3.007	V
		V_{REF2} Pin, 5k Load to V^-	●	2.992	3	3.008	V
	2nd Reference Voltage TC	V_{REF2} Pin, No Load			10		ppm/ $^\circ\text{C}$
	2nd Reference Voltage Thermal Hysteresis	V_{REF2} Pin, No Load			100		ppm
	2nd Reference Voltage Long Term Drift	V_{REF2} Pin, No Load			60		ppm/ $\sqrt{\text{kHz}}$

一般DC仕様

I_{VP}	V^+ Supply Current (See Figure 1: LTC6813-1 Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	$V_{\text{REG}} = 0\text{V}$		6.1	11	μA
			$V_{\text{REG}} = 0\text{V}$	●	6.1	18	μA
			$V_{\text{REG}} = 5\text{V}$		3	5	μA
			$V_{\text{REG}} = 5\text{V}$	●	3	9	μA
		State: Core = STANDBY		9	14	22	μA
			●	6	14	28	μA
		State: Core = REFUP		0.4	0.55	0.8	mA
●	0.375		0.55	0.825	mA		
State: Core = MEASURE		0.65	0.95	1.35	mA		
	●	0.6	0.95	1.4	mA		

LTC6813-1

電気的特性

●は規定の全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 59.4\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMDピンはVピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS		
$I_{\text{REG(CORE)}}$	V_{REG} Supply Current (See Figure 1: LTC6813-1 Operation State Diagram)	State: Core = SLEEP, isoSPI = IDLE	$V_{\text{REG}} = 5\text{V}$		3.1	6	μA	
			$V_{\text{REG}} = 5\text{V}$	●	3.1	9	μA	
		State: Core = STANDBY		●	10 6	35 35	60 65	μA μA
		State: Core = REFUP		●	0.4 0.3	0.9 0.9	1.4 1.5	mA mA
		State: Core = MEASURE		●	14 13.5	15 15	16 16.5	mA mA
$I_{\text{REG(isoSPI)}}$	Additional V_{REG} Supply Current if isoSPI in READY/ACTIVE States Note: ACTIVE State Current Assumes $t_{\text{CLK}} = 1\mu\text{s}$, (Note 3)	ISOMD = 0, $R_{B1} + R_{B2} = 2\text{k}$	READY	●	3.6	4.5	5.2	mA
			ACTIVE	●	5.6	6.8	8.1	mA
		ISOMD = 1, $R_{B1} + R_{B2} = 2\text{k}$	READY	●	4.0	5.2	6.5	mA
			ACTIVE	●	7.0	8.5	10.5	mA
		ISOMD = 0, $R_{B1} + R_{B2} = 20\text{k}$	READY	●	1.0	1.8	2.4	mA
			ACTIVE	●	1.3	2.3	3.3	mA
		ISOMD = 1, $R_{B1} + R_{B2} = 20\text{k}$	READY	●	1.6	2.5	3.5	mA
			ACTIVE	●	1.8	3.1	4.8	mA
	V^+ Supply Voltage	TME Specifications Met	●	16	60	90	V	
	V^+ to C18 Voltage	TME Specifications Met	●	-0.3			V	
	V^+ to C12 Voltage	TME Specifications Met	●			40	V	
	C13 Voltage	TME Specifications Met	●	2.5			V	
	C7 Voltage	TME Specifications Met	●	1			V	
V_{REG}	V_{REG} Supply Voltage	TME Supply Rejection < 1mV/V	●	4.5	5	5.5	V	
	DRIVE Output Voltage	Sourcing $1\mu\text{A}$	●	5.4	5.7	5.9	V	
			●	5.2	5.7	6.1	V	
	Sourcing $500\mu\text{A}$	●	5.1	5.7	6.1	V		
V_{REGD}	Digital Supply Voltage		●	2.7	3	3.6	V	
	Discharge Switch ON Resistance	$V_{\text{CELL}} = 3.6\text{V}$	●		4	10	Ω	
	Thermal Shutdown Temperature				150		$^\circ\text{C}$	
$V_{\text{OL(WDT)}}$	Watch Dog Timer Pin Low	WDT Pin Sinking 4mA	●			0.4	V	
$V_{\text{OL(GPIO)}}$	General Purpose I/O Pin Low	GPIO Pin Sinking 4mA (Used as Digital Output)	●			0.4	V	

ADCのタイミング仕様

t_{CYCLE} (Figure 3, Figure 4, Figure 6)	Measurement + Calibration Cycle Time When Starting from the REFUP State in Normal Mode	Measure 18 Cells	●	2027	2343	2488	μs
		Measure 3 Cells	●	352	407	432	μs
		Measure 18 Cells and 2 GPIO Inputs	●	2717	3140	3335	μs
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Filtered Mode	Measure 18 Cells	●	174.2	201.3	213.8	ms
		Measure 3 Cells	●	29.1	33.6	35.7	ms
		Measure 18 Cells and 2 GPIO Inputs	●	232.3	268.5	285.1	ms
	Measurement + Calibration Cycle Time When Starting from the REFUP State in Fast Mode	Measure 18 Cells	●	970	1121	1191	μs
		Measure 3 Cells	●	176	203	215	μs
		Measure 18 Cells and 2 GPIO Inputs	●	1307	1511	1605	μs
t_{SKEW1} (Figure 6)	Skew Time. The Time Difference Between Cell 18 and GPIO1 Measurements, Command = ADCVAX	Fast Mode	●	168	194	206	μs
		Normal Mode	●	470	543	577	μs

電气的特性

●は規定の全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 59.4\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMDピンはVピンに接続する。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
t_{SKEW2} (Figure 3)	Skew Time. The Time Difference Between Cell 18 and Cell 1 Measurements, Command = ADCV	Fast Mode	●	202	233	248	μs
		Normal Mode	●	580	670	711	μs
t_{WAKE}	Regulator Start-Up Time	V_{REG} Generated from DRIVE Pin (Figure 32)	●	200	400	μs	
t_{SLEEP} (Figure 26)	Watchdog or Discharge Timer	DTEN Pin = 0 or DCTO[3:0] = 0000	●	1.8	2	2.2	sec
		DTEN Pin = 1 and DCTO[3:0] \neq 0000		0.5		120	min
t_{REFUP} (Figure 3 for example)	Reference Wake-Up Time. Added to t_{CYCLE} Time When Starting from the STANDBY State. $t_{\text{REFUP}} = 0$ When Starting from Other States.	t_{REFUP} is Independent of the Number of Channels Measured and the ADC Mode	●	2.7	3.5	4.4	ms
f_{S}	ADC Clock Frequency			3.3		MHz	

SPIインタフェースのDC仕様

$V_{\text{IH(SPI)}}$	SPI Pin Digital Input Voltage High	Pins CSB, SCK, SDI	●	2.3			V
$V_{\text{IL(SPI)}}$	SPI Pin Digital Input Voltage Low	Pins CSB, SCK, SDI	●			0.8	V
$V_{\text{IH(CFG)}}$	Configuration Pin Digital Input Voltage High	Pins ISOMD, DTEN, GPIO1 to GPIO9, A0 to A3	●	2.7			V
$V_{\text{IL(CFG)}}$	Configuration Pin Digital Input Voltage Low	Pins ISOMD, DTEN, GPIO1 to GPIO9, A0 to A3	●			1.2	V
$I_{\text{LEAK(DIG)}}$	Digital Input Current	Pins CSB, SCK, SDI, ISOMD, DTEN, A0 to A3	●			± 1	μA
$V_{\text{OL(SDO)}}$	Digital Output Low	Pin SDO Sinking 1mA	●			0.3	V

isoSPIのDC仕様(図17を参照)

V_{BIAS}	Voltage on IBIAS Pin	READY/ACTIVE State IDLE State	●	1.9	2.0 0	2.1	V V
I_{B}	Isolated Interface Bias Current	$R_{\text{BIAS}} = 2\text{k to }20\text{k}$	●	0.1		1.0	mA
A_{IB}	Isolated Interface Current Gain	$V_A \leq 1.6\text{V}$ $I_{\text{B}} = 0.1\text{mA}$	● ●	18 18	20 20	22 24.5	mA/mA mA/mA
V_A	Transmitter Pulse Amplitude	$V_A = V_{\text{IP}} - V_{\text{IM}} $	●			1.6	V
V_{ICMP}	Threshold-Setting Voltage on ICMP Pin	$V_{\text{TCMP}} = A_{\text{TCMP}} \cdot V_{\text{ICMP}}$	●	0.2		1.5	V
$I_{\text{LEAK(ICMP)}}$	Input Leakage Current on ICMP Pin	$V_{\text{ICMP}} = 0\text{V to }V_{\text{REG}}$	●			± 1	μA
$I_{\text{LEAK(IP/IM)}}$	Leakage Current on IP and IM Pins	IDLE State, V_{IP} or V_{IM} , 0V to V_{REG}	●			± 1	μA
A_{TCMP}	Receiver Comparator Threshold Voltage Gain	$V_{\text{CM}} = V_{\text{REG}}/2$ to $V_{\text{REG}} - 0.2\text{V}$, $V_{\text{ICMP}} = 0.2\text{V to }1.5\text{V}$	●	0.4	0.5	0.6	V/V
V_{CM}	Receiver Common Mode Bias	IP/IM Not Driving				$(V_{\text{REG}} - V_{\text{ICMP}}/3 - 167\text{mV})$	V
R_{IN}	Receiver Input Resistance	Single-Ended to IPA, IMA, IPB, IMB	●	26	35	45	k Ω

isoSPIのアイドル/起動仕様(図26を参照)

V_{WAKE}	Differential Wake-Up Voltage	$t_{\text{DWELL}} = 240\text{ns}$	●	200			mV
t_{DWELL}	Dwell Time at V_{WAKE} Before Wake Detection	$V_{\text{WAKE}} = 200\text{mV}$	●	240			ns
t_{READY}	Start-Up Time After Wake Detection		●			10	μs
t_{IDLE}	Idle Timeout Duration		●	4.3	5.5	6.7	ms

isoSPIのパルス・タイミング仕様(図22を参照)

$t_{1/2\text{PW(CS)}}$	Chip-Select Half-Pulse Width	Transmitter	●	120	150	180	ns
$t_{\text{FILT(CS)}}$	Chip-Select Signal Filter	Receiver	●	70	90	110	ns
$t_{\text{INV(CS)}}$	Chip-Select Pulse Inversion Delay	Transmitter	●	120	155	190	ns
$t_{\text{WNDW(CS)}}$	Chip-Select Valid Pulse Window	Receiver	●	220	270	330	ns
$t_{1/2\text{PW(D)}}$	Data Half-Pulse Width	Transmitter	●	40	50	60	ns
$t_{\text{FILT(D)}}$	Data Signal Filter	Receiver	●	10	25	35	ns

電気的特性

●は規定の全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、テスト条件は $V^+ = 59.4\text{V}$ 、 $V_{\text{REG}} = 5.0\text{V}$ 。注記がない限り、ISOMDピンはVピンに接続する。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$t_{\text{INV(D)}}$	Data Pulse Inversion Delay	Transmitter	●	40	55	65	ns
$t_{\text{WINDW(D)}}$	Data Valid Pulse Window	Receiver	●	70	90	110	ns

SPIのタイミング要件 (図16および図25を参照)

t_{CLK}	SCK Period	(Note 4)	●	1			μs
t_1	SDI Setup Time before SCK Rising Edge		●	25			ns
t_2	SDI Hold Time after SCK Rising Edge		●	25			ns
t_3	SCK Low	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_4	SCK High	$t_{\text{CLK}} = t_3 + t_4 \geq 1\mu\text{s}$	●	200			ns
t_5	CSB Rising Edge to CSB Falling Edge		●	0.65			μs
t_6	SCK Rising Edge to CSB Rising Edge	(Note 4)	●	0.8			μs
t_7	CSB Falling Edge to SCK Rising Edge	(Note 4)	●	1			μs

isoSPIのタイミング仕様 (図25を参照)

t_8	SCK Falling Edge to SDO Valid	(Note 5)	●			60	ns
t_9	SCK Rising Edge to Short ± 1 Transmit		●			50	ns
t_{10}	CSB Transition to Long ± 1 Transmit		●			60	ns
t_{11}	CSB Rising Edge to SDO Rising	(Note 5)	●			200	ns
t_{RTN}	Data Return Delay		●	325	375	425	ns
$t_{\text{DSY(CS)}}$	Chip-Select Daisy-Chain Delay		●		120	180	ns
$t_{\text{DSY(D)}}$	Data Daisy-Chain Delay		●	200	250	300	ns
t_{LAG}	Data Daisy-Chain Lag (vs Chip-Select)	$= [t_{\text{DSY(D)}} + t_{1/2\text{PW(D)}}] - [t_{\text{DSY(CS)}} + t_{1/2\text{PW(CS)}}]$	●	0	35	70	ns
$t_5(\text{GOV})$	Chip-Select High-to-Low Pulse Governor		●	0.6		0.82	μs
$t_6(\text{GOV})$	Data to Chip-Select Pulse Governor		●	0.8		1.05	μs
t_{BLOCK}	isoSPI Port Reversal Blocking Window		●	2		10	μs

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: ADCの仕様は全測定誤差の仕様によって保証されている。

Note 3: ACTIVEステートの電流はDCの測定値から計算される。isoSPIポートに、データ1が50%、データ0が50%の連続的な1MHzの通信が存在する場合、ACTIVEステートの電流は、 V_{REG} への追加平均消費電流になる。クロック・レートが遅くなるほど、消費電流が減少する。詳細については、「アプリケーション情報」のセクションを参照。

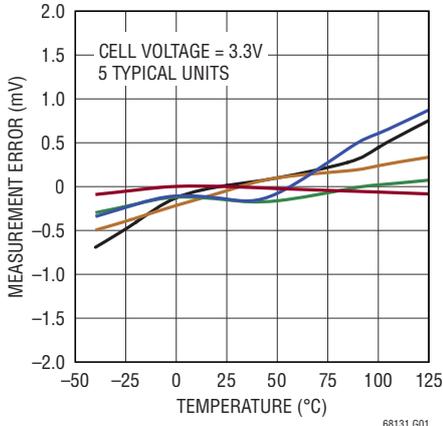
Note 4: これらのタイミング仕様はケーブルの遅延によって異なり、各方向に50nsの遅延を許容する。50nsは10mのCAT5ケーブル(伝播速度が光速の66%)に対応する。これより長いケーブルを使用する場合は、遅延が大きくなる分、仕様を低減する必要がある。

Note 5: これらの仕様には、SDOの立ち上がり時間と立ち下がり時間は含まれない。立ち下がり時間(内部プルダウン・トランジスタのため標準で5ns)は問題ではないが、立ち上がりエッジの遷移時間 t_{RISE} はSDOピンでのプルアップ抵抗と負荷容量によって異なる。SDOがMCUのセットアップ時間要件を満たすように、時定数を選択する必要がある。

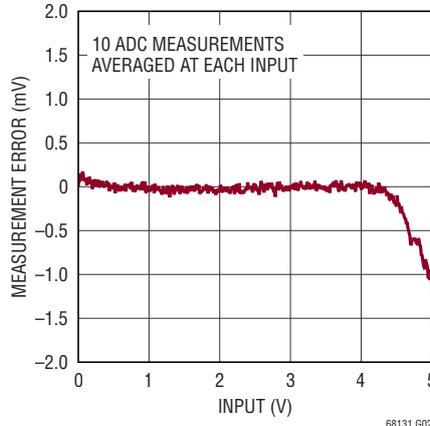
標準的性能特性

注記がない限り、 $T_A = 25^\circ\text{C}$ 。

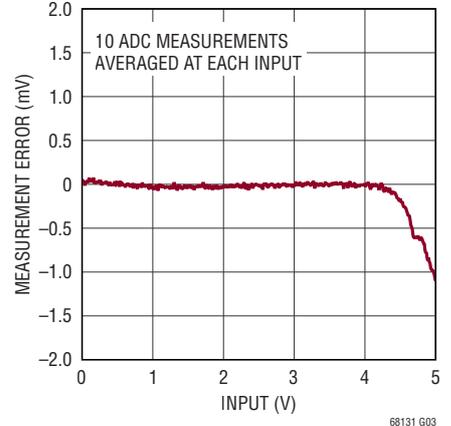
測定誤差と温度



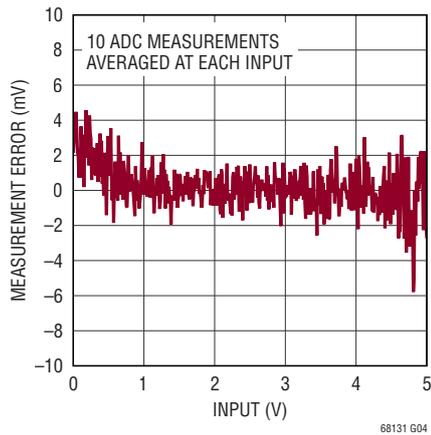
測定誤差と入力電圧 (通常モード)



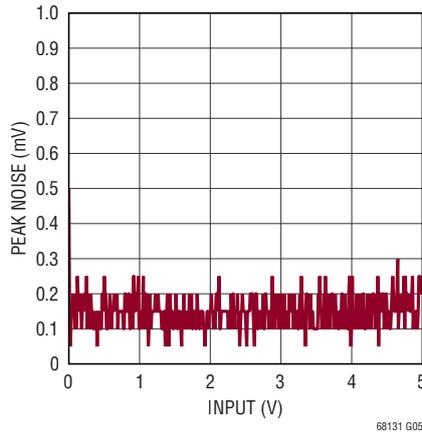
測定誤差と入力電圧 (フィルタ・モード)



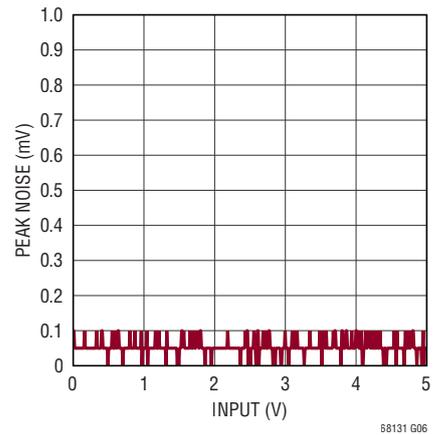
測定誤差と入力電圧 (高速モード)



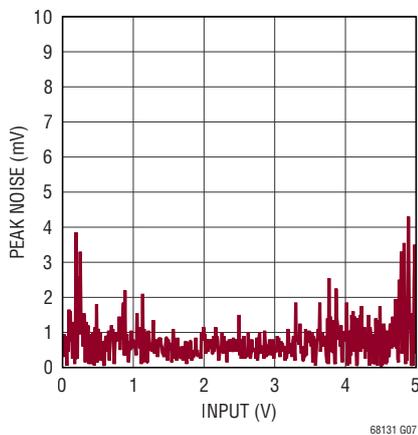
測定ノイズと入力電圧 (通常モード)



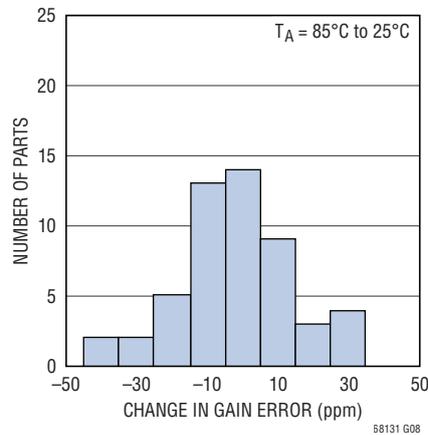
測定ノイズと入力電圧 (フィルタ・モード)



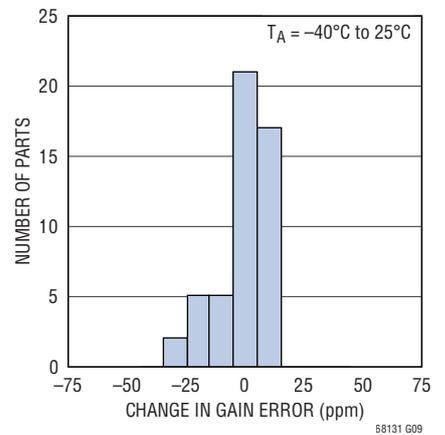
測定ノイズと入力電圧 (高速モード)



測定利得誤差の温度ヒステリシス (高温時)

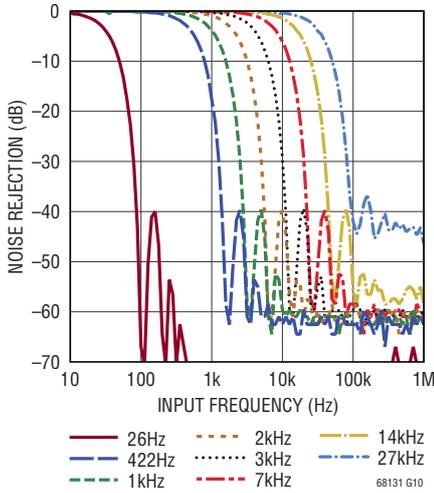


測定利得誤差の温度ヒステリシス (低温時)

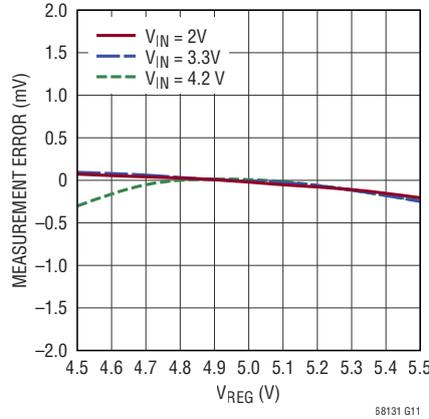


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

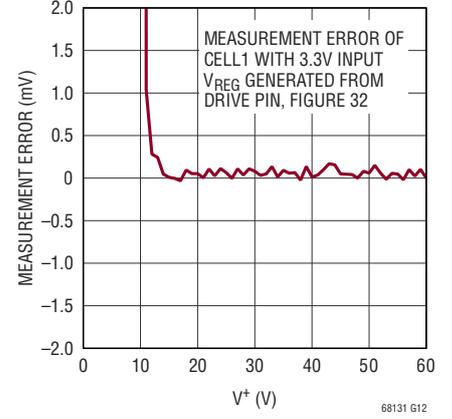
ノイズ・フィルタの応答



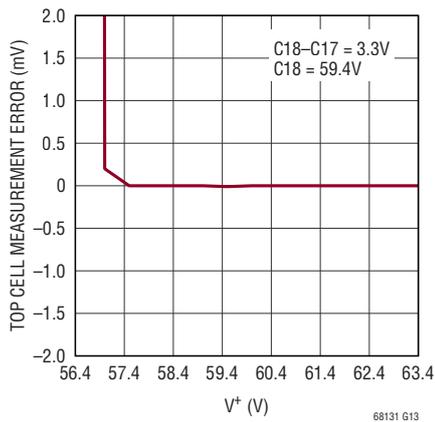
測定誤差と V_{REG}



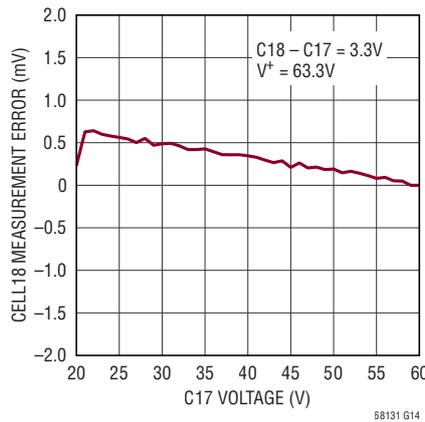
測定誤差と V^+



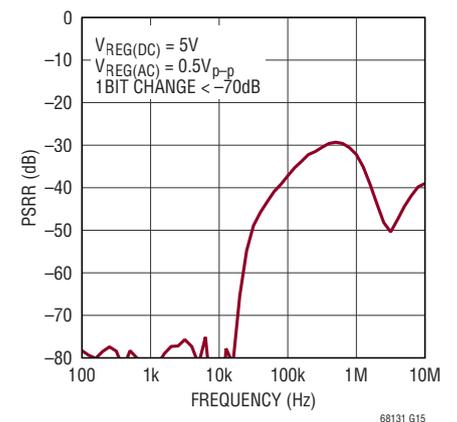
先頭セルの測定誤差と V^+



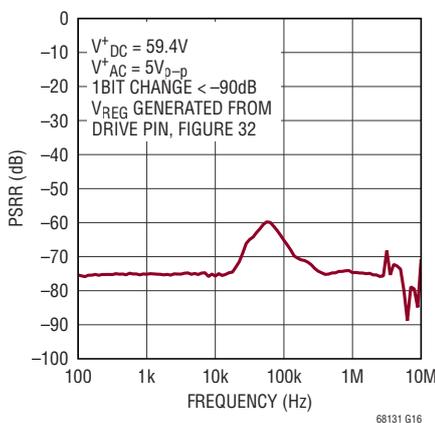
測定誤差と同相電圧



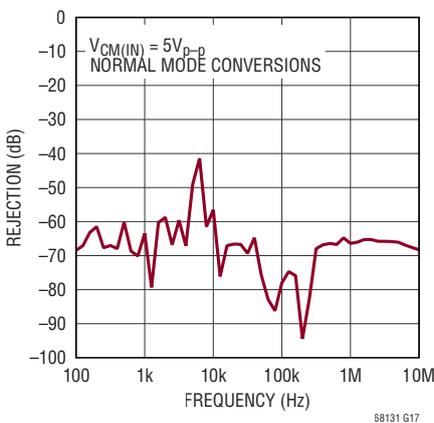
V_{REG} の AC 外乱による測定誤差



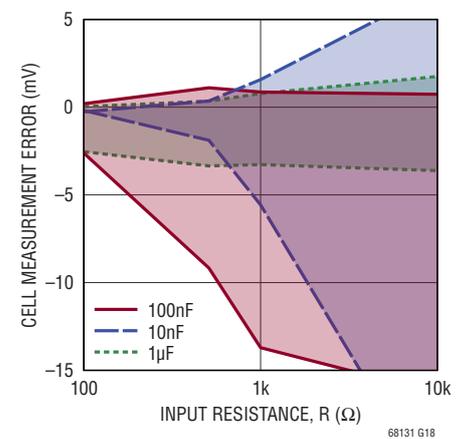
V^+ の AC 外乱による測定誤差



測定誤差の CMRR と周波数

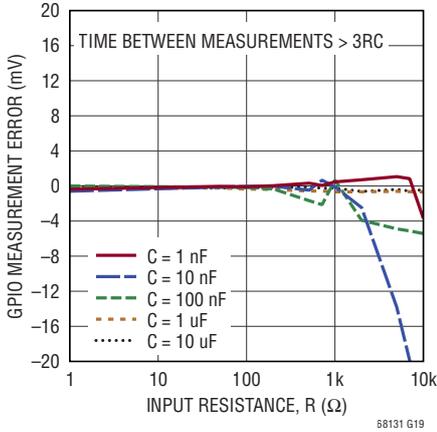


セル測定値の誤差範囲と 入力 RC の値

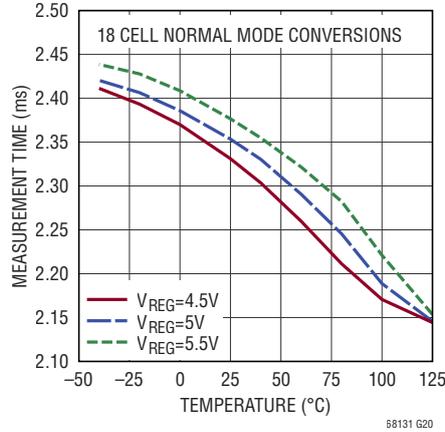


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

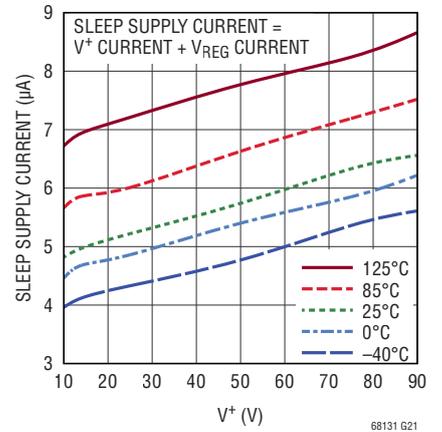
GPIOの測定誤差と入力のRCの値



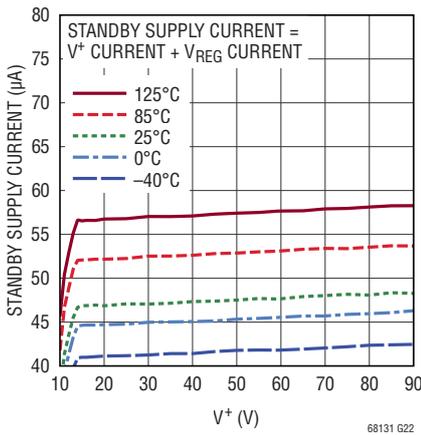
測定時間と温度



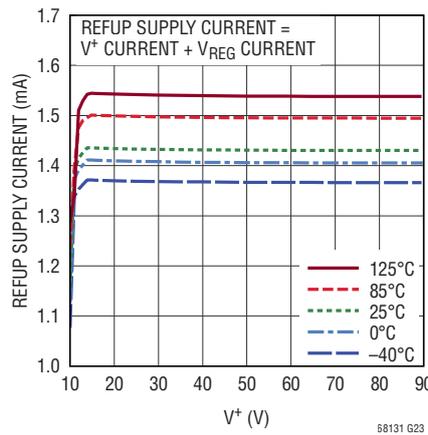
スリープ時電源電流と V^+



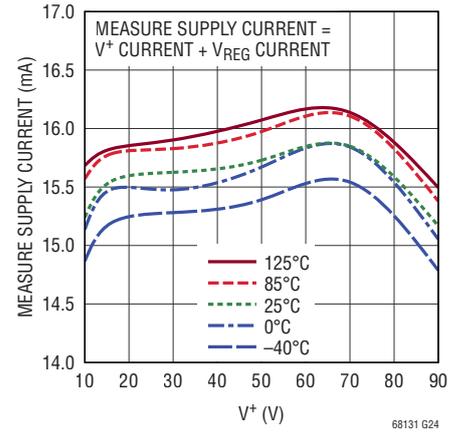
スタンバイ時電源電流と V^+



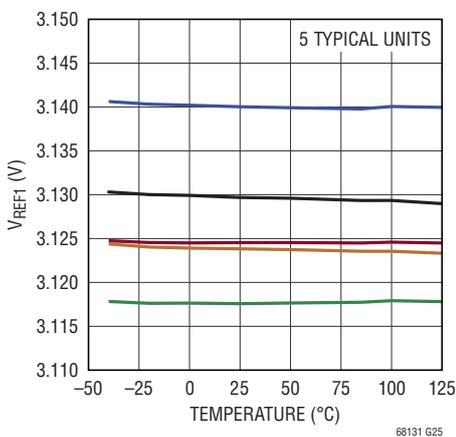
REFUP 電源電流と V^+



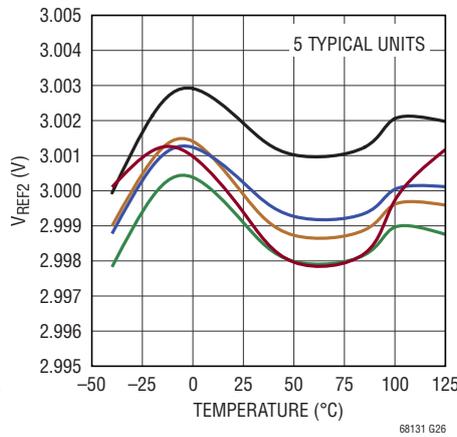
電源電流測定値と V^+



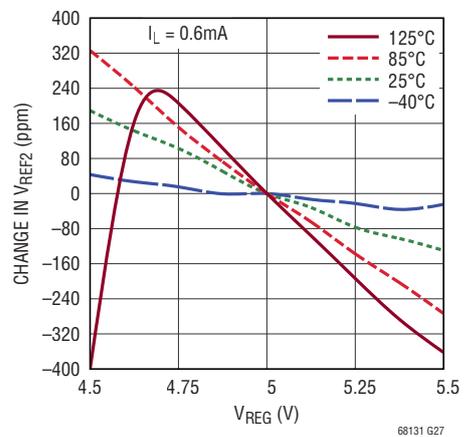
V_{REF1} と温度



V_{REF2} と温度

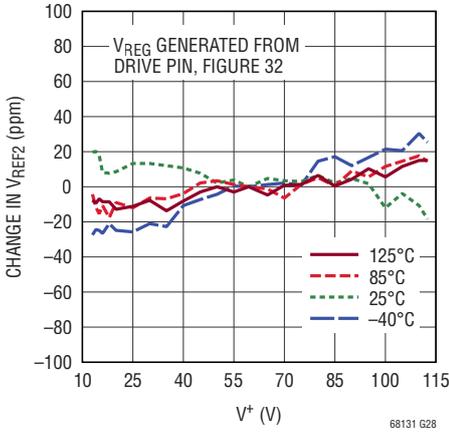


V_{REF2} の V_{REG} に対する
入力レギュレーション

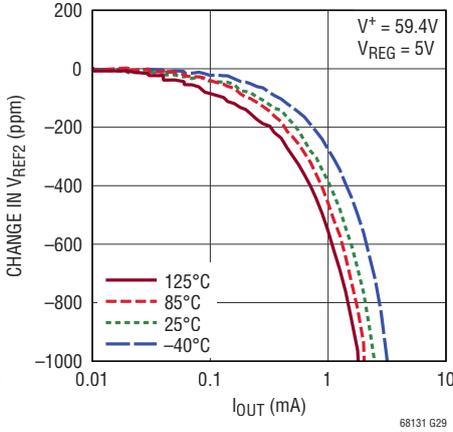


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

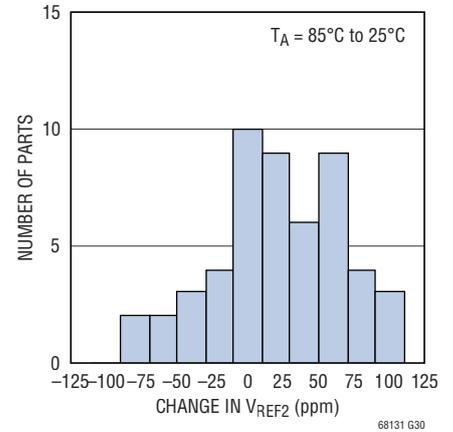
**V_{REF2} の V^+ に対する
入力レギュレーション**



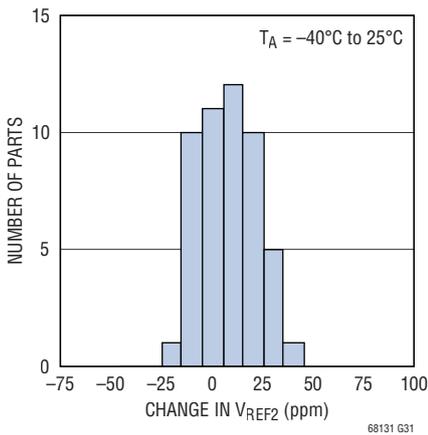
V_{REF2} の負荷レギュレーション



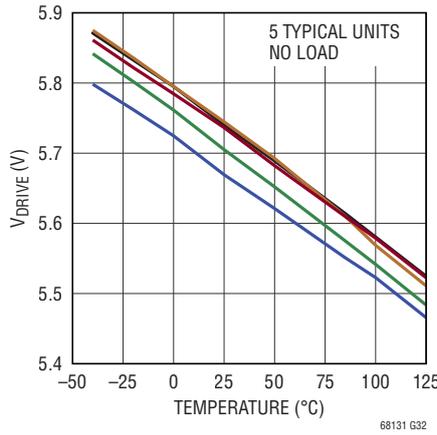
V_{REF2} の温度ヒステリシス (高温時)



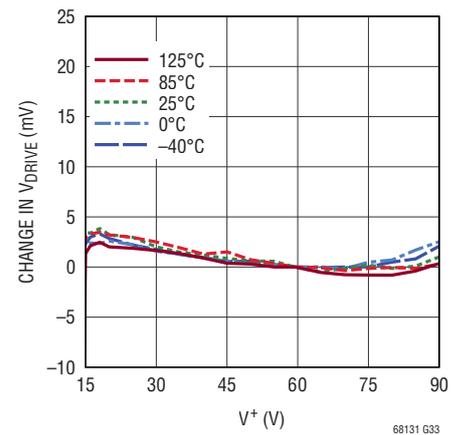
V_{REF2} の温度ヒステリシス (低温時)



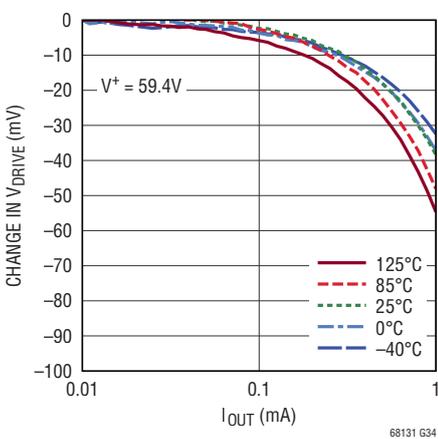
V_{DRIVE} と温度



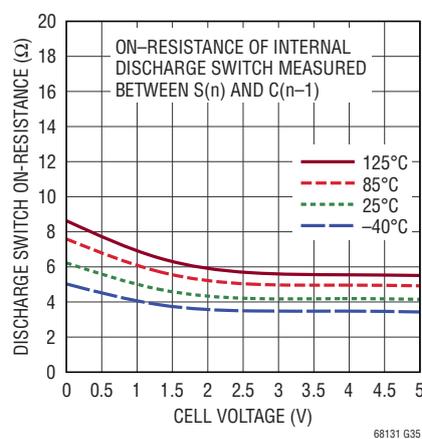
**V_{DRIVE} の V^+ に対する
入力レギュレーション**



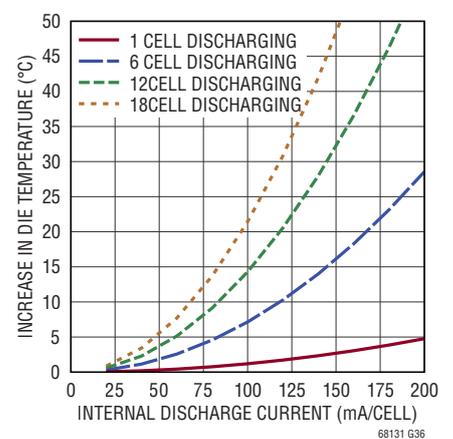
V_{DRIVE} の負荷レギュレーション



**放電スイッチのオン抵抗と
セル電圧**

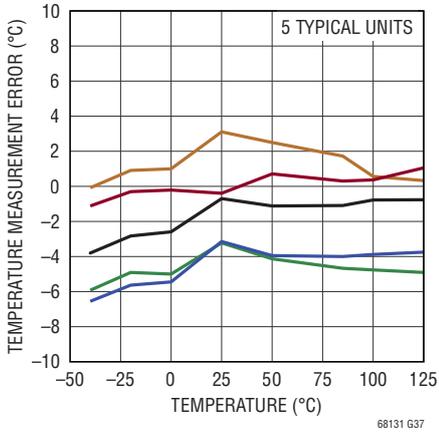


内部ダイ温度の増加と放電電流

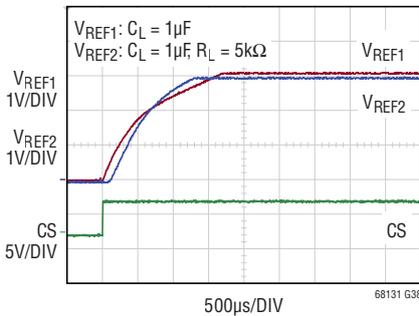


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

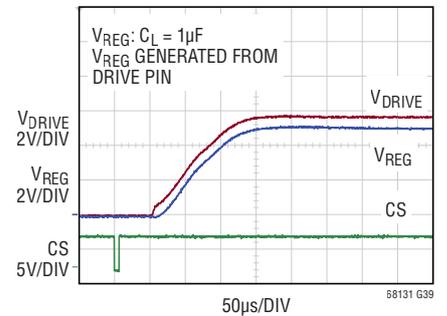
内部ダイ温度の測定誤差と温度



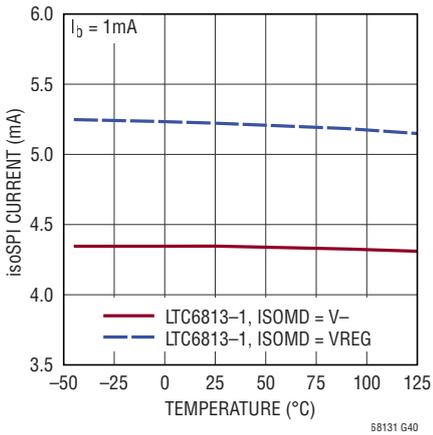
V_{REF1} と V_{REF2} の起動



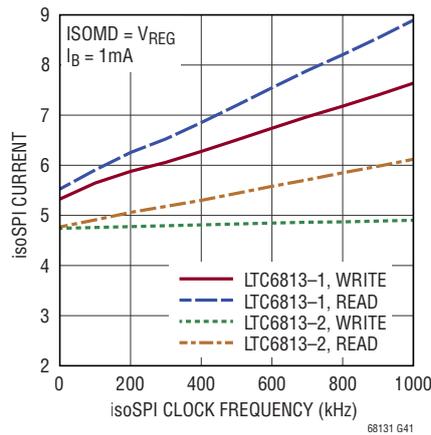
V_{REG} および V_{DRIVE} の起動



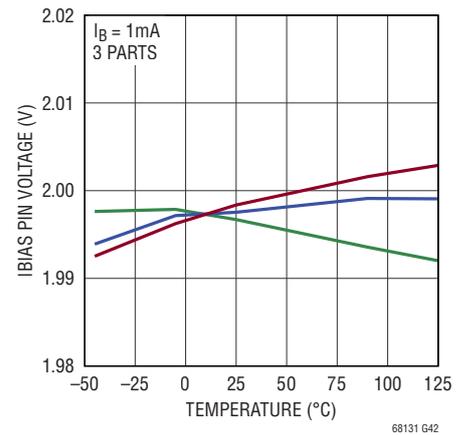
isoSPI の電流 (READY) と温度



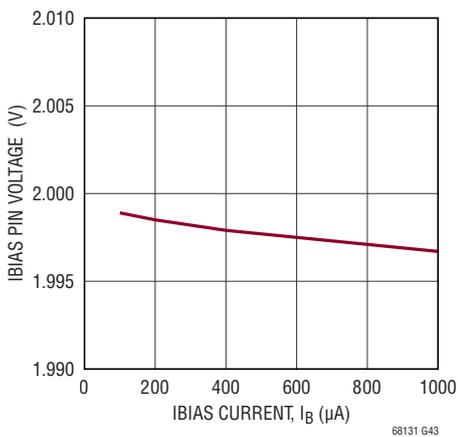
isoSPI の電流 (ACTIVE) と isoSPI のクロック周波数



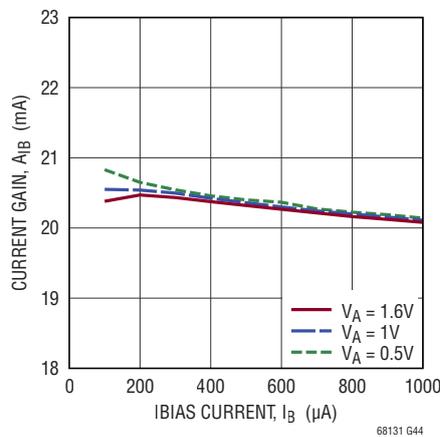
IBIAS の電圧と温度



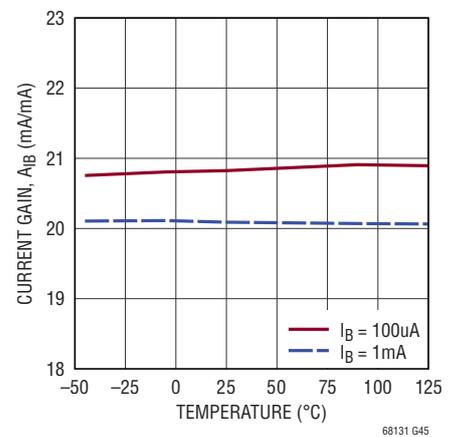
IBIAS 電圧の負荷レギュレーション



isoSPI ドライバの電流利得 (ポート A/ポート B) と IBIAS の電流

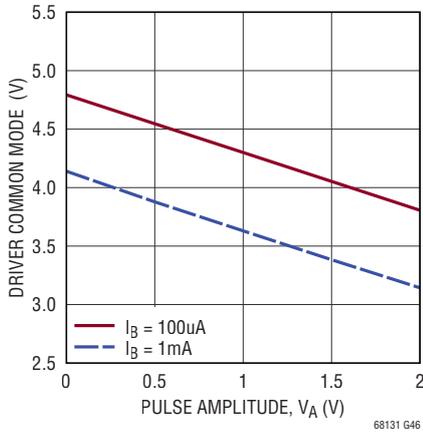


isoSPI ドライバの電流利得 (ポート A/ポート B) と温度

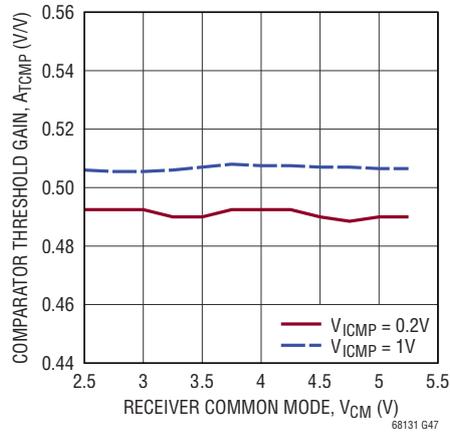


標準的性能特性 注記がない限り、 $T_A = 25^\circ\text{C}$ 。

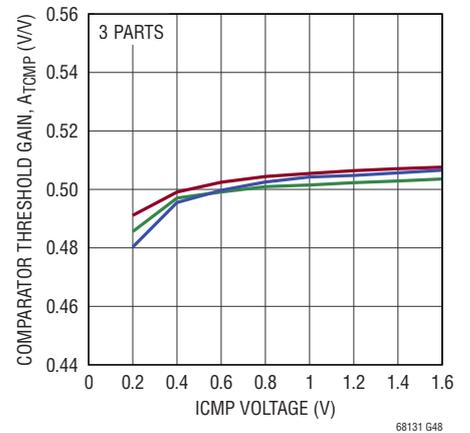
isoSPIドライバの同相電圧
(ポートA/ポートB)とパルス振幅



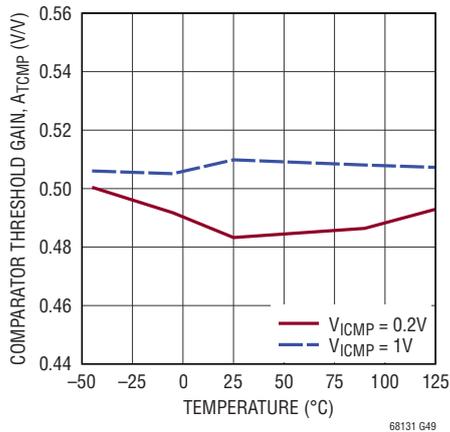
isoSPIコンパレータのしきい値の
利得(ポートA/ポートB)と
レシーバの同相電圧



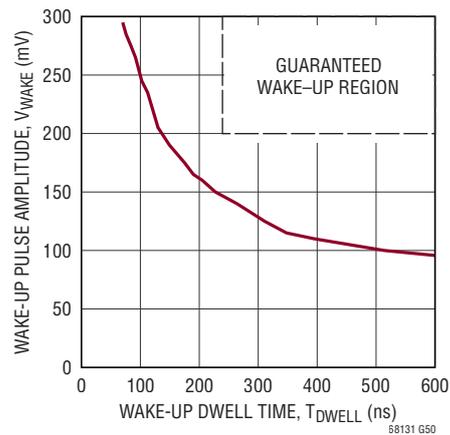
isoSPIコンパレータのしきい値の
利得(ポートA/ポートB)と
ICMPの電圧



isoSPIコンパレータのしきい値の
利得(ポートA/ポートB)と温度



標準の起動パルス振幅
(ポートA/ポートB)と滞留時間



ピン機能

C0~C18:セルの入力。

S1~S18: バランス入力 / バランス出力。セルを放電するため、18個の内部N-MOSFETがS(n)とC(n-1)の間に接続されています。

V⁺: 正電源ピン。

V⁻: 負電源ピン。デバイスの外部で、各V⁻ピンを互いに短絡させる必要があります。

V_{REF2}: 複数の10kサーミスタを駆動するためのバッファ付き第2リファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。

V_{REF1}: ADCのリファレンス電圧。外付けの1μFコンデンサを使用してバイパスします。DC負荷を接続することはできません。

GPIO[1:9]: 汎用I/O。デジタル入力またはデジタル出力として使用するか、V⁻~5Vの測定範囲でアナログ入力として使用できます。GPIO[3:5]はI²CポートまたはSPIポートとして使用できます。

DTEN: 放電タイマのイネーブル・ピン。放電タイマをイネーブルするには、このピンをV_{REG}に接続します。

DRIVE: NPNのベースをこのピンに接続します。コレクタはV⁺に接続し、エミッタはV_{REG}に接続します。

V_{REG}: 5Vレギュレータの入力。外付けの1μFコンデンサを使用してバイパスします。

ISOMD: シリアル・インタフェース・モード。ISOMDをV_{REG}に接続すると、LTC6813-1のピン53、54、61、および62は2線絶縁型インタフェース(ISO SPI)モードに合わせて構成されます。ISOMDをV⁻に接続すると、LTC6813-1は4線SPIモードに合わせて構成されます。

WDT: ウォッチドッグ・タイマ出力ピン。これはオープン・ドレインNMOSのデジタル出力です。このピンは未接続のままにするか、1Mの抵抗を介してV_{REG}に接続することができます。LTC6813-1が2秒以内に有効なコマンドを受信しない場合は、ウォッチドッグ・タイマ回路がLTC6813-1をリセットし、WDTピンが高インピーダンスになります。

シリアル・ポート・ピン

	ISOMD = V _{REG}	ISOMD = V ⁻
ポートB (ピン57、58、63、64)	IPB	IPB
	IMB	IMB
	ICMP	ICMP
	IBIAS	IBIAS
ポートA (ピン53、54、61、62)	(NC)	SDO
	(NC)	SDI
	IPA	SCK
	IMA	CSB

CSB、SCK、SDI、SDO: 4線式シリアル・ペリフェラル・インタフェース(SPI)。アクティブ”L”のチップ選択(CSB)、シリアル・クロック(SCK)、およびシリアル・データ入力(SDI)はデジタル入力です。シリアル・データ出力(SDO)はオープン・ドレインのNMOS出力ピンです。SDOには5kのプルアップ抵抗が必要です。

IPA、IMA: 絶縁型の2線式シリアル・インタフェース・ポートA。IPA(プラス)とIMA(マイナス)は、差動入力/出力対です。

IPB、IMB: 絶縁型の2線式シリアル・インタフェース・ポートB。IPB(プラス)とIMB(マイナス)は、差動入力/出力対です。

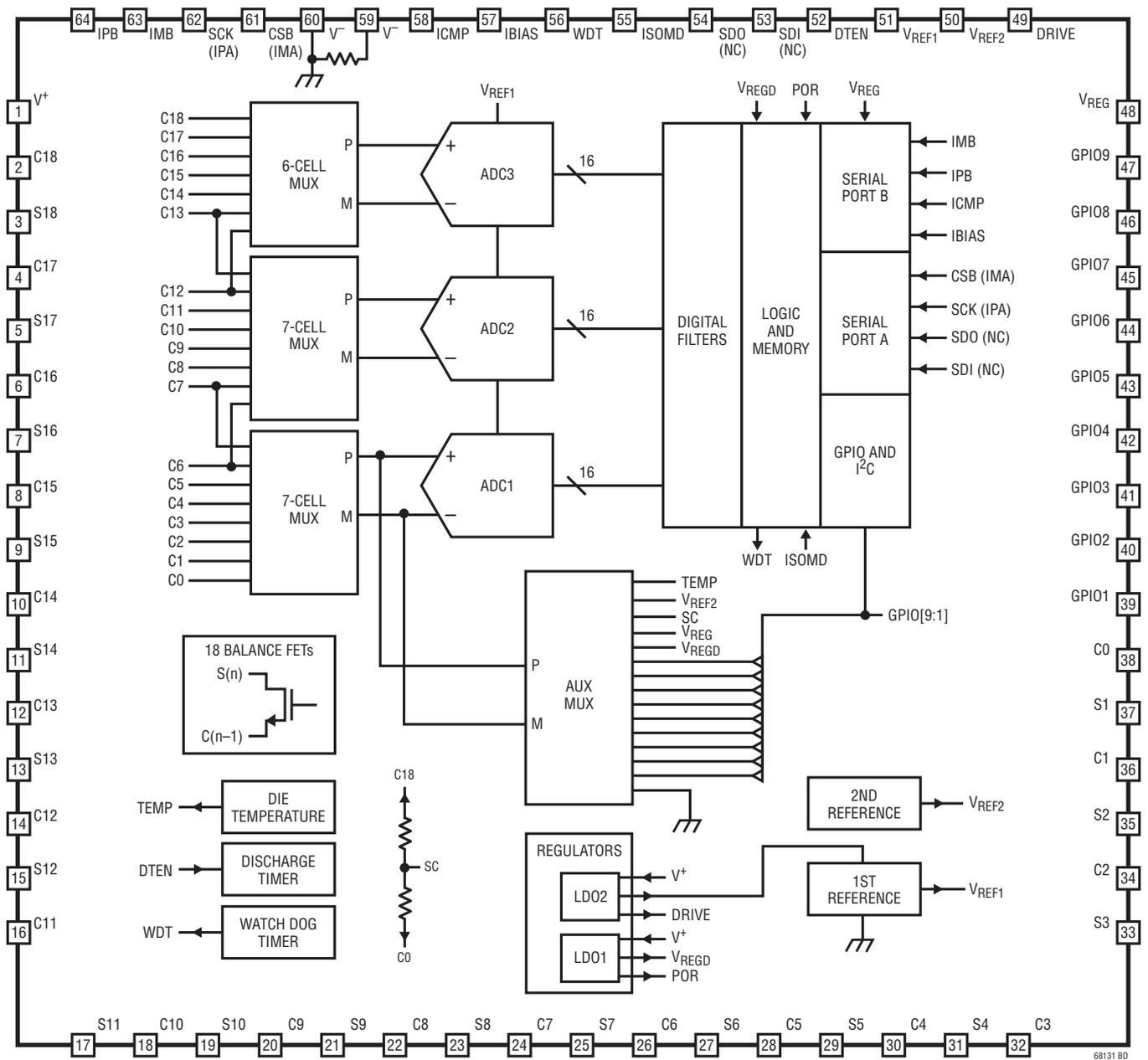
IBIAS: 絶縁型インタフェースの電流バイアス。IBIASをV⁻に抵抗分割器を介して接続し、インタフェースの出力電流レベルを設定します。ISO SPIインタフェースがイネーブルされている場合、IBIASピンの電圧は2Vです。IPA/IMAまたはIPB/IMBの出力駆動電流は、IBIASピンから流れ出る電流(I_B)の20倍に設定されます。

ICMP: 絶縁型インタフェースのコンパレータ電圧しきい値設定。このピンをIBIASとV⁻の間の抵抗分割器に接続し、ISO SPIレシーバのコンパレータの電圧しきい値を設定します。コンパレータのしきい値はICMPピンの電圧の半分に設定されます。

露出パッド: V⁻。露出パッドはPCBに半田付けする必要があります。

LTC6813-1

ブロック図



68131 BD

LTC6811-1からの改善点

LTC6813-1は、LTC6811-1のデザインを発展させたものです。LTC6813-1での機能の変更点と追加点を以下の表にまとめています。

LTC6813-1の追加機能	利点	関連のデータシート・セクション
LTC6813-1には同時に動作するADCが3つあるのに対して、LTC6811-1では2つ	各変換サイクル時に3つのセルを測定できる	ADCの動作
3つのADCデジタル・フィルタの他に、冗長性確保に使用される第4のフィルタがある	全てのデジタル・フィルタにフォルトが存在しないことを検査する	表10の説明とPS[1:0]ビットについては「デジタル冗長化機能を使用したA/D変換」
ADOLコマンドを使用して、ADC1とADC2でセル7を同時に測定し、次にADC2とADC3でセル13を同時に測定する	ADC2がADC1と同程度に正確であることを検査し、またADC3がADC2と同程度に正確であることを検査する	セル電圧測定の重複 (ADOL コマンド)
モニタ機能は放電タイムの動作中にイネーブル可能。セル電圧が設定可能な低電圧しきい値に達するとセル・バランスングは自動的に終了できる	セル・バランスングの向上	放電タイム・モニタ
内部の放電MOSFETは200mAのバランスング電流を供給できる(ダイ温度が95°Cを超えた場合は80mA)。バランスング電流はセル電圧とは無関係	より高速なセル・バランスング、特にセル電圧が低い場合	内部MOSFETによるセル・バランスング
全測定誤差(TME)に影響することなくC0ピンの電圧範囲を0V~1Vにすることが可能	C0をVに直接接続する必要なし	「電気的特性」での入力範囲
MUTEコマンドおよびUNMUTEコマンドにより、レジスタの値を上書きせずに、ホストが放電ピン(Sピン)をオン/オフすることが可能	Sピンのターンオフからセル測定までのタイミングの制御範囲の拡大	Sピンのミュート
補助測定に断線診断機能の組み込み	フォルト検出の向上	補助断線チェック (AXOW コマンド)
GPIOピンを4つ追加して合計9ピンとなる	測定可能な温度センサまたはその他のセンサの数が増加	補助 (GPIO) 測定 (ADAX コマンド) および補助断線チェック (AXOW コマンド)
LTC6813-1のデイジーチェーンは両方向で動作できる(両ポートがマスタにもスレーブにもなる)	冗長通信経路	可逆的 isoSPI

動作

状態図

LTC6813-1の動作は、コア回路とisoSPI回路の2つの部分に分かれています。両方の部分は、独立した一連の動作ステートと、タイムアウトによるシャットダウンを備えています。

LTC6813-1のコアのステートの説明

SLEEP ステート

リファレンスとADCの電力が遮断されます。ウォッチドッグ・タイマ(「ウォッチドッグ・タイマと放電タイマ」を参照)はタイムアウトしています。また、放電タイマも無効化されているかタイムアウトしています。電源電流は最小レベルまで減少します。isoSPIポートは、IDLEステートになります。DRIVEピンは0Vです。

WAKEUP信号を受信すると(「シリアル・インタフェースの起動」を参照)、LTC6813-1はSTANDBYステートに入ります。

STANDBY ステート

リファレンスとADCはオフになります。ウォッチドッグ・タイマまたは放電タイマ(あるいはその両方)は動作中です。DRIVEピンは、外付けトランジスタを経由してV_{REG}ピンに5Vの電力を供給します。(あるいは、外部電源からV_{REG}に電力を供給できます。)

有効なADCコマンドを受け取るか、構成レジスタ・グループAのREFONビットが1に設定されると、デバイスはリファレン

スを起動できる状態になるまでt_{REFUP}の間停止し、その後REFUPステートまたはMEASUREステートに移行します。そうではなく、t_{SLEEP}の間(ウォッチドッグ・タイマと放電タイマの両方が期限切れになるまで)有効なコマンドを受け取らなかった場合、LTC6813-1はSLEEPステートに戻ります。放電タイマが無効化されている場合は、ウォッチドッグ・タイマのみが関係します。

REFUP ステート

このステートに達するには、構成レジスタ・グループAのREFONビットを1に設定する必要があります(WRCFGAコマンドを使用。表36を参照)。ADCはオフになります。リファレンスが起動され、LTC6813-1がSTANDBYステートから開始するよりも素早くA/D変換を開始できるようにします。

有効なADCコマンドを受け取るとデバイスはMEASUREステートになり、変換を開始します。そうでない場合、LTC6813-1は手動または自動でSTANDBYステートに戻ります。手動の場合は(WRCFGAコマンドを使用して)REFONビットを0に設定したときであり、自動の場合はウォッチドッグ・タイマの期限が切れたときです(2つのタイマが両方もも期限切れになると、LTC6813-1はそのままSLEEPステートに移行します)。

MEASURE ステート

このステートでは、LTC6813-1はA/D変換を実行します。リファレンスとADCの電源が投入されます。

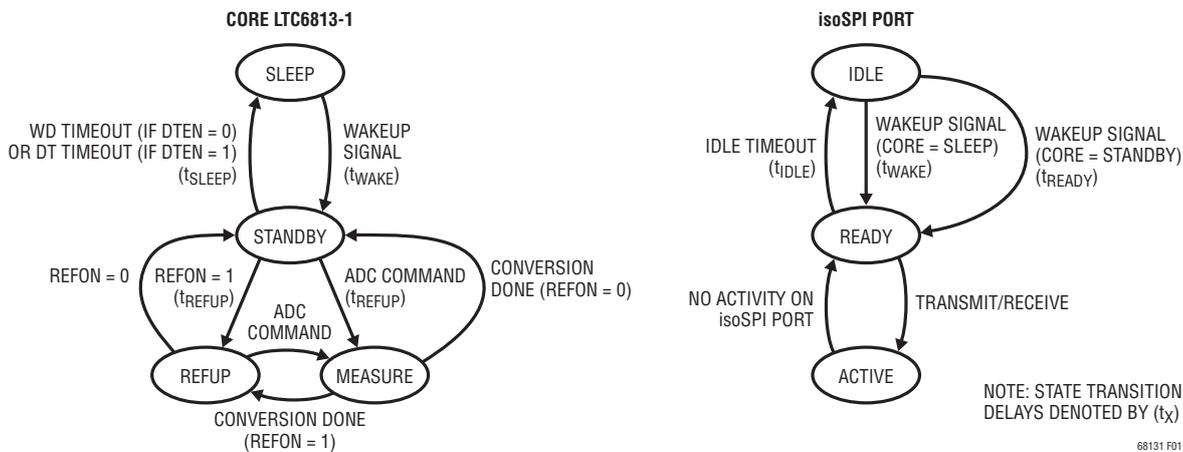


図1. LTC6813-1の動作状態図

動作

LTC6813-1は、A/D変換が完了すると、REFONビットに応じてREFUPステートまたはSTANDBYステートのいずれかに移行します。REFONを1に設定してREFUPステートを活用することによって、追加のA/D変換をより迅速に開始できます。

注記：ADCコマンド以外のコマンドでは、コアのステートが移行しません。A/D変換または診断コマンドのみが、コアをMEASUREステートに移行します。

isoSPIのステートの説明

注記：LTC6813-1は、デジチェーン通信に2つのisoSPIポート(AおよびB)を備えています。

IDLEステート

isoSPIポートの電力が遮断されます。

isoSPIのポートAまたはポートBがWAKEUP信号を受信すると(「シリアル・インタフェースの起動」を参照)、isoSPIはREADYステートに移行します。コアがSTANDBYステートにある場合、この移行は素早く(t_{READY} 以内)行われます。コアがSLEEPステートにある場合、isoSPIは、WAKEUP信号を受信してから、 t_{WAKE} 以内にREADYステートに移行します。

READYステート

isoSPIポートは通信可能な状態にあります。このステートでのシリアル・インタフェース電流は、ISOMDピンの状態と $R_{\text{BIAS}} = R_{\text{B1}} + R_{\text{B2}}$ (IBIASピンに接続された外付け抵抗)によって決まります。

ポートAまたはポートBで動作がない(つまり、WAKEUP信号がない)時間が t_{IDLE} より長くなると、LTC6813-1はIDLEステートに移行します。シリアル・インタフェースがデータを送信または受信すると、LTC6813-1はACTIVEステートに移行します。

ACTIVEステート

LTC6813-1は、一方または両方のisoSPIポートを使用してデータの送受信を行います。シリアル・インタフェースは、この状態で最も多くの電力を消費します。isoSPIパルスの密度が高くなるので、電源電流はクロック周波数の増加に伴って増加します。

消費電力

LTC6813-1の電力は、次の2つのピンから供給されます。それは V^+ と V_{REG} です。 V^+ 入力は、先頭セルの電圧より0.3V低い電圧以上の電圧を必要とし、コア回路の高電圧素子に電力を供給します。 V_{REG} 入力は5Vを必要とし、残りのコア回路とisoSPI回路に電力を供給します。 V_{REG} 入力には、安定化されたDRIVE出力ピンによって駆動される外付けトランジスタを介して電力を供給できます。あるいは、外部電源から V_{REG} に電力を供給できます。

消費電力は、動作ステートによって異なります。各ステートでの電源ピンの電流を概算する式を表1と表2に示します。 V^+ ピンの電流が依存するのはコアのステートだけです。ただし、 V_{REG} ピンの電流は、コアのステートとisoSPIのステートの両方に依存するため、2つの成分に分けることができます。isoSPIインタフェースに流れる電流は、 V_{REG} ピンからの電流だけです。

$$I_{\text{REG}} = I_{\text{REG}}(\text{CORE}) + I_{\text{REG}}(\text{isoSPI})$$

SLEEPステートでは、外部電源から電力が供給された場合、 V_{REG} ピンに約3.1 μA が流れます。そうでない場合は、 V^+ ピンが必要な電流を供給します。

表1. コアの電源電流

ステート		I_{VP}	$I_{\text{REG}}(\text{CORE})$
SLEEP	$V_{\text{REG}} = 0\text{V}$	6.1 μA	0 μA
	$V_{\text{REG}} = 5\text{V}$	3 μA	3.1 μA
STANDBY		14 μA	35 μA
REFUP		550 μA	900 μA
MEASURE		950 μA	15mA

表2. isoSPIの電源電流の式

isoSPIのステート	ISOMD接続	$I_{\text{REG}}(\text{isoSPI})$
IDLE	N/A	0mA
READY	V_{REG}	2.2mA + 3 • I_{B}
	V^-	1.5mA + 3 • I_{B}
ACTIVE	V_{REG}	Write: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$ Read: $2.5\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 1.5}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$
	V^-	$1.8\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_{\text{B}}$

動作

ADCの動作

LTC6813-1には内部に3つのADCがあります。これら3つのADCは、18個のセルを測定するときに同時に動作します。汎用入力に測定に使用されるADCは1つだけです。以下の説明でADCと表記されている場合は、動作の内容に応じて1つまたは全部のADCを表わします。また、以下の説明で、例えばタイミング図で3つの回路を区別する必要があるときは、ADC1、ADC2、およびADC3と表記します。

ADCモード

構成レジスタ・グループAのADCOPTビット(CFGAR0[0])と変換コマンドのモード選択ビットMD[1:0]を組み合わせると、ADCの8つの動作モードが得られます。これらのモードは、異なるオーバー・サンプリング率(OSR)に対応しています。これらのモードの精度とタイミングを表3にまとめています。それぞれのモードにおいて、ADCは最初に入力を測定し、その次に各チャンネルの較正を行います。モードの名前は、ADC測定時の-3dB帯域幅に基づいています。

7kHzモード(通常モード)：このモードでは、ADCの分解能が高く、TME(全測定誤差)が低く抑えられています。これは、速度と精度のバランスが最適になるように組み合わせられていることから、通常動作モードと見なされます。

27kHzモード(高速モード)：このモードでは、ADCのスループットが最大になりますが、TME(全測定誤差)はある程度増加します。そのためこのモードは、高速モードとも呼ばれます。速度の向上は、オーバーサンプリング率を小さくすることによって実現されます。その結果、ノイズと平均測定誤差が増加します。

26Hzモード(フィルタ・モード)：このモードでは、OSRを増やすことによって、ADCのデジタル・フィルタの-3dB周波数が26Hzに減少します。このモードは、-3dB周波数が低いいため、フィルタ・モードとも呼ばれます。精度は7kHzモード(通常モード)と同様ですが、ノイズが少なくなります。

14kHz、3kHz、2kHz、1kHz、および422Hzモード：14kHz、3kHz、2kHz、1kHz、および422Hzモードは、ADCデジタル・フィルタの-3dB周波数をそれぞれ13.5kHz、3.4kHz、1.7kHz、845Hz、および422Hzに設定する追加オプションを提供します。14kHzモードの精度は、27kHzモード(高速モード)と同様です。3kHz、2kHz、1kHz、および422Hzモードの精度は、7kHzモード(通常モード)と同様です。

これらのモードにおけるフィルタの帯域幅と変換時間を表3および表5に示します。コアがSTANDBYステートにある場合、A/D変換を開始する前にリファレンスを起動するために、 t_{REFUP} の追加時間が必要です。構成レジスタ・グループAのREFONビットを1に設定した場合、A/D変換とA/D変換の間リファレンスを起動したままにすることができます。したがって、遅延 t_{REFUP} の後、コアはREFUPステートになっています。その後のADCコマンドでは、A/D変換を開始する前に t_{REFUP} の遅延は発生しません。

表3. ADCフィルタの帯域幅と精度

モード	-3dBの フィルタ 帯域幅	-40dBの フィルタ 帯域幅	3.3V、 25°Cでの TME仕様	3.3V、-40°C、 125°Cでの TME仕様
27kHz (Fast Mode)	27kHz	84kHz	±6mV	±6mV
14kHz	13.5kHz	42kHz	±6mV	±6mV
7kHz (Normal Mode)	6.8kHz	21kHz	±2.2mV	±3.3mV
3kHz	3.4kHz	10.5kHz	±2.2mV	±3.3mV
2kHz	1.7kHz	5.3kHz	±2.2mV	±3.3mV
1kHz	845Hz	2.6kHz	±2.2mV	±3.3mV
422Hz	422Hz	1.3kHz	±2.2mV	±3.3mV
26Hz (Filtered Mode)	26Hz	82Hz	±2.2mV	±3.3mV

注記：TMEは全測定値誤差。

ADCの範囲と分解能

C入力とGPIO入力の範囲と分解能は同じです。6813-1内部のADCの範囲は、およそ-0.82V～+5.73Vです。負の読み取り値は0Vに丸められます。データのフォーマットは16ビットの符号なし整数で、LSBは100μVです。したがって、0x80E8(10進数で33,000)は3.3Vの測定値を示します。

デルタシグマ型ADCでは、特に高速モードなどでオーバー・サンプリング率(OSR)が低い場合に、入力電圧に応じて量子化ノイズが発生します。ADCモードの一部では、入力電圧がADC範囲の上限と下限に近づくにつれて量子化ノイズが増加します。例えば、通常モードとフィルタ・モードでの全測定ノイズと入力電圧を図2に示します。

動作

ADCの規定の範囲は0V～5Vです。表4では、ADCの精度範囲は、0.5V～4.5Vの間で任意に定義されます。これは、低OSRモードでも量子化ノイズが比較的一定になる範囲です(図2を参照)。ADCの8つの動作モード全てについて、この範囲内の全ノイズを表4にまとめます。ノイズのない分解能も示されています。例えば、通常モードでのノイズのない14ビットの分解能とは、DC入力では上位14ビットにはノイズがないが、15番目と16番目の最下位ビット(LSB)にはフリッカ・ノイズがあることを意味しています。

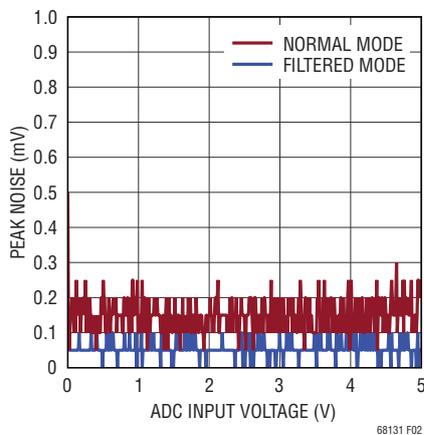


図2. 測定ノイズと入力電圧

ADCの範囲と電圧リファレンスの値

標準的なADCの範囲は電圧リファレンスを正確に2倍した値であり、ADCの測定誤差は電圧リファレンスの誤差に正比例します。LTC6813-1のADCは標準的なものではありません。V_{REF1}の絶対値は、ADCの利得誤差を補正するために増加または減少の調整が行われます。したがって、ADCの全測定誤差(TME)の規格値はV_{REF1}の規格値よりも優れています。例えば、7kHzモード(通常モード)で3.300Vを測定する場合、全測定誤差の25°Cでの規格値は±2.2mVですが、V_{REF1}の25°Cでの規格値は3.150V±150mVです。

セル電圧の測定(ADCVコマンド)

ADCVコマンドは、ピンC0からC18までのバッテリー・セル入力の測定を開始します。このコマンドには、測定チャンネル数とADCモードを選択するためのオプションが複数あります。ADCVコマンドのフォーマットについては、「コマンド」のセクションを参照してください。

図3は、18個のセル全てを測定するADCVコマンドのタイミングを示しています。18個のセル全てを測定するためのADCVコマンドを受け取ると、ADC1は下位の6セルを順に測定します。ADC2は中間の6セルを測定し、ADC3は上位の6セルを測定します。セル測定が完了すると、オフセット誤差をなくすために各チャンネルの較正が行われます。

18個のセル全てを測定するADCVコマンドの変換時間を表5に示します。合計変換時間は、較正ステップの終了を示すt_{6C}から得られます。

図4は、3つのセルのみを測定するADCVコマンドのタイミングを示しています。

表4. ADCの範囲と分解能

モード	全範囲 ¹	規定範囲	精度範囲 ²	LSB	フォーマット	最大ノイズ	ノイズのない分解能 ³
27kHz (Fast)	-0.8192V to 5.7344V	0V to 5V	0.5V to 4.5V	100 μV	Unsigned 16 Bits	±4mVp-p	10 Bits
14kHz						±1mVp-p	12 Bits
7kHz (Normal)						±250 μVp-p	14 Bits
3kHz						±150 μVp-p	14 Bits
2kHz						±100 μVp-p	15 Bits
1kHz						±100 μVp-p	15 Bits
422Hz						±100 μVp-p	15 Bits
26Hz (Filtered)						±50 μVp-p	16 Bits

1.負の読み取り値は0Vに丸められます。

2.精度範囲は、ノイズが最大ノイズより小さくなる範囲です。

3.ノイズのない分解能は、精度範囲内のノイズ・レベルの測定値です。

動作

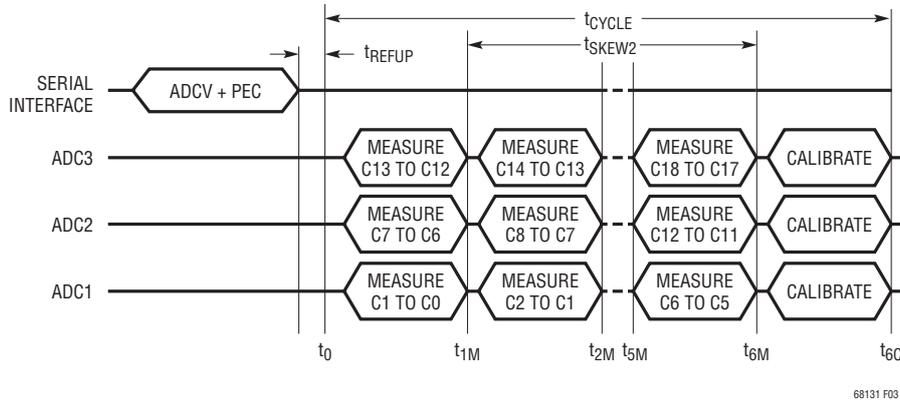


図3. 18個のセル全てを測定するADCVコマンドのタイミング

表5. 全18セルをさまざまなモードで測定するADCVコマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{5M}	t _{6M}	t _{6C}	t _{SKEW2}
27kHz	0	58	104	244	291	1,121	233
14kHz	0	87	163	390	466	1,296	379
7kHz	0	145	279	681	815	2,343	670
3kHz	0	261	512	1,263	1,513	3,041	1,252
2kHz	0	494	977	2,426	2,909	4,437	2,415
1kHz	0	960	1,908	4,753	5,702	7,230	4,742
422Hz	0	1,890	3,770	9,408	11,287	12,816	9,397
26Hz	0	29,818	59,624	149,044	178,851	201,325	149,033

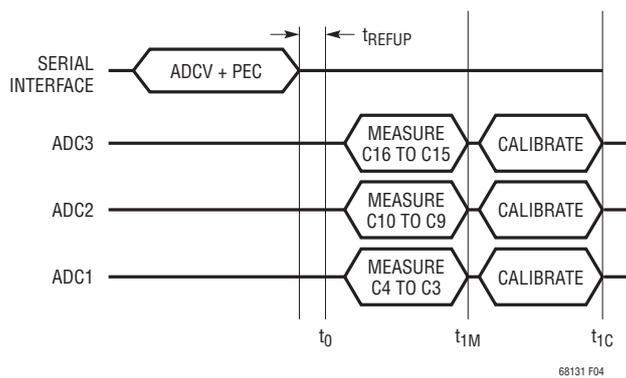


図4. 3セルを測定するADCVコマンドのタイミング

動作

3つのセルのみを測定するADCVコマンドの変換時間を表6に示します。 t_{1C} は、このコマンドの合計変換時間を示しています。

表6. さまざまなモードで3つのセルを測定するADCVコマンドの変換時間

モード	変換時間 (μs)		
	t_0	t_{1M}	t_{1C}
27kHz	0	58	203
14kHz	0	87	232
7kHz	0	145	407
3kHz	0	261	523
2kHz	0	494	756
1kHz	0	960	1,221
422Hz	0	1,890	2,152
26Hz	0	29,818	33,570

低電圧/過電圧モニタ

C入力が測定されると、結果はメモリに格納されている低電圧しきい値および過電圧しきい値と必ず比較されます。セルの測定値が過電圧しきい値を超えている場合は、過電圧フラグのビットがセットされます。同様に、測定結果が低電圧しきい値を下回っている場合は低電圧フラグのビットがセットされます。過電圧しきい値と低電圧しきい値は構成レジスタ・グループAに格納されます。フラグはステータス・レジスタ・グループBと補助レジスタ・グループDに格納されます。

補助(GPIO)測定(ADAXコマンド)

ADAXコマンドによってGPIO入力の測定が開始されます。このコマンドには、測定するGPIO入力(GPIO1~9)と使用するADCモードを選択するためのオプションがあります。ADAXコマンドは、2番目のリファレンスも測定します。ADAXコマンドには、GPIOのサブセットと2番目のリファレンスを個別に測定するためのオプションと、9つのGPIO全てと2番目のリファレンスを1つのコマンドで測定するためのオプションがあります。ADAXコマンドのフォーマットについては、「コマンド」のセクションを参照してください。全ての補助測定はV_{pin}の電圧を基準にしています。GPIOに温度センサを接続すれば、このコマンドを使用して外部温度を測定することができます。これらのセンサの電源は2番目のリファレンスから取ることができ、このリファレンスもADAXコマンドによって測定されるので、正確な比率に基づいて測定を行うことができます。

図5は、全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミングを示しています。ADC1単独では全部で10回の測定が行われます。2番目のリファレンスは、GPIO5の後かつGPIO6の前に測定されます。

全てのGPIOと2番目のリファレンスを測定するADAXコマンドの変換時間を表7に示します。 t_{10C} は全変換時間を示しています。

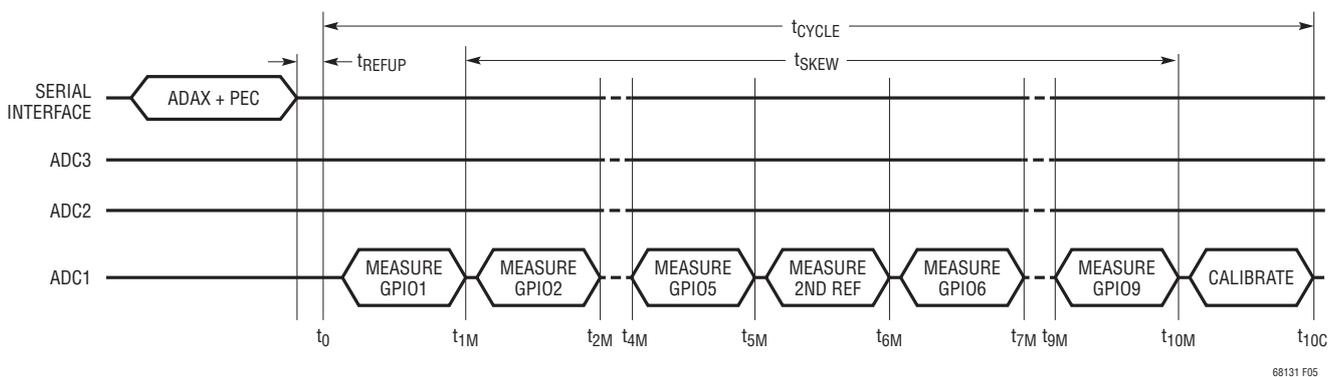


図5. 全てのGPIOと2番目のリファレンスを測定するADAXコマンドのタイミング

動作

表 7. 全ての GPIO と 2 番目のリファレンスをさまざまなモードで測定する ADAX コマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{9M}	t _{10M}	t _{10C}	t _{SKEW}
27kHz	0	58	104	431	478	1,825	420
14kHz	0	87	163	693	769	2,116	682
7kHz	0	145	279	1,217	1,350	3,862	1,205
3kHz	0	261	512	2,264	2,514	5,025	2,253
2kHz	0	494	977	4,358	4,841	7,353	4,347
1kHz	0	960	1,908	8,547	9,496	12,007	8,536
422Hz	0	1,890	3,770	16,926	18,805	21,316	16,915
26Hz	0	29,818	59,624	268,271	298,078	335,498	268,260

デジタル冗長化機能を備えた補助 (GPIO) 測定 (ADAXD コマンド)

ADAXD コマンドは ADAX コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。冗長化を有効にするには、ADAXD の実行時に構成レジスタ・グループ B の PS[1:0] を 0 または 1 に設定する必要があります。「デジタル冗長化機能を使用した A/D 変換」のセクションを参照してください。

ADAX と ADAXD の実行時間は同じです。

セル電圧と GPIO の測定 (ADCVAX コマンド)

ADCVAX コマンドは、18 個のセルの測定値を 2 つの GPIO 測定値 (GPIO1 および GPIO2) と組み合わせます。このコマンドを使用すれば、電流センサを GPIO1 入力または GPIO2 入力に接続した場合に、バッテリー・セル電圧測定値と電流測定値の同期が容易になります。ADCVAX コマンドのタイミングを図 6 に示します。ADCVAX コマンドのフォーマットについては、「コマンド」のセクションを参照してください。高速モードでの電流測定値と電圧測定値の同期時間 (t_{SKEW1}) は、194 μs 以内です。

さまざまなモードでの ADCVAX コマンドの変換時間と同期時間を表 8 に示します。このコマンドの合計変換時間は、t_{8C} から得られます。

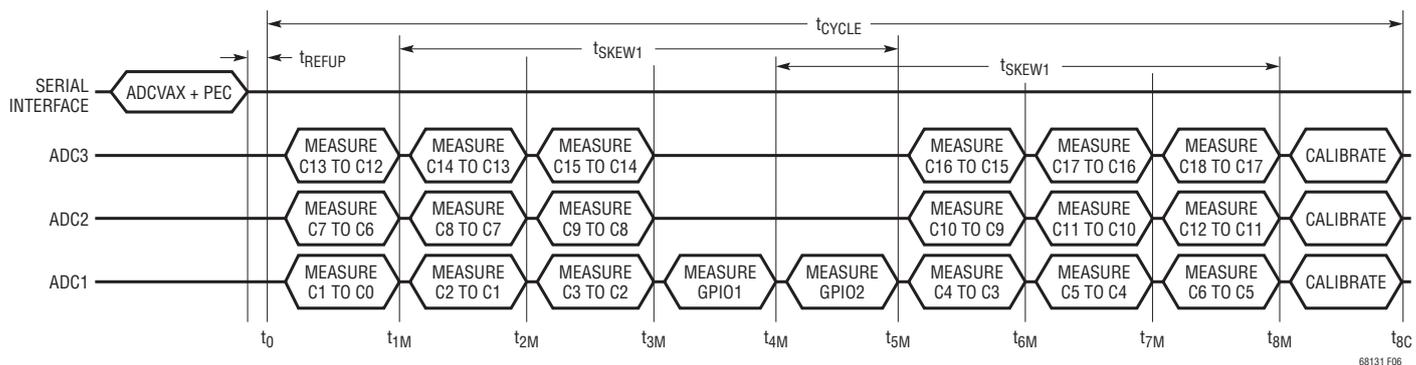


図 6. ADCVAX コマンドのタイミング

動作

表 8. さまざまなモードでの ADCVAX コマンドの変換時間と同期時間

モード	変換時間 (μs)										同期時間 (μs)
	t_0	t_{1M}	t_{2M}	t_{3M}	t_{4M}	t_{5M}	t_{6M}	t_{7M}	t_{8M}	t_{9C}	t_{SKEW1}
27kHz	0	58	104	151	205	252	306	352	399	1,511	194
14kHz	0	87	163	238	321	397	480	556	632	1,744	310
7kHz	0	145	279	413	554	688	829	963	1,097	3,140	543
3kHz	0	261	512	762	1,020	1,270	1,527	1,778	2,028	4,071	1,008
2kHz	0	494	977	1,460	1,950	2,433	2,924	3,407	3,890	5,933	1,939
1kHz	0	960	1,908	2,857	3,812	4,761	5,717	6,665	7,613	9,657	3,801
422Hz	0	1,890	3,770	5,649	7,536	9,415	11,302	13,181	15,061	17,104	7,525
26Hz	0	29,818	59,624	89,431	119,245	149,052	178,866	208,672	238,479	268,450	119,234

データ収集システムの診断

バッテリー・モニタ・データ収集システムは、マルチプレクサ、ADC、1番目のリファレンス、デジタル・フィルタ、およびメモリで構成されます。信頼性の高い性能を長期間保証するために、診断コマンドがいくつかあります。これらのコマンドを使用して、各回路が正常に動作していることを確認できます。

内部デバイス・パラメータの測定 (ADSTAT コマンド)

ADSTAT コマンドは、次に示す内部デバイス・パラメータを測定する診断コマンドです。それは、全セルの合計 (SC)、内部ダイ温度 (ITMP)、アナログ電源 (VA)、およびデジタル電

源 (VD) です。これらのパラメータについて、以降のセクションで説明します。前述した8つのADCモードは、全てこれらの変換で使用できます。ADSTAT コマンドのフォーマットについては、「コマンド」のセクションを参照してください。図7は、4つの内部デバイス・パラメータ全てを測定するADSTATコマンドのタイミングを示しています。

4つの内部パラメータ全てを測定するADSTATコマンドの変換時間を表9に示します。 t_{4C} は、ADSTATコマンドの全変換時間を示しています。

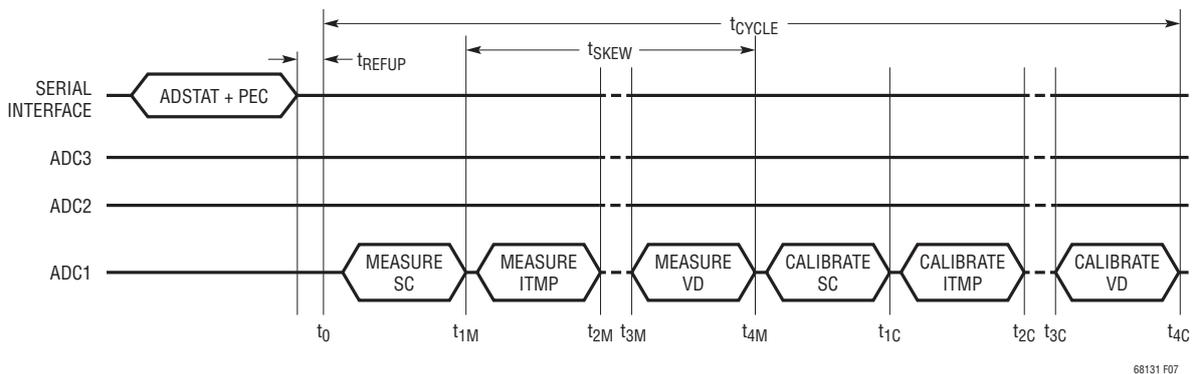


図 7. SC、ITMP、VA、VDを測定するADSTATコマンドのタイミング

68131 F07

動作

表 9. SC、ITMP、VA、VD をさまざまなモードで測定する ADSTAT コマンドの変換時間と同期時間

モード	変換時間 (μs)						同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{4C}	t _{SKEW}
27kHz	0	58	104	151	198	742	140
14kHz	0	87	163	238	314	858	227
7kHz	0	145	279	413	547	1,556	402
3kHz	0	261	512	762	1,012	2,022	751
2kHz	0	494	977	1,460	1,943	2,953	1,449
1kHz	0	960	1,908	2,857	3,805	4,814	2,845
422Hz	0	1,890	3,770	5,649	7,529	8,538	5,638
26Hz	0	29,818	59,624	89,431	119,238	134,211	89,420

セル電圧合計測定値: 全セル電圧合計測定値は、C18とC0の間の電圧を30:1に減衰させた値です。セル電圧合計測定値(SC)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。C0ピンとV⁻ピンの間に電位差があると、この差と等しい誤差がSCの測定値に発生します。SCの値から、全セル電圧合計測定値は次式によって与えられます。

$$\text{全セル電圧合計測定値} = \text{SC} \cdot 30 \cdot 100 \mu\text{V}$$

内部ダイ温度: ADSTAT コマンドは、内部ダイ温度の測定にも使用できます。ダイ温度の測定値(ITMP)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。ITMPから、実際のダイ温度は次式を使用して計算されます。

$$\text{Internal Die Temperature (}^\circ\text{C)} =$$

$$\text{ITMP} \cdot \left(\frac{100 \mu\text{V}}{7.6\text{mV}} \right) ^\circ\text{C} - 276^\circ\text{C}$$

電源測定値: ADSTAT コマンドは、アナログ電源(V_{REG})とデジタル電源(V_{REGD})の測定にも使用されます。アナログ電源測定値(VA)の16ビットADCの値は、ステータス・レジスタ・グループAに格納されます。デジタル電源測定値(VD)の16ビットADCの値は、ステータス・レジスタ・グループBに格納されます。VAとVDから、各電源の測定値は次の式によって得られます。

$$\text{アナログ電源の測定値 (V}_{\text{REG}}) = \text{V}_A \cdot 100 \mu\text{V}$$

$$\text{デジタル電源の測定値 (V}_{\text{REGD}}) = \text{V}_D \cdot 100 \mu\text{V}$$

V_{REG}の値は外付け部品によって決まります。精度を維持するため、V_{REG}の電圧は4.5V~5.5Vの範囲内にします。V_{REGD}の値は内部部品によって決まります。V_{REGD}の通常の範囲は2.7V~3.6Vです。

デジタル冗長化機能を使用した内部デバイス・パラメータの測定 (ADSTATD コマンド)

ADSTATD コマンドはADSTAT コマンドと同様に動作しますが、デジタル冗長化機能を使用して追加の診断を実行することだけが異なります。冗長化を有効にするには、ADSTATDの実行時に構成レジスタ・グループBのPS[1:0]を0または1に設定する必要があります。「デジタル冗長化機能を使用したA/D変換」のセクションを参照してください。

ADSTATとADSTATDの実行時間は同じです。

デジタル冗長化機能を使用したA/D変換

3つの内部ADCは、独自のデジタル積分マシンおよびデジタル微分マシンをそれぞれ搭載しています。また、LTC6813-1は、冗長化と誤り検査に使用される第4のデジタル積分マシンおよびデジタル微分マシンも搭載しています。

全てのADCコマンドおよび自己テスト・コマンド(ADAXおよびADSTATを除く)は、デジタル冗長化と並行して実行できます。これに該当するのは、ADCV、ADOW、CVST、ADOL、ADAXD、AXOW、AXST、ADSTATD、STATST、ADCVAX、およびADCVSCです。A/D変換を冗長化と同時に実行する場合、アナログ変調器はそのビット・ストリームを1次デジタル・マシンと冗長デジタル・マシンの両方に送信します。変換が終了すると、2つのマシンからの結果が比較されます。不

動作

一致が発生した場合は、0xFF0X ($\geq 6.528\text{V}$) という値が結果レジスタに書き込まれます。この値はADCのクランプ範囲の外側であり、ホストはこれをフォルトの兆候として識別します。最後の4ビットは、結果値のどのニブルが一致しなかったを示すために使用されます。

結果	意味
0b1111_1111_0000_0XXX	ビット15~12にはフォルトが検出されなかった
0b1111_1111_0000_1XXX	ビット15~12にフォルトが検出された
0b1111_1111_0000_X0XX	ビット11~8にはフォルトが検出されなかった
0b1111_1111_0000_X1XX	ビット11~8にフォルトが検出された
0b1111_1111_0000_XX0X	ビット7~4にはフォルトが検出されなかった
0b1111_1111_0000_XX1X	ビット7~4にフォルトが検出された
0b1111_1111_0000_XXX0	ビット3~0にはフォルトが検出されなかった
0b1111_1111_0000_XXX1	ビット3~0にフォルトが検出された

冗長デジタル・マシンは1つなので、冗長化を同時に適用できるADCの数は1つだけです。デフォルトでは、LTC6813-1はADC経路の冗長化を自動的に選択します。ただし、構成レジスタ・グループBのPS[1:0]ビットに書き込むことにより、ADCの冗長化経路を選択できます。

ADC経路の冗長化について可能性のある全ての選択肢を表10に示します。

構成レジスタ・グループBのFDRFビットに1を書き込むと、その後のA/D変換の間、デジタル冗長性の比較が強制的に機能しなくなります。

セル電圧とセル電圧合計の測定 (ADCVSC コマンド)

ADCVSC コマンドは、18個のセル電圧測定値とセル電圧合計測定値を組み合わせます。このコマンドにより、個々のバッテリー・セル電圧とセル電圧合計測定値の同期が簡単になります。ADCVSC コマンドのタイミングを図8に示します。ADCVSC コマンドのフォーマットについては、「コマンド」のセクションを参照してください。高速モードでのセル電圧測定値とセル電圧合計測定値の同期時間 (t_{SKEW}) は、147 μs 以内です。

さまざまなモードでの ADCVSC コマンドの変換時間と同期時間を表11に示します。このコマンドの合計変換時間は、 t_7 から得られます。

表 10. ADC 経路冗長化の選択

測定対象	PS[1:0] = 00		PS[1:0] = 01		PS[1:0] = 10		PS[1:0] = 11	
	経路選択	冗長測定の対象	経路選択	冗長測定の対象	経路選択	冗長測定の対象	経路選択	冗長測定の対象
Cells 1, 7, 13	ADC1	Cell 1	ADC1	Cell 1	ADC2	Cell 7	ADC3	Cell 13
Cells 2, 8, 14	ADC2	Cell 8	ADC1	Cell 2	ADC2	Cell 8	ADC3	Cell 14
Cells 3, 9, 15	ADC3	Cell 15	ADC1	Cell 3	ADC2	Cell 9	ADC3	Cell 15
Cells 4, 10, 16	ADC1	Cell 4	ADC1	Cell 4	ADC2	Cell 10	ADC3	Cell 16
Cells 5, 11, 17	ADC2	Cell 11	ADC1	Cell 5	ADC2	Cell 11	ADC3	Cell 17
Cells 6, 12, 18	ADC3	Cell 18	ADC1	Cell 6	ADC2	Cell 12	ADC3	Cell 18
Cell 7 (ADOL)	ADC2	Cell 7	ADC1	Cell 7	ADC2	Cell 7	ADC3	N/A
Cell 13 (ADOL)	ADC2	Cell 13	ADC1	N/A	ADC2	Cell 13	ADC3	Cell 13
GPIO[n]*	ADC1	GPIO[n]	ADC1	GPIO[n]	ADC2	N/A	ADC3	N/A
2nd Reference*	ADC1	2nd Ref	ADC1	2nd Ref	ADC2	N/A	ADC3	N/A
SC*	ADC1	SC	ADC1	SC	ADC2	N/A	ADC3	N/A
ITMP*	ADC1	ITMP	ADC1	ITMP	ADC2	N/A	ADC3	N/A
VA*	ADC1	VA	ADC1	VA	ADC2	N/A	ADC3	N/A
VD*	ADC1	VD	ADC1	VD	ADC2	N/A	ADC3	N/A

*ADAX コマンドおよび ADSTAT コマンドは、ADAXD コマンドおよび ADSTATD コマンドと同一ですが、ADAX と ADSTAT がデジタル冗長化を適用しないことを除きます。

動作

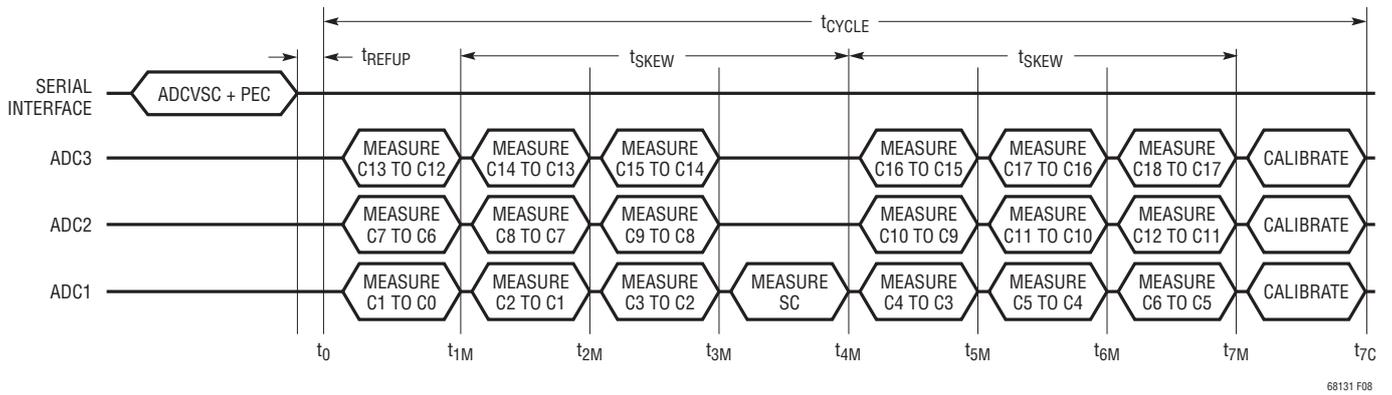


図8. 全18セル、SCを測定するADCVSCコマンドのタイミング

表11. さまざまなモードでのADCVSCコマンドの変換時間と同期時間

モード	変換時間 (μs)									同期時間 (μs)
	t ₀	t _{1M}	t _{2M}	t _{3M}	t _{4M}	t _{5M}	t _{6M}	t _{7M}	t _{7C}	t _{SKEW}
27kHz	0	58	104	151	205	259	306	352	1,331	147
14kHz	0	87	163	238	321	404	480	556	1,534	235
7kHz	0	145	279	413	554	695	829	963	2,756	409
3kHz	0	261	512	762	1,020	1,277	1,527	1,778	3,571	758
2kHz	0	494	977	1,460	1,950	2,441	2,924	3,407	5,200	1,456
1kHz	0	960	1,908	2,857	3,812	4,768	5,717	6,665	8,458	2,853
422Hz	0	1,890	3,770	5,649	7,536	9,423	11,302	13,181	14,974	5,645
26Hz	0	29,818	59,624	89,431	119,245	149,059	178,866	208,672	234,902	89,427

動作

セル電圧測定の重複 (ADOL コマンド)

ADOL コマンドは、まず ADC1 と ADC2 によってセル7を同時に測定します。次に、ADC2 と ADC3 によってセル13を同時に測定します。ホストは結果を互いに比較して、フォルトを示す可能性がある不整合を検出します。ADC2 によるセル7の測定結果は、通常はセル7の結果が存在するセル電圧レジスタ・グループCに置かれます。ADC1 による結果は、通常はセル8の結果が存在するセル電圧レジスタ・グループCに置かれます。ADC3 によるセル13の測定結果は、通常はセル13の結果が存在するセル電圧レジスタ・グループEに置かれます。ADC2 による結果は、通常はセル14の結果が存在するセル電圧レジスタ・グループEに置かれます。ADOL コマンドのタイミングを図9に示します。ADOL コマンドのフォーマットについては、「コマンド」のセクションを参照してください。

ADOL コマンドの変換時間を表12に示します。 t_{2c} は、このコマンドの合計変換時間を示しています。

精度チェック

データ収集システムの精度を確認する最良の方法は、独立した電圧リファレンスを測定することです。LTC6813-1には、このために2番目のリファレンスが内蔵されています。ADAX コマンドは、この2番目のリファレンスの測定を開始します。測定結果は補助レジスタ・グループBに置かれます。この結果の範囲は、ADC1の測定精度と2番目のリファレンスの精度によって決まり、温度ヒステリシスと長期ドリフトが含まれています。読み取り値が2.988V～3.012Vの範囲を外れる場合(データシートの最終限度にヒステリシス分の2mVと長期ドリフト分の3mVを加算)は、システムが規定の許容誤差から外れていることを示しています。ADC2はADOL コマンドを使用してADC1と比較することによって検証されます。ADC3はADOL コマンドを使用してADC2と比較することによって検証されます。

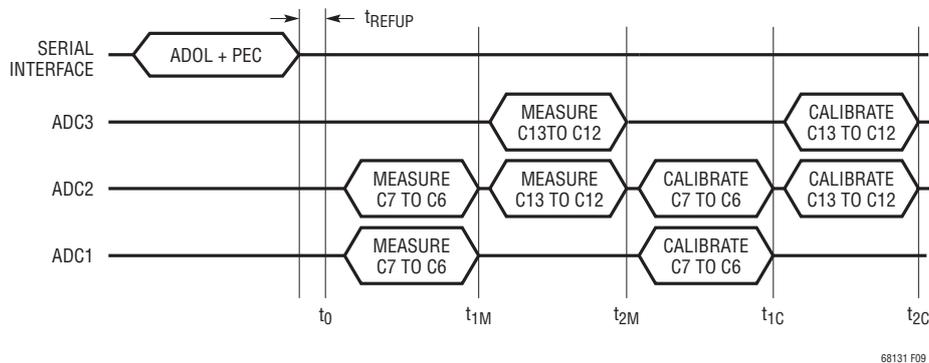


図9. ADOL コマンドのタイミング

表12. ADOL コマンドの変換時間

モード	変換時間 (μs)			
	t_0	t_{1M}	t_{2M}	t_{2c}
27kHz	0	58	106	384
14kHz	0	87	164	442
7kHz	0	146	281	791
3kHz	0	262	513	1,024
2kHz	0	495	979	1,490
1kHz	0	960	1,910	2,420
422Hz	0	1,891	3,772	4,282
26Hz	0	29,818	59,626	67,119

動作

MUXデコーダ・チェック

診断コマンドDIAGNによって、各マルチプレクサ・チャンネルが正しく動作していることを確認できます。このコマンドは全てのチャンネルを巡回検査して、チャンネル・デコーダが不合格になると、ステータスレジスタ・グループBのMUXFAILビットを1に設定します。チャンネル・デコーダがテストに合格した場合、MUXFAILビットは0に設定されます。MUXFAILは、電源投入時(POR)またはCLRSTATコマンドの実行後にも1に設定されます。

コアがREFUPステートにある場合、DIAGNコマンドの実行には約400μsかかります。コアがSTANDBYステートにある場合、DIAGNコマンドの実行には約4.5msかかります。「ポーリング方法」のセクションに記載されたポーリング方法を使用して、DIAGNコマンドの完了を確認できます。

デジタル・フィルタ・チェック

デルタシグマ型ADCは、1ビット・パルス密度変調器とその後段に接続されたデジタル・フィルタで構成されています。アナログ入力電圧が高くなると、パルス密度変調ビット・スト

リームにおける1の比率(%)が大きくなります。デジタル・フィルタは、この頻度の高い1ビット・ストリームを1つの16ビット・ワードに変換します。デルタシグマ型ADCが、よくオーバーサンプリング・コンバータと呼ばれるのはこのためです。

デジタル・フィルタとメモリの動作は、自己テスト・コマンドによって確認できます。自己テスト中のADCの動作を図10に示します。1ビット・パルス密度変調器の出力は、1ビット・テスト信号に置き換えられます。このテスト信号はデジタル・フィルタを通過して16ビット値に変換されます。1ビットのテスト信号には、変調器からの通常の1ビット信号と同じデジタル変換が行われるので、自己テスト・コマンドによる変換時間は通常のA/D変換コマンドによる変換時間とまったく同じです。16ビットADCの値は、対応する通常のA/D変換コマンドと同じレジスタ・グループに保存されます。テスト信号は、1と0が交互に現れるパターンをレジスタ内に置くように設計されています。自己テスト・コマンドの一覧を表13に示します。デジタル・フィルタとメモリが正しく機能している場合は、表13に示す値がレジスタに格納されます。詳細については、「コマンド」のセクションを参照してください。

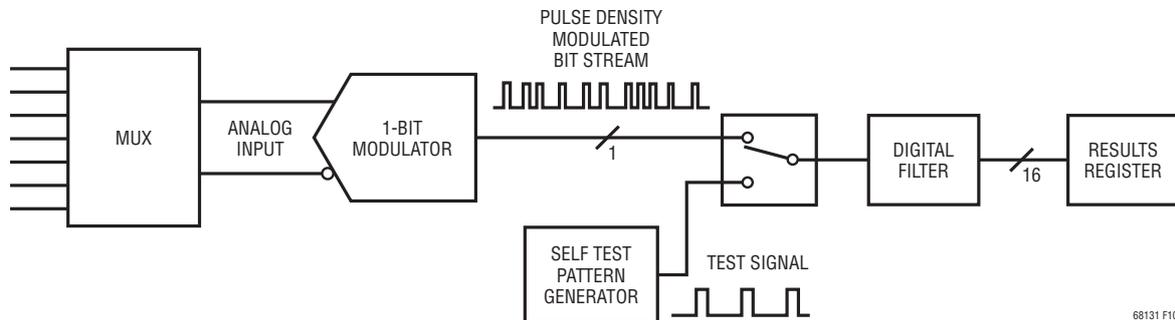


図10. LTC6813-1のADC自己テストの動作

表13. 自己テスト・コマンドのまとめ

コマンド	自己テストのオプション	各ADCモードでの出力パターン			結果レジスタ・グループ
		27kHz	14kHz	7kHz, 3kHz, 2kHz, 1kHz, 422Hz, 26Hz	
CVST	ST[1:0] = 01	0x9565	0x9553	0x9555	C1V to C18V (CVA, CVB, CVC, CVD, CVE, CVF)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
AXST	ST[1:0] = 01	0x9565	0x9553	0x9555	G1V to G9V, REF (AUXA, AUXB, AUXC, AUXD)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	
STATST	ST[1:0] = 01	0x9565	0x9553	0x9555	SC, ITMP, VA, VD (STATA, STATB)
	ST[1:0] = 10	0x6A9A	0x6AAC	0x6AAA	

動作

ADC クリア・コマンド

LTC6813-1には、3つのクリアADCコマンドCLRCELL、CLRAUX、およびCLRSTATがあります。これらのコマンドは、全てのA/D変換結果の保存レジスタをクリアします。

CLRCELLコマンドは、セル電圧レジスタ・グループA、B、C、D、E、およびFをクリアします。これらのレジスタ内の全てのバイトは、CLRCELLコマンドによって0xFFに設定されます。

CLRAUXコマンドは、補助レジスタ・グループA、B、C、およびDをクリアします。これらのレジスタ内の全てのバイトは、グループDの最後の4レジスタを除き、CLRAUXコマンドによって0xFFに設定されます。

CLRSTATコマンドは、ステータス・レジスタ・グループBのREVビットとRSVDビットを除き、ステータス・レジスタ・グループAおよびBをクリアします。REVを読み出すと、デバイスのリビジョン・コードが返されます。RSVDビットは、常に0を読み出します。ステータス・レジスタ・グループBおよび補助レジスタ・グループDのOVフラグ、UVフラグ、MUXFAILビット、およびTHSDビットは、CLRSTATコマンドによって全て1に設定されます。RDSTATBコマンドの実行後、THSDビットは0に設定されます。SC、ITMP、VA、およびVDを格納するレジスタは、CLRSTATコマンドによって全て0xFFに設定されます。

断線チェック(ADOWコマンド)

ADOWコマンドは、LTC6813-1のADCと外部セルとの間に断線がないか確認するために使用されます。このコマンドはADCVコマンドとまったく同様にCピン入力のA/D変換を行います。2本のCピンを測定するときに2つの内部電流源がCピンにシンク電流またはソース電流を供給する点が異なります。ADOWコマンドのプルアップ(PUP)ビットは、電流源が100 μ Aのシンク電流またはソース電流のどちらを供給するかを決定します。

以下の簡単なアルゴリズムを使用して、19本のCピンのいずれかに断線があるかどうかを確認できます。

1. PUP=1を設定した18セルのコマンドADOWを少なくとも2回実行する。最後にセル1~18の電圧を1回読み取り、それをアレイCELL_{PU}(n)に保存する。
2. PUP=0を設定した18セルのコマンドADOWを少なくとも2回実行する。最後にセル1~18の電圧を1回読み取り、それをアレイCELL_{PD}(n)に保存する。
3. セル2~18に対して上のステップで行ったプルアップ測定とプルダウン測定との差を取る。

$$CELL_{\Delta}(n) = CELL_{PU}(n) - CELL_{PD}(n)$$

4. 1から17までの全てのnの値に対して、次のように判定する。CELL _{Δ} (n+1) < -400mVである場合、C(n)は断線している。CELL_{PU}(1) = 0.0000である場合、C(0)は断線している。CELL_{PD}(18) = 0.0000である場合、C(18)は断線している。

上記のアルゴリズムは、断線箇所のLTC6813-1側に10nFと同程度の容量を残し、通常モードの変換を使用して断線を検出します。ただし、断線状態のCピンの外部容量がこれより大きい場合は、このアルゴリズムで断線状態の接続を検出できるだけの十分な差を作り出す時間を100 μ A電流源に与えるために、ステップ1と2で実行する断線変換の時間を長くする必要があります。これを実現するには、ステップ1と2でADOWコマンドを3回以上実行するか、通常モード変換ではなくフィルタ・モード変換を使用します。必要な変換回数は、表14を使用して決定してください。

表14

Cピンの外部容量	ステップ1と2で必要なADOWコマンドの実行回数	
	通常モード	フィルタ・モード
≤10nF	2	2
100nF	10	2
1 μ F	100	2
C	1 + ROUNDUP (C/10nF)	2

補助断線チェック(AXOWコマンド)

AXOWコマンドは、LTC6813-1のGPIOピンと外部回路との間に断線がないか確認するために使用されます。このコマンドはADAXコマンドと同じようにGPIOピン入力のA/D変換を行います。GPIOピンを測定するときに内部電流源が各GPIOピンにシンク電流またはソース電流を供給する点が異なります。AXOWコマンドのプルアップ(PUP)ビットは、電流源が100 μ Aのシンク電流またはソース電流のどちらを供給するかを決定します。

サーマル・シャットダウン

LTC6813-1を過熱から保護するために、デバイスにはサーマル・シャットダウン回路が組み込まれています。ダイで検出された温度が約150°Cを超えると、サーマル・シャットダウン回路が作動して、構成レジスタ・グループと(PWM/S制御レジスタ・グループBのS制御ビットを含む)S制御レジスタ・グループをデフォルト状態にリセットします。これによって、全ての放電スイッチがオフになります。サーマル・シャットダウンが発生すると、ステータス・レジスタ・グループBのTHSDビットが“H”になります。また、CLRSTATコマンドが診断の目的でTHSDビットを“H”に設定することもできます。この

動作

ビットは、ステータス・レジスタ・グループBに対する読み出し動作(RDSTATB コマンド)が実行されるとクリアされます。CLRSTAT コマンドは、診断の目的でTHSDビットを“H”に設定しますが、構成レジスタ・グループはリセットしません。

リビジョン・コード

ステータス・レジスタ・グループBには4ビットのリビジョン・コード(REV)が格納されています。ソフトウェアでデバイスのリビジョンを確認する必要がある場合、詳細に関しては弊社までお問い合わせください。そうでなければ、コードは無視してかまいません。ただし、データ読み出し時にパケット・エラー・コード(PEC)を計算するときは、いかなる場合でも全ビットの値を使う必要があります。

ウォッチドッグ・タイマと放電タイマ

2秒以上にわたって有効なコマンドが確認されないと、ウォッチドッグ・タイマの期限が切れます。これにより、全ての場合において、構成レジスタ・グループBの構成レジスタ・バイトCFGAR0~3とGPIOビットがリセットされます。CFGAR4、CFGAR5、(PWM/S制御レジスタ・グループBの

S制御ビットを含む)S制御レジスタ・グループ、および構成レジスタ・グループBの残りの部分は、放電タイマが無効になると、ウォッチドッグ・タイマによりリセットされます。ウォッチドッグ時間が経過すると、WDTピンは外部プルアップによって“H”になります。ウォッチドッグ・タイマは常にイネーブル状態であり、一致コマンドPECが設定された有効なコマンドが実行されると、その都度リセットされます。

放電タイマが使用されるのは、プログラム可能な時間にわたって放電スイッチをオン状態に維持するためです。放電タイマを使用している場合、ウォッチドッグ・タイマが動作しても放電スイッチはオフになりません。

放電タイマをイネーブルするには、DTENピンをVREGに接続します(図11)。この構成では、放電スイッチをオンのままにする時間を事前にプログラムできます。この時間は、構成レジスタ・グループAに書き込まれたDCTOの値によって決まります。さまざまな時間の設定値と対応するDCTOの値を表15に示します。表16は、ウォッチドッグ・タイマ・イベントまたは放電タイマ・イベントが発生した後の構成レジスタ・グループの状態をまとめたものです。

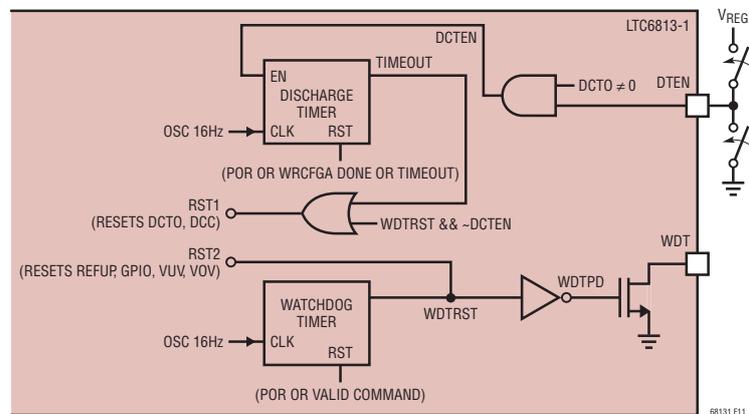


図11. ウォッチドッグ・タイマと放電タイマ

表15. DCTOの設定

DCTO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
時間(分)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120

表16

	ウォッチドッグ・タイマ	放電タイマ
DTEN = 0, DCTO = XXXX	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO = 0000	Resets CFGAR0-5, CFGBR0-1 and SCTRL When It Fires	Disabled
DTEN = 1, DCTO != 0000	Resets CFGAR0-3 and GPIO Bits in CFGBR0 When It Fires	Resets CFGAR4-5, SCTRL and Remainder of CFGBR0-1 When It Fires

動作

放電タイマの状態を調べるには、RDCFGA コマンドを使用して、構成レジスタ・グループ A を読み出します。表 17 に示すように、DCTO の値は放電タイマの期限が切れるまでの残り時間を示します。

表 17.

DCTO (読み出し値)	残りの放電時間(分)
0	Disabled (or) Timer Has Timed Out
1	$0 < \text{Timer} \leq 0.5$
2	$0.5 < \text{Timer} \leq 1$
3	$1 < \text{Timer} \leq 2$
4	$2 < \text{Timer} \leq 3$
5	$3 < \text{Timer} \leq 4$
6	$4 < \text{Timer} \leq 5$
7	$5 < \text{Timer} \leq 10$
8	$10 < \text{Timer} \leq 15$
9	$15 < \text{Timer} \leq 20$
A	$20 < \text{Timer} \leq 30$
B	$30 < \text{Timer} \leq 40$
C	$40 < \text{Timer} \leq 60$
D	$60 < \text{Timer} \leq 75$
E	$75 < \text{Timer} \leq 90$
F	$90 < \text{Timer} \leq 120$

ウォッチドッグ・タイマとは異なり、放電タイマは、有効なコマンドがあってもリセットされません。放電タイマは、有効な WR CFGA (構成レジスタ・グループ A の書き込み) コマンドの後でのみリセットできます。コマンドによっては、その途中で放電タイマの期限が切れる可能性があります。

WR CFGA コマンドの途中で放電タイマが起動すると、構成レジスタ・グループと (PWM/S 制御レジスタ・グループ B の S 制御ビットを含む) S 制御レジスタ・グループは表 16 に従ってリセットされます。ただし、有効な WR CFGA コマンドの終了時には、新しいデータが構成レジスタ・グループ A にコピーされます。放電タイマを起動したときに新しい構成データが失われることはありません。

RDCFGA コマンドまたは RDCFGB コマンドの途中で放電タイマが起動すると、構成レジスタ・グループは表 16 に従ってリセットされます。この結果、CFGAR4、CFGAR5、CFGBR0、CFGBR1 の各バイトからの読み出しデータが壊れる可能性があります。RDSCTRL コマンドまたは RDPSB コマンドの途中で放電タイマが起動すると、(PWM/S 制御レジスタ・グループ B の S 制御ビットを含む) S 制御レジスタ・グループは表 16 に従ってリセットされます。この結果、読み出しデータが壊れる可能性があります。

セル・バランスングに対応した S ピンのパルス幅変調

セルの放電を更に調整するため、ホストが S ピンを構成し、パルス幅変調を使用して動作できます。ウォッチドッグ・タイマの期限が切れないうちは、構成レジスタ・グループの DCC ビットが S ピンを直接制御します。ウォッチドッグ・タイマの期限が切れると、PWM 動作が始まり、選択された放電時間の残りまで続くか、起動してウォッチドッグ・タイマがリセットされるまで続きます。PWM 動作時は、DCC ビットを 1 に設定して PWM 機能を動作させる必要があります。

いったん PWM 動作が始まると、表 18 に示すように、PWM レジスタでの構成値によって、S ピンの一部または全部が周期的にデアサートされ、目的のデューティ・サイクルを実現できます。各 PWM 信号は 30 秒周期で動作します。各サイクルでは、デューティ・サイクルを 0% から 100% まで $1/15 = 6.67\%$ (2 秒) 刻みでプログラムすることができます。

各 S ピンの PWM 信号を異なる間隔でシーケンス制御して、2 つのピンが同時にオンまたはオフに切り替わらないようにします。チャンネル間のスイッチング間隔は 62.5ms なので、18 ピン全部を切り替えるには、1.125 秒 ($18 \cdot 62.5\text{ms}$) が必要です。

(PWM レジスタ・グループおよび PWM/S 制御レジスタ・グループ B にある) PWM 制御設定のデフォルト値は、全て 1 です。スリープ・モードに入ると、PWM 制御設定は初期化されてデフォルト値になります。

動作

表 18. Sピンのパルス幅変調設定

DCCビット (構成レジスタ・グループ)	PWMCの設定	オン時間(秒)	オフ時間(秒)	デューティ・サイクル(%)
0	4'bXXXX	0	Continuously Off	0
1	4'b1111	Continuously On	0	100.0
1	4'b1110	28	2	93.3
1	4'b1101	26	4	86.7
1	4'b1100	24	6	80.0
1	4'b1011	22	8	73.3
1	4'b1010	20	10	66.7
1	4'b1001	18	12	60.0
1	4'b1000	16	14	53.3
1	4'b0111	14	16	46.7
1	4'b0110	12	18	40.0
1	4'b0101	10	20	33.3
1	4'b0100	8	22	26.7
1	4'b0011	6	24	20.0
1	4'b0010	4	26	13.3
1	4'b0001	2	28	6.7
1	4'b0000	0	Continuously Off	0

放電タイマ・モニタ

LTC6813-1は、放電タイマが作動している間、セル電圧を周期的にモニタする機能を備えています。この機能をイネーブリングするには、ホストが構成レジスタ・グループBのDTMENビットを1に書き込む必要があります。

放電タイマ・モニタがイネーブリングされていて、ウォッチドッグ・タイマの期限が切れている場合、LTC6813-1は全てのセル電圧の変換を7kHz(通常)モードで30秒ごとに実行します。過電圧と低電圧の比較が実行され、セル電圧がしきい値を超えるとフラグが設定されます。低電圧セルがある場合は、構成レジスタ・グループAまたは構成レジスタ・グループBの関連DCCビットを放電タイマ・モニタが自動的にクリアするので、セルはそれ以上放電されません。また、DCCビットをクリアすると、PWMの放電もディスエーブルされます。この機能により、ホストは低電圧しきい値を目的の放電レベルに書き込み、放電タイマ・モニタを使用して全てのセル(または選択したセル)を(常時放電またはPWM放電を使用して)目的のレベルまで放電することができます。

放電タイマのモニタ中は、セル電圧の測定時にデジタル冗長検査を実行できます。デジタル冗長性障害が発生すると、全てのDCCビットがクリアされます。

GPIOを使用するLTC6813-1のI²C/SPIマスタ

LTC6813-1のI/OポートGPIO3、GPIO4、およびGPIO5を、I²Cマスタ・ポートまたはSPIマスタ・ポートとして使用し、I²CスレーブまたはSPIスレーブと通信できます。I²Cマスタの場合、GPIO4とGPIO5が、それぞれI²CインタフェースのSDAポートとSCLポートを形成します。SPIマスタの場合、GPIO3、GPIO4、およびGPIO5が、それぞれSPIインタフェースのCSBMポート、SDIOMポート、およびSCKMポートになります。LTC6813-1のSPIマスタは、SPIモード3(CHPA = 1、CPOL = 1)をサポートします。

GPIOはオープンドレイン出力なので、I²CマスタまたはSPIマスタとして動作するには、これらのポートに外部プルアップ回路が必要です。また、構成レジスタ・グループのGPIOビットに1を書き込んで、これらのポートがデバイスによって内部で“L”に引き下げられないようにすることも重要です。

動作

COMMレジスタ

LTC6813-1は、表19に示すように、6バイトのCOMMレジスタを備えています。このレジスタは、スレーブとのI²C通信またはSPI通信に必要な、全てのデータと制御ビットを格納します。COMMレジスタには、スレーブ・デバイスとの間で送受信される3バイトのデータDn[7:0]が格納されます。ICOMn[3:0]は、各データ・バイトを送信/受信する前の制御動作を指定します。FCOMn[3:0]は、各データ・バイトを送信/受信した後の制御動作を指定します。

COMMレジスタのICOMn[3]ビットを1に設定すると、デバイスはSPIマスタになります。また、このビットを0に設定すると、デバイスはI²Cマスタになります。

ICOMn[3:0]とFCOMn[3:0]に対して有効な書き込みコード、およびデバイスをI²Cマスタとして使用した場合のそれらの動作を表20に示します。

ICOMn[3:0]とFCOMn[3:0]に対する有効な書き込みコードと、デバイスをSPIマスタとして使用した場合の動作を表21に示します。

表20および表21に示したコードのみがICOMn[3:0]とFCOMn[3:0]に対して有効であることに注意してください。表20および表21に記載されていない他のコードをICOMn[3:0]とFCOMn[3:0]に書き込むと、I²CポートまたはSPIポートで予期しない動作が発生する恐れがあります。

表19. COMMレジスタのメモリ・マップ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表20. I²CマスタのICOMn[3:0]とFCOMn[3:0]の書き込みコード

制御ビット	コード	動作	概要
ICOMn[3:0]	0110	START	Generate a START Signal on I ² C Port Followed by Data Transmission
	0001	STOP	Generate a STOP Signal on I ² C Port
	0000	BLANK	Proceed Directly to Data Transmission on I ² C Port
	0111	No Transmit	Release SDA and SCL and Ignore the Rest of the Data
FCOMn[3:0]	0000	Master ACK	Master Generates an ACK Signal on Ninth Clock Cycle
	1000	Master NACK	Master Generates a NACK Signal on Ninth Clock Cycle
	1001	Master NACK + STOP	Master Generates a NACK Signal Followed by STOP Signal

表21. SPIマスタのICOMn[3:0]とFCOMn[3:0]の書き込みコード

制御ビット	コード	動作	概要
ICOMn[3:0]	1000	CSBM Low	Generates a CSBM Low Signal on SPI Port (GPIO3)
	1010	CSBM Falling Edge	Drives CSBM (GPIO3) High, then Low
	1001	CSBM High	Generates a CSBM High Signal on SPI Port (GPIO3)
	1111	No Transmit	Releases the SPI Port and Ignores the Rest of the Data
FCOMn[3:0]	X000	CSBM Low	Holds CSBM Low at the End of Byte Transmission
	1001	CSBM High	Transitions CSBM High at the End of Byte Transmission

動作

COMM コマンド

次の3つのコマンドは、スレーブ・デバイスとのI²C通信またはSPI通信を遂行するのに役立ちます。3つのコマンドは、WRCOMM、STCOMM、およびRDCOMMです。

WRCOMM コマンド: このコマンドは、COMMレジスタへのデータ書き込みに使用され、6バイトのデータをCOMMレジスタに書き込みます。データの最後にはPECを書き込む必要があります。PECが一致しない場合は、CSBが“H”になった時点でCOMMレジスタ内の全てのデータがクリアされて1になります。書き込みコマンド・フォーマットの詳細については、「バス・プロトコル」のセクションを参照してください。

STCOMM コマンド: このコマンドは、GPIOポート上のI²C/SPI通信を初期化します。COMMレジスタには、スレーブへ送信する3バイトのデータが格納されます。このコマンドの実行時には、COMMレジスタに格納されているデータ・バイトがスレーブのI²CデバイスまたはSPIデバイスに送信され、I²CデバイスまたはSPIデバイスから受信したデータがCOMMレジスタに格納されます。このコマンドは、I²C通信の場合、GPIO4 (SDA)とGPIO5 (SCL)を使用し、SPI通信の場合、GPIO3 (CSBM)、GPIO4 (SDIOM)、およびGPIO5 (SCKM)を使用します。

STCOMM コマンドの後には、CSBが”L”に保たれる間、1バイトのデータをスレーブ・デバイスへ送るごとに24個のクロック・サイクルが続きます。例えば、3バイトのデータをスレーブへ送信するには、STCOMMコマンドとそのPECを送信し、その後72個のクロック・サイクルが続きます。STCOMMコマンドの72個のクロック・サイクルの最後で、CSBを”H”に引き上げます。

I²C通信またはSPI通信の間、スレーブ・デバイスから受信したデータはCOMMレジスタ内で更新されます。

RDCOMM コマンド: スレーブ・デバイスから受信したデータは、RDCOMMコマンドを使用してCOMMレジスタから読み出すことができます。このコマンドは、6バイトのデータとその後のPECを読み出します。読み出しコマンド・フォーマットの詳細については、「バス・プロトコル」のセクションを参照してください。

デバイスをI²Cマスタとして使用した場合にICOMn[3:0]とFCOMn[3:0]に対して可能な読み出しコードを、表22に示します。Dn[7:0]には、I²Cスレーブが送信したデータ・バイトが格納されています。

表 22. I²CマスタのICOMn[3:0]とFCOMn[3:0]の読み出しコード

制御ビット	コード	概要
ICOMn[3:0]	0110	Master Generated a START Signal
	0001	Master Generated a STOP Signal
	0000	Blank, SDA Was Held Low Between Bytes
	0111	Blank, SDA Was Held High Between Bytes
FCOMn[3:0]	0000	Master Generated an ACK Signal
	0111	Slave Generated an ACK Signal
	1111	Slave Generated a NACK Signal
	0001	Slave Generated an ACK Signal, Master Generated a STOP Signal
	1001	Slave Generated a NACK Signal, Master Generated a STOP Signal

SPIマスタの場合、ICOMn[3:0]とFCOMn[3:0]の読み出しコードは、それぞれ常に0111と1111です。Dn[7:0]には、SPIスレーブが送信したデータ・バイトが格納されています。

図12は、GPIOを使用した、I²CマスタまたはSPIマスタとしてのLTC6813-1の動作を示しています。

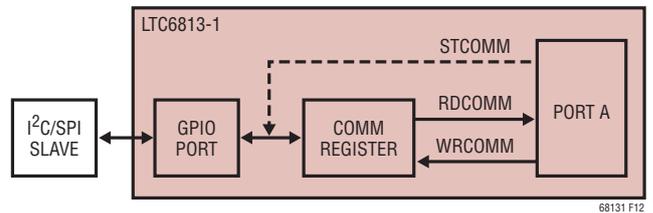


図 12. GPIOを使用するLTC6813-1のI²C/SPIマスタ

これらのコマンドを使用すれば、3バイトずつに分けて任意の数のバイトをスレーブへ送信することができます。GPIOポートが、異なるSTCOMMコマンド間でリセットされることはありません。ただし、コマンド間の待機時間が2秒よりも長い場合は、ウォッチドッグ・タイマがタイムアウトし、ポートをデフォルト値にリセットします。

I²Cマスタを使用して複数バイトのデータを送信する場合、START信号が必要なのは、データ・ストリーム全体の先頭だけです。また、STOP信号が必要なのもデータ・ストリームの最後だけです。全ての中間データ・グループでは、データ・バイトの前にBLANKコードを使用することができ、必要に応じてデータ・バイトの後にACK/NACK信号を使用することができます。SDAとSCLが、異なるSTCOMMコマンド間でリセットされることはありません。

動作

SPI マスタを使用して複数バイトのデータを送信する場合、1 番目のデータ・バイトの先頭で CSBM の”L”信号を送信します。FCOMn[3:0] で適切なコードを使用して、中間データ・グループに対して、CSBM を”L”または”H”に保つことができます。データの最終バイトの最後で、CSBM の”H”信号を送信します。CSBM、SDIOM、および SCKM が、異なる STCOMM コマンド間でリセットされることはありません。

図 13 は、さまざまなケースの I²C マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。ICOMn[3:0] が STOP 状態を規定している場合は、STOP 信号の送信後に SDA ラインと SCL ラインが”H”に維持され、

ワードの残りのデータが全て無視されます。ICOMn[3:0] が NO TRANSMIT の場合は、SDA ラインと SCL ラインの両方が解放されて、ワードの残りのデータが全て無視されます。これは、スタック内の特定デバイスがスレーブと通信する必要のない場合に使用されます。

図 14 は、SPI マスタについて、STCOMM コマンドの後の 24 個のクロック・サイクルを示しています。I²C マスタと同様に、ICOMn[3:0] が CSBM HIGH または NO TRANSMIT 状態を指定した場合、SPI マスタの CSBM、SCKM、および SDIOM の各ラインが解放され、ワードの残りのデータが無視されます。

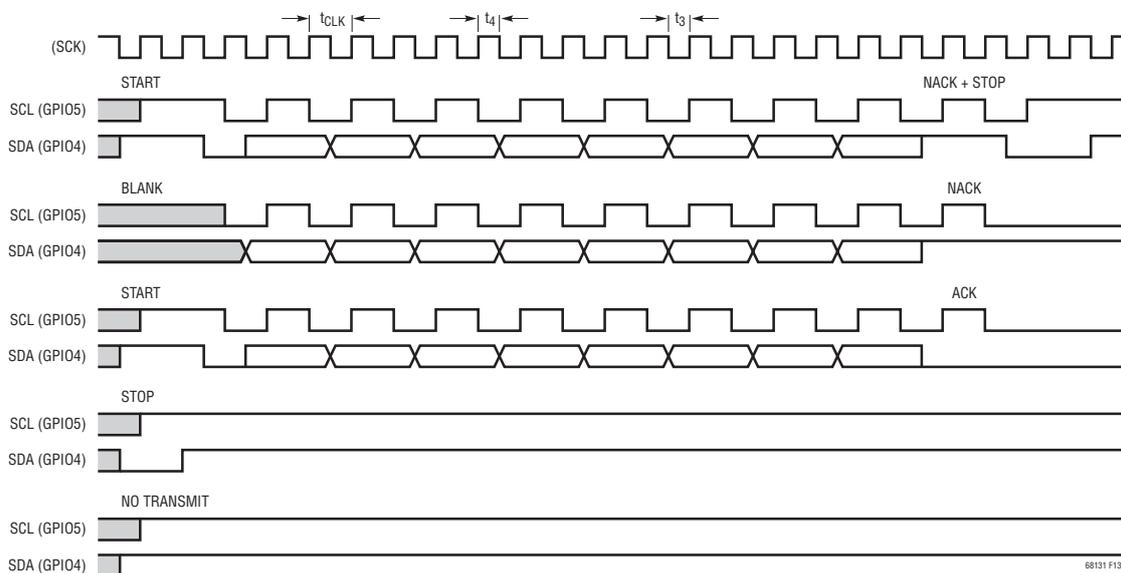


図 13. I²C マスタの STCOMM のタイミング図

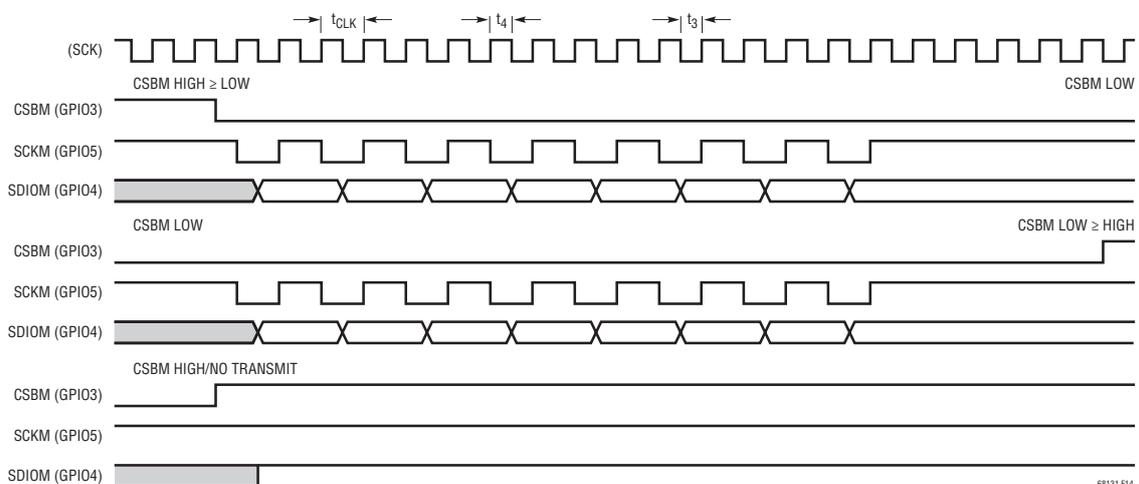


図 14. SPI マスタの STCOMM のタイミング図

動作

I²C マスタとSPI マスタのタイミング仕様

LTC6813-1のI²C マスタまたはSPI マスタのタイミングは、LTC6813-1の1次SPI インタフェースでの通信のタイミングに

よって制御されます。1次SPI クロックに対するI²C マスタのタイミング関係を、表23に示します。SPI マスタのタイミング仕様を表24に示します。

表 23. I²C マスタのタイミング

I ² C マスタのパラメータ	1 次SPI インタフェースとのタイミング関係	t _{CLK} = 1 μs でのタイミング仕様
SCL Clock Frequency	1/(2 • t _{CLK})	Max 500kHz
t _{HD;STA}	t ₃	Min 200ns
t _{LOW}	t _{CLK}	Min 1 μs
t _{HIGH}	t _{CLK}	Min 1 μs
t _{SU;STA}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{HD;DAT}	t ₄ *	Min 30ns
t _{SU;DAT}	t ₃	Min 200ns
t _{SU;STO}	t _{CLK} + t ₄ *	Min 1.03 μs
t _{BUF}	3 • t _{CLK}	Min 3 μs

*注記: IsoSPIを使用する場合、t₄は内部で生成され、最小値の30nsになる。また、t₃ = t_{CLK} - t₄である。SPIを使用する場合、t₃とt₄は、SCK入力の“L”時間と“H”時間であり、それぞれ既定最小値の200nsになる。

表 24. SPI マスタのタイミング

SPI マスタのパラメータ	1 次SPI インタフェースとのタイミング関係	t _{CLK} = 1 μs でのタイミング仕様
SDIOM Valid to SCKM Rising Setup	t ₃	Min 200ns
SDIO Valid from SCKM Rising Hold	t _{CLK} + t ₄ *	Min 1.03 μs
SCKM Low	t _{CLK}	Min 1 μs
SCKM High	t _{CLK}	Min 1 μs
SCKM Period (SCKM_Low + SCKM_High)	2 • t _{CLK}	Min 2 μs
CSBM Pulse Width	3 • t _{CLK}	Min 3 μs
SCKM Rising to CSBM Rising	5 • t _{CLK} + t ₄ *	Min 5.03 μs
CSBM Falling to SCKM Falling	t ₃	Min 200ns
CSBM Falling to SCKM Rising	t _{CLK} + t ₃	Min 1.2 μs
SCKM Falling to SDIOM Valid	Master Requires < t _{CLK}	

*注記: IsoSPIを使用する場合、t₄は内部で生成され、最小値の30nsになる。また、t₃ = t_{CLK} - t₄である。SPIを使用する場合、t₃とt₄は、SCK入力の“L”時間と“H”時間であり、それぞれ既定最小値の200nsになる。

動作

Sピンの制御設定を使用したSピンのパルス動作

LTC6813-1のSピンは、簡単なシリアル・インタフェースとして使用できます。これが特に役立つのは、アナログ・デバイセズのLT8584を制御するときです。LT8584は、大型バッテリー・スタックのバランスをアクティブに調整する目的で設計された、モノリシックのフライバックDC/DCコンバータです。LT8584にはいくつかの動作モードがあり、シリアル・インタフェースを介して制御されます。LTC6813-1は、各Sピンの一連のパルスを送信することによってLT8584と通信して、LT8584の特定のモードを選択することができます。(S制御レジスタ・グループおよびPWM/S制御レジスタ・グループBにある)Sピンの制御設定を使用して、18本のSピンのそれぞれの動作を指定します。ここで、各ニブルは、Sピンを“H”に駆動するか、“L”に駆動するか、または1パルス～7パルスのパルス・シーケンスを送信するかを指定します。LT8584に送信できるSピンの可能な動作を表25に示します。

Sピンのパルスは6.44kHz (155 μ s 周期) のパルス・レートで発生します。パルス幅は77.6 μ s になります。Sピンのパルス動作が始まるのは、最後のコマンドのPECクロックの後に、STSCCTRLコマンドが送信されたときですが、コマンドのPEC

が一致することが前提です。ホストは、パルス動作の状態をポーリングするために、SCKにクロックを入力し続ける可能性があります。このポーリングはADCのポーリング機能と同様の効果があります。データ出力は、Sピンのパルス・シーケンスが完了するまでロジック“L”のままになります。

Sピンのパルス動作が進行している間、新コマンドのSTSCCTRL、WRSCCTRL、またはWRPSBは無視されます。PLADCコマンドを使用して、Sピンのパルス動作がいつ完了したかを調べることができます。

WRSCCTRL (またはWRPSB) コマンドとコマンドのPECを正常に受信したが、データのPECが一致しない場合、Sピンの制御設定はクリアされます。

構成レジスタ・グループAまたは構成レジスタ・グループBのDCCビットがアサートされると、LTC6813-1は、Sピンの制御設定に関係なく、選択されたSピンを“L”にします。Sピンの制御設定を使用する場合、ホストはDCCビットを0に設定したままにする必要があります。

CLRSCTRL コマンドを使用してSピンの制御設定を全て0にリセットし、更にパルス生成マシンでSピンの制御を強制

表 25. Sピンのパルス動作

ニブルの値	Sピンの動作
0000	
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1XXX	

動作

的に解除することができます。このコマンドは、車載用アプリケーションで診断制御ループの時間を短縮するのに役立てることができます。

Sピンのミュート

SピンはMUTEコマンドを送信すればディスエーブルが可能であり、UNMUTEコマンドを送信すれば再イネーブルが可能です。MUTEコマンドとUNMUTEコマンドは後に続くデータが不要なので、多数のLTC6813-1デバイスを介して迅速に伝搬できます。これにより、ホストはレジスタの内容を乱すことなく、放電のディスエーブルと再イネーブルを迅速(<100 μ s)に行うことができます。このことは、例えばセル測定を実行する前に一定のセtring時間を確保するのに便利です。ミュート・ステータスは、構成レジスタ・グループBの読み取り専用MUTEビットで報告されます。

シリアル・インタフェースの概要

LTC6813-1には2種類のシリアル・ポートがあります。それは標準的な4線シリアル・ペリフェラル・インタフェース(SPI)と2線絶縁型インタフェース(isoSPI)です。ピン53、54、61、および62が2線シリアル・ポートと4線シリアル・ポートのどちらになるかは、ISOMDピンの状態によって決まります。

LTC6813-1は、デイジーチェーン構成で使用されます。第2のisoSPIインタフェースは、ピン57、58、63、および64を使用します。

4線シリアル・ペリフェラル・インタフェース(SPI)の物理層

外部接続

ISOMDをV⁻に接続することによって、4線SPIのシリアル・ポートAを設定します。SDOピンはオープン・ドレイン出力で、プルアップ抵抗を介して適切な電源電圧に接続する必要があります(図15)。

タイミング

4線シリアル・ポートは、CPHA = 1およびCPOL = 1を使うSPIシステムで動作するように構成されています。したがってSDIのデータは、SCKの立ち上がりエッジの間、安定している必要があります。このタイミングを図16に示します。最大データレートは1Mbpsですが、デバイスは規定の最大データレートでの動作を保証するために、量産時には1Mbpsより高いデータレートでテストされます。

2線絶縁インタフェース(isoSPI)の物理層

2線インタフェースは、シンプルなツイスト・ペア・ケーブルを使用してLTC6813-1を相互接続します。このインタフェースは、配線が高いRF電界にさらされた場合でも、パケット・エラー率が小さくなるように設計されています。絶縁は外付けのトランスを通じて実現されます。

標準SPI信号は差動パルスにエンコードされます。送信パルスの強度とレシーバのしきい値レベルは、2個の外付け抵抗によって設定されます。これらの抵抗の値を調整することによって、電力損失とノイズ耐性を天秤に掛けることができます。

図17は、isoSPI回路の動作を示しています。IBIASピンは2Vリファレンスによってドライブします。外付け抵抗R_{B1}およびR_{B2}によって、リファレンス電流I_Bが生成されます。この電流は、トランスミッタのドライブ強度を設定します。また、R_{B1}とR_{B2}は分圧器を形成して、2Vリファレンスの数分の1の電圧をICMPピンに供給します。レシーバ回路のしきい値は、ICMPピンの電圧の半分です。

外部接続

LTC6813-1は、ポートBとポートAという2つのシリアル・ポートを備えています。ポートBは、常に2線インタフェースとして構成されます。ポートAは、ISOMDピンの接続に応じて、2線インタフェースまたは4線インタフェースになります。

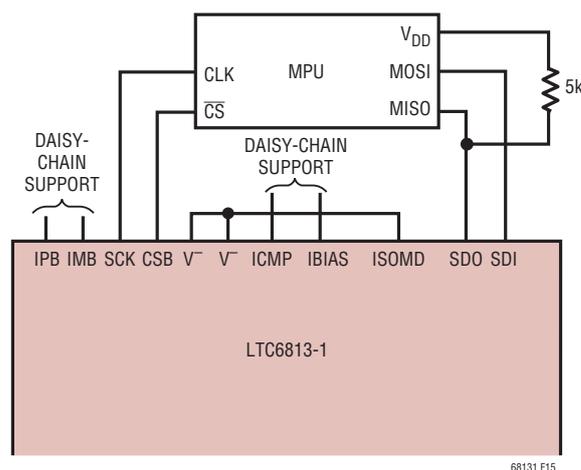


図15. 4線SPI構成

動作

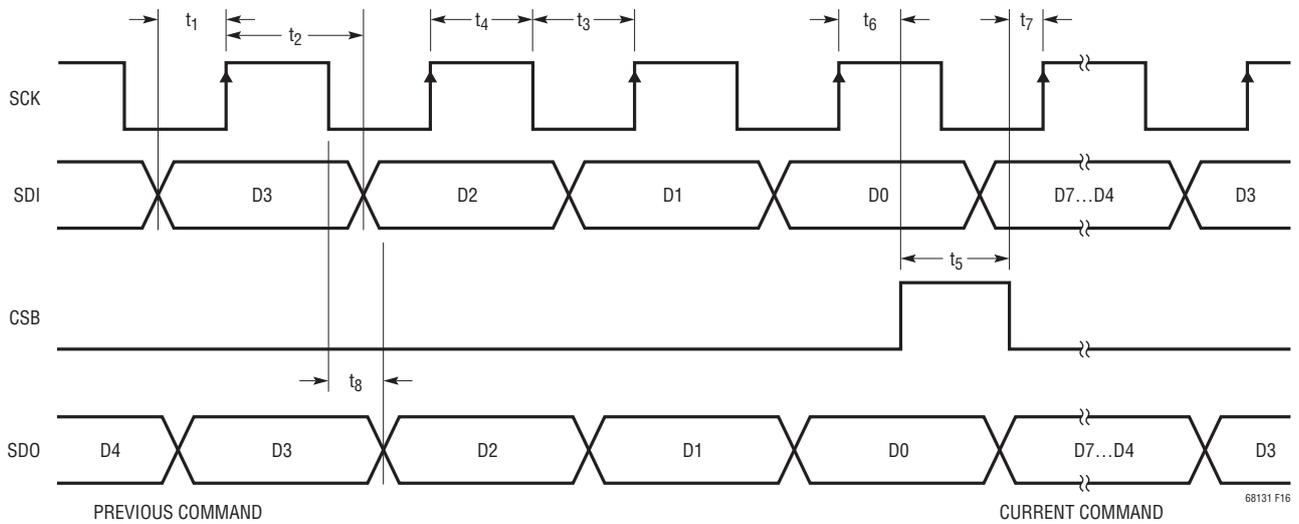


図 16. 4線シリアル・ペリフェラル・インタフェースのタイミング図

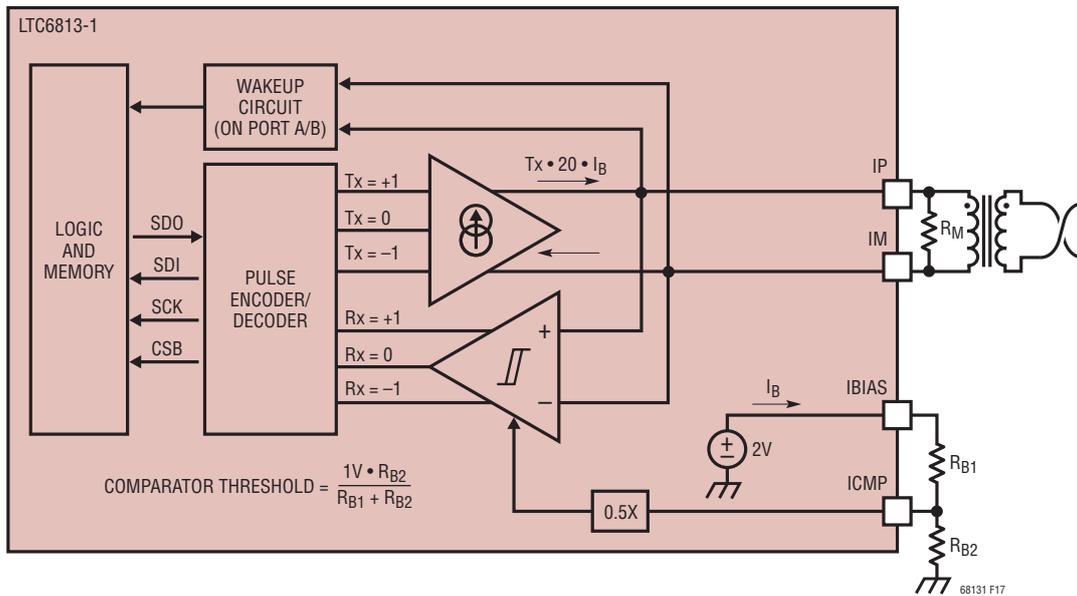


図 17. isoSPI インタフェース

動作

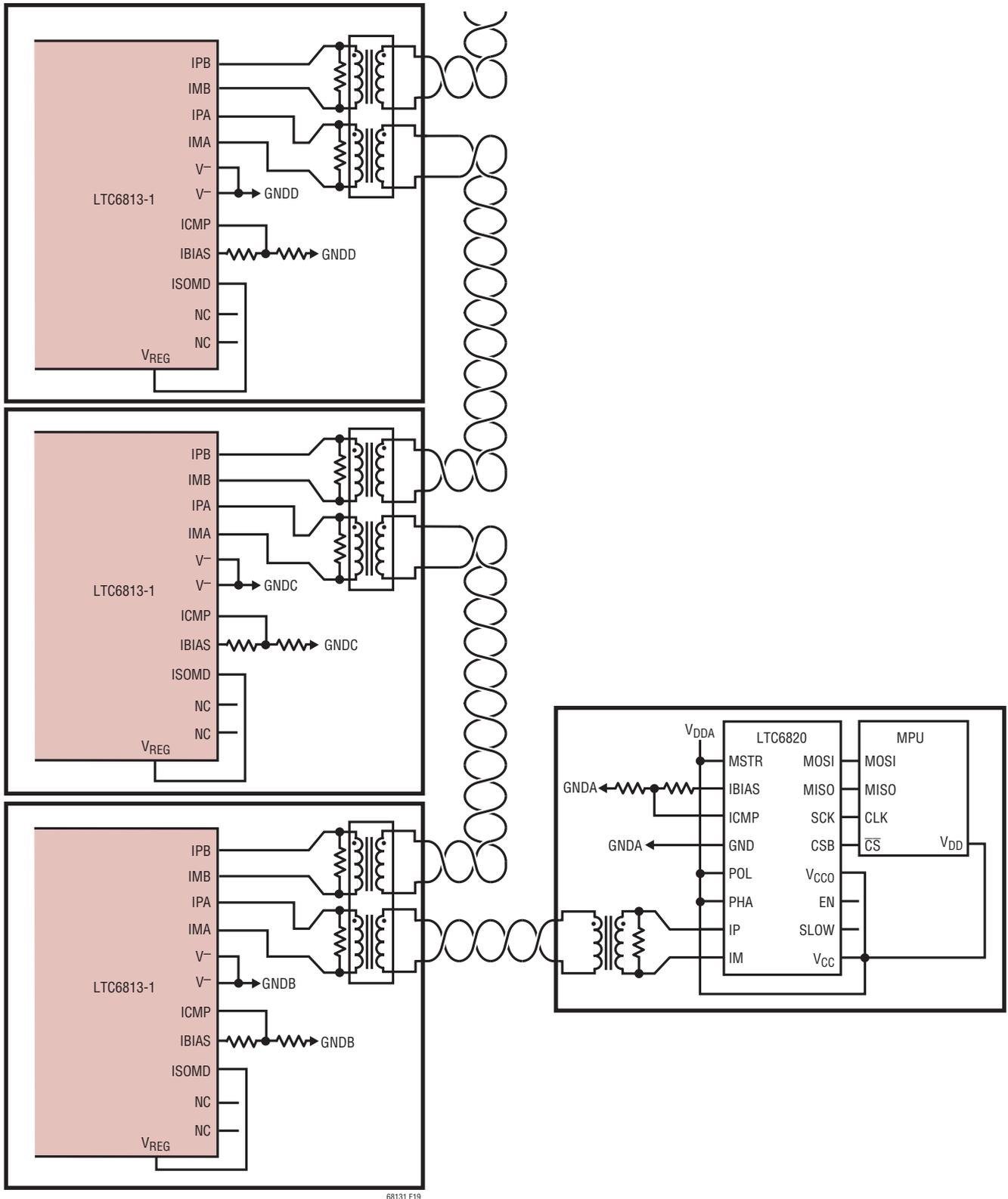


図19. トランス絶縁型デジーチェーン構成

動作

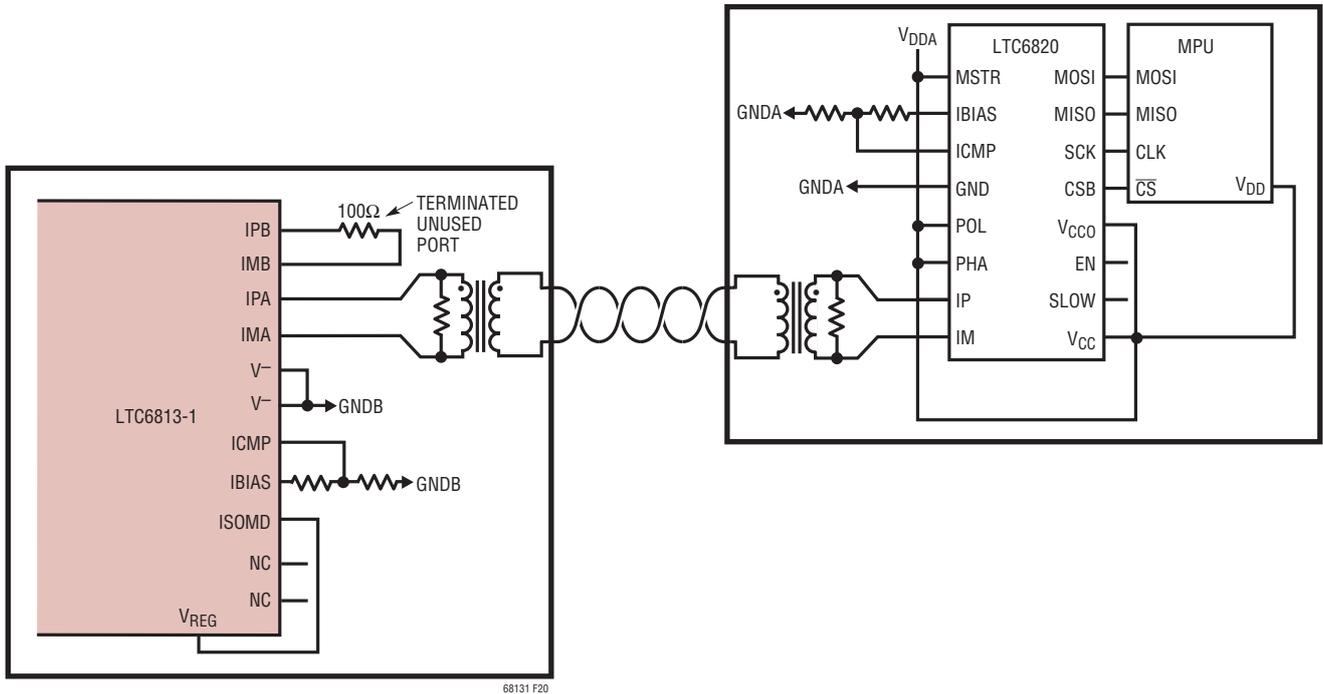


図20. 2線のポートAを使用した単一デバイス

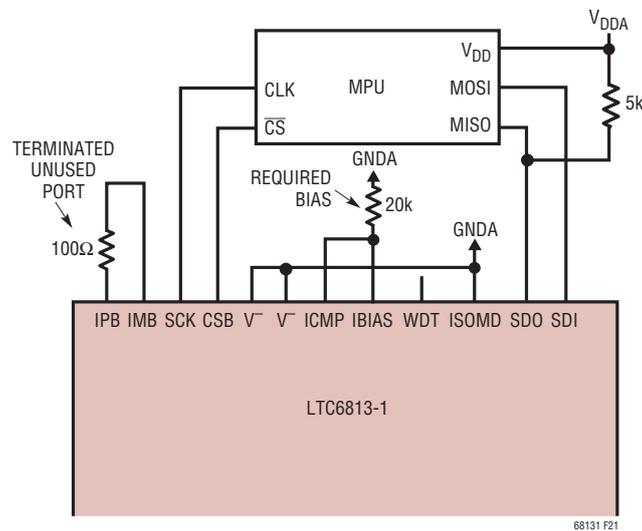


図21. 4線のポートAを使用した単一デバイス

動作

バイアス抵抗の選択

送信パルスの強度を調整することで、システムの消費電力を重視するか、通信の安定性を重視するかを選択できます。また、可変コンパレータのしきい値を調整することにより、システムの信号受信精度を調整できます。

isoSPIトランスミッタの駆動電流とコンパレータの電圧しきい値は、IBIASとV⁻の間の抵抗分割器(R_{BIAS} = R_{B1} + R_{B2})によって設定されます。分割された電圧はICMPピンに接続され、それによってコンパレータのしきい値がこの電圧(V_{ICMP})の半分に設定されます。いずれかのisoSPIインタフェースが(IDLEではなく)イネーブルされると、IBIASは2Vに維持されるため、電流I_BがIBIASピンから流れ出します。IPおよびIMピンの駆動電流は20・I_Bです。

例えば、分割器の抵抗R_{B1}が2.8k、抵抗R_{B2}が1.21k(したがって、R_{BIAS} = 4k)の場合、次のようになります。

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 0.5mA$$

$$I_{DRV} = I_{IP} = I_{IM} = 20 \cdot I_B = 10mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 603mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 302mV$$

この例では、パルス駆動電流I_{DRV}は10mAになり、レシーバのコンパレータは、IP-IM間の振幅が±302mVより大きいパルスを検出します。

絶縁障壁として1:1のトランスを使用し、ツイスト・ペア・ケーブルで接続される通信バスの両端が120Ωの抵抗で終端される場合、差動送信信号の振幅(±)は、次のようになります。

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 0.6V$$

(この結果は、トランスとケーブルの損失による振幅の減衰を無視しています。)

isoSPIパルスの詳細

2つのLTC6813-1デバイスは、絶縁障壁を介して差動パルスを送受信することによって通信が可能です。トランスミッタが出力できるのは、3つの電圧レベル(+V_A、0V、および-V_A)です。正の出力は、負荷抵抗R_Mの両端のIPソース電流と

IMシンク電流から生じます。負の電圧は、IPシンク電流とIMソース電流によって生成されます。両方の出力がオフである場合、負荷抵抗によって差動出力が0Vに強制されます。

DC信号成分を除去して信頼性を向上させるために、isoSPIは2種類のパルス長を使用します。これにより、表26に示すような4種類のパルスを送信できます。A +1パルスは正のパルスとして送信され、その次に負のパルスが送信されます。A -1パルスは負のパルスとして送信され、その次に正のパルスが送信されます。各パルスの期間は、必要な対称対の1/2であるため、t_{1/2PW}として定義されます(isoSPIパルスの全持続時間は2・t_{1/2PW}です)。

表 26. isoSPIパルスの種類

パルスの種類	1番目のレベル (t _{1/2PW})	2番目のレベル (t _{1/2PW})	最終レベル
Long +1	+V _A (150ns)	-V _A (150ns)	0V
Long -1	-V _A (150ns)	+V _A (150ns)	0V
Short +1	+V _A (50ns)	-V _A (50ns)	0V
Short -1	-V _A (50ns)	+V _A (50ns)	0V

レシーバはこれらの種類のisoSPIパルスをそれぞれ検出するように設計されています。正常に検出するには、isoSPI入力パルス(CSBまたはデータ)が以下の要件を満たす必要があります。

1. 入力パルスのt_{1/2PW} > レシーバのt_{FILT}
2. 入力パルスのt_{INV} < レシーバのt_{WNDW}

最初の条件での最悪のマージン(マージン1)は、入力パルスのt_{1/2PW}の最小値とレシーバのt_{FILT}の最大値との差です。同様に、2番目の条件での最悪のマージン(マージン2)は、レシーバのt_{WNDW}の最小値と入力パルスのt_{INV}の最大値との差です。これらのタイミング関係を図22に示します。

ホスト・マイクロコントローラは、この2線インタフェースを使用するために、isoSPIパルスを生成する必要がありません。システム内の1番目のLTC6813-1は、ポートA上の4線SPIインタフェースを使用してマイクロコントローラと通信し、次にポートB上の2線isoSPIインタフェースを使用して他のLTC6813-1とデジチェーン接続できます。あるいは、LTC6820を使用して、SPI信号をisoSPIパルスに変換できます。

動作

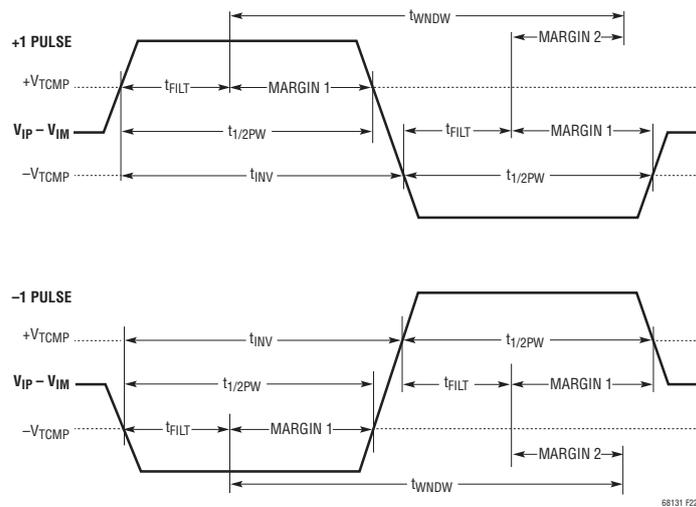


図 22. isoSPIパルスの詳細

ポートAをSPIに合わせて構成した場合の動作

LTC6813-1が、ポートAをSPI (ISOMD = V)として使用している場合、SPIは4つの通信イベント(SDI = 0でのCSBの立ち下がり、CSBの立ち上がり、SCKの立ち上がり、およびSDI = 1でのSCKの立ち上がり)のいずれかを検出します。各イベントは、デジチェーンを経由して送信するために、4種類のパルスのうちのいずれかに変換されます。CSBの変化を送信する場合、長いパルスが使用され、データを送信する場合、短いパルスが使用されます。これを表27で説明します。

表 27. ポートB(マスタ)isoSPIポートの機能

通信イベント(ポートA SPI)	送信パルス(ポートB isoSPI)
CSB Rising	Long +1
CSB Falling	Long -1
SCK Rising Edge, SDI = 1	Short +1
SCK Rising Edge, SDI = 0	Short -1

ポートAをisoSPIに合わせて構成した場合の動作

絶縁障壁のもう一方の側(つまり、ケーブルの他端)にある、2番目のLTC6813-1では、ポートAをisoSPIに合わせて構成するように、ISOMD = V_{REG}になります。スレーブのisoSPIポート(ポートAまたはB)は、送信された各パルスを受信し、表28に示すように内部でSPI信号を再構築します。さらに、このポートは、READコマンドの実行時にリターン・データ・パルスを送信できます。

表 28. ポートA(スレーブ)のisoSPIポートの機能

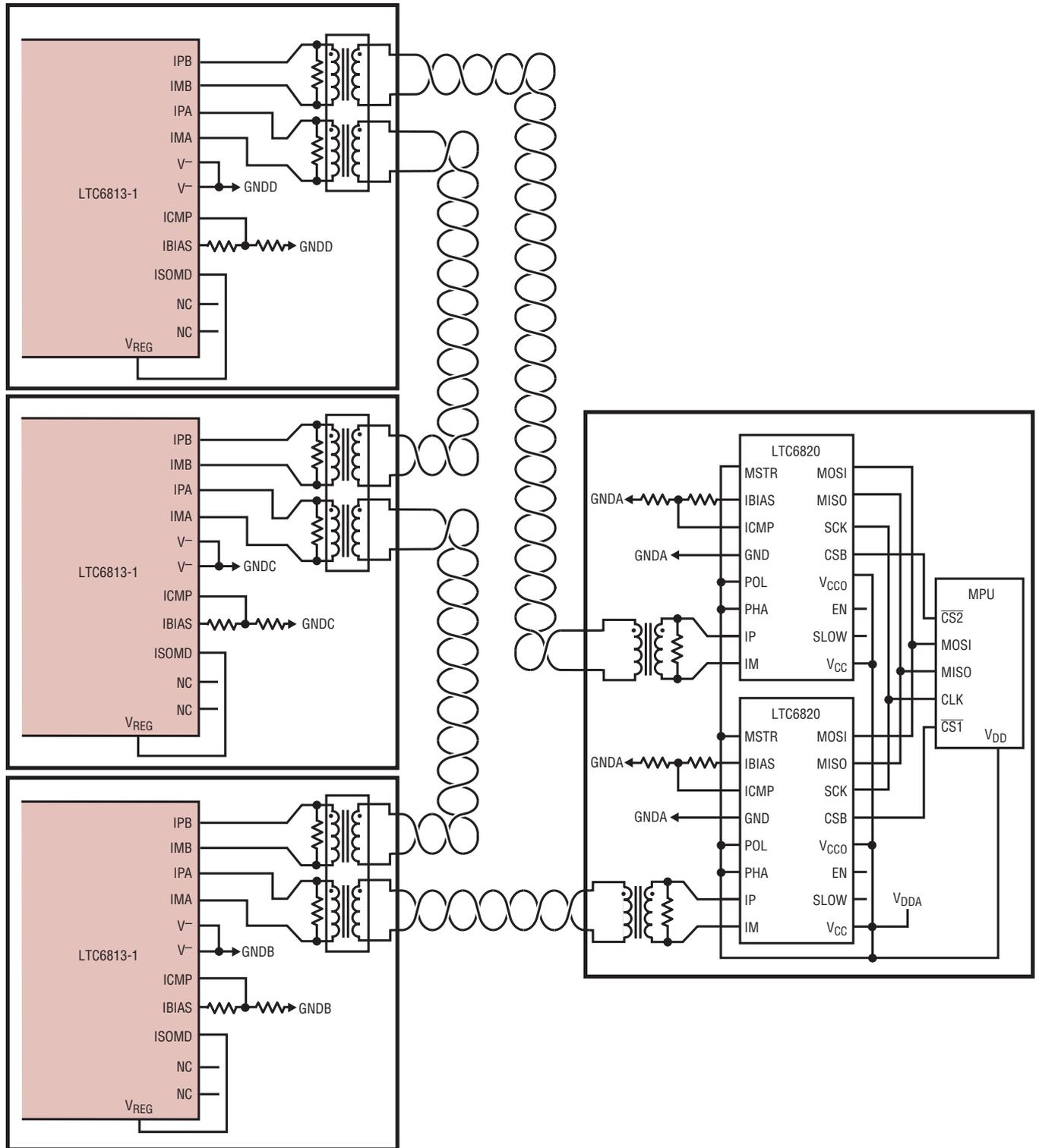
受信パルス(ポートA isoSPI)	SPIポートの内部動作	リターン・パルス
Long +1	Drive CSB High	None
Long -1	Drive CSB Low	
Short +1	1.Set SDI = 1 2.Pulse SCK	Short -1 Pulse if Reading a 0 Bit
Short -1	1.Set SDI = 0 2.Pulse SCK	No Return Pulse if not in READ Mode or if Reading a 1 Bit

スレーブのisoSPIポートは、長い(CSB)パルスを送信しません。その上、スレーブのisoSPIポートは、短い-1パルスのみを送信し、+1パルスを送信しません。マスタ・ポートは、ヌル応答をロジック1として認識します。

可逆的 isoSPI

LTC6813-1が、isoSPIに合わせて構成したポートAを使用している場合、通信はポートAとポートBのいずれで開始してもかまいません。言い換えると、LTC6813-1は通信の方向に応じて、ポートAとポートBのどちらもスレーブまたはマスタとして構成できます。可逆的 isoSPI機能により、多数のデジチェーン・デバイスで双方向からの通信が可能です。回路図の例については、図23を参照してください。可逆的 isoSPIの動作を図24に示します。

動作



68131 F23

図 23. 可逆的 isoSPI のデジチェーン

動作

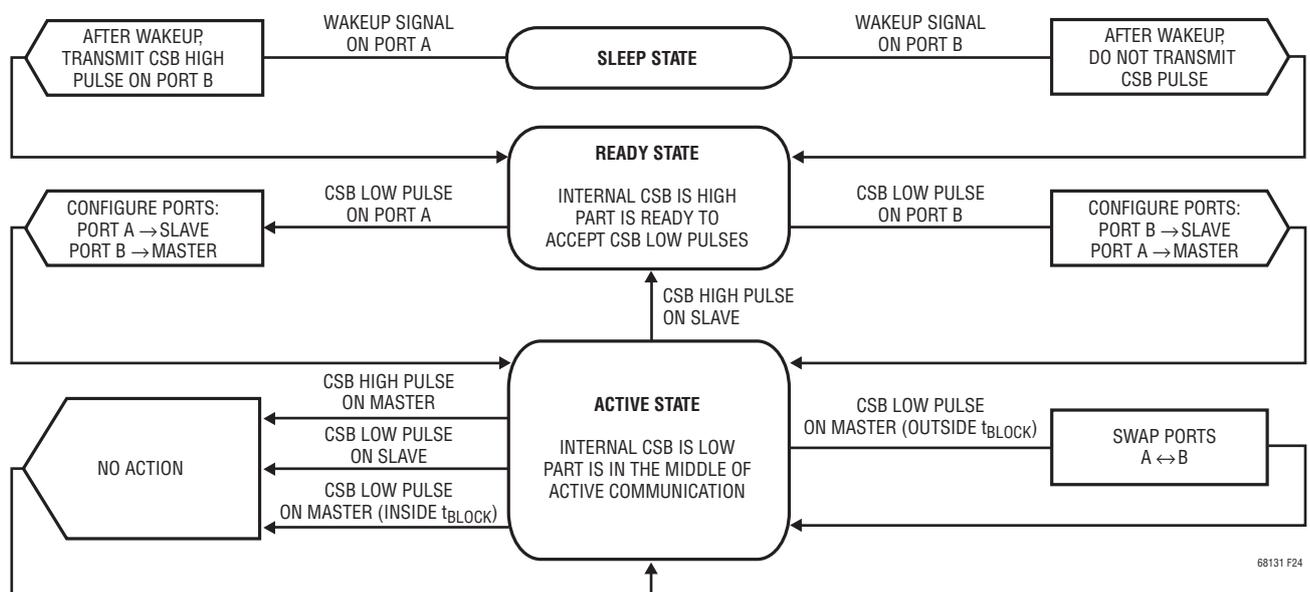


図 24. 可逆的 isoSPI の状態図

LTC6813-1は、SLEEP状態になると、ポートAまたはポートBでの有効なWAKEUP信号に応答します。これはISOMDピンの構成がいずれであっても成り立ちます。

WAKEUP信号がポートAで送信された場合、LTC6813-1は、isoSPIの起動後に長い+1 isoSPIパルス(CSBの立ち上がり)をポートBで送信します。WAKEUP信号がポートBで送信された場合、LTC6813-1はisoSPIを起動しますが、ポートAでは長い+1 isoSPIパルスを送信しません。

LTC6813-1は、READY状態になると、ポートAまたはポートBで長い-1 isoSPIパルス(CSBの立ち下がり)を送信することにより、通信を開始できます。LTC6813-1は、長い-1 isoSPIパルスを受信したポートを自動的にスレーブとして構成します。また、もう一方のポートはマスタとして構成されます。isoSPIパルスは、マスタ・ポートを介してデジチェーンの残りのデバイスに送信されます。

ACTIVE状態では、LTC6813-1は通信の途中であり、内部のSPIポートのCSBは“L”です。通信の最後に、長い+1パルス(CSBの立ち上がり)がスレーブ・ポートに送信されると、デバイスはREADY状態に戻ります。通常の通信手順の一部ではありませんが、LTC6813-1では、ACTIVE状態の範囲内でポートAとポートBを交換することができます。この機能は、ポートの現在の状態に関係なく、マスタ・コントローラがLTC6813-1のスレーブ・ポートを制御下におくのに便利です。このためには、デバイスが送信した最

後のisoSPI信号から t_{BLOCK} の遅延時間経過後に、マスタ・ポートで長い-1 isoSPIパルスを送信します。 t_{BLOCK} の範囲内で長いisoSPIパルスをマスタ・ポートに送信しても、デバイスによって拒否されます。これにより、LTC6813-1がポートを切り替えられないことが確実にになります。その理由は、終端が不十分なケーブル(ケーブル長100m未満)からの信号反射です。

タイミング図

デジチェーン接続されたLTC6813-1に対するREADコマンドについて、isoSPIのタイミング図を図25に示します。ISOMDピンは末尾のデバイスのV₊に接続されるので、そのポートAはSPIポート(CSB、SCK、SDI、およびSDO)として構成されます。3つのスタック・デバイスのisoSPI信号を、ポート名(AまたはB)とデバイス番号のラベルを付けて示します。なお、ISO B1とISO A2は、実際には同じ信号ですが、デバイス1と2を接続する伝送ケーブルのそれぞれの端に現れます。同様に、ISO B2とISO A3も同じ信号ですが、デバイス2と3の間にはケーブルによる遅延が生じます。

ビット $W_N \sim W_0$ は、READコマンドの16ビットのコマンド・コードと16ビットのPECを表します。ビット W_0 の終了時に、3つのデバイスがREADコマンドをデコードして、データのシフト出力を開始します。このデータはクロックSCKの次の立ち上がりエッジで有効になります。ビット $X_N \sim X_0$ は、デバイス1によってシフト出力されたデータを表します。ビット $Y_N \sim$

動作

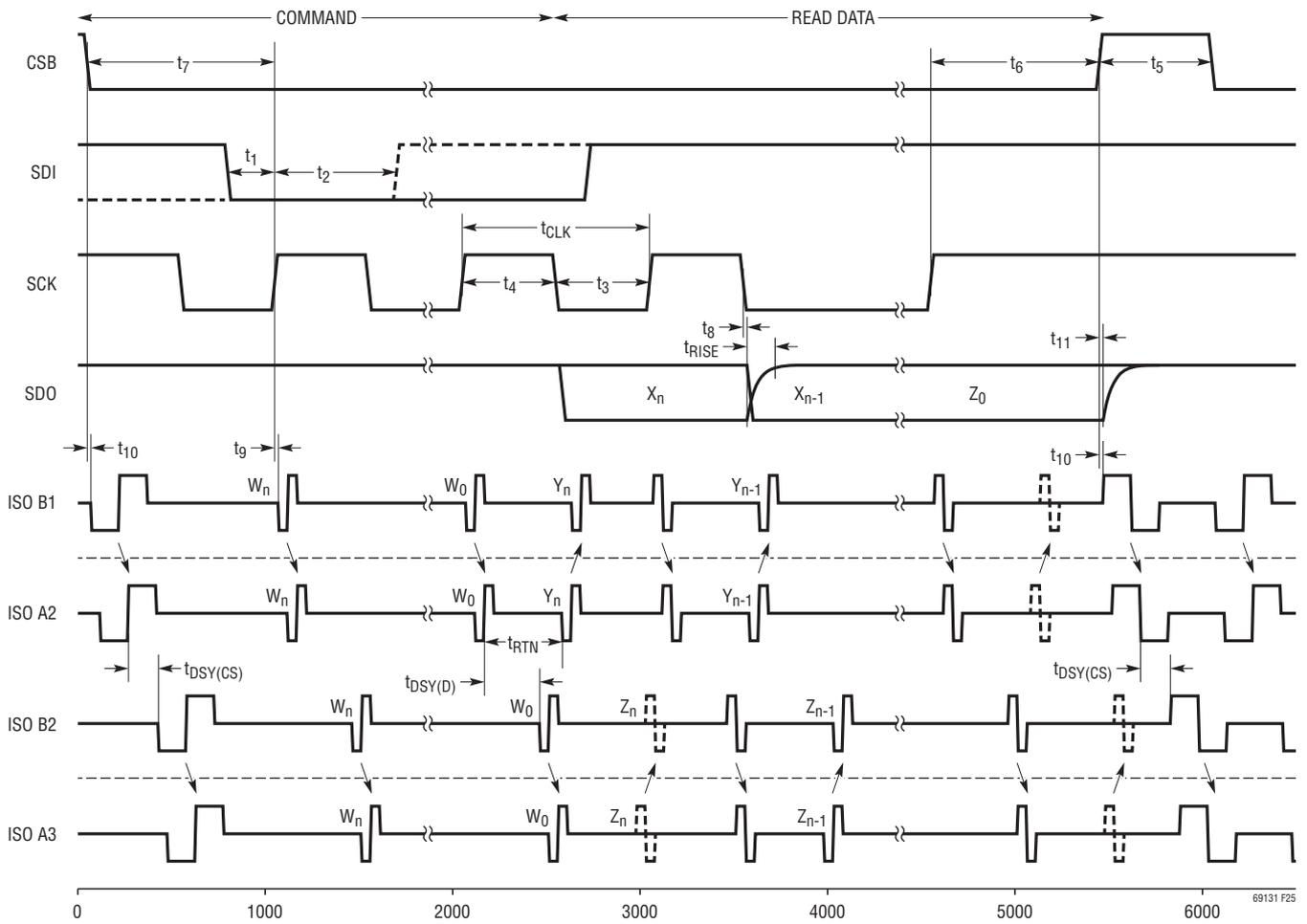


図 25. isoSPIのタイミング図

動作

Y_0 は、デバイス2によってシフト出力されたデータを表し、ビット $Z_N \sim Z_0$ は、デバイス3によってシフト出力されたデータを表します。これらのデータは全て、デバイス1のSDOポートからデジチェーン式に読み出されます。

シリアル・インタフェースの起動

t_{IDLE} の時間内にポートAまたはポートBに動作がなかった場合、シリアル・ポート(SPIまたはisoSPI)は、低消費電力のIDLEステートに移行します。WAKEUP回路は、ピン61～64での動作をモニタします。

ISOMD = V⁻である場合、ポートAはSPIモードになっています。CSBピンまたはSCKピンに動作があると、SPIインタフェースが起動します。ISOMD = V_{REG}である場合、ポートAはisoSPIモードになっています。IPA-IMA間(またはIPB-IMB間)に差動動作が発生すると、isoSPIインタフェースが起動します。isoSPIの状態が、コアの状態に応じて t_{WAKE} または t_{READY} の時間内にREADYになると、LTC6813-1は通信できる状態になります(詳細については、図1およびステートの説明を参照)。

タイミングと機能的に等価な回路を図26に示します(ポートAのみ表示)。同相信号はシリアル・インタフェースを起動しません。このインタフェースは、大信号のシングルエンド・パルスまたは低振幅の対称パルスを受信した後に起動するように設計されています。差動信号 $|SCK(IPA) - CSB(IMA)|$ は、シリアル・インタフェースを起動するWAKEUP信号として有効になるために、 $t_{DWELL} = 240\text{ns}$ の最小持続時間の間、 $V_{WAKE} = 200\text{mV}$ 以上である必要があります。

デジチェーンの起動—方法1

LTC6813-1は、通信できる状態になった後、ポートB上で長い+1パルスを送信します。デジチェーン接続構成では、このパルスがスタック内の次のデバイスを起動し、起動したデバイスが更に次のデバイスを起動します。スタック内に「N」個のデバイスが存在する場合は、コアの状態に応じて、 $N \cdot t_{WAKE}$ または $N \cdot t_{READY}$ の時間内に全てのデバイスの電源が投入されます。大規模なスタックの場合、 $N \cdot t_{WAKE}$ の時間は、 t_{IDLE} 以上になることがあります。その場合、ホストは、 $N \cdot t_{WAKE}$ の時間よりも長く待機した後、別のダミー・バイトを送信し、全てのデバイスが確実にREADYステートになるために、 $N \cdot t_{READY}$ の間、待機することがあります。

方法1を使用できるのは、デジチェーン上にある全てのデバイスがIDLEステートである場合です。これにより、デバイスがWAKEUP信号をデジチェーンで伝搬することが保証されます。ただし、この方法では、チェーンの途中にあるデバイスがIDLEステートではなくREADYステートである場合、全てのデバイスを起動できません。そうなった場合、READYステートにあるデバイスは起動パルスを伝搬しないので、そのデバイスより上のデバイスはIDLEステートのままになります。この状況(IDLEになっているデバイスもあるが、そうでないデバイスもある状況)が起こる可能性があるのは、わずかに t_{IDLE} のアイドル時間経過後にデジチェーンを起動しようとした場合です。

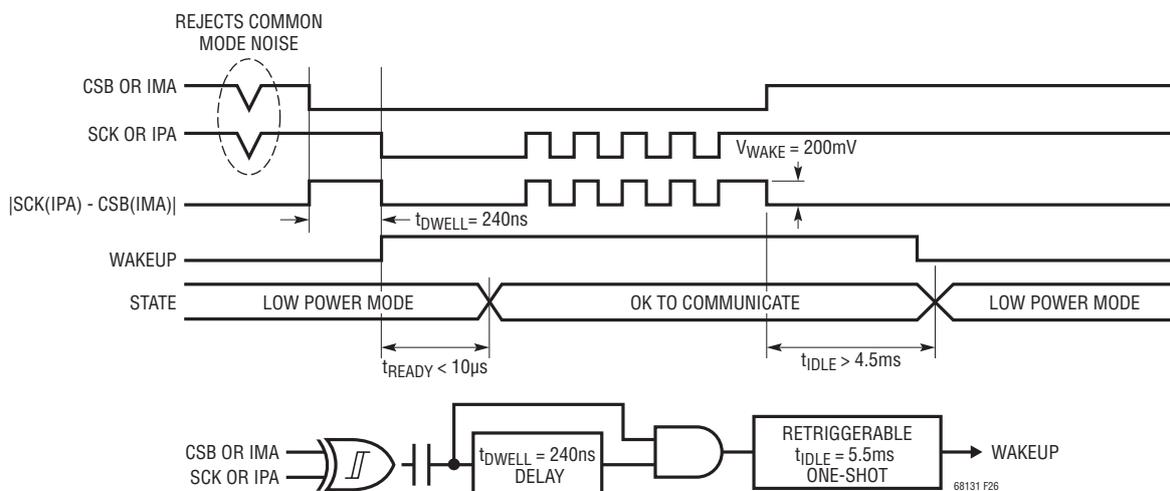


図26. 起動検出とIDLEタイマ

動作

デジチェーンの起動—方法2

より堅牢な起動方法は、組み込みの起動パルスに依存しません。しかし、デジチェーン全体を起動するのに十分な時間をかけてisoSPIトラフィックを手動で送信します。少なくとも、デバイスごとに一對の長いisoSPIパルス(-1および+1)が必要であり、tREADYまたはtWAKE(コア・ステートがそれぞれSTANDBYまたはSLEEPである場合)よりは長いが、tIDLEよりは短い時間で区切ることが必要です。これにより、各デバイスを起動して、次のパルスを後続のデバイスに伝搬することができます。この方法は、チェーン内の一部のデバイスがIDLE状態ではない場合にも機能します。実際に、方法2を実行するには、CSBピン(LTC6820のCSBピン、またはISOMD = 0にして末尾のLTC6813-1のCSBピン)を切り替え、長いisoSPIパルスを生成することが必要です。代わりに、(RDCFGAなどの)ダミー・コマンドを実行して長いisoSPIパルスを生成することもできます。

データ・リンク層

LTC6813-1では、全てのデータがバイト・グループ単位で伝送されます。全てのバイトは、8ビットで構成されます。各バイトは、最上位ビット(MSB)を先頭にして送信されます。CSBは、コマンド・バイトとそれ以降のデータの間を含むコマンド・シーケンスの全期間にわたり、“L”のままである必要があります。書き込みコマンドでは、データは、CSBの立ち上がりエッジでラッチされます。

ネットワーク層

パケット・エラー・コード

パケット・エラー・コード(PEC)は、レジスタ・グループ内の全てのビットについて計算される15ビットの巡回冗長検査(CRC)値で、この計算はPECの初期値00000000010000と、特性多項式 $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ を使用して、渡された順番に行なわれます。15ビットのPEC値の計算には、簡単な手順を定めることができます。

1. PECを00000000010000に初期化する(PECは15ビットのレジスタ・グループ)。

2. PECレジスタ・グループに送られてくる各DINビットを、次のように設定する。

$$\text{IN0} = \text{DIN XOR PEC}[14]$$

$$\text{IN3} = \text{IN0 XOR PEC}[2]$$

$$\text{IN4} = \text{IN0 XOR PEC}[3]$$

$$\text{IN7} = \text{IN0 XOR PEC}[6]$$

$$\text{IN8} = \text{IN0 XOR PEC}[7]$$

$$\text{IN10} = \text{IN0 XOR PEC}[9]$$

$$\text{IN14} = \text{IN0 XOR PEC}[13]$$

3. 15ビットのPECを次のように更新する。

$$\text{PEC}[14] = \text{IN14}$$

$$\text{PEC}[13] = \text{PEC}[12]$$

$$\text{PEC}[12] = \text{PEC}[11]$$

$$\text{PEC}[11] = \text{PEC}[10]$$

$$\text{PEC}[10] = \text{IN10}$$

$$\text{PEC}[9] = \text{PEC}[8]$$

$$\text{PEC}[8] = \text{IN8}$$

$$\text{PEC}[7] = \text{IN7}$$

$$\text{PEC}[6] = \text{PEC}[5]$$

$$\text{PEC}[5] = \text{PEC}[4]$$

$$\text{PEC}[4] = \text{IN4}$$

$$\text{PEC}[3] = \text{IN3}$$

$$\text{PEC}[2] = \text{PEC}[1]$$

$$\text{PEC}[1] = \text{PEC}[0]$$

$$\text{PEC}[0] = \text{IN0}$$

4. 全データがシフトされるまで、ステップ2に戻る。最後のPEC(16ビット)はPECレジスタの15ビット値で、LSBに0ビットが追加される。

前述のアルゴリズムを図27に示します。16ビット・ワード(0x0001)に対するPEC計算の例を表29に示します。0x0001のPECを計算してLSBに0ビットを挿入すると、0x3D6Eとなります。より長いデータ・ストリームの場合は、PECレジスタへ送られる最終データ・ビットの終了時点でPECが有効になります。

LTC6813-1は、受け取ったどのコマンドまたはどのデータに対してもPECを計算し、それをコマンドまたはデータに続くPECと比較します。コマンドまたはデータは、PECが一致する場合にのみ有効と見なされます。また、LTC6813-1は、シフトアウトするデータの末尾に、計算されたPECを付加します。LTC6813-1への書き込み時またはLTC6813-1からの読み出し時のPECのフォーマットを、表30に示します。

動作

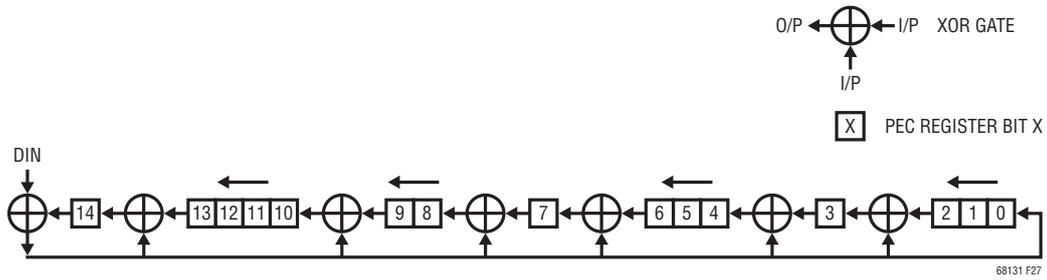


図27. 15ビットPEC計算回路

表29. 0x0001のPEC計算

PEC[14]	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0
PEC[13]	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	0
PEC[12]	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1
PEC[11]	0	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1
PEC[10]	0	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1	1
PEC[9]	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	1
PEC[8]	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0
PEC[7]	0	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1	1
PEC[6]	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
PEC[5]	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
PEC[4]	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
PEC[3]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
PEC[2]	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
PEC[1]	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
PEC[0]	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
IN14	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0		0
IN10	0	0	0	0	0	1	0	0	0	0	1	1	0	1	1	1		PEC Word
IN8	0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0		
IN7	0	0	1	0	0	0	0	0	0	0	1	1	1	0	1	1		
IN4	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1		
IN3	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0		
IN0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
クロック・サイクル	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	

表30. 書き込み/読み出しPECフォーマット

名前	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PEC0	RD/WR	PEC[14]	PEC[13]	PEC[12]	PEC[11]	PEC[10]	PEC[9]	PEC[8]	PEC[7]
PEC1	RD/WR	PEC[6]	PEC[5]	PEC[4]	PEC[3]	PEC[2]	PEC[1]	PEC[0]	0

動作

いずれかのコマンドがLTC6813-1に書き込まれるときに、コマンド・バイトのCMD0とCMD1(表37と表38を参照)、およびPECバイトのPEC0とPEC1が、次の順序でポートAで送信されます。

CMD0, CMD1, PEC0, PEC1

デジチェーン接続されたLTC6813-1デバイスへの書き込みコマンドの実行後、データが各デバイスに送信され、その後PECが送信されます。例えば、構成レジスタ・グループAをデジチェーン接続された2つのデバイス(1次デバイスPとスタック構成デバイスS)に書き込む場合、1次デバイスのポートAに、次の順序でデータが送信されます。

CFGAR0(S), …, CFGAR5(S), PEC0(S), PEC1(S),
CFGAR0(P), …, CFGAR5(P), PEC0(P), PEC1(P)

デジチェーン接続されたデバイスに対して読み出しコマンドを実行すると、各デバイスは、データと、そのデータに対して計算されたPECをポートAでシフト出力し、その後ポートBでデータが受信されます。例えば、デジチェーン接続された2つのデバイス(1次デバイスPとスタック構成デバイスS)からステータス・レジスタ・グループBを読み出すときに、1次デバイスは、ポートAで次の順序でデータを送信します。

STBR0(P), …, STBR5(P), PEC0(P), PEC1(P),
STBR0(S), …, STBR5(S), PEC0(S), PEC1(S)

コマンドのフォーマットについては、「バス・プロトコル」を参照してください。

コマンド・バイトは、デジチェーン構成内の全てのデバイスが同時に受け取ります。例えば、スタック構成のデバイスでA/D変換を開始する場合は、1つのADCVコマンドを送ると、全デバイスが同時に変換を開始します。読み出しと書き込みのコマンドでは、1つのコマンドが送られ、次いでスタック構成のデバイスが実質的にカスケード接続のシフト・レジスタになり、データは各デバイスを介してスタック内にある次の上位(書き込み)デバイスまたは次の下位(読み出し)デバイスにシフトされます。「シリアル・インタフェースの概要」のセクションを参照してください。

ポーリング方法

A/D変換の完了を判断する最も簡単な方法は、コントローラにA/D変換を開始させ、指定の変換時間が経過するのを待つ結果を読み出すことです。

SPIモード(ISOMDピンを“L”に接続)で通信する単一のLTC6813-1を使用する場合は、2つのポーリング方法があります。最初の方法は、A/D変換コマンドの送信後にCSBを“L”に保持する方法です。変換コマンドの入力後、デバイスが変換実行によってビジー状態になっているときは、SDOラインが“L”に駆動されます。デバイスが変換を完了すると、SDOは“H”になります。ただし、デバイスが変換を完了していても、CSBが“H”になるとSDOは“H”に戻ります(図28)。この方法に伴う問題は、A/D変換の完了を待っている間、コントローラが他のシリアル通信を自由に行えないことです。

もう1つの方法は、この制約を受けません。コントローラはADC開始コマンドを送って他のタスクを実行し、次にA/Dコンバータの状態をポーリングする(PLADC)コマンドを送って、A/D変換の状態を判断できます(図29)。PLADCコマンド入力後、デバイスが変換実行によってビジー状態になっている場合、SDOは“L”になります。変換が終了するとSDOは“H”になります。ただし、CSBが“H”になると、デバイスが変換を完了していてもSDOは“H”になります。

isoSPIモードで通信する単一のLTC6813-1を使用する場合、“L”側のポートは、受信したマスタisoSPIパルスにตอบสนองする場合にのみデータ・パルスを送信します。したがって、上に述べたどちらかのポーリング方法でコマンドを入力した後は、isoSPIデータ・パルスがデバイスに送られて変換状態が更新されます。これらのパルスは、LTC6820を使用し、そのSCKピンからクロックを出力することによって送信できます。このパルスにตอบสนองして、LTC6813-1は、変換実行のため引き続きビジー状態にある場合は“L”のisoSPIパルスを返し、変換が完了している場合は“H”のデータ・パルスを返します。CSB“H”のisoSPIパルスがデバイスに送られると、デバイスはポーリング・コマンドを終了します。

N個のスタック・デバイスのデジチェーン構成では、2つの同じポーリング方法を使用できます。末尾のデバイスがSPIモードで通信する場合、末尾のデバイスのSDOはスタック全体の変換ステータスを示します。つまり、スタック内にある全てのデバイスが変換を完了するまで、SDOは“L”のままになります。最初のポーリング方法では、A/D変換コマンドが送信された後、CSBを“L”に維持している間に、SCKでクロック・パルスが送信されます。SDOのステータスが有効になるのは、SCKで最後のN個目のクロック・パルスが到達した後です。先頭のN個のクロック・パルスの間、デジチェーンの末尾にあるLTC6813-1は0(“L”のデータ・パルス)を出力します。N個のクロック・パルスの後、末尾のLTC6813-1からの出力データは、後続のクロック・パルスが到達するたびに更新されます(図30)。2番目のポーリング方法では、CSBを“L”に維持している間に、PLADCコマンドを

動作

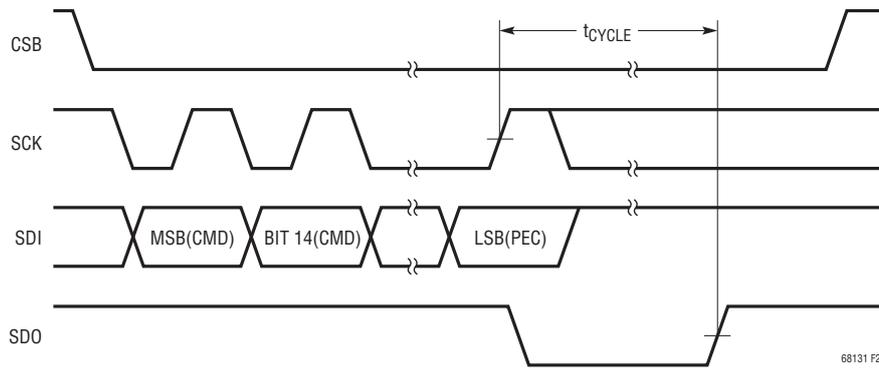


図28. A/D変換コマンド実行後のSDOのポーリング(単一のLTC6813-1)

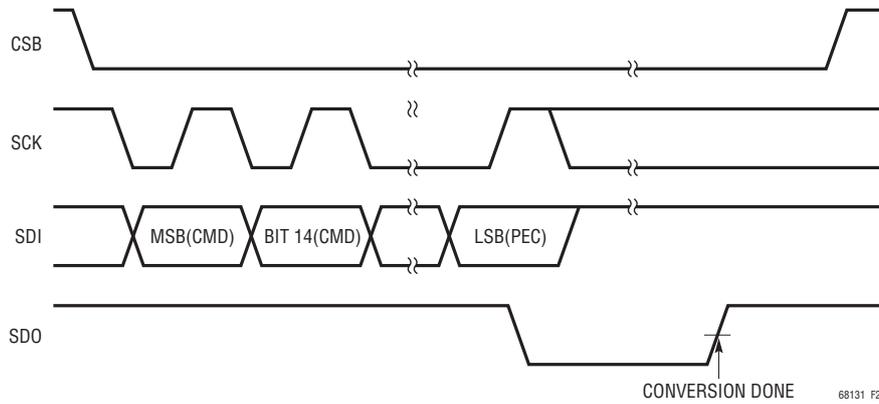


図29. PLADCコマンドを使用したSDOのポーリング(単一のLTC6813-1)

動作

送信して、その後クロック・パルスがSCKに到達します。最初の方法と同様に、SDOのステータスは、SCKにN個のクロック・パルスが到達して初めて有効になり、後続のクロック・サイクルが到達するたびに更新されます(図31)。

末尾のデバイスがisoSPIモードで通信する場合は、isoSPIのデータ・パルスがデバイスに送られて変換状態が更新されます。LTC6820を使用した場合は、そのSCKピンにクロック

を入力すればこの方法を実現できます。変換ステータスが有効になるのは、末尾のLTC6813-1デバイスがN個のisoSPIデータ・パルスを受信した後に限られており、このステータスはその後isoSPIデータ・パルスが到達するたびに更新されます。スタック内にあるいずれかのデバイスが変換によりビジー状態になっている場合、デバイスは“L”のデータ・パルスを返し、全てのデバイスが解放されている場合は、“H”のデータ・パルスを返します。

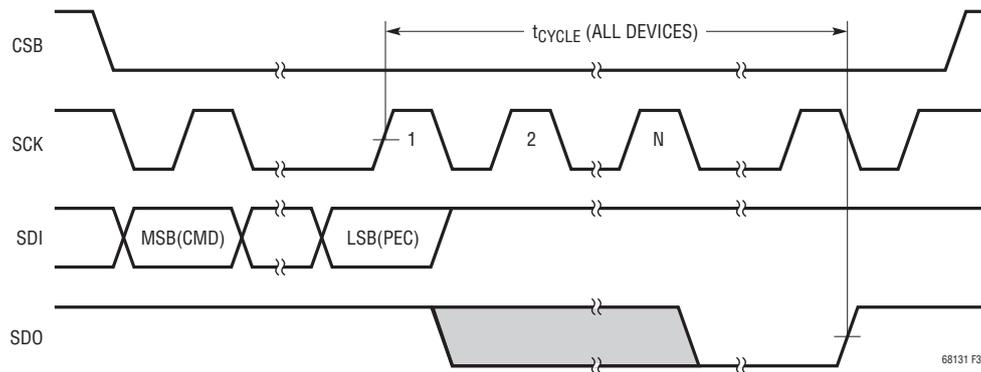


図30. A/D変換コマンド実行後のSDOのポーリング(デジチェーン構成)

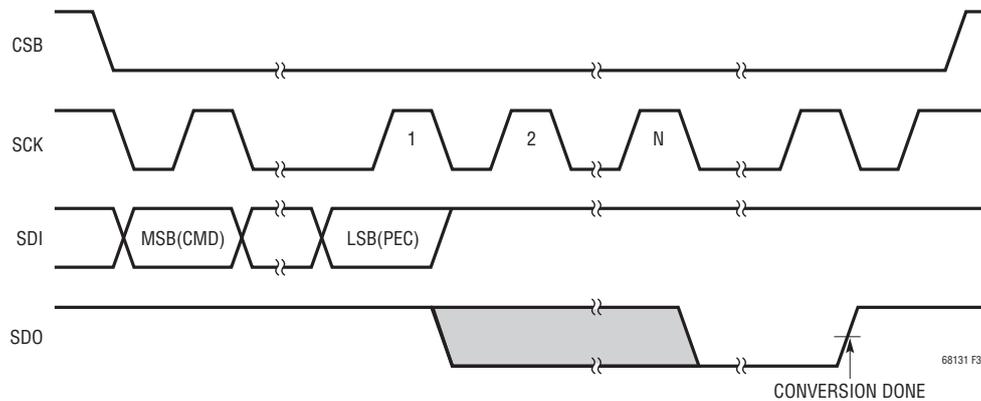


図31. PLADCコマンドを使用したSDOのポーリング(デジチェーン構成)

動作

バス・プロトコル

プロトコル・フォーマット: コマンドのプロトコル・フォーマットを表32～34に示します。表31はプロトコル図を読み取る鍵となります。

表31. プロトコル・キー

CMD0	Command Byte 0 (See Table 35)
CMD1	Command Byte 1 (See Table 35)
PECO	Packet Error Code Byte 0 (See Table 30)
PEC1	Packet Error Code Byte 1 (See Table 30)
<i>n</i>	Number of Bytes
…	Continuation of Protocol
	Master to Slave
	Slave to Master

表32. ポーリング・コマンド

8	8	8	8	
CMD0	CMD1	PECO	PEC1	Poll Data

表33. 書き込みコマンド

8	8	8	8	8	…	8	8	8	8	…	8
CMD0	CMD1	PECO	PEC1	Data Byte Low	…	Data Byte High	PECO	PEC1	Shift Byte 1	…	Shift Byte <i>n</i>

表34. 読み出しコマンド

8	8	8	8	8	…	8	8	8	8	…	8
CMD0	CMD1	PECO	PEC1	Data Byte Low	…	Data Byte High	PECO	PEC1	Shift Byte 1	…	Shift Byte <i>n</i>

コマンド・フォーマット: コマンドのフォーマットを表35に示します。CC[10:0]は、11ビットのコマンド・コードです。全てのコマンド・コードの一覧を表36に示します。CMD0[7]からCMD0[3]までは、全てのコマンドの値が0です。PECは16ビットのコマンド(CMD0およびCMD1)全体を対象に計算する必要があります。

表35. コマンド・フォーマット

名前	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CMD0	WR	0	0	0	0	0	CC[10]	CC[9]	CC[8]
CMD1	WR	CC[7]	CC[6]	CC[5]	CC[4]	CC[3]	CC[2]	CC[1]	CC[0]

動作

コマンド

全てのコマンドとそのオプションを表36に示します。

表 36. コマンドのコード

コマンドの説明	名前	CC[10:0] – コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Write Configuration Register Group A	WRCFGGA	0	0	0	0	0	0	0	0	0	0	1
Write Configuration Register Group B	WRCFGGB	0	0	0	0	0	1	0	0	1	0	0
Read Configuration Register Group A	RDCFGGA	0	0	0	0	0	0	0	0	0	1	0
Read Configuration Register Group B	RDCFGGB	0	0	0	0	0	1	0	0	1	1	0
Read Cell Voltage Register Group A	RDCVA	0	0	0	0	0	0	0	0	1	0	0
Read Cell Voltage Register Group B	RDCVB	0	0	0	0	0	0	0	0	1	1	0
Read Cell Voltage Register Group C	RDCVC	0	0	0	0	0	0	0	1	0	0	0
Read Cell Voltage Register Group D	RDCVD	0	0	0	0	0	0	0	1	0	1	0
Read Cell Voltage Register Group E	RDCVE	0	0	0	0	0	0	0	1	0	0	1
Read Cell Voltage Register Group F	RDCVF	0	0	0	0	0	0	0	1	0	1	1
Read Auxiliary Register Group A	RDAUXA	0	0	0	0	0	0	0	1	1	0	0
Read Auxiliary Register Group B	RDAUXB	0	0	0	0	0	0	0	1	1	1	0
Read Auxiliary Register Group C	RDAUXC	0	0	0	0	0	0	0	1	1	0	1
Read Auxiliary Register Group D	RDAUXD	0	0	0	0	0	0	0	1	1	1	1
Read Status Register Group A	RDSTATA	0	0	0	0	0	0	1	0	0	0	0
Read Status Register Group B	RDSTATB	0	0	0	0	0	0	1	0	0	1	0
Write S Control Register Group	WRCTRL	0	0	0	0	0	0	1	0	1	0	0
Write PWM Register Group	WRPWM	0	0	0	0	0	1	0	0	0	0	0
Write PWM/S Control Register Group B	WRPSB	0	0	0	0	0	0	1	1	1	0	0
Read S Control Register Group	RDSCTRL	0	0	0	0	0	0	1	0	1	1	0
Read PWM Register Group	RDPWM	0	0	0	0	0	1	0	0	0	1	0
Read PWM/S Control Register Group B	RDPSB	0	0	0	0	0	0	1	1	1	1	0

動作

コマンドの説明	名前	CC[10:0] – コマンド・コード										
		10	9	8	7	6	5	4	3	2	1	0
Start S Control Pulsing and Poll Status	STSCTRL	0	0	0	0	0	0	1	1	0	0	1
Clear S Control Register Group	CLRSCTRL	0	0	0	0	0	0	1	1	0	0	0
Start Cell Voltage ADC Conversion and Poll Status	ADCV	0	1	MD[1]	MD[0]	1	1	DCP	0	CH[2]	CH[1]	CH[0]
Start Open Wire ADC Conversion and Poll Status	ADOW	0	1	MD[1]	MD[0]	PUP	1	DCP	1	CH[2]	CH[1]	CH[0]
Start Self Test Cell Voltage Conversion and Poll Status	CVST	0	1	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Overlap Measurements of Cell 7 and Cell 13 Voltages	ADOL	0	1	MD[1]	MD[0]	0	0	DCP	0	0	0	1
Start GPIOs ADC Conversion and Poll Status	ADAX	1	0	MD[1]	MD[0]	1	1	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs ADC Conversion with Digital Redundancy and Poll Status	ADAXD	1	0	MD[1]	MD[0]	0	0	0	0	CHG[2]	CHG[1]	CHG[0]
Start GPIOs Open Wire ADC Conversion and Poll Status	AXOW	1	0	MD[1]	MD[0]	PUP	0	1	0	CHG[2]	CHG[1]	CHG[0]
Start Self Test GPIOs Conversion and Poll Status	AXST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	0	1	1	1
Start Status Group ADC Conversion and Poll Status	ADSTAT	1	0	MD[1]	MD[0]	1	1	0	1	CHST[2]	CHST[1]	CHST[0]
Start Status Group ADC Conversion with Digital Redundancy and Poll Status	ADSTATD	1	0	MD[1]	MD[0]	0	0	0	1	CHST[2]	CHST[1]	CHST[0]
Start Self Test Status Group Conversion and Poll Status	STATST	1	0	MD[1]	MD[0]	ST[1]	ST[0]	0	1	1	1	1
Start Combined Cell Voltage and GPIO1, GPIO2 Conversion and Poll Status	ADCVAX	1	0	MD[1]	MD[0]	1	1	DCP	1	1	1	1
Start Combined Cell Voltage and SC Conversion and Poll Status	ADCVSC	1	0	MD[1]	MD[0]	1	1	DCP	0	1	1	1
Clear Cell Voltage Register Groups	CLRCELL	1	1	1	0	0	0	1	0	0	0	1
Clear Auxiliary Register Groups	CLRAUX	1	1	1	0	0	0	1	0	0	1	0
Clear Status Register Groups	CLRSTAT	1	1	1	0	0	0	1	0	0	1	1
Poll ADC Conversion Status	PLADC	1	1	1	0	0	0	1	0	1	0	0
Diagnose MUX and Poll Status	DIAGN	1	1	1	0	0	0	1	0	1	0	1
Write COMM Register Group	WRCOMM	1	1	1	0	0	1	0	0	0	0	1
Read COMM Register Group	RDCOMM	1	1	1	0	0	1	0	0	0	1	0
Start I ² C/SPI Communication	STCOMM	1	1	1	0	0	1	0	0	0	1	1
Mute Discharge	MUTE	0	0	0	0	0	1	0	1	0	0	0
Unmute Discharge	UNMUTE	0	0	0	0	0	1	0	1	0	0	1

動作

表 37. コマンド・ビットの説明

名前	概要	値									
MD[1:0]	ADC Mode	MD	ADCOPT(CFGAR0[0]) = 0	ADCOPT(CFGAR0[0]) = 1							
		00	422Hz Mode	1kHz Mode							
		01	27kHz Mode (Fast)	14kHz Mode							
		10	7kHz Mode (Normal)	3kHz Mode							
		11	26Hz Mode (Filtered)	2kHz Mode							
DCP	Discharge Permitted	DCP									
		0	Discharge Not Permitted								
		1	Discharge Permitted								
CH[2:0]	Cell Selection for ADC Conversion	8つのADCモードでの全変換時間									
		CH	27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	All Cells	1.1ms	1.3ms	2.3ms	3.0ms	4.4ms	7.2ms	12.8ms	201ms
		001	Cells 1, 7, 13	203 μs	232 μs	407 μs	523 μs	756 μs	1.2ms	2.2ms	34ms
		010	Cells 2, 8, 14								
		011	Cells 3, 9, 15								
		100	Cells 4, 10, 16								
		101	Cells 5, 11, 17								
110	Cells 6, 12, 18										
PUP	Pull-Up/Pull-Down Current for Open Wire Conversions	PUP									
		0	Pull-Down Current								
		1	Pull-Up Current								
ST[1:0]	Self Test Mode Selection	自己テストの変換結果									
		ST	27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		01	Self Test 1	0x9565	0x9553	0x9555	0x9555	0x9555	0x9555	0x9555	0x9555
		10	Self test 2	0x6A9A	0x6AAC	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA	0x6AAA
CHG[2:0]	GPIO Selection for ADC Conversion	8つのADCモードでの全変換時間									
		CHG	27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	GPIO 1-5, 2nd Reference, GPIO 6-9	1.8ms	2.1ms	3.9ms	5.0ms	7.4ms	12.0ms	21.3ms	335ms
		001	GPIO 1 and GPIO 6	380 μs	439 μs	788 μs	1.0ms	1.5ms	2.4ms	4.3ms	67.1ms
		010	GPIO 2 and GPIO 7								
		011	GPIO 3 and GPIO 8								
		100	GPIO 4 and GPIO 9	200 μs	229 μs	403 μs	520 μs	753 μs	1.2ms	2.1ms	34ms
		101	GPIO 5								
110	2nd Reference										
CHST[2:0]*	Status Group Selection	8つのADCモードでの全変換時間									
		CHST	27kHz	14kHz	7kHz	3kHz	2kHz	1kHz	422Hz	26Hz	
		000	SC, ITMP, VA, VD	742 μs	858 μs	1.6ms	2.0ms	3.0ms	4.8ms	8.5ms	134ms
		001	SC	200 μs	229 μs	403 μs	520 μs	753 μs	1.2ms	2.1ms	34ms
		010	ITMP								
		011	VA								
		100	VD								

*注記: ADSTAT コマンドの CHST に対して有効なオプションは、0~4 です。ADSTAT コマンドで CHST を 5/6 に設定した場合、LTC6813-1 はこのコマンドを無視します。

動作

メモリ・マップ

表 38. 構成レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CFGAR0	RD/WR	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	REFON	DTEN	ADCOPT
CFGAR1	RD/WR	VUV[7]	VUV[6]	VUV[5]	VUV[4]	VUV[3]	VUV[2]	VUV[1]	VUV[0]
CFGAR2	RD/WR	VOV[3]	VOV[2]	VOV[1]	VOV[0]	VUV[11]	VUV[10]	VUV[9]	VUV[8]
CFGAR3	RD/WR	VOV[11]	VOV[10]	VOV[9]	VOV[8]	VOV[7]	VOV[6]	VOV[5]	VOV[4]
CFGAR4	RD/WR	DCC8	DCC7	DCC6	DCC5	DCC4	DCC3	DCC2	DCC1
CFGAR5	RD/WR	DCTO[3]	DCTO[2]	DCTO[1]	DCTO[0]	DCC12	DCC11	DCC10	DCC9

表 39. 構成レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CFGBR0	RD/WR	DCC16	DCC15	DCC14	DCC13	GPIO9	GPIO8	GPIO7	GPIO6
CFGBR1	RD/WR	MUTE	FDRF	PS[1]	PS[0]	DTMEN	DCC0	DCC18	DCC17
CFGBR2	RD/WR	RSVD0							
CFGBR3	RD/WR	RSVD0							
CFGBR4	RD/WR	RSVD0							
CFGBR5	RD/WR	RSVD0							

表 40. セル電圧レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVAR0	RD	C1V[7]	C1V[6]	C1V[5]	C1V[4]	C1V[3]	C1V[2]	C1V[1]	C1V[0]
CVAR1	RD	C1V[15]	C1V[14]	C1V[13]	C1V[12]	C1V[11]	C1V[10]	C1V[9]	C1V[8]
CVAR2	RD	C2V[7]	C2V[6]	C2V[5]	C2V[4]	C2V[3]	C2V[2]	C2V[1]	C2V[0]
CVAR3	RD	C2V[15]	C2V[14]	C2V[13]	C2V[12]	C2V[11]	C2V[10]	C2V[9]	C2V[8]
CVAR4	RD	C3V[7]	C3V[6]	C3V[5]	C3V[4]	C3V[3]	C3V[2]	C3V[1]	C3V[0]
CVAR5	RD	C3V[15]	C3V[14]	C3V[13]	C3V[12]	C3V[11]	C3V[10]	C3V[9]	C3V[8]

表 41. セル電圧レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVBR0	RD	C4V[7]	C4V[6]	C4V[5]	C4V[4]	C4V[3]	C4V[2]	C4V[1]	C4V[0]
CVBR1	RD	C4V[15]	C4V[14]	C4V[13]	C4V[12]	C4V[11]	C4V[10]	C4V[9]	C4V[8]
CVBR2	RD	C5V[7]	C5V[6]	C5V[5]	C5V[4]	C5V[3]	C5V[2]	C5V[1]	C5V[0]
CVBR3	RD	C5V[15]	C5V[14]	C5V[13]	C5V[12]	C5V[11]	C5V[10]	C5V[9]	C5V[8]
CVBR4	RD	C6V[7]	C6V[6]	C6V[5]	C6V[4]	C6V[3]	C6V[2]	C6V[1]	C6V[0]
CVBR5	RD	C6V[15]	C6V[14]	C6V[13]	C6V[12]	C6V[11]	C6V[10]	C6V[9]	C6V[8]

動作

表 42. セル電圧レジスタ・グループ C

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVCR0	RD	C7V[7]	C7V[6]	C7V[5]	C7V[4]	C7V[3]	C7V[2]	C7V[1]	C7V[0]
CVCR1	RD	C7V[15]	C7V[14]	C7V[13]	C7V[12]	C7V[11]	C7V[10]	C7V[9]	C7V[8]
CVCR2*	RD	C8V[7]*	C8V[6]*	C8V[5]*	C8V[4]*	C8V[3]*	C8V[2]*	C8V[1]*	C8V[0]*
CVCR3*	RD	C8V[15]*	C8V[14]*	C8V[13]*	C8V[12]*	C8V[11]*	C8V[10]*	C8V[9]*	C8V[8]*
CVCR4	RD	C9V[7]	C9V[6]	C9V[5]	C9V[4]	C9V[3]	C9V[2]	C9V[1]	C9V[0]
CVCR5	RD	C9V[15]	C9V[14]	C9V[13]	C9V[12]	C9V[11]	C9V[10]	C9V[9]	C9V[8]

*ADOL コマンドの実行後、セル電圧レジスタ・グループ C の CVCR2 および CVCR3 には、ADC1 から得られるセル 7 の測定結果が格納されます。

表 43. セル電圧レジスタ・グループ D

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVDR0	RD	C10V[7]	C10V[6]	C10V[5]	C10V[4]	C10V[3]	C10V[2]	C10V[1]	C10V[0]
CVDR1	RD	C10V[15]	C10V[14]	C10V[13]	C10V[12]	C10V[11]	C10V[10]	C10V[9]	C10V[8]
CVDR2	RD	C11V[7]	C11V[6]	C11V[5]	C11V[4]	C11V[3]	C11V[2]	C11V[1]	C11V[0]
CVDR3	RD	C11V[15]	C11V[14]	C11V[13]	C11V[12]	C11V[11]	C11V[10]	C11V[9]	C11V[8]
CVDR4	RD	C12V[7]	C12V[6]	C12V[5]	C12V[4]	C12V[3]	C12V[2]	C12V[1]	C12V[0]
CVDR5	RD	C12V[15]	C12V[14]	C12V[13]	C12V[12]	C12V[11]	C12V[10]	C12V[9]	C12V[8]

表 44. セル電圧レジスタ・グループ E

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVER0	RD	C13V[7]	C13V[6]	C13V[5]	C13V[4]	C13V[3]	C13V[2]	C13V[1]	C13V[0]
CVER1	RD	C13V[15]	C13V[14]	C13V[13]	C13V[12]	C13V[11]	C13V[10]	C13V[9]	C13V[8]
CVER2*	RD	C14V[7]*	C14V[6]*	C14V[5]*	C14V[4]*	C14V[3]*	C14V[2]*	C14V[1]*	C14V[0]*
CVER3*	RD	C14V[15]*	C14V[14]*	C14V[13]*	C14V[12]*	C14V[11]*	C14V[10]*	C14V[9]*	C14V[8]*
CVER4	RD	C15V[7]	C15V[6]	C15V[5]	C15V[4]	C15V[3]	C15V[2]	C15V[1]	C15V[0]
CVER5	RD	C15V[15]	C15V[14]	C15V[13]	C15V[12]	C15V[11]	C15V[10]	C15V[9]	C15V[8]

*ADOL コマンドの実行後、セル電圧レジスタ・グループ E の CVER2 および CVER3 には、ADC2 から得られるセル 13 の測定結果が格納されます。

表 45. セル電圧レジスタ・グループ F

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
CVFR0	RD	C16V[7]	C16V[6]	C16V[5]	C16V[4]	C16V[3]	C16V[2]	C16V[1]	C16V[0]
CVFR1	RD	C16V[15]	C16V[14]	C16V[13]	C16V[12]	C16V[11]	C16V[10]	C16V[9]	C16V[8]
CVFR2	RD	C17V[7]	C17V[6]	C17V[5]	C17V[4]	C17V[3]	C17V[2]	C17V[1]	C17V[0]
CVFR3	RD	C17V[15]	C17V[14]	C17V[13]	C17V[12]	C17V[11]	C17V[10]	C17V[9]	C17V[8]
CVFR4	RD	C18V[7]	C18V[6]	C18V[5]	C18V[4]	C18V[3]	C18V[2]	C18V[1]	C18V[0]
CVFR5	RD	C18V[15]	C18V[14]	C18V[13]	C18V[12]	C18V[11]	C18V[10]	C18V[9]	C18V[8]

動作

表 46. 補助レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
AVAR0	RD	G1V[7]	G1V[6]	G1V[5]	G1V[4]	G1V[3]	G1V[2]	G1V[1]	G1V[0]
AVAR1	RD	G1V[15]	G1V[14]	G1V[13]	G1V[12]	G1V[11]	G1V[10]	G1V[9]	G1V[8]
AVAR2	RD	G2V[7]	G2V[6]	G2V[5]	G2V[4]	G2V[3]	G2V[2]	G2V[1]	G2V[0]
AVAR3	RD	G2V[15]	G2V[14]	G2V[13]	G2V[12]	G2V[11]	G2V[10]	G2V[9]	G2V[8]
AVAR4	RD	G3V[7]	G3V[6]	G3V[5]	G3V[4]	G3V[3]	G3V[2]	G3V[1]	G3V[0]
AVAR5	RD	G3V[15]	G3V[14]	G3V[13]	G3V[12]	G3V[11]	G3V[10]	G3V[9]	G3V[8]

表 47. 補助レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
AVBR0	RD	G4V[7]	G4V[6]	G4V[5]	G4V[4]	G4V[3]	G4V[2]	G4V[1]	G4V[0]
AVBR1	RD	G4V[15]	G4V[14]	G4V[13]	G4V[12]	G4V[11]	G4V[10]	G4V[9]	G4V[8]
AVBR2	RD	G5V[7]	G5V[6]	G5V[5]	G5V[4]	G5V[3]	G5V[2]	G5V[1]	G5V[0]
AVBR3	RD	G5V[15]	G5V[14]	G5V[13]	G5V[12]	G5V[11]	G5V[10]	G5V[9]	G5V[8]
AVBR4	RD	REF[7]	REF[6]	REF[5]	REF[4]	REF[3]	REF[2]	REF[1]	REF[0]
AVBR5	RD	REF[15]	REF[14]	REF[13]	REF[12]	REF[11]	REF[10]	REF[9]	REF[8]

表 48. 補助レジスタ・グループ C

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
AVCR0	RD	G6V[7]	G6V[6]	G6V[5]	G6V[4]	G6V[3]	G6V[2]	G6V[1]	G6V[0]
AVCR1	RD	G6V[15]	G6V[14]	G6V[13]	G6V[12]	G6V[11]	G6V[10]	G6V[9]	G6V[8]
AVCR2	RD	G7V[7]	G7V[6]	G7V[5]	G7V[4]	G7V[3]	G7V[2]	G7V[1]	G7V[0]
AVCR3	RD	G7V[15]	G7V[14]	G7V[13]	G7V[12]	G7V[11]	G7V[10]	G7V[9]	G7V[8]
AVCR4	RD	G8V[7]	G8V[6]	G8V[5]	G8V[4]	G8V[3]	G8V[2]	G8V[1]	G8V[0]
AVCR5	RD	G8V[15]	G8V[14]	G8V[13]	G8V[12]	G8V[11]	G8V[10]	G8V[9]	G8V[8]

表 49. 補助レジスタ・グループ D

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
AVDR0	RD	G9V[7]	G9V[6]	G9V[5]	G9V[4]	G9V[3]	G9V[2]	G9V[1]	G9V[0]
AVDR1	RD	G9V[15]	G9V[14]	G9V[13]	G9V[12]	G9V[11]	G9V[10]	G9V[9]	G9V[8]
AVDR2	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR3	RD	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1	RSVD1
AVDR4	RD	C160V	C16UV	C150V	C15UV	C140V	C14UV	C130V	C13UV
AVDR5	RD	RSVD1	RSVD1	RSVD1	RSVD1	C180V	C18UV	C170V	C17UV

動作

表 50. ステータス・レジスタ・グループ A

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
STAR0	RD	SC[7]	SC[6]	SC[5]	SC[4]	SC[3]	SC[2]	SC[1]	SC[0]
STAR1	RD	SC[15]	SC[14]	SC[13]	SC[12]	SC[11]	SC[10]	SC[9]	SC[8]
STAR2	RD	ITMP[7]	ITMP[6]	ITMP[5]	ITMP[4]	ITMP[3]	ITMP[2]	ITMP[1]	ITMP[0]
STAR3	RD	ITMP[15]	ITMP[14]	ITMP[13]	ITMP[12]	ITMP[11]	ITMP[10]	ITMP[9]	ITMP[8]
STAR4	RD	VA[7]	VA[6]	VA[5]	VA[4]	VA[3]	VA[2]	VA[1]	VA[0]
STAR5	RD	VA[15]	VA[14]	VA[13]	VA[12]	VA[11]	VA[10]	VA[9]	VA[8]

表 51. ステータス・レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
STBR0	RD	VD[7]	VD[6]	VD[5]	VD[4]	VD[3]	VD[2]	VD[1]	VD[0]
STBR1	RD	VD[15]	VD[14]	VD[13]	VD[12]	VD[11]	VD[10]	VD[9]	VD[8]
STBR2	RD	C40V	C4UV	C30V	C3UV	C20V	C2UV	C10V	C1UV
STBR3	RD	C80V	C8UV	C70V	C7UV	C60V	C6UV	C50V	C5UV
STBR4	RD	C120V	C12UV	C110V	C11UV	C100V	C10UV	C90V	C9UV
STBR5	RD	REV[3]	REV[2]	REV[1]	REV[0]	RSVD	RSVD	MUXFAIL	THSD

表 52. COMM レジスタ・グループ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
COMM0	RD/WR	ICOM0[3]	ICOM0[2]	ICOM0[1]	ICOM0[0]	D0[7]	D0[6]	D0[5]	D0[4]
COMM1	RD/WR	D0[3]	D0[2]	D0[1]	D0[0]	FCOM0[3]	FCOM0[2]	FCOM0[1]	FCOM0[0]
COMM2	RD/WR	ICOM1[3]	ICOM1[2]	ICOM1[1]	ICOM1[0]	D1[7]	D1[6]	D1[5]	D1[4]
COMM3	RD/WR	D1[3]	D1[2]	D1[1]	D1[0]	FCOM1[3]	FCOM1[2]	FCOM1[1]	FCOM1[0]
COMM4	RD/WR	ICOM2[3]	ICOM2[2]	ICOM2[1]	ICOM2[0]	D2[7]	D2[6]	D2[5]	D2[4]
COMM5	RD/WR	D2[3]	D2[2]	D2[1]	D2[0]	FCOM2[3]	FCOM2[2]	FCOM2[1]	FCOM2[0]

表 53. S 制御レジスタ・グループ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCTRL0	RD/WR	SCTL2[3]	SCTL2[2]	SCTL2[1]	SCTL2[0]	SCTL1[3]	SCTL1[2]	SCTL1[1]	SCTL1[0]
SCTRL1	RD/WR	SCTL4[3]	SCTL4[2]	SCTL4[1]	SCTL4[0]	SCTL3[3]	SCTL3[2]	SCTL3[1]	SCTL3[0]
SCTRL2	RD/WR	SCTL6[3]	SCTL6[2]	SCTL6[1]	SCTL6[0]	SCTL5[3]	SCTL5[2]	SCTL5[1]	SCTL5[0]
SCTRL3	RD/WR	SCTL8[3]	SCTL8[2]	SCTL8[1]	SCTL8[0]	SCTL7[3]	SCTL7[2]	SCTL7[1]	SCTL7[0]
SCTRL4	RD/WR	SCTL10[3]	SCTL10[2]	SCTL10[1]	SCTL10[0]	SCTL9[3]	SCTL9[2]	SCTL9[1]	SCTL9[0]
SCTRL5	RD/WR	SCTL12[3]	SCTL12[2]	SCTL12[1]	SCTL12[0]	SCTL11[3]	SCTL11[2]	SCTL11[1]	SCTL11[0]

動作

表 54. PWM レジスタ・グループ

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PWMR0	RD/WR	PWM2[3]	PWM2[2]	PWM2[1]	PWM2[0]	PWM1[3]	PWM1[2]	PWM1[1]	PWM1[0]
PWMR1	RD/WR	PWM4[3]	PWM4[2]	PWM4[1]	PWM4[0]	PWM3[3]	PWM3[2]	PWM3[1]	PWM3[0]
PWMR2	RD/WR	PWM6[3]	PWM6[2]	PWM6[1]	PWM6[0]	PWM5[3]	PWM5[2]	PWM5[1]	PWM5[0]
PWMR3	RD/WR	PWM8[3]	PWM8[2]	PWM8[1]	PWM8[0]	PWM7[3]	PWM7[2]	PWM7[1]	PWM7[0]
PWMR4	RD/WR	PWM10[3]	PWM10[2]	PWM10[1]	PWM10[0]	PWM9[3]	PWM9[2]	PWM9[1]	PWM9[0]
PWMR5	RD/WR	PWM12[3]	PWM12[2]	PWM12[1]	PWM12[0]	PWM11[3]	PWM11[2]	PWM11[1]	PWM11[0]

表 55. PWM/S 制御レジスタ・グループ B

レジスタ	RD/WR	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PSR0	RD/WR	PWM14[3]	PWM14[2]	PWM14[1]	PWM14[0]	PWM13[3]	PWM13[2]	PWM13[1]	PWM13[0]
PSR1	RD/WR	PWM16[3]	PWM16[2]	PWM16[1]	PWM16[0]	PWM15[3]	PWM15[2]	PWM15[1]	PWM15[0]
PSR2	RD/WR	PWM18[3]	PWM18[2]	PWM18[1]	PWM18[0]	PWM17[3]	PWM17[2]	PWM17[1]	PWM17[0]
PSR3	RD/WR	SCTL14[3]	SCTL14[2]	SCTL14[1]	SCTL14[0]	SCTL13[3]	SCTL13[2]	SCTL13[1]	SCTL13[0]
PSR4	RD/WR	SCTL16[3]	SCTL16[2]	SCTL16[1]	SCTL16[0]	SCTL15[3]	SCTL15[2]	SCTL15[1]	SCTL15[0]
PSR5	RD/WR	SCTL18[3]	SCTL18[2]	SCTL18[1]	SCTL18[0]	SCTL17[3]	SCTL17[2]	SCTL17[1]	SCTL17[0]

動作

表 56. メモリ・ビットの概要

名前	概要	値																																																																				
GPIOx	GPIOx Pin Control	Write: 0 → GPIOx Pin Pull-Down ON; 1 → GPIOx Pin Pull-Down OFF (Default) Read: 0 → GPIOx Pin at Logic 0; 1 → GPIOx Pin at Logic 1																																																																				
REFON	Reference Powered Up	1 → Reference Remains Powered Up Until Watchdog Timeout 0 → Reference Shuts Down After Conversions (Default)																																																																				
DTEN	Discharge Timer Enable (READ ONLY)	1 → Enables the Discharge Timer for Discharge Switches 0 → Disables Discharge Timer																																																																				
ADCOPT	ADC Mode Option Bit	ADCOPT: 0 → Selects Modes 27kHz, 7kHz, 422Hz or 26Hz with MD[1:0] Bits in ADC Conversion Commands (Default) 1 → Selects Modes 14kHz, 3kHz, 1kHz or 2kHz with MD[1:0] Bits in ADC Conversion Commands																																																																				
VUV	Undervoltage Comparison Voltage*	Comparison Voltage = (VUV + 1) • 16 • 100 μV Default: VUV = 0x000																																																																				
VOV	Overvoltage Comparison Voltage*	Comparison Voltage = VOV • 16 • 100 μV Default: VOV = 0x000																																																																				
DCC[x]	Discharge Cell x	x = 1 to 18: 1 → Turn ON Shorting Switch for Cell x 0 → Turn OFF Shorting Switch for Cell x (Default) x = 0: 1 → Turn ON GPIO9 Pull-Down 0 → Turn OFF GPIO9 Pull-Down (Default)																																																																				
DCTO	Discharge Time Out Value	<table border="1"> <thead> <tr> <th>DCTO (Write)</th> <th>0</th> <th>1</th> <th>2</th> <th>3</th> <th>4</th> <th>5</th> <th>6</th> <th>7</th> <th>8</th> <th>9</th> <th>A</th> <th>B</th> <th>C</th> <th>D</th> <th>E</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>Time (Min)</td> <td>Disabled</td> <td>0.5</td> <td>1</td> <td>2</td> <td>3</td> <td>4</td> <td>5</td> <td>10</td> <td>15</td> <td>20</td> <td>30</td> <td>40</td> <td>60</td> <td>75</td> <td>90</td> <td>120</td> </tr> <tr> <td>DCTO (Read)</td> <td>0</td> <td>1</td> <td>2</td> <td>3</td> <td>4</td> <td>5</td> <td>6</td> <td>7</td> <td>8</td> <td>9</td> <td>A</td> <td>B</td> <td>C</td> <td>D</td> <td>E</td> <td>F</td> </tr> <tr> <td>Time Left (Min)</td> <td>Disabled or Timeout</td> <td>0–0.5</td> <td>0.5–1</td> <td>1–2</td> <td>2–3</td> <td>3–4</td> <td>4–5</td> <td>5–10</td> <td>10–15</td> <td>15–20</td> <td>20–30</td> <td>30–40</td> <td>40–60</td> <td>60–75</td> <td>75–90</td> <td>90–120</td> </tr> </tbody> </table>	DCTO (Write)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	Time (Min)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120	DCTO (Read)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	Time Left (Min)	Disabled or Timeout	0–0.5	0.5–1	1–2	2–3	3–4	4–5	5–10	10–15	15–20	20–30	30–40	40–60	60–75	75–90	90–120
DCTO (Write)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F																																																						
Time (Min)	Disabled	0.5	1	2	3	4	5	10	15	20	30	40	60	75	90	120																																																						
DCTO (Read)	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F																																																						
Time Left (Min)	Disabled or Timeout	0–0.5	0.5–1	1–2	2–3	3–4	4–5	5–10	10–15	15–20	20–30	30–40	40–60	60–75	75–90	90–120																																																						
MUTE	Mute Status (READ ONLY)	1 → Mute is Activated and Discharging is Disabled 0 → Mute is Deactivated																																																																				
FDRF	Force Digital Redundancy Failure	1 → Forces the Digital Redundancy Comparison for ADC Conversions to Fail 0 → Enables the Normal Redundancy Comparison																																																																				
PS[1:0]	Digital Redundancy Path Selection	11 → Redundancy is Applied Only to ADC3 Digital Path 10 → Redundancy is Applied Only to ADC2 Digital Path 01 → Redundancy is Applied Only to ADC1 Digital Path 00 → Redundancy is Applied Sequentially to ADC1, ADC2 and ADC3 Digital Paths During Cell Conversions and Applied to ADC1 During AUX and STATUS Conversions																																																																				
DTMEN	Enable Discharge Timer Monitor	1 → Enables the Discharge Timer Monitor Function if the DTEN Pin is Asserted 0 → Disables the Discharge Timer Monitor Function. The Normal Discharge Timer Function Will Be Enabled if the DTEN Pin is Asserted																																																																				
CxV	Cell x Voltage*	x = 1 to 18 16-Bit ADC Measurement Value for Cell x Cell Voltage for Cell x = CxV • 100 μV CxV is Reset to 0xFFFF on Power-Up and After Clear Command																																																																				
GxV	GPIO x Voltage*	x = 1 to 9 16-Bit ADC Measurement Value for GPIOx Voltage for GPIOx = GxV • 100 μV GxV is Reset to 0xFFFF on Power-Up and After Clear Command																																																																				
REF	2nd Reference Voltage*	16-Bit ADC Measurement Value for 2nd Reference Voltage for 2nd Reference = REF • 100 μV Normal Range is within 2.988V to 3.012V Considering Data Sheet Limits, Thermal Hysteresis and Long Term Drift																																																																				
SC	Sum of Cells Measurement*	16-Bit ADC Measurement Value of the Sum of all Cell Voltages Sum of all Cells Voltage = SC • 100 μV • 30																																																																				
ITMP	Internal Die Temperature*	16-Bit ADC Measurement Value of Internal Die Temperature Temperature Measurement Voltage = I_{TEMP} • 100 μV/7.6mV/°C – 276°C																																																																				

動作

名前	概要	値					
VA	Analog Power Supply Voltage*	16-Bit ADC Measurement Value of Analog Power Supply Voltage Analog Power Supply Voltage = VA • 100 μ V The Value of VA is Set by External Components and Should Be in the Range 4.5V to 5.5V for Normal Operation					
VD	Digital Power Supply Voltage*	16-Bit ADC Measurement Value of Digital Power Supply Voltage Digital Power Supply Voltage = VD • 100 μ V Normal Range is within 2.7V to 3.6V					
CxOV	Cell x Over-voltage Flag	x = 1 to 18 Cell Voltage Compared to VOV Comparison Voltage 0 → Cell x Not Flagged for Overvoltage Condition; 1 → Cell x Flagged					
CxUV	Cell x Under-voltage Flag	x = 1 to 18 Cell Voltage Compared to VUV Comparison Voltage 0 → Cell x Not Flagged for Undervoltage Condition; 1 → Cell x Flagged					
REV	Revision Code	Device Revision Code					
RSVD	Reserved Bits	Read: Read Back Value Can Be 1 or 0					
RSVD0	Reserved Bits	Read: Read Back Value is Always 0					
RSVD1	Reserved Bits	Read: Read Back Value is Always 1					
MUXFAIL	Multiplexer Self Test Result	Read: 0 → Multiplexer Passed Self Test; 1 → Multiplexer Failed Self Test					
THSD	Thermal Shutdown Status	Read: 0 → Thermal Shutdown Has Not Occurred; 1 → Thermal Shutdown Has Occurred THSD Bit Cleared to 0 on Read of Status Register Group B					
SCTLx[x]	S Pin Control Bits	0000 – Drive S Pin High (De-Asserted) 0001 – Send 1 High Pulse on S Pin 0010 – Send 2 High Pulses on S Pin 0011 – Send 3 High Pulses on S Pin 0100 – Send 4 High Pulses on S Pin 0101 – Send 5 High Pulses on S Pin 0110 – Send 6 High Pulses on S Pin 0111 – Send 7 High Pulses on S Pin 1XXX – Drive S Pin Low (Asserted)					
ICOMn	Initial Communication Control Bits	Write	I ² C	0110	0001	0000	0111
				START	STOP	BLANK	NO TRANSMIT
			SPI	1000	1010	1001	1111
		Read	I ² C	CSB Low	CSB Falling Edge	CSB High	NO TRANSMIT
				0110	0001	0000	0111
			SPI	START from Master	STOP from Master	SDA Low Between Bytes	SDA High Between Bytes
Dn	I ² C/SPI Communication Data Byte	Data Transmitted (Received) to (from) I ² C/SPI Slave Device					
FCOMn	Final Communication Control Bits	Write	I ² C	0000	1000	1001	
				Master ACK	Master NACK	Master NACK + STOP	
			SPI	X000	1001		
		Read	I ² C	CSB Low	CSB High		
				0000	0111	1111	0001
			SPI	ACK from Master	ACK from Slave	NACK from Slave	ACK from Slave + STOP from Master
		SPI	1111				

*電圧の式にはレジスタの10進数(12ビットでは0~4095、16ビットでは0~65535)を使用する。

アプリケーション情報

DC電力の供給

簡易リニア・レギュレータ

LTC6813-1の主要電源ピンは5V($\pm 0.5V$)のV_{REG}入力ピンです。V_{REG}に必要な5V電源を生成するには、図32に示すように、DRIVEピンを使用し、数個の外付け部品を追加して、ディスクリット・レギュレータを構成します。DRIVEピンからは5.7V出力が得られ、1mAのソース電流を供給できます。NPNトランジスタによってバッファを構成すると、全温度範囲で安定した5Vが得られます。NPNトランジスタは、そのベータ(電流増幅率)が全温度範囲にわたって十分(> 40)なものを選択して、必要な電源電流を供給するようにします。isoSPIを介した通信とA/D変換を同時に行う場合には、LTC6813-1のV_{REG}のピーク電流要件が35mAに近づきます。追加の負荷をサポートするためにV_{REG}ピンが必要な場合は、更に高いベータを持つトランジスタが必要になることがあります。

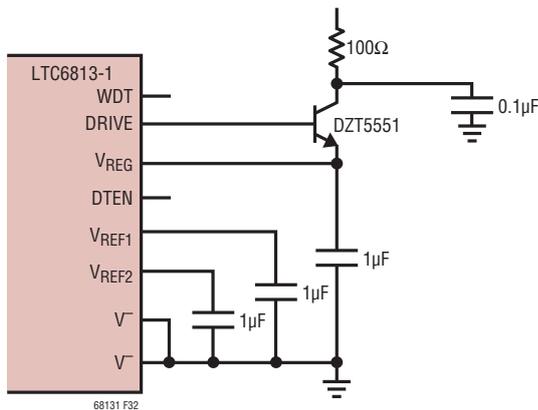


図32. NPNパス・トランジスタを使用した簡易V_{REG}電源

NPNのコレクタには、電圧がV₋より6V以上高い電圧源から電力を供給できます。これには、モニタの対象となるセル、つまり非安定化電源も含まれます。NPNを過渡電流から保護するために、コレクタ電力の接続には100Ω/100nF RCデカップリング・ネットワークを推奨します。NPNのエミッタは、1μFコンデンサでバイパスされます。LTC6813-1の起動時間が長

くなるため、これより大きな容量は使用しないでください。コレクタ電圧が高いと著しく発熱する場合があるため、NPNの熱特性には一定の注意が必要です。

向上したレギュレータの電力効率

セル・スタックからLTC6813-1に電力を供給するときの効率を向上するため、V_{REG}への電力は、NPNパス・トランジスタからではなく、DC/DCコンバータから供給できます。最適な回路は、図33に示すように、アナログ・デバイセズのLT3990降圧レギュレータがベースになっています。バッテリー・スタックとLT3990の入力の間には470Ωの抵抗を推奨します。これにより、スタックに接続するときの突入電流を防ぎ、伝導EMIを低減します。EN/UVLOピンはDRIVEピンに接続します。これにより、LTC6813-1がSLEEPステートになると、LT3990は低消費電力の状態になります。

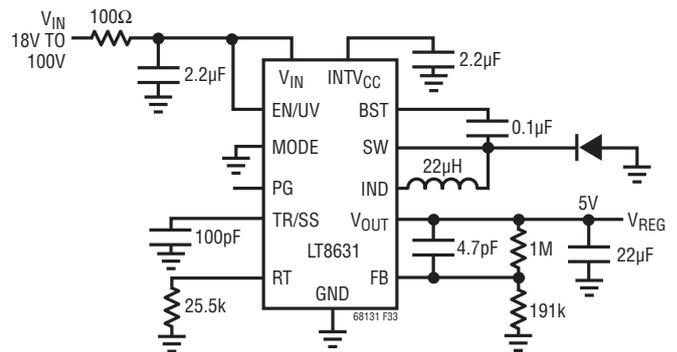


図33. セル・スタックと高効率レギュレータの組み合わせを電力供給元にしたV_{REG}

アプリケーション情報

内部保護とフィルタリング

内部保護機能

LTC6813-1は、堅牢な性能を確保するために、さまざまなESD保護回路を内蔵しています。具体的な保護構造を表す等価回路を、図34に示します。ツェナー式サプレッサはその公称クランプ電圧で示しており、記載のないダイオードは標準的なPN接合動作を示します。

セル入力とGPIO入力のフィルタリング

LTC6813-1は、デルタシグマ型変調器とその後段にSINC3有限インパルス応答(FIR)デジタル・フィルタを組み込んだデルタシグマ型ADCを使用しています。これにより、入力フィルタリング要件が大幅に緩和されます。さらに、プログラム可能なオーバーサンプリング率を使用して、測定速度とフィルタのカットオフ周波数との間の最適な妥協点を判断できます。この高次ローパス・フィルタを使用した場合でも、特に

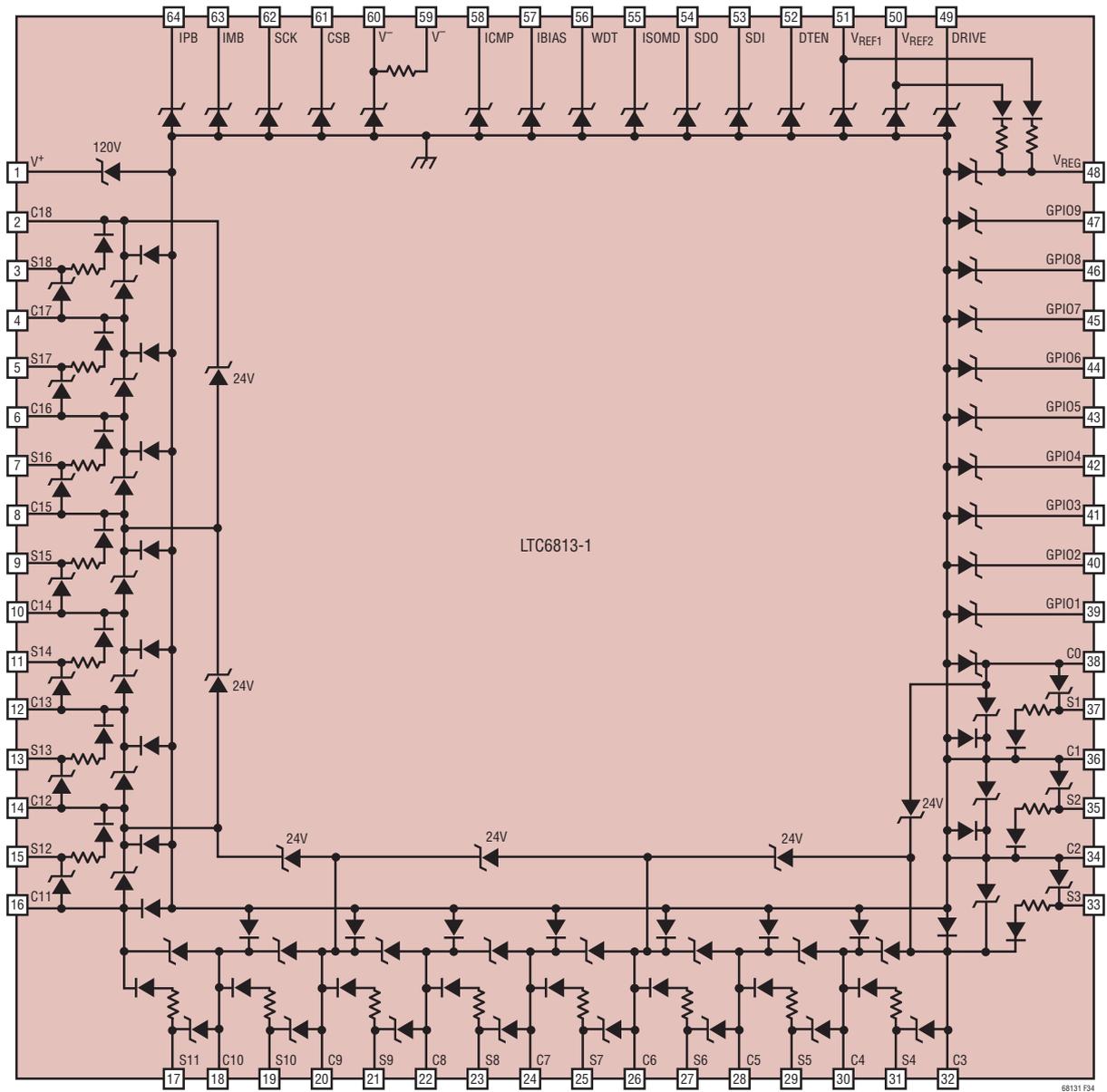


図34. LTC6813-1の内部ESD保護構造

アプリケーション情報

高速変換モードでは、高速過渡ノイズによって測定時に残留ノイズが発生することがあります。これは、各ADC入力にRCローパス・デカップリングを追加することによって、最小限に抑えることができます。これを追加することで、損傷を与える可能性のある高エネルギーの過渡電流を除去することもできます。約 100Ω を超える抵抗をADC入力に追加すると、測定でシステム的な誤差が発生するようになります。この誤差は、フィルタ容量を増やすか、ソフトウェアでのキャリブレーションを使用して数学的に補償することによって改善できます。最高レベルのバッテリー電圧のリプル除去が要求される状況では、接地コンデンサ・フィルタを推奨します。この構成では、直列接続された抵抗とコンデンサを使用して、HFノイズを V^- から分離します。ノイズの周期性が少ないか、

高いオーバーサンプル・レートを使用しているシステムでは、差動コンデンサ・フィルタ構造が適しています。この構成では、抵抗は各入力に直列接続されますが、コンデンサは隣接するCピン間に接続されます。ただし、差動コンデンサの各部分が相互作用します。その結果、フィルタ応答の一貫性が低くなり、減衰がRCによる予測値よりも(約1デケード)低くなります。これらのコンデンサには、加えられる電圧のうちの1セル分の電圧が発生します(そのため、コンデンサ値が小さく低コスト)。また、これらのコンデンサは、過渡エネルギーをデバイス全体に均一に分配する傾向があり、これによって、内部の電位構造に対するストレスの発生が抑えられます。これら2つの方法を、図35の回路図で示します。ADCの精度は、標準的性能曲線に示すようにRとCによって変化

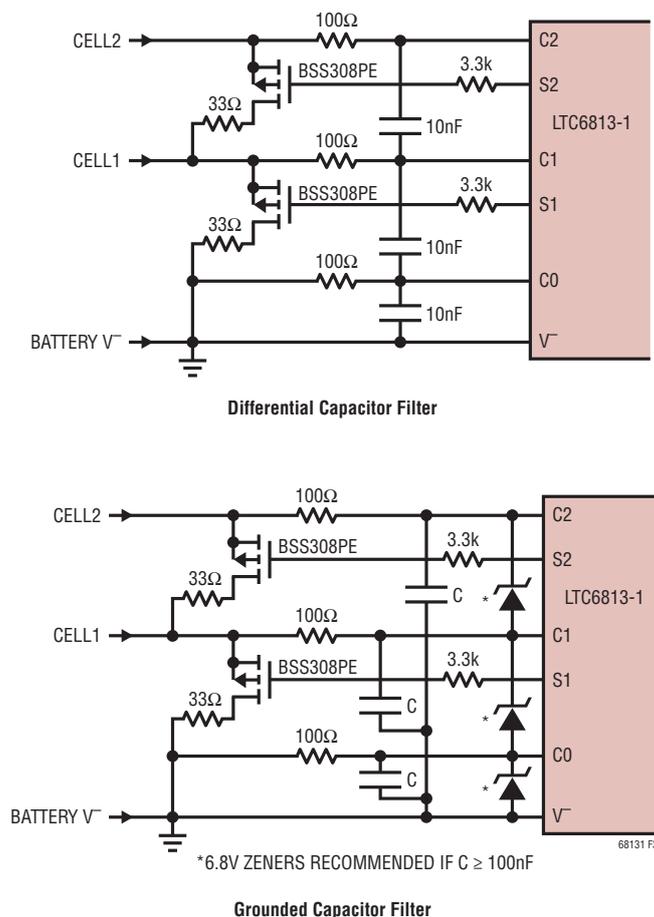


図35. 入力フィルタ構成の構成

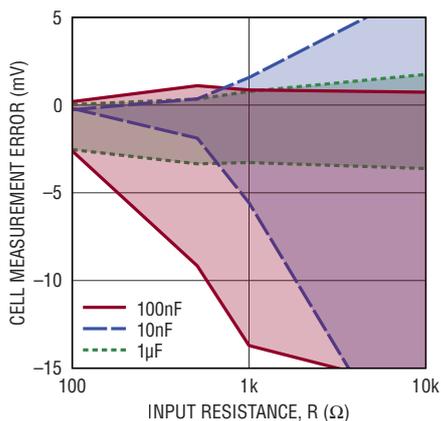
アプリケーション情報

しますが、誤差は、 $R = 100\Omega$ かつ $C = 10nF$ の場合に最小になります。測定では全てV₊が基準になるため、GPIOピンは接地されたコンデンサの構成を常に使用します。

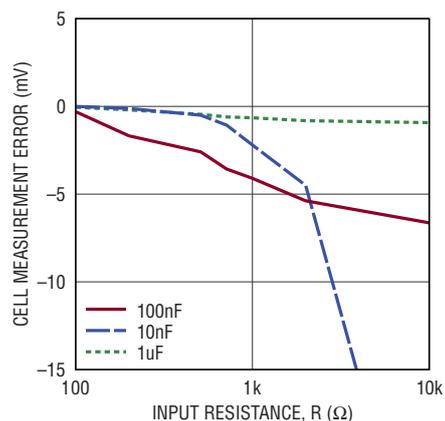
非標準のセル入力フィルタの使用

全てのアプリケーションに対して、 100Ω と $10nF$ のセル・ピン・フィルタを推奨します。このフィルタにより、ノイズ除去性能と全測定誤差(TME)性能の最善の組み合わせが得られます。 $100\Omega/10nF$ より値の大きなCピンRCフィルタを使用するアプリケーションでは、他にも測定誤差が生じる可能性があります。RCの時定数が大きくなるにつれて、全TMEとTMEのばらつきの両方がどのように増えるかを図36aに示します。誤差の増加分はMUXのセトリングに関係がありま

す。標準的な全チャンネルのADCVコマンドを発行する前に、特別な1チャンネルの変換を実施することにより、TMEのレベルをデータシートの規格値近くまで低減できます。標準的なADCVコマンド・シーケンスを図37aに示します。MUXを安定化できる推奨のコマンド・シーケンスとタイミングを図37bおよび図37cに示します。順序変更の目的は、MUXがC1/C7/C13で安定してから測定サイクルを開始できることです。C1/C7/C13のADCVコマンドと全チャンネルのADCVコマンドとの間の遅延は、使用するRCの時定数に左右されます。一般的な目安としては、C1/C7/C13のADCVコマンドと全チャンネルのADCVコマンドとの間で 6τ 待ちます。推奨のコマンド・シーケンスを使用した場合の予想TMEを図36bに示します。



a) Cell Measurement Error Range vs Input RC Values



b) Cell Measurement Error vs Input RC Values (Extra Conversion and Delay Before Measurement)

図36. セル測定の際のTME

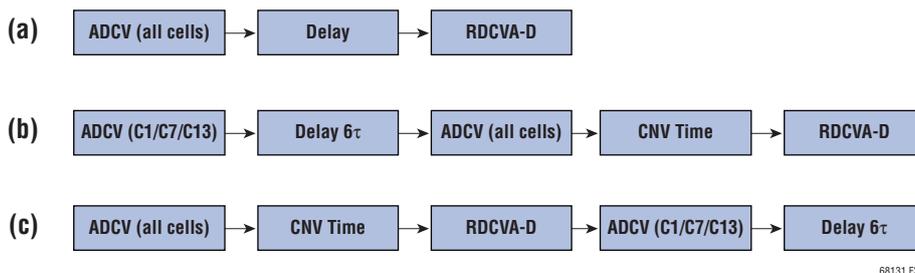


図37. ADCコマンドの順序

アプリケーション情報

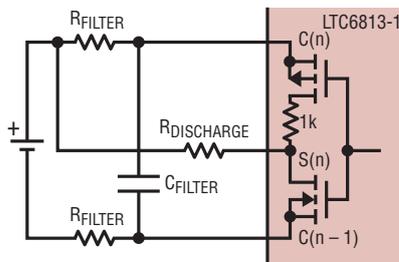
セル・バランスング

内部MOSFETによるセル・バランスング

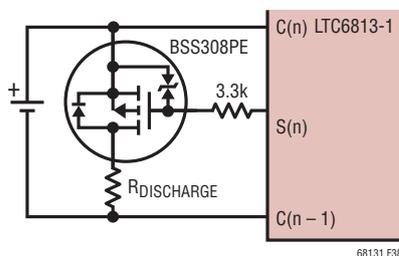
パッシブ方式のバランス調整では、直列スタックのうちの1セルが過充電になった場合、このセルを抵抗に接続することにより、S出力はこのセルを緩やかに放電できます。各S出力は、オン抵抗の最大値が10Ωの内部NチャネルMOSFETに接続されています。図38aに示すように、外付け抵抗をこれらのMOSFETと直列に接続して、大部分の熱をLTC6813-1パッケージの外側に放散できるようにします。

図38aに示すように、内部の放電スイッチ(MOSFET) S1~S18を使用し、最大200mAのバランスング電流(ダイ温度が95°Cを超えた場合は最大80mA)を流して、セルのバランスを受動的に調整できます。200mAを超えるバランスング電流は、内部スイッチの場合は推奨しません。ダイが過剰に発熱するためです。内部の放電スイッチを使用してセルを放電する場合は、ダイ温度をモニタしてください。「サーマル・シャットダウン」のセクションを参照してください。

アンチエイリアシング・フィルタ抵抗が放電経路の一部になっているので、この抵抗を取り除くか、抵抗値を低減します。追加のセル電圧測定フィルタにRCを使用してもかまいませんが、フィルタ抵抗は小さな値(通常は約10Ω)のままにして、バランス電流への影響を減らす必要があります。



a) Internal Discharge Circuit



b) External Discharge Circuit

図38. 内部/外部放電回路

外部トランジスタによるセル・バランスング

200mAを超えるバランスング電流または大型のセル・フィルタが必要なアプリケーションでは、S出力を使用して外部トランジスタを制御できます。LTC6813-1は、プルアップPMOSトランジスタと1kΩの直列抵抗を内蔵しています。図38bに示すように、Sピンは外部MOSFETのゲートを駆動するのに適したデジタル出力として動作できます。RCフィルタ回路を内蔵した外部MOSFET回路を図35に示します。セル電圧が非常に低いアプリケーションでは、図38bのPMOSをPNPに置き換えることができます。PNPを使用する場合、ベースと直列に接続する抵抗は値を小さくします。

放電抵抗の選択

バランスング抵抗の値を調整する場合は、バッテリーの標準的なアンバランスとセル・バランスングの許容時間を知ることが重要です。ほとんどの小型バッテリー・アプリケーションでは、バランスング回路が5時間のバランス調整によって5%のSOC(充電状態)誤差を補正できるのが妥当です。例えば、5Ahrのバッテリーで、そのSOCアンバランスが5%の場合、アンバランスは約250mA Hrになります。50mAのバランスング電流を使用すると、これは5時間以内に修正できます。100mAのバランスング電流を使用すると、誤差は2.5時間以内に修正されます。非常に大型のバッテリーを使用するシステムでは、パッシブ方式のバランス調整を使用して大きなSOCアンバランスを短時間で修正するのは困難になります。バランス調整中に過剰な熱が発生すると、通常はバランスング電流が制限されます。大容量バッテリーのアプリケーションでは、バランス調整時間を短時間にする必要がある場合、アクティブ方式のバランスング解決策を検討してください。バランス抵抗を選択する場合は、以下の式を使用すると抵抗値を決定するのに役立ちます。

Balance Current =

$$\frac{\%SOC_Imbalance \cdot Battery\ Capacity}{Number\ of\ Hours\ to\ Balance}$$

Balance Resistor =

$$\frac{Nominal\ Cell\ Voltage}{Balance\ Current}$$

アプリケーション情報

アクティブ方式のセル・バランス

1A以上のセル・バランス電流を必要とするアプリケーションでは、アクティブ方式のバランス・システムを実装することを検討してください。アクティブ方式のバランスでは、過剰な熱を発生させずに、はるかに多くのバランス電流を流すことができます。また、アクティブ方式のバランスでは、ほとんどのバランス電流がバッテリー・パックに戻って再分配されるので、エネルギーの回復にも対応できます。アナログ・デバイセズのLT8584を使用した簡単なアクティブ方式バランス実装回路を図39に示します。また、LT8584は、LTC6813-1を介して制御できる先進の機能も備えています。詳細は、このデータシートの「Sピンの制御設定を使用したSピンのパルス動作」およびLT8584のデータシートを参照してください。

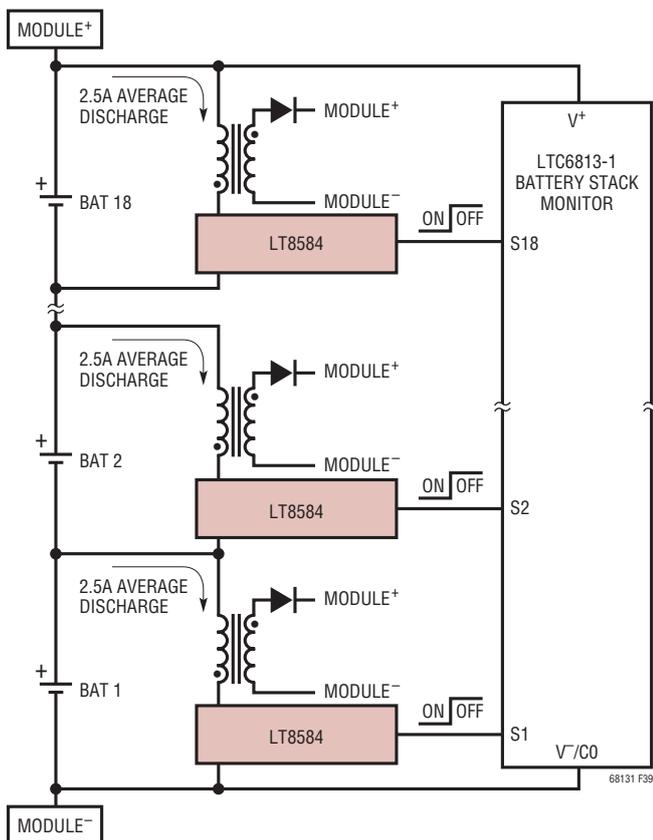


図39. アクティブなバランス調整を行う18セルのバッテリー・スタック・モジュール

セル測定時の放電制御

セル測定コマンドの実行時に放電許可(DCP)ビットが“H”である場合、Sピンの放電状態はセルの測定中に変化しません。DCPビットが“L”である場合、Sピンの放電状態は、対応するセルまたは隣接するセルの測定中、無効になります。外付けの放電トランジスタを使用する場合、LTC6813-1内部のPMOSトランジスタのインピーダンスは比較的低い1kΩなので、放電電流を完全にオフにしてからセルを測定することができます。DCP = 0の場合のADCVコマンドを表57に示します。この表では、OFFは、対応するDCC[x]ビットの状態に関係なく、Sピンの放電が強制的にオフになることを示しています。ONは、測定コマンドより前にSピンの放電がオンであった場合、測定期間中、Sピンの放電はオンのままであることを示しています。

場合によっては、放電の実行によって生じた測定誤差を自動放電制御によって全て取り除くことができません。この原因は、放電トランジスタをオフにする速度が十分ではなく、セルの電圧が完全に安定してから測定を開始することができないためです。放電の実行時に最高の測定精度を得るには、MUTEコマンドとUNMUTEコマンドを使用します。MUTEコマンドを発行して、ADCVコマンドを発行する前に全ての放電トランジスタを一時的にディスエーブルすることができます。セル変換が完了したら、UNMUTEを送信して、以前はオンだった放電トランジスタを全て再イネーブルすることができます。この方法を使用すると、測定精度を最大限に向上できる上に、時間的な不利益が非常に少なくて済みます。

放電回路の検証方法

内部放電機能を使用するときは、放電機能を検証する機能をソフトウェアに実装できます。外付けの放電MOSFETを使用するアプリケーションでは、バッテリー・セルと放電MOSFETのソースの間に抵抗を追加できます。これにより、システムは放電機能をテストできます。両方の回路を図40に示します。放電回路の機能を検証するには、セル測定を行い、放電がオフのときの測定値と放電がオンのときの測定値を比較します。放電がオンのときに測定するには、放電許

アプリケーション情報

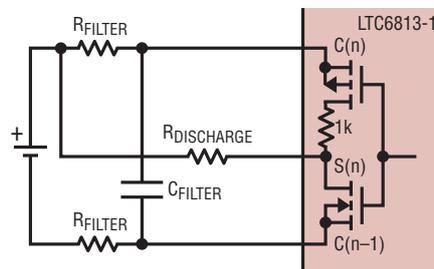
表 57. DCP = 0 での ADCV コマンド 実行時の 放電制御

放電ピン	セルの測定期間						セルの較正期間					
	セル 1/7/13	セル 2/8/14	セル 3/9/15	セル 4/10/16	セル 5/11/17	セル 6/12/18	セル 1/7/13	セル 2/8/14	セル 3/9/15	セル 4/10/16	セル 5/11/17	セル 6/12/18
	$t_0 - t_{1M}$	$t_{1M} - t_{2M}$	$t_{2M} - t_{3M}$	$t_{3M} - t_{4M}$	$t_{4M} - t_{5M}$	$t_{5M} - t_{6M}$	$t_{6M} - t_{1C}$	$t_{1C} - t_{2C}$	$t_{2C} - t_{3C}$	$t_{3C} - t_{4C}$	$t_{4C} - t_{5C}$	$t_{5C} - t_{6C}$
S1	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S2	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S3	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S4	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S5	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S6	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF
S7	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S8	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S9	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S10	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S11	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S12	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF
S13	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF
S14	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON
S15	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON
S16	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF	ON
S17	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF	OFF
S18	OFF	ON	ON	ON	OFF	OFF	OFF	ON	ON	ON	OFF	OFF

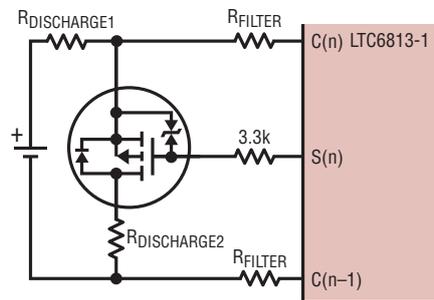
アプリケーション情報

可ビット (DCP) を設定することが必要です。放電がオンしているときの測定値の変化は、抵抗値に基づいて計算されます。以下のアルゴリズムを図40と組み合わせて使用して、それぞれの放電回路を検証できます。

1. 放電していない(全てのS出力がオフの)全てのセルを測定し、その結果を読み出して格納する。
2. S1、S7、およびS13をオンにする。
3. C1–C0、C7–C6、C13–C12を測定する。
4. S1、S7、およびS13をオフにする。
5. S2、S8、およびS14をオンにする。
6. C2–C1、C8–C7、C14–C13を測定する。
7. S2、S8、およびS14をオフにする。
- ...
14. S6、S12、およびS18をオンにする。
15. C6–C5、C12–C11、C18–C17を測定する。
16. S6、S12、およびS18をオフにする。
17. セル電圧レジスタ・グループを読み出して、手順2～16の結果を取得する。
18. 新しい読み出し値と古い読み出し値を比較する。各セル電圧の読み出し値は固定の比率で減少しますが、その値は、内部回路による設計では $R_{DISCHARGE}$ と R_{FILTER} によって設定され、外付けMOSFETによる設計では $R_{DISCHARGE1}$ と $R_{DISCHARGE2}$ によって設定されます。正確な減少量は、抵抗値とMOSFETの特性によって変わります。



a) Internal Discharge Circuit



b) External Discharge Circuit

図40. バランシングの自己テスト回路

アプリケーション情報

デジタル通信

PECの計算

パケット・エラー・コード(PEC)を使用すると、LTC6813-1から読み出されたシリアル・データが有効であり、破損していないことを確認できます。これは、特にノイズの多い環境では、信頼性の高い通信を確保するために重要な機能です。LTC6813-1では、LTC6813-1に対する全ての読み出し対象データと全ての書き込み対象データについて、PECを計算する必要があります。このため、PECを計算するための効率的な手段を持つことが重要になります。

以下に示すCのコードにより、ルックアップ・テーブルから求めるPEC計算方法を簡単に実装できます。このコードには2つの関数があります。1つ目の関数init_PEC15_Table()は、マイクロコントローラの起動時に1度だけ呼び出され、PEC15テーブルの配列(pec15Table[])を初期化します。このテーブルは、今後の全てのPEC計算で使用されます。また、起動時にinit_PEC15_Table()関数を実行するのではなく、PEC15テーブルをマイクロコントローラにハード・コードすることもできます。pec15()関数は、PECを計算し、与えられた任意の長さのバイト配列で、正確な15ビットのPECを返します。

```

/*****
Copyright 2012 Analog Devices, Inc. (ADI)
Permission to freely use, copy, modify, and distribute this software for any purpose
with or without fee is hereby granted, provided that the above copyright notice and
this permission notice appear in all copies: THIS SOFTWARE IS PROVIDED "AS IS" AND ADI
DISCLAIMS ALL WARRANTIES INCLUDING ALL IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS. IN NO
EVENT SHALL ADI BE LIABLE FOR ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL DAMAGES OR ANY
DAMAGES WHATSOEVER RESULTING FROM ANY USE OF SAME, INCLUDING ANY LOSS OF USE OR DATA OR PROFITS,
WHETHER IN AN ACTION OF CONTRACT, NEGLIGENCE OR OTHER TORTUOUS ACTION, ARISING OUT OF OR IN
CONNECTION WITH THE USE OR PERFORMANCE OF THIS SOFTWARE.
*****/
int16 pec15Table[256];
int16 CRC15_POLY = 0x4599;
void init_PEC15_Table()
{
for (int i = 0; i < 256; i++)
{
remainder = i << 7;
for (int bit = 8; bit > 0; --bit)
{
if (remainder & 0x4000)
{
remainder = ((remainder << 1));
remainder = (remainder ^ CRC15_POLY)
}
else
{
remainder = ((remainder << 1));
}
}
pec15Table[i] = remainder&0xFFFF;
}
}
unsigned int16 pec15 (char *data , int len)
{
int16 remainder,address;
remainder = 16;//PEC seed
for (int i = 0; i < len; i++)
{
address = ((remainder >> 7) ^ data[i]) & 0xff;//calculate PEC table address
remainder = (remainder << 8 ) ^ pec15Table[address];
}
return (remainder*2);//The CRC15 has a 0 in the LSB so the final value must be
multiplied by 2
}

```

アプリケーション情報

isoSPIのIBIASとICMPの設定

LTC6813-1は、消費電力またはノイズ耐性に合わせて各アプリケーションのisoSPIリンクを最適化できます。isoSPIシステムの消費電力とノイズ耐性は、事前に設定された I_B 電流によって決まり、これがisoSPIの信号電流を制御します。バイアス電流 I_B の範囲は $100\mu\text{A}\sim 1\text{mA}$ です。内部回路はこのバイアス電流を増大して、 $20 \cdot I_B$ に等しいisoSPI信号電流を発生させます。 I_B が小さいと、READYおよびACTIVEステートでのisoSPIの消費電力が少なく済みますが、 I_B が大きいと、対応する終端抵抗 R_M 両端の差動信号電圧 V_A の振幅が大きくなります。電流 I_B は、図41に示すように、2VのIBIASピンとGNDの間に接続した抵抗 R_{B1} と R_{B2} の和によって設定されます。レシーバの入しきい値はICMPの電圧によって設定され、ICMPの電圧は、抵抗 R_{B1} および R_{B2} で形成される抵抗分割器によって設定されます。レシーバのしきい値は、ICMPピンに現れる電圧の半分になります。

バイアス電流($100\mu\text{A}\sim 1\text{mA}$) I_B とレシーバのコンパレータしきい値電圧 $V_{ICMP}/2$ を設定するときは、以下のガイドラインに従います。

$$R_M = \text{伝送線路の特性インピーダンス } Z_0$$

$$\text{信号振幅 } V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP}(\text{レシーバのコンパレータしきい値}) = K \cdot V_A$$

$$V_{ICMP}(\text{ICMPピンの電圧}) = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = (2/I_B) - R_{B2}$$

次に示すアプリケーションに応じて、 I_B および K (信号振幅 V_A とレシーバのコンパレータしきい値の比)を選択します。

小電力のリンクの場合： $I_B = 0.5\text{mA}$ および $K = 0.5$

最大電力のリンクの場合： $I_B = 1\text{mA}$ および $K = 0.5$

長いリンク(>50m)の場合： $I_B = 1\text{mA}$ および $K = 0.25$

システム・ノイズがほとんどないアプリケーションでは、 I_B を 0.5mA に設定すると、消費電力とノイズ耐性の折り返いをうまくつけることができます。この I_B の設定を巻数比1:1のトランスと $R_M = 100\Omega$ で使用する場合は、 R_{B1} を 3.01k 、 R_{B2} を 1k に設定します。標準のCAT5ツイスト・ペア・ケーブルを使用する場合、この設定で最大50mの通信が可能です。ノイズが非常に多い環境でのアプリケーションや50mより長いケーブルが必要なアプリケーションでは、 I_B を 1mA に増やすことを推奨します。駆動電流を大きくすると、ケーブルでの挿入損失の増加が補償され、ノイズ耐性が向上します。50mを超えるケーブルと巻数比1:1のトランスおよび $R_M = 100\Omega$ を使用する場合は、 R_{B1} を 1.5k 、 R_{B2} を 499Ω にします。

isoSPIリンクの最大クロック・レートは、isoSPIケーブルの長さによって決まります。ケーブルが10m以下の場合、最大1MHzのSPIクロック周波数が可能です。ケーブルの長さが長くなるにつれて、可能な最大のSPIクロック・レートは減少します。この依存性は、伝播遅延の増加によるものであり、これによってタイミングの規格外れが発生する可能性があります。CAT5ツイスト・ペア・ケーブルを使用した場合、ケーブル長が長くなるに従って最大データレートがどのように減少するかを図42に示します。

ケーブルの遅延は、 t_{CLK} 、 t_6 、および t_7 の3つのタイミング仕様に影響を与えます。「電気的特性」の表では、これらの仕様のそれぞれが100nsまで減定格され、50nsのケーブル遅延

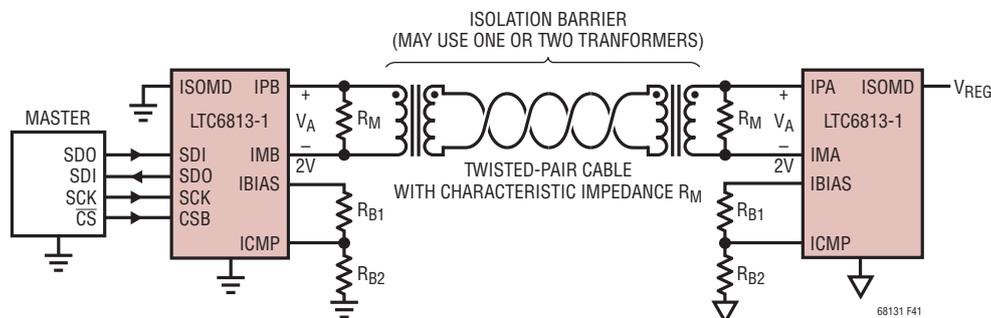


図41. isoSPI回路

アプリケーション情報

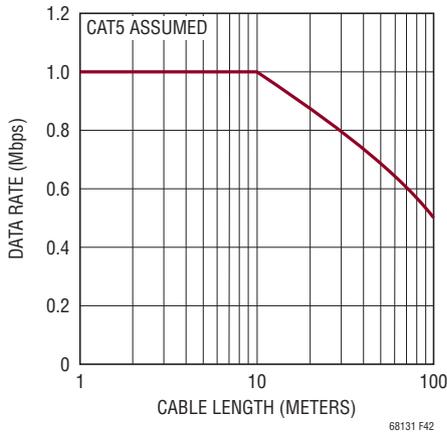


図42. データレートとケーブル長

が許容されます。更に長いケーブルの場合は、次の式に示すように最小のタイミング・パラメータを計算できます。

$$t_{CLK}, t_6, \text{および } t_7 > 0.9\mu\text{s} + 2 \cdot t_{CABLE} (0.2\text{m/ns})$$

isoSPIのモジュール式デジチェーンの実装

デジチェーン isoSPIバスのハードウェア設計は、デジチェーンの2点間アーキテクチャにより、ネットワーク内の各デバイスで同一です。図41に示す単純な設計で機能しますが、ほとんどの設計回路には不適切です。図43に示すように、終端抵抗 R_M を分割し、コンデンサでバイパスします。この変更により、差動終端と同相終端の両方が得られるので、システムのノイズ耐性が向上します。

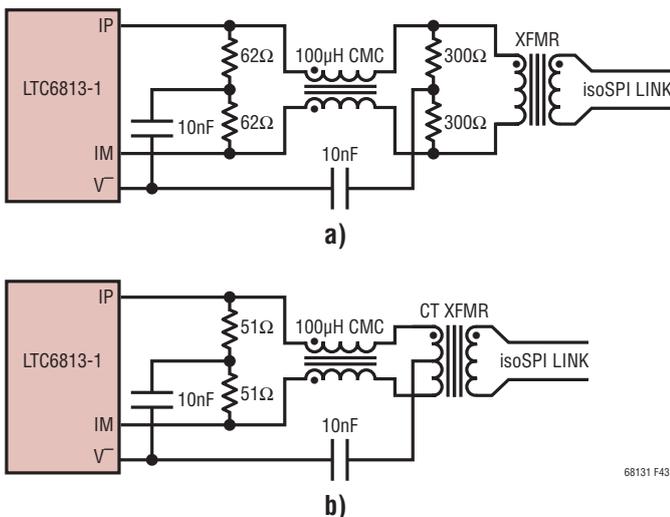


図43. デジチェーン・インタフェースの部品

特に車載アプリケーションでは、バッテリー・モジュール間にケーブルを使用すると、通信線でノイズの影響を受けやすくなる恐れがあります。電磁干渉(EMC)レベルが高い場合は、フィルタを更に追加することを推奨します。図43の回路例では、同相チョーク(CMC)を使用して、バッテリー配線上でのトランジェントから同相ノイズを除去する機能を追加したことを示しています。また、センター・タップ付きのトランスを使用すると、ノイズ性能が更に向上します。センター・タップにバイパス・コンデンサを接続することで、同相ノイズに対応する低インピーダンスが得られます(図43b)。センター・タップのないトランスは低価格で済むので好まれます。この場合には、分割終端抵抗とバイパス・コンデンサを追加すれば(図43a)、isoSPI性能を向上できます。10nFよりも大きなセンター・タップ・コンデンサの使用は避けてください。使用すると isoSPI の同相電圧を安定化できないためです。イーサネット・アプリケーションまたは CANbus アプリケーションで使用されるものと同等の同相モード・チョークを推奨します。具体的な例を表59に示します。

デジチェーン設計での重要な考慮事項は、isoSPI ネットワーク内にあるデバイスの数です。チェーンの長さによって、逐次処理のタイミングが決まります。また、チェーンの長さはデータの待ち時間とスループットに影響します。isoSPI デジチェーンでのデバイスの最大数は、逐次処理のタイミング要件によって厳密に規定されています。ただし、逐次読み出し時間(と消費電流の増加)が実用上の限界を決める可能性があることに注意する必要があります。

デジチェーンでは、正常動作を確保するのにタイミングに関する次の2つの考慮事項が影響します(図25参照)。

1. t_6 (最後のクロックとチップ選択の立ち上がりまでの時間)が十分に長いこと。
2. t_5 (チップ選択の立ち上がりから次の立ち下がりまでの時間(コマンドとコマンドの間))が十分に長いこと。

t_5 と t_6 の長さは、両方ともデジチェーン内にある LTC6813-1 デバイスの数が増加するのに応じて長くする必要があります。これらの時間の計算式は以下のようになります。

$$t_5 > (\# \text{devices} \cdot 70\text{ns}) + 900\text{ns}$$

$$t_6 > (\# \text{devices} \cdot 70\text{ns}) + 950\text{ns}$$

アプリケーション情報

同一PCB上での複数のLTC6813-1の接続

複数のLTC6813-1デバイスを同一のPCB上で接続する場合、LTC6813-1のisoSPIポート間に必要なトランスは1つのみです。また、ケーブルがないと通信線上でのノイズ・レベルが減少し、分割終端抵抗だけで済むことが多くなります。複数のLTC6813-1が同一のPCB上に存在し、isoSPIドライバ

のLTC6820を介して末尾のMCUと通信するアプリケーション例を図44に示します。中間タップ付きのトランスを使用する場合は、コンデンサを追加してノイズ除去性能を向上させることができます。ディスクリートの同相チョーク(表示せず)を1つのトランスの両側に取り付けることにより、追加のノイズ・フィルタを設けることができます。

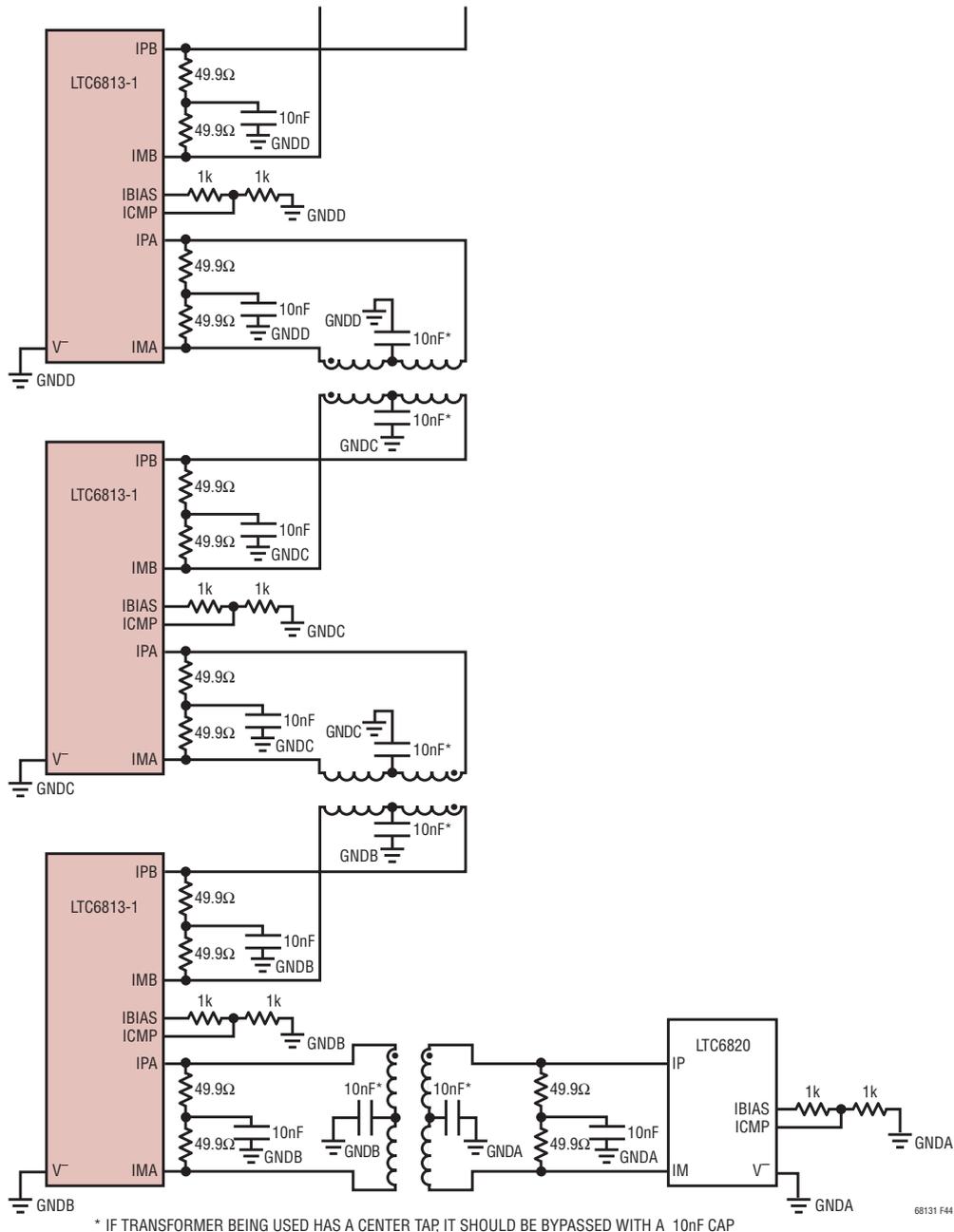


図44. 1枚の基板上でのデジチェーン・インタフェースの部品

アプリケーション情報

低ノイズが要求される単一基板設計では、図45に示すようなコンデンサ絶縁型の簡単な結合によってトランスを置き換えることができます。各デバイスにデュアル・ツェナー・ダイオードを使用して同相電圧をクランプし、レシーバの入力電圧範囲内に抑えます。オプションの同相チョーク(CMC)を使用すると、対称的にタップされた終端によってノイズを除去できます。590Ωの抵抗は、終端抵抗との組み合わせ

によって抵抗分割器を形成して、同相ノイズを減衰します。590Ωという値を選択したのは、最大のノイズの減衰量を確保しつつ、十分な差動信号を維持するためです。この回路は、 I_B と V_{ICMP} が、50mを超えるケーブルを取り付けたトランス・ベースのシステムで使用された場合と同じになるように設計されています。

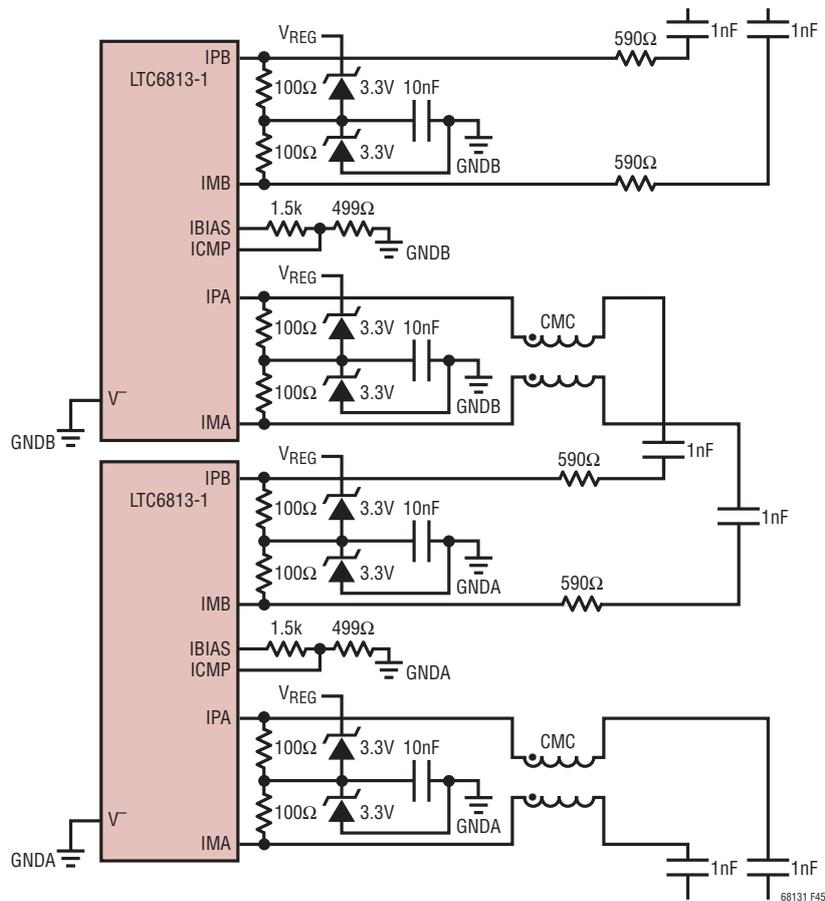


図45. 同一PCB上での複数のLTC6813-1に対応する容量性絶縁結合

アプリケーション情報

isoSPI データ・リンクによる MCU と LTC6813-1 の接続

LTC6820は、標準の4線SPIを、LTC6813-1と直接通信できる2線isoSPIリンクに変換します。例を図46に示します。LTC6820は、マイクロコントローラとLTC6813-1のスタックの間を分離するアプリケーションに使用できます。また、LTC6820を使用すると、LTC6813-1デバイスおよびバッテリーパックと比較的離れた場所にBMSコントローラを配置するシステム構成が可能になります。

トランス選択ガイド

図41に示すように、1つのトランスまたは1対のトランスが2つのisoSPIポート間のisoSPI信号を絶縁します。isoSPI信号は、最大1.6V_{P-P}のプログラム可能なパルス振幅と、50nsおよび150nsのパルス幅を備えています。これらのパルスを、必要な忠実度を備えた状態で送信できるようにするため、システムが必要なのはトランスの1次側インダクタンスを60μHより大きくして、巻数比を1:1にすることです。また、漏れインダクタンスが2.5μHより少ないトランスを使用することも必要です。パルス波形の観点から、1次側インダクタンスが最も影響するのは、50nsおよび150nsパルスのドループです。1次側インダクタンスが小さすぎると、パルスの振幅は減少し始め、パルス時間にわたって減衰します。パルス電圧の低下が厳しい場合、レシーバから見た実効パルス幅がかなり狭ま

るので、ノイズ・マージンが減少します。低下のパーセント値が全パルス振幅と比較して小さい値である限り、ある程度の低下は許容されます。漏れインダクタンスが主に影響するのは、パルスの立ち上がり時間と立ち下がり時間です。立ち上がり時間と立ち下がり時間が長いと、パルス幅は実質的に減少します。パルス幅は、ICMPピンで設定されているしきい値を信号が超える時間に応じて、レシーバにより決定されます。立ち上がり時間と立ち下がり時間が長いと、タイミングのマージンは減少します。一般的には、パルス・エッジをできるだけ高速に保つのが最善です。また、トランスを評価する場合には、巻線の並列容量に留意することも価値があります。トランスのCMRRは低周波では非常に良好ですが、この除去比特性は高周波では低下します。その原因は、主として巻線間の容量です。トランスを選択する場合には、できれば巻線の並列容量が少ないものを選ぶのが最善です。

トランスを選択する場合、同様に重要なのは、アプリケーションに合わせて適切な絶縁定格の製品を選ぶことです。トランスの使用電圧定格は、アプリケーションに合わせて製品を選択するときの重要な仕様です。LTC6813-1 デバイス間のデジィチェーン・リンクを相互接続した場合に受けるストレスは、標準的応用例では60V未満であり、通常のパルスやLANタイプのトランスでは十分な値です。LTC6820に接続する場合は、一般に、良好な長期信頼性を確保するた

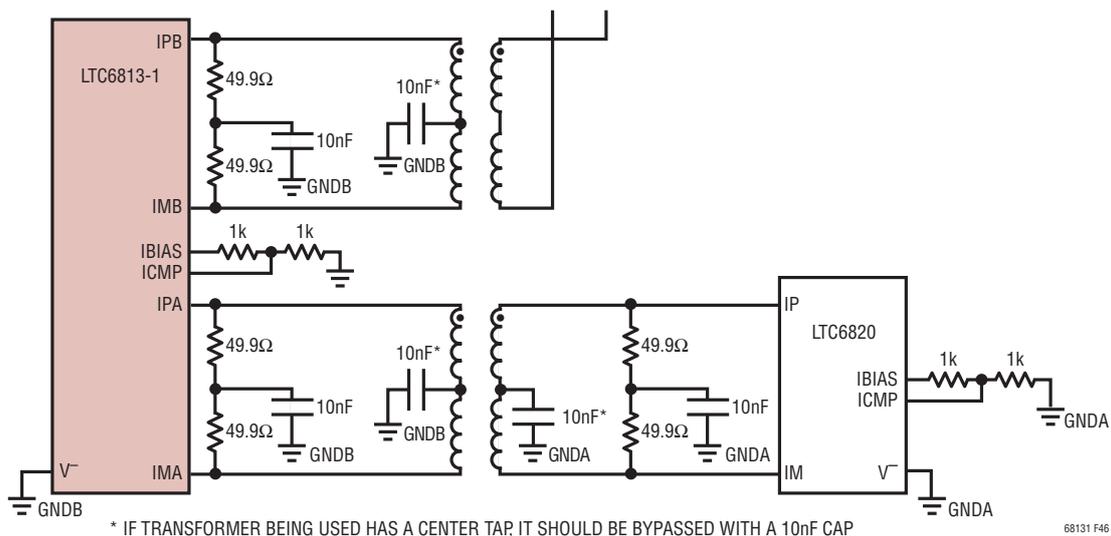


図46. LTC6820を使用して絶縁型SPI制御に対応するLTC6813-1とμCとのインターフェース

アプリケーション情報

め、はるかに高い使用電圧定格が必要と考えられます。通常は、使用電圧をバッテリー・スタック全体の電圧に一致させるのが確実です。残念なことに、トランスのメーカーは1秒間のHVテストしか規定しないことが多く、これは製品の長期(永続)的な定格と同等ではありません。例えば、ほとんどの安全規格によると、1.5kV定格のトランスは継続的に230Vを扱えることを期待されており、3kVの素子(トランス)は長期間1100Vに対応できることを期待されていますが、メーカーがこれらのレベルを必ずしも保証できるわけではありません

(仕様については実際のメーカー・データを参照)。通常、高電圧のトランスのことを、メーカーは「高絶縁」タイプまたは「強化絶縁」タイプと呼んでいます。isoSPIリンクで評価されたトランスの一覧を表58に示します。

ほとんどのアプリケーションでは、ノイズを除去するのに同相チョーク(CMC)も必要です。使用するトランスにあらかじめCMCが組み込まれていない場合、適したCMCの一覧を表59に示します。

表 58. 推奨のトランス

メーカー	製品番号	温度範囲	V _{WORKING}	V _{HIPOT/60S}	CT	CMC	H	L	幅 (幅/リード)	ピン	AEC-Q200
推奨のデュアル・トランス											
Pulse	HX1188FNL	-40°C to 85°C	60V (est)	1.5kV _{RMS}	●	●	6.0mm	12.7mm	9.7mm	16SMT	-
Pulse	HX0068ANL	-40°C~85°C	60V (est)	1.5kV _{RMS}	●	●	2.1mm	12.7mm	9.7mm	16SMT	-
Pulse	HM2100NL	-40°C to 105°C	1000V	4.3kVDC	-	●	3.4mm	14.7mm	14.9mm	10SMT	●
Pulse	HM2112ZNL	-40°C to 125°C	1000V	4.3kVDC	●	●	4.9mm	14.8mm	14.7mm	12SMT	●
Sumida	CLP178-C20114	-40°C to 125°C	1000V (est)	3.75kV _{RMS}	●	●	9mm	17.5mm	15.1mm	12SMT	-
Sumida	CLP0612-C20115		600V _{RMS}	3.75kV _{RMS}	●	-	5.7mm	12.7mm	9.4mm	16SMT	-
Würth	7490140110	-40°C to 85°C	250V _{RMS}	4kV _{RMS}	●	●	10.9mm	24.6mm	17.0mm	16SMT	-
Würth	7490140111	0°C to 70°C	1000V (est)	4.5kV _{RMS}	●	-	8.4mm	17.1mm	15.2mm	12SMT	-
Würth	749014018	0°C to 70°C	250V _{RMS}	4kV _{RMS}	●	●	8.4mm	17.1mm	15.2mm	12SMT	-
Halo	TG110-AE050N5LF	-40°C to 85/125°C	60V (est)	1.5kV _{RMS}	●	●	6.4mm	12.7mm	9.5mm	16SMT	●
推奨のシングル・トランス											
Pulse	PE-68386NL	-40°C to 130°C	60V (est)	1.5kVDC	-	-	2.5mm	6.7mm	8.6mm	6SMT	-
Pulse	HM2101NL	-40°C to 105°C	1000V	4.3kVDC	-	●	5.7mm	7.6mm	9.3mm	6SMT	●
Pulse	HM2113ZNL	-40°C to 125°C	1600V	4.3kVDC	●	●	3.5mm	9mm	15.5mm	6SMT	●
Würth	750340848	-40°C to 105°C	250V	3kV _{RMS}	-	-	2.2mm	4.4mm	9.1mm	4SMT	-
Halo	TGR04-6506V6LF	-40°C to 125°C	300V	3kV _{RMS}	●	-	10mm	9.5mm	12.1mm	6SMT	-
Halo	TGR04-A6506NA6NL	-40°C to 125°C	300V	3kV _{RMS}	●	-	9.4mm	8.9mm	12.1mm	6SMT	●
Halo	TDR04-A550ALLF	-40°C to 105°C	1000V	5kV _{RMS}	●	-	6.4mm	8.9mm	16.6mm	6TH	●
TDK	ALT4532V-201-T001	-40°C to 105°C	60V (est)	約1kV	●	-	2.9mm	3.2mm	4.5mm	6SMT	●
Sumida	CEEH96BNP-LTC6804/11	-40°C to 125°C	600V	2.5kV _{RMS}	-	-	7mm	9.2mm	12.0mm	4SMT	-
Sumida	CEP99NP-LTC6804	-40°C to 125°C	600V	2.5kV _{RMS}	●	-	10mm	9.2mm	12.0mm	8SMT	-
Sumida	ESMIT-4180/A	-40°C to 105°C	250V _{RMS}	3kV _{RMS}	-	-	3.5mm	5.2mm	9.1mm	4SMT	●
TDK	VGT10/9EE-204S2P4	-40°C to 125°C	250V (est)	2.8kV _{RMS}	●	-	10.6mm	10.4mm	12.7mm	8SMT	-

表 59. 推奨同相チョーク

メーカー	製品番号
TDK	ACT45B-101-2P
Murata	DLW43SH101XK2

アプリケーション情報

isoSPI レイアウトのガイドライン

isoSPI 信号線のレイアウトは、データ・リンクのノイズ耐性を最大限に引き上げる重要な役割も果たしています。以下に示すレイアウトのガイドラインを推奨します。

1. トランスは isoSPI ケーブル・コネクタにできるだけ近づけて配置する。距離は 2cm 以下に保つ。LTC6813-1 はトランスに近づける一方で、トランスから 1cm~2cm 以上離して配置し、磁界結合からデバイスを分離する。
2. トランスの下、isoSPI コネクタの下、またはトランスとコネクタの間には V- のグラウンド・プレーンを広げない。
3. isoSPI 信号のトレースはできるだけまっすぐにする一方で、グラウンド・メタルまたはスペースによって周囲の回路から分離する。内部層上のグラウンド・プレーンによって分離されている場合を除き、トレースが isoSPI 信号線と交差しないようにする。

システムの電源電流

LTC6813-1 には、さまざまな動作状態に対応する各種の電源電流規格があります。平均電源電流は、システム内の制御ループに左右されます。各制御ループ・サイクルでどのコマンドが実行されるか、さらに制御ループ・サイクルの持続時間はどれくらいか、ということは知っておく必要があります。この情報により、LTC6813-1 が MEASURE ステートにある時間と低消費電力の SLEEP ステートにある時間の割合 (%) を求めることができます。また、isoSPI 通信または SPI 通信の量も平均電源電流に影響します。

シリアル・スループットの計算

どの LTC6813-1 の場合でも、通信時間を割り出す計算は単純で、伝送時のビット数に SPI クロック周期を掛けたものです。LTC6813-1 の制御プロトコルは非常に統一されているので、ほとんど全てのコマンドを書き込み、読み出し、動作に分類できます。表 60 を使用して、任意の LTC6813-1 コマンドでのビット数を求めることができます。

表 60. デイジーチェーンでのシリアル通信時間の式

コマンド・タイプ	コマンド・バイト + コマンド PEC	コマンド・バイト + データ PEC (デバイス単位)	合計ビット	通信時間
Read	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Write	4	8	$(4 + (8 \cdot \#ICs)) \cdot 8$	Total Bits • Clock Period
Operation	4	0	$4 \cdot 8 = 32$	$32 \cdot \text{Clock Period}$

高度なアプリケーション

18 個未満のセルでの LTC6813-1 の使用

セルは、従来からある末尾 (C1) から先頭 (C18) への順番に接続し、使用しない C 入力、先頭の接続セルに短絡するか、開放状態のままにすることができます。使用しない S ピンは、単純に接続しないままにしておいてかまいません。

また、18 個未満のセルを使用するアプリケーションで測定の同期を最適化するため、3 番目の MUX の先頭 (C18)、2 番目の MUX の先頭 (C12)、1 番目の MUX の先頭 (C6) の間で、使用しない C ピンを均等に配分することができます。図 47 を参照してください。測定対象セルの数が 3 の倍数ではない場合、先頭の MUX に接続するセルの数を少なくします。使用しないセル入力は、同じ MUX にある使用しない他の入力に接続し、その後、100Ω の抵抗を介してバッテリー・スタックに接続します。使用しない入力があると、該当セルの読み出し値は 0.0V になります。

ホール効果センサを使用した電流測定

0V~5V のアナログ出力を備えたアクティブ・センサなど、任意のアナログ信号に対して、LTC6813-1 の補助 ADC 入力 (GPIO ピン) を使用できます。バッテリー電流測定では、ホール効果センサが、絶縁型で低消費電力の解決策を提供します。与えられた V_{CC} に比例した 2 つの出力を生成する標準的なホール効果センサを図 48 に模式的に示します。図 48 のセンサには、V_{CC} の半分の値を中心とした 2 つの双方向出力があります。CH1 は 0A~50A の低い範囲であり、CH2 は 0A~200A の高い範囲です。このセンサは、5V 電源から電力を供給され、アナログ出力を生成します。このアナログ出力は、GPIO ピン、つまり図 50 に示す MUX アプリケーションの入力に接続されます。GPIO1 と GPIO2 を ADC の入力として使用すると、同じ変換シーケンス内でセル入力として (ADCVAX コマンドを使用して) デジタル化できます。そのため、セル電圧の測定とセル電流の測定を同期させることができます。

アプリケーション情報

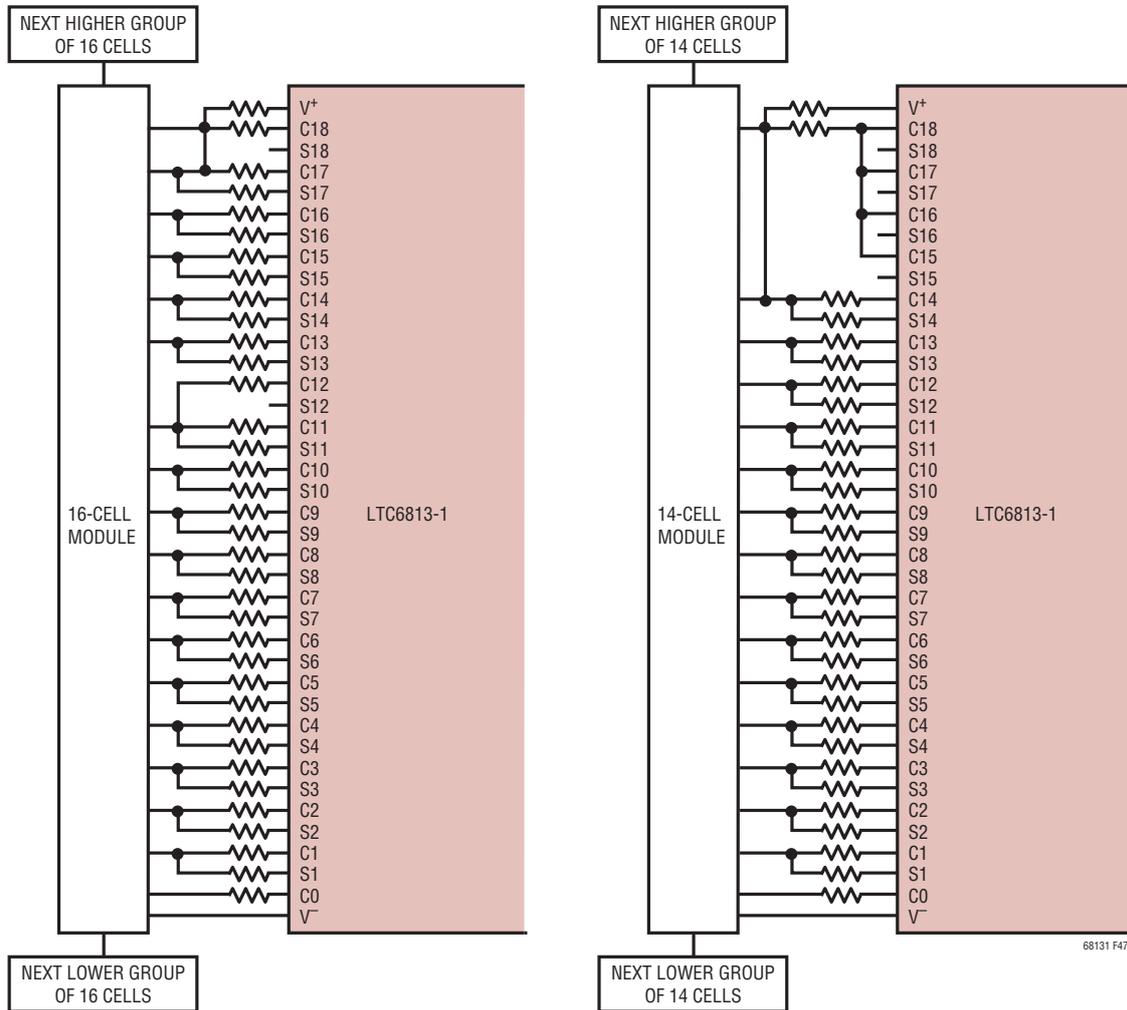


図47. 16セルおよび14セルの場合のセル接続方式

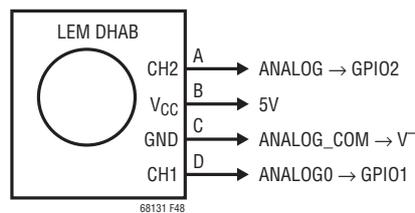


図48. 標準的なホール効果バッテリー電流センサと補助ADC入力のインタフェース

アプリケーション情報

外部温度プローブの読み取り

図49は、負温度係数(NTC)サーミスタの標準的なバイアス回路を示しています。25°Cでの10kはセンサの最も一般的な値であり、V_{REF2}出力段は、これら複数のプローブにバイアスを加えるために必要な電流を供給する目的で設計されています。回路が25°Cで1.5V(V_{REF2}は公称3V)を供給するように、NTCの値に応じてバイアス抵抗を選択します。回路全体の応答は、図49のグラフに示すように、標準的なセルの温度範囲内で約-1%/°Cです。

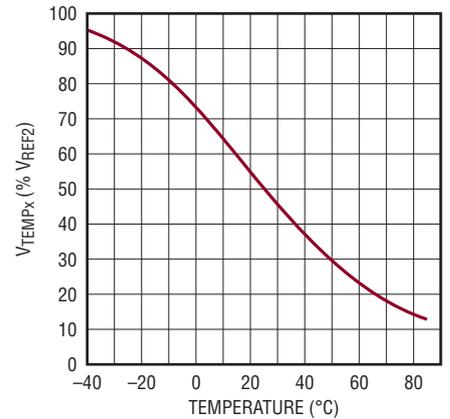
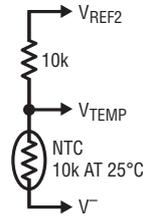


図49. 標準的な温度プローブ回路と相対出力

補助測定数の拡張

LTC6813-1は、ADC入力として使用できる9つのGPIOピンを備えています。9種類より多くの信号を測定する必要があるアプリケーションでは、マルチプレクサ(MUX)回路を実装して、16種類の信号までアナログ測定を拡張することができます(図50)。GPIO1のADC入力は測定に使用され、MUXはGPIO4および5のI²Cポートで制御されます。バッファ・アンプが選択されていたのは高速セトリングのためであり、これによって使用可能なスループット・レートが向上します。

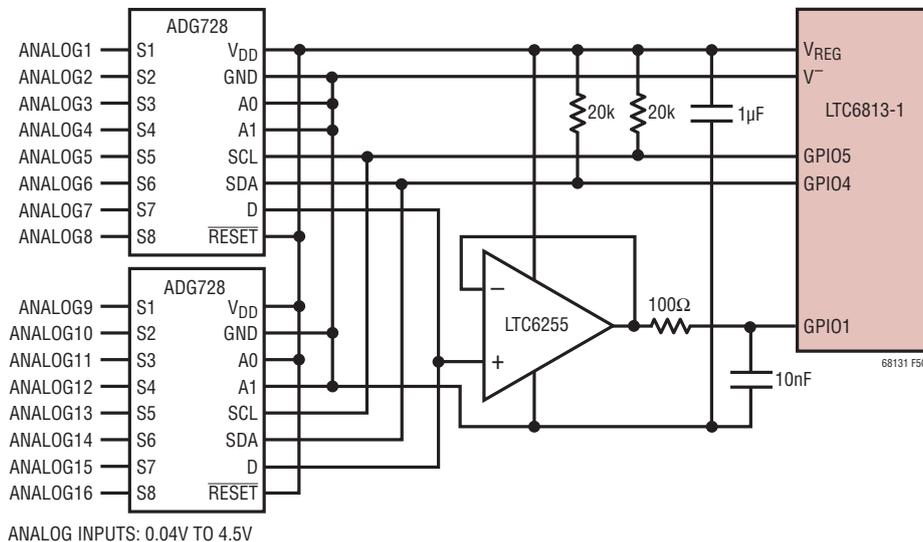
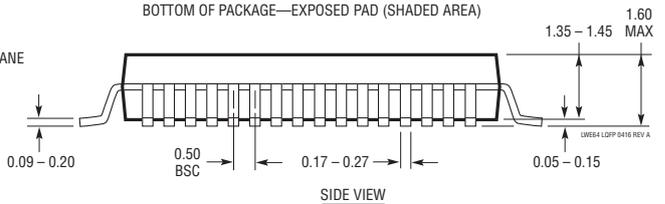
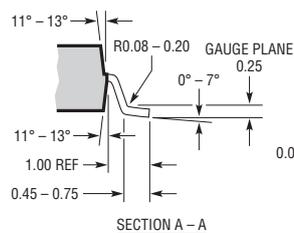
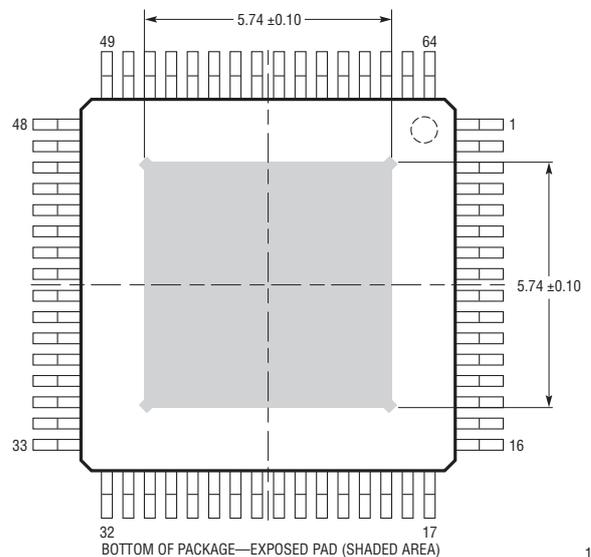
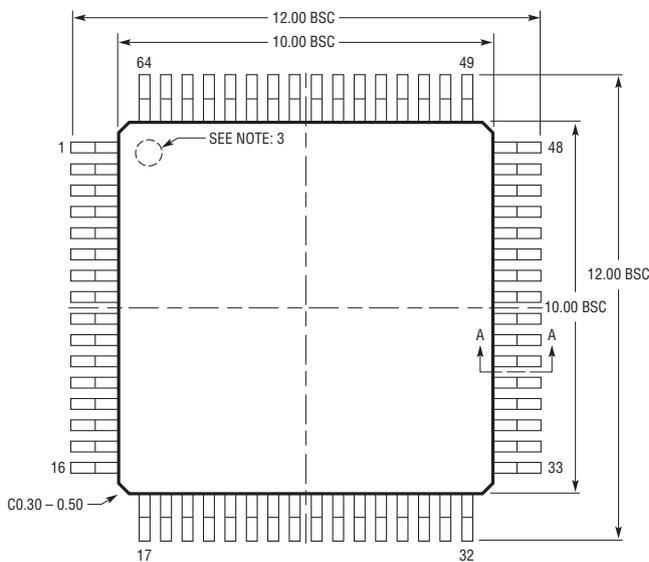
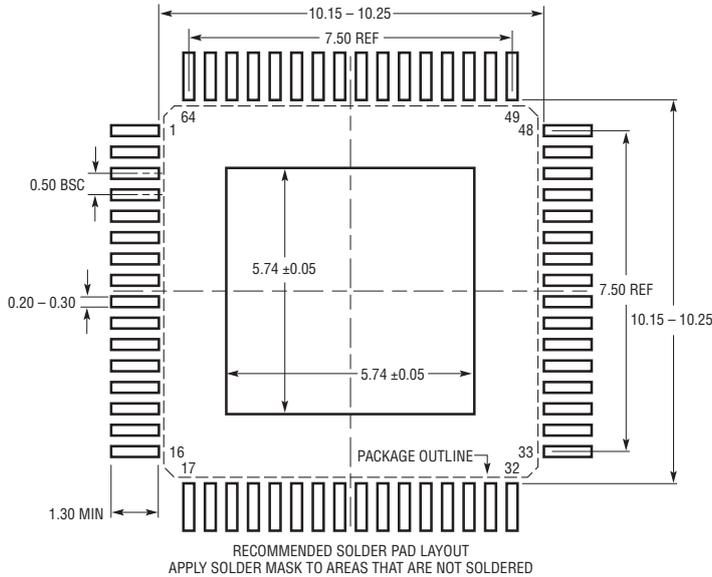


図50. 16の追加アナログ測定をサポートするMUX回路

パッケージ

最新のパッケージ図は、<http://www.linear-tech.co.jp/product/LTC6813-1#packaging> を参照してください。

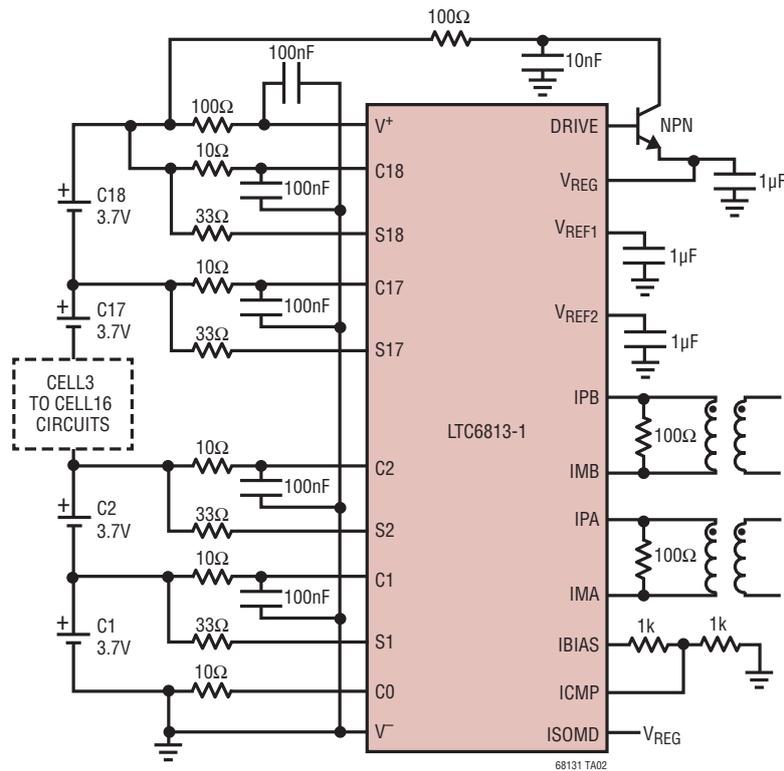
LWE Package
64-Lead Plastic Exposed Pad LQFP (10mm × 10mm)
 (Reference LTC DWG #05-08-1982 Rev A)



- 注記:
 1. 寸法はミリメートル
 2. モールドの寸法にはモールドのバリを含まない。モールドのバリはリード間で0.25mm (10ミル)、露出パッドの各サイドで0.50mm (20ミル) を超えないこと。露出パッドの間では最大0.77mm (30ミル) とする。

3. ピン1の識別マークはモールドのくぼみ、直径0.50mm
 4. 図は実寸とは異なる

標準的応用例



関連製品

製品番号	説明	注釈
LTC6801	独立動作のマルチセル・バッテリー・スタック・フォルト・モニタ	直列に接続された最大12個のバッテリー・セルの低電圧と過電圧をモニタする。LTC6802、LTC6803、およびLTC6804の姉妹品
LTC6802	第1世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インタフェースを介して100個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6803	第2世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、独自のレベルシフト・シリアル・インタフェースを介して100個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6804	第3世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して100個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6811	第4世代の12セル・バッテリー・スタック・モニタおよびバランス調整IC	最大12個の直列バッテリー・セルのセル電圧を測定。デイジーチェーン機能により、複数のデバイスを接続して、内蔵の1MHz、2線式絶縁型通信 (isoSPI) を介して100個のバッテリー・セルを同時に測定可能。パッシブ方式のセル・バランス機能の内蔵。
LTC6820	isoSPI 絶縁型通信インタフェース	ツイスト・ペア・ケーブルを使用する最大100メートルのSPI通信用の絶縁型インタフェースを提供。LTC6804、LTC6806、LTC6811、LTC6812、およびLTC6813の姉妹品