

20V、200mA、超低ノイズ、超高PSRR、 高精度DAC / リファレンス・バッファ

特長

- 超低広帯域ノイズ: 1.2 μ V_{RMS} (10Hz~100kHz)
- 超低1/fノイズ: 0.6 μ V_{p-p} (0.1Hz~10Hz)
- 超低スポット・ノイズ: 4nV/ $\sqrt{\text{Hz}}$ (1kHz以上)
- 超高PSRR: 73dB (1MHz)
- 超低入力オフセット: 125 μ V
- 出力ソース電流: 200mA
- 広い入力電圧範囲: 1.8V~20V
- レールtoレール出力電圧範囲: 0V~15V
- 単一コンデンサによるノイズとPSRRの改善
- V_{IN}ピンの高速起動
- FAULTフラグ
- 広帯域幅: 1MHz
- 低ドロップアウト電圧: 350mV
- プログラマブルな電流制限
- 高精度イネーブル / UVLO
- 並列接続による低ノイズおよび大電流への対応
- フォールドバック付き内部電流制限
- 最小出力コンデンサ: 4.7 μ Fセラミック
- 逆電源接続および逆電流保護
- ヒステリシス付き熱制限
- 10ピン3mm x 3mm DFNおよび12ピンMSOPパッケージ

アプリケーション

- 高速 / 高精度データ・コンバータ
- 高精度電圧リファレンス
- 超低ノイズ計測器

概要

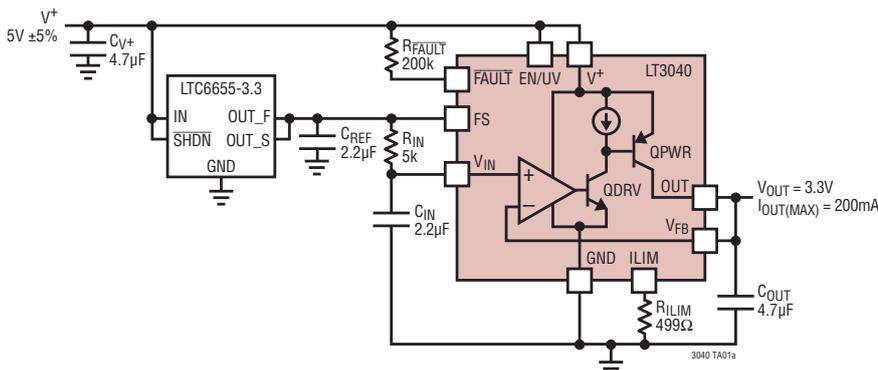
LT[®]3040は、最大200mAを供給しながらリファレンスまたはDACの正確度と精度の維持を追求する独自のアーキテクチャを採用した高性能で堅牢な電圧出力リファレンス / DACバッファです。本デバイスは、ノイズに敏感な高精度システムに電力を供給するために、アナログ・デバイセズの超低ノイズおよび超高PSRRアーキテクチャを採用しています。電圧出力リファレンス / DACのための先進の電圧バッファとして設計されたLT3040は、非常に小さい1/fノイズ、非常に小さい広帯域ノイズ、広い周波数範囲にわたる非常に優れたPSRR、低ドロップアウト性能(ソース電流200mAで350mV(代表値))を特長としています。

動作時の静止電流は名目上2.5mAであり、シャットダウン時には1 μ A未満まで低下します。LT3040はユニティ・ゲインを維持しながら広い出力電圧範囲(0V~15V)で動作するため、V_{IN}電圧に関係なくほぼ一定の出力ノイズ、PSRR、帯域幅、負荷レギュレーションを実現できます。また、本バッファはプログラマブルな電流制限、高速起動機能、出力の障害を示すFAULTフラグも備えています。

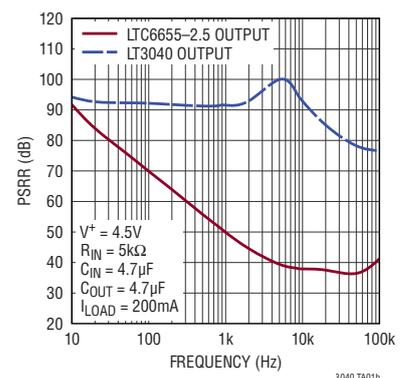
LT3040は、4.7 μ F以上のセラミック出力コンデンサで安定に動作します。内蔵保護機能として、逆電源電圧保護、逆電流保護、フォールドバック付き内部電流制限、ヒステリシス付き熱制限が搭載されています。LT3040は、熱特性が改善された12ピンMSOPパッケージと10ピン3mm x 3mm DFNパッケージで供給されます。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



電源リップル除去比



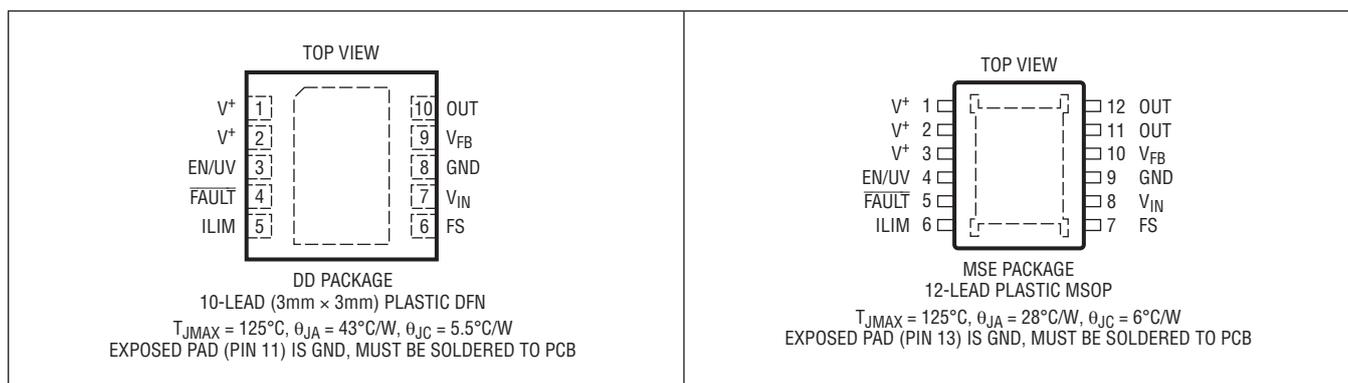
LT3040

絶対最大定格

(Note 1)

V ⁺ ピン電圧	±22V	OUT-V _{FB} 間電圧差 (Note 14)	±1.2V
EN/UVピン電圧	±22V	V ⁺ -OUT間電圧差	±22V
V ⁺ -EN/UV間電圧差	±22V	V ⁺ -V _{FB} 間電圧差	±22V
FAULTピン電圧 (Note 10)	-0.3V, 22V	FSピン電圧 (Note 10)	-0.3V, 16V
ILIMピン電圧 (Note 10)	-0.3V, 1V	出力短絡時間	無期限
V _{IN} ピン電圧 (Note 10)	-0.3V, 16V	動作ジャンクション温度範囲 (Note 9)	
V _{IN} ピン電流 (Note 7)	±20mA	Eグレード、Iグレード	-40°C~125°C
V _{FB} ピン電圧 (Note 10)	-0.3V, 16V	保存温度範囲	-65°C~150°C
V _{FB} ピン電流 (Note 7)	±20mA	ピン温度 (ハンダ処理、10秒)	
OUTピン電圧 (Note 10)	-0.3V, 16V	MSEパッケージ	300°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LT3040EMSE#PBF	LT3040EMSE#TRPBF	3040	12-Lead Plastic MSOP	-40°C to 125°C
LT3040IMSE#PBF	LT3040IMSE#TRPBF	3040	12-Lead Plastic MSOP	-40°C to 125°C
LT3040EDD#PBF	LT3040EDD#TRPBF	LHGM	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C
LT3040IDD#PBF	LT3040IDD#TRPBF	LHGM	10-Lead (3mm × 3mm) Plastic DFN	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。
[テープ&リールの仕様](#)を参照してください。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Minimum V^+ Voltage (Note 2)	$I_{LOAD} = 200\text{mA}$, V^+ UVLO Rising V^+ UVLO Hysteresis	●		1.78 55	2	V mV
Output Offset Voltage $V_{OS} (V_{OUT} - V_{IN})$ (Notes 4, 16)	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 0.3\text{V}$ $V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 0.3\text{V}$ $V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.25\text{V}$ $V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.25\text{V}$	● ● ● ●	-125 -300 -125 -300		125 300 125 300	μV μV μV μV
Input Bias Current (I_{IN}) (Notes 4, 15)	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{IN} = 0.3\text{V}$	●	-70		50	nA
	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{IN} = 1.25\text{V}$	●	-30		30	nA
	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, $V_{IN} = 1.25\text{V}$	●	-75		50	nA
Line Regulation (ΔV_{OS})	$V^+ = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 0.3\text{V}$	●		0.5	± 3	$\mu\text{V/V}$
	$V^+ = 2\text{V}$ to 20V , $I_{LOAD} = 1\text{mA}$, $V_{OUT} = 1.25\text{V}$	●		0.5	± 3	$\mu\text{V/V}$
Load Regulation (ΔV_{OS})	$I_{LOAD} = 1\text{mA}$ to 200mA , $V^+ = 2\text{V}$, $V_{OUT} = 0.3\text{V}$ (Note 4)	●		0.1	0.5	mV
	$I_{LOAD} = 1\text{mA}$ to 200mA , $V^+ = 2\text{V}$, $V_{OUT} = 1.25\text{V}$ (Note 4)	●		0.1	0.5	mV
Change in V_{OS} with V_{IN} (Notes 4, 15, 19)	$V_{IN} = 0.1\text{V}$ to 0.85V , $V^+ = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		10	100	μV
	$V_{IN} = 0.95\text{V}$ to 15V , $V^+ = 20\text{V}$, $I_{LOAD} = 1\text{mA}$	●		35	200	μV
Dropout Voltage $V^+ = V_{OUT(NOMINAL)}$ (Note 21)	$I_{LOAD} = 1\text{mA}$	●		45	65 100	mV mV
	$I_{LOAD} = 50\text{mA}$	●		155	220 310	mV mV
	$I_{LOAD} = 100\text{mA}$ (Note 5)	●		225	315 410	mV mV
	$I_{LOAD} = 200\text{mA}$ (Note 5)	●		350	520 600	mV mV
GND Pin Current $V^+ = V_{OUT(NOMINAL)}$ (Note 6)	$I_{LOAD} = 10\mu\text{A}$	●		2.6		mA
	$I_{LOAD} = 1\text{mA}$	●		2.7	5	mA
	$I_{LOAD} = 50\text{mA}$	●		3.7	5.8	mA
	$I_{LOAD} = 100\text{mA}$	●		4.8	8	mA
	$I_{LOAD} = 200\text{mA}$	●		8	14	mA
Output Noise Spectral Density (Notes 4, 8, 19)	$I_{LOAD} = 200\text{mA}$, Frequency = 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			45		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, NPN Region			25		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 10kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, NPN Region			4		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 10kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, PNP Region			6		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 0.1Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			300		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 0.1Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, NPN Region			300		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 0.1Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, NPN Region			300		$\text{nV}/\sqrt{\text{Hz}}$
	$I_{LOAD} = 200\text{mA}$, Frequency = 0.1Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, PNP Region			200		$\text{nV}/\sqrt{\text{Hz}}$
Output RMS Noise (Notes 4, 8, 19)	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			1.25		μV_{RMS}
	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, NPN Region			1.2		μV_{RMS}
	$I_{LOAD} = 200\text{mA}$, BW = 10Hz to 100kHz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, PNP Region			1.8		μV_{RMS}
	$I_{LOAD} = 200\text{mA}$, BW = 0.1Hz to 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 0.47\mu\text{F}$, $V_{OUT} = 3.3\text{V}$			2.4		μV_{P-P}
	$I_{LOAD} = 200\text{mA}$, BW = 0.1Hz to 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, NPN Region			1.5		μV_{P-P}
	$I_{LOAD} = 200\text{mA}$, BW = 0.1Hz to 10Hz , $C_{OUT} = 4.7\mu\text{F}$, $C_{IN} = 4.7\mu\text{F}$, PNP Region			1		μV_{P-P}
EA Switchover Point (Note 19) (PNP to NPN Input-Pair Switchover)	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, V_{IN} Rising			917		mV
	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$, V_{IN} Falling			882		mV
EA Switchover Hysteresis (Note 19) (PNP to NPN Input-Pair Switchover)	$V^+ = 2\text{V}$, $I_{LOAD} = 1\text{mA}$			35		mV

電気的特性

●は全動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Ripple Rejection NPN Region	$V_{\text{RIPPLE}} = 500\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 120\text{Hz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 4.7\mu\text{F}$		117		dB	
$V^+ - V_{\text{OUT}} = 2\text{V}$ (Avg.) (Notes 4, 8, 19)	$V_{\text{RIPPLE}} = 150\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 10\text{kHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		88		dB	
	$V_{\text{RIPPLE}} = 150\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 100\text{kHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		76		dB	
	$V_{\text{RIPPLE}} = 150\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 1\text{MHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		73		dB	
	$V_{\text{RIPPLE}} = 80\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 10\text{MHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		56		dB	
Ripple Rejection PNP Region	$V_{\text{RIPPLE}} = 50\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 120\text{Hz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 4.7\mu\text{F}$		104		dB	
$V^+ - V_{\text{OUT}} = 2\text{V}$ (Avg.) (Notes 4, 8, 19)	$V_{\text{RIPPLE}} = 50\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 10\text{kHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		88		dB	
	$V_{\text{RIPPLE}} = 50\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 100\text{kHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		76		dB	
	$V_{\text{RIPPLE}} = 50\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 1\text{MHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		67		dB	
	$V_{\text{RIPPLE}} = 50\text{mV}_{\text{P-P}}, f_{\text{RIPPLE}} = 10\text{MHz}, I_{\text{LOAD}} = 200\text{mA}, C_{\text{OUT}} = 4.7\mu\text{F}, C_{\text{IN}} = 0.47\mu\text{F}$		57		dB	
Fast Start Current Limit	$V_{\text{FS}} = V_{\text{IN}} + 0.2\text{V}, 0.1\text{V} \leq V_{\text{IN}} \leq 15\text{V}$		10		mA	
Fast Start Threshold	Turn ON ($V_{\text{FS}} - V_{\text{IN}}$) Turn OFF ($V_{\text{FS}} - V_{\text{IN}}$)		100 7		mV mV	
FAULT Output Low Voltage	$I_{\text{FAULT}} = 100\mu\text{A}$	●	100	200	mV	
FAULT Leakage Current	$V_{\text{FAULT}} = 20\text{V}$	●		1	μA	
EN/UV Pin Threshold	EN/UV Trip Point Rising (Turn-On), $V^+ = 2\text{V}$	●	1.18	1.24	1.32	V
EN/UV Pin Hysteresis	EN/UV Trip Point Hysteresis, $V^+ = 2\text{V}$		170		mV	
EN/UV Pin Current	$V_{\text{EN/UV}} = 0\text{V}, V^+ = 20\text{V}$ $V_{\text{EN/UV}} = 1.24\text{V}, V^+ = 20\text{V}$ $V_{\text{EN/UV}} = 20\text{V}, V^+ = 0\text{V}$	● ●		± 1 0.2 10	μA μA μA	
Quiescent Current in Shutdown ($V_{\text{EN/UV}} = 0\text{V}$)	$V^+ = 6\text{V}$	●	0.3	2 10	μA μA	
Internal Current Limit (Note 12)	$V^+ = 2\text{V}, V_{\text{OUT}} = 0\text{V}$ $V^+ = 12\text{V}, V_{\text{OUT}} = 0\text{V}$ $V^+ = 20\text{V}, V_{\text{OUT}} = 0\text{V}$	● ●	220 130	270 300 180	320 250	mA mA mA
Programmable Current Limit	Programming Scale Factor: $2\text{V} < V^+ < 20\text{V}$ (Note 11) $V^+ = 2\text{V}, V_{\text{OUT}} = 0\text{V}, R_{\text{ILIM}} = 625\Omega$ $V^+ = 2\text{V}, V_{\text{OUT}} = 0\text{V}, R_{\text{ILIM}} = 2.5\text{k}\Omega$	● ●	180 45	125 200 50	220 55	mA•k Ω mA mA
Reverse Input Current	$V^+ = -20\text{V}, V_{\text{EN/UV}} = 0\text{V}, V_{\text{OUT}} = 0\text{V}, V_{\text{IN}} = 0\text{V}$	●		50	μA	
Reverse Output Current	$V^+ = 0\text{V}, V_{\text{OUT}} = 5\text{V}, V_{\text{IN}} = \text{Open}$		2	5	μA	
Minimum Load Required (Note 13)	$V_{\text{OUT}} < 1\text{V}$	●	10		μA	
Long Term Drift ($R_{\text{IN}} = 0\Omega$) (Note 20)	LT3040 DD Package (Measured at $V_{\text{IN}} = 1.25\text{V}$) 250 Hours 1000 Hours 4500 Hours LT3040 MSE Package (Measured at $V_{\text{IN}} = 1.25\text{V}$) 250 Hours 1000 Hours 4500 Hours			3.2 5.2 6.7 2.3 3.5 5.1	μV μV μV μV μV μV	
Thermal Hysteresis (Note 18)	$\Delta T = -40^\circ\text{C}$ to 125°C		< ± 20		μV	
Thermal Shutdown	T_{J} Rising Hysteresis		162 8		$^\circ\text{C}$ $^\circ\text{C}$	
Thermal Regulation	10mS Pulse		-0.01		%W	

電気的特性

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスを確実に動作させるには、EN/UVピンの閾値を満たす必要がある。

Note 3: 動作条件は最大ジャンクション温度によって制限される。安定化された出力電圧の仕様は、電源電圧と出力電流の全ての可能な組合せに対して適用されるわけではない。特に、内部のフーズ電流制限により、 $V^+ - V_{OUT} > 12V$ になると電流制限が減少し始める。最大出力電流で動作しているときは、電源電圧範囲を制限する。最大電源電圧で動作しているときは、出力電流範囲を制限する。

Note 4: V_{FB} は OUT に直接接続されている。

Note 5: ドロップアウト電圧とは、規定出力電流でレギュレーションを維持するのに必要な、電源と出力の間の最小電圧差のことである。ドロップアウト電圧は出力がレギュレーションから1%外れたときに測定される。この定義では、 $V^+ = V_{OUT(NOMINAL)}$ のときに測定されるハード・ドロップアウトと比較してドロップアウト電圧が高くなる。出力電圧が低い(1.5V未満)場合、ドロップアウト電圧は最小電源電圧規格によって制限される。アナログ・デバイスでは、パッケージ・ピンのケルビン検出による出荷テストの制約に起因して、DFNパッケージの大電流での最大ドロップアウト電圧仕様を保証できない。代表的なアプリケーション回路で計測した、出力負荷電流と温度の関数としてのドロップアウト電圧曲線については、代表的な性能特性を参照。

Note 6: GNDピンの電流は $V^+ = V_{OUT(NOMINAL)}$ および電流源負荷でテストされる。したがって、デバイスはドロップアウト電圧の条件で動作しているときにテストされる。これは最も厳しい条件下のGNDピン電流である。電源電圧が高くなると、GNDピン電流は減少する。GNDピン電流にはILIMピン電流が含まれていないが、静止電流にはILIMピン電流が含まれていることに注意する。

Note 7: V_{IN} ピンと V_{FB} ピンは、ダイオードおよび2つの25Ω直列抵抗を使用してクランプされる。5ms未満のトランジェントでは、このクランプ回路は定格を超える電流を流すことができる。詳細については、代表的な性能特性とアプリケーション情報を参照。

Note 8: V_{IN} ピンにコンデンサを追加すると、出力電圧ノイズは減少する。このコンデンサを追加すると、リファレンス電圧源またはDACのノイズがバイパスされる。こうすると、出力ノイズはエラー・アンプのノイズと等しくなる。 V_{IN} ピンにバイパス・コンデンサを使用すると、起動時間が増加するという影響もある。

Note 9: LT3040は T_J が T_A にほぼ等しいパルス負荷条件のもとでテストされ、仕様が規定されている。LT3040Eは25°Cで全数テストを実施済みであり、0°C~125°Cで性能が確認されている。-40°C~125°Cの動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロールとの相関で確認されている。LT3040Iは-40°C~125°Cの全動作温度範囲で確認されている。ジャンクション温度が高いと、動作寿命は短くなる。125°Cを超えるジャンクション温度では動作寿命がディレーティングされる。

Note 10: ILIM、 V_{IN} 、FS、FAULT、 V_{FB} 、OUTの各ピンとGNDピンの間には内部に寄生ダイオードが存在する。障害状態間にこれらのピンを駆動する場合、0.3Vを超えてGNDピンを下回らないこと。通常動作中、これらのピンをGNDより高い電圧に維持する必要がある。

Note 11: 電流制限の設定スケール係数は、内部バックアップ電流制限がアクティブではない場合に規定される。 $V^+ - V_{OUT}$ の電圧差が12Vを超える場合、内部電流制限にはフォールドバック保護が存在することに注意する。

Note 12: 内部のバックアップ電流制限回路には、 $V^+ - V_{OUT} > 12V$ の場合に電流制限が減少するフォールドバック保護回路が組み込まれている。 $V^+ - V_{OUT}$ の電圧差にかかわらず一定レベルの出力電流が供給される。電流制限と $V^+ - V_{OUT}$ の関係については、代表的な性能特性のグラフを参照。

Note 13: 出力電圧が1V未満の場合、LT3040を安定させるには10μA以上の負荷電流が必要である。

Note 14: OUT- V_{FB} 間の最大電圧差は設計で確認されている。

Note 15: 外付け抵抗両端の電圧降下を相殺するために使用しているバイアス電流キャンセル回路は、 V_{IN} ピンの電圧が100mV未満の場合、回路の制約に起因して動作しない。その結果、この電圧を下回るとバイアス電流は急激に増加する。代表的な性能特性を参照。

Note 16: オフセット電圧仕様には、ラインおよび負荷レギュレーションの影響は含まれない。

Note 17: リファレンス設定点からの出力電圧の偏差は累積的である(オフセット、ラインおよび負荷レギュレーションに起因する出力レギュレーションの誤差が合計される)。

Note 18: オフセット電圧のヒステリシスは、ICがそれぞれ置かれていた温度の高低によって異なるパッケージ・ストレスが原因で生じる。オフセット電圧は常に25°Cで測定されるが、ICには高温の限界値または低温の限界値までの温度サイクルが実行され、その後測定が行われる。ヒステリシスは、3回の高低温サイクルの平均値として最大出力変動を評価する。十分に管理された温度(20~30°Cの動作温度内)で保存されている機器の場合、ヒステリシスは通常、主要な誤差発生源にならない。代表的なヒステリシスは、25°Cから低温を経て25°Cに戻り、更に高温を経て25°Cに戻るという最も厳しい条件で、1回の熱サイクルによって前処理される。

Note 19: レールtoレール出力動作を達成するため、LT3040はPNPとNPNの入力差動対を切り換えて使う。PNPの差動対からNPNの差動対への遷移が0.9V付近に存在し、約35mV(代表値)のヒステリシスがある。詳細についてはアプリケーション情報のセクションを参照のこと。

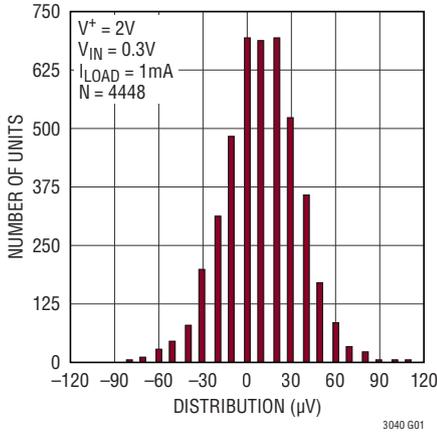
Note 20: 長期安定性は通常、対数特性を示す。1000時間以降の変化はそれ以前の変化に比べてはるかに小さい傾向がある。次の1000時間の総ドリフトは通常、最初の1000時間のドリフトの1/3未満であり、時間と共にドリフトが小さくなる傾向は続く。長期安定性は、基板アセンブリ中に生じるICと基板材料の間の差応力の影響も受ける。

Note 21: ドロップアウト電圧の測定は V_{IN} ピンに電圧を印加することで行う。

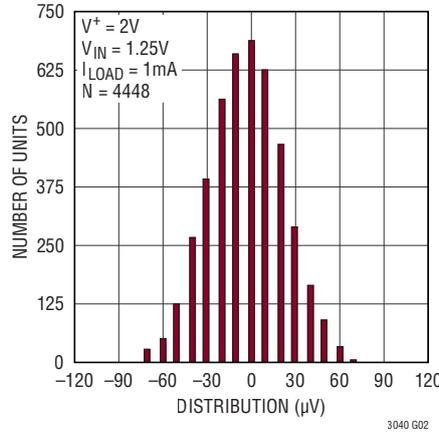
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

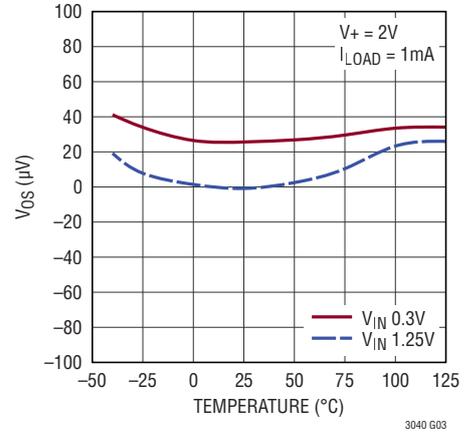
入力オフセット電圧



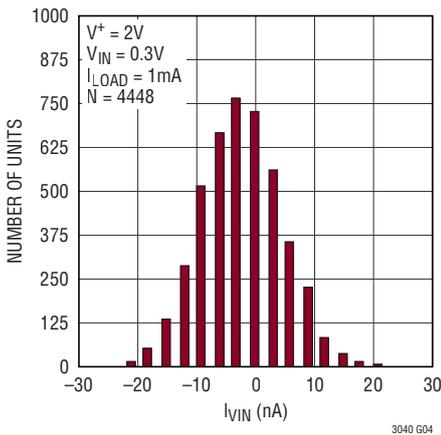
入力オフセット電圧



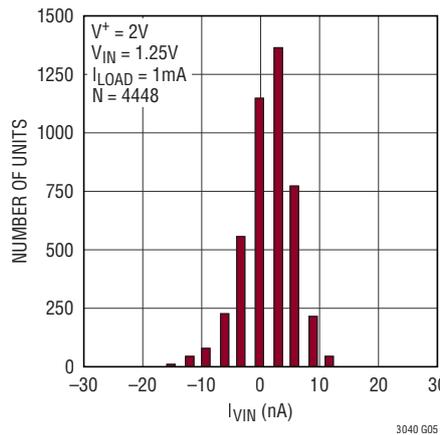
入力オフセット電圧



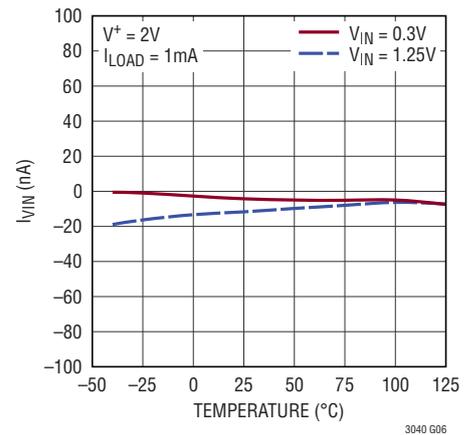
入力バイアス電流



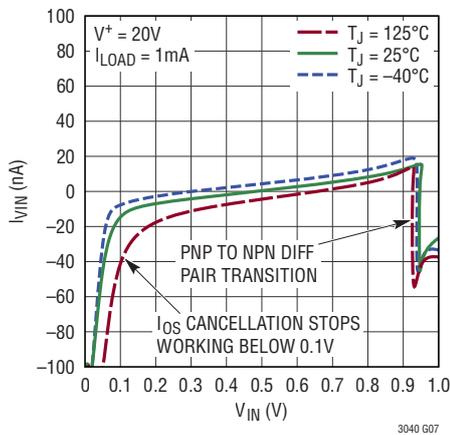
入力バイアス電流



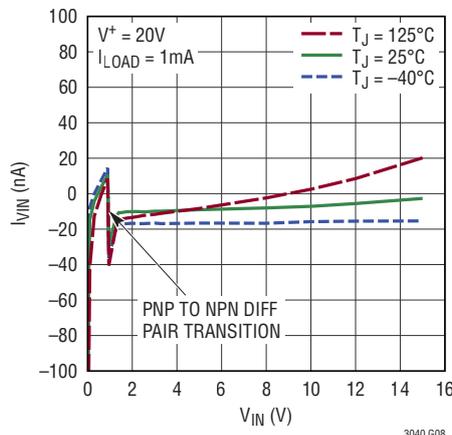
入力バイアス電流



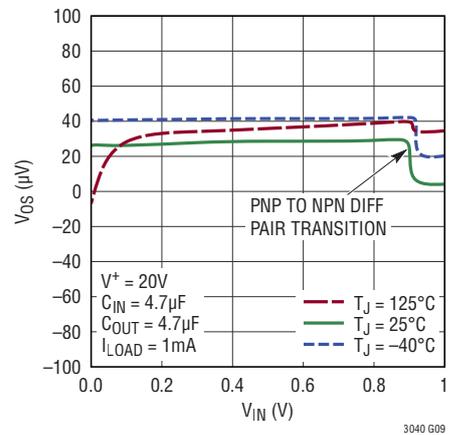
入力バイアス電流



入力バイアス電流



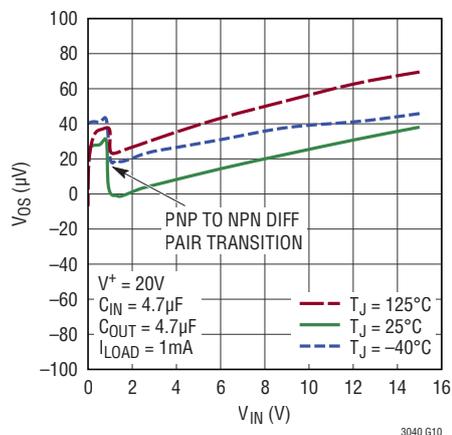
入力オフセット電圧



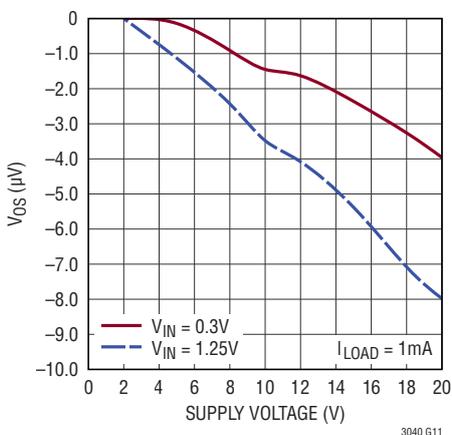
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

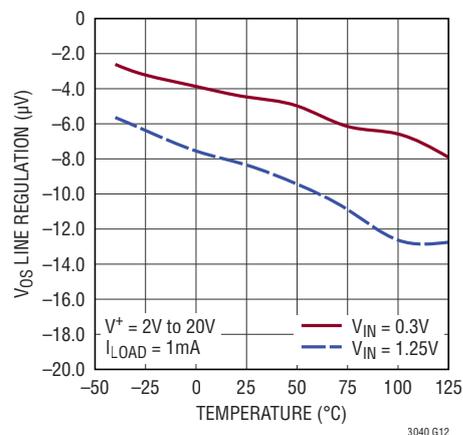
入力オフセット電圧



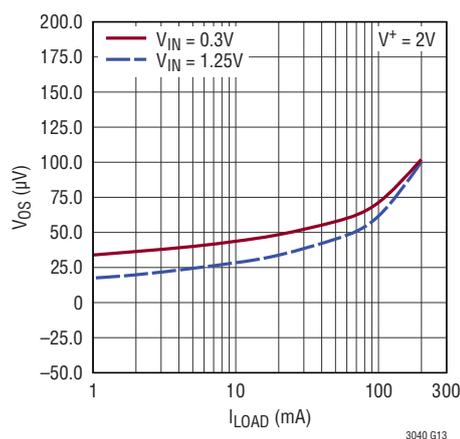
ライン・レギュレーション



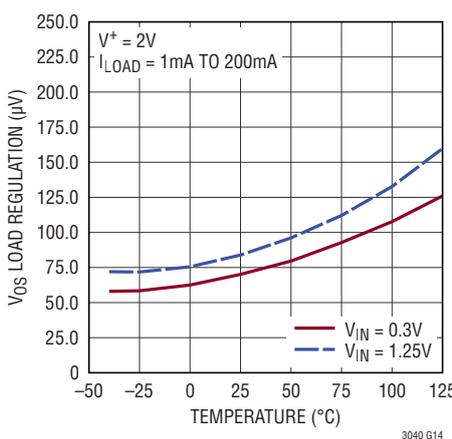
ライン・レギュレーション



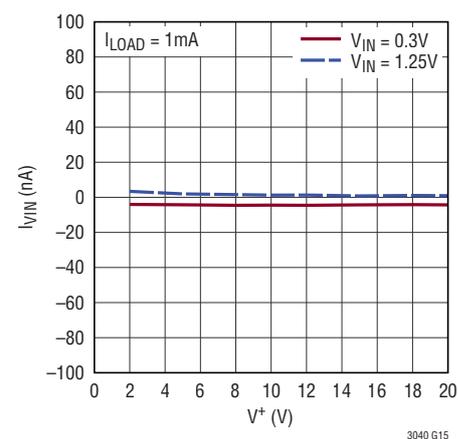
負荷レギュレーション



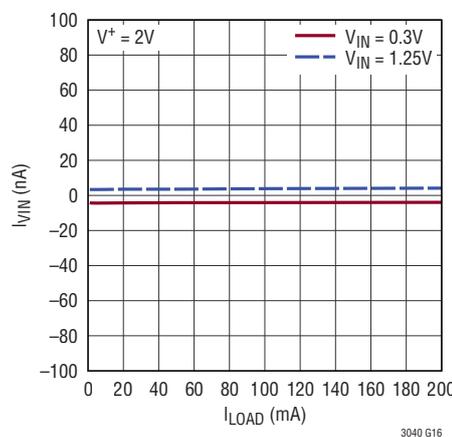
負荷レギュレーション



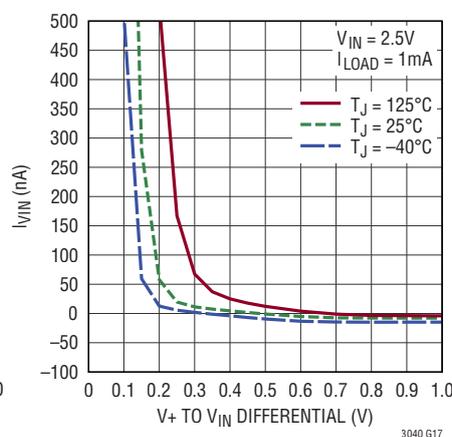
入力バイアス電流



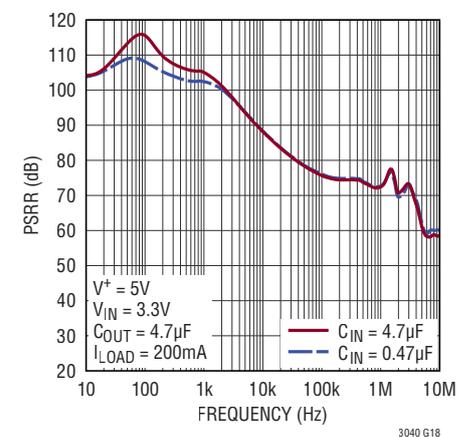
入力バイアス電流



入力バイアス電流



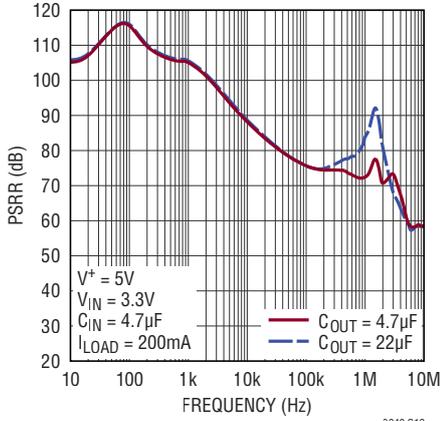
電源リップル除去比



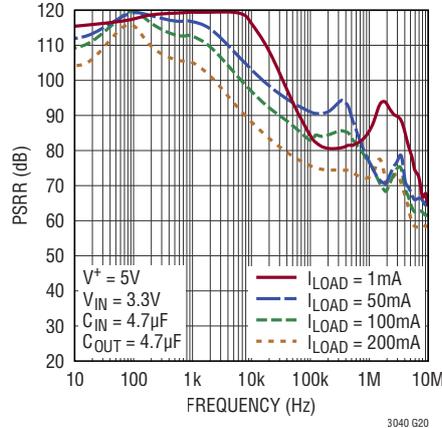
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

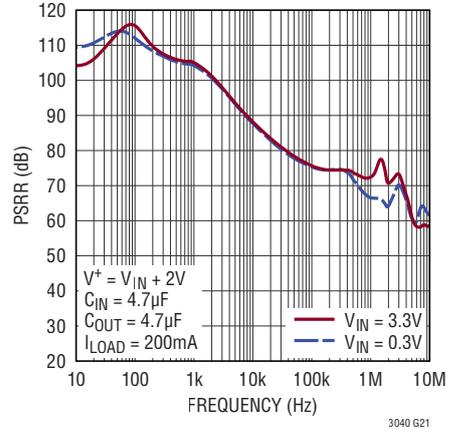
電源リップル除去比



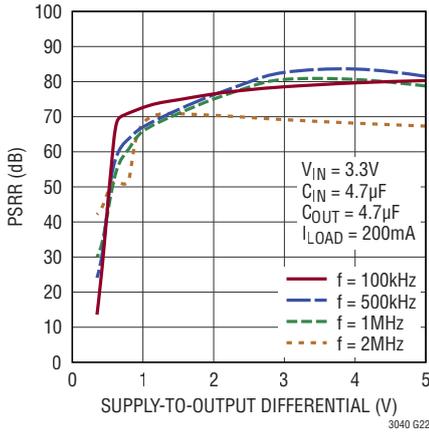
電源リップル除去比



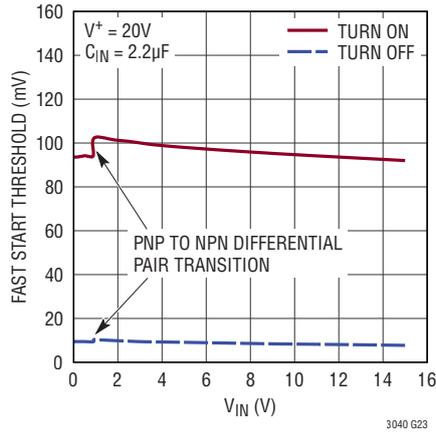
電源リップル除去比



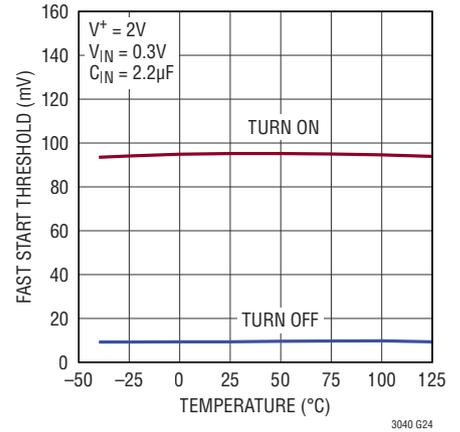
電源電圧変動除去比 (PSRR)



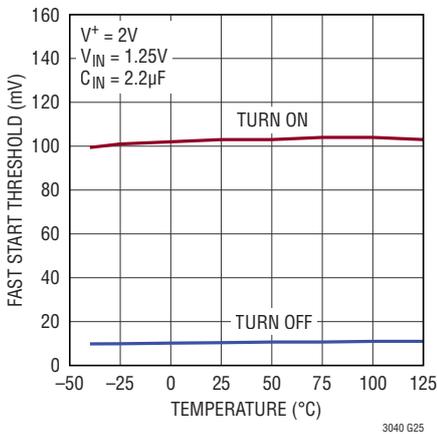
高速起動スレッシュホールド電圧



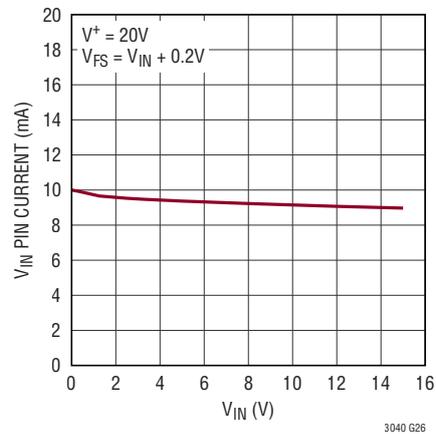
高速起動スレッシュホールド電圧



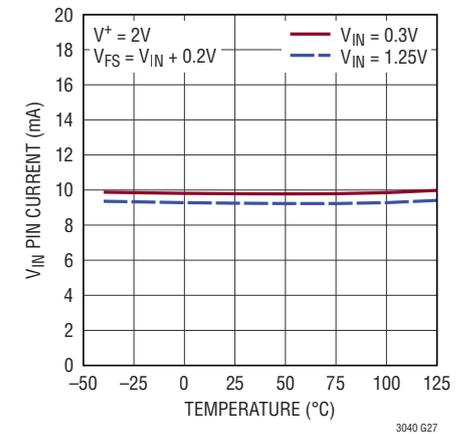
高速起動スレッシュホールド電圧



高速起動電流制限



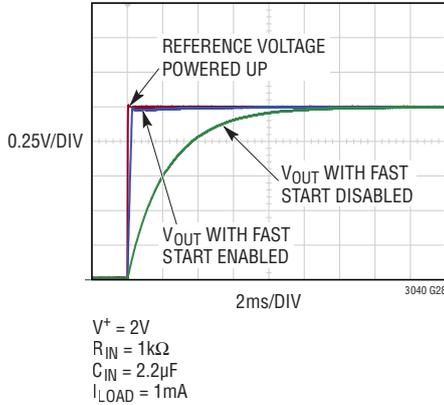
高速起動電流制限



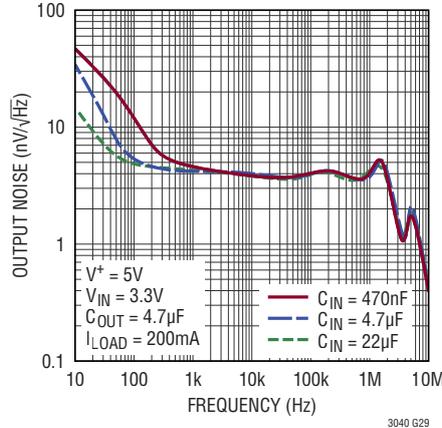
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

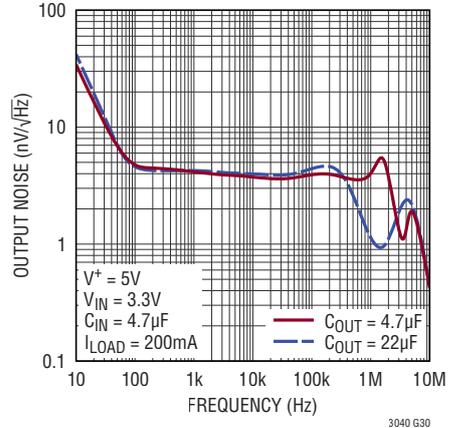
高速起動の有無による
起動時間の変化



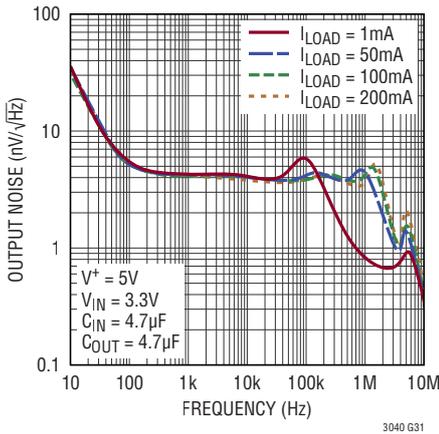
ノイズ・スペクトル密度



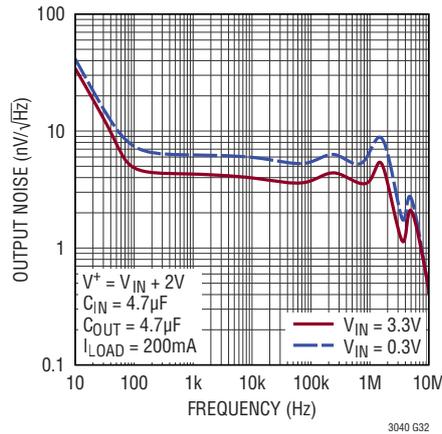
ノイズ・スペクトル密度



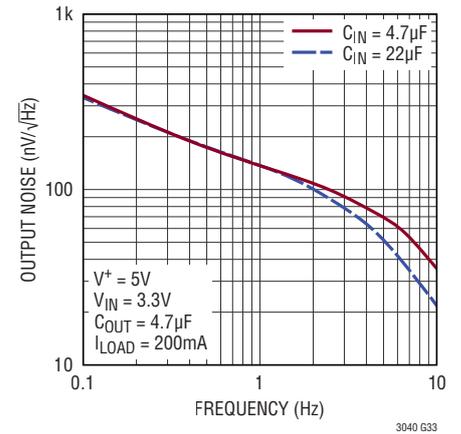
ノイズ・スペクトル密度



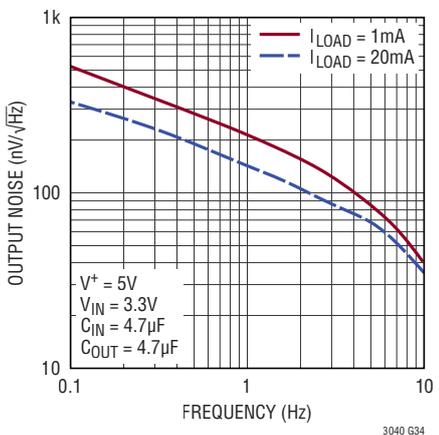
ノイズ・スペクトル密度



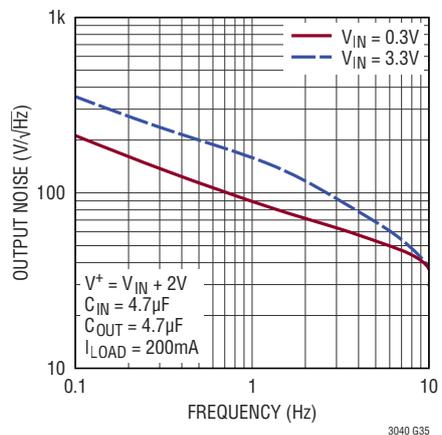
ノイズ・スペクトル密度



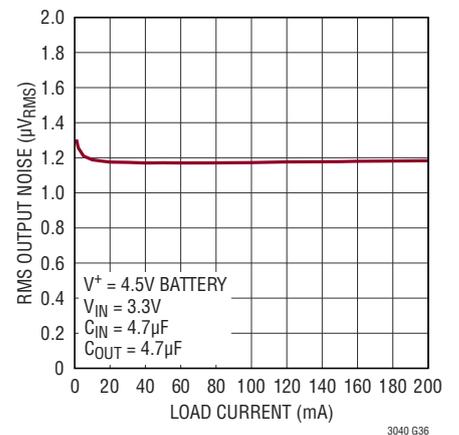
ノイズ・スペクトル密度



ノイズ・スペクトル密度



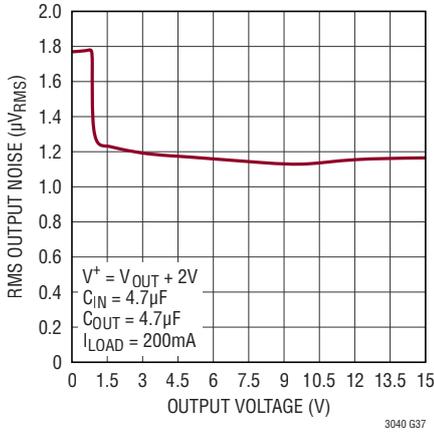
積分RMS出力ノイズ
(10Hz~100kHz)



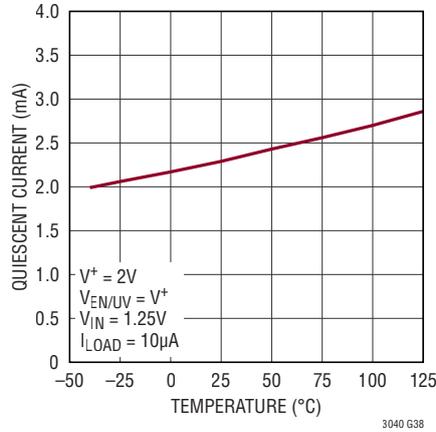
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

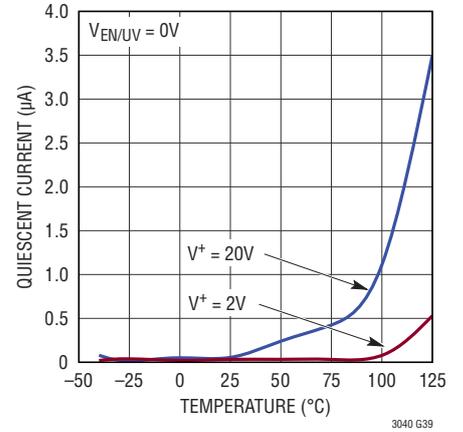
積分RMS出力ノイズ
(10Hz~100kHz)



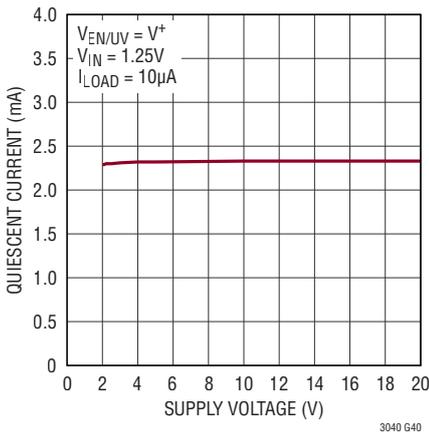
静止電流



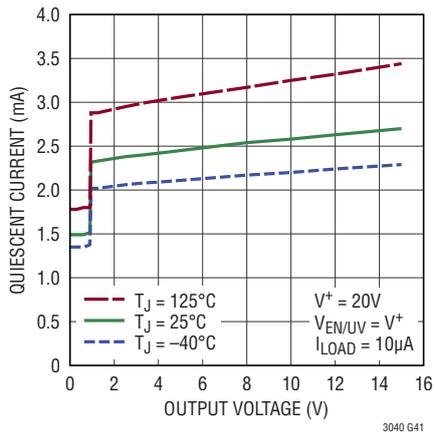
シャットダウン状態での静止電流



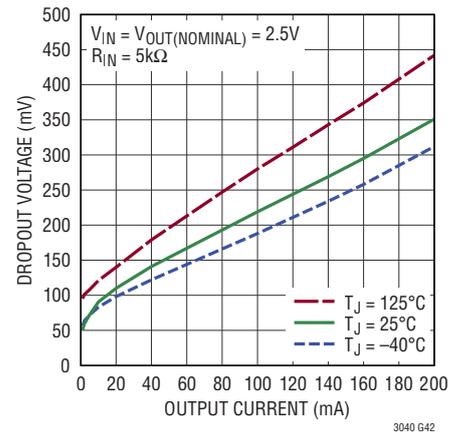
静止電流



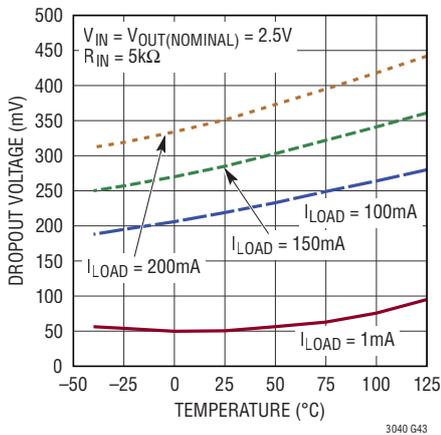
静止電流



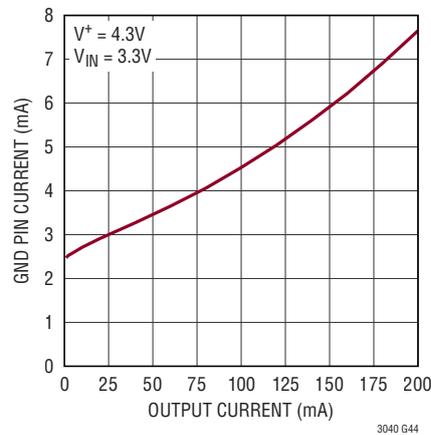
標準ドロップアウト電圧



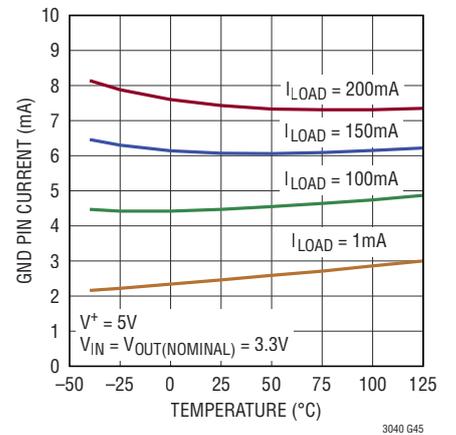
ドロップアウト電圧



GNDピンの電流



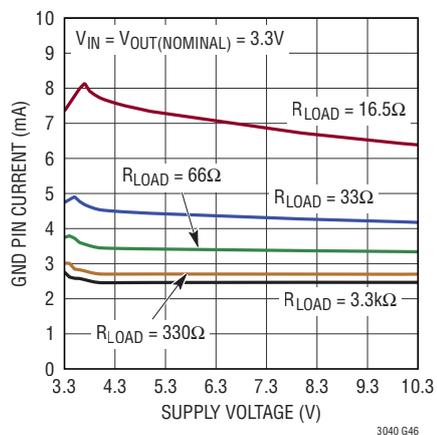
GNDピンの電流



代表的な性能特性

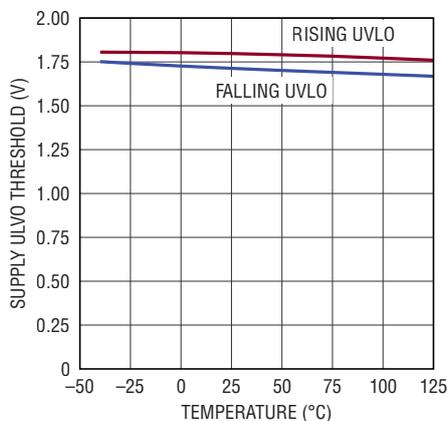
注記がない限り、 $T_J = 25^\circ\text{C}$ 。

GNDピンの電流



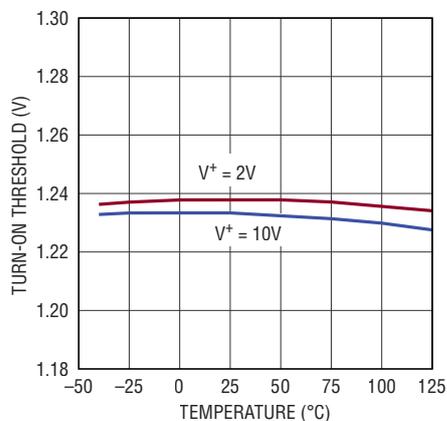
3040 G46

最小電源電圧



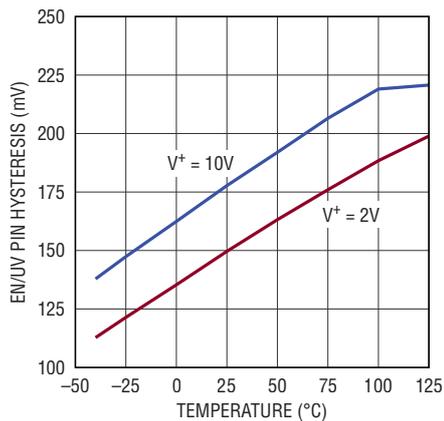
3040 G47

EN/UVターンオン閾値



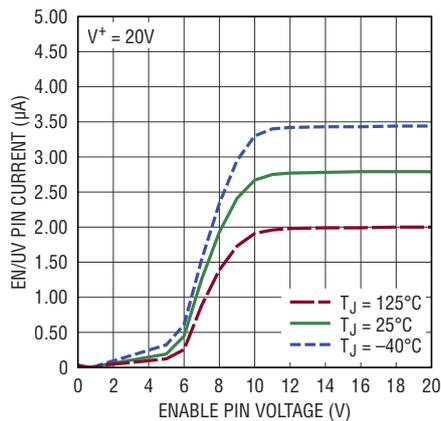
3040 G48

EN/UVピンのヒステリシス



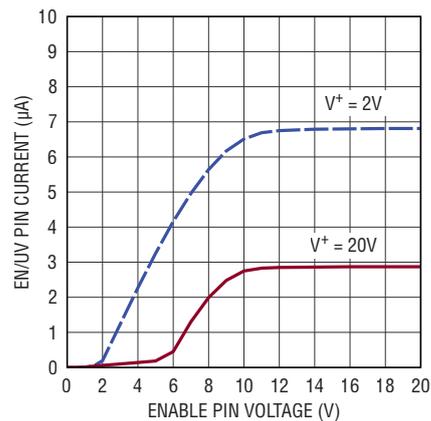
3040 G49

イネーブル・ピンの電流



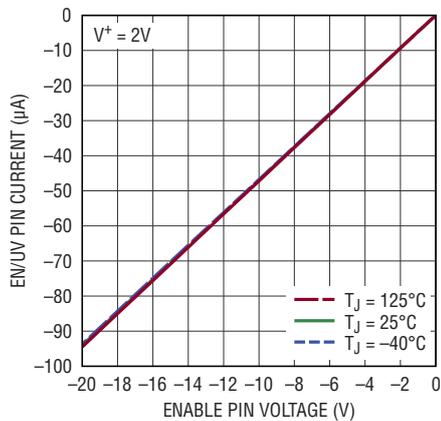
3040 G50

イネーブル・ピンの電流



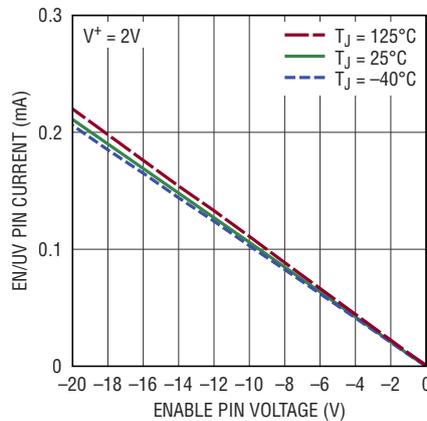
3040 G51

イネーブル・ピンの逆電流



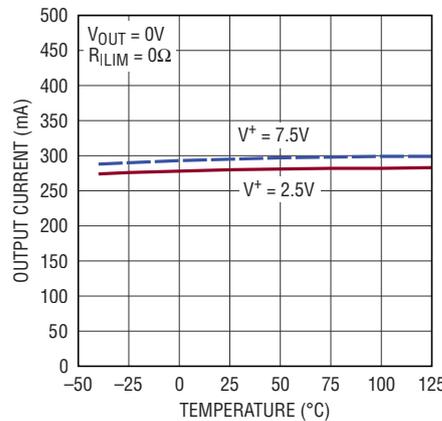
3040 G52

電源ピンの電流



3040 G53

内部の電流制限

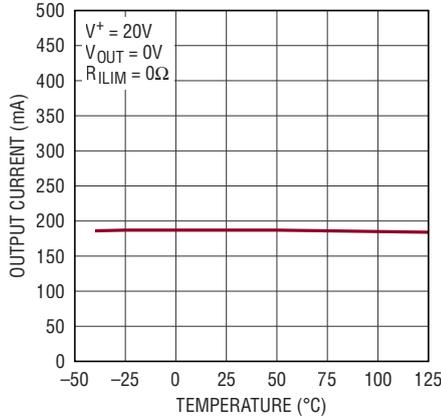


3040 G54

代表的な性能特性

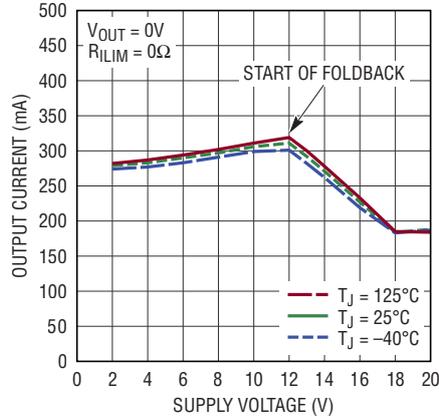
注記がない限り、 $T_J = 25^\circ\text{C}$ 。

内部の電流制限



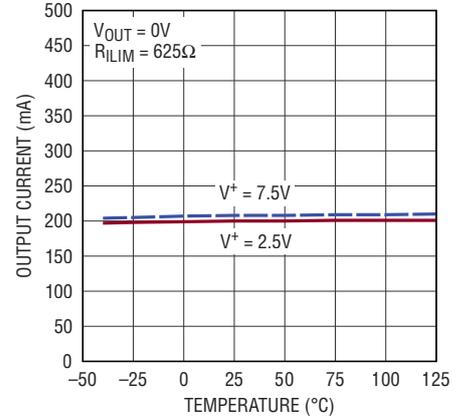
3040 G55

内部の電流制限



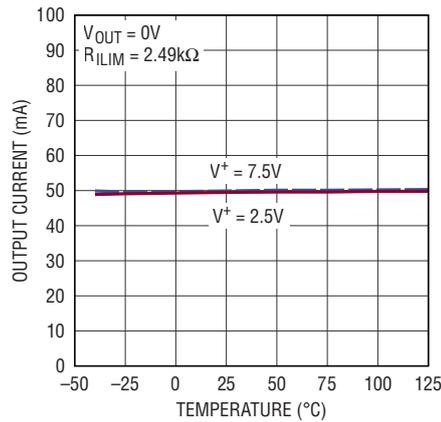
3040 G56

プログラマブルな電流制限



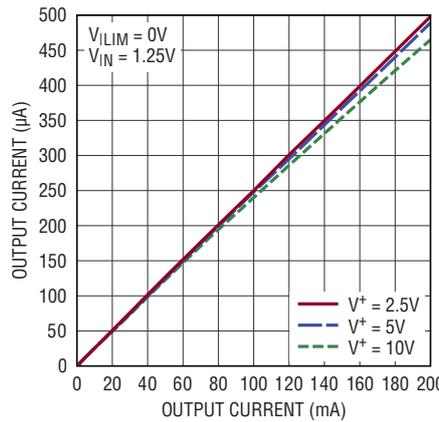
3040 G57

プログラマブルな電流制限



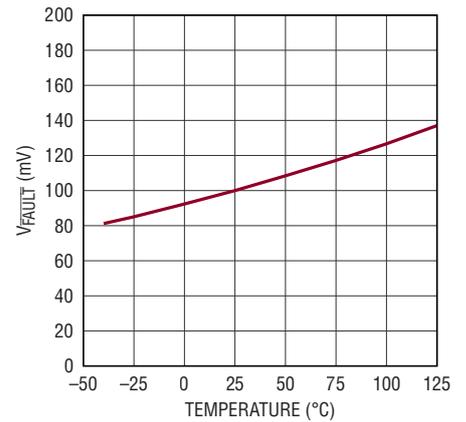
3040 G58

ILIMピンの電流



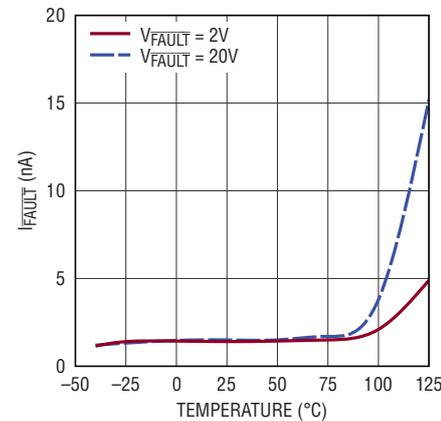
3040 G59

FAULT出力ロー電圧



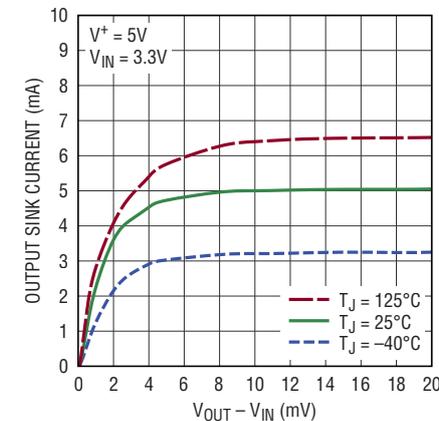
3040 G60

FAULTピンのリーク電流



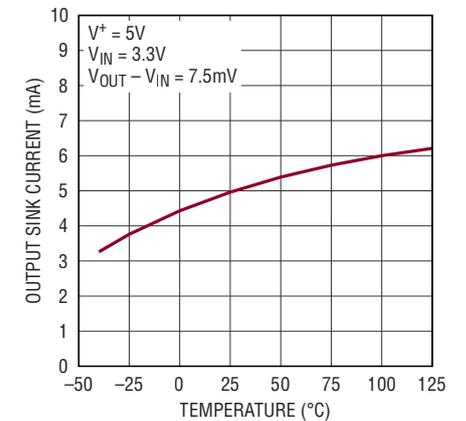
3040 G61

出力オーバーシュート回復の電流シンク



3040 G62

出力オーバーシュート回復の電流シンク

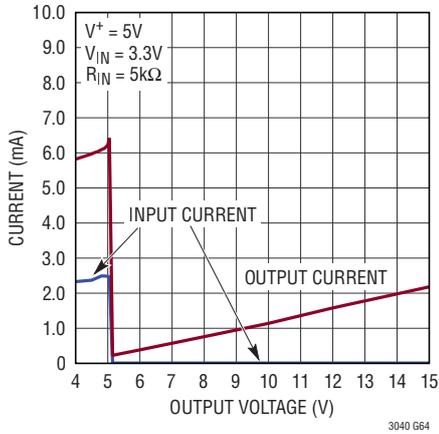


3040 G63

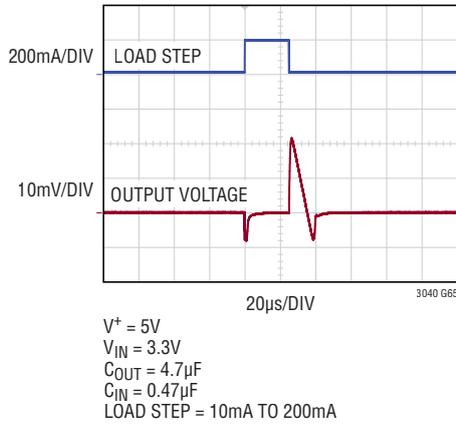
代表的な性能特性

注記がない限り、 $T_J = 25^\circ\text{C}$ 。

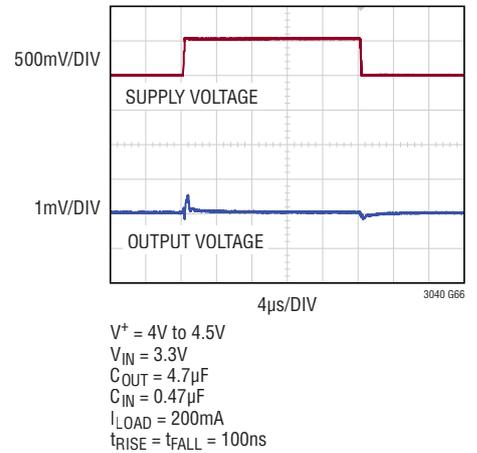
$V_{OUT(NOMINAL)}$ を超えて強制された V_{OUT}



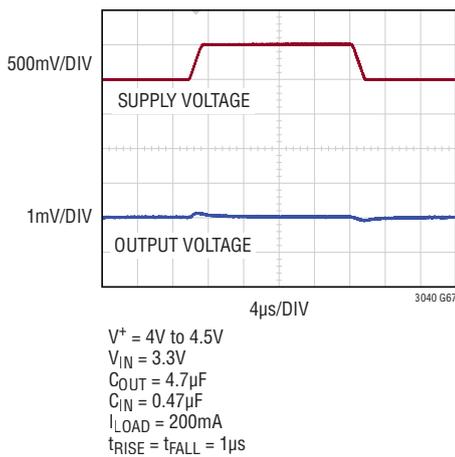
負荷過渡応答



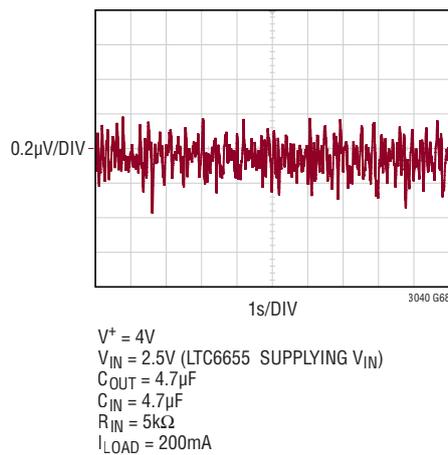
ライン過渡応答



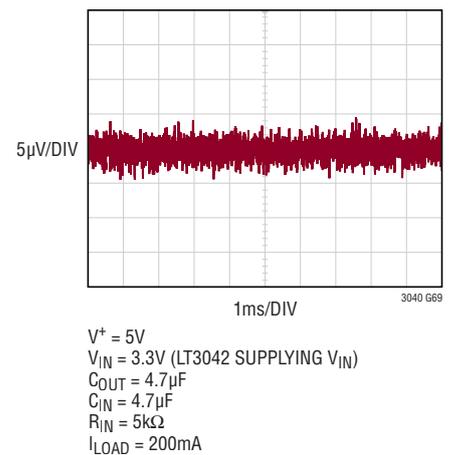
ライン過渡応答



出力ノイズ: 0.1Hz~10kHz



出力ノイズ: 10Hz~100kHz



ピン機能 (DFN/MSOP)

V⁺ (1, 2番ピン / 1, 2, 3番ピン): 電源。これらのピンはバッファに電力を供給します。LT3040では、V⁺ピンにバイパス・コンデンサが必要です。一般に、バッテリーの出力インピーダンスは周波数と共に上昇するので、バッテリー電源アプリケーションにはバイパス・コンデンサを実装します。通常は4.7μFの電源バイパス・コンデンサで十分ですが、負荷過渡応答が大きいアプリケーションでは、電源電圧の低下を防ぐために、より大きな容量の電源コンデンサが必要になる場合があります。LT3040は、GND、V_{FB}、OUTを基準としてV⁺に印加される逆電圧に耐えます。逆電源接続(バッテリーを逆差しした場合に発生します)の場合、LT3040は入力と直列にダイオードがあるかのように振る舞います。そのため、逆電流はLT3040に流れ込まず、負荷に負電圧が生じることもありません。本デバイスは自分自身と負荷を保護します。

EN/UV (3番ピン / 4番ピン): イネーブル / UVLO。LT3040のEN/UVピンをローにすると、デバイスがシャットダウンされます。シャットダウン中、静止電流は1μA未満まで低下し、出力電圧はターンオフされます。または、V⁺、EN/UV、GNDの間に接続した抵抗分圧器を使用して、EN/UVピンでV⁺電源の低電圧ロックアウト(UVLO)閾値を設定できます。LT3040は通常、EN/UVの電圧が立上がりエッジで1.24Vを上回るとオンし、立下がりエッジに170mVのヒステリシスを持っています。EN/UVピンは電源電圧を上回って駆動でき、正常な機能を維持します。EN/UVピンを使用しない場合、V⁺に接続します。EN/UVピンはフロート状態にしないでください。

FAULT (4番ピン / 5番ピン): フォルト・フラグ。FAULTは、OUTピンのフォルトを表示するオープンドレイン・ピンです。高速起動回路がアクティブになると、FAULTはローになります(詳細はFSピンの説明を参照)。電流制限、サーマル・シャットダウン、ドロップアウト状態への遷移、UVLOに起因して出力がレギュレートされなくなった場合もFAULTピンはローになります。この機能を使用しない場合は、FAULTピンをフロート状態にします。LT3040のFAULTピンとGNDピンの間には寄生の基板ダイオードが存在します。FAULTピンの電圧をGNDの電圧より0.3Vを超えて低い電圧に駆動しないようにする必要があります。本デバイスに電力を供給し、かつ本デバイスをイネーブルしている場合のみFAULT機能は有効です。

ILIM (5番ピン / 6番ピン): 電流制限のプログラミング。ILIMとGNDの間に抵抗を接続することで、電流制限値を設定します。最高の精度を得るには、この抵抗をLT3040のGNDピンに直接ケルビン接続します。設定スケール・ファクタは、公称125mA・kΩです。ILIMピンは出力電流に比例(1:400)した電流をソースします。したがって、0V~300mVレンジの

電流モニタ・ピンとしての機能も果たします。プログラム可能な電流制限機能が必要ない場合は、ILIMをGNDに接続します。LT3040のILIMピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時または障害状態時に、ILIMピンをGNDの電圧より0.3V以上低い電圧に駆動しないようにする必要があります。

FS (6番ピン / 7番ピン): 高速起動。このピンを入力ローパス・フィルタの抵抗(標準的応用例を参照)に接続すると、LT3040は高速起動します。高速起動回路は通常、V_{FS} - V_{IN} ≥ 100mVになるとアクティブにトリガされ、V_{FS} - V_{IN} ≤ 7mVになるまでアクティブの状態が維持されます。高速起動回路がアクティブな場合、この回路はV_{IN}ピンに10mA(代表値)の電流をソースします(アプリケーション情報のセクションの高速起動を参照)。高速起動機能が不要な場合は、このピンをV_{IN}に接続してください。

V_{IN} (7番ピン / 8番ピン): 入力。このピンは、エラー・アンプの非反転入力であり、LT3040のレギュレーション設定点です。LT3040の出力電圧は、V_{IN}によって決まります。出力電圧範囲は0V~15Vです。V_{IN}とGNDの間に1個のコンデンサを追加すると、起動時間が延びる代わりに、ノイズ、PSRR、過渡応答性能が向上します。LT3040のV_{IN}ピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時または障害状態時に、V_{IN}ピンをGNDの電圧より0.3V以上低い電圧に駆動しないようにする必要があります。V_{IN}は内部的に1.5VのクランプでV_{FB}にクランプされています。その他の詳細についてはアプリケーション情報の電源シーケンシングのセクションを参照してください。

GND (8番ピン、露出パッド11番ピン / 9番ピン、露出パッド13番ピン): グラウンド。露出した裏面はGNDに電氣的に接続されています。適正な電氣的性能および熱性能を確保するため、露出した裏面をPCBグラウンドにハンダ付けして、それをGNDピンに直接接続します。

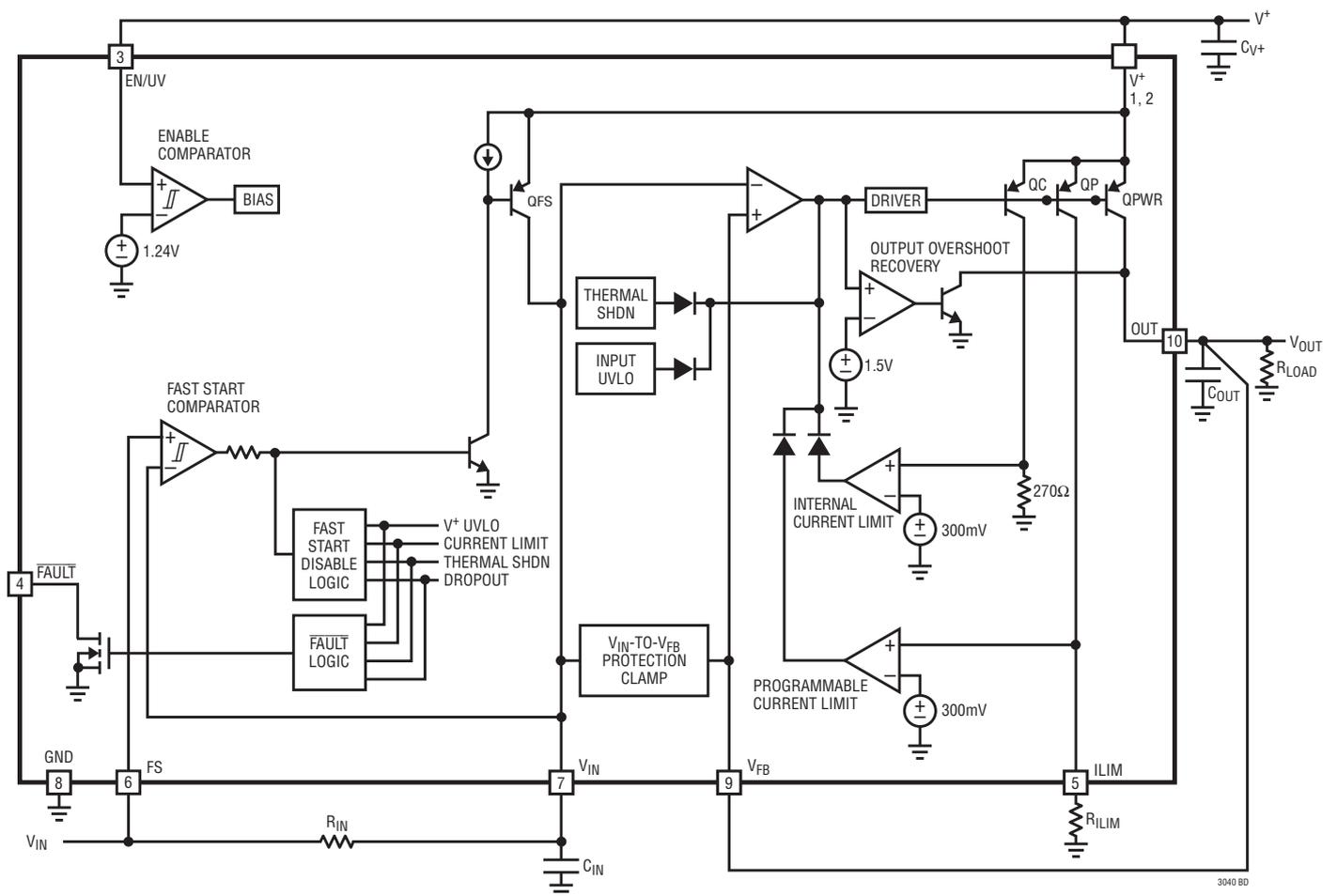
V_{FB} (9番ピン / 10番ピン): 出力帰還。このピンはエラー・アンプの反転入力です。ユニティ・ゲイン帰還の場合、このピンは常にOUTピンと接続する必要があります。最適なトランジェント性能および負荷レギュレーションを得るため、V_{FB}は出力コンデンサと負荷に直接ケルビン接続します。また、出力コンデンサおよびV_{IN}ピン・コンデンサのGND接続箇所も互いに直接接続します。更に、電源と出力コンデンサ(およびそれらのGND接続)も非常に近付けて配置します。LT3040のV_{FB}ピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時または障害状態時に、V_{FB}ピンをGNDの電圧より0.3V以上低い電圧に駆動しないようにする必要があります。

ピン機能 (DFN/MSOP)

OUT (10番ピン/11、12番ピン): 出力。このピンは、負荷に電力を供給します。安定性を確保するため、ESRが50mΩ未満でESLが2nHより小さい、4.7μF以上の出力コンデンサを使用します。負荷過渡応答が大きい場合は、電圧トランジェントのピーク値を制限するために大きな値の出力容量が必要

です。出力容量の詳細については、アプリケーション情報のセクションを参照してください。LT3040のOUTピンとGNDピンの間には寄生の基板ダイオードが存在します。通常動作時または障害状態時に、OUTピンをGNDの電圧より0.3V以上低い電圧に駆動しないようにする必要があります。

ブロック図



アプリケーション情報

LT3040は高性能低ドロップアウトの電圧バッファです。アナログ・デバイセズの超低ノイズ(10kHzで $4\text{nV}/\sqrt{\text{Hz}}$)および超高PSRR(1MHzで73dB)アーキテクチャを備え、ノイズにセンシティブなアプリケーションへの電力供給を実現します。高性能のレールtoレール電圧バッファとして設計されているので、LT3040は並列接続が容易であり、ノイズの低減、出力電流の増大、PCB上での熱放散を更に向上することができます。このデバイスは更に、プログラマブルな電流制限、高速起動機能、フォルト・インジケータも備えています。

LT3040は使いやすく、高性能電圧バッファに求められる保護機能を全て備えています。その他に、短絡保護回路、安全動作領域保護回路、逆電源電圧保護回路、逆電流保護回路、ヒステリシス付きサーマル・シャットダウン回路を内蔵しています。

出力電圧

LT3040のレールtoレール・エラー・アンプを使うと広い出力電圧レンジ(0V \sim V⁺ - ドロップアウト(最大15V))が得られます。PNPベースの入力対は出力電圧が0V \sim 約0.9Vのときにアクティブになり、NPNベースの入力対は出力電圧が約0.9Vを超えるとアクティブになります。2つの入力対は約0.9Vの出力で急激に遷移します。この出力には約35mVのヒステリシスがあります。このNPNベースの入力対は最高の性能を発揮するように設計されています。エラー・アンプ入力対のオフセット電圧、V_{IN}オフセット・ピン電流、出力ノイズ、PSRR変動については、電気的特性の表を参照してください。

PNPおよびNPN入力対のオフセット電圧は個別に調整済みです。その結果、PNPとNPNのオフセットは、EC表で規定されたオフセット制限値の範囲内で最終的に大幅に異なっている場合があります。図1に、代表的なデバイスのオフセット電圧の遷移領域の挙動を示します。図2に、オフセット電圧の変動範囲を示します。

LT3040は常にユニティ・ゲイン構成で動作します。これによって、LT3040のループ利得、周波数応答、および帯域幅を出力電圧から独立させることができます。その結果、ノイズ、PSRR、およびトランジエント性能が出力電圧によって変化しません。更に、V_{IN}ピンの電圧を高い出力電圧に増幅するのにエラー・アンプの利得が必要ないため、出力負荷レギュレーションは出力電圧の固定パーセント値としてではなく、数百 μV レンジで厳しく規定しています。

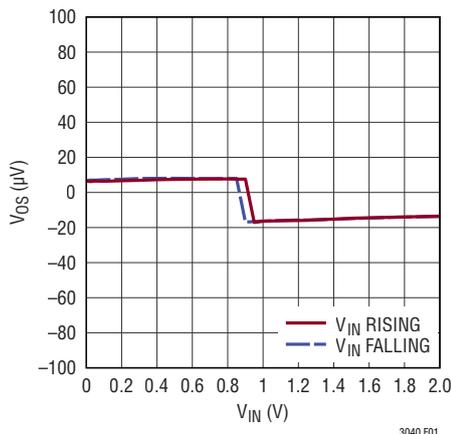


図1. PNPからNPNへの差動対の遷移

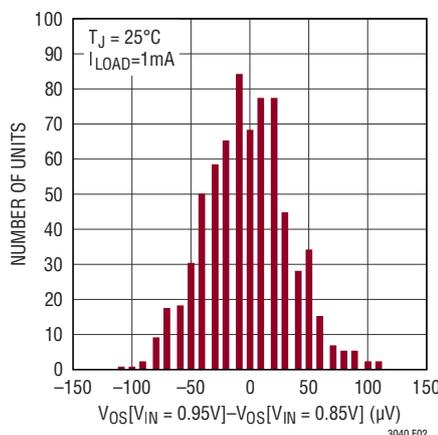


図2. PNPからNPNへの遷移に伴うV_{OS}の変化量の分布

アプリケーションで、FSからV_{IN}へのフィルタ抵抗またはV_{IN}への電流制限抵抗を接続してLT3040を使う場合、V_{IN}ピンを経由する全てのリーク経路は出力電圧に誤差を生じさせます。必要に応じて、高品質の絶縁材料(例えば、テフロン、Kel-F)を使用し、全ての絶縁表面を洗浄し、フラックスなどの残留物を除去します。高湿度の環境では、V_{IN}ピンの表面をコーティングして、防湿層を形成することが必要になる場合があります。

アプリケーション情報

V_{IN} ピンに近い電位で動作するガード・リングを使用して V_{IN} ピンを囲み、基板のリーク電流を最小限に抑えます。できれば、ガード・リングをOUTピンに接続します。回路基板の両側をガードすることを推奨します。バルク・リーク電流の減少はガード・リングの幅に依存します。 V_{IN} ピン経由のリーク電流が100nAの場合、リファレンス電圧に100 μ Vの誤差が生じます(V_{IN} に1k Ω の抵抗を接続した場合)。この大きさのリーク電流は、他のリーク電流源が加わって、特に動作温度範囲が広い場合に、出力電圧に著しい誤差を引き起こす場合があります。図3に、代表的なガード・リング・レイアウト技法を示します。

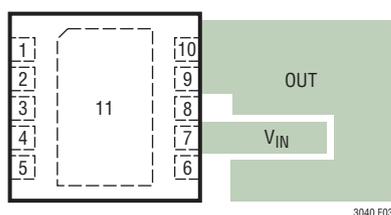


図3. DDパッケージのガード・リングのレイアウト

V_{IN} ピンは高インピーダンス・ノードなので、不要な信号が V_{IN} ピンに結合して不安定動作を引き起こす可能性があります。これは、最小の出力コンデンサを使用して重負荷電流で動作する場合に、最も顕著になります。小容量で V_{IN} ピンをグラウンドにバイパスすれば(アプリケーションが許容する場合)、この問題は解決します。通常10nFで十分です。

出力検出

LT3040の V_{FB} ピンは、出力へのケルビン検出接続機能を果たします。

また図4に示すように、電源コンデンサ(C_{V+})と出力コンデンサ(C_{OUT})のGND側を近付けて配置するだけでなく、 V_{FB} ピンを C_{OUT} に直接接続し、 V_{IN} ピン・コンデンサ(C_{IN})のGND側を C_{OUT} のGND側に直接接続することも安定性のために非常に重要です。これらの条件を満たすレイアウト例については、PCBレイアウトに関する検討事項のセクションを参照してください。

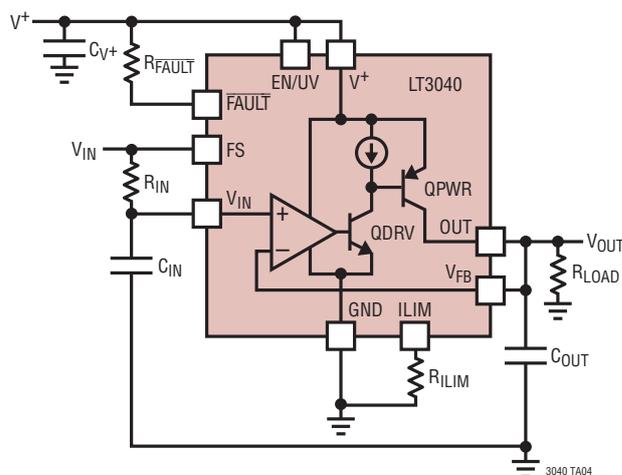


図4. 安定性を得るための C_{IN} および C_{OUT} の接続

LT3040には、動作を安定させるための出力コンデンサが必要です。帯域幅が広い(約1MHz)ことを考慮すると、アナログ・デバイセズは低ESRで低ESLのセラミック・コンデンサを推奨します。安定性を確保するには、ESRが50m Ω 未満でESLが2nH未満の4.7 μ F以上の出力コンデンサが必要です。LT3040の動的性能に対する基板のインダクタンスの影響を最小にするため、 V_{IN} ピン・コンデンサ(C_{IN})のGND側を出力コンデンサのGND側に直接ケルビン接続するだけでなく、 V_{FB} ピンも出力コンデンサに直接ケルビン接続します。また、電源コンデンサのGND接続を出力コンデンサのGND接続にできるだけ近付けて配置します。

4.7 μ Fのセラミック出力コンデンサ1個を使用して得られる高PSRR性能および低ノイズ性能を考慮すると、出力コンデンサの値を大きくしても性能の向上はごくわずかです。このレギュレータの帯域幅は出力容量が増大するにつれて減少するからです。そのため、4.7 μ Fの最小出力コンデンサより容量の大きなコンデンサを使用しても得られるものはほとんどありません。とはいえ、出力容量の値を大きくすると、負荷過渡応答時のピーク出力のずれは確実に減少します。LT3040が電力を供給する個々の部品のデカップリングに使用されるバイパス・コンデンサによって、出力コンデンサの実効値が増加することに注意してください。

アプリケーション情報

使用するセラミック・コンデンサの種類には、特に注意が必要です。セラミック・コンデンサは様々な誘電体を使用して製造されており、それぞれ温度や印加される電圧によって動作が異なります。最も広く使われている誘電体は、Z5U、Y5V、X5RおよびX7RのEIS温度特性コードによって規定されています。Z5UとY5Vの誘電体は小型パッケージで大容量を実現するには適していますが、図5および図6に示すように、電圧係数と温度係数が大きくなる傾向があります。5Vのレギュレータに使用する場合、16V、10 μ FのY5Vコンデンサは、印加されたDCバイアス電圧と動作温度範囲で1 μ F～2 μ Fの小さな実効値になる可能性があります。

X5RとX7Rの誘電体を使用すると、更に安定した特性になり、これらはLT3040により適しています。X7Rの誘電体は全温度範囲にわたって安定性が優れており、X5Rタイプは安価で大きな値のものが入手可能です。それでも、X5RおよびX7Rコンデンサを使用する場合、注意する必要があります。X5RとX7Rのコードは、動作温度範囲と全温度範囲での最大容量変化のみを規定します。X5RとX7RのDCバイアスによる容量変化はY5VやZ5Uの誘電体に比べると小さいですが、それでも容量が十分なレベルを下回るほど変化することがあります。図7に示すように、コンデンサのDCバイアス特性は部品のケース・サイズが大きいほど向上する傾向がありますが、動作電圧に必要な容量を検証することを強く推奨します。

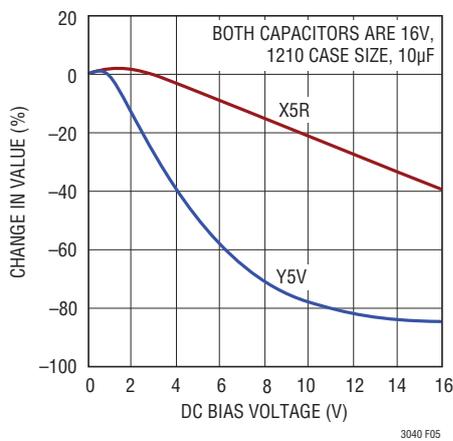


図5. セラミック・コンデンサのDCバイアス特性

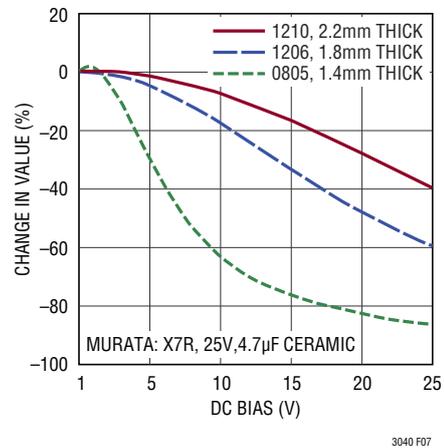


図7. 各種ケース・サイズでのコンデンサ電圧係数

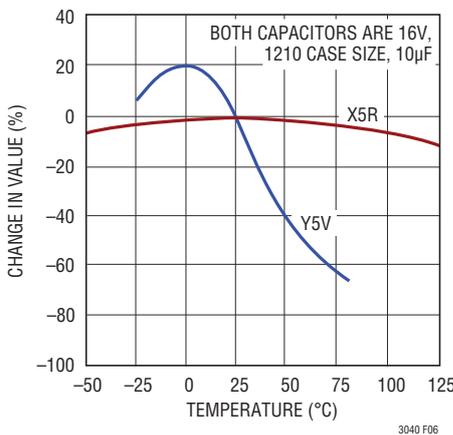


図6. セラミック・コンデンサの温度特性

電圧係数と温度係数だけが問題になるわけではありません。セラミック・コンデンサの中には圧電効果を示すものがあります。圧電デバイスは、圧電マイクロフォンの動作原理と同様、機械的応力によって端子間に電圧を生じます。セラミック・コンデンサの場合、システムの機械的な振動や熱過渡によって応力が生じることがあります。

アプリケーション情報

安定性の評価尺度の1つはバッファのクロズドループ応答です。図8に、4.7 μ Fの出力コンデンサを使ったLT3040のクロズドループ応答を示します。

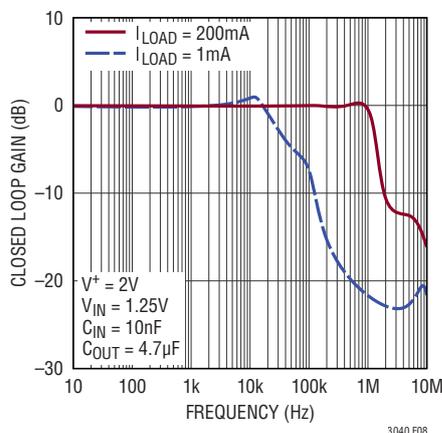


図8. LT3040のクロズドループ応答

安定性と電源容量

LT3040は、V⁺ピンに4.7 μ F以上のコンデンサを接続すれば動作が安定します。アナログ・デバイスでは、低ESRのセラミック・コンデンサの使用を推奨します。長いワイヤを使ってLT3040の電源およびグラウンド端子に電源を接続している場合、大きな負荷電流で小さな値の電源コンデンサを使うと不安定になる場合があります。この原因は、ワイヤのインダクタンスと電源コンデンサによって形成されるLC共振タンク回路にあり、LT3040の不安定さにはありません。

ワイヤの自己インダクタンス(つまり、単独のインダクタンス)はその長さに正比例します。ワイヤの直径は、ワイヤの自己インダクタンスの主要因ではありません。例えば、単独の2-AWGワイヤ(直径 = 0.26インチ)の自己インダクタンスは、30-AWGワイヤ(直径 = 0.01インチ)の自己インダクタンスの約半分です。1フィートの30-AWGワイヤの自己インダクタンスは465nHです。

ワイヤの自己インダクタンスを減らすにはいくつかの方法があります。1つの方法は、LT3040に流れ込む電流を2つの並列な導体に分割することです。この場合、ワイヤが互いに遠く離れているほど自己インダクタンスが減少し、数インチ離すだけで最大50%減少します。ワイヤを分割すると、2つの等しいインダクタを並列に接続したことになります。しかし、それらを近接させると、ワイヤの相互インダクタンスが自己インダクタンスに加わるので、このような場合は50%の削減は不可能になります。全体のインダクタンスを減らす2番目の(最も効果的な)方法は、電流の往路と復路の両方の導体(電

源のワイヤとグラウンドのワイヤ)を近づけて配置することです。0.02インチ離れた2本の30-AWGワイヤを使用すると、1本の独立したワイヤを使用した場合に比べて全体の自己インダクタンスは約1/5に減少します。

近くに装着したバッテリーでLT3040に電力を供給する場合は、4.7 μ Fの電源コンデンサで十分に安定性を確保できます。ただし、遠く離れた電源からLT3040に電力を供給する場合は、より大きな値の入力コンデンサを使用してください。おおまかな目安としては、(4.7 μ Fの最小値とは別に)ワイヤの長さ8インチにつき1 μ Fを使用してください。アプリケーションを安定化するために必要な電源容量の最小値も、出力容量と負荷電流によって変動します。LT3040の出力容量を増やすことも効果的です。ただし、このためには追加の電源バイパス・コンデンサと比較して大幅に大きい容量が必要です。また、電源とLT3040のV⁺入力の間直列抵抗を接続することもアプリケーションの安定化に役立ちます。わずか0.1 Ω ~0.5 Ω の小さな抵抗で十分です。このインピーダンスによってLCタンク回路の共振が減衰しますが、代償としてドロップアウト電圧が発生します。より優れた代替手段は、LT3040の電源に高ESRのタンタル・コンデンサまたは電解コンデンサを使用し、4.7 μ Fのセラミック・コンデンサと並列接続することです。

出力ノイズ

LT3040は、ノイズ性能に関して多くのメリットを提供します。従来のバッファまたはリニア電圧レギュレータには、複数のノイズ発生源があります。従来のレギュレータの最も重要なノイズ発生源は、電圧リファレンス、エラー・アンプ、および出力電圧設定用の抵抗分圧器回路網から発生するノイズ、更にこの抵抗分圧器で設定されるノイズ利得です。多くの低ノイズ・レギュレータでは、電圧リファレンスをピンから出力しているため、リファレンス電圧をバイパスすることによってノイズを低減できます。

大部分のリニア電圧レギュレータとは異なり、LT3040は内部電圧リファレンスを使っていません。外部電圧源(電圧リファレンス/出力電圧DAC)が出力電圧ノイズを支配します。その結果として得られる電圧ノイズは、エラー・アンプのノイズを合計した値のRMSである外部リファレンスのノイズと等しくなります。LT3040のエラー・アンプからのノイズの寄与は4nV/ $\sqrt{\text{Hz}}$ (代表値)です。このノイズ仕様を達成するため、LT3040のFSピンとV_{IN}ピンの間に接続したフィルタ抵抗を外部電圧源は使用できます。このバイパス抵抗とV_{IN}ピンのコンデンサで構成されたローパス・フィルタ(LPF)が電圧源からのノイズの寄与をバイパスします。このLPFを備え

アプリケーション情報

たLT3040の高速起動を確実にするため、LT3040の高速起動回路は V_{IN} ピン・コンデンサを10mA(代表値)の電流源で充電します。

従来のリニア電圧レギュレータが直面する1つの問題は、抵抗分圧器が設定する出力電圧利得によって、リファレンス・ノイズが増加することです。対照的に、LT3040のユニティ・ゲイン・フォロワ・アーキテクチャでは、 V_{IN} ピンと出力の間に利得が存在しません。したがって、コンデンサが電圧源のノイズをバイパスしている場合、プログラムされた出力電圧と出力のノイズは無関係です。その場合、発生する出力ノイズはエラー・アンプのノイズだけで決まります。これは、 V_{IN} ピンのコンデンサとして4.7 μ Fを使用した場合、10kHz~1MHzでは標準で $4nV/\sqrt{Hz}$ となり、10Hz~100kHzの帯域幅では1.2 μ V_{RMS}となります。複数のLT3040を並列に接続すると、ノイズは更に \sqrt{N} (Nは並列レギュレータの数)だけ減少します。

ノイズ・スペクトル密度と、様々な負荷電流および V_{IN} ピン容量でのRMS積分ノイズについては、代表的な性能特性のセクションを参照してください。

V_{IN} ピン(バイパス)容量:ノイズ、PSRR、過渡応答、およびソフトスタート

V_{IN} ピンにバイパス・コンデンサを使用すると、出力ノイズが低減するだけでなく、PSRRとトランジエントの性能も向上します。ただし、バイパス・コンデンサにリーク電流があるとLT3040のDCレギュレーションが低下する場合がありますため注意してください。 V_{IN} ピンに1kのインピーダンスを接続した場合、100nAのコンデンサ・リークは100 μ VのDC誤差の原因となります。そのため、品質の良い低リーク電流のセラミック・コンデンサを使用することを推奨します。

V_{IN} のバイパス・コンデンサを使用すると、出力がソフトスタートして、突入電流が制限されます。高速起動機能を使用せずフィルタ抵抗(R_{IN})を使用する場合(図9参照)、 V_{IN} ピン抵抗とコンデンサで形成されるRC時定数がソフトスタート時間を制御します。公称 V_{OUT} の0%~90%の上昇率を以下に示します。

$$t_{ss} = 2.3 \cdot R_{IN} \cdot C_{IN}$$

高速起動機能を使用する場合(次のセクションを参照)、ソフトスタート時間は使用するコンデンサの容量とFSピンの電圧入力で決まります。この場合、公称 V_{OUT} の10mV以内に達するまでの上昇率を以下に示します。

$$t_{ss}(FS) = C_{IN} \cdot V_{FS}/10mA$$

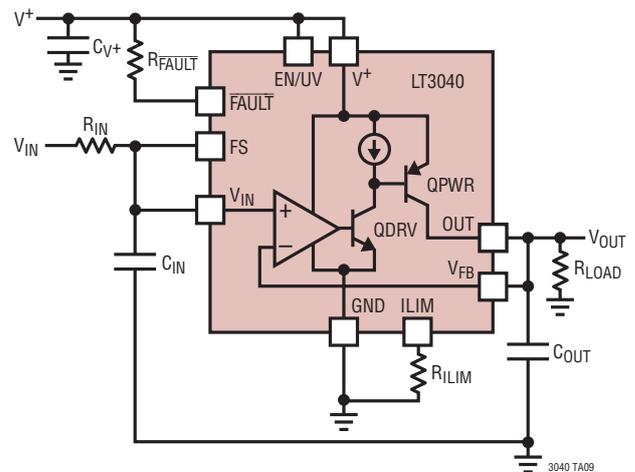


図9. ローパス・フィルタ(高速起動をディスエーブルした場合)

高速起動

1/fノイズを低減する必要がある超低ノイズアプリケーションの場合、非常に低い周波数のポールを持つ V_{IN} フィルタが必要な場合があります。これは、 V_{IN} フィルタのRC時定数に従って起動時間を大幅に増加させます。LT3040は、起動中10mA(代表値)の電流で V_{IN} ピンをソースすることでフィルタのコンデンサを素早く充電し起動時間を短縮する高速起動回路を内蔵しています。

10mA電流源はFSと V_{IN} の電位差が100mVを超えるとオンし、FSピンが V_{IN} ピンより7mV大きい限りオン状態を維持します。この電流は、 V_{IN} ピンがFSピンの電圧まで充電されると0mAに減少します。本デバイスが電流制限、ドロップアウト、サーマル・シャットダウン、最小 V^+ を下回る電源電圧の低下に陥った場合、高速起動機能は機能しません。

高速起動機能を使用している場合、起動中に V_{IN} のスルー・レートがFSのスルー・レートに近付いた場合、FSが立ち上がる間に V_{IN} ピンの電圧がFSピンに追い付くことがあります。この場合、FSが V_{IN} を約100mV上回るまで、高速起動電流は遮断されます。これは意図した動作です。このオン/オフは V_{IN} ピン電圧を階段状に変化させます。 V_{IN} コンデンサの値を増やすと V_{IN} ピンの起動はより滑らかになります。

高速起動機能を使用しない場合は、FSを V_{IN} に接続してください。

アプリケーション情報

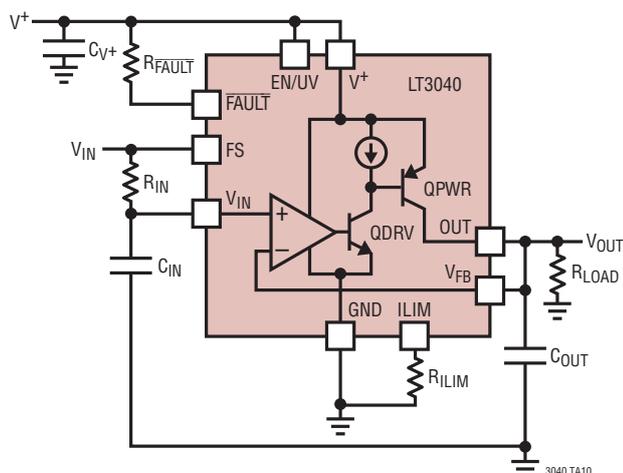


図10. ローパス・フィルタ(高速起動をイネールした場合)

 V_{IN} のスルー・レート

LT3040のエラー・アンプの帯域幅には限界があります。 V_{IN} ピンが正方向に非常に高速に変化した場合、エラー・アンプはそれに反応して電流制限状態に入ります。 V_{IN} ピンの電圧が変化なくなると、LT3040の帯域幅の制限により、レギュレーション状態に落ち着く前に出力が大きくオーバーシュートします。出力の望ましくないオーバーシュートを防止するため、 V_{IN} ピンのスルー・レートを $1V/\mu s$ 以下に制限することをアナログ・デバイセズは推奨します。

出力が大きくアンダーシュートする V_{IN} ピンの負のスルー・レートに対しても同様の挙動が予想されます。 V_{IN} が負方向に高速に変化した場合、エラー・アンプは停止し、出力放電はLT3040の負荷電流の関数となります。そのため、負荷条件が重いほど大きなアンダーシュートが予想されます。

LT3040の高速起動機能使用時のスルー・レートを制限するための最小 C_{IN} 条件は以下のように規定されます。

$$100mA \cdot C_{OUT}/ILIM \leq C_{IN}$$

ここで、 $ILIM$ は出力電流の制限値です。LT3040の内部電流制限値は約 $280mA$ です(フォールドバックでは $180mA$)。外部電流制限をまったく使わず、最小の出力コンデンサを使う場合、高速起動回路を使うには V_{IN} ピンに $2.2\mu F$ 以上のコンデンサを使います。このコンデンサは、 V_{IN} ピンが高速起動中にオーバーシュートしないようにすると同時に、 V_{IN} ピンのスルー・レートを制限します。より小さな電流制限またはより大きな出力容量を使うアプリケーションには、より大きな値の V_{IN} コンデンサが必要です。

電源シーケンシング

LT3040は、デバイスがオフ状態の場合でもFSおよび V_{IN} ピンの絶対最大定格と同じ大きさの電圧に耐えます。しかし、最適なアプリケーション性能を得るために、またLT3040と一緒に使用する周辺回路を保護するために、 V_{IN} に電圧を印加する前に(または電圧印加に同期して)LT3040を起動することをアナログ・デバイセズは推奨します。ターンオフ中は、LT3040の電源を切る前に(またはLT3040に同期して) V_{IN} を遮断することを推奨します。

LT3040の V_{IN} ピンは V_{FB} ピンに内部的にクランプ(クランプ電圧 $1.5V$ (代表値))されています。LT3040がシャットダウンしている間に V_{IN} に電力を供給した場合、 V_{IN} と V_{FB} の電圧差の絶対最大定格と V_{IN} および V_{FB} ピンの電流定格(最大 $20mA$)のどちらかまたは両方を超過し、デバイスが損傷する可能性があります。

V_{IN} 電源が $20mA$ 以下に電流制限されていないアプリケーションの場合、電圧源(電圧リファレンス/電圧出力DAC)からFS/ V_{IN} ピンに保護抵抗を接続します。 V_{IN} から V_{FB} へのクランプには、 $20mA$ の絶対最大定格未満に電流を制限するために $50\Omega/V$ 以上の抵抗を使います。例えば、 $5V$ のリファレンスを接続している場合、 $250\Omega(5V \cdot 50\Omega/V)$ の抵抗を使います。LT3040のシャットダウン中に、 V_{IN} ピンにハイを印加した場合、 V_{IN} から V_{FB} への内部クランプを通して流れるDC電流が出力をグラウンドより高くすることがあります。

高周波スパイクのフィルタリング

LT3040をスイッチング・コンバータのポスト・レギュレーションに使用するアプリケーションでは、高PSRRにより、スイッチャのスイッチング周波数(標準で $100kHz \sim 4MHz$)に存在する全ての「ノイズ」を実質的に抑えることができます。しかし、スイッチャのパワー・スイッチの遷移時間に関連する(LT3040の帯域幅を超える)非常に高い周波数(数 $100MHz$)はLT3040をほぼ直接通り抜けます。出力コンデンサには、これらのスパイクを吸収する目的も多少ありますが、こうした周波数ではその能力がESLによって制限されます。フェライト・ビーズ、または短い(例: 0.5 インチ)PCBパターンに伴うインダクタンスがスイッチャの出力とLT3040の入力の間にあることで、これらの超高周波スパイクを抑えるLCフィルタとして機能できます。

アプリケーション情報

イネーブル/UVLO

EN/UVピンは、バッファをマイクロパワー・シャットダウン状態にするために使用します。LT3040のEN/UVピンのターンオン閾値は正確な1.24Vであり、170mVのヒステリシスがあります。この閾値をV⁺電源から接続されている抵抗分圧器と組み合わせて使うことで、バッファの低電圧ロックアウト(UVLO)閾値を精密に設定できます。抵抗分圧器回路網の値を計算する場合、電気的特性の表の閾値でのEN/UVピン電流(I_{EN})を考慮する必要があります。

$$V^+_{(UVLO)} = 1.24V \cdot (1 + (R_{EN2}/R_{EN1})) + I_{EN} \cdot R_{EN2}$$

R_{EN1}が75kΩより小さい場合は、EN/UVピン電流(I_{EN})を無視できます。EN/UVピンを使用しない場合、V⁺に接続します。

外部でプログラム可能な電流制限

ILIMピンの電流制限閾値は300mVです。ILIMとGNDの間に抵抗を接続すると、ILIMピンの外に流れ出す最大電流が設定され、LT3040の電流制限値が設定されます。設定スケール・ファクタは、125mA・kΩです。例えば、1kΩの抵抗を接続すると電流制限値は125mAに設定され、2kΩの抵抗を接続すると電流制限値は62.5mAに設定されます。優れた精度を得るには、この抵抗をLT3040のGNDピンにケルビン接続します。

V⁺-OUT間の電圧差が12Vを超えた場合、LT3040のフォールドバック回路によって内部電流制限値は減少します。その結果、外部で設定された電流制限レベルよりも内部電流制限値が優先され、LT3040を安全動作領域(SOA)内に維持できます。代表的な性能特性セクションの内部電流制限と電源-出力間電圧差のグラフを参照してください。

ブロック図に示すように、ILIMピンは出力電流に比例(1:400)した電流をソースします。したがって、0V~300mVレンジの電流モニタ・ピンとしての機能も果たします。外部電流制限機能も電流監視機能も使用しない場合は、ILIMをGNDに接続します。

出力オーバーシュートからの回復

最大負荷から無負荷(または軽負荷)への負荷ステップ時には、レギュレータが応答してパワー・トランジスタをオフにする前に出力電圧がオーバーシュートします。出力に負荷が存在しない(または非常に軽い負荷が存在する)と仮定すると、出力コンデンサを放電するのに長い時間がかかります。

ブロック図に示すように、LT3040は、V_{FB}がV_{IN}より高くなった場合に電流シンクをオンして出力コンデンサを放電するオーバーシュート回復回路を内蔵しています。この電流は標準で約4mAです。電源電圧が2.5V未満または出力電圧が1.5V未満の場合、負荷回復はディスエーブルされません。

V_{FB}がV_{IN}より高い電圧に外部から保持されている場合は、電流シンクがオンして、V_{FB}を設定電圧に戻そうとします。外部回路がV_{FB}を解放するまで、電流シンクはオンのままです。

出力ソースおよびシンク

LT3040は200mAの電流をソースできます。しかし、LT3040は電流シンク機能はサポートしていません。出力オーバーシュート回復回路は4mA(代表値)の電流をシンクできますが、この機能はACループの摂動のためのみにトリガされます。DC電流シンク機能が必要な場合、OUTからGNDに抵抗を接続します。

直接の並列接続による大電流への対応

複数のLT3040を並列接続することで、より大量の出力電流を供給できます。全てのV_{IN}ピンを互いに接続し、全てのV⁺ピンを互いに接続します。

少量のPCBパターンを使用してOUTピンを互いに接続し(バラスト抵抗として使用)、LT3040に流れる電流を均一にします。PCBパターンの抵抗をmΩ/インチ単位で表1に示します。

表1. PC基板のパターン抵抗

重さ(オンス)	10ミル幅	20ミル幅
1	54.3	27.1
2	27.1	13.6

パターン抵抗はmΩ/インチで測定

アプリケーション情報

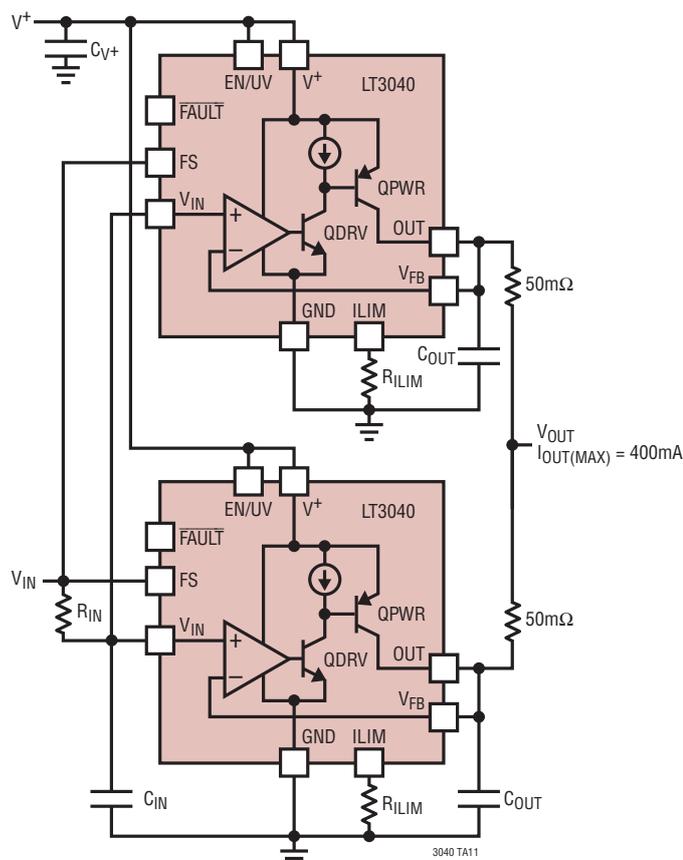


図 11. デバイスの並列接続

並列接続された各LT3040の最も厳しい条件のオフセットはわずか0.3mVなので、必要なバラスト抵抗の値は最小限に抑えられます。最大負荷のとき、精度が20%より高い出力電流分担を2つのLT3040（それぞれ50mΩのPCBパターン・バラスト抵抗を使用）で実現する例を図11に示します。2つの50mΩ外付け抵抗による出力レギュレーションの低下量は、400mAの最大電流時にわずか10mVです。3.3V出力の場合、これによってレギュレーション精度に加わる誤差はわずか0.3%です。前述したように、V_{FB}ピンは出力コンデンサに直接接続します。

3つ以上のLT3040を並列接続することで、更に出力電流を増やして出力ノイズを低減することができます。複数のLT3040を並列に接続すると、PCB上の熱を分散するのにも役立ちます。電源-出力間電圧差が大きいアプリケーションの場合は、入力直列抵抗を使用するか、LT3040と並列に接続した抵抗を使用すると、熱を更に分散することができます。

PCBレイアウトに関する検討事項

LT3040の広い帯域幅と超高PSRRを考慮すると、デバイスの性能を最大限に発揮するにはPCBレイアウトに注意を払う必要があります。図12に、レギュレータの性能を最大限に引き出すレイアウト例を示します。詳細については、LT3040のDC2783A評価用ボードのマニュアルを参照してください。

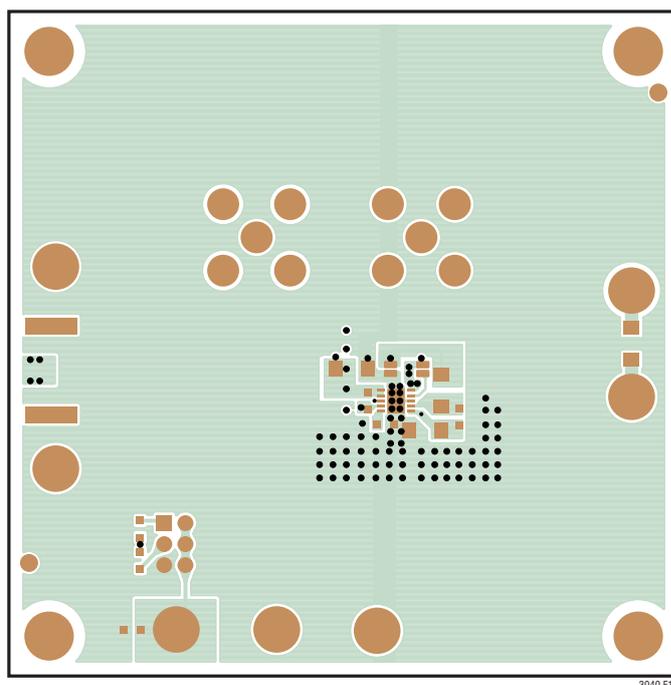


図 12. DFNのレイアウトの例

熱に関する検討事項

LT3040は、過負荷状態でデバイスを保護する電力制限回路および熱制限回路を内蔵しています。サーマル・シャットダウン温度は名目上162°Cで、約8°Cのヒステリシスが組み込まれています。通常の連続負荷条件では、最大ジャンクション温度(EグレードとIグレードでは125°C)を超えないようにしてください。接合部から周囲までの全ての熱抵抗について検討することが重要です。熱抵抗には、接合部-ケース間、ケース-ヒートシンク接続部間、アプリケーションによって決まるヒートシンク抵抗(つまり回路基板-周辺間)があります。更に、LT3040のごく近くの熱抵抗を全て検討します。

アプリケーション情報

DFNパッケージとMSOPパッケージの下側には、露出した金属部分がリード・フレームからダイ・アタッチにわたって存在します。どちらのパッケージを使っても、ダイの接合からPCBの金属に熱が直接伝わり、最大動作ジャンクション温度を抑制できます。デュアルインラインのピン配置のおかげで、PCBの上面(部品側)でパッケージの端を越えて金属を伸ばすことができます。

表面実装デバイスの場合、PCBとその銅パターンの熱分散能力を利用して放熱を実現します。レギュレータが発生する熱を分散するのに、銅基板硬化材とメッキ・スルーホールを利用することもできます。

一定の基板寸法の銅箔面積に対する熱抵抗を表2と表3に示します。全ての測定は、静止空気中で、1オンスの切れ目のない内部プレーンと2オンスの上下プレーンを有し、合計のボード厚が1.6mmの4層FR-4ボードで行いました。4つの層にはサーマル・ビアが存在せず、電気的に絶縁されていました。PCBの層数、銅箔の重量、基板レイアウトおよびサーマル・ビアが熱抵抗の値に影響を与えます。熱抵抗と高熱伝導性テスト・ボードの詳細については、JEDEC規格のJESD51、特にJESD51-7およびJESD51-12を参照してください。低い熱抵抗を実現するには、細部にわたって注意深くPCBレイアウトを設計する必要があります。

表2. DFNパッケージでの熱抵抗測定値

銅面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	34°C/W
1000mm ²	2500mm ²	2500mm ²	34°C/W
225mm ²	2500mm ²	2500mm ²	35°C/W
100mm ²	2500mm ²	2500mm ²	36°C/W

*デバイスは上面に取り付けられています。

表3. MSOPパッケージでの熱抵抗測定値

銅面積		基板面積	熱抵抗
上面*	底面		
2500mm ²	2500mm ²	2500mm ²	33°C/W
1000mm ²	2500mm ²	2500mm ²	33°C/W
225mm ²	2500mm ²	2500mm ²	34°C/W
100mm ²	2500mm ²	2500mm ²	35°C/W

*デバイスは上面に取り付けられています。

ジャンクション温度の計算

例：出力電圧が2.5V、電源電圧が5V±5%、出力電流範囲が1mA～200mA、最大周囲温度が85°Cとすると、最大ジャンクション温度は何度でしょうか。

LT3040の消費電力は、次式で求められます。

$$I_{OUT(MAX)} \cdot (V^+_{(MAX)} - V_{OUT}) + I_{GND} \cdot V^+_{(MAX)}$$

ここで、

$$I_{OUT(MAX)} = 200\text{mA} \quad V^+_{(MAX)} = 5.25\text{V}$$

$$I_{GND} \text{ (at } I_{OUT} = 200\text{mA and } V^+ = 5.25\text{V)} = 7.2\text{mA}$$

したがって次のようになります。

$$P_{DISS} = 0.2\text{A} \cdot (5.25\text{V} - 2.5\text{V}) + 7.2\text{mA} \cdot 5.25\text{V} = 0.59\text{W}$$

DFNパッケージを使う場合、熱抵抗の範囲は、銅の面積に応じて34°C/W～36°C/Wになります。したがって、周囲温度を超えるジャンクション温度の上昇分はおおよ次のようになります。

$$0.59\text{W} \cdot 35^\circ\text{C/W} = 20.7^\circ\text{C}$$

最大ジャンクション温度は、最大周囲温度と周囲温度を超える接合部の最大上昇温度の和に等しく、次のようになります。

$$T_{JMAX} = 85^\circ\text{C} + 20.7^\circ\text{C} = 105.7^\circ\text{C}$$

過負荷状態からの回復

多くのICパワー・レギュレータと同様、LT3040は安全動作領域(SOA)の保護機能を内蔵しています。SOA保護回路は、電源-出力間の電圧差が12Vを超えると作動します。SOA保護回路により、電源-出力間電圧差が増加するにつれて電流制限値が減少し、パワー・トランジスタは、電源-出力間電圧の全ての値についてLT3040の絶対最大定格まで安全動作領域内に保たれます。LT3040は、電源-出力間の電圧差の全ての値について、一定レベルの出力電流を供給します。代表的な性能特性セクションの電流制限の曲線を参照してください。電源が初めて投入されて電源電圧が上昇すると、出力は電源に追従して電源-出力間電圧差は小さい値に保たれ、レギュレータは大量の出力電流を供給し、大電流負荷に対して起動できます。

アプリケーション情報

ただし、 f の字電流制限により、出力電圧が低く、負荷電流が大きい場合、高い電源電圧で問題が発生することがあります。このような状況が発生するのは、短絡状態が解消された後か、電源電圧が既に投入された後にEN/UVピンをハイにした場合です。このような場合の負荷曲線は出力電流のプロファイルと2点で交わります。このときには、レギュレータの動作点が安定する箇所が2点存在します。このように2つの交点があるので、出力を回復するには、電源を一旦0Vにしてから再度立ち上げることが必要な場合があります。 f の字電流制限保護回路を内蔵した他のリニア電圧レギュレータ(LT1965、LT1963Aなど)もこの現象を示すので、LT3040に特有の状況ではありません。

保護機能

LT3040は、バッテリー駆動アプリケーション向けにいくつかの保護機能を搭載しています。高精度の電流制限機能および熱過負荷保護機能により、LT3040は出力での過負荷状態および障害状態に対して保護されます。通常動作では、ジャンクション温度が 125°C (Eグレード、Iグレード)を超えないようにしてください。

LT3040の低ノイズ・エラー・アンプを保護するため、 $V_{\text{IN}}-V_{\text{FB}}$ 間保護クランプは V_{IN} と V_{FB} の間の最大電圧を $\pm 1.5\text{V}$ 、クランプを流れる最大DC電流を 20mA に制限します。そのため、電圧源が V_{IN} をアクティブに駆動するアプリケーションの場合、その電圧源を 20mA 以下に電流制限する必要があります。更に、過渡障害条件中にこれらのクランプを流れる過渡電流を制限するため、 V_{IN} ピン・コンデンサ(C_{IN})の最大値を $22\mu\text{F}$ に制限します。

LT3040は、電源電流を流すこともOUTピンに負電圧を生じさせることもなく V^+ ピンが -20V までの逆電圧に耐える逆電源保護も内蔵しています。本デバイスは、逆差したバッテリーに対して自分自身と負荷の両方を保護します。

バックアップ用バッテリーが必要な回路では、電源の状態に応じて各種の出力を生成できます。電源がGNDに接続している場合、何らかの中間電圧に接続している場合、開路状態にされている場合のいずれでも、出力電圧を維持できます。これらの全ての場合に、逆電流保護回路は出力から電源に電流が流れることを防ぎます。

それにもかかわらず、 $V_{\text{FB}}-V_{\text{IN}}$ クランプに起因して、 V_{IN} ピンがフロート状態でない限り、電流は出力オーバーシュート回復回路を通してGNDに最大 15mA 流れるだけでなく、バイパス抵抗を通してGNDに流れることができます。この出力オーバーシュート回復回路を通る電流は、アノードを V_{FB} ピンに接続して V_{FB} ピンと V_{IN} ピンの間にショットキー・ダイオードを配置することで大幅に低減できます。

長時間ドリフト

長時間ドリフトとは、デバイスが動作している間にオフセット電圧が落ち着くことを意味します。オフセットは μV のレベルでゆっくりドリフトします。電源を投入して最初の1000時間に最大のシフトが観測されます。3000時間を経過するまでにほとんどのデバイスは落ち着き、目に見えて変化することはなくなります。図13のグラフは、LT3040の長時間ドリフトの代表例です。

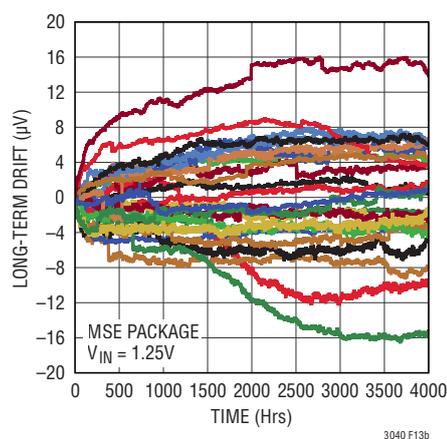
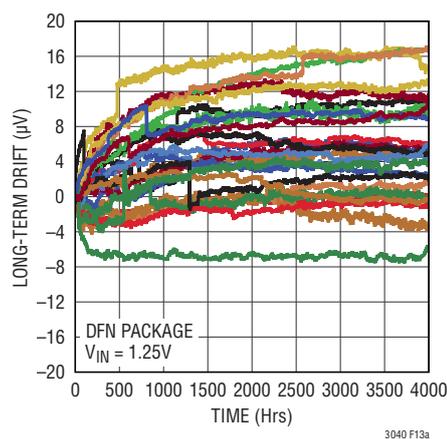


図13. LT3040の長時間ドリフト

アプリケーション情報

IRリフロー・シフト

多くの高精度デバイスと同様に、PCBにハンダ処理した場合、LT3040のオフセット電圧はシフトします。このシフトは、ダイとダイの下の銅パッドに対するプラスチック・モールド・コンパウンドの不均等な収縮と膨張に起因します。回路内の重要な素子は物理的な力(圧力)の変化にさらされます。この力は素子の電気的特性を変化させ、ひいては回路の挙動をわずかに変化させます。鉛フリー・ハンダのリフロー・プロファイルは250°C以上に達します。これは鉛ベースのハンダよりかなり高い温度です。図14に、代表的な鉛フリーIRリフロー・プロファイルを示します。図15に、このシフトのシミュレーションの実験結果を示します。この実験では、LT3040をIRリフロー炉に1回通しています。

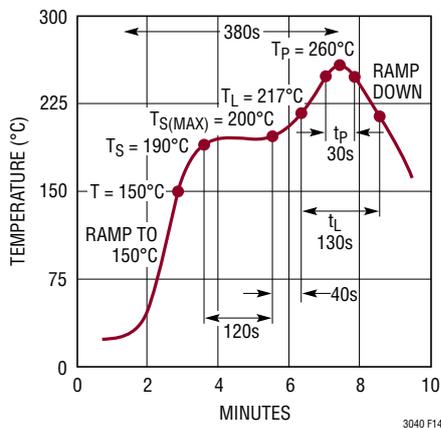


図14. IRリフロー・プロファイル

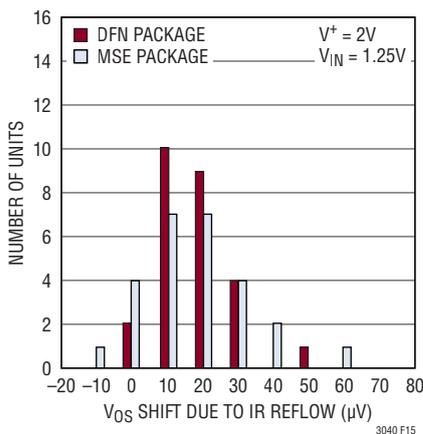


図15. IRリフローによる ΔV_{OS}

熱ヒステリシス

熱ヒステリシスは、IRリフロー・シフトと同じ原因によって生じます。しかし、熱ヒステリシスの場合、仕様規定された極値の間で温度を交互に変化させ、最大の温度変位を経験させ、次に室温に戻した際のデバイスの挙動をシミュレートしています。例えば、-40°C~125°Cで仕様規定されたLT3040に対して、125°Cと-40°Cの間で繰り返し温度サイクルを実行しました。図16に、LT3040の熱ヒステリシスを示します。この図で、低温および高温サイクルの後、本デバイスが25°Cを通過するたびにオフセット電圧を記録しました。

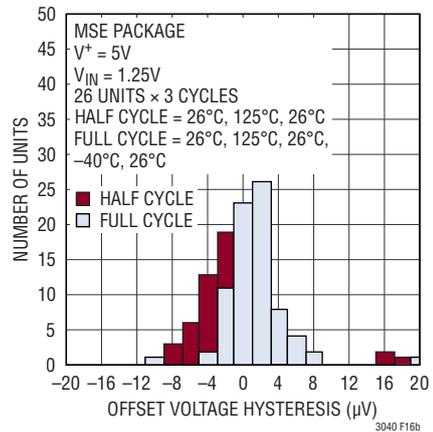
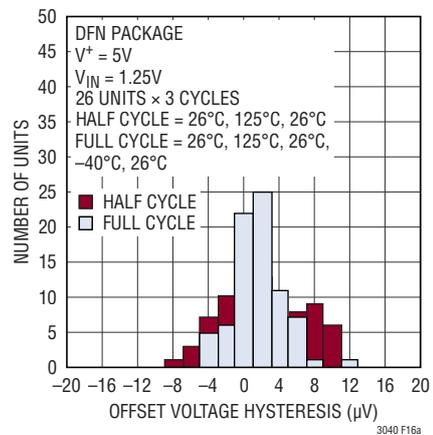
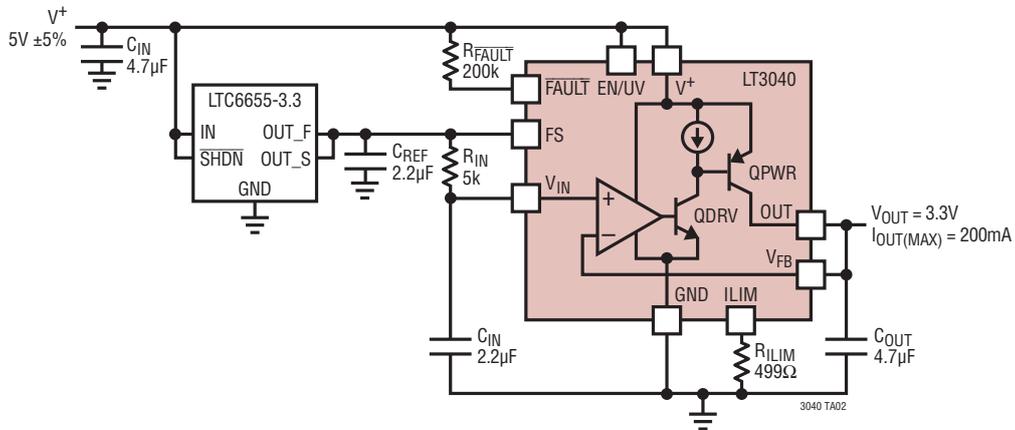


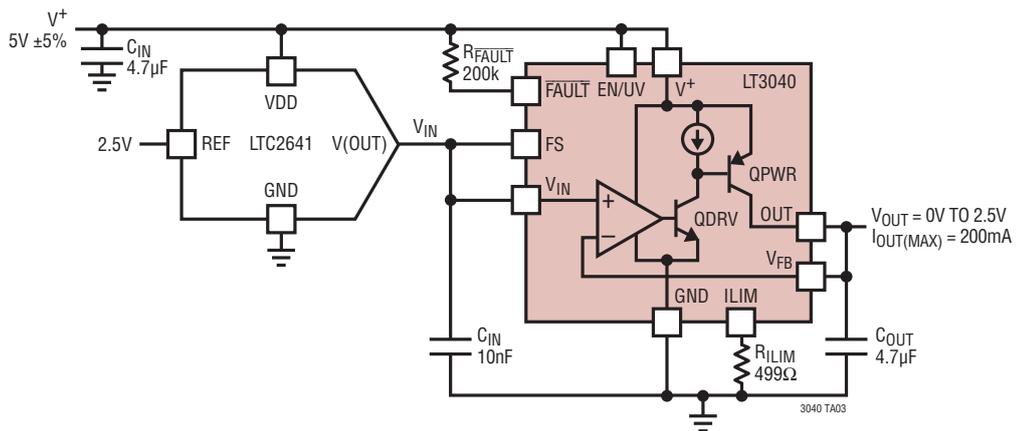
図16. 入力オフセットの熱ヒステリシス

標準的応用例

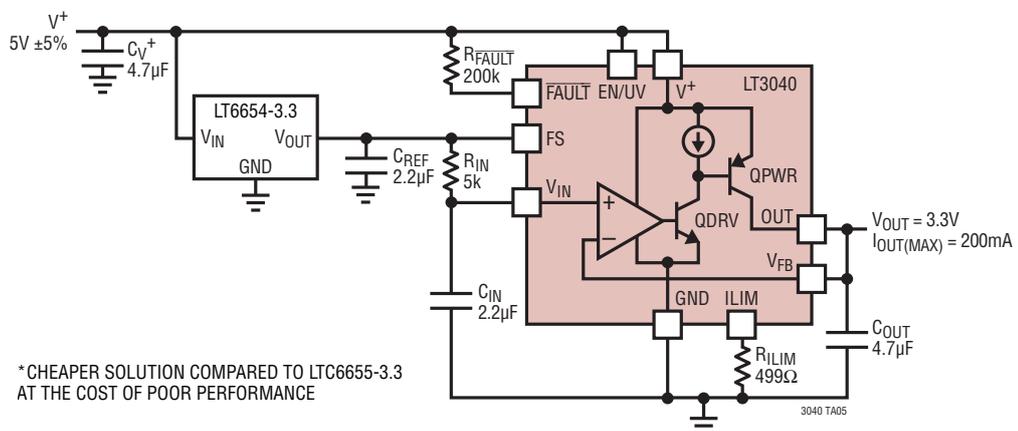
200mA 3.3V 高精度リファレンス



200mA 0V~2.5V 高精度 DAC

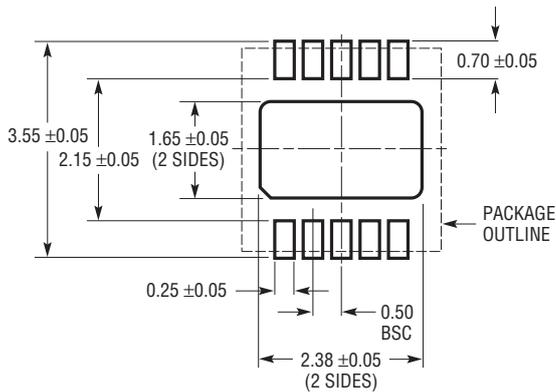


200mA 3.3V 高精度リファレンス*

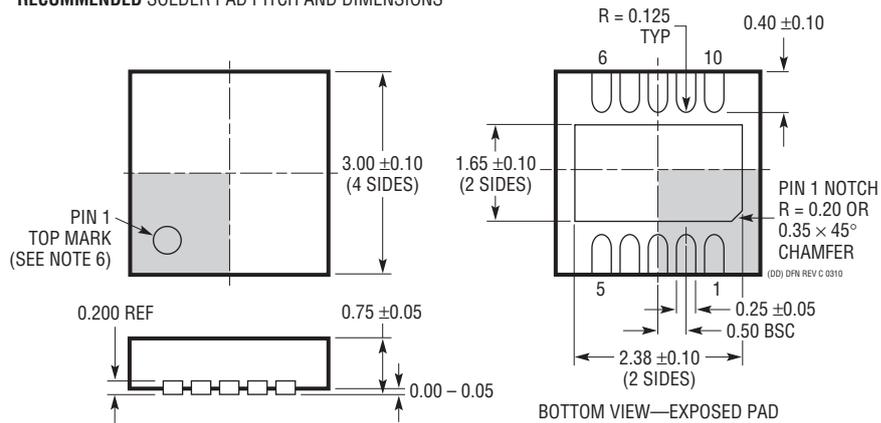


*CHEAPER SOLUTION COMPARED TO LTC6655-3.3 AT THE COST OF POOR PERFORMANCE

DD Package
10-Lead Plastic DFN (3mm × 3mm)
 (Reference LTC DWG # 05-08-1699 Rev C)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS

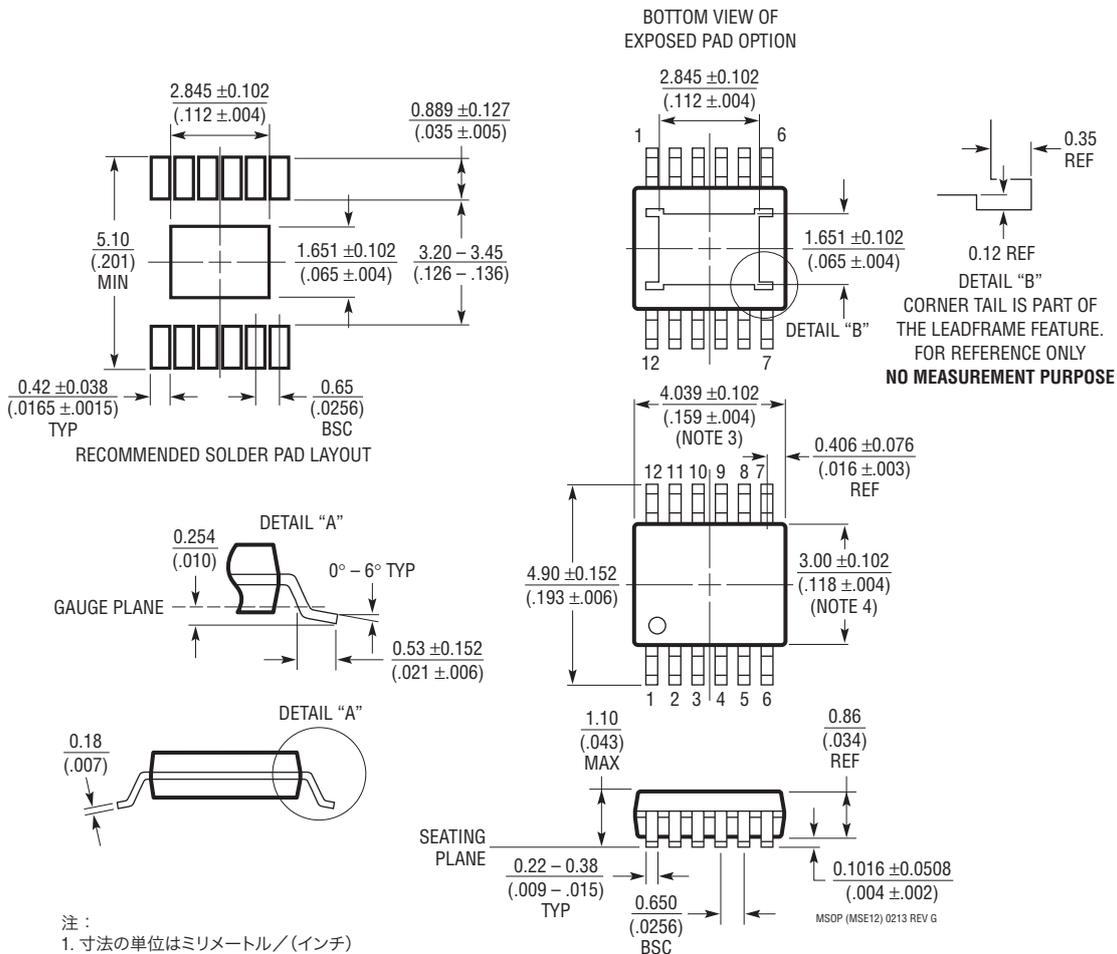


注：

1. 図は JEDEC のパッケージ外形 MO-229 のバリエーション (WEED-2) になる予定。
バリエーションの指定の現状については弊社 Web サイトのデータシートを参照
2. 図は実寸とは異なる
3. 全ての寸法の単位はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリ (存在する場合) はどの側でも 0.15mm を超えないこと
5. 露出パッドはハンダ・メッキとする
6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

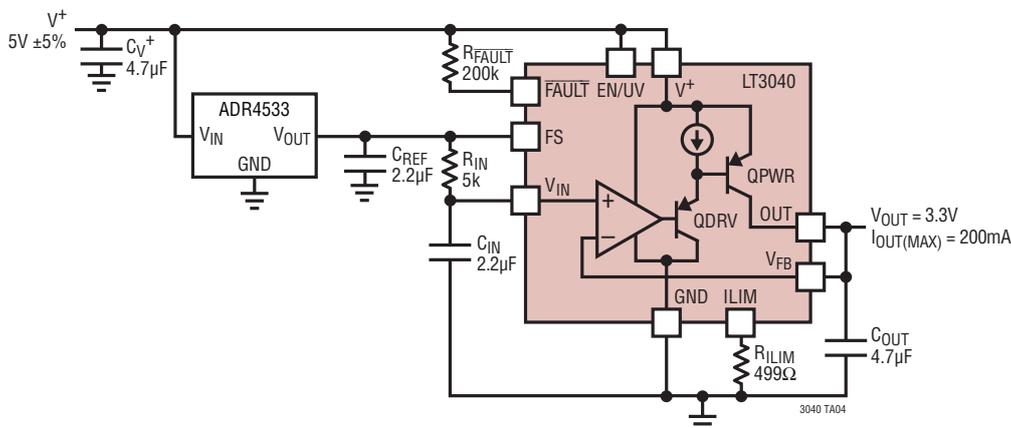
パッケージ

MSE Package
12-Lead Plastic MSOP, Exposed Die Pad
 (Reference LTC DWG # 05-08-1666 Rev G)



- 注：
1. 寸法の単位はミリメートル/（インチ）
 2. 図は実寸とは異なる
 3. 寸法にはモールドのバリ、突出部、ゲートのバリを含まない。
モールドのバリ、突出部、ゲートのバリは片側で 0.152mm (0.006 インチ) を超えないこと
 4. 寸法にはリード間のバリと突出部を含まない。
リード間のバリと突出部は片側で 0.152mm (0.006 インチ) を超えないこと
 5. リードの平坦度（整形後のリードの底面）は最大 0.102mm (0.004 インチ) であること
 6. 露出パッドの寸法にはモールドのバリを含む。露出パッド上のモールドのバリは、各サイドで 0.254mm (0.010 インチ) を超えないこと

標準的応用例



関連製品

製品番号	説明	注釈
LT3050	100mA LDO、診断および高精度電流制限機能付き	ドロップアウト電圧: 340mV、低ノイズ: 30µVRMS、V _{IN} : 1.8V~45V、3mm × 2mm DFN および MSOP パッケージ
LT3060	100mA 低ノイズ LDO、ソフト・スタート機能付き	ドロップアウト電圧: 300mV、低ノイズ: 30µVRMS、V _{IN} : 1.8V~45V、2mm × 2mm DFN および ThinSOT パッケージ
LT3082	200mA、並列接続可能、低ノイズの LDO	出力電流の増強または熱の分散のために出力を並列接続可能、広い入力電圧範囲: 1.2V~40V、小さな値の入力/出力コンデンサに対応: 2.2µF、抵抗 1 本で出力を設定、8ピン SOT-23、3ピン SOT-223、8ピン 3mm × 3mm DFN パッケージ
LT3085	500mA、並列接続可能、低ノイズ、低ドロップアウトのリニア電圧レギュレータ	ドロップアウト電圧: 275mV (2電源動作)、低ノイズ: 40µVRMS、V _{IN} : 1.2V~36V、V _{OUT} : 0V~35.7V、電流ベースのリファレンス、抵抗 1 本で V _{OUT} を設定、直接並列接続可能 (オペアンプ不要)、セラミックコンデンサで安定、MS8E および 2mm × 3mm DFN-6 パッケージ
LT3042	200mA、超低ノイズ、超高 PSRR の LDO	ノイズ: 0.8µVRMS、PSRR: 79dB (1MHz 時)、V _{IN} : 1.8V~20V、ドロップアウト電圧: 350mV、プログラマブルな電流制限およびパワーグッド、3mm × 3mm DFN および MSOP パッケージ
LT6658	36V、2出力 (150mA/50mA)、低ノイズ、バッファ付き電圧リファレンス	0.05% (最大値)、ドリフト: 10ppm/°C (最大値)、ノイズ: 1.5ppm _{p-p} (0.1Hz~10Hz)、1.2V/1.8V/2.5V/3.3V/5V バージョン、MSOP-16E パッケージ
LTC6655	高精度低ノイズのリファレンス	2ppm/°C (最大値)、ノイズ: 650nV _{p-p} (0.1Hz~10Hz)、25°C、-40°C、125°C で全数テストを実施済み
LTC2641	シングル 16/14/12 ビット V _{OUT} DAC、±1LSB INL/DNL	INL/DNL: ±1LSB 以下、3mm × 3mm DFN および MSOP パッケージ、電源電流: 120µA、SPI インターフェース