

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月2日

製品名：LT3097

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：11 ページ、右の段、下から 15 行目

【誤】

使用しない場合は ENP/UVP を INP に接続します。

【正】

使用しない場合は ENN/UVN を INN に接続します。

デュアル500mA、正／負、超低ノイズ、 超高 PSRR 低ドロップアウト・リニア 電圧レギュレータ

特長

- ▶ 超低出力 RMS ノイズ：0.8μVrms (10Hz~100kHz)
- ▶ 超低出力ノイズ・スペクトル密度：2nV/√Hz (正) および 2.2nV/√Hz (負) (10kHz 時)
- ▶ 超低 1/f ノイズ：10μVp-p (正) および 3.2μVp-p (負) (0.1Hz~10Hz)
- ▶ 超高 PSRR：76dB (正) および 74dB (負) (1MHz 時)
- ▶ 出力電流：500mA
- ▶ 広い入力電圧範囲：±1.8V~±20V
- ▶ 1チャンネルあたり1つのコンデンサによるノイズと PSRR の改善
- ▶ SET ピン電流：100μA、初期精度±1%
- ▶ 1チャンネルあたり1つの抵抗による出力電圧のプログラミング
- ▶ プログラマブルな電流制限
- ▶ 低ドロップアウト電圧：260mV (正) および 235mV (負)
- ▶ 出力電圧範囲：0V~15V (正) および 0V~-19.5V (負)
- ▶ プログラマブルなパワー・グッド
- ▶ 高速スタートアップ機能
- ▶ 高精度イネーブル／低電圧ロックアウト (UVLO)
- ▶ フォールドバックによる電流制限機能を搭載
- ▶ 最小出力コンデンサ：10μF セラミック
- ▶ 小型、低背型 22 ピン、6mm × 3mm、プラスチック DFN パッケージ

代表的なアプリケーション

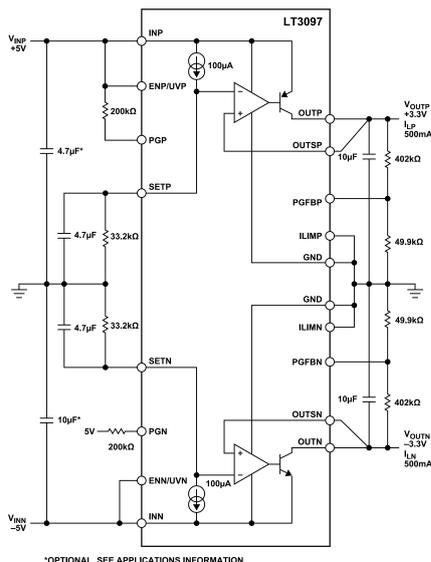


図 1. 代表的なアプリケーション

アプリケーション

- ▶ バイポーラ超低ノイズ電源
- ▶ RF 電源：フェーズロック・ループ、電圧制御発振器、ミキサー、低ノイズ・アンプ、パワー・アンプ
- ▶ 低ノイズ計測器
- ▶ 高速かつ高精度のデータ・コンバータ
- ▶ 医療用アプリケーション：イメージングと診断
- ▶ 高精度電源
- ▶ スイッチング電源用のポストレギュレータ

概要

LT3097 は、デュアル正／負、高性能低ドロップアウト・リニア電圧レギュレータで、ノイズに敏感なアプリケーションへの給電用に、超低ノイズと超高電源電圧変動除去比 (PSRR) を実現するアナログ・デバイゼスのアーキテクチャを搭載しています。各レギュレータが、260mV/235mV (正／負) のドロップアウト電圧 (代表値) で最大 500mA を供給します。

動作時の静止電流は公称値で 2.2mA/2.35mA (正／負) であり、シャットダウン時には 0.3μA/3μA (正／負) まで低下します。LT3097 のエラー・アンプは出力電圧範囲が広く (正側 0V~15V、負側 0V~-19.5V)、ユニティ・ゲインで動作し、プログラミングされた出力電圧に関係なく、ほぼ一定の出力ノイズ、PSRR、帯域幅、および負荷レギュレーションを実現します。

LT3097 は、チャンネルごとに最小 10μF のセラミック出力コンデンサを使用することで、安定動作します。内蔵保護機能として、フォールドバック付き内部電流制限とヒステリシス付き温度制限を備えています。正電圧レギュレータは、バッテリー逆接続保護機能と逆方向電流保護機能も備えています。LT3097 は、熱特性が改善された 22 ピン 6mm × 3mm のプラスチック製デュアルフラット・リードなし (DFN) パッケージを採用しています。

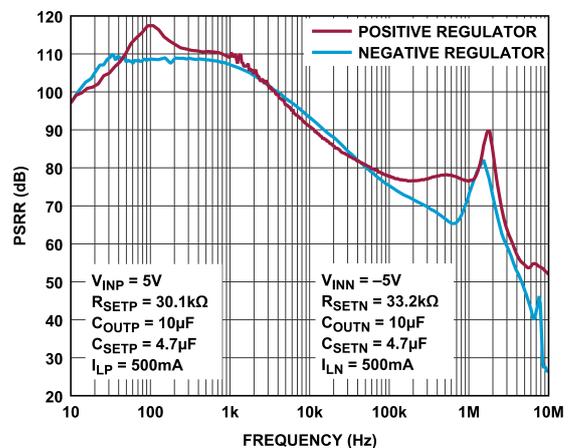


図 2. PSRR と周波数の関係

目次

特長.....	1	高速スタートアップ.....	38
代表的なアプリケーション.....	1	ENP/UVP.....	38
アプリケーション.....	1	ENN/UVN.....	38
概要.....	1	正側レギュレータのプログラマブルなパワー・グッド.....	39
仕様.....	3	負側レギュレータのプログラマブルなパワー・グッド.....	39
電気的特性.....	3	正側レギュレータの外部でプログラマブルな電流制限.....	39
絶対最大定格.....	9	負側レギュレータの外部でプログラマブルな電流制限.....	39
ESDに関する注意.....	9	正側出力のオーバーシュート回復.....	40
ピン配置およびピン機能の説明.....	10	負側出力のオーバーシュート回復.....	40
代表的な性能特性.....	13	PCB レイアウト時の考慮事項.....	40
動作原理.....	33	熱に対する考慮事項.....	40
アプリケーション情報.....	34	ジャンクション温度の計算.....	41
出力電圧.....	34	過負荷からの回復.....	41
出力検出とその安定性.....	35	保護機能.....	42
安定性と出力容量.....	35	代表的なアプリケーション回路.....	43
振動の大きい環境.....	36	関連製品.....	44
安定性と入力容量.....	37	外形寸法.....	45
PSRR と入力容量.....	37	オーダー・ガイド.....	45
高周波スパイクのフィルタ処理.....	37	評価用ボード.....	45
出力ノイズ.....	37		
SETP/SETN ピンの (バイパス) 容量 : ノイズ、PSRR、過渡応答、ソフトスタート.....	38		

改訂履歴

3/2023—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、最大値と最小値に対しジャンクション温度 (T_j) = $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、代表値に対し周囲温度 (T_A) = 25°C 、出力容量 (C_{OUT}) = $10\mu\text{F}$ のセラミック・コンデンサ、SET 容量 (C_{SET}) = $4.7\mu\text{F}$ 。

表 1. 電気的特性

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POSITIVE INPUT VOLTAGE (V_{INP}) RANGE		2		20	V
NEGATIVE INPUT VOLTAGE (V_{INN}) RANGE		-20		-2.3	V
MINIMUM INP PIN VOLTAGE ¹	Positive Load Current (I_{LP}) = 500 mA, V_{INP} UVLO rising V_{INP} UVLO hysteresis		1.78 75	2	V mV
MINIMUM INN PIN VOLTAGE ²	Negative Load Current (I_{LN}) = 500 mA, (V_{INN}) UVLO rising V_{INN} UVLO hysteresis	-2.3	-1.8 130		V mV
POSITIVE OUTPUT VOLTAGE (V_{OUTP}) RANGE	$V_{INP} > V_{OUTP}$	0		15	V
NEGATIVE OUTPUT VOLTAGE (V_{OUTN}) RANGE	$V_{INN} < V_{OUTN}$	-19.5		0	V
SETP PIN CURRENT (I_{SETP})	$V_{INP} = 2\text{ V}$, $I_{LP} = 1\text{ mA}$, $V_{OUTP} = 1.3\text{ V}$, $T_A = 25^{\circ}\text{C}$ $2\text{ V} < V_{INP} < 20\text{ V}$, $0\text{ V} < V_{OUTP} < 15\text{ V}$, $1\text{ mA} < I_{LP} < 500\text{ mA}$ ³	99 98	100 100	101 102	μA μA
SETN PIN CURRENT (I_{SETN})	$V_{INN} = -2.3\text{ V}$, $I_{LN} = 1\text{ mA}$, $V_{OUTN} = -1.5\text{ V}$, $T_A = 25^{\circ}\text{C}$ $-20\text{ V} < V_{INN} < -2.3\text{ V}$, $-19.5\text{ V} < V_{OUTN} < 0\text{ V}$, $1\text{ mA} < I_{LN} < 500\text{ mA}$ ⁴	99 98	100 100	101 102	μA μA
POSITIVE FAST STARTUP I_{SETP}	PGFBP voltage (V_{PGFBP}) = 289 mV, $V_{INP} = 2.8\text{ V}$, SETP voltage (V_{SETP}) = 1.3 V		2		mA
NEGATIVE FAST STARTUP I_{SETN}	PGFBN voltage (V_{PGFBN}) = -286 mV, $V_{INN} = -2.3\text{ V}$, SETN voltage (V_{SETN}) = -1.5 V		1.8		mA
POSITIVE OUTPUT OFFSET VOLTAGE, V_{OSP} ($V_{OUTP} - V_{SETP}$) ⁵	$V_{INP} = 2\text{ V}$, $I_{LP} = 1\text{ mA}$, $V_{OUTP} = 1.3\text{ V}$, $T_A = 25^{\circ}\text{C}$ $2\text{ V} < V_{INP} < 20\text{ V}$, $0\text{ V} < V_{OUTP} < 15\text{ V}$, $1\text{ mA} < I_{LP} < 500\text{ mA}$ ³	-1 -2		+1 +2	mV mV
NEGATIVE OUTPUT OFFSET VOLTAGE, V_{OSN} ($V_{OUTN} - V_{SETN}$) ⁶	$V_{INN} = -2.3\text{ V}$, $I_{LN} = 1\text{ mA}$, $V_{OUTN} = -1.5\text{ V}$, $T_A = 25^{\circ}\text{C}$ $-20\text{ V} < V_{INN} < -2.3\text{ V}$, $-19.5\text{ V} < V_{OUTN} < 0\text{ V}$, $1\text{ mA} < I_{LN} < 500\text{ mA}$ ⁴	-1 -2		+1 +2	mV mV
POSITIVE LINE REGULATION ΔI_{SETP} ΔV_{OSP}	$V_{INP} = 2\text{ V}$ to 20 V, $I_{LP} = 1\text{ mA}$, $V_{OUTP} = 1.3\text{ V}$ $V_{INP} = 2\text{ V}$ to 20 V, $I_{LP} = 1\text{ mA}$, $V_{OUTP} = 1.3\text{ V}$ ⁵		0.5 0.5	± 2 ± 3	nA/V $\mu\text{V/V}$
NEGATIVE LINE REGULATION ΔI_{SETN} ΔV_{OSN}	$V_{INN} = -2.3\text{ V}$ to -20 V, $I_{LN} = 1\text{ mA}$, $V_{OUTN} = -1.5\text{ V}$ $V_{INN} = -2.3\text{ V}$ to -20 V, $I_{LN} = 1\text{ mA}$, $V_{OUTN} = -1.5\text{ V}$ ⁶		0.5 0.5	± 5 ± 6	nA/V $\mu\text{V/V}$
POSITIVE LOAD REGULATION ΔI_{SETP} ΔV_{OSP}	$I_{LP} = 1\text{ mA}$ to 500 mA, $V_{INP} = 2\text{ V}$, $V_{OUTP} = 1.3\text{ V}$ $I_{LP} = 1\text{ mA}$ to 500 mA, $V_{INP} = 2\text{ V}$, $V_{OUTP} = 1.3\text{ V}$ ⁵		3 0.1	0.5	nA mV
NEGATIVE LOAD REGULATION ΔI_{SETN} ΔV_{OSN}	$I_{LN} = 1\text{ mA}$ to 500 mA, $V_{INN} = -2.3\text{ V}$, $V_{OUTN} = -1.5\text{ V}$ $I_{LN} = 1\text{ mA}$ to 500 mA, $V_{INN} = -2.3\text{ V}$, $V_{OUTN} = -1.5\text{ V}$ ⁶		0.1 0.03	0.5	nA mV
CHANGE IN I_{SETP} WITH V_{SETP}	$V_{SETP} = 1.3\text{ V}$ to 15 V, $V_{INP} = 20\text{ V}$, $I_{LP} = 1\text{ mA}$ $V_{SETP} = 0\text{ V}$ to 1.3 V, $V_{INP} = 20\text{ V}$, $I_{LP} = 1\text{ mA}$		30 150	400 600	nA nA
CHANGE IN I_{SETN} WITH V_{SETN}	$V_{SETN} = -1.5\text{ V}$ to -19.5 V, $V_{INN} = -20\text{ V}$, $I_{LN} = 1\text{ mA}$ $V_{SETN} = 0\text{ V}$ to -1.5 V, $V_{INN} = -20\text{ V}$, $I_{LN} = 1\text{ mA}$		100 150	850 500	nA nA
CHANGE IN V_{OSP} WITH V_{SETP}	$V_{SETP} = 1.3\text{ V}$ to 15 V, $V_{INP} = 20\text{ V}$, $I_{LP} = 1\text{ mA}$ ⁵		0.03	0.6	mV

仕様

表 1. 電気的特性 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CHANGE IN V_{OSN} WITH V_{SETN}	$V_{SETP} = 0\text{ V to }1.3\text{ V}$, $V_{INP} = 20\text{ V}$, $I_{LP} = 1\text{ mA}$ ⁵		0.3	2	mV
	$V_{SETN} = -1.5\text{ V to }-19.5\text{ V}$, $V_{INN} = -20\text{ V}$, $I_{LN} = 1\text{ mA}$ ⁶		0.02	0.5	mV
	$V_{SETN} = 0\text{ V to }-1.5\text{ V}$, $V_{INN} = -20\text{ V}$, $I_{LN} = 1\text{ mA}$ ⁶		0.15	2	mV
POSITIVE DROPOUT VOLTAGE ⁷	$I_{LP} = 1\text{ mA and }50\text{ mA}$, $T_A = 25^\circ\text{C}$		220	275	mV
	$I_{LP} = 1\text{ mA and }50\text{ mA}$			330	mV
	$I_{LP} = 300\text{ mA}$, $T_A = 25^\circ\text{C}$		220	280	mV
	$I_{LP} = 300\text{ mA}$			350	mV
	$I_{LP} = 500\text{ mA}$, $T_A = 25^\circ\text{C}$		260	350	mV
	$I_{LP} = 500\text{ mA}$			450	mV
NEGATIVE DROPOUT VOLTAGE ⁸	$I_{LN} = 1\text{ mA and }50\text{ mA}$, $T_A = 25^\circ\text{C}$		185	225	mV
	$I_{LN} = 1\text{ mA and }50\text{ mA}$			275	mV
	$I_{LN} = 100\text{ mA}$, $T_A = 25^\circ\text{C}$		185	230	mV
	$I_{LN} = 100\text{ mA}$			280	mV
	$I_{LN} = 500\text{ mA}$, $T_A = 25^\circ\text{C}$		225	310	mV
	$I_{LN} = 500\text{ mA}$			410	mV
POSITIVE GND PIN CURRENT, $V_{INP} = V_{OUTP}$ (NOMINAL) ⁹	$I_{LP} = 10\text{ }\mu\text{A}$		2.2		mA
	$I_{LP} = 1\text{ mA}$		2.4	4	mA
	$I_{LP} = 50\text{ mA}$		3.5	5.5	mA
	$I_{LP} = 100\text{ mA}$		4.3	7	mA
	$I_{LP} = 500\text{ mA}$		15	25	mA
NEGATIVE GND PIN CURRENT, $V_{INN} = V_{OUTN}$ (NOMINAL) ¹⁰	$I_{LN} = 10\text{ }\mu\text{A}$		2.35		mA
	$I_{LN} = 1\text{ mA}$		2.4	4	mA
	$I_{LN} = 50\text{ mA}$		3.1	5.5	mA
	$I_{LN} = 100\text{ mA}$		3.8	6.5	mA
	$I_{LN} = 500\text{ mA}$		12	23	mA
POSITIVE OUTPUT NOISE ^{5, 11}	$I_{LP} = 500\text{ mA}$, frequency = 10 Hz, $C_{SETP} = 0.47\text{ }\mu\text{F}$, $V_{OUTP} = 3.3\text{ V}$		500		nV/ $\sqrt{\text{Hz}}$
	$I_{LP} = 500\text{ mA}$, frequency = 10 Hz, $C_{SETP} = 4.7\text{ }\mu\text{F}$, $1.3\text{ V} \leq V_{OUTP} \leq 15\text{ V}$		70		nV/ $\sqrt{\text{Hz}}$
	$I_{LP} = 500\text{ mA}$, frequency = 10 kHz, $C_{SETP} = 0.47\text{ }\mu\text{F}$, $1.3\text{ V} \leq V_{OUTP} \leq 15\text{ V}$		2		nV/ $\sqrt{\text{Hz}}$
	$I_{LP} = 500\text{ mA}$, frequency = 10 kHz, $C_{SETP} = 0.47\text{ }\mu\text{F}$, $0\text{ V} \leq V_{OUTP} < 1.3\text{ V}$		5		nV/ $\sqrt{\text{Hz}}$
NEGATIVE OUTPUT NOISE ^{6, 12}	$I_{LN} = 500\text{ mA}$, frequency = 10 Hz, $C_{SETN} = 0.47\text{ }\mu\text{F}$, $V_{OUTN} = -3.3\text{ V}$		700		nV/ $\sqrt{\text{Hz}}$
	$I_{LN} = 500\text{ mA}$, frequency = 10 Hz, $C_{SETN} = 4.7\text{ }\mu\text{F}$, $-19.5\text{ V} \leq V_{OUTN} \leq -1.5\text{ V}$		70		nV/ $\sqrt{\text{Hz}}$
	$I_{LN} = 500\text{ mA}$, frequency = 10 kHz, $C_{SETN} = 0.47\text{ }\mu\text{F}$, $-19.5\text{ V} \leq V_{OUTN} \leq -1.5\text{ V}$		2.2		nV/ $\sqrt{\text{Hz}}$
	$I_{LN} = 500\text{ mA}$, frequency = 10 kHz, $C_{SETN} = 0.47\text{ }\mu\text{F}$, $-1.5\text{ V} < V_{OUTN} \leq 0\text{ V}$		6		nV/ $\sqrt{\text{Hz}}$
POSITIVE OUTPUT RMS NOISE ^{5, 11}	$I_{LP} = 500\text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETP} = 0.47\text{ }\mu\text{F}$, $V_{OUTP} = 3.3\text{ V}$		2.5		$\mu\text{V rms}$
	$I_{LP} = 500\text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETP} = 4.7\text{ }\mu\text{F}$, $1.3\text{ V} \leq V_{OUTP} \leq 15\text{ V}$		0.8		$\mu\text{V rms}$
	$I_{LP} = 500\text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETP} = 4.7\text{ }\mu\text{F}$, $0\text{ V} \leq V_{OUTP} < 1.3\text{ V}$		1.8		$\mu\text{V rms}$
NEGATIVE OUTPUT RMS NOISE ^{6, 12}	$I_{LN} = 500\text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETN} = 0.47\text{ }\mu\text{F}$, $V_{OUTN} = -3.3\text{ V}$		3		$\mu\text{V rms}$

仕様

表 1. 電気的特性 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	$I_{LN} = 500 \text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETN} = 4.7 \mu\text{F}$, $-19.5 \text{ V} \leq V_{OUTN} \leq -1.5 \text{ V}$		0.8		$\mu\text{V rms}$
	$I_{LN} = 500 \text{ mA}$, bandwidth = 10 Hz to 100 kHz, $C_{SETN} = 4.7 \mu\text{F}$, $-1.5 \text{ V} < V_{OUTN} \leq 0 \text{ V}$		1.8		$\mu\text{V rms}$
POSITIVE OUTPUT PEAK-TO-PEAK 1/F NOISE ^{5, 11}	$I_{LP} = 500 \text{ mA}$, bandwidth = 0.1 Hz to 10 Hz, $C_{SETP} = 4.7 \mu\text{F}$, $V_{OUTP} = 3.3 \text{ V}$		27		$\mu\text{V p-p}$
	$I_{LP} = 500 \text{ mA}$, bandwidth = 0.1 Hz to 10 Hz, $C_{SETP} = 22 \mu\text{F}$, $V_{OUTP} = 3.3 \text{ V}$		10		$\mu\text{V p-p}$
NEGATIVE OUTPUT PEAK-TO-PEAK 1/F NOISE ^{6, 12}	$I_{LN} = 500 \text{ mA}$, bandwidth = 0.1 Hz to 10 Hz, $C_{SETN} = 4.7 \mu\text{F}$, $V_{OUTN} = -3.3 \text{ V}$		6		$\mu\text{V p-p}$
	$I_{LN} = 500 \text{ mA}$, bandwidth = 0.1 Hz to 10 Hz, $C_{SETN} = 22 \mu\text{F}$, $V_{OUTN} = -3.3 \text{ V}$		3.2		$\mu\text{V p-p}$
POSITIVE REFERENCE CURRENT RMS OUTPUT NOISE ^{5, 11}	Bandwidth = 10 Hz to 100 kHz		6		nA rms
NEGATIVE REFERENCE CURRENT RMS OUTPUT NOISE ^{6, 12}	Bandwidth = 10 Hz to 100 kHz		8		nA rms
POSITIVE POWER-SUPPLY REJECTION RATIO (PSRR) $1.3 \text{ V} \leq V_{OUTP} \leq 15 \text{ V}$ ($V_{INP} - V_{OUTP} = 2 \text{ V (Avg)}$) ^{5, 11}	Ripple voltage (V_{RIPPLE}) = 500 mV p-p, ripple frequency (f_{RIPPLE}) = 120 Hz, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 4.7 \mu\text{F}$		117		dB
	$V_{RIPPLE} = 150 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ kHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		90		dB
	$V_{RIPPLE} = 150 \text{ mV p-p}$, $f_{RIPPLE} = 100 \text{ kHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		77		dB
	$V_{RIPPLE} = 150 \text{ mV p-p}$, $f_{RIPPLE} = 1 \text{ MHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		76		dB
	$V_{RIPPLE} = 80 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ MHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		53		dB
$0 \text{ V} \leq V_{OUTP} < 1.3 \text{ V}$ ($V_{INP} - V_{OUTP} = 2 \text{ V (Avg)}$) ^{5, 11}	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 120 \text{ Hz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		104		dB
	$V_{RIPPLE} = 50 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ kHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		85		dB
	$V_{RIPPLE} = 50 \text{ mV p-p}$, $f_{RIPPLE} = 100 \text{ kHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		72		dB
	$V_{RIPPLE} = 50 \text{ mV p-p}$, $f_{RIPPLE} = 1 \text{ MHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		64		dB
	$V_{RIPPLE} = 50 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ MHz}$, $I_{LP} = 500 \text{ mA}$, $C_{SETP} = 0.47 \mu\text{F}$		54		dB
NEGATIVE POWER-SUPPLY REJECTION RATIO (PSRR) $-18 \text{ V} \leq V_{OUTN} \leq -1.5 \text{ V}$ ($V_{INN} - V_{OUTN} = 2 \text{ V (Avg)}$) ^{6, 12}	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 120 \text{ Hz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 4.7 \mu\text{F}$		108		dB
	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ kHz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 0.47 \mu\text{F}$		94		dB
	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 100 \text{ kHz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 0.47 \mu\text{F}$		75		dB
	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 1 \text{ MHz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 0.47 \mu\text{F}$		74		dB
	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 10 \text{ MHz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 0.47 \mu\text{F}$		28		dB
$-1.5 \text{ V} < V_{OUTN} \leq 0 \text{ V}$ ($V_{INN} - V_{OUTN} = 2 \text{ V (Avg)}$) ^{6, 12}	$V_{RIPPLE} = 500 \text{ mV p-p}$, $f_{RIPPLE} = 120 \text{ Hz}$, $I_{LN} = 500 \text{ mA}$, $C_{SETN} = 4.7 \mu\text{F}$		108		dB

仕様

表 1. 電気的特性 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	$V_{RIPPLE} = 500\text{ mV p-p}$, $f_{RIPPLE} = 10\text{ kHz}$, $I_{LN} = 500\text{ mA}$, $C_{SETN} = 0.47\text{ }\mu\text{F}$		90		dB
	$V_{RIPPLE} = 500\text{ mV p-p}$, $f_{RIPPLE} = 100\text{ kHz}$, $I_{LN} = 500\text{ mA}$, $C_{SETN} = 0.47\text{ }\mu\text{F}$		72		dB
	$V_{RIPPLE} = 500\text{ mV p-p}$, $f_{RIPPLE} = 1\text{ MHz}$, $I_{LN} = 500\text{ mA}$, $C_{SETN} = 0.47\text{ }\mu\text{F}$		78		dB
	$V_{RIPPLE} = 500\text{ mV p-p}$, $f_{RIPPLE} = 10\text{ MHz}$, $I_{LN} = 500\text{ mA}$, $C_{SETN} = 0.47\text{ }\mu\text{F}$		30		dB
ENP/UVLP PIN					
Threshold	ENP/UVLP trip-point rising (turn-on), $V_{INP} = 2\text{ V}$	1.18	1.24	1.32	V
Hysteresis	ENP/UVLP trip-point hysteresis, $V_{INP} = 2\text{ V}$		130		mV
Current ($I_{ENP/UVLP}$)	ENP/UVLP voltage ($V_{ENP/UVLP} = 0\text{ V}$, $V_{INP} = 20\text{ V}$)			± 1	μA
	$V_{ENP/UVLP} = 1.24\text{ V}$, $V_{INP} = 20\text{ V}$		0.03		μA
	$V_{ENP/UVLP} = 20\text{ V}$, $V_{INP} = 0\text{ V}$		8	15	μA
ENN/UVN PIN					
Threshold	Positive ENN/UVN trip-point rising (turn-on), $V_{INN} = -2.3\text{ V}$	1.20	1.26	1.35	V
	Negative ENN/UVN trip-point rising (turn-on), $V_{INN} = -2.3\text{ V}$	-1.35	-1.26	-1.20	V
Hysteresis	Positive ENN/UVN trip-point hysteresis, $V_{INN} = -2.3\text{ V}$		200		mV
	Negative ENN/UVN trip-point hysteresis, $V_{INN} = -2.3\text{ V}$		215		mV
Current ($I_{ENN/UVN}$)	ENN/UVN voltage ($V_{ENN/UVN} = 0\text{ V}$, $V_{INN} = -20\text{ V}$)			± 1	μA
	$V_{ENN/UVN} = -1.5\text{ V}$, $V_{INN} = -20\text{ V}$		-0.5		μA
	$V_{ENN/UVN} = -20\text{ V}$, $V_{INN} = -20\text{ V}$	-35	-18.5		μA
	$V_{ENN/UVN} = 1.5\text{ V}$, $V_{INN} = -20\text{ V}$		8		μA
	$V_{ENN/UVN} = 20\text{ V}$, $V_{INN} = 0\text{ V}$		25	45	μA
POSITIVE QUIESCENT CURRENT IN SHUTDOWN ($V_{ENP/UVLP} = 0\text{ V}$)	$V_{INP} = 6\text{ V}$, $T_A = 25^\circ\text{C}$		0.3	1.5	μA
	$V_{INP} = 6\text{ V}$			10	μA
NEGATIVE QUIESCENT CURRENT IN SHUTDOWN ($V_{ENN/UVN} = 0\text{ V}$)	$V_{INN} = -6\text{ V}$, $V_{PGN} = \text{Open}$, $T_A = 25^\circ\text{C}$		3	8	μA
	$V_{INN} = -6\text{ V}$, $V_{PGN} = \text{Open}$			10	μA
POSITIVE CURRENT LIMIT					
Internal ¹³	$V_{INP} = 2\text{ V}$, $V_{OUTP} = 0\text{ V}$	570	710	850	mA
	$V_{INP} = 12\text{ V}$, $V_{OUTP} = 0\text{ V}$		700		mA
	$V_{INP} = 20\text{ V}$, $V_{OUTP} = 0\text{ V}$	230	330	430	mA
Programmable	Programming scale factor: $2\text{ V} < V_{INP} < 20\text{ V}$ ¹⁴		150		mA \times k Ω
	$V_{INP} = 2\text{ V}$, $V_{OUTP} = 0\text{ V}$, $R_{LIMP} = 301\text{ }\Omega$	450	500	550	mA
	$V_{INP} = 2\text{ V}$, $V_{OUTP} = 0\text{ V}$, $R_{LIMP} = 1.5\text{ k}\Omega$	90	100	110	mA
NEGATIVE CURRENT LIMIT					
Internal ¹⁵	$V_{INN} = -2.3\text{ V}$, $V_{OUTN} = 0\text{ V}$	550	750		mA
	$V_{INN} = -12\text{ V}$, $V_{OUTN} = 0\text{ V}$		425		mA
	$V_{INN} = -20\text{ V}$, $V_{OUTN} = 0\text{ V}$	40	85	160	mA
Programmable	Programming scale factor: $-20\text{ V} < V_{INN} < -2.3\text{ V}$ ¹⁶		3.75		A \times k Ω
	$V_{INN} = -2.3\text{ V}$, $V_{OUTN} = 0\text{ V}$, $R_{LIMN} = 7.5\text{ k}\Omega$	450	500	560	mA
	$V_{INN} = -2.3\text{ V}$, $V_{OUTN} = 0\text{ V}$, $R_{LIMN} = 37.5\text{ k}\Omega$	90	105	120	mA
PGFBP PIN					
Trip Point	PGFBP trip-point rising	291	300	309	mV
Hysteresis	PGFBP trip-point hysteresis		7		mV
Current (I_{PGFBP})	$V_{INP} = 2\text{ V}$, $V_{PGFBP} = 300\text{ mV}$		25		nA

仕様

表 1. 電気的特性 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
PGFBN PIN					
Trip Point	PGFBN trip-point rising	288	300	312	mV
Hysteresis	PGFBN trip-point hysteresis		7		mV
Current (I _{PGFBN})	V _{INN} = -2.3 V, V _{PGFBN} = -300 mV		30	100	nA
PGP PIN					
Output Low Voltage	PGP current (I _{PGP}) = 100 μA		30	100	mV
Leakage Current	PGP voltage (V _{PGP}) = 20 V			1	μA
PGN PIN					
Output Low Voltage	PGN current (I _{PGN}) = 100 μA		17	50	mV
Leakage Current	PGN voltage (V _{PGN}) = 20 V			1	μA
POSITIVE MINIMUM LOAD REQUIRED ¹⁷	V _{OUTP} < 1 V	10			μA
NEGATIVE MINIMUM LOAD REQUIRED ¹⁸	V _{OUTN} > -1.5 V			10	μA
POSITIVE THERMAL SHUTDOWN	T _J rising		165		°C
	Hysteresis		8		°C
NEGATIVE THERMAL SHUTDOWN	T _J rising		167		°C
	Hysteresis		8		°C
POSITIVE START-UP TIME	V _{OUTP(NOM)} = 5 V, I _{LP} = 500 mA, C _{SETP} = 0.47 μF, V _{INP} = 6 V, V _{PGFBP} = 6 V		55		ms
	V _{OUTP(NOM)} = 5 V, I _{LP} = 500 mA, C _{SETP} = 4.7 μF, V _{INP} = 6 V, V _{PGFBP} = 6 V		550		ms
	V _{OUTP(NOM)} = 5 V, I _{LP} = 500 mA, C _{SETP} = 4.7 μF, V _{INP} = 6 V, Positive Power-Good 1 resistance (R _{PGP1}) = 50 kΩ, Positive Power-Good 2 resistance (R _{PGP2}) = 700 kΩ (with positive fast start-up to 90% of V _{OUTP})		10		ms
NEGATIVE START-UP TIME	R _{SETN} = 49.9 kΩ, V _{OUTN(NOM)} = -5 V, I _{LN} = 500 mA, C _{SETN} = 0.47 μF, V _{INN} = -6 V, V _{PGFBN} = -6 V		55		ms
	R _{SETN} = 49.9 kΩ, V _{OUTN(NOM)} = -5 V, I _{LN} = 500 mA, C _{SETN} = 4.7 μF, V _{INN} = -6 V, V _{PGFBN} = -6 V		550		ms
	R _{SETN} = 49.9 kΩ, V _{OUTN(NOM)} = -5 V, I _{LN} = 500 mA, C _{SETN} = 4.7 μF, V _{INN} = -6 V, Negative Power-Good 1 resistance (R _{PGN1}) = 50 kΩ, Negative Power-Good 2 resistance (R _{PGN2}) = 700 kΩ (with negative fast start-up to 90% of V _{OUTN})		10		ms
POSITIVE THERMAL REGULATION	10 ms pulse		-0.01		%/W
NEGATIVE THERMAL REGULATION	10 ms pulse		-0.01		%/W
POSITIVE REVERSE CURRENT					
Input	V _{INP} = -20 V, V _{ENP/UVP} = 0 V, V _{OUTP} = 0 V, V _{SETP} = 0 V			150	μA
Output	V _{INP} = 0 V, V _{OUTP} = 5 V, SETP = open, T _A = 25°C		14	25	μA

¹ デバイス動作を確保するために ENP/UVP ピンの閾値を満たす必要があります。

² デバイス動作を確保するために ENN/UVN ピンの閾値を満たす必要があります。

³ 動作条件は最大 T_Jによって制限されます。レギュレーションされた出力電圧の仕様は、入力電圧と出力電流の全ての可能な組み合わせに対して適用可能というわけではありません。特に、内部電流制限フォールドバックにより、V_{INP} - V_{OUTP}が 12V を超えると電流制限の低下が始まります。最大出力電流で動作している場合は、入力電圧範囲を制限してください。最大入力電圧で動作している場合には、出力電流範囲を制限してください。

⁴ 動作条件は最大 T_Jによって制限されます。レギュレーションされた出力電圧の仕様は、入力電圧と出力電流の全ての可能な組み合わせに対して適用可能というわけではありません。特に、内部電流制限フォールドバックにより、V_{OUTN} - V_{INN}が 7V を超えると電流制限の低下が始まります。最大出力電流で動作している場合は、入力電圧範囲を制限してください。最大入力電圧で動作している場合には、出力電流範囲を制限してください。

⁵ OUTSP を OUTP に直接接続。

⁶ OUTSN を OUTN に直接接続。

仕様

- 7 ドロップアウト電圧は、指定の出力電流でレギュレーションを維持するために必要な最小の入出力間電圧差です。ドロップアウト電圧は、出力のレギュレーションが1%外れたときに計測しています。この定義によると、 $V_{INP} = V_{OUTP(NOMINAL)}$ の状態では計測するハード・ドロップアウトよりもドロップアウト電圧が高くなります。出力電圧が1.5Vよりも低い場合、ドロップアウト電圧は最小入力電圧の仕様で制限されます。図30には、代表的なアプリケーション回路で計測された、出力電流の関数としてのドロップアウト電圧を示しています。図32には、代表的なアプリケーション回路で計測された、温度の関数としてのドロップアウト電圧を示しています。
- 8 ドロップアウト電圧は、指定の出力電流でレギュレーションを維持するために必要な最小の入出力間差動電圧です。ドロップアウト電圧は、出力のレギュレーションが1%外れたときに計測しています。この定義によると、 $V_{INN} = V_{OUTN(NOMINAL)}$ の状態では計測するハード・ドロップアウトよりも高いドロップアウト電圧が得られます。出力電圧が0V~-1.8Vの範囲にある場合、ドロップアウト電圧は最小入力電圧の仕様で制限されます。図31には、代表的なアプリケーション回路で計測された、出力電流の関数としてのドロップアウト電圧を示しています。図33には、代表的なアプリケーション回路で計測された、温度の関数としてのドロップアウト電圧を示しています。
- 9 GNDピンの電流は、 $V_{INP} = V_{OUTP(NOMINAL)}$ および電流源負荷の条件で試験しています。そのためLT3097は、GNDピン電流の最も厳しい条件であるドロップアウト動作状態で試験しています。GNDピンの電流は入力電圧が高くなれば減少します。GNDピンの電流にはSETPピンやILIMPピンの電流が含まれていませんが、静止電流はSETPピンとILIMPピンの電流を含んでいます。
- 10 GNDピンの電流は、 $V_{INN} = V_{OUTN(NOMINAL)}$ および電流源負荷の条件で試験しています。そのためLT3097は、GNDピン電流の最も厳しい条件であるドロップアウト動作状態で試験しています。GNDピンの電流は入力電圧が高くなれば減少します。GNDピンの電流にはSETNピンやILIMNピンの電流が含まれていませんが、静止電流はSETNピンとILIMNピンの電流を含んでいます。
- 11 SETPピンの抵抗の両端にコンデンサを追加することにより、正側出力電圧のノイズが抑制されます。このコンデンサの追加により、SETPピンの抵抗の熱ノイズおよび正側のリファレンス電流のノイズがバイパスされます。このため、正側の出力ノイズは正側のエラー・アンプのノイズに等しくなります。SETPピンにバイパス・コンデンサを使用すると、正側の起動時間も増加します。
- 12 SETNピンの抵抗の両端にコンデンサを追加することにより、負側出力電圧のノイズが抑制されます。このコンデンサの追加により、SETNピンの抵抗の熱ノイズおよび負側のリファレンス電流のノイズがバイパスされます。このため、負側の出力ノイズは負側のエラー・アンプのノイズに等しくなります。SETNピンにバイパス・コンデンサを使用すると、負側の起動時間も増加します。
- 13 正側の内部バックアップ電流制限回路にはフォールドバック保護機能があるため、 $V_{INP} - V_{OUTP} > 12V$ で正側の電流制限が減少します。あらゆる $V_{INP} - V_{OUTP}$ の電圧差に対し、何らかのレベルの出力電流が発生します。図56に、 $V_{INP} - V_{OUTP}$ の関数としての電流制限を示しています。
- 14 正側電流制限の設定スケール・ファクタが指定されていますが、内部バックアップ電流制限は有効ではありません。正側電流制限には、 $V_{INP} - V_{OUTP}$ の電圧差が12Vより大きいときのフォールドバック保護があります。
- 15 負側の内部バックアップ電流制限回路にはフォールドバック保護機能があるため、 $V_{OUTN} - V_{INN} > 7V$ で負側の電流制限が減少します。あらゆる $V_{OUTN} - V_{INN}$ の電圧差に対し、何らかのレベルの出力電流が発生します。図57に、 $V_{INN} - V_{OUTN}$ の関数としての電流制限を示しています。
- 16 負側電流制限の設定スケール・ファクタが指定されていますが、内部バックアップ電流制限は有効ではありません。負側電流制限には、 $V_{OUTN} - V_{INN}$ の電圧差が7Vより大きいときのフォールドバック保護があります。
- 17 正側の出力電圧が1Vより低い場合、安定性のため正側のレギュレータには最小10 μ Aの負荷電流が必要です。
- 18 負側の出力電圧が0V~-1.5Vの範囲である場合、安定性のため負側のレギュレータには最小10 μ Aの負荷電流が必要です。

絶対最大定格

表 2. 絶対最大定格

Parameter	Value
INP Pin Voltage	±22 V
INN Pin Voltage	
with Respect to GND Pin	-22 V to +0.3 V
ENP/UVP Pin Voltage	±22 V
ENN/UVN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V to +30 V
with Respect to GND Pin	±22 V
INP-to-ENP/UVP Differential	±22 V
PGP Pin Voltage ²	-0.3 V, +22 V
PGN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V to +30 V
with Respect to GND Pin	-0.3 V to +22 V
ILIMP Pin Voltage ²	-0.3 V, +1 V
ILIMN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V to +22 V
PGFBP Pin Voltage ²	-0.3 V, +22 V
PGFBN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V to +30 V
with Respect to GND Pin	±22 V
SETP Pin Voltage ²	-0.3 V, +16 V
SETP Pin Current ³	±20 mA
SETN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V, +22 V
with Respect to GND Pin	±22 V
SETN Pin Current ⁴	±10 mA
OUTSP Pin Voltage ²	-0.3 V, +16 V
OUTSP Pin Current ³	±20 mA
OUTSN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V, +22 V
with Respect to GND Pin	±22 V
OUTSN Pin Current ⁴	±10 mA
SETN-to-OUTSN Differential ⁵	±22 V
OUTP Pin Voltage ²	-0.3 V, +16 V
OUTN Pin Voltage	
with Respect to INN Pin ¹	-0.3 V, +22 V
with Respect to GND Pin	±22 V
OUTP-to-OUTSP Differential ⁶	±1.2 V
OUTN-to-OUTSN Differential ⁷	±22 V
INP-to-OUTP Differential	±22 V
INP-to-OUTSP Differential	±22 V
Output Short-Circuit Duration	Indefinite
Temperature	
Operating T _J Range ⁸ , A Grade	-40°C to +125°C
Storage Range	-65°C to +150°C

¹ ENN/UVN、ILIMN、PGN、PGFBN、SETN、GND、OUTSN、OUTN の各ピンと INN ピンの間には、内部に寄生ダイオードが存在します。フォルト状態でも、ENN/UVN、ILIMN、PGN、PGFBN、SETN、GND、OUTSN、OUTN の各ピンを INN ピン電圧より 0.3V 以上低くドライブしないようにしてください。ENN/UVN、ILIMN、PGN、PGFBN、SETN、GND、OUTSN、OUTN の各ピンは、通常動作中は INN よりも高い正電圧を保つ必要があります。

² ILIMP、PGP、PGFBP、SETP、OUTSP、OUTP の各ピンと GND ピンの間には、内部に寄生ダイオードが存在します。フォルト状態でも、ILIMP、PGP、PGFBP、SETP、OUTSP、OUTP の各ピンを GND ピン電圧より 0.3V 以上低くドライブしないようにしてください。ILIMP、PGP、PGFBP、SETP、OUTSP、OUTP の各ピンは、通常動作中は GND よりも高い正電圧を保つ必要があります。

³ SETP ピンと OUTSP ピンは、ダイオードと 2 個の 25Ω 直列抵抗でクランプされています。5ms 以下の過渡応答では、このクランプ回路に定格を超える電流が流れる可能性があります。詳細については、[図 122](#) および [保護機能](#) のセクションを参照してください。

⁴ SETN ピンと OUTSN ピンは、ダイオードと 2 個の 400Ω 直列抵抗でクランプされています。5ms 以下の過渡応答では、このクランプ回路に定格を超える電流が流れる可能性があります。詳細については、[図 123](#) および [保護機能](#) のセクションを参照してください。

⁵ SETN ピンと OUTSN ピンの最大電流条件を満たす必要があります。

⁶ OUTP-OUTSP 間の電圧差の最大値は設計によって確保されています。

⁷ OUTN-OUTSN 間の差動電圧の最大値は設計によって確保されています。

⁸ LT3097 は T_J ≈ T_A となるようなパルス負荷条件下でテストされ、仕様規定されています。LT3097 は T_A = 25°C でテストされており、-40°C ~ 125°C の動作温度範囲全域にわたる LT3097 の性能は、設計、特性評価、および統計的プロセス制御との相関付けによって確保されています。LT3097 は -40°C ~ 125°C の全動作 T_J 範囲での動作が確保されています。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

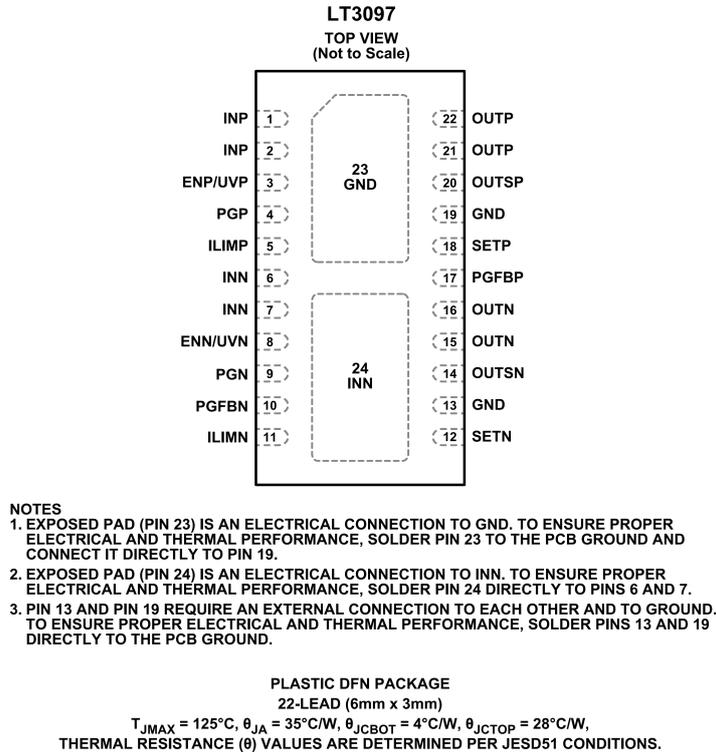


図 3. ピン配置

表 3. ピン機能の説明

ピン番号	記号	説明
1, 2	INP	正側入力。INP ピンから正側レギュレータに電力を供給します。LT3097 では INP ピンにバイパス・コンデンサが必要です。一般的にはバッテリーの出力インピーダンスは周波数と共に上昇するため、バッテリー駆動のアプリケーションではバイパス・コンデンサを使用することを推奨します。通常は 4.7 μF の入力バイパス・コンデンサで十分ですが、負荷過渡応答が大きいアプリケーションでは、入力電源の電圧低下を防ぐためにより大きい入力容量が求められる場合があります。正側の入力コンデンサの適切な使用法とその回路性能、特に正側レギュレータの PSRR への影響については、 安定性と入力容量および PSRR と入力容量 のセクションを参照してください。LT3097 は GND、OUTSP、OUTP に対する INP の逆電圧に耐えられません。バッテリーが逆方向に挿入されたときなど、逆電圧入力の場合には、LT3097 の正側レギュレータは入力と直列にダイオードが配置されているように動作します。そのため、LT3097 に逆電流が流れることはなく、正側の負荷に逆電圧が生じることはありません。正側レギュレータは、こうして自らと負荷を保護します。
3	ENP/UVVP	正側のイネーブルおよび UVLO。ENP/UVVP ピンをローにプルダウンすると、LT3097 の正側レギュレータがシャットダウン・モードに入ります。正側のシャットダウン・モードでの静止電流は 1 μA 未満に下がり、正側の出力電圧がオフになります。また、INP、ENP/UVVP、GND の間で抵抗分圧器を使用することにより、ENP/UVVP ピンで正側入力電源の UVLO 閾値を設定することもできます。LT3097 の正側レギュレータは、代表的には ENP/UVVP 電圧が 1.24V を超えて上昇したときの立上がりエッジでオンになり、立下がりエッジでは 130mV のヒステリシスがあります。ENP/UVVP ピンは正側入力電圧より高くドライブしても、正常な機能を保つことができます。使用しない場合は、ENP/UVVP を INP に接続します。ENP/UVVP ピンはフロート状態にしないでください。
4	PGP	正側パワー・グッド。PGP はオープンコレクタのフラグで、正側の出力電圧レギュレーション状態を示します。PGP は PGFBP が 300mV 未満の場合にローにプルダウンされます。パワー・グッド機能が不要な場合は、PGP ピンをフロート状態にしてください。この正側パワー・グッド機能はシャットダウン時にはディスエーブルされます。シャットダウン時にもパワー・グッド機能が必要な場合には、 正側レギュレータのプログラマブルなパワー・グッド のセクションを参照してください。LT3097 の PGP ピンと GND ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、PGP は GND より 0.3V 以上低くドライブしないでください。
5	ILIMP	正側レギュレータの電流制限値設定ピン。ILIMP と GND の間に抵抗を接続することによって電流制限値を設定できます。正確な設定のためには、この抵抗を LT3097 の GND ピンに直接ケルビン接続します。設定のスケール・ファクタは通常 150mA \times k Ω です。ILIMP ピンは、正側の出力電流に比例した (1:500) 電流を流します。このため、ILIMP は 0V~300mV の範囲で振れる電流モニタ・ピンとしても機能します。プログラマブルな電流制限の機能が不要な場合、ILIMP は GND に接続します。ILIMP ピンはフロート状態にしないでください。LT3097 の ILIMP ピンと GND ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、ILIMP は GND より 0.3V 以上低くドライブしないでください。

ピン配置およびピン機能の説明

表 3. ピン機能の説明 (続き)

ピン番号	記号	説明
6, 7	INN	負側入力。INN ピンから負側レギュレータに電力を供給します。LT3097 では INN ピンにバイパス・コンデンサが必要です。一般的にはバッテリーの出力インピーダンスは周波数と共に上昇するため、バッテリー駆動のアプリケーションではバイパス・コンデンサを使用することを推奨します。通常は 10 μ F の入力バイパス・コンデンサで十分ですが、負荷過渡応答が大きいアプリケーションでは、入力電源の電圧低下を防ぐためにより大きい入力容量が求められる場合があります。負側の入力コンデンサの適切な使用法とその回路性能、特に負側レギュレータの PSRR への影響については、 安定性と入力容量および PSRR と入力容量 のセクションを参照してください。
8	ENN/UVN	負側のイネーブルおよび UVLO。ENN/UVN ピンを GND にプルダウンすると、LT3097 の負側レギュレータがシャットダウン・モードに入ります。負側のシャットダウン・モードでの静止電流は 3 μ A まで下がり、負側の出力電圧がオフになります。また、INN、ENN/UVN、GND の間で抵抗分圧器を使用することにより、ENN/UVN ピンで負側入力電源の UVLO 閾値を設定することもできます。ENN/UVN ピンは双方向であり、正電圧でも負電圧でもスイッチが可能です。ENN/UVN ピンに正電圧をかける場合、LT3097 の負側レギュレータは、代表的には ENN/UVN 電圧がグラウンドの 1.26V 以上に上昇したときの立上がりエッジでオンになり、立下がりエッジでは 200mV のヒステリシスがあります。ENN/UVN ピンに負電圧をかける場合、LT3097 の負側レギュレータは、代表的には ENN/UVN 電圧がグラウンド以下 1.26V に下降したときの立上がりエッジでオンになり、立下がりエッジでは 215mV のヒステリシスがあります。使用しない場合は、ENN/UVN を INN に接続します。ENN/UVN ピンはフロート状態にしないでください。
9	PGN	負側パワー・グッド。PGN はオープンコレクタのフラグで、負側の出力電圧レギュレーション状態を示します。PGFBN が 0V~300mV の場合に、PGN は GND にプルダウンされます。パワー・グッド機能が不要な場合は、PGN ピンをフロート状態にしてください。PGN フラグのステータスは、LT3097 の負側レギュレータがシャットダウンの状態でも有効で、PGN ピンが GND にプルダウンされます。
10	PGFBN	負側パワー・グッド・フィードバック。PGN ピンは、PGFBN が -300mV より低く下降したときの立上がりエッジでハイにプルアップされ、立下がりエッジでは 7mV のヒステリシスがあります。OUTN、PGFBN、GND の間に外付けの抵抗分圧器を接続することにより、次の伝達関数によりプログラマブルなパワー・グッド閾値が設定されます。 $-0.3V \times (1 + R_{PGN2}/R_{PGN1})$ 。高速スタートアップのセクションに示すように、PGFBN は高速スタートアップ回路も起動します。パワー・グッドと高速スタートアップの機能が不要な場合には、PGFBN を INN に接続します。
11	ILIMN	負側レギュレータの電流制限値設定ピン。ILIMN と GND の間に抵抗を接続することによって電流制限値を設定できます。正確な設定のためには、この抵抗を LT3097 の GND ピンに直接ケルビン接続します。設定のスケール・ファクタは通常 3.75A \times k Ω です。プログラマブルな電流制限の機能が不要な場合、ILIMN は GND に接続します。ILIMN ピンはフロート状態にしないでください。
12	SETN	LT3097 の負側レギュレータのエラー・アンプ反転入力およびレギュレーション設定点。SETN は高精度で 100 μ A の電流をシンクし、この電流は SETN と GND の間に接続される外付け抵抗を流れます。LT3097 の負側出力電圧は $V_{SETN} = I_{SETN} \times SETN$ 抵抗値 (R_{SETN}) によって決定されます。負側の出力電圧範囲は 0V~-19.5V です。SETN と GND の間にコンデンサを追加すると、ノイズ、PSRR、過渡応答が改善されますが、その反面スタートアップ時間が長くなります。PGFBN ピンの設定による高速スタートアップ機能を使用することにより、スタートアップ時間の増加を抑制できます。負側の負荷レギュレーションを最適化するため、SETN ピン抵抗のグラウンド側は負側の負荷に直接ケルビン接続します。
13	GND	グラウンド。ピン 13 は負側レギュレータのグラウンドです。
14	OUTSN	負側出力検出。OUTSN ピンは負側レギュレータのエラー・アンプの非反転入力です。過渡応答性能と負荷レギュレーションを最適にするため、OUTSN は負側出力コンデンサおよび負側の負荷に直接ケルビン接続してください。更に、負側出力コンデンサと SETN ピンのコンデンサの各 GND 接続を相互に直接接続します。磁気結合効果によって PSRR が低下する可能性があるため、負側出力コンデンサに対する負側入力コンデンサの配置については注意が必要です。コンデンサの配置とボード・レイアウトについての詳しい情報については、 PSRR と入力容量 のセクションを参照してください。LT3097 の OUTSN ピンと INN ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、OUTSN は INN より 0.3V 以上低くドライブしないでください。
15, 16	OUTN	負側の出力。OUTN ピンは負側の負荷に電力を供給します。安定性確保のため、等価直列抵抗 (ESR) が 30m Ω 未満で等価直列インダクタンス (ESL) が 1.5nH 未満である、最小 10 μ F の出力コンデンサを使用してください。負荷過渡応答が大きい場合には、ピーク電圧トランジェントを制限するために、更に大きい出力コンデンサが必要です。負側の出力容量についての更に詳しい情報については、 安定性と出力容量 のセクションを参照してください。LT3097 の OUTN ピンと INN ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、OUTN は INN より 0.3V 以上低くドライブしないでください。
17	PGFBP	負側パワー・グッド・フィードバック。PGP ピンは、PGFBP が 300mV を超えて上昇したときの立上がりエッジでハイにプルアップされ、立下がりエッジでは 7mV のヒステリシスがあります。OUTP、PGFBP、GND の間に外付けの抵抗分圧器を接続することにより、次の伝達関数によりプログラマブルなパワー・グッド閾値が設定されます。 $0.3V \times (1 + R_{PGP2}/R_{PGP1})$ 。高速スタートアップのセクションに示すように、PGFBP は高速スタートアップ回路も起動します。パワー・グッドと高速スタートアップの機能が不要な場合には、PGFBP を INP に接続します。更に、逆入力保護が必要な場合には、IN4148 ダイオードのアノードを INP に、カソードを PGFBP に接続します。LT3097 の PGFBP ピンと GND の間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、PGFBP は GND より 0.3V 以上低くドライブしないでください。
18	SETP	LT3097 の正側レギュレータのエラー・アンプ反転入力およびレギュレーション設定点。SETP は高精度で 100 μ A の電流をソースし、この電流は SETP と GND の間を接続する外付け抵抗を流れます。LT3097 の正側出力電圧は $V_{SETP} = I_{SETP} \times SETP$ 抵抗値 (R_{SETP}) によって決定されます。正側の出力電圧範囲は 0V~15V です。SETP と GND の間にコンデンサを追加すると、ノイズ、PSRR、過渡応答が改善されますが、その反面スタートアップ時間が長くなります。PGFBP ピンの設定による高速スタートアップ機能を使用することにより、スタートアップ時間の増加を抑制できます。正側の負荷レギュレーションを最適化するため、SETP ピン抵抗のグラウンド側は正側の負荷に直接ケルビン接続します。LT3097 の SETP ピンと GND ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、SETP は GND より 0.3V 以上低くドライブしないでください。
19	GND	グラウンド。ピン 19 は正側レギュレータのグラウンドです。

ピン配置およびピン機能の説明

表 3. ピン機能の説明（続き）

ピン番号	記号	説明
20	OUTSP	正側出力検出。OUTSP ピンは正側レギュレータのエラー・アンプの非反転入力です。過渡応答性能と負荷レギュレーションを最適にするため、OUTSP は正側出力コンデンサおよび正側の負荷に直接ケルビン接続してください。更に、正側出力コンデンサと SETP ピンのコンデンサの各 GND 接続を相互に直接接続します。磁気結合効果によって PSRR が低下する可能性があります。正側出力コンデンサに対する正側入力コンデンサの配置については注意が必要です。コンデンサの配置とボード・レイアウトについての詳しい情報については、 PSRR と入力容量 のセクションを参照してください。LT3097 の OUTSP ピンと GND ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、OUTSP は GND より 0.3V 以上低くドライブしないでください。
21, 22	OUTP	正側の出力。OUTP ピンは正側の負荷に電力を供給します。安定性確保のため、ESR が 20mΩ 未満で ESL が 2nH 未満である、最小 10μF の出力コンデンサを使用してください。負荷過渡応答が大きい場合には、ピーク電圧トランジェントを制限するために、更に大きい出力コンデンサが必要です。正側の出力容量についての更に詳しい情報については、 安定性と出力容量 のセクションを参照してください。LT3097 の OUTP ピンと GND ピンの間にはボディ・ダイオードが存在するので、正常動作中もしくはフォルト状態においても、OUTP は GND より 0.3V 以上低くドライブしないでください。
23	EPAD (GND)	グラウンド露出パッド。グラウンド露出パッドはピン 19 の GND に電氣的に接続されています。電氣的性能および熱性能が適切になるよう、裏面の露出パッドを PCB のグラウンドにハンダ付けし、ピン 19 の GND に直接接続してください。
24	EPAD (INN)	INN 露出パッド。INN 露出パッドは INN に電氣的に接続されています。電氣的性能および熱性能が適切になるよう、裏面の INN 露出パッドを INN ピン 6 および 7 に直接接続してください。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

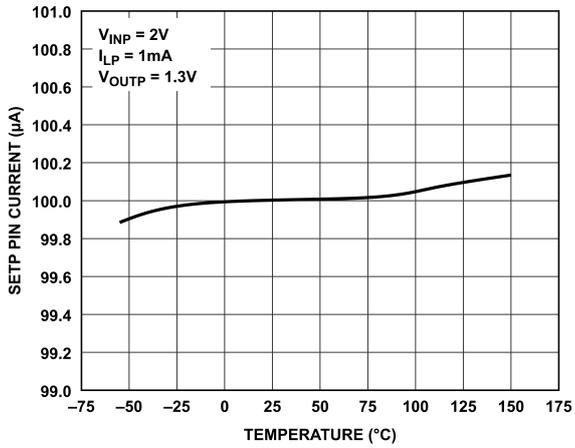


図 4. SETP ピン電流と温度の関係

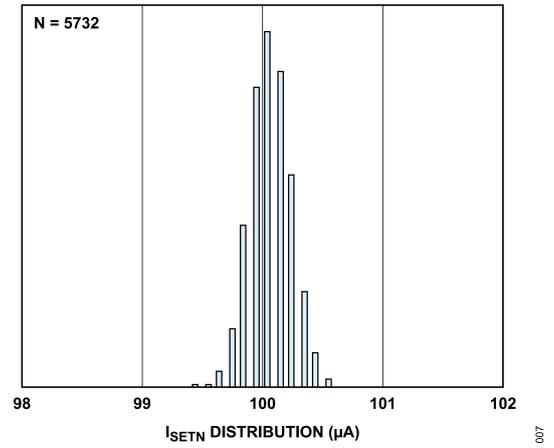


図 7. I_{SETN} の分布

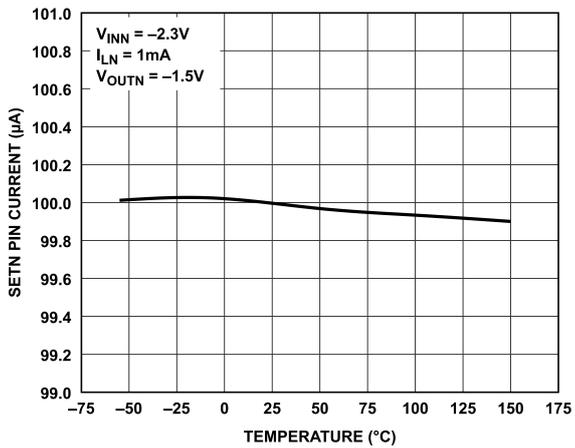


図 5. SETN ピン電流と温度の関係

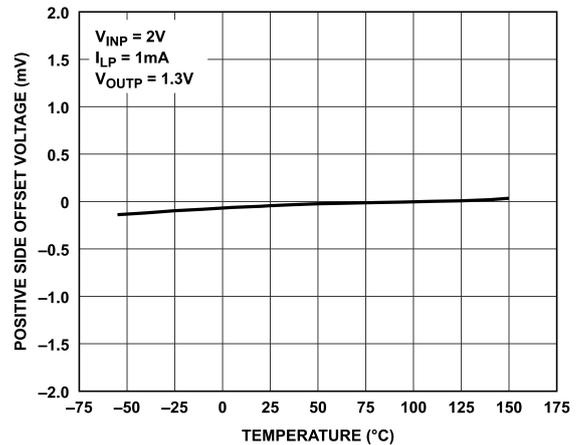


図 8. 正側オフセット電圧 ($V_{OUTP} - V_{SETP}$) と温度の関係

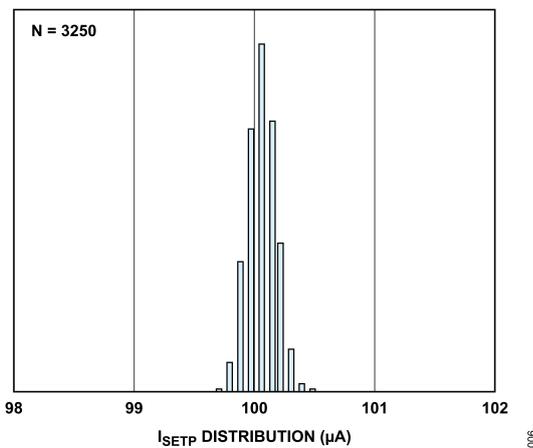


図 6. I_{SETP} の分布

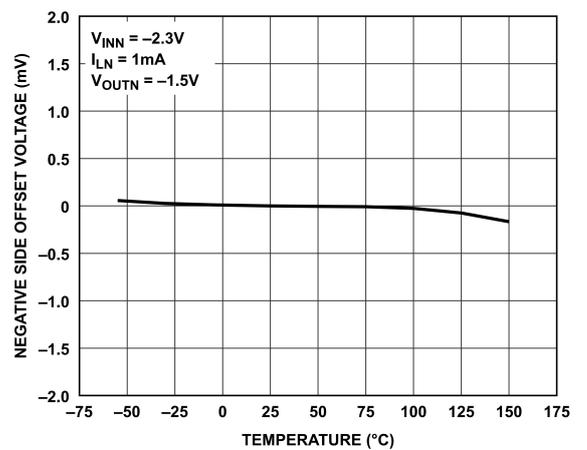


図 9. 負側オフセット電圧 ($V_{OUTN} - V_{SETN}$) と温度の関係

代表的な性能特性

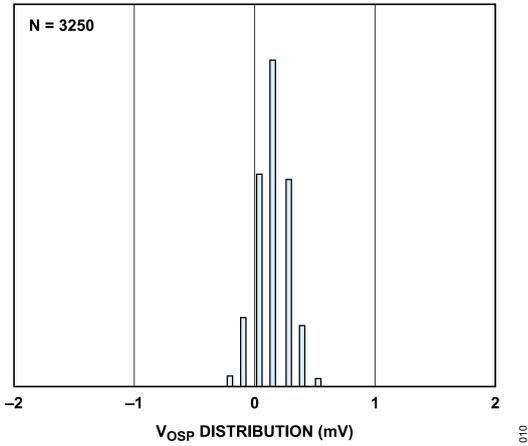


図 10. 正側オフセット電圧 (V_{OSP}) の分布

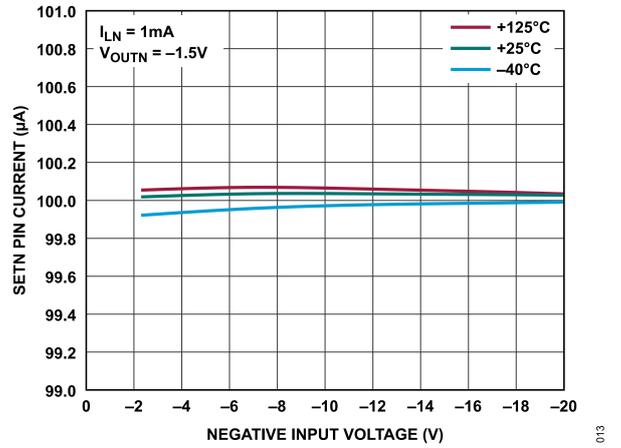


図 13. SETN ピン電流と負側入力電圧の関係

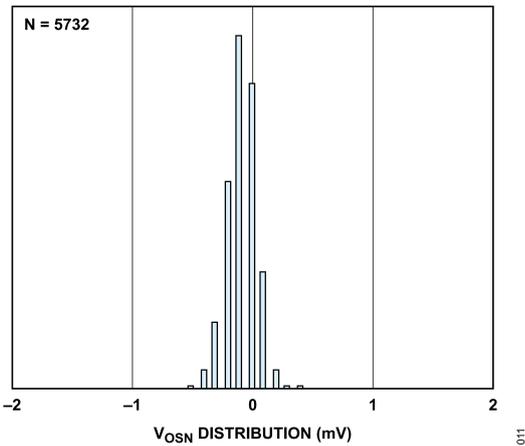


図 11. 負側オフセット電圧 (V_{OSN}) の分布

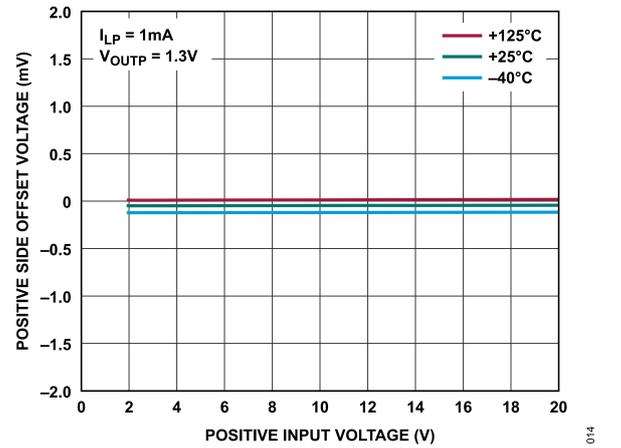


図 14. 正側オフセット電圧 ($V_{OUTP} - V_{SETP}$) と正側入力電圧の関係

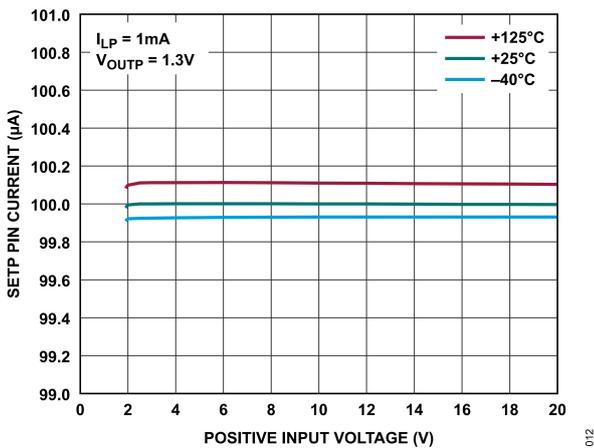


図 12. SETP ピン電流と正側入力電圧の関係

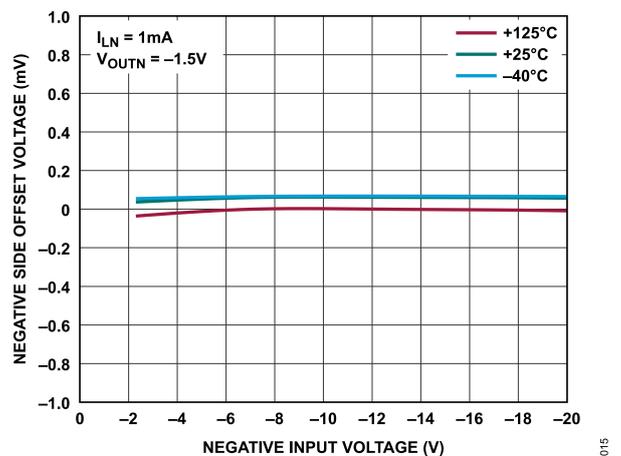


図 15. 負側オフセット電圧 ($V_{OUTN} - V_{SETN}$) と負側入力電圧の関係

代表的な性能特性

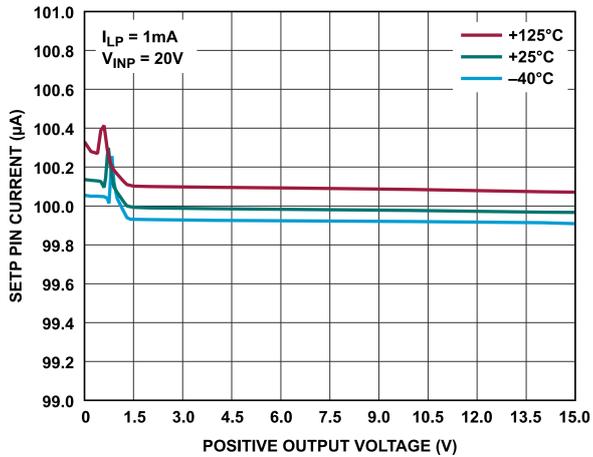


図 16. SETP ピン電流と正側出力電圧の関係

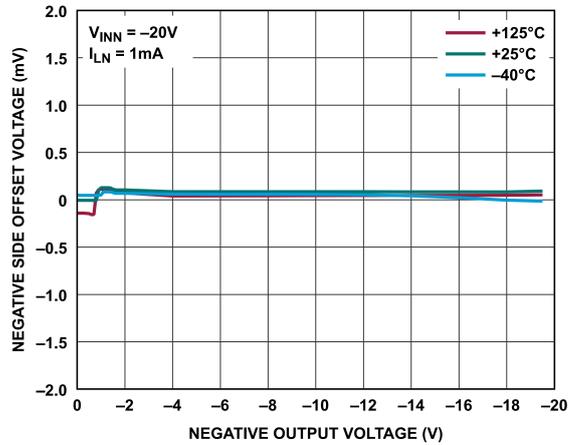


図 19. 負側オフセット電圧 ($V_{OUTN} - V_{SETN}$) と負側出力電圧の関係

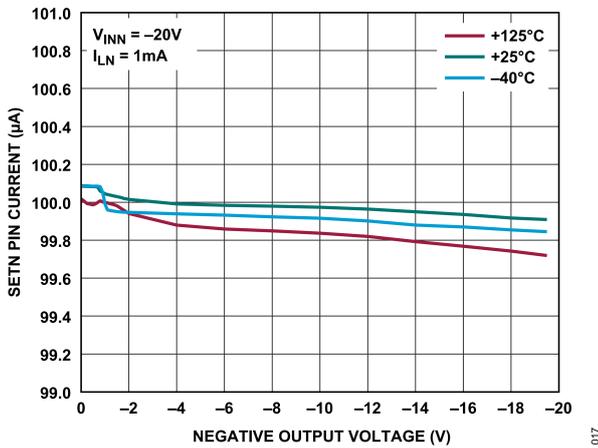


図 17. SETN ピン電流と負側入力電圧の関係

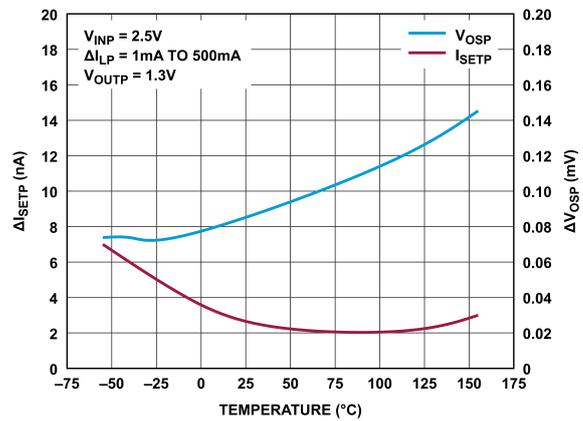


図 20. I_{SETP} および V_{OSP} の負荷レギュレーションと温度の関係

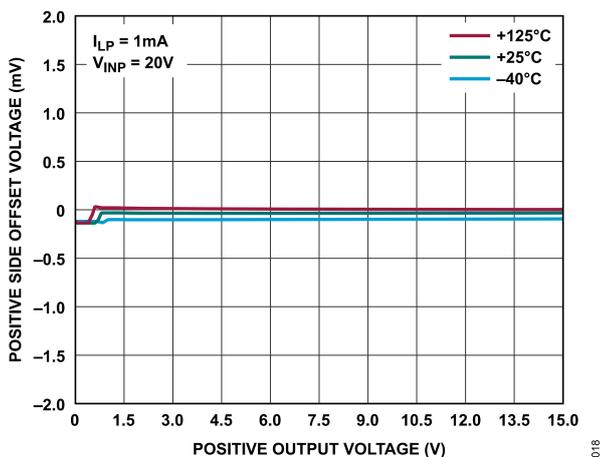


図 18. 正側オフセット電圧 ($V_{OUTP} - V_{SETP}$) と正側出力電圧の関係

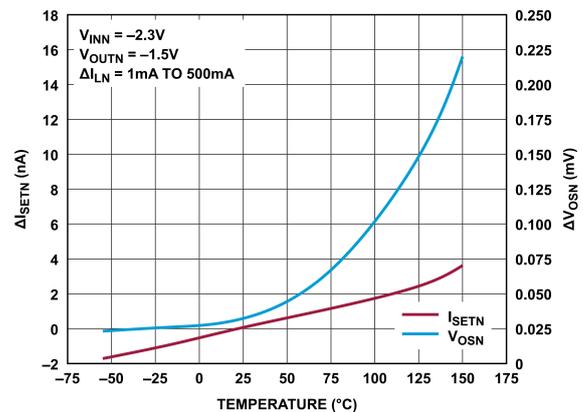


図 21. I_{SETN} および V_{OSN} の負荷レギュレーションと温度の関係

代表的な性能特性

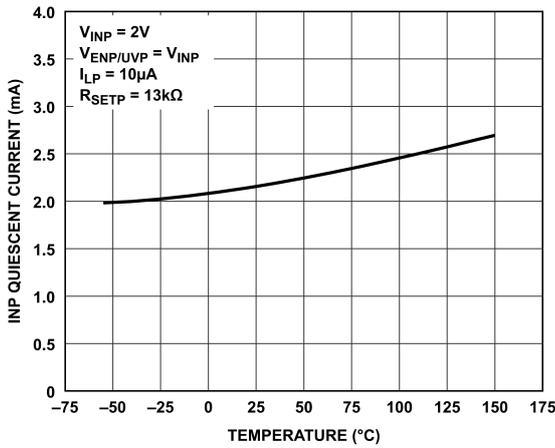


図 22. INP の静止電流と温度の関係 ($V_{ENP/UVLP} = V_{INP}$)

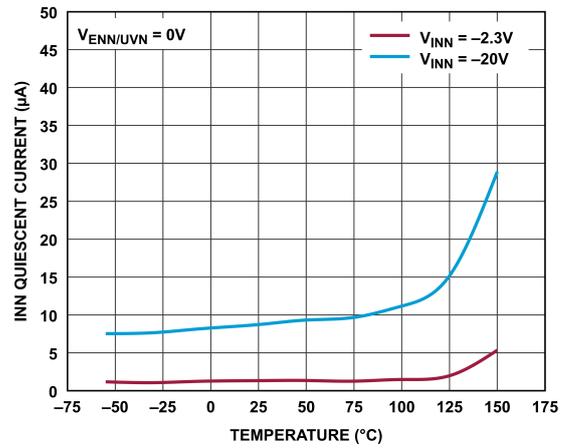


図 25. INN の静止電流と温度の関係 ($V_{ENN/UVN} = 0V$)

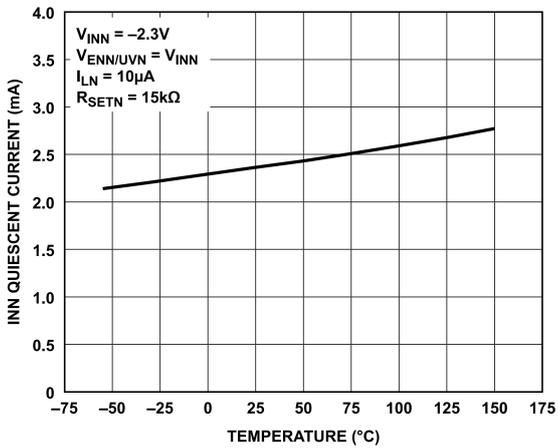


図 23. INN の静止電流と温度の関係 ($V_{ENN/UVN} = V_{INN}$)

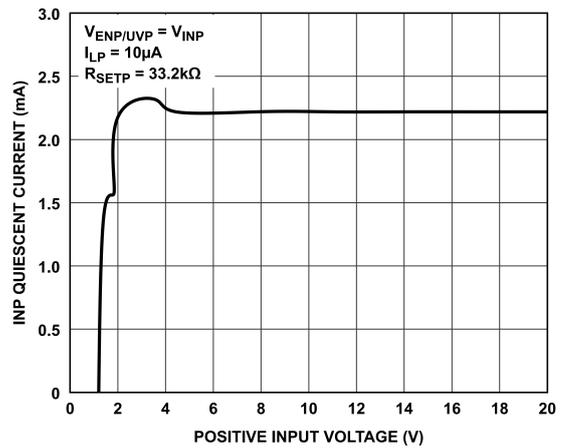


図 26. INP の静止電流と正側入力電圧の関係

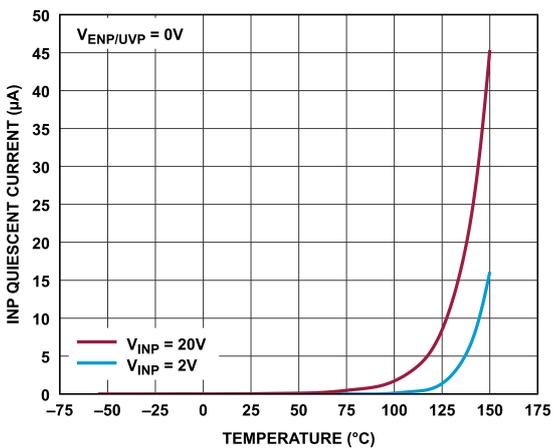


図 24. INP の静止電流と温度の関係 ($V_{ENP/UVLP} = 0V$)

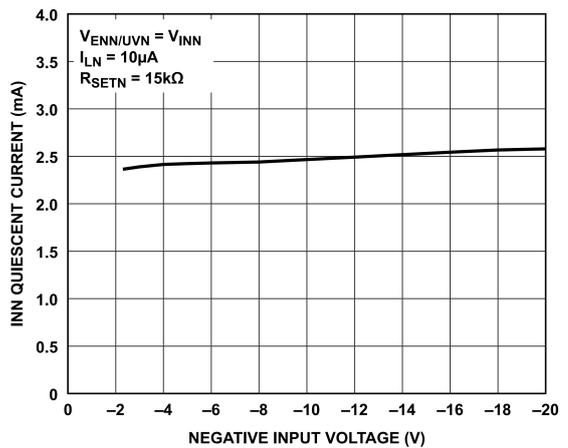


図 27. INN の静止電流と負側入力電圧の関係

代表的な性能特性

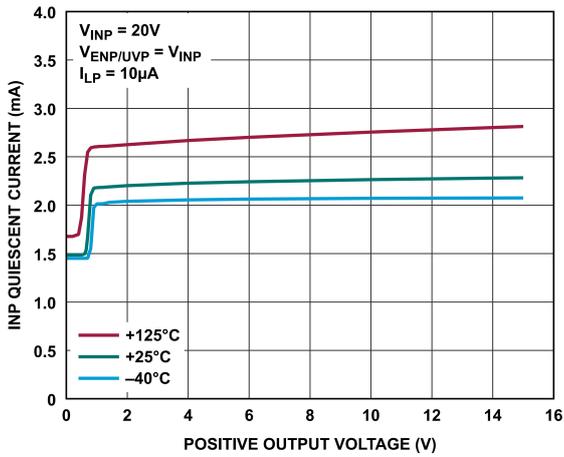


図 28. INP の静止電流と正側出力電圧の関係

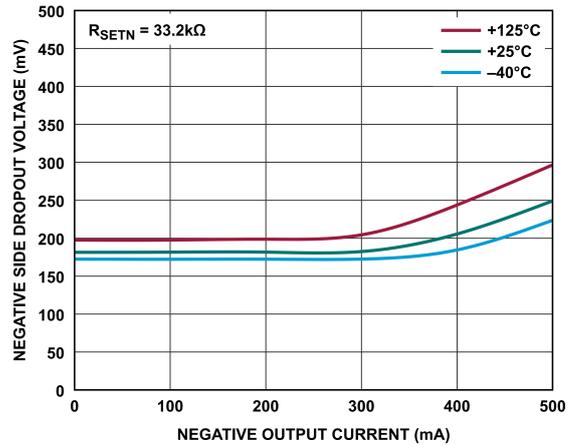


図 31. 負側ドロップアウト電圧と負側出力電流の関係

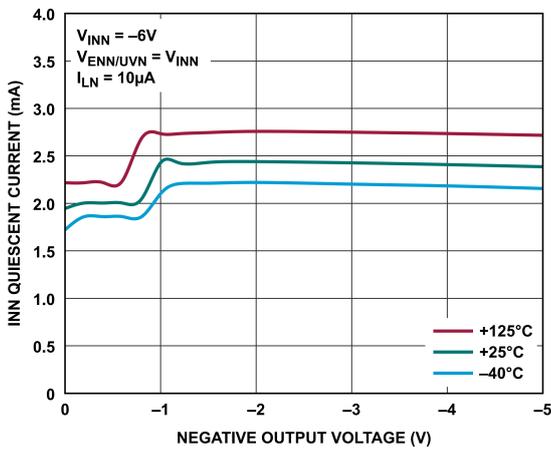


図 29. INN の静止電流と負側出力電圧の関係

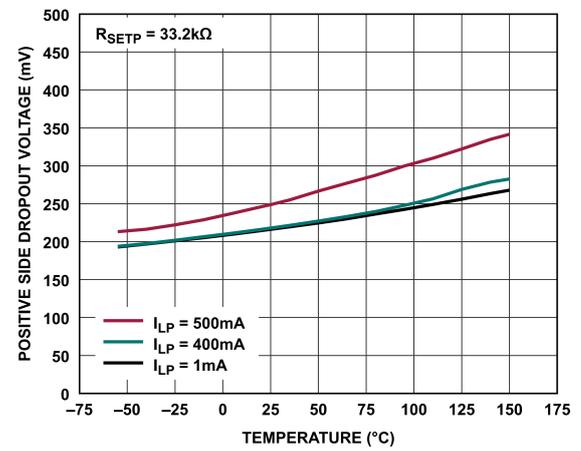


図 32. 正側ドロップアウト電圧と温度の関係

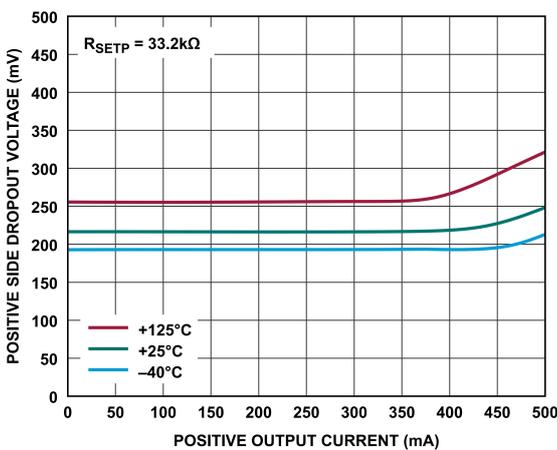


図 30. 正側ドロップアウト電圧と正側出力電流の関係

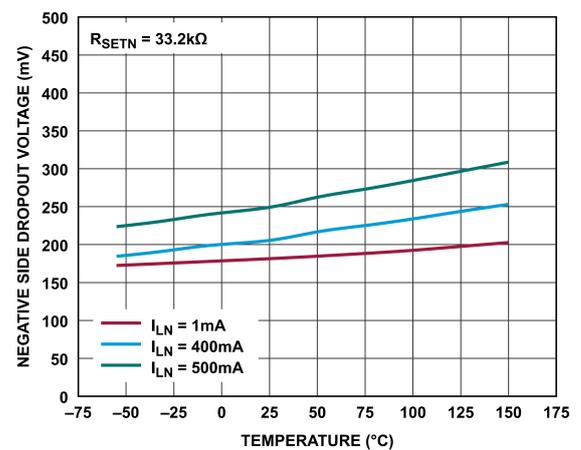


図 33. 負側ドロップアウト電圧と温度の関係

代表的な性能特性

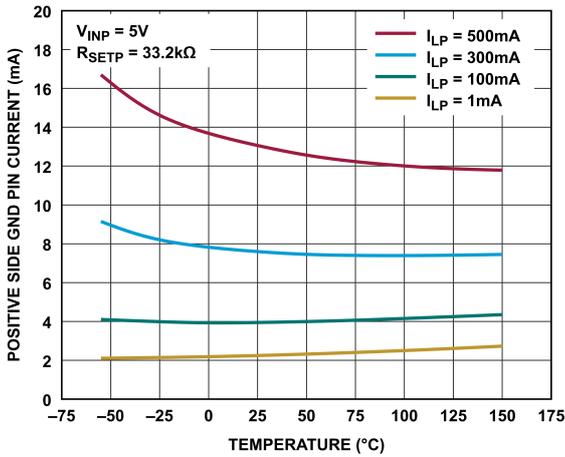


図 34. 正側 GND ピン電流と温度の関係

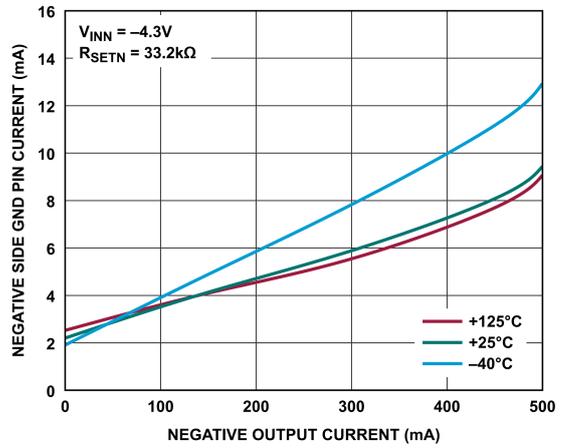


図 37. 負側 GND ピン電流と負側出力電流の関係

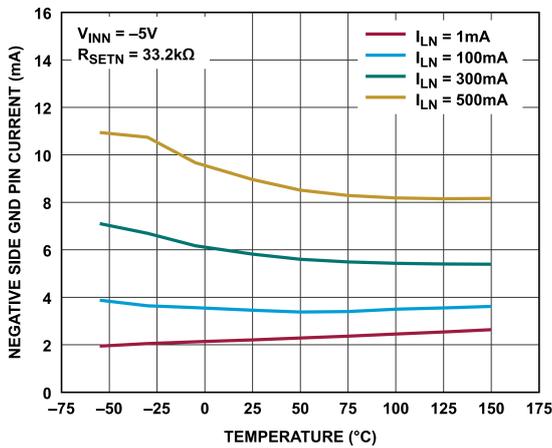


図 35. 負側 GND ピン電流と温度の関係

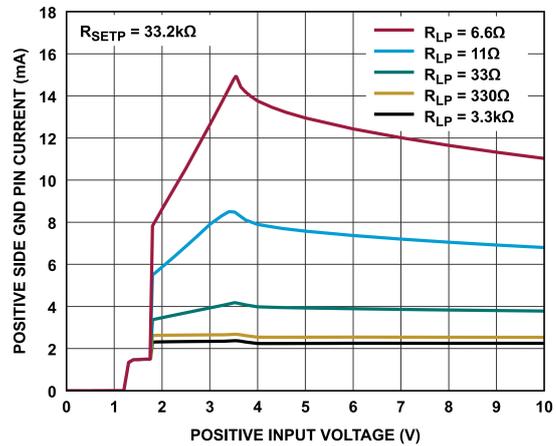


図 38. 正側 GND ピン電流と正側入力電圧の関係 (R_{LP}は正側負荷抵抗)

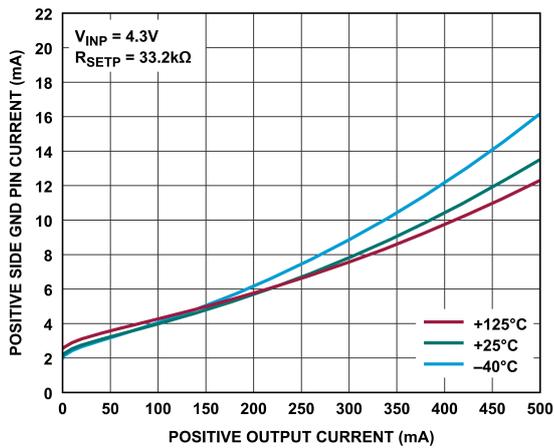


図 36. 正側 GND ピン電流と正側出力電流の関係

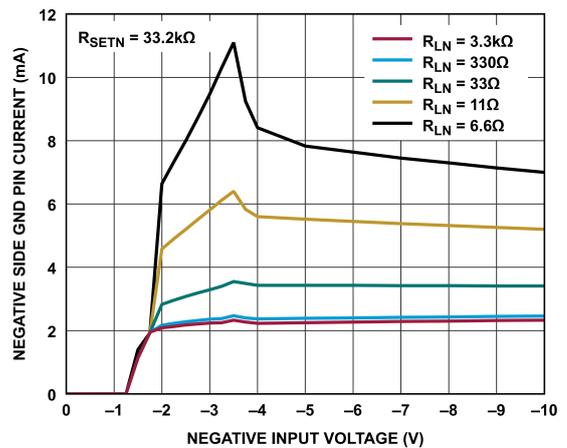


図 39. 負側 GND ピン電流と負側入力電圧の関係 (R_{LN}は負側負荷抵抗)

代表的な性能特性

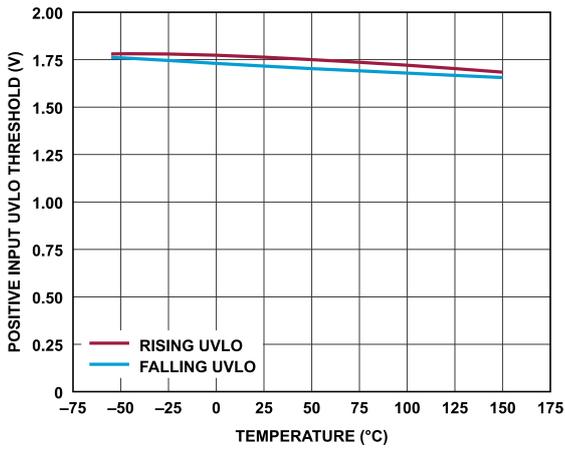


図 40. 正側入力の UVLO 閾値と温度の関係

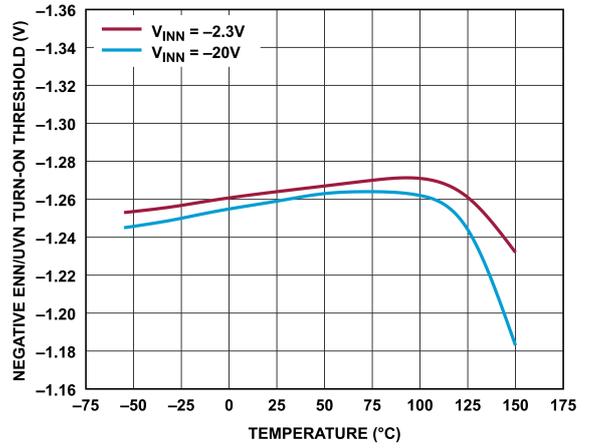


図 43. 負側の ENN/UVN ターンオン閾値と温度の関係

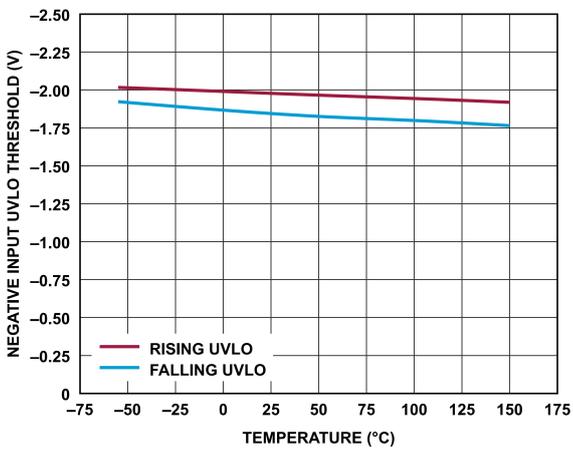


図 41. 負側入力の UVLO 閾値と温度の関係

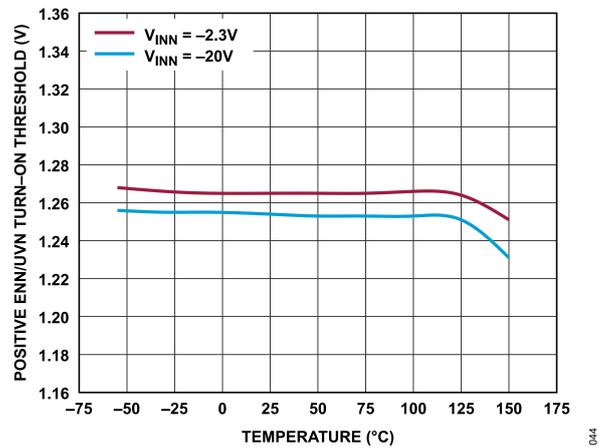


図 44. 正側 ENN/UVN ターンオン閾値と温度の関係

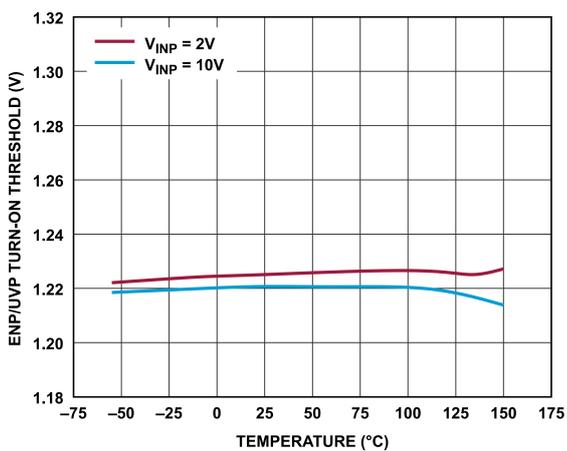


図 42. ENP/UVP ターンオン閾値と温度の関係

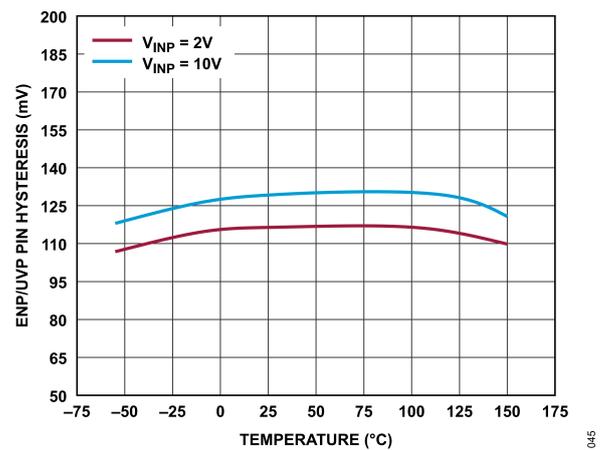


図 45. ENP/UVP ピンのヒステリシスと温度の関係

代表的な性能特性

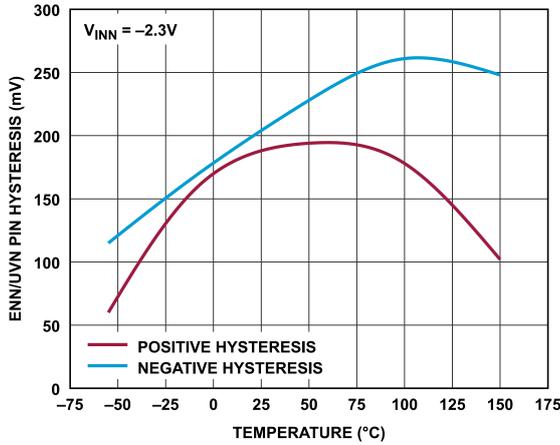


図 46. ENN/UVP ピンのヒステリシスと温度の関係

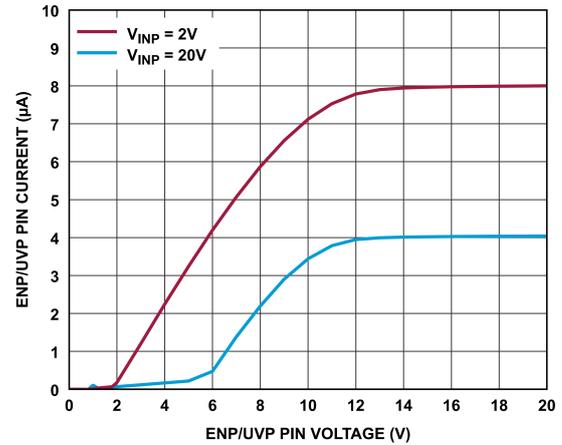


図 49. ENP/UVP ピン電流と ENP/UVP ピン電圧の関係 (VINP を変化)

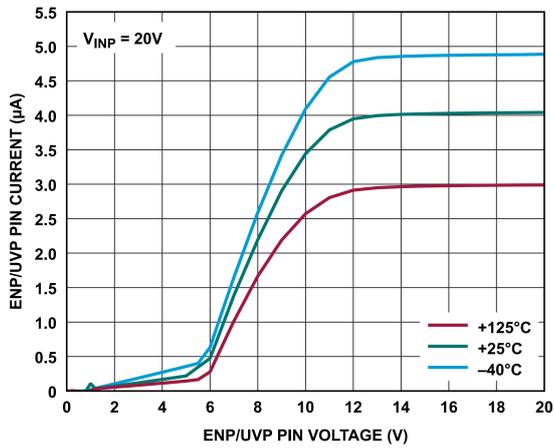


図 47. ENP/UVP ピン電流と ENP/UVP ピン電圧の関係 (温度を変化)

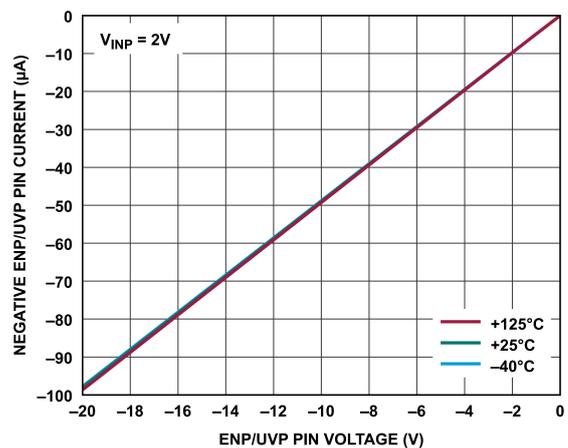


図 50. 負側 ENP/UVP ピン電流と ENP/UVP ピン電圧の関係

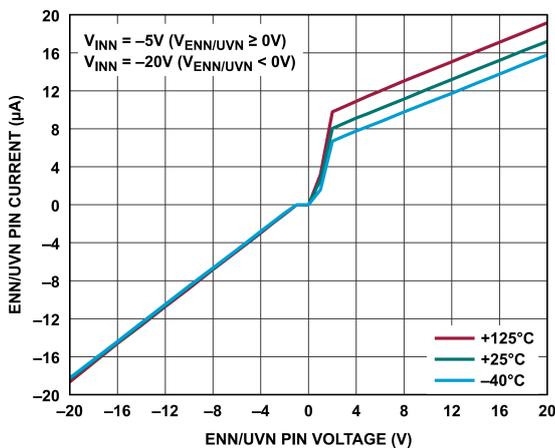


図 48. ENN/UVP ピン電流と ENN/UVP ピン電圧の関係 (温度ステップ)

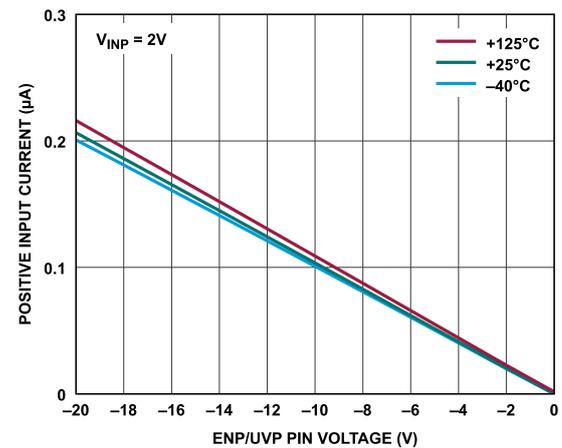


図 51. 正側入力電流と ENP/UVP ピン電圧の関係

代表的な性能特性

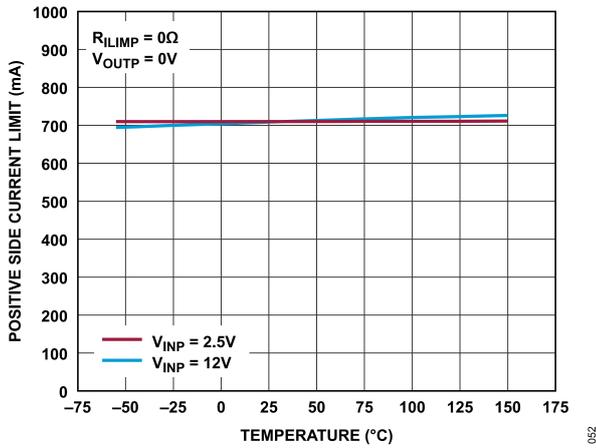


図 52. 正側内部電流制限と温度の関係

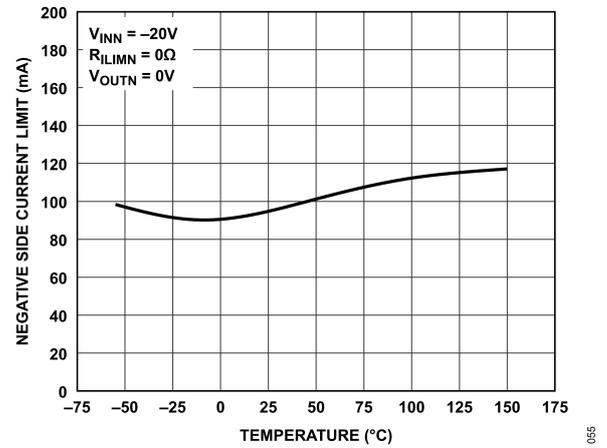


図 55. 負側内部電流制限と温度の関係 (フォールドバック)

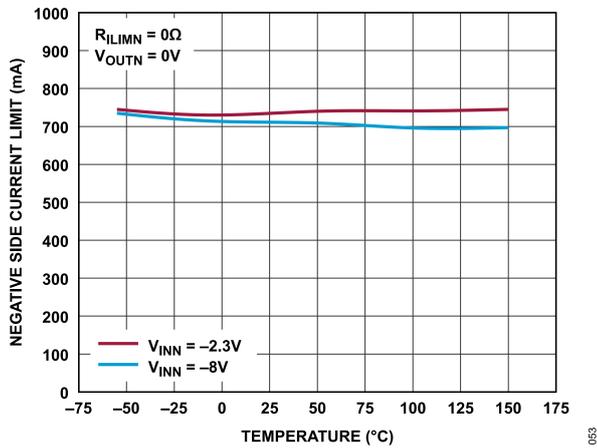


図 53. 負側内部電流制限と温度の関係

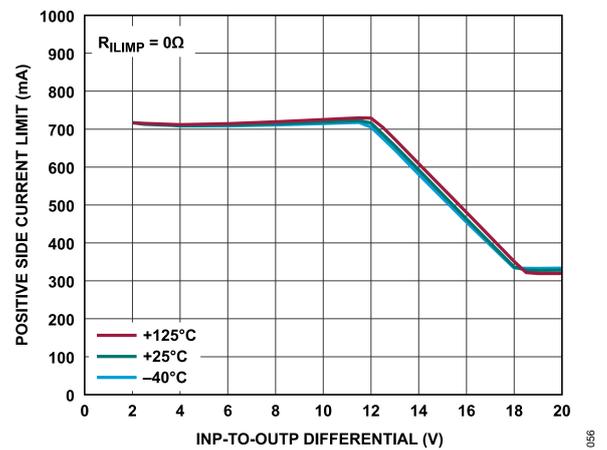


図 56. 正側内部電流制限と正側入出力電圧差分の関係

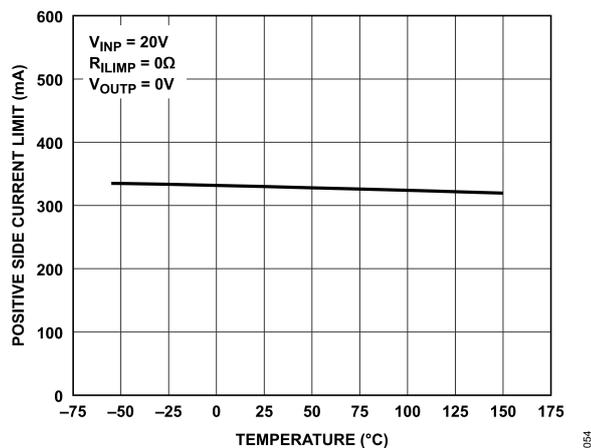


図 54. 正側内部電流制限と温度の関係 (フォールドバック)

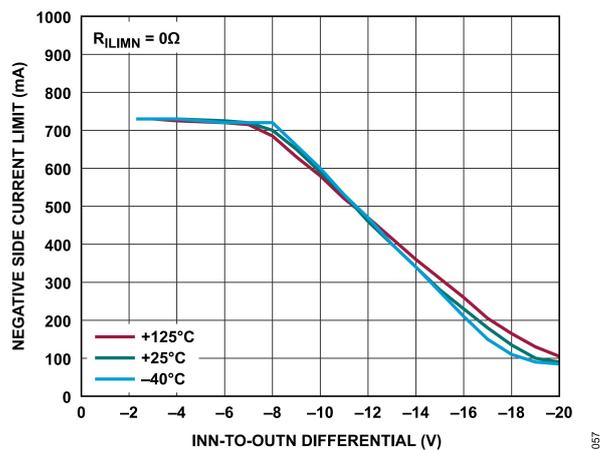


図 57. 負側内部電流制限と負側入出力電圧差分の関係

代表的な性能特性

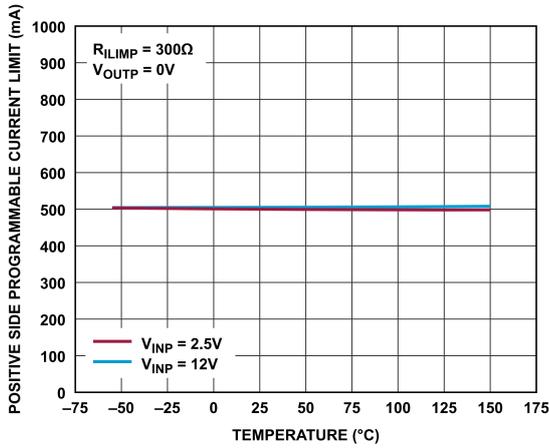


図 58. 正側設定電流制限と温度の関係 (500mA)

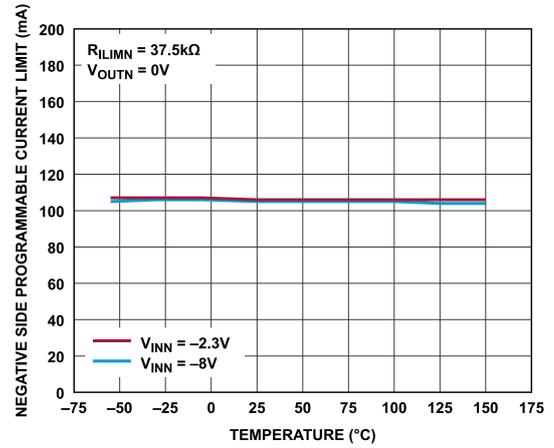


図 61. 負側設定電流制限と温度の関係 (100mA)

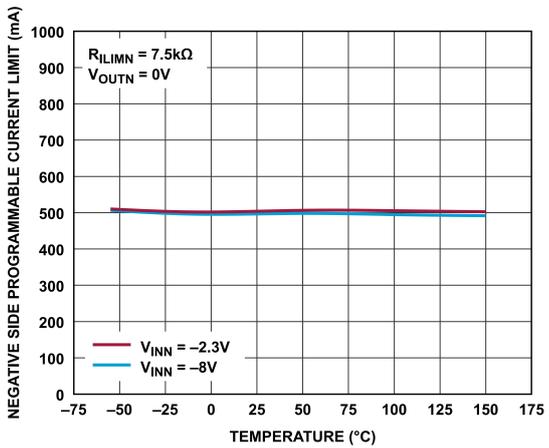


図 59. 負側設定電流制限と温度の関係 (500mA)

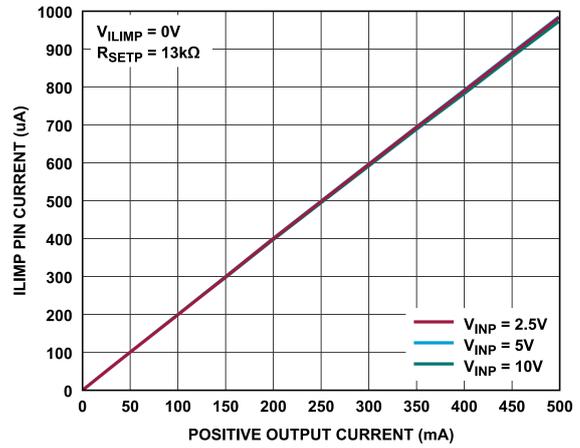


図 62. ILIMP ピン電流と正側負荷電流の関係

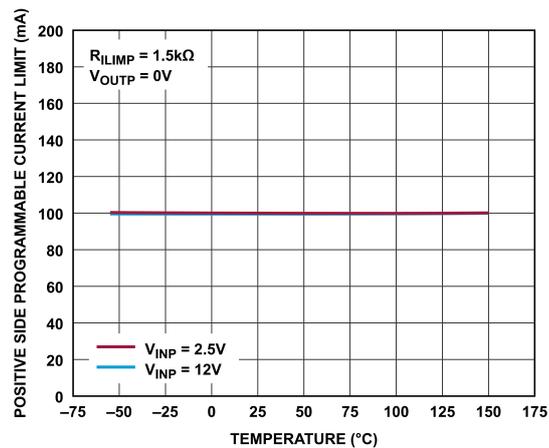


図 60. 正側設定電流制限と温度の関係 (100mA)

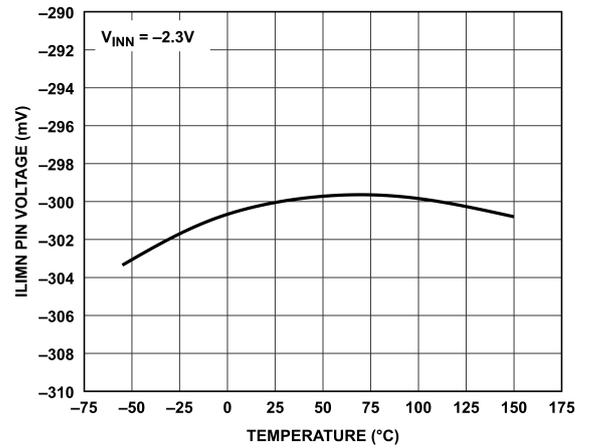


図 63. ILIMN ピン電圧と温度の関係

代表的な性能特性

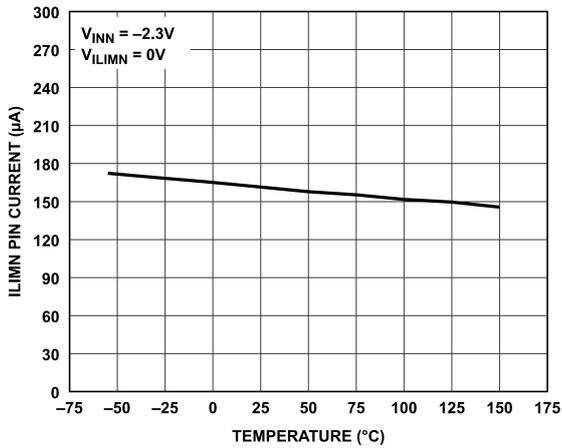


図 64. ILIMN ピン電流と温度の関係

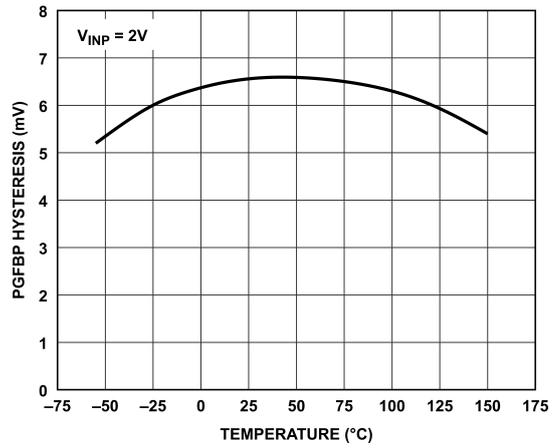


図 67. PGFBP ヒステリシスと温度の関係

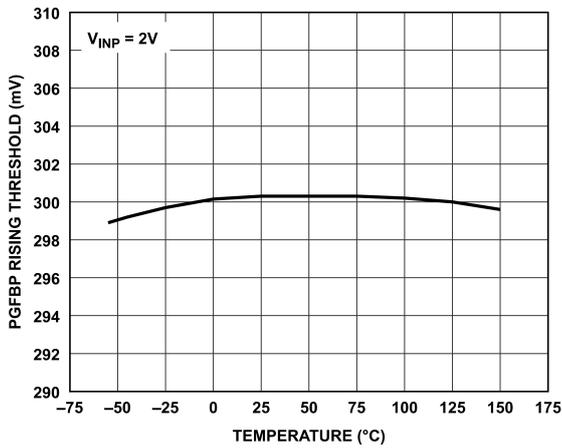


図 65. PGFBP の立上がり閾値と温度の関係

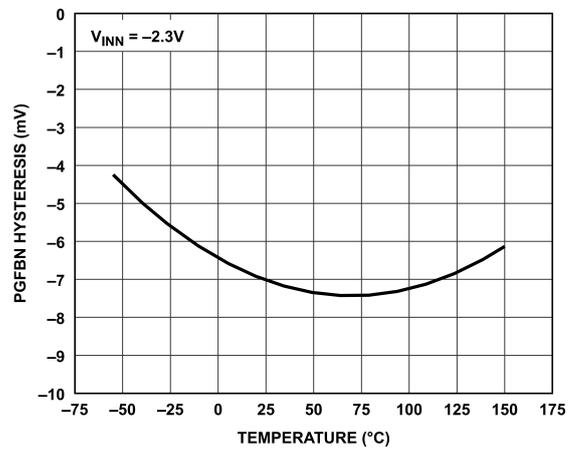


図 68. PGFBN ヒステリシスと温度の関係

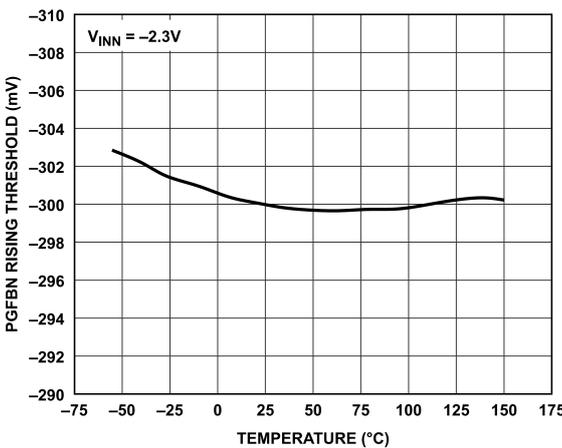


図 66. PGFBN の立上がり閾値と温度の関係

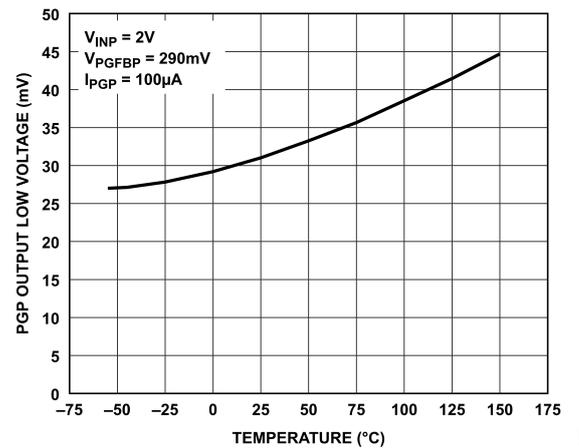


図 69. PGP 出力低電圧と温度の関係

代表的な性能特性

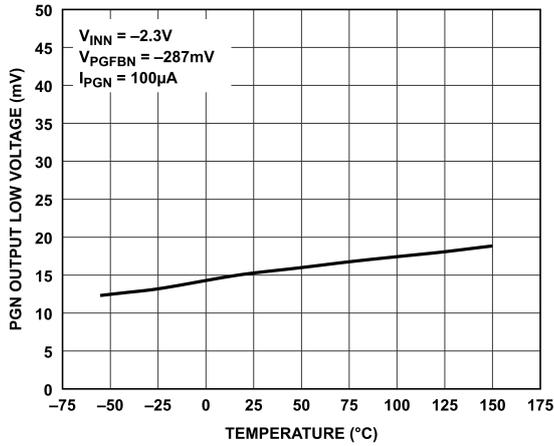


図 70. PGN 出力低電圧と温度の関係

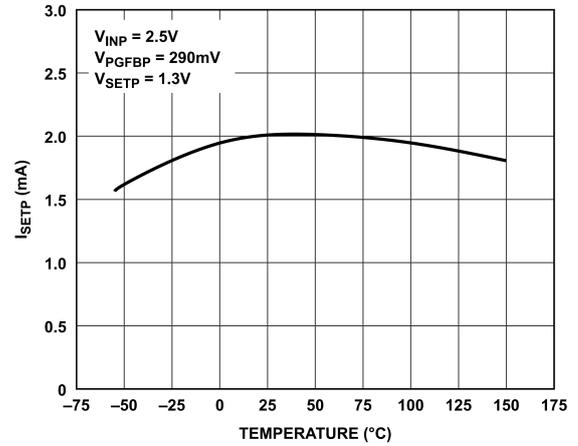


図 73. 高速スタートアップ有効時の起動中の I_{SETP} と温度の関係

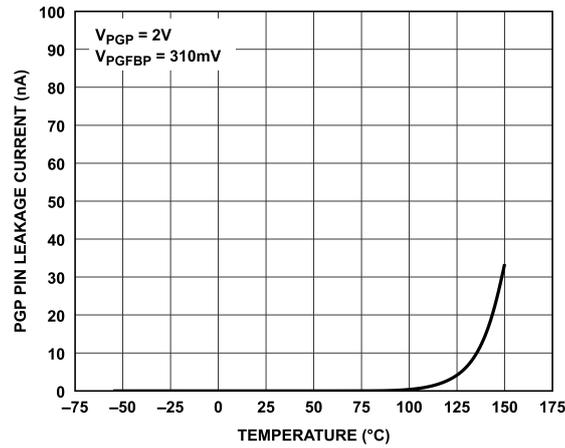


図 71. PGP ピンのリーク電流と温度の関係

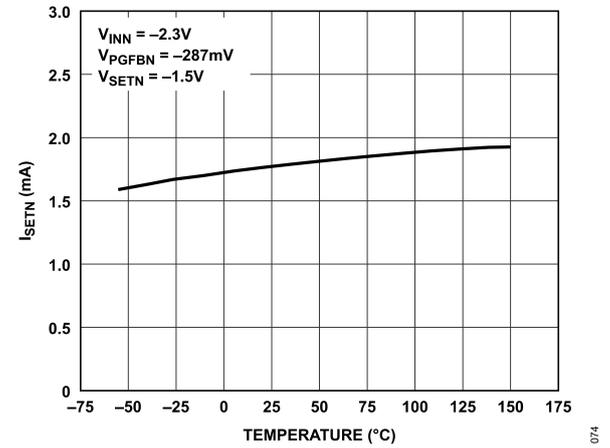


図 74. 高速スタートアップ有効時の起動中の I_{SETN} と温度の関係

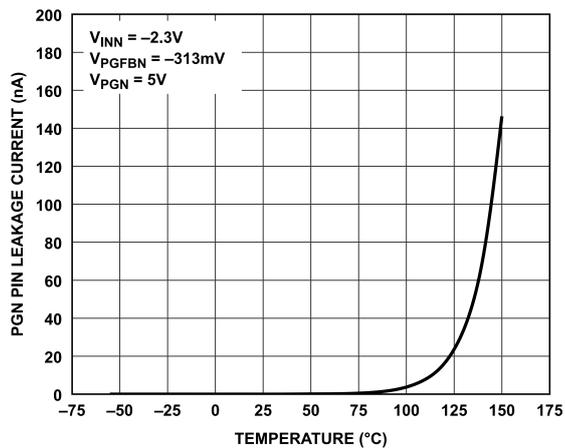


図 72. PGN ピンのリーク電流と温度の関係

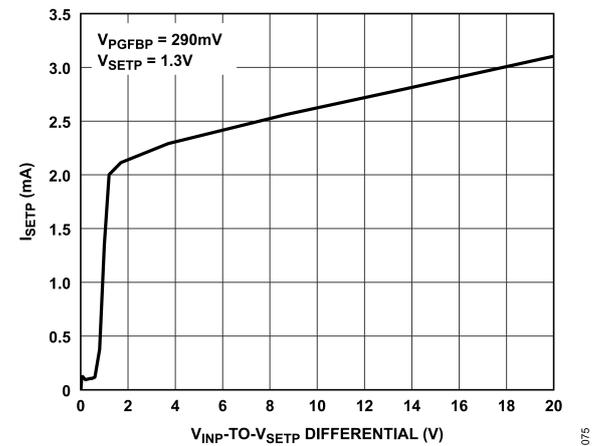


図 75. 高速スタートアップ有効時の起動中の I_{SETP} と $V_{INP} - V_{SETP}$ 間差分の関係

代表的な性能特性

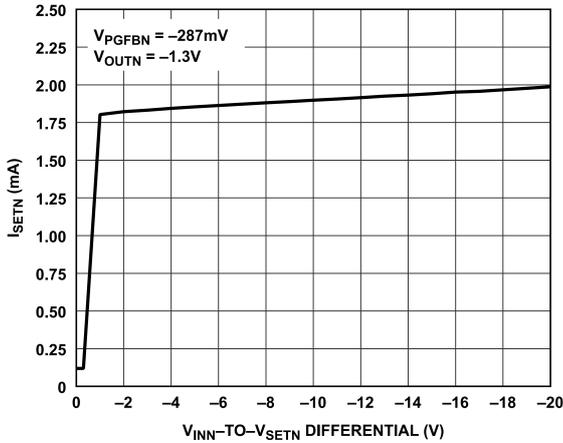


図 76. 高速スタートアップ有効時の起動中の I_{SETN} と $V_{INN} - V_{SETN}$ 間差分の関係

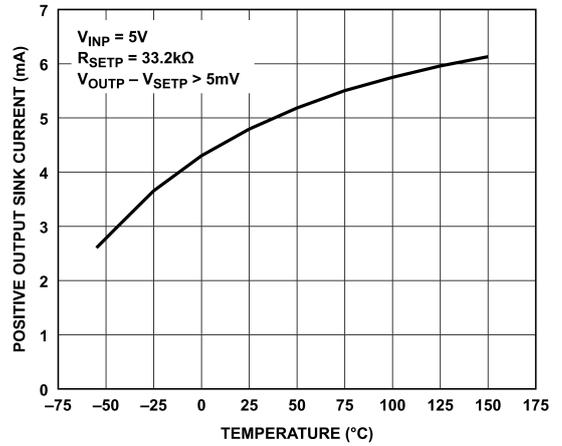


図 79. 正側出力オーバーシュート回復シンク電流と温度の関係

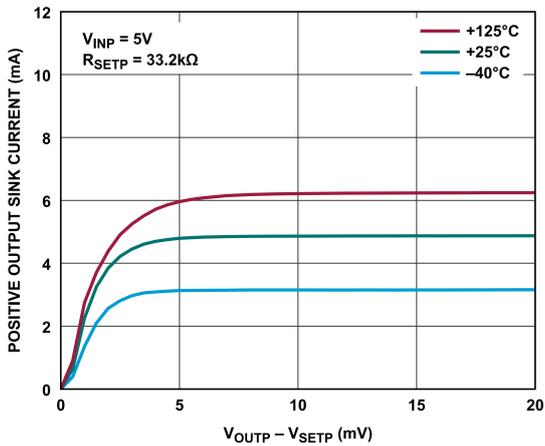


図 77. 正側出力オーバーシュート回復シンク電流と $V_{OUTP} - V_{SETP}$ の関係

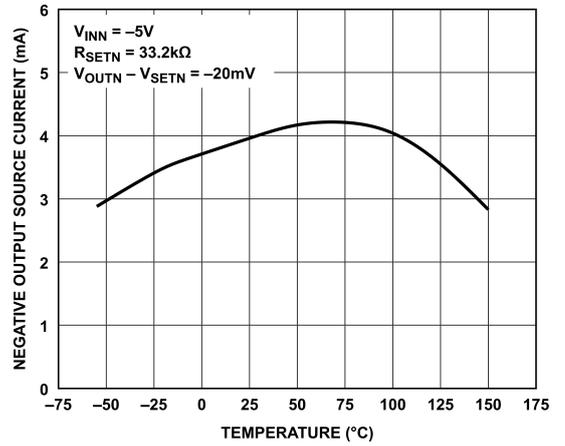


図 80. 負側出力オーバーシュート回復ソース電流と温度の関係

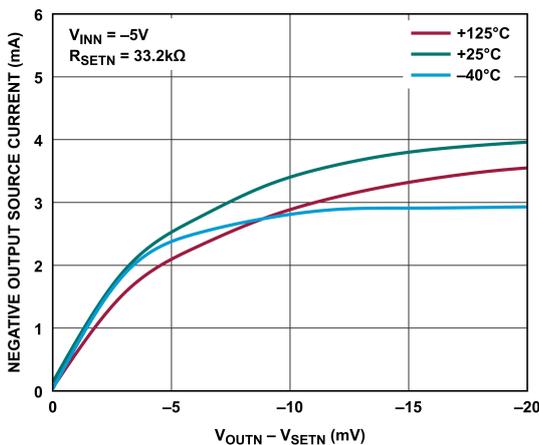


図 78. 負側出力オーバーシュート回復ソース電流と $V_{OUTN} - V_{SETN}$ の関係

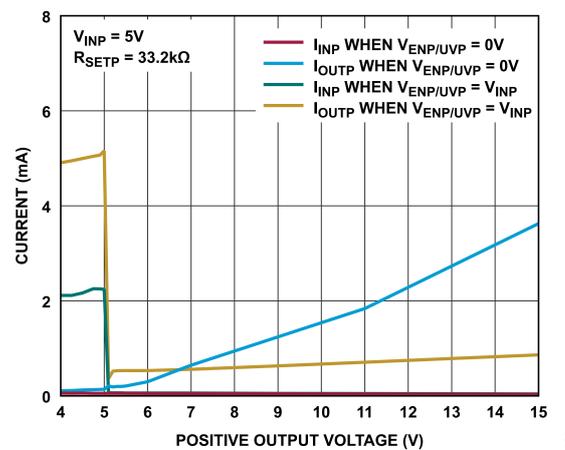


図 81. V_{OUTP} が $V_{OUTP(NOMINAL)}$ を超えるように強制されたときの電流と正側出力電圧の関係 (I_{INP} は正側の入力電流、 I_{OUTP} は正側出力電流)

代表的な性能特性

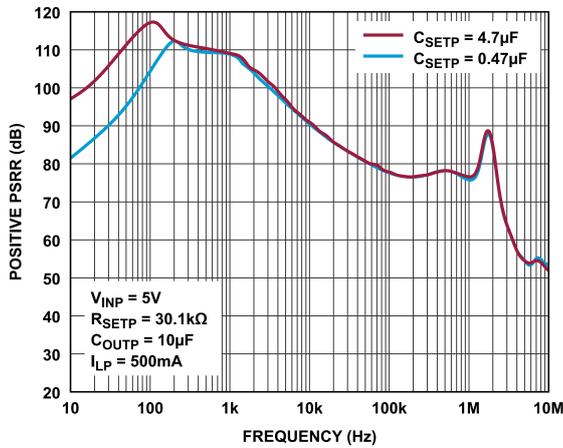


図 82. 正側 PSRR と周波数の関係 (C_{SETP} を変化)

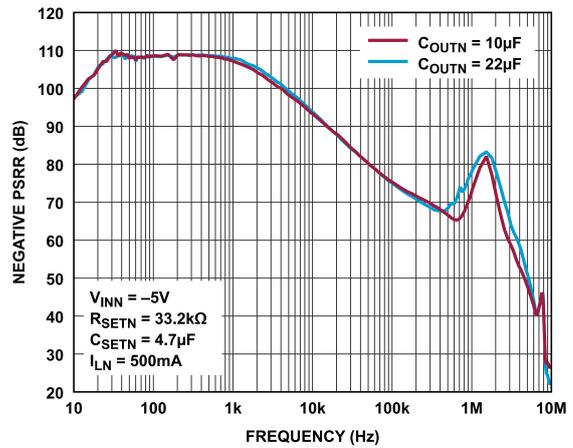


図 85. 負側 PSRR と周波数の関係 (C_{OUTN} を変化)

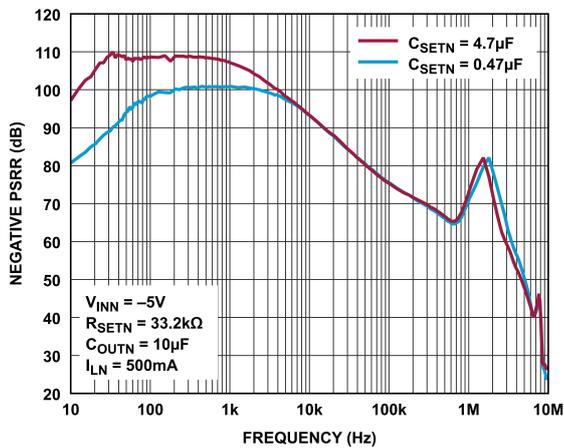


図 83. 負側 PSRR と周波数の関係 (C_{SETN} を変化)

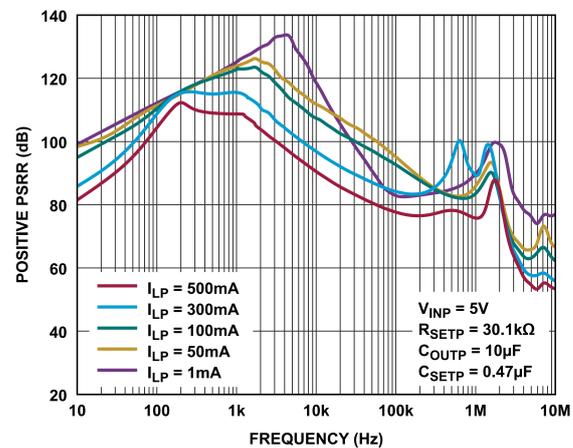


図 86. 正側 PSRR と周波数の関係 (I_{LP} を変化)

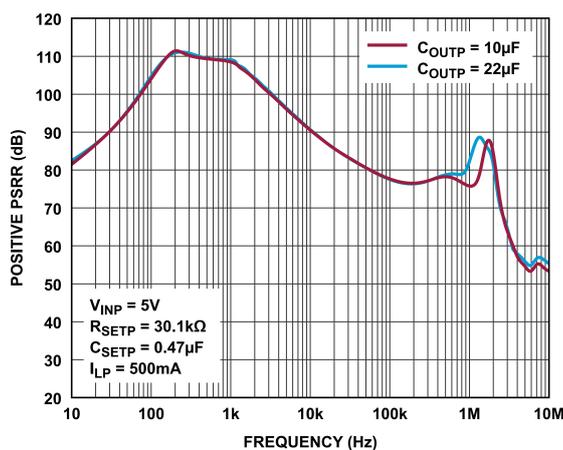


図 84. 正側 PSRR と周波数の関係 (C_{OUTP} を変化)

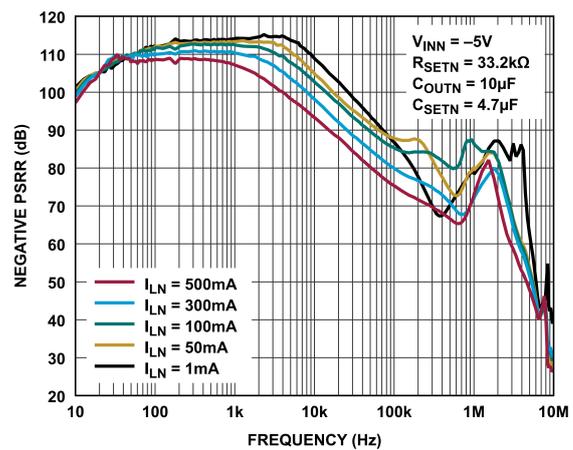


図 87. 負側 PSRR と周波数の関係 (I_{LN} を変化)

代表的な性能特性

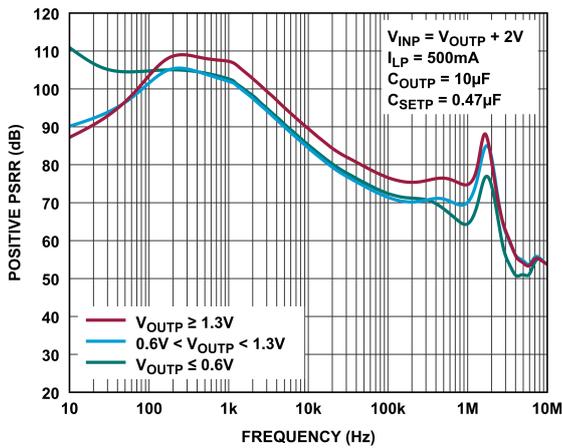


図 88. 正側エラー・アンプ入力ペアの関数としての正側 PSRR と周波数の関係

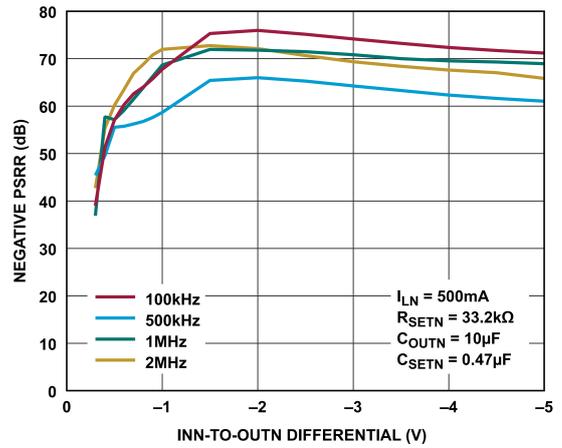


図 91. 負側 PSRR と $V_{INN} - V_{OUTN}$ 間差分の関係

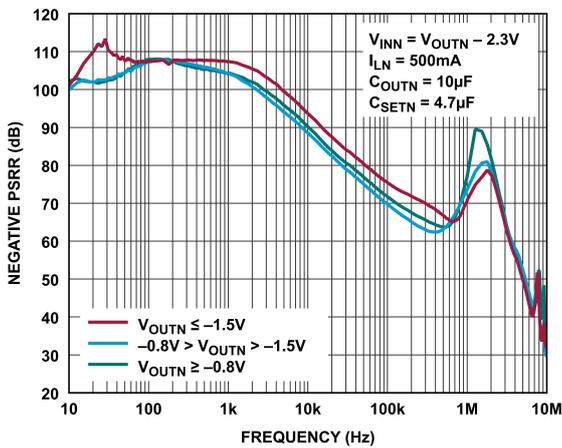


図 89. 負側エラー・アンプ入力ペアの関数としての負側 PSRR と周波数の関係

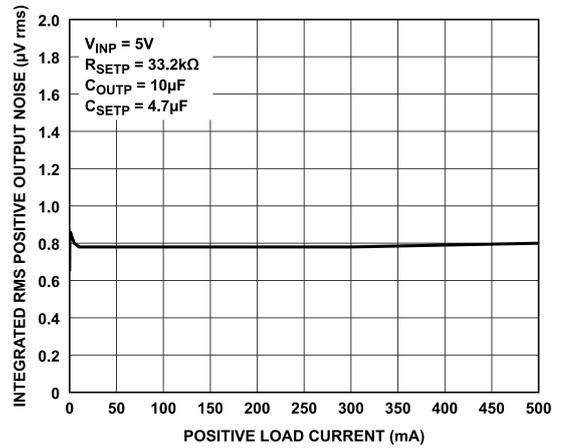


図 92. 総合 RMS 正側出力ノイズ (10Hz~100kHz) と正側負荷電流の関係

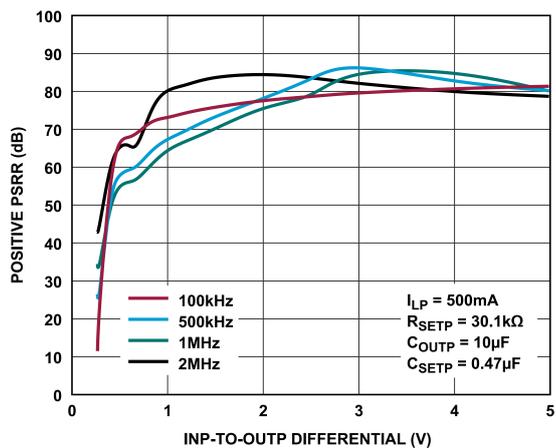


図 90. 正側 PSRR と $V_{INP} - V_{OUTP}$ 間差分の関係

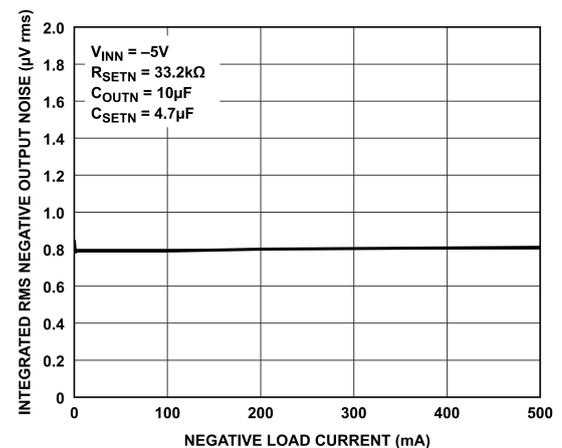


図 93. 総合 RMS 負側出力ノイズ (10Hz~100kHz) と負側負荷電流の関係

代表的な性能特性

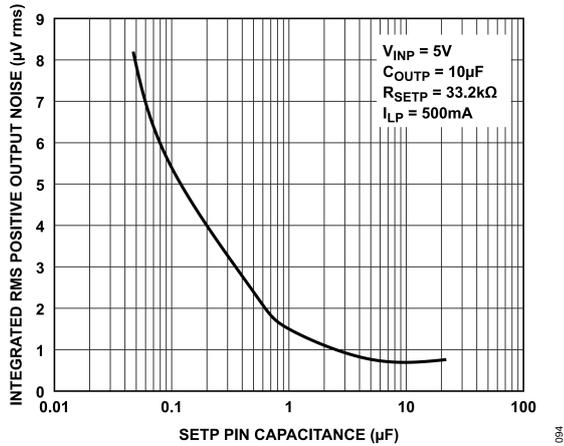


図 94. 総合 RMS 正側出力ノイズ (10Hz~100kHz) と SETP ピンの容量の関係

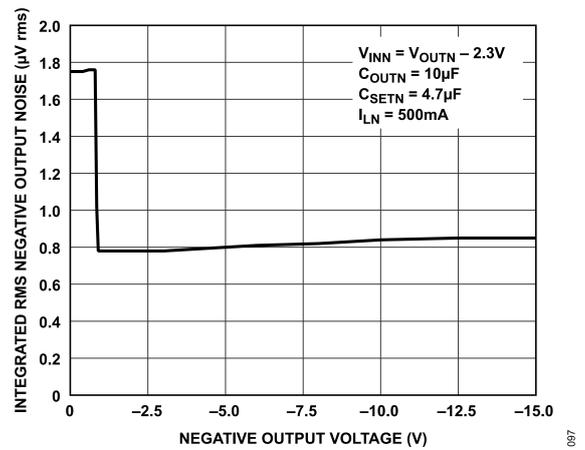


図 97. 総合 RMS 負側出力ノイズ (10Hz~100kHz) と 負側出力電圧の関係

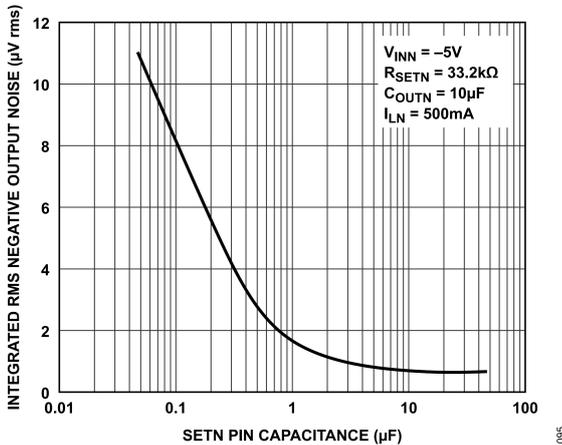


図 95. 総合 RMS 負側出力ノイズ (10Hz~100kHz) と SETN ピンの容量の関係

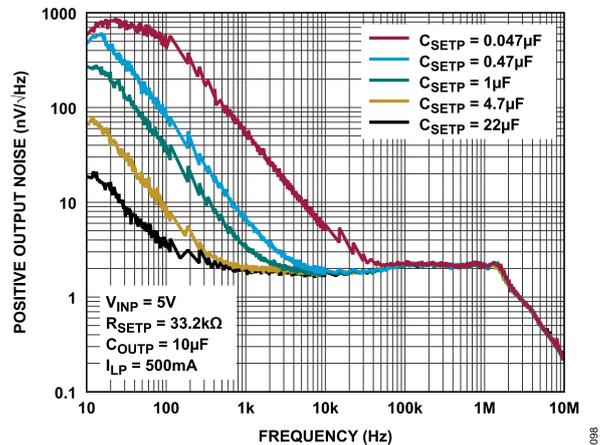


図 98. 正側出力ノイズと周波数の関係 (C_{SETP} を変化)

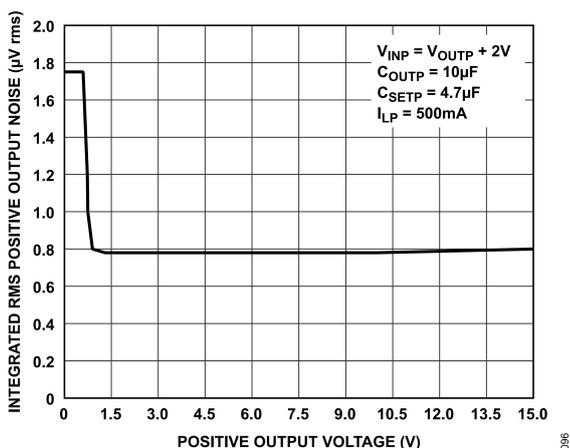


図 96. 総合 RMS 正側出力ノイズ (10Hz~100kHz) と 正側出力電圧の関係

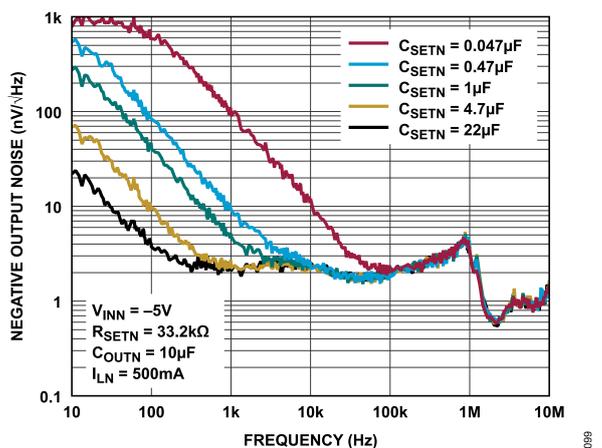


図 99. 負側出力ノイズと周波数の関係 (C_{SETN} を変化)

代表的な性能特性

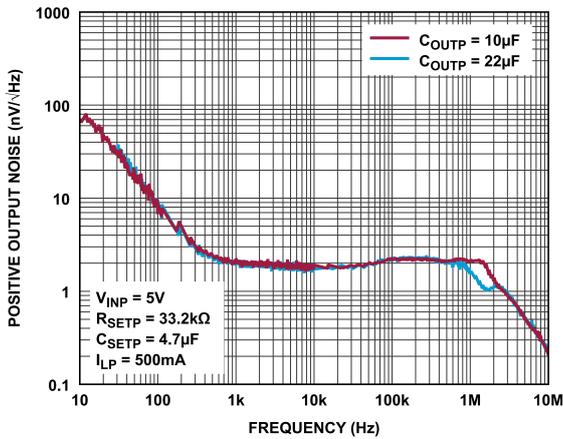


図 100. 正側出力ノイズと周波数の関係 (C_{OUTP} を変化)

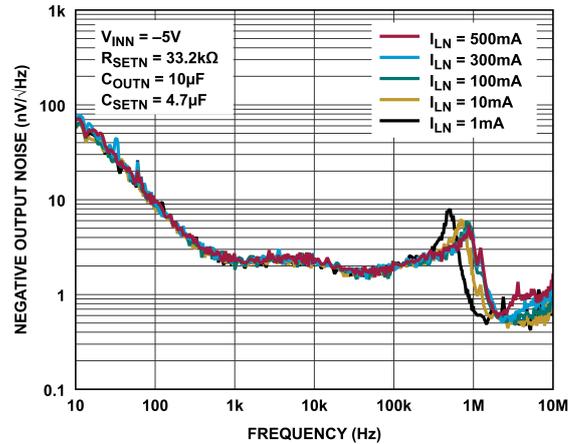


図 103. 負側出力ノイズと周波数の関係 (I_{LN} を変化)

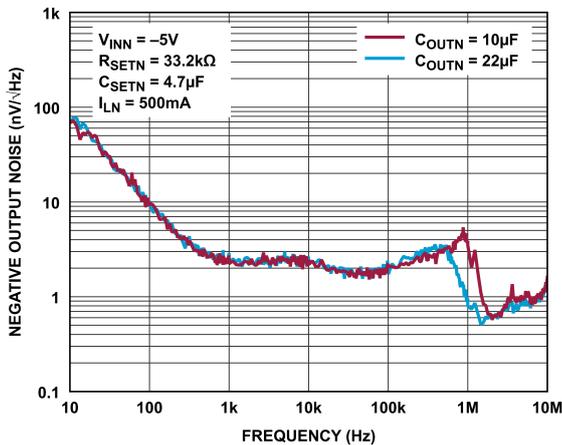


図 101. 負側出力ノイズと周波数の関係 (C_{OUTN} を変化)

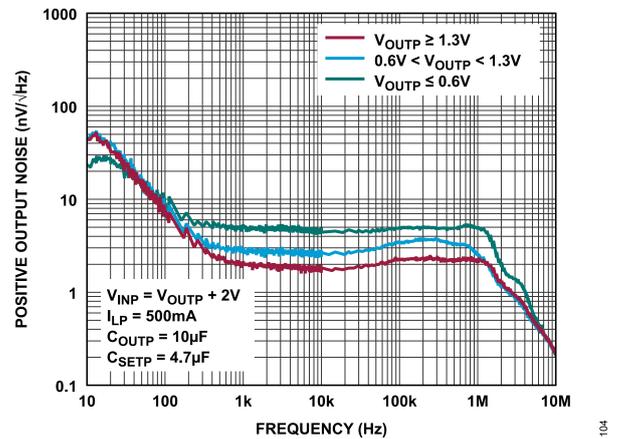


図 104. 正側エラー・アンプ入力カペアの関数としての正側出力ノイズと周波数の関係

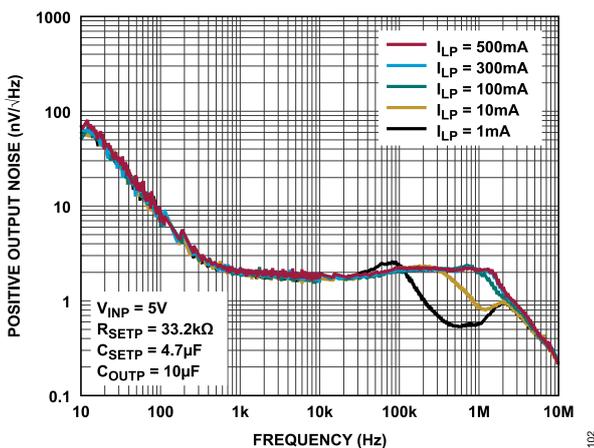


図 102. 正側出力ノイズと周波数の関係 (I_{LP} を変化)

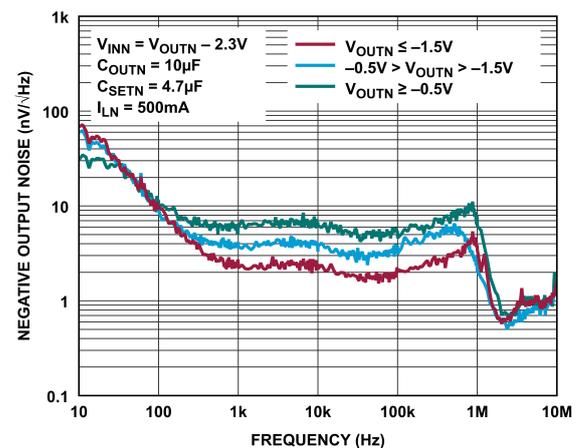


図 105. 負側エラー・アンプ入力カペアの関数としての負側出力ノイズと周波数の関係

代表的な性能特性

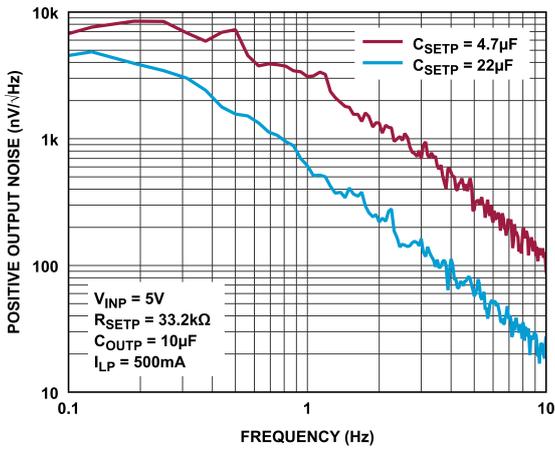


図 106. 正側出力ノイズ (0.1Hz~10Hz) と周波数の関係

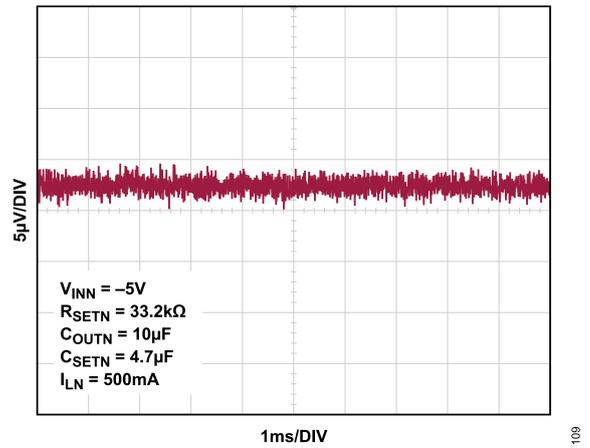


図 109. 負側出力ノイズ : 10Hz~100kHz

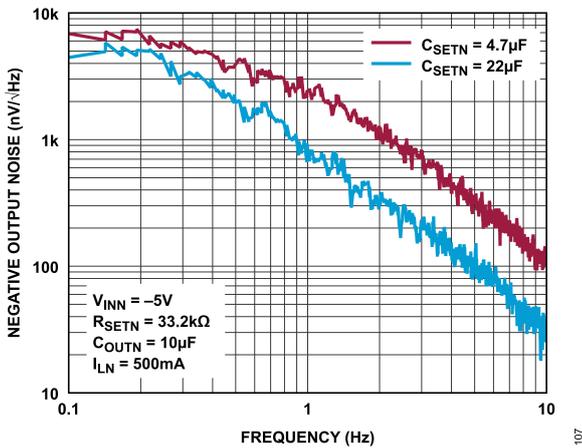


図 107. 負側出力ノイズ (0.1Hz~10Hz) と周波数の関係

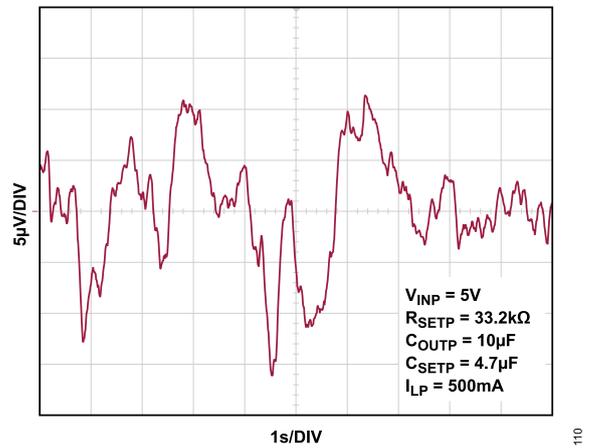


図 110. 正側出力ノイズ : 0.1Hz~10Hz (C_SETP = 4.7µF)

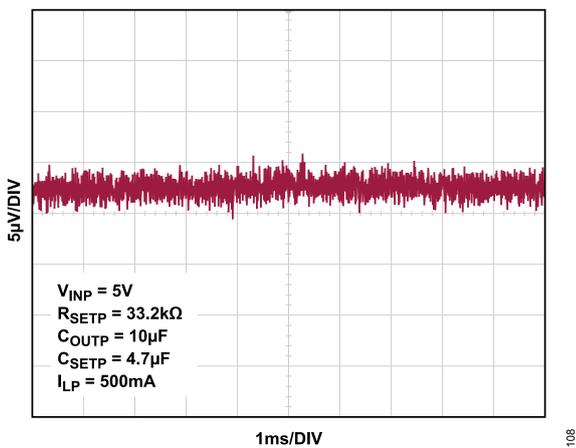


図 108. 正側出力ノイズ : 10Hz~100kHz

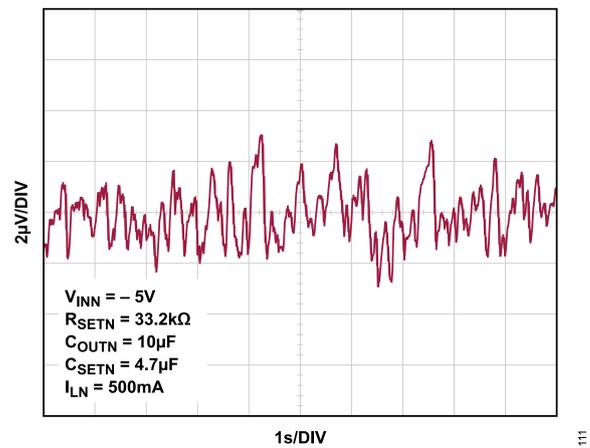


図 111. 負側出力ノイズ : 0.1Hz~10Hz (C_SETN = 4.7µF)

代表的な性能特性

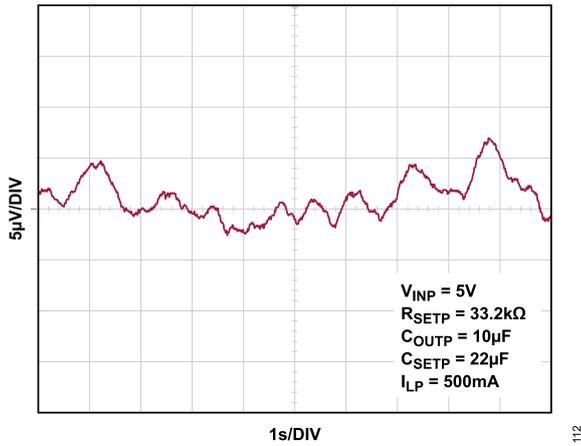


図 112. 正側出力ノイズ : 0.1Hz~10Hz ($C_{SETP} = 22\mu F$)

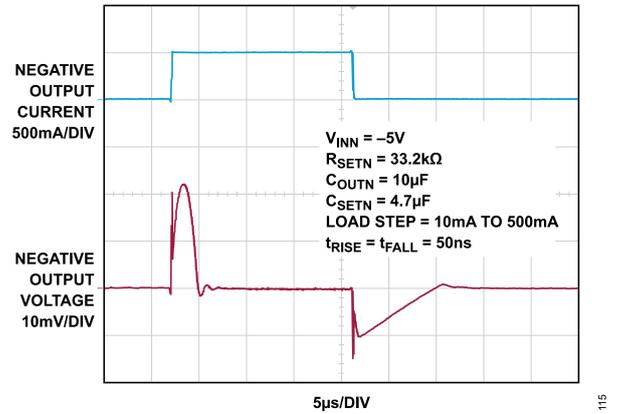


図 115. 負側負荷過渡応答

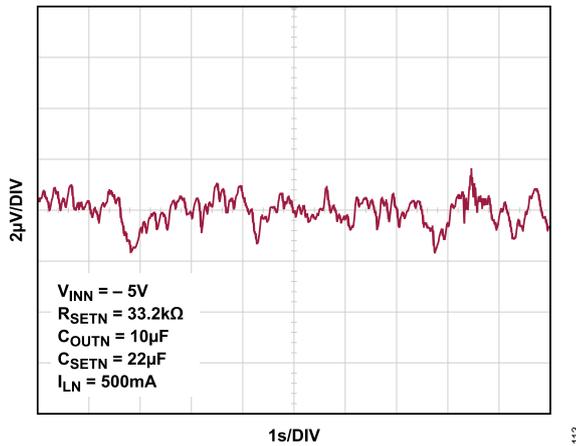


図 113. 負側出力ノイズ : 0.1Hz~10Hz ($C_{SETN} = 22\mu F$)

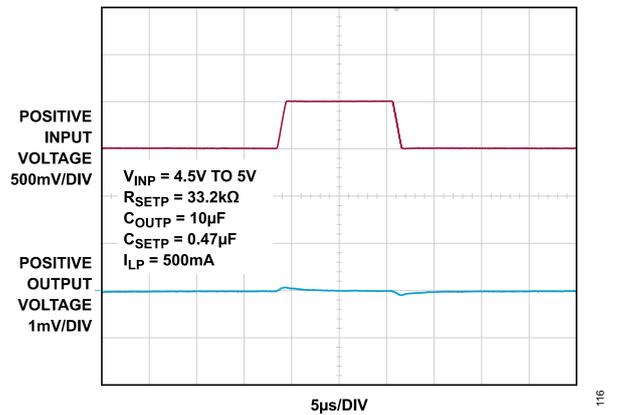


図 116. 正側ライン過渡応答

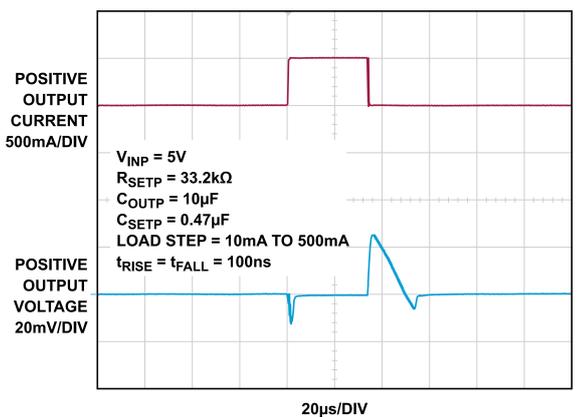


図 114. 正側負荷過渡応答

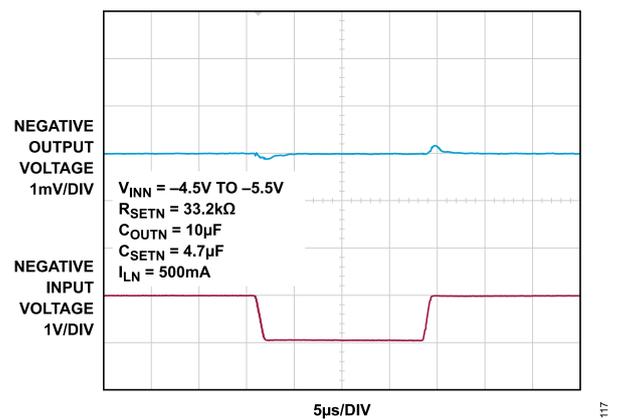
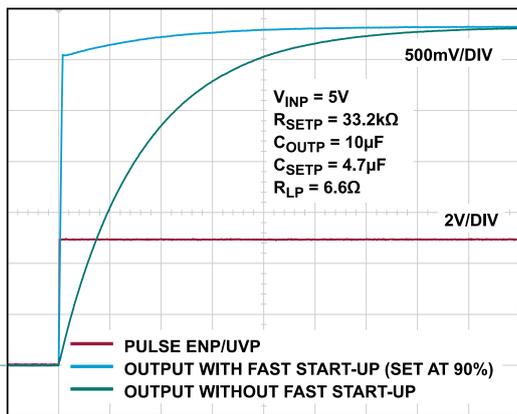


図 117. 負側ライン過渡応答

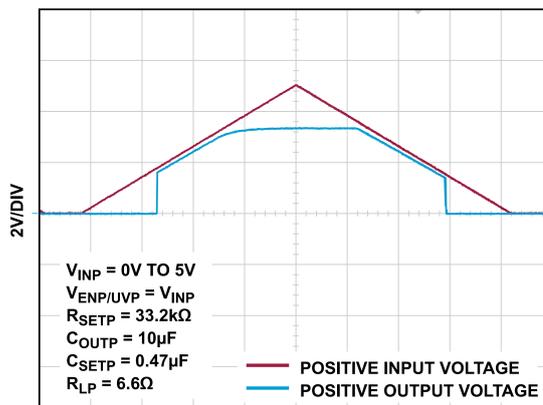
代表的な性能特性



100ms/DIV

118

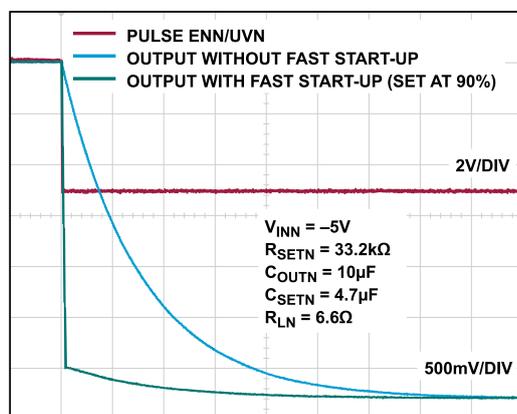
図 118. 高速スタートアップ回路有効/無効での大きな C_{SETP} に対する正側スタートアップ時間



50ms/DIV

120

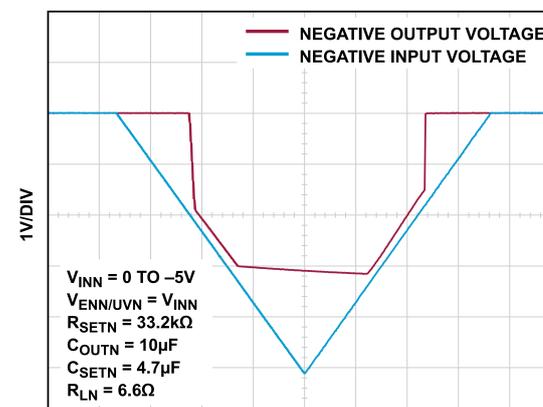
図 120. 正側入力電源のランプアップとランプダウン



100ms/DIV

119

図 119. 高速スタートアップ回路有効/無効での大きな C_{SETN} に対する負側スタートアップ時間



50ms/DIV

121

図 121. 負側入力電源のランプアップとランプダウン

動作原理

LT3097 の正側レギュレータの機能ブロック図を [図 122](#) に示します。LT3097 の負側レギュレータの機能ブロック図を [図 123](#) に示します。

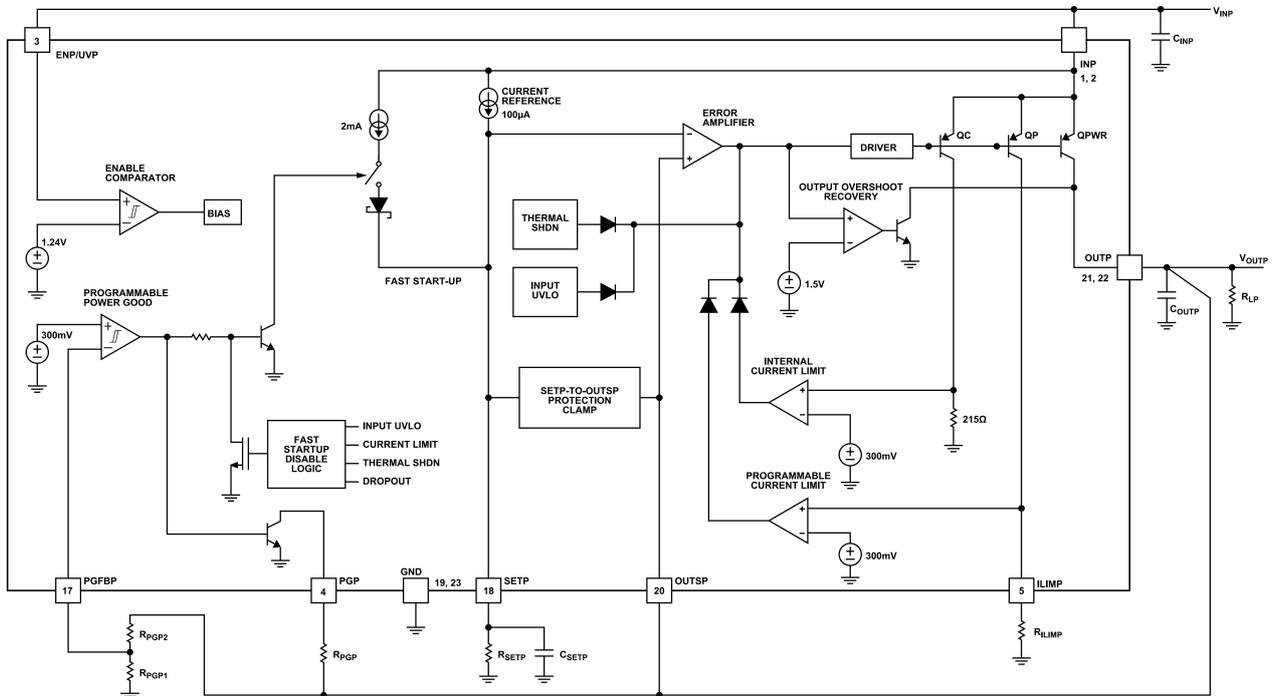


図 122. 正側レギュレータの機能ブロック図

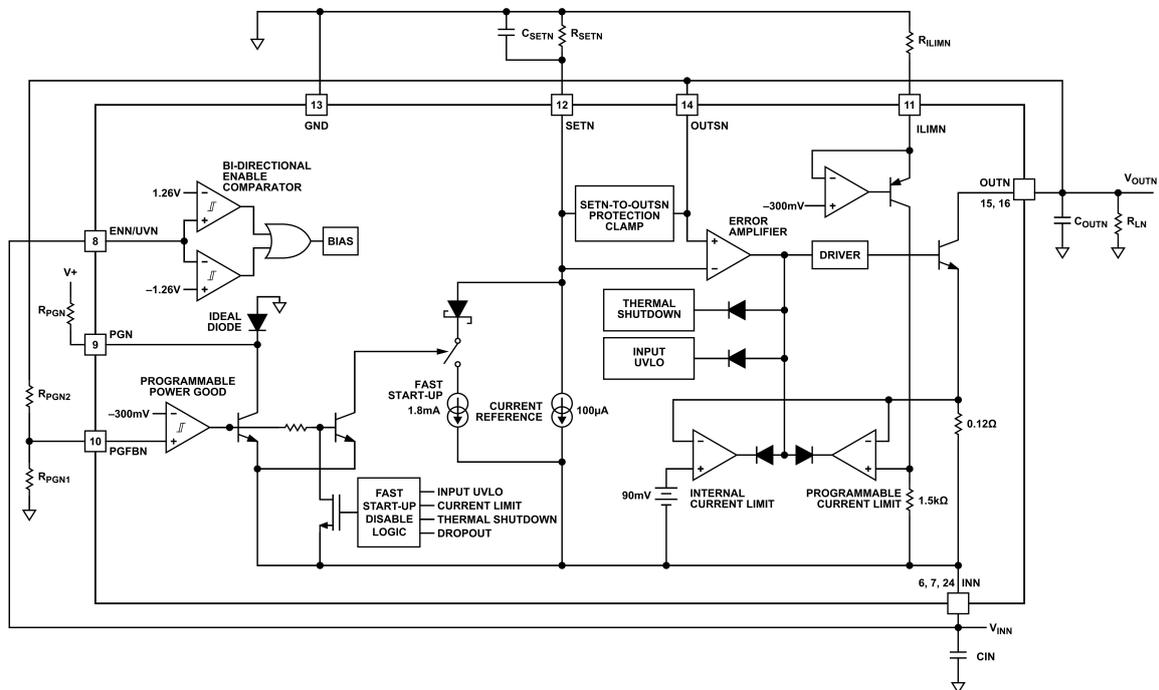


図 123. 負側レギュレータの機能ブロック図

アプリケーション情報

LT3097 は、デュアル正/負、高性能低ドロップアウト・リニア電圧レギュレータで、ノイズに敏感なアプリケーションへの給電用に、超低ノイズと超高 PSRR を実現するアナログ・デバイスアーキテクチャを搭載しています。正確な電流源を受け、高性能のレール to レール電圧バッファとして設計されており、正側出力は 0V~15V、負側出力は 0V~19.5V を出力可能です。LT3097 にはプログラマブルな電流制限、高速スタートアップ機能、プログラマブルなパワー・グッドが正負側共に備えられています。

LT3097 は使いやすく、高性能レギュレータに期待される様々な保護機能を備えています。短絡保護、安全動作エリア保護、ヒステリシス付きのサーマル・シャットダウンが正側、負側共に備えられています。正側レギュレータは、バッテリー逆接続保護機能と逆方向電流保護機能も備えています。

LT3097 は熱特性が改善された低背型の 22 ピン (6mm × 3mm) プラスチック DFN パッケージを採用しており、各レギュレータに対して裏面に露出パッドがあるため最適な熱性能が得られます。

出力電圧

LT3097 の正側レギュレータには、SETP ピンに電流を流す精密な 100μA の電流リファレンスが組み込まれており、正側レギュレータのエラー・アンプの反転入力に接続されています。同様に、LT3097 の負側レギュレータには、SETN ピンから電流を流す精密な 100μA の電流リファレンスが組み込まれており、負側レギュレータのエラー・アンプの反転入力に接続されています。図 124 には、SETP からグラウンド、SETN からグラウンドに抵抗を接続することによって、各々のエラー・アンプ用にリファレンス電圧を生成する構成を示しています。それぞれのリファレンス電圧は、正側レギュレータに対しては SETP ピン電流と SETP ピンの抵抗の積、負側レギュレータに対しては SETN ピン電流と SETN ピンの抵抗の積となります。ユニティ・ゲイン構成のエラー・アンプにより、エラー・アンプの非反転入力電圧を低インピーダンスにしたものが出力されます。この非反転入力電圧は、正側レギュレータについては OUTP ピンに外部で接続される OUTSP ピンであり、負側レギュレータについては OUTN ピンに外部で接続される OUTSN ピンです。

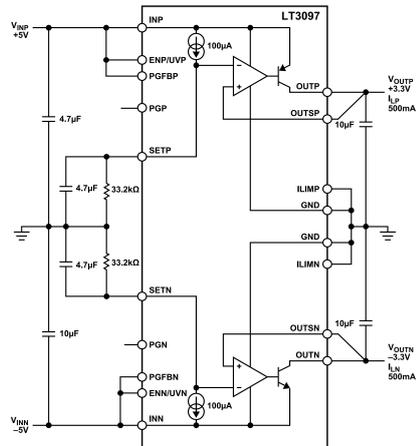


図 124. レギュレータ設定の基本構成

正側レギュレータでは、レール to レールのエラー・アンプと電流リファレンスにより、0V (0Ω 抵抗を使用) から、V_{INP} からドロップアウト分を減じた電圧 (最大値は 15V) までの幅広い出力電圧範囲を出力可能です。0V~0.6V の出力については PNP ベースの入力ペア、1.3V を超える出力電圧については NPN ベースの入力ペアがアクティブになり、0.6V~1.3V の出力については両入力ペアの間でスムーズに切り替わります。正側のレギュレータについては NPN ベースの入力ペアが最高の総合性能を発揮するように設計されています。エラー・アンプの入力ペアにおけるオフセット電圧、SETP ピン電流、出力ノイズ、PSRR の変動については、表 1 を参照してください。負側レギュレータでは、レール to レールのエラー・アンプと電流リファレンスにより、0V (0Ω 抵抗を使用) から V_{INN} からドロップアウト分を減じた電圧 (最小値は -19.5V) までの幅広い出力電圧範囲を出力可能です。0V~-0.8V の出力については NPN ベースの入力ペア、-1.5V を下回る出力電圧については PNP ベースの入力ペアがアクティブになり、-0.8V~-1.5V の出力については両入力ペアの間でスムーズに切り替わります。負側のレギュレータについては PNP ベースの入力ペアが最高の総合性能を発揮するように設計されています。エラー・アンプの入力ペアにおけるオフセット電圧、SETN ピン電流、出力ノイズ、PSRR の変動については、表 1 を参照してください。表 4 にはいくつかの一般的な出力電圧と、それに対応する 1%抵抗の R_{SETP} および R_{SETN} の値を示しています。

表 4. 一般的な出力電圧に対する 1%抵抗値

R _{SETP} /R _{SETN} (kΩ)	V _{OUTP} (V)	V _{OUTN} (V)
24.9	2.5	-2.5
33.2	3.3	-3.3
49.9	5	-5
121	12	-12
150	15	-15

一般的なレギュレータで用いられる標準的な電圧リファレンスと比較して、電流リファレンスを使用するメリットは、設定出力電圧に関わらずレギュレータが常にユニティ・ゲイン構成で動作することです。この構成により、LT3097 の正側と負側のレギュレータでは、出力電圧と独立なループゲイン、周波数応答、バンド幅が得られます。その結果、ノイズ、PSRR、過渡応答性能は出力電圧によって変化しません。更に、SETP/SETN ピンの

アプリケーション情報

電圧を高い出力電圧まで増幅するようなエラー・アンプのゲインが必要ないため、出力の負荷レギュレーションは、出力電圧に対する固定パーセンテージで規定されるのではなく、数百マイクロボルトのレンジでより厳密に規定できます。

電流源は温度係数がゼロで非常に精度が高いため、SETP/SETN ピンの抵抗が高い精度を実現する上での制限要因になり得ます。そのため SETP/SETN ピンの抵抗には精密抵抗の使用が必要です。更に、SETP/SETN ピンとの間に漏れ電流の経路があると、出力電圧の誤差につながります。必要に応じて高品質の絶縁材（例えばテフロンや Kcl-F）を使用してください。また、絶縁部の表面を洗浄し、フラックスなどの残留物を除去することも必要です。湿度の高い環境では、SETP/SETN ピンに対して表面にコーティングを施し、防湿バリアを形成しなければならない場合があります。

基板の漏れ電流を最小化するためには、SETP/SETN ピンをそれと近い電位の、理想的には OUTP/OUTN ピンに接続されたガード・リングで囲います。回路基板の両面をガードすることが推奨されます。バルク漏れ電流の削減量は、ガード・リングの幅に依存します。SETP/SETN ピンに出入りする漏れ電流が 100nA あると、0.1%の誤差がリファレンス電圧に生じます。この程度の漏れ電流でも、他の要因の漏れ電流と合わせて、出力電圧に対して大きな誤差を発生させる可能性があり、特に広い動作温度範囲に対して顕著となります。図 125 は、標準的なガード・リングのレイアウト手法を図示しています。

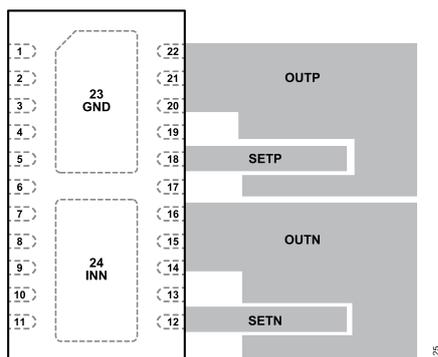


図 125. ガード・リングのレイアウト

SETP/SETN ピンは高インピーダンスのノードであるため、不要な信号が SETP/SETN ピンに混入し、不正な動作を招くことがあります。これは出力コンデンサが最小限で負荷電流が高いときの動作で最も顕著になります。SETP/SETN ピンを小さな容量でグラウンドにバイパスすることで、この問題を解決できます。容量は 10nF で十分です。より高い精度が必要なアプリケーションや可変出力電圧が必要なアプリケーションでは、SETP/SETN ピンは 100 μ A のシンク/ソースが可能な外部電圧源でアクティブに駆動することができます。SETP/SETN ピンに高精度の電圧リファレンスを接続すると、リファレンス電流と SETP/SETN ピン抵抗の許容誤差に起因する出力電圧の誤差を除去できます。

出力検出とその安定性

LT3097 の OUTSP/OUTSN ピンは出力にケルビン検出接続します。SETP/SETN ピン抵抗の GND 側は、負荷の GND 側にケルビン検出接続します。

更に、非常に高い PSRR を実現するよう、LT3097 の正側および負側のレギュレータのバンド幅は非常に高く (~1MHz) なっていますが、これは代表的な 10 μ F のセラミック出力コンデンサ (1206 サイズ) の自己共振周波数 (~1.6MHz) に近くなります。従って、フィードバック・ループの外に更に追加のインピーダンス (ESR および ESL) を加えないようにすることが重要です。このため、図 126 に示すように、PCB パターンとハンダ処理によるインダクタンスの影響を最小化するために、OUTSP/OUTSN ピンは直接 COUTP/COUTN に接続し、CSETP/CSETN の GND 側は直接 COUTP/COUTN の GND 側に接続し、更に CINP/CINN および COUTP/COUTN の GND 側は十分に近づけます。これらの条件を満たす推奨レイアウトの詳細については、LT3097 評価用ボードのユーザ・ガイド (EVAL-LT3097-AZ) を参照してください。LT3097 にはこの推奨レイアウト通りでなくても発振しない程度の安定性がありますが、実際のレイアウト、位相とゲインのマージン、ノイズ、PSRR によって性能が低下することがあります。

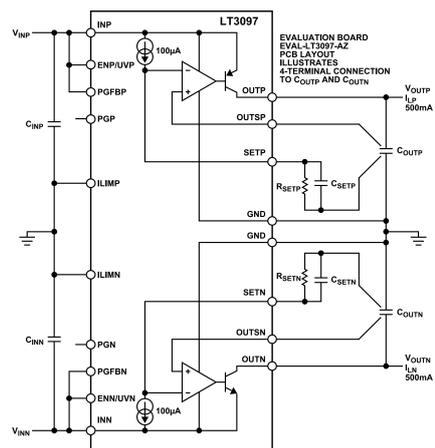


図 126. 最高の性能を発揮する COUTP/COUTN および CSETP/CSETN の接続

安定性と出力容量

LT3097 には、動作を安定させるための出力コンデンサが必要です。広帯域幅であるため、アナログ・デバイセズでは低 ESR/ESL のセラミック・コンデンサを推奨しています。正側のレギュレータについては、ESR が 20m Ω 未満で ESL が 2nH 未満である、最小 10 μ F のコンデンサが安定性のために必要です。負側のレギュレータについては、ESR が 30m Ω 未満で ESL が 1.5H 未満である、最小 10 μ F のコンデンサが安定性のために必要です。

10 μ F のセラミック・コンデンサ 1 個で高 PSRR と低ノイズの性能を実現できますが、これより大きい出力コンデンサを使っても性能の向上はわずかです。出力容量を増やすとレギュレータの帯域幅が減少するため、最小値の 10 μ F より大きい出力コンデンサを使ってもほとんど利点がないからです。ただし、出力容量を大きくすると負荷過渡応答時のピーク出力変動は小さくなります。LT3097 から電力を供給する個々の部品のデカップルに使用されるバイパス・コンデンサによって、実効出力容量が増加することに注意してください。

アプリケーション情報

使用するセラミック・コンデンサの種類には特に注意を払ってください。コンデンサは様々な誘電体を使って作られており、温度や印加電圧に対する動作がそれぞれ異なります。使用される最も一般的な誘電体は、米国電子工業会（EIA）の温度特性コード Z5U、Y5V、X5R、X7R で規定されています。Z5U と Y5V の誘電体は小さいパッケージで大容量を実現できる利点がありますが、図 127 と図 128 に示すように、これらの誘電体は電圧係数と温度係数が高い傾向があります。5V レギュレータで使用する場合、16V、10 μ F の Y5V コンデンサでは、動作温度範囲全体で印加される DC バイアス電圧に対する実効値が 1 μ F \sim 3 μ F と低くなる可能性があります。

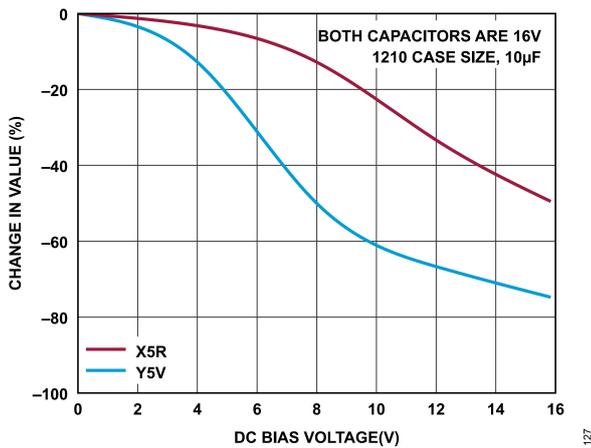


図 127. セラミック・コンデンサの DC バイアス特性

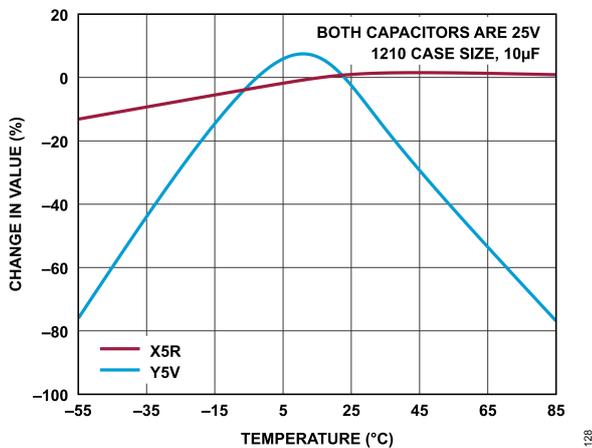


図 128. セラミック・コンデンサの温度特性

X5R および X7R の誘電体はより安定した特性が得られるので、LT3097 に適しています。X7R 誘電体は温度範囲にわたっての安定性が高く、X5R は比較的安価で値の高いものが入手可能です。いずれにせよ、X5R および X7R の誘電体を使用するときでも配慮は必要です。X5R および X7R のコードで規定されるのは、動

作温度範囲と温度による最大の容量変化のみです。X5R および X7R の DC バイアスに対する容量変化特性は Y5V や Z5U の誘電体よりも優れていますが、必要なレベルを下回るほど容量が低下してしまう可能性があります。図 129 に示すように、コンデンサの DC バイアス特性は部品のケース・サイズが大きくなるほど良い傾向があります。しかし、動作電圧において期待する容量が得られることを検証することが強く推奨されます。電圧係数が良好でケース・サイズが小さいことから、アナログ・デバイスではムラタの GCM シリーズ・セラミック・コンデンサの使用を推奨しています。

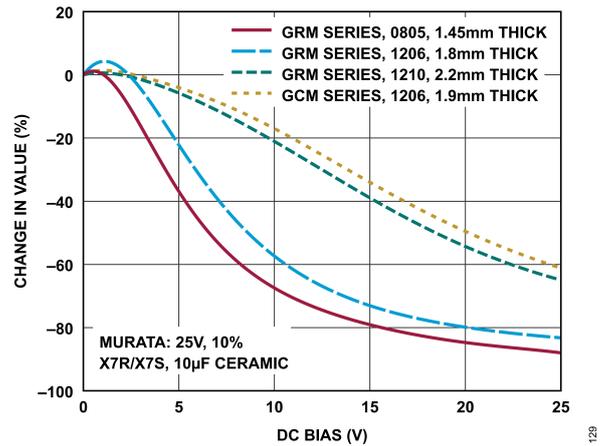


図 129. 様々なケース・サイズでのコンデンサの電圧係数

振動の大きい環境

こうした問題の原因は電圧係数と温度係数だけではありません。セラミック・コンデンサの中には圧電応答を示すものがあります。圧電素子では、圧電マイクの動作と同様、機械的なストレスによって端子間に電圧が発生します。セラミック・コンデンサの場合は、このストレスはシステムにおける機械的振動や温度変動によって発生する可能性があります。

LT3097 のアプリケーションを振動の大きい環境で動作させた場合には、3 つの大きな圧電ノイズ発生源があります。すなわち、セラミックの出力コンデンサ、入力コンデンサ、SETP/SETN ピン・コンデンサです。ただし、LT3097 では広い周波数範囲にわたって低い出力インピーダンスが得られるため、セラミック出力コンデンサの使用によって発生する出力ノイズは無視できる範囲です。同様に、LT3097 の PSRR は非常に高いため、セラミック入力コンデンサの使用によって発生する出力ノイズも無視できます。SETP/SETN ピンのインピーダンスは高いため、SETP/SETN ピンのセラミック・コンデンサでの圧電効果では大きな出力ノイズが発生し、ピーク to ピークの一時変動は数百 mV にも達します。しかし、SETP/SETN ピン・コンデンサの ESR および ESL の許容誤差は大きいので、SETP/SETN ピンには圧電応答を示さないコンデンサ（タンタル、電解、フィルム）を使用できます。電解コンデンサでは 1/f ノイズが高い傾向があります。いずれの場合も、表面実装型のコンデンサを強く推奨します。

アプリケーション情報

安定性と入力容量

LT3097 は正側レギュレータについては最小 4.7 μ F の INP ビン・コンデンサ、負側レギュレータについては最小 10 μ F の INN ビン・コンデンサで安定動作します。アナログ・デバイスでは低 ESR のセラミック・コンデンサの使用を推奨しています。電源から LT3097 の入力端子とグラウンド端子に接続される配線が長い場合には、値の小さい入力コンデンサと大きな負荷電流の組み合わせでは不安定になる可能性があります。配線のインピーダンスと入力コンデンサで形成される共振性の LC タンク回路がこの不安定性の要因であり、LT3097 に起因するものではありません。

配線の自己インダクタンス、すなわち単独のインダクタンスは、その長さに直接的に比例します。配線の径は自己インダクタンスにそれほど影響しません。例えば、直径 0.26 インチ (6.544 ミリ) の 2-AWG 単線ワイヤの自己インダクタンスは、直径 0.01 インチ (0.254 ミリ) の 30-AWG ワイヤのインダクタンスの約半分です。1 フィートの 30-AWG ワイヤでは 465nH の自己インダクタンスとなります。

配線の自己インダクタンスを削減する方法はいくつか存在します。1 つの方法は、LT3097 に向けて流れる電流を並列の 2 本の導体間で分担することです。この場合、配線をより離して配置するとインダクタンスが減少し、数インチだけ離して配置した場合でも最大 50% の削減になります。配線を分けると 2 つの同等のコンデンサが並列に接続されることとなります。しかし、互いに近接して配置すると、相互インダクタンスが配線の全自己インダクタンスに追加されるので、このような場合には 50% 削減は実現されません。総合的なインダクタンスを減少させる方法として 2 番目の更に効果的な手法は、順方向と戻りの導体 (入力とグラウンドの配線) を近接させて配置することです。2 つの 30-AWG のワイヤを 0.02 インチの間隔で配置した場合、全インダクタンスは単線の場合と比較して約 1/5 まで減少します。

近接したバッテリーで LT3097 に電力を供給する場合は、正側/負側のレギュレータに対して 4.7 μ F/10 μ F の入力コンデンサで安定性のためには十分です。しかし、離して配置した電源から LT3097 に電力を供給する場合には、より大きな値の入力コンデンサを使用してください。(最小値の 4.7 μ F/10 μ F に加えて) 配線長 6 インチごとに 1 μ F を追加するというのが概略のガイドラインです。アプリケーションの安定化に必要な最小入力容量は、出力容量や負荷電流によっても変動します。この問題への対応として、LT3097 の出力に追加の容量を配置します。しかしこのアプローチでは、入力バイパスの追加と比較すると、大幅に大きい容量が必要です。電源と LT3097 の入力の間直列抵抗を置いてアプリケーションの安定化につながりますが、これは 0.1 Ω ~0.5 Ω で十分です。このインピーダンスにより LC タンク回路が減衰しますが、ドロップアウト電圧は増加します。別の更に効果のある手法としては、LT3097 の正側/負側のレギュレータ入力の 4.7 μ F/10 μ F セラミック・コンデンサと並列に、高 ESR のタンタル・コンデンサもしくは電解コンデンサを使用する方法があります。

PSRR と入力容量

LT3097 をポスト・レギュレーション・スイッチング・コンバータとして使用するアプリケーションでは、LT3097 の入力に直接コンデンサを配置すると、LT3097 の近傍で (スイッチング周波数の) AC 電流が発生します。この比較的高周波のスイッチング

電流が磁場を発生し、LT3097 の出力に結合するため、実効 PSRR が劣化します。PSRR の劣化は、とりわけ PCB、スイッチング・プリレギュレータ、入力容量に大きく依存しますが、容易に 1MHz で 30dB 以上になり得ます。

PCB そのものの PSRR を実質的に劣化させているからといって、基板から LT3097 のハンダ付けを離してもこの劣化は存在します。従来型の低 PSRR の LDO レギュレータに対しては無視できますが、LT3097 では PSRR が非常に高いため、レギュレータの性能をフルに引き出すためには高次の寄生容量に注意を払う必要があります。

LT3097 近傍の高周波スイッチング電流の流れを抑えるためには、スイッチング・コンバータの出力コンデンサが LT3097 から 1 インチ以上離れて配置されていることを条件に、LT3097 の入力コンデンサを除去します。磁氣的結合は距離が離れるのに伴い急激に低下します。しかし、スイッチング・レギュレータが LT3097 よりあまりに離れて配置されている場合 (安全側に見て 2 インチ以上) は、入力コンデンサがなければ、他のレギュレータと同様に、LT3097 の入力は寄生 LC 共振周波数で発振します。更に、レギュレータの入力は何らかの容量でバイパスするのが一般的な (良い) 手法です。従って、このオプションのスコープはかなり限定されており、最も好んで使用されるソリューションというわけではありません。

そのため、可能な限り最高の PSRR 性能を得るためには、LT3097 デモボードのレイアウトを使用することをアナログ・デバイスでは推奨しています。詳細については LT3097 評価用ボードのユーザ・ガイド (EVAL-LT3097-AZ) を参照してください。LT3097 評価用ボードのレイアウトは、この高周波電流に起因する PSRR の劣化を防止するために磁場キャンセル手法を使用していますが、入力コンデンサも使用しています。

高周波スパイクのフィルタ処理

LT3097 をスイッチング・コンバータのポスト・レギュレーションに使用するアプリケーションでは、代表的には 100kHz~4MHz であるスイッチング・コンバータのスイッチング周波数に存在するノイズは、高い PSRR により効果的に抑制されます。しかし、スイッチング・コンバータのパワー・スイッチの遷移時に関連する、LT3097 のバンド幅を超える高周波 (数百 MHz) のスパイクは、LT3097 をほぼそのまま通過します。出力コンデンサはこのスパイクを吸収することを目的の 1 つとしてはいますが、ESL により高周波領域での効果は限定されます。フェライト・ビーズ、もしくはスイッチング・コンバータの出力と LT3097 の入力間の PCB パターンが短い場合 (例えば 0.5 インチ) のインダクタンスでさえも、こうした高周波のスパイクを抑制する LC フィルタとして機能します。

出力ノイズ

ノイズ性能に関しては、LT3097 には多くの長所があります。従来型リニア電圧レギュレータには、いくつかのノイズ源が存在します。従来型レギュレータのノイズ源として主要なものは、電圧リファレンス、エラー・アンプ、出力電圧を設定する抵抗分圧ネットワークのノイズ、この抵抗分圧器によるノイズ・ゲインです。多くの低ノイズ・レギュレータでは電圧リファレンスをピンに出力して、リファレンス電圧をバイパスすることによってノイズを抑制できるようにしています。

アプリケーション情報

一般的なリニア電圧レギュレータとは異なり、LT3097 は電圧リファレンスを使用しません。その代わりに、LT3097 は正側レギュレータと負側レギュレータのそれぞれに対して 100 μ A の電流リファレンスを使用します。正側レギュレータの電流リファレンスは代表値で 20pA/ $\sqrt{\text{Hz}}$ (10Hz~100kHz の帯域幅にわたり実効値 6nA) のノイズ電流レベルで動作します。最終的な正側の電圧ノイズは、この電流ノイズに SETP 抵抗値を乗じ、更に正側レギュレータのエラー・アンプのノイズおよび SETP 抵抗の熱雑音と RMS 加算したものになります。この熱雑音は、k をボルツマン定数 (1.380649 $\times 10^{-23}$ J/K)、T を絶対温度として、 $\sqrt{4kTR_{SETP}}$ です。負側レギュレータの電流リファレンスは代表値で 27pA/ $\sqrt{\text{Hz}}$ (10Hz~100kHz の帯域幅にわたり実効値 8nA) のノイズ電流レベルで動作します。最終的な負側の電圧ノイズは、この電流ノイズに SETN 抵抗値を乗じ、更に負側レギュレータのエラー・アンプのノイズおよび SETN 抵抗の熱雑音と RMS 加算したものになります。この熱雑音は、k をボルツマン定数 (1.380649 $\times 10^{-23}$ J/K)、T を絶対温度として、 $\sqrt{4kTR_{SETN}}$ です。

従来型リニア電圧レギュレータに存在する問題の 1 つは、出力電圧を設定する抵抗分圧器によってリファレンス・ノイズのゲインが増加することです。これとは対照的に LT3097 のユニティ・ゲイン・フォロワを使用したアーキテクチャでは、SETP/SETN ピンから正側/負側出力へのゲインがありません。そのため、コンデンサで SETP/SETN ピン抵抗をバイパスすると、正側/負側の出力ノイズは設定された正側/負側の出力電圧と独立になります。最終的な正側出力のノイズは正側レギュレータのエラー・アンプのノイズだけで決まり、代表値で 10kHz~1MHz のバンド幅にわたり 2nV/ $\sqrt{\text{Hz}}$ 、4.7 μ F の SETP 抵抗を使用したときに 10kHz~100kHz のバンド幅で 0.8 μ V rms です。最終的な負側出力のノイズは負側レギュレータのエラー・アンプのノイズだけで決まり、代表値で 10kHz~1MHz のバンド幅にわたり 2.2nV/ $\sqrt{\text{Hz}}$ 、4.7 μ F の SETN 抵抗を使用したときに 10kHz~100kHz のバンド幅で 0.8 μ V rms です。

ノイズ・スペクトル密度 (10Hz~10MHz の周波数範囲、0.1Hz~10Hz の 1/f ノイズ周波数範囲に対する) および様々な負荷電流や SET ピンの容量に対する RMS 総合ノイズの情報については、[図 92](#)、[図 93](#)、[図 94](#)、[図 95](#)、[図 98](#)、[図 99](#)、[図 102](#)、[図 103](#)、[図 106](#)、[図 107](#) を参照してください。

SETP/SETN ピンの (バイパス) 容量 : ノイズ、PSRR、過渡応答、ソフトスタート

出力ノイズの抑制に加えて、SETP/SETN ピンのバイパス・コンデンサには PSRR と過渡特性の改善の効果もあります。バイパス・コンデンサの漏れ電流があると、LT3097 の DC レギュレーションの性能低下を招きます。コンデンサの漏れ電流が 100nA であっても、0.1% の DC エラーになります。そのため、アナログ・デバイスは品質の高い低リークセラミック・コンデンサの使用を推奨しています。

SETP/SETN ピンにバイパス・コンデンサを使用しても、出力がソフトスタートされて突入電流が抑制されます。SETP/SETN ピン抵抗とコンデンサで形成される RC 時定数により、ソフトスタート時間が決まります。公称 VOUT の 0% から 90% への上昇率は次式で得られます。

$$t_{SS} \approx 2.3 \times R_{SET} \times C_{SET} \quad (\text{Fast Start} - \text{Up Disabled}) \quad (1)$$

高速スタートアップ

(100Hz 以下での) 1/f ノイズの低減が必要な超低ノイズのアプリケーションでは、SETP/SETN ピンのコンデンサには最大 22 μ F に至る大きな値のものが必要となります。通常、この大きな値によりレギュレータのスタートアップ時間は大きく増加します。しかし LT3097 は、起動中の SETP/SETN ピンの電流を約 2mA/1.8mA に増加させる高速起動回路を備えています。

[図 122](#)/[図 123](#) に示すように、2mA/1.8mA の電流源は PGFBP/PGFBN が 300mV/-300mV より小さい場合に接続状態になりますが、レギュレータが電流制限、ドロップアウト、サーマル・シャットダウンの状態の場合や入力電圧が最小の V_{INP}/V_{INN} より小さい場合にはその限りではありません。

高速起動の機能を使用しない場合には、PGFBP/PGFBN は INP/INN に接続するか、もしくは出力電圧が 300mV/-300mV を超える場合には OUTP/OUTN に接続しますが、この場合にはパワー・グッド機能も合わせてディスエーブルされます。

詳細な情報については、[正側レギュレータのプログラマブルなパワー・グッド](#)および[負側レギュレータのプログラマブルなパワー・グッド](#)のセクションを参照してください。

ENP/UVP

ENP/UVP ピンは、正側レギュレータを微小消費電力のシャットダウン状態に入れるために使用します。LT3097 の正側レギュレータには ENP/UVP ピンに精密な 1.24V のターンオン閾値があり、130mV のヒステリシスが存在します。[図 131](#) に示すように正側の入力電源に対する抵抗分圧器と組み合わせるとこの閾値を使用すると、正側レギュレータについて正確な UVLO 閾値を定義できます。この抵抗分圧ネットワークの計算では、[表 1](#) に示す閾値での ENP/UVP ピンの電流 ($I_{ENP/UVP}$) の算入が必要で、次のようになります。

$$V_{INP(UVLO)} = 1.24 \text{ V} \times \left(1 + \frac{R_{ENP2}}{R_{ENP1}}\right) + I_{ENP/UVP} \times R_{ENP2} \quad (2)$$

ここで、

R_{ENP1} と R_{ENP2} はそれぞれ、ENP/UVP ピンと GND の間、ENP/UVP ピンと INP の間の抵抗です。

R_{ENP1} が 100k Ω より低ければ、 $I_{ENP/UVP}$ は無視できます。使用しない場合は ENP/UVP を INP に接続します。

ENN/UVN

ENN/UVN ピンは、負側レギュレータを微小消費電力のシャットダウン状態に入れるために使用します。LT3097 の負側レギュレータには ENN/UVN ピンに精密な -1.26V のターンオン閾値があり、215mV のヒステリシスが存在します。[図 131](#) に示すように負側の入力電源に対する抵抗分圧器と組み合わせるとこの閾値を使用すると、負側レギュレータについて正確な UVLO 閾値を定義できます。この抵抗分圧ネットワークの計算では、[表 1](#) に示す閾値での ENN/UVN ピンの電流 ($I_{ENN/UVN}$) の算入が必要で、次のようになります。

アプリケーション情報

$$V_{INN(UVLO)} = -1.26 V \times \left(1 + \frac{R_{ENN2}}{R_{ENN1}}\right) - I_{ENN/UVN} \times R_{ENN2} \quad (3)$$

ここで、

R_{ENN1} と R_{ENN2} はそれぞれ、ENN/UVN ピンと GND の間、ENN/UVN ピンと INN の間の抵抗です。

R_{ENN1} が $100k\Omega$ より低ければ、 $I_{ENN/UVN}$ は無視できます。使用しない場合は ENP/UVN を INP に接続します。

ENN/UVN ピンは双方向であるので、 $1.26V$ より高くプルアップすることによって LT3097 の負側レギュレータをオンにすることもできます。バイポーラ電源アプリケーションでは、ENN/UVN 閾値を使用して、LT3097 の正側のレギュレータがオンになった後に負側レギュレータをオンにするシーケンス制御が可能です。使用しない場合は ENN/UVN を INN に接続します。

正側レギュレータのプログラマブルなパワー・グッド

図 122 および高速スタートアップのセクションに示したように、正側のパワー・グッド閾値は、 R_{PGP1} および R_{PGP2} の 2 つの外付け抵抗によって次式のようにユーザ設定が可能です。

$$V_{OUTP(PG_THRESHOLD)} = 0.3V \times \left(1 + \frac{R_{PGP2}}{R_{PGP1}}\right) + I_{PGFBP} \times R_{PGP2} \quad (4)$$

PGFBP ピンが $300mV$ よりも高ければ、オープンコレクタの PGP ピンがデアサートされて高インピーダンスになります。パワー・グッド・コンパレータには $7mV$ のヒステリシスと $5\mu s$ のデグリッチがあります。

抵抗分圧ネットワークの決定にあたっては、表 1 の I_{PGFBP} を考慮する必要があります。 R_{PGP1} が $30k\Omega$ より低ければ、 I_{PGFBP} は無視できます。パワー・グッド機能が不要な場合は、PGP ピンをフロート状態にしてください。正側の出力電圧が $300mV$ より低い場合には、プログラマブルなパワー・グッドと高速起動の機能はディスエーブルされます。

シャットダウン時、すなわち ENP/UVN が $0V$ に設定された場合には、パワー・グッド機能はディスエーブルされます。パワー・グッド機能がシャットダウン状態でも必要であれば、パワー・グッド抵抗 (すなわち図 122 の R_{PGP}) を PGP と ENP/UVN ピンもしくは OUPN ピンとの間に接続します。

負側レギュレータのプログラマブルなパワー・グッド

図 123 および高速スタートアップのセクションに示したように、負側のパワー・グッド閾値は、 R_{PGN1} および R_{PGN2} の 2 つの外付け抵抗によって次式のようにユーザ設定が可能です。

$$V_{OUTN(PG_THRESHOLD)} = -0.3V \times \left(1 + \frac{R_{PGN2}}{R_{PGN1}}\right) - I_{PGFBN} \times R_{PGN2} \quad (5)$$

PGFBN ピンが $-300mV$ よりも低ければ、オープンコレクタの PGN ピンがデアサートされて高インピーダンスになります。パワー・グッド・コンパレータには $7mV$ のヒステリシスと $5\mu s$ のデグリッチがあります。抵抗分圧ネットワークの決定にあたっては、表 1 の I_{PGFBN} を考慮する必要があります。 R_{PGP1} が $30k\Omega$ より低ければ、 I_{PGFBN} は無視できます。パワー・グッド機能が不要な場合は、PGN ピンをフロート状態にしてください。負側の出力電圧が $0V$ と $-300mV$ の間である場合には、プログラマブルなパワー・グッドと高速起動の機能はディスエーブルされます。

PCB 上の PGN と PGFBN のパターンのレイアウトには注意を払ってください。PGN ピンと PGFBN ピンのパターンが一定の距離 (代表的には 2 インチ以上) にわたって相互に近接していると、パターン間の浮遊容量によって PGN の信号が高インピーダンスの PGFBN 信号に結合します。PGN は PGFBN とは逆相であるため、これは発振につながります。これを避けるためには、2 本のパターンが相互に近接して走る距離を最小限にします。PGFBN の分圧器に使用する抵抗の値を小さくして PGFBN ピンから見えるインピーダンスを下げることも効果があります。

正側レギュレータの外部でプログラマブルな電流制限

ILIMP ピンの電流制限閾値は $300mV$ です。ILIMP と GND の間に抵抗を接続すると ILIMP ピンから流れる電流の最大値を設定でき、これは LT3097 の正側レギュレータの電流制限をプログラムすることになります。 $150mA \times k\Omega$ のスケールリング・ファクタがあり、電流制限値は次のように計算されます。

$$Positive Side Current Limit = \frac{150 \text{ mA} \times k\Omega}{R_{ILIMP}} \quad (6)$$

例えば、 $1k\Omega$ の抵抗では電流制限が $150mA$ に設定され、 $2k\Omega$ の抵抗では電流制限が $75mA$ に設定されます。設定の精度を高めるためには、この抵抗を LT3097 の GND ピン (ピン 19) にケルビン接続します。

INP と OUPN の電位差が $12V$ より大きいときには、LT3097 の正側レギュレータのフォールドバック回路により内部電流制限が減少します。その結果、LT3097 を安全動作領域 (SOA) 内に保つため、外部で設定された電流制限のレベルを内部電流制限がオーバーライドする場合があります。図 56 を参照してください。

図 122 に示すように、ILIMP ピンからは出力電流に比例 (1:500) した電流が流れるため、 $0V \sim 300mV$ の範囲の電流モニタ・ピンとしても機能します。外部電流制限や電流モニタとして使用しない場合には、ILIMP を GND に接続します。

負側レギュレータの外部でプログラマブルな電流制限

ILIMN ピンは内部で $-300mV$ にレギュレーションされています。GND と ILIMN の間に抵抗を接続すると ILIMN ピンに流れこむ電流の値を設定でき、これは LT3097 の負側レギュレータの電流制限をプログラムすることになります。 $3.75A \times k\Omega$ のスケールリング・ファクタがあり、電流制限値は次のように計算されます。

アプリケーション情報

Negative Side Current Limit

$$= \frac{3.75 A \times k\Omega}{R_{ILIMN}} \quad (7)$$

例えば、7.5kΩの抵抗では電流制限が500mAに設定され、15kΩの抵抗では電流制限が250mAに設定されます。正確な設定のためには、この抵抗をLT3097のGNDピン（ピン13）にケルビン接続します。

INNとOUTNの電位差が7Vより大きいときには、LT3097の負側レギュレータ・フォールドバック回路により内部電流制限が減少します。その結果、LT3097をSOA内に保つため、外部で設定された電流制限のレベルを内部電流制限がオーバーライドする場合があります。図57を参照してください。

ILIMNは電流モニタ・ピンとして機能する設計にはなっておりません。外部の電流制限を使用しない場合、ILIMNはGNDに接続します。

正側出力のオーバーシュート回復

全負荷から無負荷（もしくは軽負荷）へのステップ負荷変動では、レギュレータが応答してパワー・トランジスタをオフするまでの間、正側の出力電圧がオーバーシュートします。正側の出力が無負荷（もしくは軽負荷）の場合、出力コンデンサを放電するには長い時間がかかります。

図122に示すように、LT3097にはオーバーシュート回復回路が内蔵されており、OUTSPがSETPより高い場合には出力コンデンサを放電するために電流シンクをオンにします。この電流は代表値で約4mAです。無負荷回復機能は、正側の入力電圧が2.5Vより低い場合、または出力電圧が1.5Vより低い場合には無効になります。

OUTSPが外部でSETPより高く保持されている場合は、OUTSPを設定電圧まで回復させようとして、この電流シンクがオンになります。電流シンクは外部回路がOUTSPをリリースするまでオンのままになります。

負側出力のオーバーシュート回復

全負荷から無負荷（もしくは軽負荷）へのステップ負荷変動では、レギュレータが応答してパワー・トランジスタをオフするまでの間、負側の出力電圧がオーバーシュートします。負側の出力が無負荷（もしくは軽負荷）の場合、出力コンデンサを放電するには長い時間がかかります。

図123に示すように、LT3097にはオーバーシュート回復回路が内蔵されており、OUTSNがSETNより高い場合には出力コンデンサを放電するために電流源をオンにします。この電流は代表値で約3.5mAです。

OUTSNが外部でSETNより大きく保持されている場合は、OUTSNを設定電圧まで回復させようとして、この電流源がオンになります。電流源は外部回路がOUTSNをリリースするまでオンのままになります。

PCBレイアウト時の考慮事項

LT3097はバンド幅が広くPSRRが非常に高いので、デバイスの完全な性能を得るためにはPCBのレイアウトには注意が必要です。図130は、レギュレータの性能をフルに発揮するレイアウトのEVAL-LT3097-AZ評価用ボードを示しています。詳細についてはLT3097評価用ボードのユーザ・ガイド（EVAL-LT3097-AZ）を参照してください。

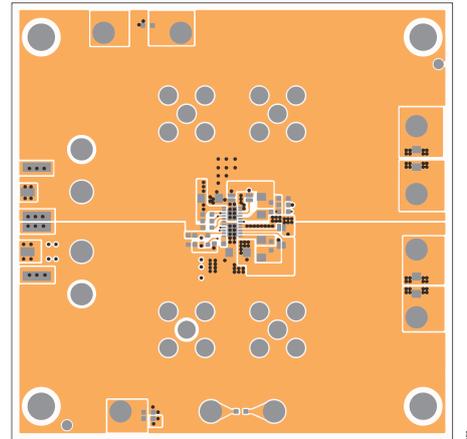


図 130. EVAL-LT3097-AZ 評価用ボード

熱に対する考慮事項

LT3097の正側と負側のレギュレータには内蔵の電力制限および温度制限の回路が存在し、過負荷条件下でデバイスを保護します。サーマル・シャットダウンの温度は公称値で正側レギュレータは165°C、負側レギュレータは167°Cであり、どちらのレギュレータにも約8°Cのヒステリシスがあります。連続的な通常の負荷条件では、最大ジャンクション温度125°Cを超過しないようにしてください。ジャンクションから周囲への熱抵抗の要因を全て考慮することが重要です。これには、ジャンクションからケース、ケースからヒートシンク・インターフェースへの熱抵抗、ヒートシンクの熱抵抗、回路基板から周囲への熱抵抗などがアプリケーションに応じて含まれます。更に、LT3097に近接する熱源も考慮します。

DFNパッケージの下面にはリードフレームから延びる露出金属部があり、ダイに接続されています。露出パッド・ピン23は電氣的にグラウンド（ピン19）に接続されており、露出パッド・ピン24は電氣的にINN（ピン6および7）に接続されています。このパッケージにより、熱はダイのジャンクションからPCBの金属部に直接伝導し、最大動作ジャンクション温度を制限できます。2列型のピン配置により、PCB上でパッケージ上面（部品面）よりも外に金属部を延長できます。

表面実装デバイスでは、PCBとその銅パターンの熱拡散能力により放熱されます。銅の基板補強材やメッキ・スルーホールの使用によってもLDOレギュレータが発生する熱を拡散できます。

表5は、一定のサイズの基板に対する銅領域面積の関数として熱抵抗を記しています。計測は全て自然空冷状態で、4層FR4を用いており、内層は1オンス、両表面層は2オンスで基板全体の厚さは1.6mmです。これら4層は電氣的に分離されており、サーマルビアは設けられていません。PCBの層、銅の重量、ボードのレイアウト、サーマルビアにより熱抵抗は変化します。熱抵抗と高熱伝導率の試験ボードの詳細については、JEDEC規格JESD-51、JESD51-7、JESD51-12を参照してください。低い熱抵抗を実現するためには、PCBレイアウトに注意が必要です。

アプリケーション情報

表 5. DFN パッケージの熱抵抗の計測値

Copper Area			Thermal Resistance (θ_{JA})
Top Side ¹	Bottom Side	Board Area	
2500 mm ²	2500 mm ²	2500 mm ²	34°C/W
1000 mm ²	2500 mm ²	2500 mm ²	35°C/W
225 mm ²	2500 mm ²	2500 mm ²	36°C/W

¹ デバイスは上面に実装。

ジャンクション温度の計算

例えば、正側の出力電圧が 3.3V、正側の入力電圧が $5V \pm 5\%$ 、正側の出力電流範囲が 1mA~500mA、負側の出力電圧が -3.3V、負側の入力電圧が $-5V \pm 5\%$ 、負側の出力電流範囲が 1mA~500mA、最大周囲温度が 50°C のとき、最大ジャンクション温度はどうか。

LT3097 の正側の消費電力は次式になります。

$$I_{OUTP(MAX)} \times (V_{INP(MAX)} - V_{OUTP}) + I_{GNDP} \times V_{INP(MAX)} \quad (8)$$

ここで、

$$I_{OUTP(MAX)} = 500\text{mA}$$

$$V_{INP(MAX)} = 5.25\text{V}$$

$$I_{GNDP} (I_{OUTP} = 500\text{mA} \text{ かつ } V_{INP} = 5.25\text{V} \text{ で}) = 12.5\text{mA}$$

$$\text{従って、} P_{DISS-POSITIVE} = 0.5\text{A} \times (5.25\text{V} - 3.3\text{V}) + 12.5\text{mA} \times 5.25\text{V} = 1\text{W}$$

LT3097 の負側の消費電力は次式になります。

$$I_{OUTN(MAX)} \times (V_{INN(MAX)} - V_{OUTN}) + I_{GNDN} \times V_{INN(MAX)} \quad (9)$$

ここで、

$$I_{OUTN(MAX)} = 500\text{mA}$$

$$V_{INN(MAX)} = -5.25\text{V}$$

$$I_{GNDN} (I_{OUTN} = 500\text{mA} \text{ かつ } V_{INN} = -5.25\text{V} \text{ で}) = 9\text{mA}$$

$$\text{従って、} P_{DISS-NEGATIVE} = -0.5\text{A} \times (-5.25\text{V} + 3.3\text{V}) + 9\text{mA} \times 5.25\text{V} = 1.02\text{W}$$

総合的な電力は、 $P_{TOTAL} = P_{DISS-POSITIVE} + P_{DISS-NEGATIVE}$ で計算され、2.02W となります。

DFN パッケージを使用する場合、熱抵抗は銅領域の面積に依存し、34°C/W~37°C/W の範囲を取ります。そのため、ジャンクション温度の周辺温度に対する上昇幅は概略で $2.02\text{W} \times 35^\circ\text{C/W} = 70.7^\circ\text{C}$ となります。

最大ジャンクション温度は最大周囲温度に最大ジャンクション温度上昇分を加えたもので、次式のように計算できます。

$$T_{JMAX} = 50^\circ\text{C} + 70.7^\circ\text{C} = 120.7^\circ\text{C} \quad (10)$$

過負荷からの回復

一般的な IC 電力レギュレータと同様、LT3097 は SOA 保護機能を備えています。SOA 保護は、入力と出力の電圧差が正側では 12V、負側では 7V より大きい場合に動作します。SOA 保護は入出力の電圧差の増加を受けて電流制限を減少させ、LT3097 の絶対最大定格までの範囲の全入出力電圧に対してパワー・トランジスタを安全動作範囲内に保ちます。LT3097 は入出力電圧差のあらゆる値に対して何らかの出力電流を供給します。図 56/図 57 を参照してください。電力の供給が始まり入力電圧が上昇するとき、LDO レギュレータが大きな出力電力を供給し、大電流を要する負荷を起動できるよう、出力は入出力の電圧差を低く保ちながら入力と共に上昇していきます。

電流制限フォールドバックにより、入力電圧が高いときには、出力電圧が低く負荷電流が高い条件で問題が発生する可能性があります。このような状況は、短絡が解除された後や入力電圧がオンになった後に ENP/UVP ピンもしくは ENN/UVN ピンがプルアップされた場合に発生します。この場合、負荷ラインは出力電流プロファイルと 2 点で交差します。その結果、レギュレータには 2 つの安定動作点が存在することになります。2 点で交差している状態では、出力を回復させるために、入力電源をゼロまで落として再投入する動作が必要になる場合があります。フォールドバック電流制限保護を備えた他の IDO レギュレータ（例えば LT3042 や LT3093）にもこの現象が見られ、LT3097 に固有のものではありません。

アプリケーション情報

保護機能

LT3097 は影響を受けやすいアプリケーションのための保護機能をいくつか備えています。精密な電流制限と熱過負荷保護により、LT3097 はデバイスの出力における過負荷や異常状態から保護されます。通常動作時には、ジャンクション温度が 125°C を超えないようにしてください。

LT3097 の正側レギュレータの低ノイズ・エラー・アンプを保護するため、SETP と OUTSP の間の保護クランプによって SETP と OUTSP の間の最大電圧は制限されており、このクランプを流れる最大 DC 電流は 20mA です。従って、SETP が電圧源によりアクティブにドライブされるアプリケーションでは、その電圧源は 20mA 以下に電流制限されていることが必要です。更に、過渡的なフォルト状態でこれらのクランプを流れる過渡電流を制限するために、SETP ピン・コンデンサ (C_{SETP}) の最大値は 22 μ F に制限します。

LT3097 の負側レギュレータの低ノイズ・エラー・アンプを保護するため、SETN と OUTSN の間の保護クランプによって SETN と OUTSN の間の最大電圧は制限されており、このクランプを流れる最大 DC 電流は 10mA です。従って、SETN が電圧源によりアクティブにドライブされるアプリケーションでは、その電圧源は 10mA 以下に電流制限されていることが必要です。更に、過渡的なフォルト状態でこれらのクランプを流れる過渡電流を制限するために、SETN ピン・コンデンサ (C_{SETN}) の最大値は 22 μ F に制限します。

LT3097 の正側レギュレータには逆入力保護機能もあり、INP ピンは -20V までの逆電圧に耐えられ、このとき入力電流の発生はなく、OUTP ピンに負の電圧を生じさせることもありません。逆方向に接続されたバッテリーに対しても、正側レギュレータはデバイスそのものと負荷を保護します。

バックアップ・バッテリーが必要な回路では、正側レギュレータに対して様々な入力と出力の条件が発生します。正側の入力、GND にプルダウンされる場合、ある中間の電圧に引きつけられる場合、あるいは開放状態になっている場合でも、正側の出力電圧を保持することができます。どの場合においても、正側の出力から入力への電流の流れは逆電流保護回路によって防止されます。しかし、OUTSP と SETP の間のクランプのため、SETP がフロート状態でない限り、SETP ピンの抵抗を通して GND に電流が流れ、また正側の出力オーバーシュート回復回路を通して最大 15mA の電流が GND に流れます。正側の出力オーバーシュート回復回路を通して流れる電流は、OUTSP ピンと SETP ピンの間にアノード側を OUTSP ピンに向けてショットキー・ダイオードを配置することで大幅に削減できます。

LT3097 の負側の出力をグラウンド以上の電圧に引き上げても、部品の損傷は起きません。INN がオープンもしくはグラウンド・レベルであれば、OUTN は GND より 20V 高くプルアップ可能です。この条件では、25mA の電流が OUTN ピンから GND ピン (ピン 13) に向けて流れます。INN が電圧源によって電力供給されている場合、OUTN は負側レギュレータの短絡時の電流をシンクし、それ自身を温度制限により保護します。しかし、この場合、ENN/UVN ピンは負側レギュレータをオフにし、OUTN が短絡時の電流をシンクしないようにします。

代表的なアプリケーション回路

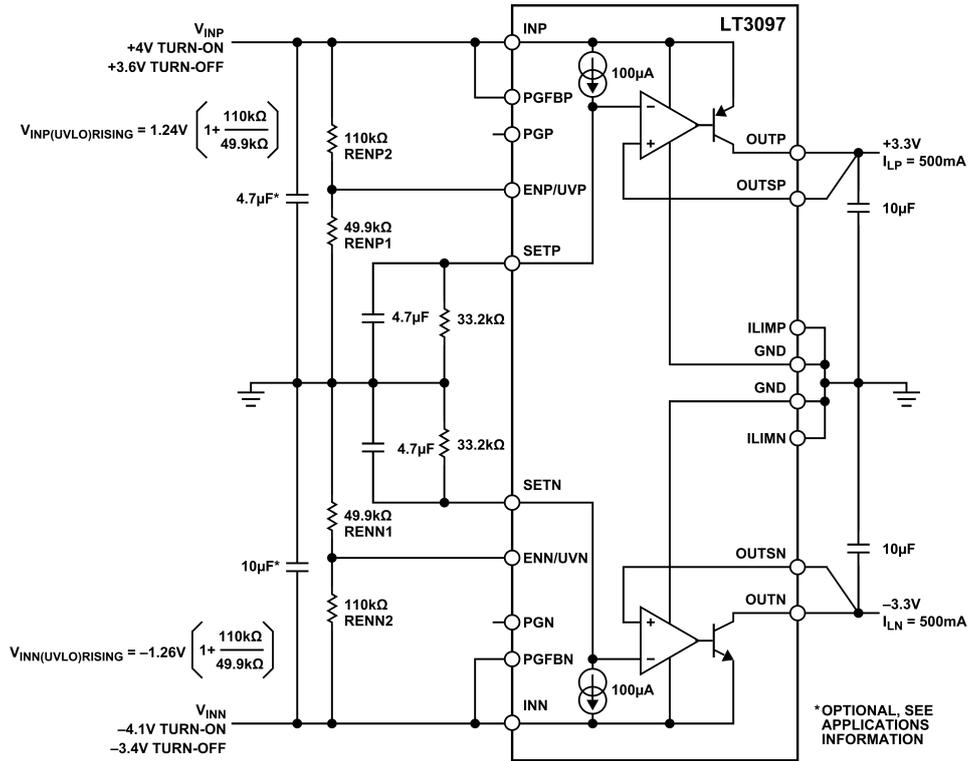


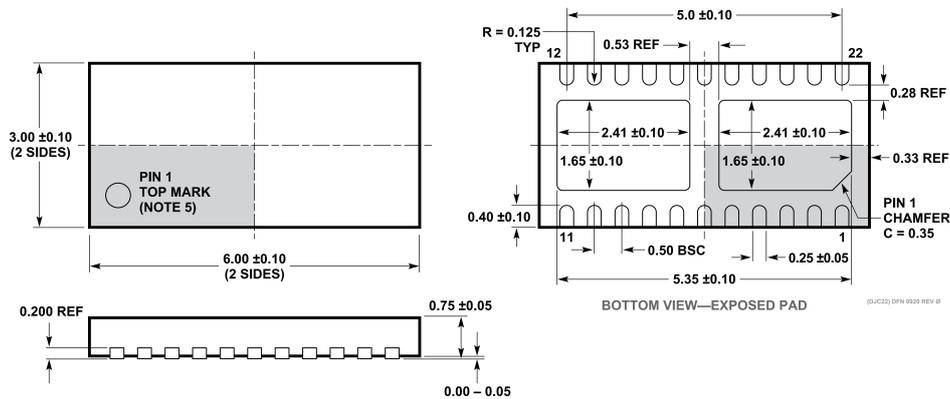
図 131. 低電圧ロックアウトの設定

関連製品

表 6. 関連製品

製品番号	説明	注釈
LT3032	デュアル 150mA、正/負、低ノイズ低ドロップアウト・リニア電圧レギュレータ	20 μ V rms ノイズ (正) および 30 μ V rms ノイズ (負)、 $V_{IN} = \pm 2.3V \sim \pm 20V$ 、チャンネルごとに 300mV のドロップアウト電圧、4mm × 3mm DFN パッケージ
LT3045	20V、500mA、超低ノイズ、超高 PSRR リニア電圧レギュレータ	0.8 μ V rms ノイズおよび 76dB PSRR (1MHz において)、 $V_{IN} = 1.8V \sim 20V$ 、260mV ドロップアウト電圧、3mm × 3mm DFN および MSOP パッケージ
LT3094	-20V、500mA、超低ノイズ、超高 PSRR リニア電圧レギュレータ	0.8 μ V rms ノイズおよび 74dB PSRR (1MHz において)、 $V_{IN} = -1.8V \sim -20V$ 、235mV ドロップアウト電圧、プログラマブルな電流制限とパワー・グッド、3mm × 3mm DFN および MSOP パッケージ
LT3045-1	20V、500mA、超低ノイズ、超高 PSRR、VIOC 制御付きリニア電圧レギュレータ	0.8 μ V rms ノイズおよび 75dB PSRR (1MHz において)、 $V_{IN} = 1.8V \sim 20V$ 、260mV ドロップアウト電圧、3mm × 3mm DFN および MSOP パッケージ
LT3042	20V、200mA、超低ノイズ、超高 PSRR RF リニア電圧レギュレータ	0.8 μ V rms ノイズおよび 79dB PSRR (1MHz において)、 $V_{IN} = 1.8V \sim 20V$ 、350mV ドロップアウト電圧、プログラマブルな電流制限とパワー・グッド、3mm × 3mm DFN および MSOP パッケージ
LT3041	20V、1A、超低ノイズ、超高 PSRR、VIOC 制御付きリニア電圧レギュレータ	1 μ V rms ノイズおよび 80dB PSRR (1MHz において)、 $V_{IN} = 2.2V \sim 20V$ 、310mV ドロップアウト電圧、プログラマブルな電流制限とパワー・グッド、4mm × 3mm DFN パッケージ
LT3040	20V、200mA、超低ノイズ、超高 PSRR、精密 DAC/リファレンス・バッファ	1.2 μ V rms ノイズおよび 73dB PSRR (1MHz において)、 $V_{IN} = 1.8V \sim 20V$ 、350mV ドロップアウト電圧、3mm × 3mm DFN および MSOP パッケージ
LT3093	-20V、200mA、超低ノイズ、超高 PSRR、負電圧リニア電圧レギュレータ	0.8 μ V rms ノイズおよび 73dB PSRR (1MHz において)、 $V_{IN} = -1.8V \sim -20V$ 、190mV ドロップアウト電圧、プログラマブルな電流制限とパワー・グッド、3mm × 3mm DFN および MSOP パッケージ
ADP1761	1A、低 V_{IN} 、低ノイズ CMOS リニア電圧レギュレータ	2 μ V rms ノイズおよび 41dB PSRR (1MHz において)、 $V_{IN} = 1.10V \sim 1.98V$ 、30mV ドロップアウト電圧、ソフトスタートとパワー・グッド、3mm × 3mm LFCSP パッケージ
ADP7156	1.2A、超低ノイズ、高 PSRR、固定出力、RF リニア電圧レギュレータ	1.6 μ V rms ノイズおよび 60dB PSRR (1MHz において)、 $V_{IN} = 2.3V \sim 5.5V$ 、120mV ドロップアウト電圧、3mm × 3mm LFCSP パッケージおよび 8 ピン SOIC パッケージ
ADP7157	1.2A、超低ノイズ、高 PSRR、調整可能出力、RF リニア電圧レギュレータ	1.6 μ V rms ノイズおよび 55dB PSRR (1MHz において)、 $V_{IN} = 2.3V \sim 5.5V$ 、120mV ドロップアウト電圧、3mm × 3mm LFCSP パッケージおよび 8 ピン SOIC パッケージ
ADM7150	800mA、超低ノイズ、高 PSRR、固定出力、RF リニア電圧レギュレータ	1.6 μ V rms ノイズおよび 60dB PSRR (1MHz において)、 $V_{IN} = 4.5V \sim 16V$ 、600mV ドロップアウト電圧、3mm × 3mm LFCSP パッケージおよび 8 ピン SOIC パッケージ
ADM7151	800mA、超低ノイズ、高 PSRR、調整可能出力、RF リニア電圧レギュレータ	1.6 μ V rms ノイズおよび 60dB PSRR (1MHz において)、 $V_{IN} = 4.5V \sim 16V$ 、600mV ドロップアウト電圧、3mm × 3mm LFCSP パッケージおよび 8 ピン SOIC パッケージ
MAX38913	4 μ V rms、超低ノイズ、1A、2 レベルの出力電圧が選択可能な LDO	4 μ V rms ノイズおよび 50dB PSRR (1MHz において)、 $V_{IN} = 1.8V \sim 5.5V$ 、28mV ドロップアウト電圧、高速アクティブ放電およびパワー・OK、3mm × 3mm TDFN および WLP パッケージ

外形寸法



- NOTE:
1. DRAWING NOT TO SCALE
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
 4. EXPOSED PAD SHALL BE SOLDER PLATED
 5. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

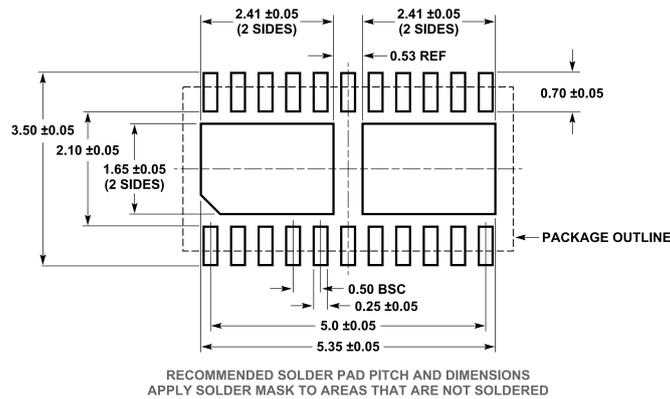


図 132. 22 ピン、6mm × 3mm、プラスチック DFN (05-08-7071)
単位：mm

更新：2022 年 10 月 7 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
LT3097ADJC#PBF	-40°C to +125°C	22-Lead Plastic DFN (6 mm × 3 mm)	Tube, 61	05-08-7071
LT3097ADJC#TRPBF	-40°C to +125°C	22-Lead Plastic DFN (6 mm × 3 mm)	Reel, 2500	05-08-7071

¹ すべてのモデルは RoHS 準拠製品です。

評価用ボード

表 7. 評価用ボード

Model ¹	Description
EVAL-LT3097-AZ	Evaluation Board

¹ EVAL-LT3097-AZ は RoHS 準拠製品です。



©2023 Analog Devices, Inc. All rights reserved.
 本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
 電話 03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
 電話 06 (6350) 6868
 名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
 電話 052 (569) 6300