

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021年3月24日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2021年3月24日

製品名：LT6372-1

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

13 ページ 左の段 CLLO (ピン7/ピン8) の説明 上から4行目

【誤】

「CCLO は・・・」

【正】

「CLLO は・・・」

レベル・シフトおよび出力クランプ機能を備えた 高精度計装アンプ

特長

- 1個のゲイン設定抵抗 $G = 1 \sim 1000$ 超
- 優れたDC精度
 - 入力オフセット電圧: 最大 $60\mu\text{V}$
 - 入力オフセット電圧ドリフト: 最大 $0.6\mu\text{V}/^\circ\text{C}$
 - 低ゲイン誤差: 最大 0.01% ($G = 1$)
 - 低ゲイン・ドリフト: 最大 $35\text{ppm}/^\circ\text{C}$ ($G > 1$)
 - 高いDC CMRR: 最小 86dB ($G = 1$)
- 出力クランプ機能内蔵
- 出力レベル・シフト機能内蔵
- 入力バイアス電流: 最大 800pA
- -3dB 帯域幅: 3.1MHz ($G = 1$)
- 低ノイズ:
 - $0.1\text{Hz} \sim 10\text{Hz}$ でのノイズ: $0.2\mu\text{V}_{\text{p-p}}$
 - 1kHz での電圧ノイズ: $7\text{nV}/\sqrt{\text{Hz}}$
- 入力RFIフィルタ内蔵
- 広い電源範囲: $4.75\text{V} \sim 35\text{V}$
- 温度範囲: $-40^\circ\text{C} \sim 85^\circ\text{C}$ 、および $-40^\circ\text{C} \sim 125^\circ\text{C}$
- MS16E および 20ピン $3\text{mm} \times 4\text{mm}$ QFN パッケージ

アプリケーション

- ブリッジ・アンプ
- データ・アキュイジション
- 熱電対アンプ
- 歪みゲージ・アンプ
- 医療用計測機器
- 変換器インターフェース
- 差動からシングルエンドへの変換

概要

LT[®]6372-1は、業界最高レベルのDC精度を誇るプログラマブル・ゲイン式の高精度減衰計装アンプです。この高い精度はより小さい信号の検出を可能にして、特に温度に関するキャリブレーション条件を緩和します。LT6372-1は、LT6370に各種の機能を組み込むことにより精度を高めたデバイスで、ADCへのインターフェースを簡素化します。

LT6372-1は独自の高性能バイポーラ・プロセスを使用し、業界最高レベルの精度と卓越した長期安定性を両立させています。LT6372-1は、極めて低い入力オフセット電圧 ($60\mu\text{V}$) と高いCMRR (86dB , $G = 1$) を実現するために、レーザー・トリミングされています。独自のオンチップ・テスト機能により、自動化されたテストでゲイン・ドリフト ($35\text{ppm}/^\circ\text{C}$) を確認することができます。

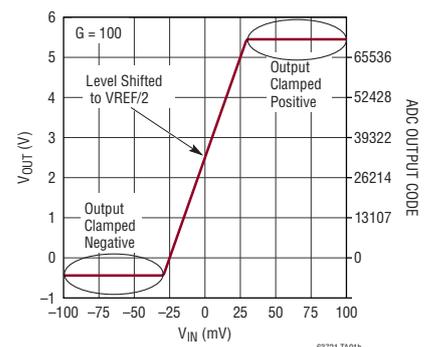
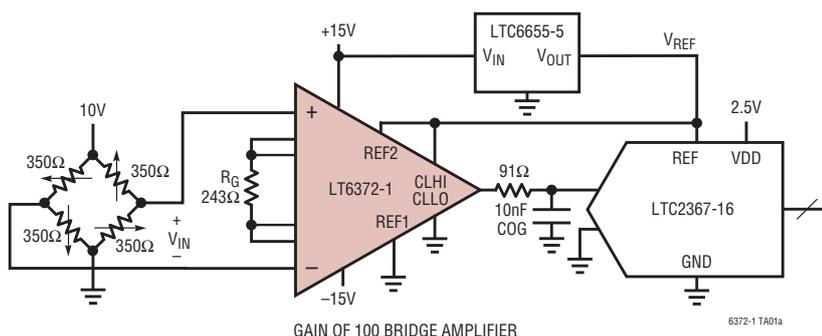
LT6372-1のデファレンス・アンプは分割リファレンス構成を使用しており、アンプの出力をADC入力範囲の中央に簡単にレベル・シフトすることができます。ADC入力に加えることのできる電圧を制限する、出力クランプ・ピンも備えています。更に、過酷なRF干渉が存在する環境下でも精度を維持できるように、LT6372-1の入力にはEMIフィルタが組み込まれています。

LT6372-1は、小型のMS16Eパッケージ、または20ピンの $3\text{mm} \times 4\text{mm}$ QFNパッケージを採用しています。LT6372-1のすべての仕様は、 $-40^\circ\text{C} \sim 85^\circ\text{C}$ および $-40^\circ\text{C} \sim 125^\circ\text{C}$ の温度範囲で規定されています。

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

レベル・シフト機能と出力クランプ機能を使って LTC2367-16 を駆動する LT6372-1



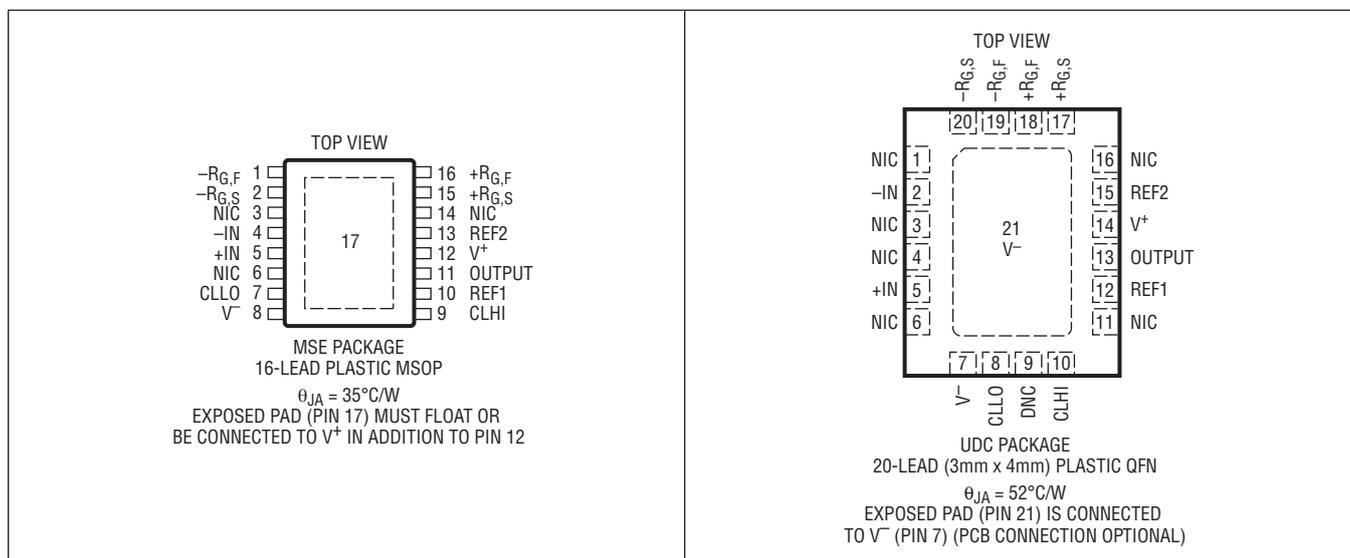
LT6372-1

絶対最大定格

(Note 1)

総電源電圧 ($V^+ \sim V^-$)	36V	出力短絡時間	熱的に制限
入力電圧 (+IN, -IN, +R _{G,S} , +R _{G,F} , -R _{G,S} , -R _{G,F} , REF1, REF2, CLHI, CLLO)	($V^- - 0.3V$) ~ ($V^+ + 0.3V$)	出力電流	80mA
差動入力電圧		動作および仕様温度範囲	
(+IN ~ -IN)	±36V	Iグレード	-40°C ~ 85°C
(REF1 ~ REF2)	±15V	Hグレード	-40°C ~ 125°C
入力電流 (+R _{G,S} , +R _{G,F} , -R _{G,S} , -R _{G,F})	±2mA	最大ジャンクション温度	150°C
入力電流 (+IN, -IN, CLLO)	±10mA	保存温度範囲	-65°C ~ 150°C
入力電流 (REF1, REF2, CLHI)	-10mA	リード温度 (ハンダ処理、10秒)	300°C

ピン配置



発注情報

チューブ	テープ&リール	部品マーキング*	パッケージ	温度範囲
LLT6372IMSE-1#PBF	LT6372IMSE-1#TRPBF	63721	16ピンプラスチックMSOP	-40°C ~ +85°C
LT6372HMSE-1#PBF	LT6372HMSE-1#TRPBF	63721	16ピンプラスチックMSOP	-40°C ~ +125°C
LT6372IUDC-1#PBF	LT6372IUDC-1#TRPBF	LHHV	20ピン(3mm x 4mm)プラスチックQFN	-40°C ~ +85°C
LT6372HUDC-1#PBF	LT6372IMSE-1#TRPBF	LHHV	20ピン(3mm x 4mm)プラスチックQFN	-40°C ~ +125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。

* 温度グレードは出荷容器のラベルに示されています。

テープ&リール仕様。一部のパッケージは、指定販売チャンネルを通じ500個入りのリールで購入できます。末尾に#TRMPBFという記号が付きま。

電気的特性

●は指定動作温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ の値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
G	Gain Range	$G = (1 + 24.2\text{k}/R_G)$ (Note 2)	1		1000	V/V
	Gain Error (Notes 3, 4)	$G = 1$		-0.004	0.01	%
		$G = 1$	●		0.015	%
		$G = 10$		-0.02	0.12	%
		$G = 10$	●		0.42	%
		$G = 100$		-0.02	0.12	%
		$G = 100$	●		0.42	%
	Gain vs Temperature (Notes 3, 4)	$G = 1$ (Note 5)	●	0.2	0.5	ppm/ $^\circ\text{C}$
		$G > 1$ (Note 6)	●	20	35	ppm/ $^\circ\text{C}$
	Gain Nonlinearity (Notes 3, 7)	$V_{OUT} = \pm 10\text{V}$, $G = 1$		1	3	ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 10$		3	40	ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 100$		20	50	ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 1000$		50		ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 1$, $R_L = 600\Omega$		4		ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 10$, $R_L = 600\Omega$		6		ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 100$, $R_L = 600\Omega$		70		ppm
		$V_{OUT} = \pm 10\text{V}$, $G = 1000$, $R_L = 600\Omega$		250		ppm

V_{OST} , Total Input Referred Offset Voltage, $V_{OST} = V_{OSI} + V_{OSO}/G$

V_{OSI}	Input Offset Voltage (Note 8)		●	± 10	± 60 ± 175	μV μV
V_{OSO}	Output Offset Voltage (Note 8)		●	± 70	± 275 ± 500	μV μV
V_{OSI}/T	Input Offset Voltage Drift (Notes 5, 8)		●		± 0.6	$\mu\text{V}/^\circ\text{C}$
	Input Offset Voltage Hysteresis (Note 9)	$T_A = -40^\circ\text{C}$ to 125°C	●	± 3		μV
V_{OSO}/T	Output Offset Voltage Drift (Notes 5, 8)		●		± 4	$\mu\text{V}/^\circ\text{C}$
	Output Offset Voltage Hysteresis (Note 9)	$T_A = -40^\circ\text{C}$ to 125°C	●	± 10		μV
I_B	Input Bias Current	$T_A = -40^\circ\text{C}$ to 85°C	●	± 0.1	± 0.8	nA
		$T_A = -40^\circ\text{C}$ to 125°C	●		± 1.5	nA
					± 3	nA
I_{OS}	Input Offset Current		●	± 0.2	± 1.4 ± 4	nA nA
	Input Noise Voltage (Note 10)	0.1Hz to 10Hz, $G = 1$		2		μV_{P-P}
0.1Hz to 10Hz, $G = 1000$				0.2		μV_{P-P}

Total RTI Noise = $\sqrt{e_{ni}^2 + (e_{no}/G)^2}$ (Note 10)

e_{ni}	Input Noise Voltage Density	$f = 1\text{kHz}$		7		nV/ $\sqrt{\text{Hz}}$
e_{no}	Output Noise Voltage Density	$f = 1\text{kHz}$		65		nV/ $\sqrt{\text{Hz}}$
	Input Noise Current	0.1Hz to 10Hz		10		pA $_{P-P}$
i_n	Input Noise Current Density	$f = 1\text{kHz}$		200		fA/ $\sqrt{\text{Hz}}$
R_{IN}	Input Resistance	$V_{IN} = -12.6\text{V}$ to 13V		225		G Ω
C_{IN}	Differential Common Mode	$f = 100\text{kHz}$		0.9		pF
		$f = 100\text{kHz}$		15.9		pF
V_{CM}	Input Voltage Range	Guaranteed by CMRR	●	$V^- + 2.4$	$V^- + 1.8V^+ - 1.4$	V
					$V^+ - 2$	V

電気的特性

●は指定動作温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ の値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMRR	Common Mode Rejection Ratio	DC to 60Hz, 1k Source Imbalance, $V_{CM} = -12.6\text{V}$ to 13V $G = 1$	86	100		dB
		$G = 1$	80			dB
		$G = 10$	106	120		dB
		$G = 10$	100			dB
		$G = 100$	120	140		dB
		$G = 100$	115			dB
AC Common Mode Rejection Ratio	AC Common Mode Rejection Ratio	f = 20kHz, QFN20 Package $G = 1$		74		dB
		$G = 10$		98		dB
		$G = 100$		102		dB
		$G = 1000$		105		dB
		f = 20kHz, MS16E Package $G = 1$		69		dB
		$G = 10$		92		dB
PSRR	Power Supply Rejection Ratio	$V_S = \pm 2.375\text{V}$ to $\pm 17.5\text{V}$ $G = 1$	116	130		dB
		$G = 1$	110			dB
		$G = 10$	128	140		dB
		$G = 10$	120			dB
		$G = 100$	122	140		dB
		$G = 100$	118			dB
Vs	Supply Voltage	$V_S = \pm 2.375\text{V}$ to $\pm 17.5\text{V}$ $G = 1000$	122	140		dB
		$G = 1000$	118			dB
		Guaranteed by PSRR	4.75		35	V
		$V_S = \pm 15\text{V}$ $T_A = -40^\circ\text{C}$ to 85°C		2.75	2.85	mA
		$T_A = -40^\circ\text{C}$ to 125°C			3	mA
					3.1	mA
VOUT	Output Voltage Swing	$V_S = \pm 2.375\text{V}$ $T_A = -40^\circ\text{C}$ to 85°C		2.65	2.7	mA
		$T_A = -40^\circ\text{C}$ to 125°C			2.85	mA
					2.95	mA
		$V_S = \pm 15\text{V}$, $R_L = 10\text{k}\Omega$	-14.5	-14.9/14	13.7	V
			-14.3		13.6	V
		$V_S = \pm 2.375\text{V}$, $R_L = 10\text{k}\Omega$	-2	-2.3/1.6	1.5	V
IOUT	Output Short Circuit Current		35	55		mA
			30			mA
BW	-3dB Bandwidth	$G = 1$		3.1		MHz
		$G = 10$		1.15		MHz
		$G = 100$		184		kHz
		$G = 1000$		19		kHz
SR	Slew Rate	$G = 1$, $V_{OUT} = \pm 10\text{V}$		11		V/ μs
ts	Settling Time	20V Output Step to 0.0015% $G = 1$		5.8		μs
		$G = 10$		9.8		μs
		$G = 100$		16		μs
		$G = 1000$		100		μs

電気的特性

●は指定動作温度範囲での規格値を意味する。それ以外は、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
R_{REFIN}	REF Input Resistance	REF1 or REF2, Untested REF pin floating		30		k Ω
I_{REFIN}	REF Input Current	$V_{+IN} = V_{-IN} = V_{REF1} = V_{REF2} = 0\text{V}$, REF1 or REF2	● -20 -30	-14	-7 3	μA μA
V_{REF}	REF Voltage Range	REF1 or REF2	● V^-		V^+	V
A_{VREF}	REF Gain to Output	$V_{REF1} = 0\text{V}$ to 5V , $V_{REF2} = 0\text{V}$		0.5		V/V
	REF Gain Error	$V_{REF1} = 0\text{V}$ to 5V , $V_{REF2} = 0\text{V}$	● -175 -200	± 50	175 200	ppm ppm
	CLLO Input Current	$V_{CLLO} = 0\text{V}$	●		1	μA
	CLHI Input Current	$V_{CLHI} = 5\text{V}$	●		1	μA
	CLLO Input Operating Voltage Range	Outside this Range CLLO is Disabled	● $V^- + 3$		$V^+ - 2$	V
	CLHI Input Operating Voltage Range	Outside this Range CLHI is Disabled	● $V^- + 2$		$V^+ - 2.5$	V
	CLLO Clamp Voltage ($V_{OUT} - V_{CLLO}$)		● -0.57 -0.74	-0.45		V V
	CLHI Clamp Voltage ($V_{OUT} - V_{CLHI}$)		●	0.45	0.55 0.755	V V

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: ゲインを1000以上にすることも可能ですが、その場合は R_G の値が小さくなることで、PCBとパッケージのリード抵抗が大きな誤差源となるおそれがあります。

Note 3: ゲインのテストは、 $-IN$ を電源電圧の midpoint に設定し、 $+IN$ を駆動して行います。

Note 4: ゲインが1より大きい場合、ゲイン誤差とゲイン・ドリフトの仕様に外付けゲイン設定抵抗 R_G の影響は含まれません。

Note 5: この仕様は設計により確認されています。

Note 6: この仕様は高速自動テストにより確認されています。

Note 7: このパラメータは高速自動テストで測定されたものであるため、時定数が長い熱の影響は考慮されていません。これらの熱の影響の大きさは、使用するパッケージ、PCBレイアウト、ヒート・シンクの有無、および空気流などの条件によって異なります。

Note 8: オフセットがアンプにどのように関係するかについての詳細は、アプリケーションのセクションに示す「入出力のオフセット電圧」を参照してください。

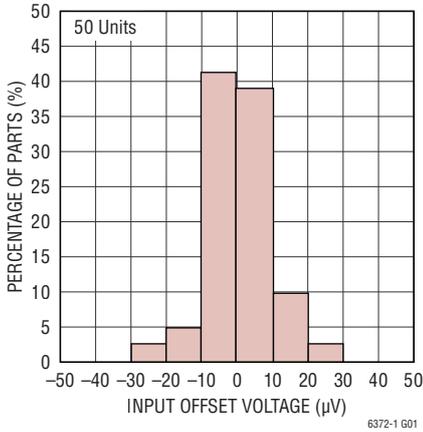
Note 9: 出力電圧のヒステリシスは機械的応力によって生じますが、この応力は、そのICがこれまで置かれていた環境が、現在より高温だったのか低温だったのかによって異なります。出力電圧は常に 25°C で測定しますが、連続測定時は、ICに高温限界値または低温限界値までの温度サイクルを実行してから測定を行います。ヒステリシスは、温度変化の二乗にほぼ比例します。適切な温度管理（動作温度の $20\sim 30$ 度以内）の下に保管されている計測器の場合、通常はヒステリシスによって大きな誤差が生じることはありません。代表的なヒステリシスは、 $25^\circ\text{C} \rightarrow$ 低温 $\rightarrow 25^\circ\text{C}$ 、または $25^\circ\text{C} \rightarrow$ 高温 $\rightarrow 25^\circ\text{C}$ という最も厳しい条件下における値で、前処理は1回の熱サイクルによって行われます。

Note 10: 入力換算値。

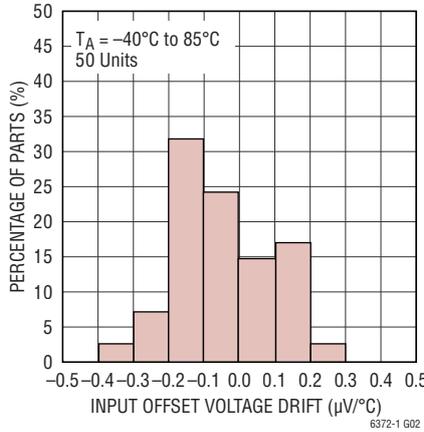
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$

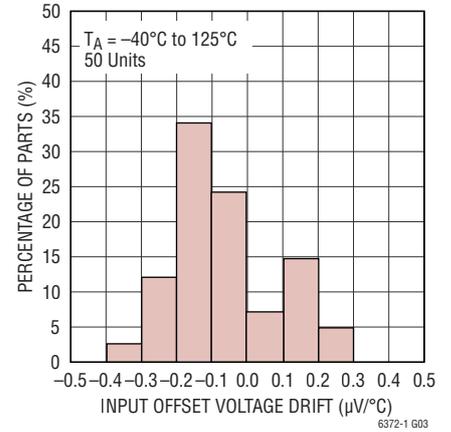
入力オフセット電圧の分布、MS16Eパッケージ



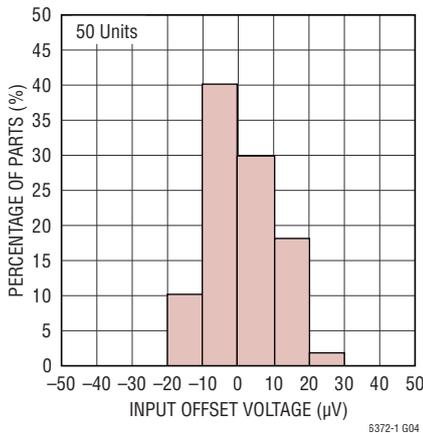
入力オフセット電圧ドリフトの分布、MS16Eパッケージ



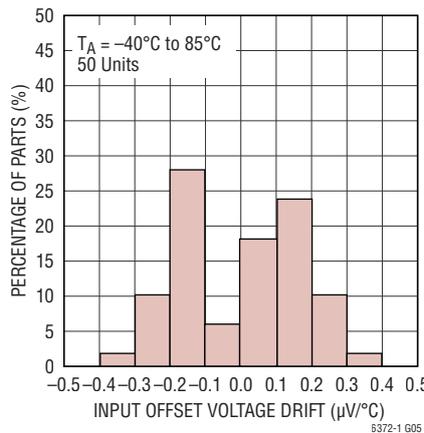
入力オフセット電圧ドリフトの分布、MS16Eパッケージ



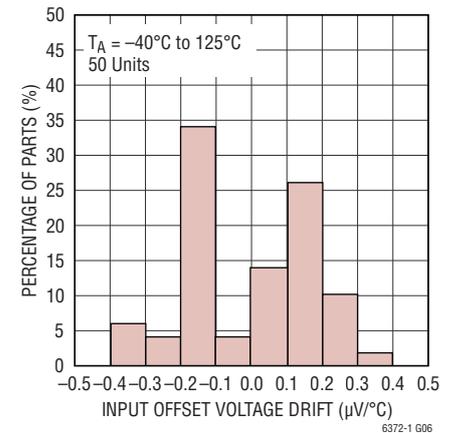
入力オフセット電圧の分布、QFNパッケージ



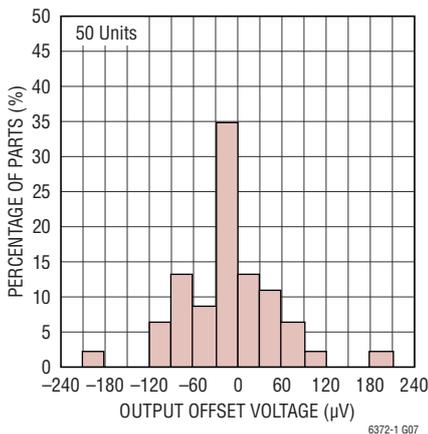
入力オフセット電圧ドリフトの分布、QFNパッケージ



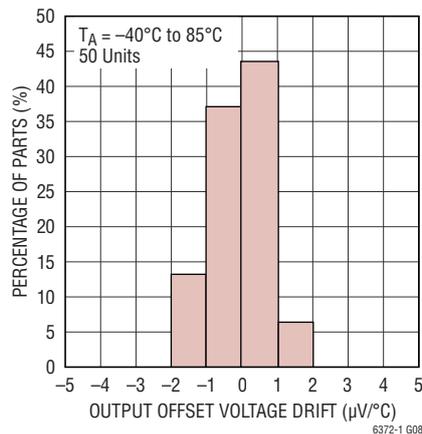
入力オフセット電圧ドリフトの分布、QFNパッケージ



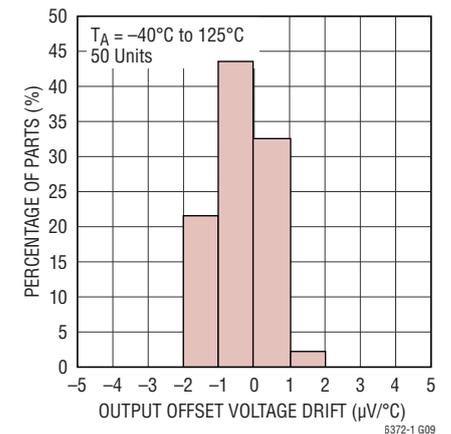
出力オフセット電圧の分布、MS16Eパッケージ



出力オフセット電圧ドリフトの分布、MS16Eパッケージ



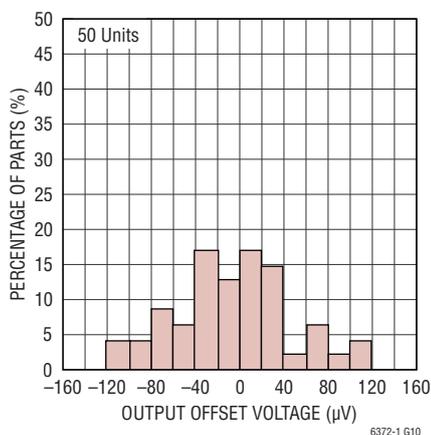
出力オフセット電圧ドリフトの分布、MS16Eパッケージ



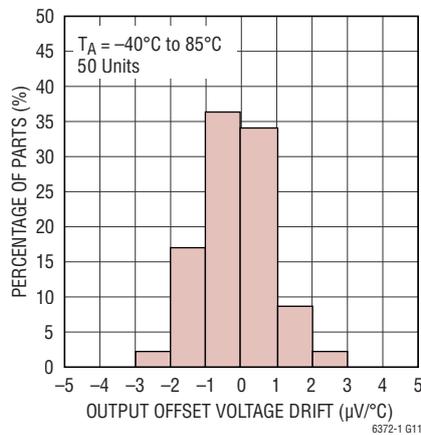
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ 。

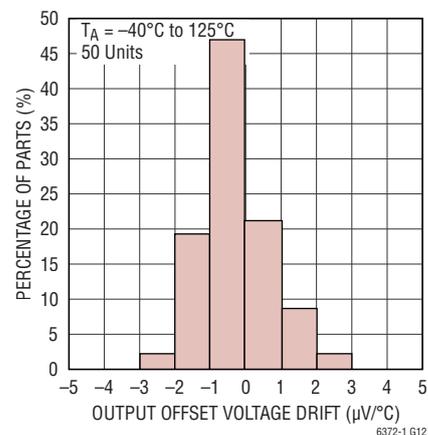
出力オフセット電圧の分布、
QFNパッケージ



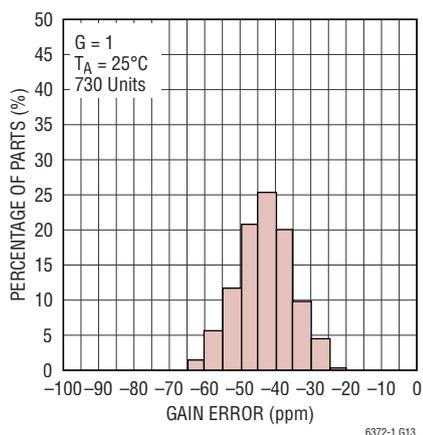
出力オフセット電圧ドリフトの分布、
QFNパッケージ



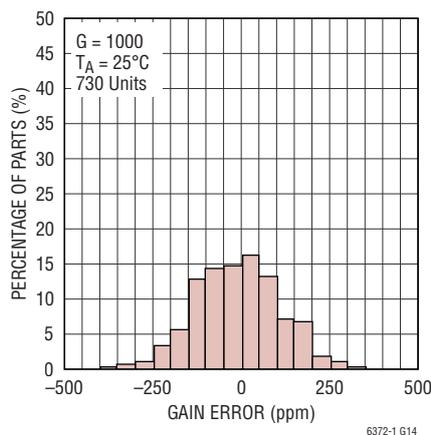
出力オフセット電圧ドリフトの分布、
QFNパッケージ



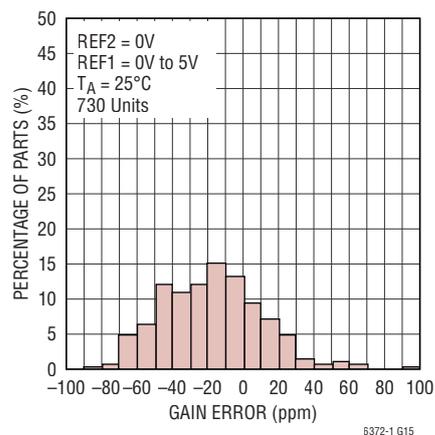
ゲイン誤差の分布



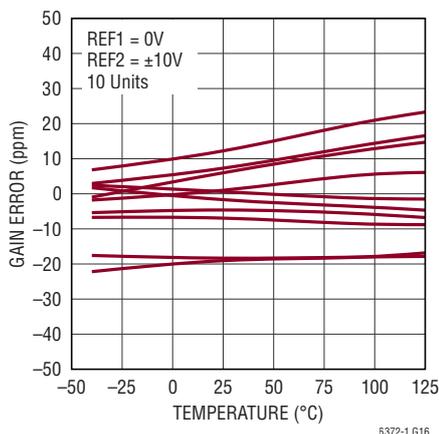
ゲイン誤差の分布



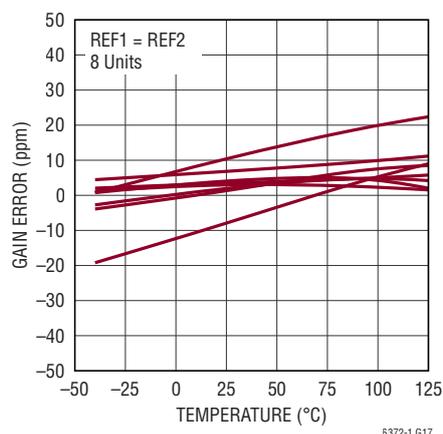
REF分圧ゲイン誤差の分布



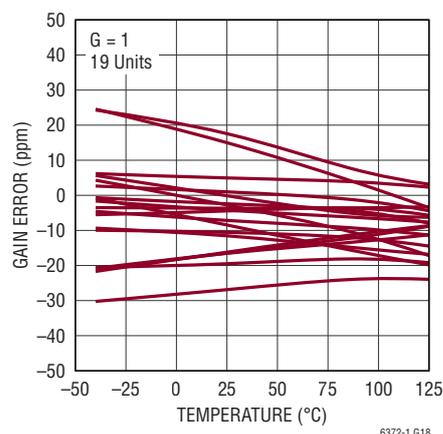
REF分圧器ゲイン・ドリフト



REFゲイン・ドリフト



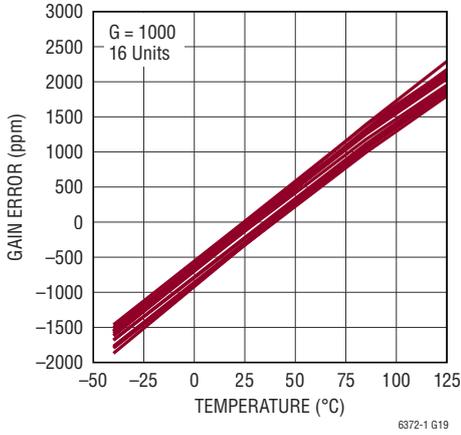
ゲイン・ドリフト (G = 1)



代表的な性能特性

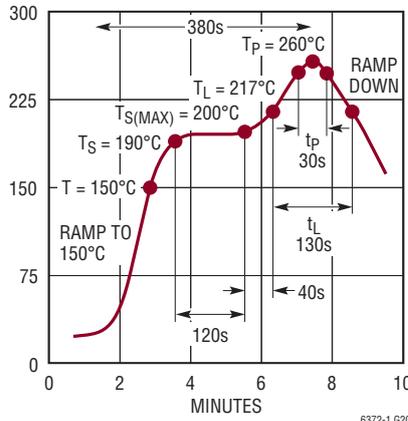
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$

ゲイン・ドリフト (G = 1000)



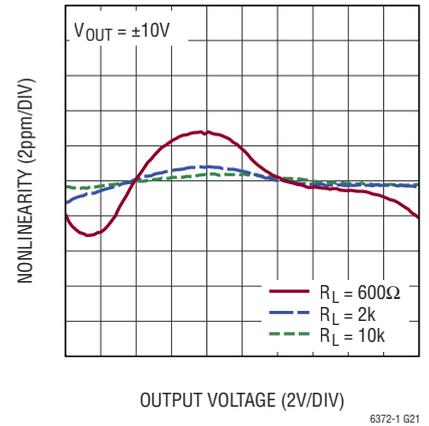
6372-1 G19

IRリフローによる鉛フリー・リフロー・プロファイル



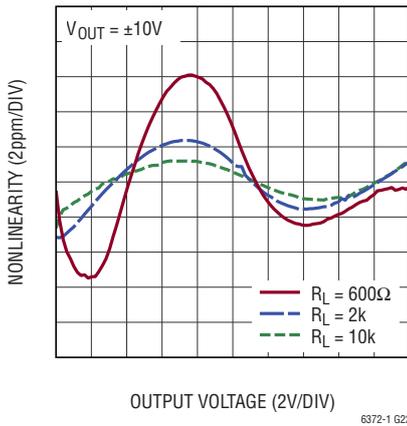
6372-1 G20

ゲイン非直線性 (G = 1)



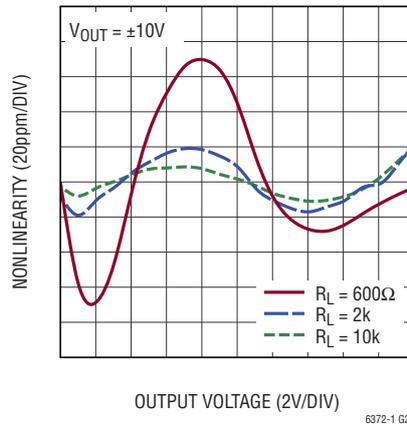
6372-1 G21

ゲイン非直線性 (G = 10)



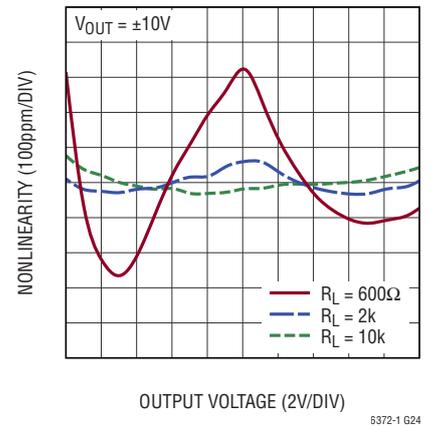
6372-1 G22

ゲイン非直線性 (G = 100)



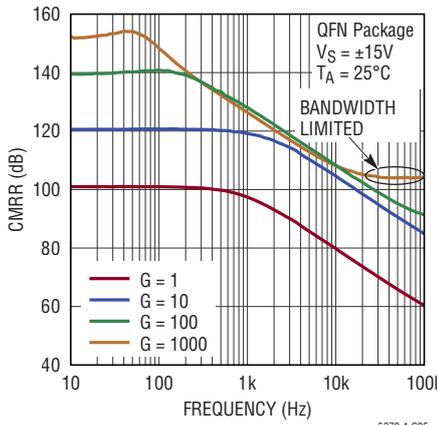
6372-1 G23

ゲイン非直線性 (G = 1000)



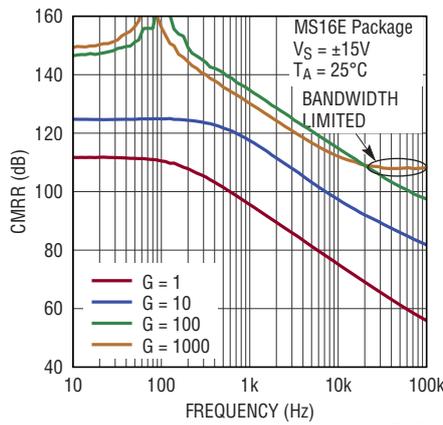
6372-1 G24

CMRRと周波数の関係、RTI QFNパッケージ



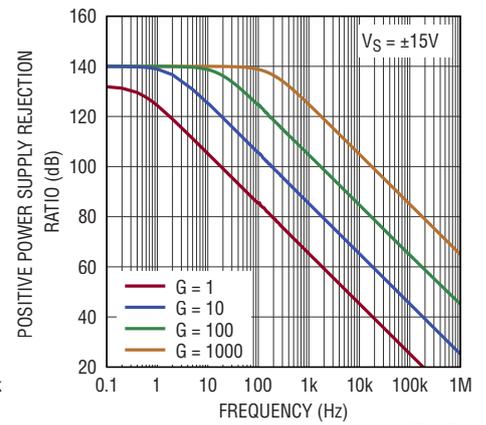
6372-1 G25

CMRRと周波数の関係、RTI MS16Eパッケージ



6372-1 G26

正の電源電圧変動除去比 (PSRR) と周波数の関係、RTI

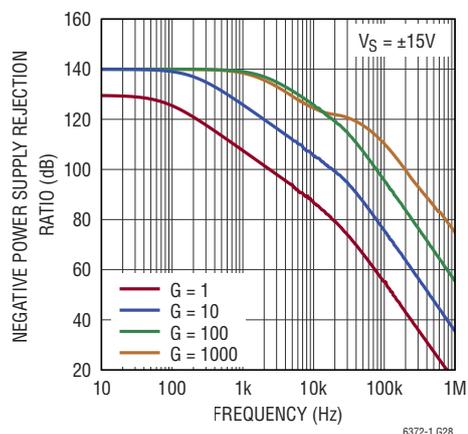


6372-1 G27

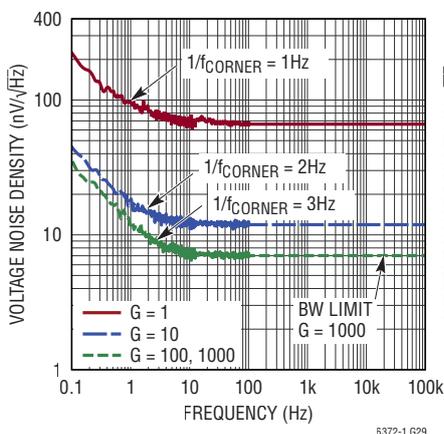
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{CM}} = V_{\text{REF1}} = V_{\text{REF2}} = 0\text{V}$ 、 $V_{\text{CLLO}} = V^-$ 、 $V_{\text{CLHI}} = V^+$ 、 $R_L = 2\text{k}\Omega$

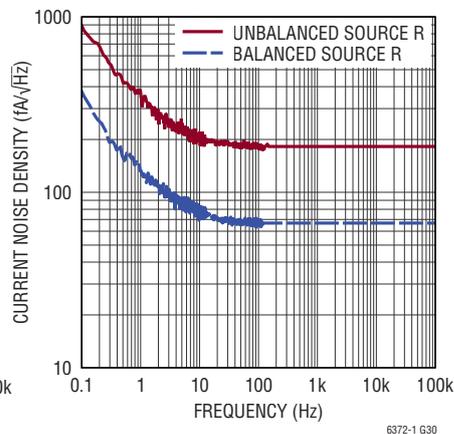
負の電源電圧変動除去比(PSRR)と周波数の関係



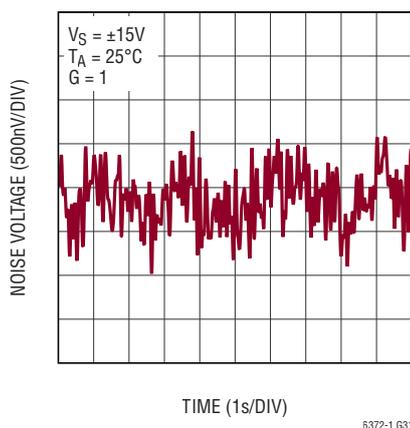
入力換算電圧ノイズ密度と周波数の関係



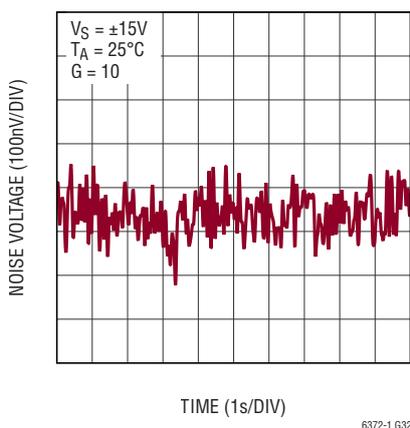
電流ノイズ密度と周波数の関係



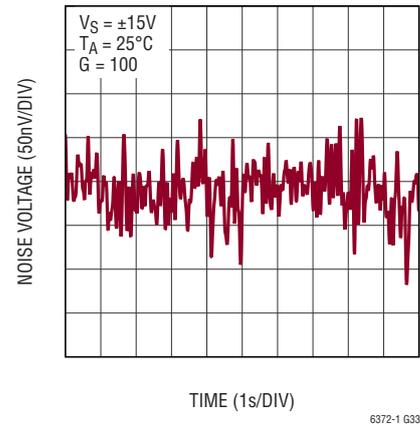
0.1Hz~10Hz 電圧ノイズ、 $G = 1$ 、RTI



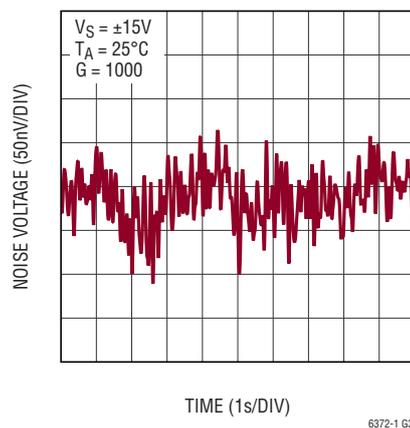
0.1Hz~10Hz電圧ノイズ、 $G = 10$ 、RTI



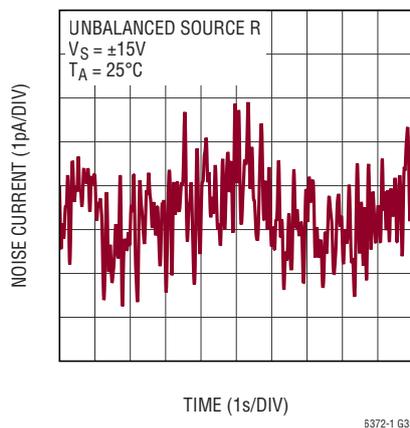
0.1Hz~10Hz 電圧ノイズ、 $G = 100$ 、RTI



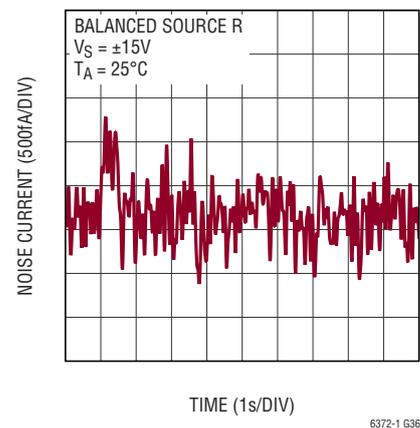
0.1Hz~10Hz 電圧ノイズ、 $G = 1000$ 、RTI



0.1Hz~10Hzノイズ電流、不平衡ソースR



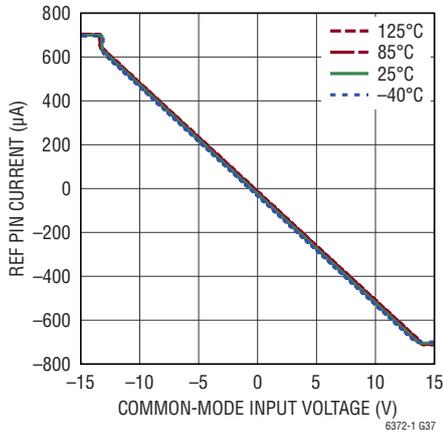
0.1Hz~10Hzノイズ電流、平衡ソースR



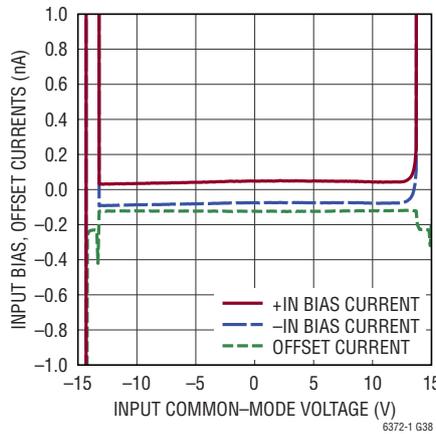
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ 。

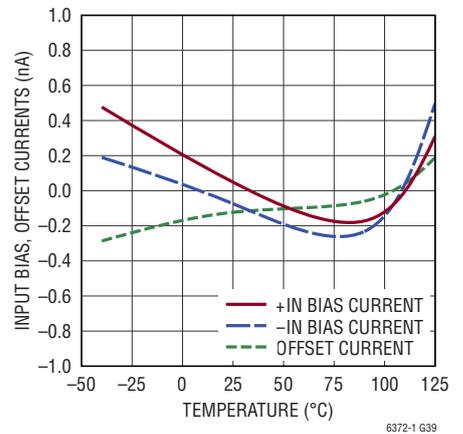
REFピン電流と入力コモン・モード電圧の関係



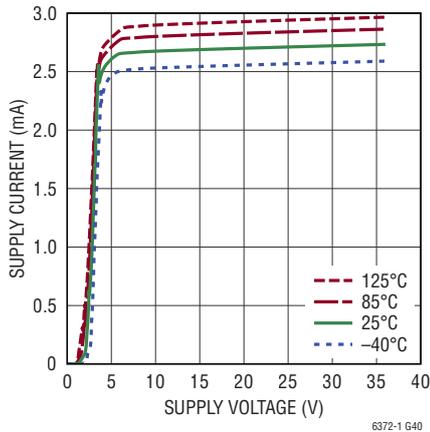
入力バイアス電流とコモン・モード電圧の関係



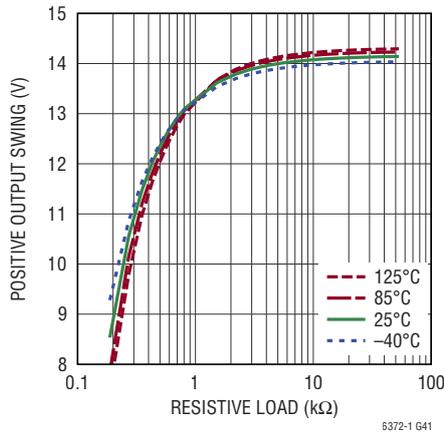
入力バイアス電流およびオフセット電流と温度の関係



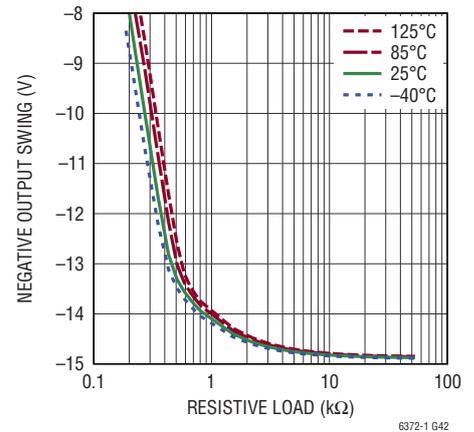
電源電流と電源電圧の関係



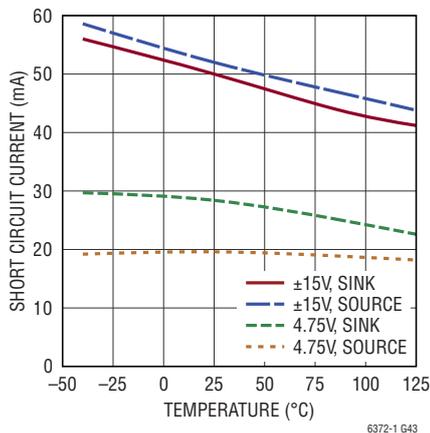
出力電圧振幅と負荷抵抗の関係



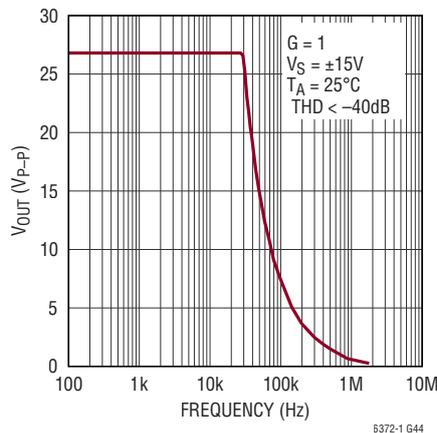
出力電圧振幅と負荷抵抗の関係



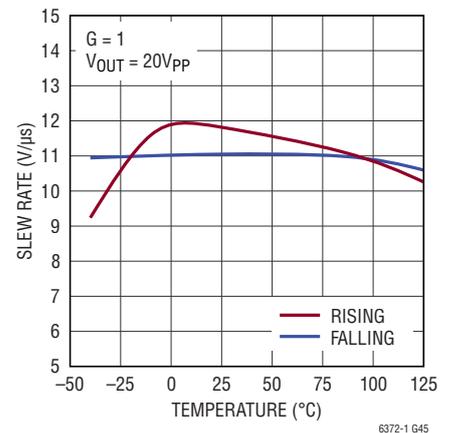
出力短絡電流と温度の関係



無歪み出力振幅と周波数の関係



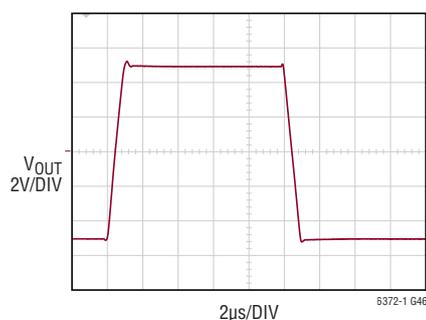
スルー・レートと温度の関係



代表的な性能特性

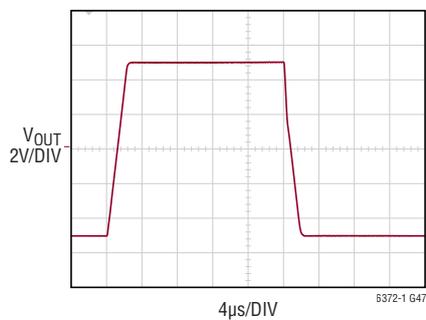
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{CM}} = V_{\text{REF1}} = V_{\text{REF2}} = 0\text{V}$ 、 $V_{\text{CLLO}} = V^-$ 、 $V_{\text{CLHI}} = V^+$ 、 $R_L = 2\text{k}\Omega$ 。

大信号過渡応答



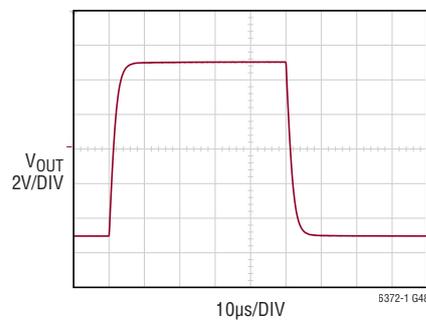
G = 1
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

大信号過渡応答



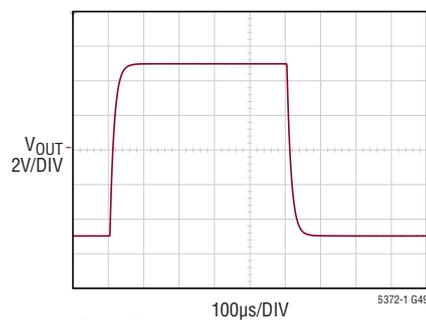
G = 10
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

大信号過渡応答



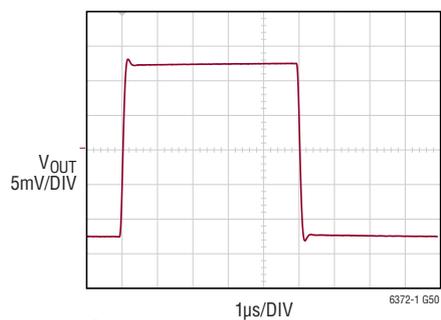
G = 100
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

大信号過渡応答



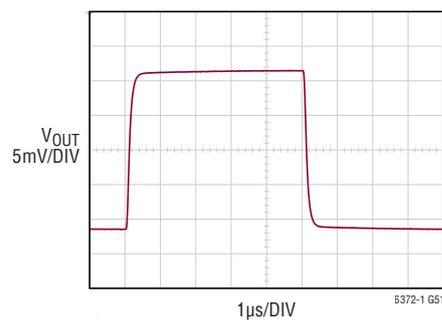
G = 1000
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

小信号過渡応答



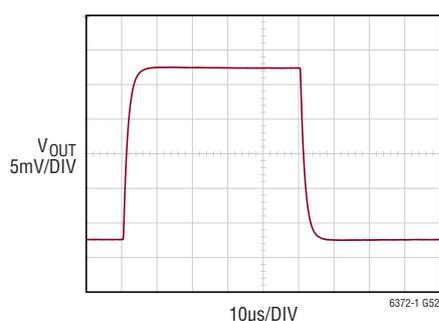
G = 1
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

小信号過渡応答



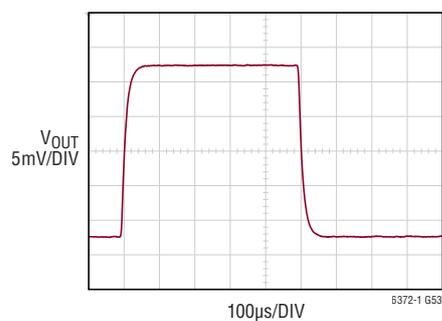
G = 10
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

小信号過渡応答



G = 100
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

小信号過渡応答

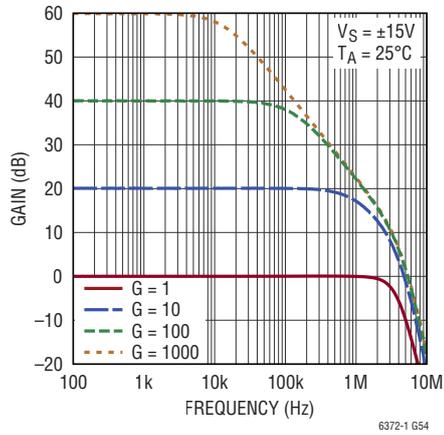


G = 1000
 $V_S = \pm 15\text{V}$
 $T_A = 25^\circ\text{C}$
 $C_L = 100\text{pF}$

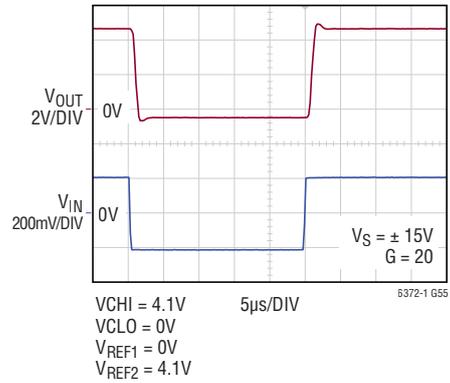
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{CM} = V_{REF1} = V_{REF2} = 0\text{V}$ 、 $V_{CLLO} = V^-$ 、 $V_{CLHI} = V^+$ 、 $R_L = 2\text{k}\Omega$ 。

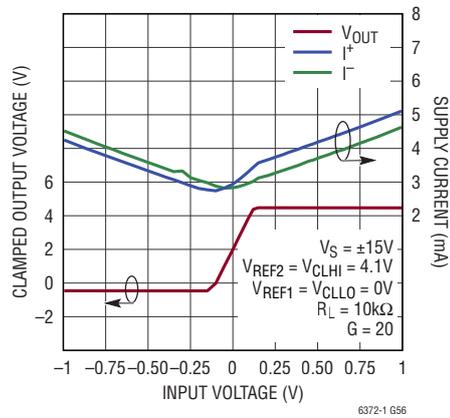
ゲインと周波数の関係



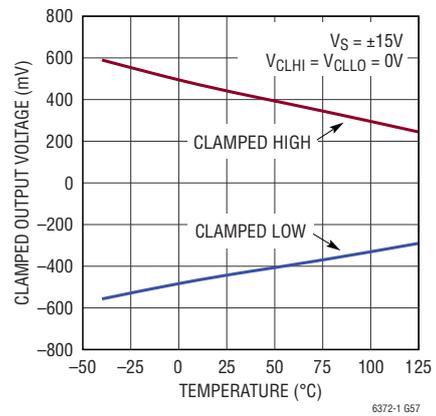
クランプ過渡応答(クランプ出力)



クランプ時のLT6372-1 電源電流



クランプ電圧と温度の関係



ピン機能 (MS16E/QFN20)

-R_{G,F} (ピン1 / ピン19) : 外付けのゲイン設定抵抗と共に使用します。このピンをゲイン設定抵抗へ接続する際の配線は、ゲイン誤差を最小限に抑えるために、-R_{G,S}からの配線とは別にする必要があります。

-R_{G,S} (ピン2 / ピン20) : 外付けのゲイン設定抵抗と共に使用します。このピンをゲイン設定抵抗へ接続する際の配線は、ゲイン誤差を最小限に抑えるために、-R_{G,F}からの配線とは別にする必要があります。

-IN (ピン4 / ピン2) : 負の入力端子。この入力が高インピーダンスです。

+IN (ピン5 / ピン5) : 正の入力端子。この入力が高インピーダンスです。

CLLO (ピン7 / ピン8) : ローサイド・クランプ入力。CLLOピンに加わる電圧は、出力の下限電圧を決定します。通常、出力は、CLLOピンに加わる電圧より500mV低い値にクランプされます。CLLOはフロート状態にしないでください。

V⁻ (ピン8 / ピン7) : 負電源。電源ピンとグラウンドの間に、バイパス・コンデンサを1個使用する必要があります。

CLHI (ピン9 / ピン10) : ハイサイド・クランプ入力。CLHIピンに加わる電圧は、出力の上限電圧を決定します。通常、出力は、CLHIピンに加わる電圧より500mV高い値にクランプされます。CLHIはフロート状態にしないでください。

REF1 (ピン10 / ピン12) : 出力電圧のリファレンス。REF1は、REF2に接続して出力のリファレンスとして使用できます。REF1は、REF2と共に使用して分圧器を構成し、出力をレベル・シフトさせることもできます。

OUTPUT (ピン11 / ピン13) : REFピンを基準とする出力電圧。

V⁺ (ピン12 / ピン14) : 正電源。電源ピンとグラウンドの間に、バイパス・コンデンサを1個使用する必要があります。

REF2 (ピン13 / ピン15) : 出力電圧のリファレンス。REF2は、REF1に接続して出力のリファレンスとして使用できます。REF2は、REF1と共に使用して分圧器を構成し、出力をレベル・シフトさせることもできます。

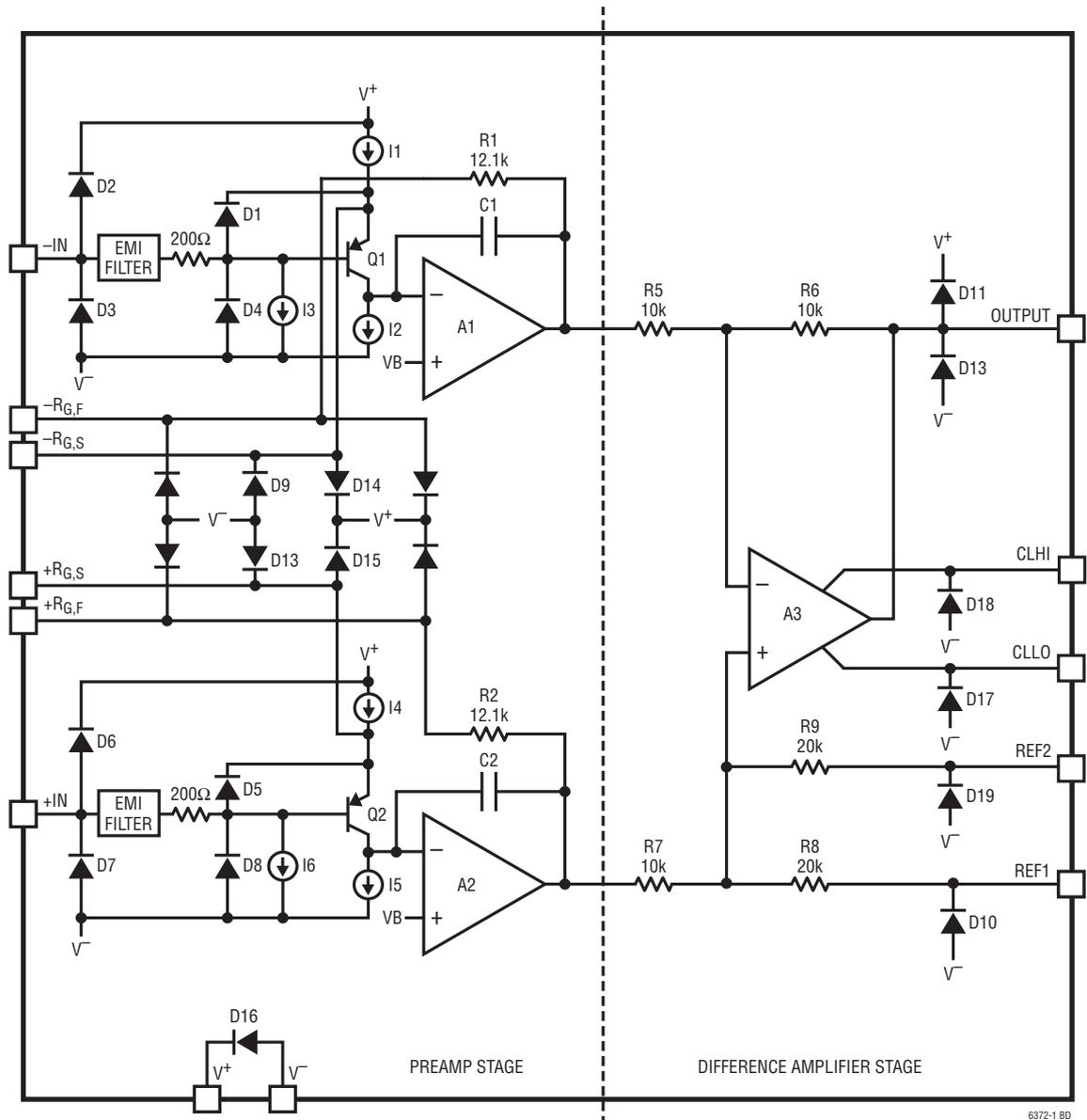
+R_{G,S} (ピン15 / ピン17) : 外付けのゲイン設定抵抗と共に使用します。このピンをゲイン設定抵抗へ接続する際の配線は、ゲイン誤差を最小限に抑えるために、+R_{G,F}からの配線とは別にする必要があります。

+R_{G,F} (ピン16 / ピン18) : 外付けのゲイン設定抵抗と共に使用します。このピンをゲイン設定抵抗へ接続する際の配線は、ゲイン誤差を最小限に抑えるために、+R_{G,S}からの配線とは別にする必要があります。

NIC (ピン3、6、14 / ピン1、3、4、6、11、16) : 内部接続なし。

DNC (QFNピン9) : 接続なし。このピンはフロート状態にしてください。

簡略化したブロック図



動作原理

LT6372-1は、3個のオペアンプを使った従来の計装アンプ・トポロジを改良したもので、精度を向上させ、ADCとのインターフェースを簡素化する機能が組み込まれています。レーザー・トリミングと固有のモノリシック構造によって、指定温度範囲全体を通じて回路パラメータの緊密なマッチングと超低ドリフトが実現されています。簡略化したブロック図を参照すると、以下に示す回路の説明を理解する助けとなります。Q1とQ2のコレクタ電流、およびI1とI4は、入力オフセット電圧ドリフトを最小限に抑えるためにトリミングされているので、高レベルの性能が確保されています。R1とR2は、1個の外付け抵抗R_Gだけを使ってゲインを正確に設定できるように(G = 100で0.12%)、12.1kの値に確実にトリミングされています。R_Gの値は、プリアンプ段のトランスコンダクタンスを決定します。R_Gを小さくして設定ゲインを大きくすると、入力プリアンプ段のトランスコンダクタンスも増加し、入力トランジスタQ1とQ2のトランスコンダクタンスと同じ値になります。このため、設定ゲインが増加するとオープンループ・ゲインが増加し、入力に関する誤差とノイズが減少します。高ゲイン時の入力電圧ノイズは、Q1とQ2のみによって決まります。低ゲイン時は、ディファレンス・アンプとプリアンプ・ゲイン設定抵抗のノイズによって、ノイズが増加することがあります。ゲイン帯域幅積はC1、C2、およびプリアンプのトランスコンダクタンスによって決まり、トランスコンダクタンスは設定ゲインに応じて増加します。したがって帯域幅は自動的に調整され、ゲインに比例して減少することはありません。

入力トランジスタQ1とQ2は優れたマッチング性能、ドリフト性能、ノイズ性能を発揮しますが、これらの性能は、独自の高性能プロセスを使用していることと、入力デバイスの高いベータ(β)が実現する低入力バイアス電流によって実現されています。入力バイアス電流は、I3とI6をトリミングすることによって更に減少します。Q1とQ2に流れるコレクタ電流は、Q1-A1-R1ループとQ2-A2-R2ループを通じたフィードバックによって一定に保たれます。アンプ・ループの動作によって、外付けのゲイン設定抵抗R_Gには差動入力電圧が加わります。R_Gに流れる電流はR1とR2にも流れるので、その比に応じて次式に示すゲインで増幅された差動電圧が生じ、

$$G = 1 + \frac{R1 + R2}{R_G}$$

これがディファレンス・アンプA3に加わります。ディファレンス・アンプはコモン・モード電圧を除去して、REF1とREF2の電圧の平均を基準とするシングルエンド出力電圧を供給します。この分割リファレンス抵抗構成では、外付け部品を使用することなく、出力電圧をADC入力範囲の中央まで容易にレベル・シフトすることが可能です。ディファレンス・アンプのオフセット電圧は出力オフセット電圧ドリフトが最小限となるようにトリムされるので、低ゲイン時でも高い性能を

確保することができます。抵抗R5～R9は、最大限のCMRRを実現してゲイン誤差を最小限に抑えるためにトリムされます。最終的に得られるゲインの式を下に示します。

$$G = 1 + \frac{24.2k}{R_G}$$

この式をゲイン設定抵抗について解くと、次のようになります。

$$R_G = \frac{24.2k}{G - 1}$$

様々なゲインに適した1%抵抗を表1に示します。

表1. LT6372-1のゲインとR_Gの対応表

Resulting Gains for Various 1% Standard Resistor Values	
Gain	Standard 1% Resistor Value (Ω)
1	-
1.996	24.3k
5.007	6.04k
10.06	2.67k
20.06	1.27k
50.69	487
100.6	243
201	121
497.9	48.7
996.9	24.3

Convenient Integer Gains Using Various Standard 1% Resistor Values

Integer Gain	Standard 1% Resistor Value (Ω)
1	-
3	12.1k
21	1.21k
23	1.1k
122	200
201	121
221	110
243	100
1211 (Note 2)	20

更に、LT6372-1は出力電圧クランプ回路を2つ内蔵しています。これらの回路は、ADCの入力に加わる電圧を制限するために使用できます。通常、CLHIはADCのリファレンスに接続し、CLLOはADCのグラウンドに接続します。

アプリケーション情報

有効な入出力範囲

従来、計装アンプでは、有効な入力コモン・モード電圧範囲と出力振幅範囲の仕様を規定しています。しかしこのために、内部的な振幅限界に関連する制限を確認できないことがよくあります。簡略化したブロック図を見ると、プリアンプ

A1とA2の出力振幅、およびディファレンス・アンプA3のコモン・モード入力範囲が、有効動作範囲を制限しています。図1は動作範囲を示したのですが、生成される有効出力は構成条件によって様々に異なります。ここに示す以外の有効入出力範囲のプロットは、ダイヤモンド・プロット・ツールを使って作成できます。

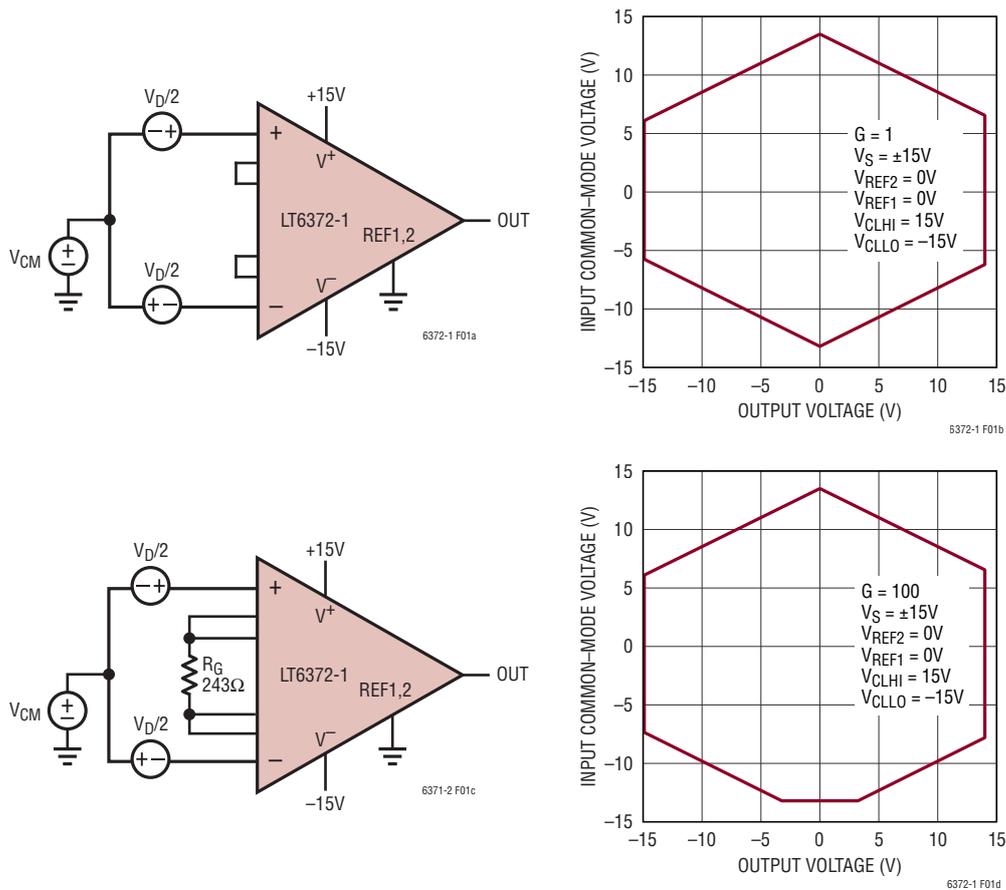


図1. 入力コモン・モード電圧範囲と出力電圧の関係

アプリケーション情報

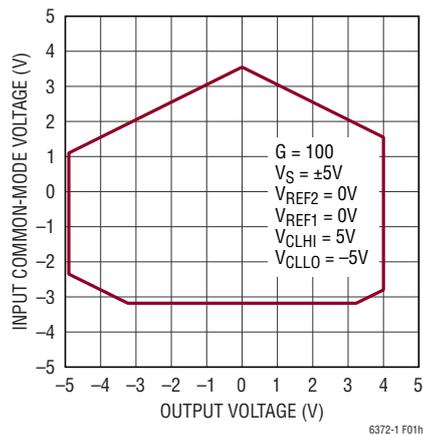
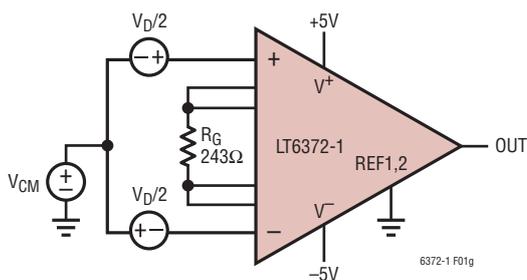
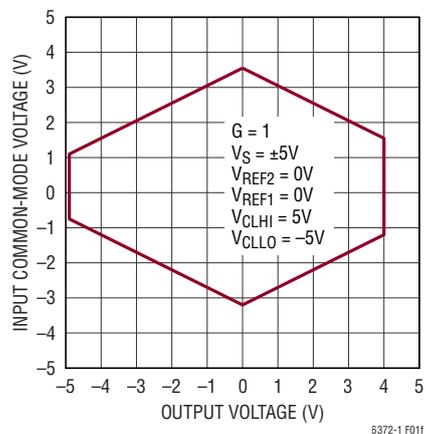
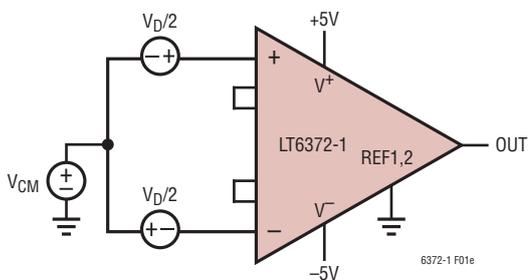
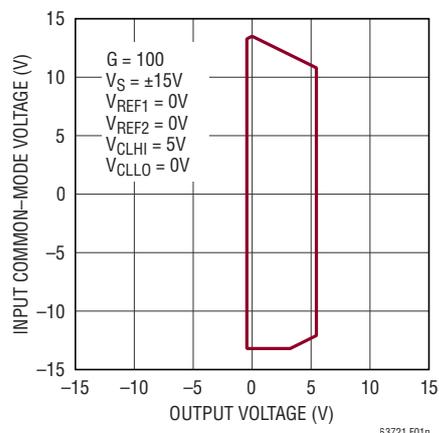
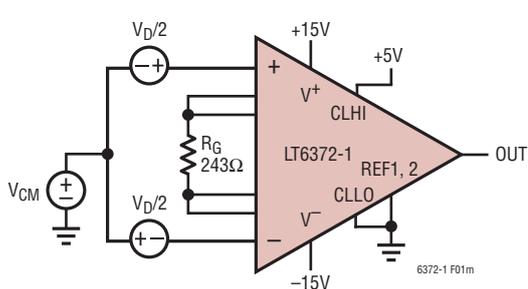


図1. 入力コモン・モード電圧範囲と出力電圧の関係 (続き)

アプリケーション情報

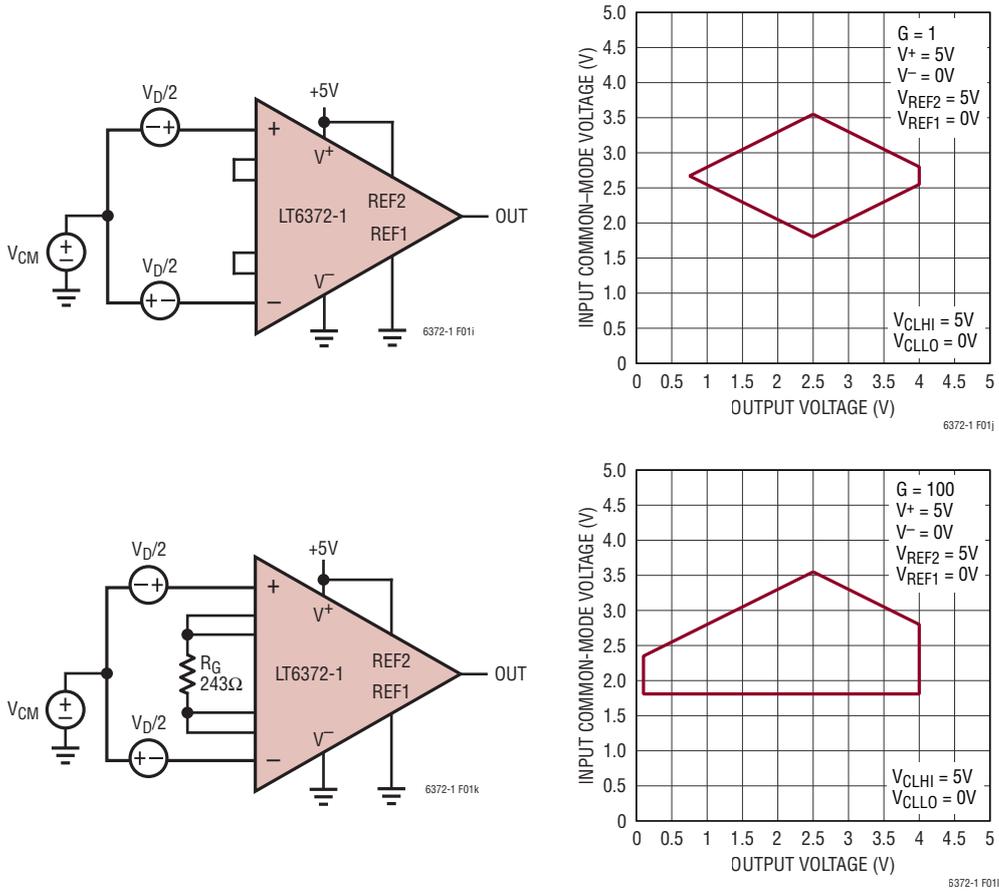


図1. 入力コモン・モード電圧範囲と出力電圧の関係(続き)

アプリケーション情報

効果とも呼ばれるこれらの熱起電力は、低ドリフト回路の支配的な誤差源となり得ます。

コネクタ、スイッチ、リレーの接点、ソケット、抵抗、およびハンダは、いずれも大きな熱起電力を発生させる可能性があります。異なるメーカーの銅線を接合するだけでも $200\text{nV}/^\circ\text{C}$ の熱起電力が発生することがありますが、これは LT6372-1 で仕様規定された最大入力オフセット電圧ドリフトに相当します。このように熱起電力によって発生する電圧と、その温度に対する感度を 図3 と 図4 に示します。

熱電対による誤差を最小限に抑えるには、回路基板のレイアウトと部品の選定に注意を払う必要があります。アンプ入力と R_G 信号パス内の接点数を最小限に抑え、できるだけコネクタ、ソケット、スイッチ、およびリレーの使用を避けることを推奨します。これらの部品が必要な場合は、熱起電力が低い特性の部品を選定するようにしてください。更に、両入力の接合部の数、タイプ、レイアウトを、回路基板上の熱勾配の観点から揃える必要があります。これを実現するには、避けられない接合点の数を合わせるために、ダミーの接合点を設けなければならないことがあります。

空気の流れも熱勾配を生じさせて、測定システムで大きなノイズを発生させる可能性があります。影響を受けやすい複数の回路にまたがる気流をなくすことが重要です。そうすることによって熱電対ノイズが大幅に減少することも少なくありません。PCB 入力パターンを互いに近付けて配線し、PCB の1つの内層上にまとめると、入力パターンの熱表面積と反応する空気流によって生じる温度差を最小限に抑える助けとなります。

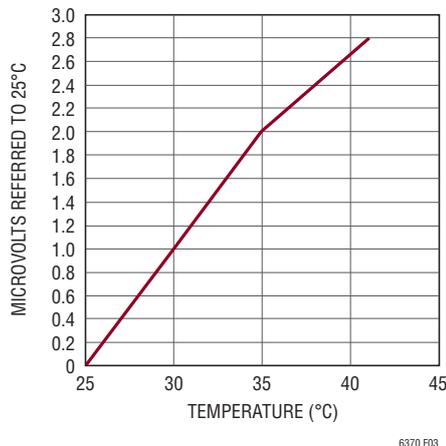


図3. メーカーが異なる2本の銅線によって生じる熱起電力

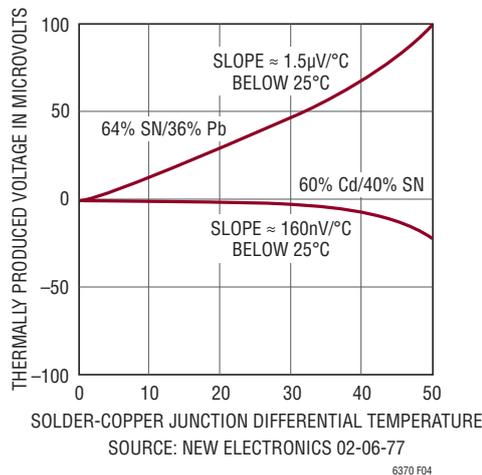


図4. ハンダと銅の接合点に生じる熱起電力

アプリケーション情報

基板に関連するもれ電流の影響の低減

もれ電流はシステムの精度に大きく影響することがあり、これは高温および高電圧のアプリケーションで特に顕著です。高品質の絶縁材料を使用し、絶縁表面はフラックスその他の残留物を除去してクリーンな状態に保つ必要があります。湿度の高い環境では、表面にコーティングを施して防湿層を形成しなければならないことがあります。

R_G ピンに流れるもれ電流が内蔵の帰還抵抗に流れると、プリアンプの出力に誤差が生じます。この誤差はゲインと無関係で、ゲインが低いときに最も大きく精度を低下させます。このもれ電流は、 R_G ピンの電位に非常に近い電位で動作するガード・リングで R_G の接続点を囲むことにより、最小限に抑えることができます。各 R_G ピンに隣接するNICピンを使用すれば、このガード・リングの実装が容易になります。これらのNICピンにバイアスはなく、内部接続もされていません。場合によっては、 R_G よりダイオード1個分低い値にバイアスする入力電圧にガード・リングを接続することもできます。

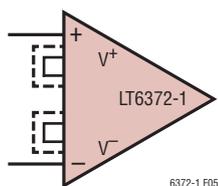


図5. ガード・リングを使用して R_G ピンへのもれ電流を最小限に抑えることが可能

入力ピンへのもれ電流はソース抵抗に作用して、入力に直接誤差を発生させます。このもれ電流は、入力ピンの電位に非常に近い電位で動作するガード・リングで入力接続を囲むことにより、最小限に抑えることができます。場合によっては、入力よりダイオード1個分高い値にバイアスする R_G にガード・リングを接続することもできます。

もれ電流を最小限に抑えるために、アンプを使用してガード・リングを駆動することができます。これらのバッファの入力バイアス電流はもれ電流となるので、非常に小さい値に抑える必要があります。

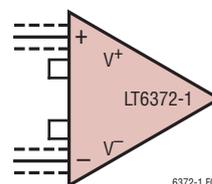


図6. ガード・リングを使用して入力ピンへのもれ電流を最小限に抑えることが可能

入力バイアス電流のリターン・パス

LT6372-1は入力バイアス電流が小さく(最大800pA)入力インピーダンスが大きいので(225G Ω)、最大限のコモン・モード電圧範囲が必要とされる場合でも、余分なオフセット電圧誤差を発生させることなく高インピーダンス源を使用できます。ただし、完全差動信号を増幅する場合は、両方の入力に入力バイアス電流用のパスを用意する必要があります。このパスがないと、どちらのレールに対しても入力がフロート状態となり、LT6372-1の入力コモン・モード電圧範囲を超えて、入力アンプが飽和する結果となります。入力バイアス電流パスの3つの例を図7に示します。最初の例は完全差動信号源を使用しており、10k Ω の入力電流パスがグラウンドに接続されています。信号源のインピーダンスが小さいので、必要な抵抗は1個だけです。2番目の例に示すように、信号源のインピーダンスが高い場合は2つのマッチング抵抗が必要です。入力インピーダンスのバランスを取ると、ACおよびDC同相ノイズ除去性能とDCオフセット性能が共に向上します。3番目の例に示すように、センター・タップがある場合は入力抵抗が不要になります。

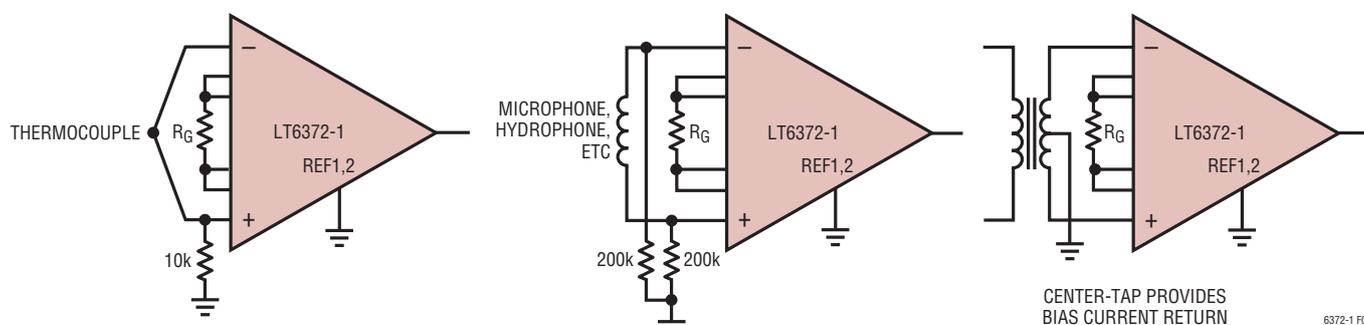


図7. 入力コモン・モード電流パスの構成

アプリケーション情報

入力保護

各入力と直列に外付け抵抗を追加すれば、入力保護機能を強化できます。値の小さい抵抗が必要な場合は、正電源と各入力の間クランプ・ダイオードを配置すれば、堅牢性を向上させる助けとなります。2N4394のドレイン/ソースとゲートの間は良好な低もれ電流性能を持つダイオードで、**図8**に示すように使用できます。炭素複合材料やバルク金属箔などを使用した堅牢な入力抵抗を選択します。金属皮膜抵抗や炭素被膜抵抗は、性能が良くないので使用しないでください。

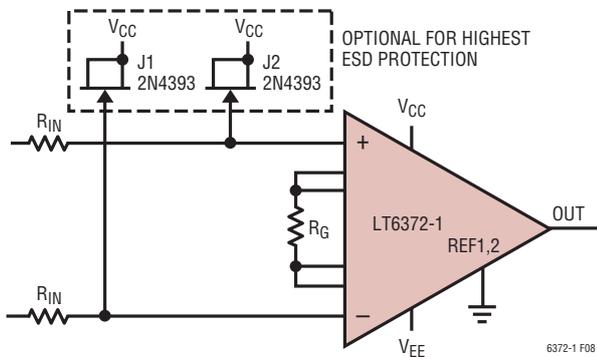


図8. 入力保護

AC CMRRの維持

最適なAC CMRRを実現するには、R_Gゲイン設定ピンの容量バランスをとることが重要です。更に、各入力の信号源抵抗が等しくない場合は、一方の入力に抵抗を追加して入力信号源抵抗のマッチングを改善すると、AC CMRRを改善できます。

RFIの低減/内蔵RFIフィルタ

LT6372-1は、多くの産業用アプリケーションやデータ・アクイジション・アプリケーションで、大きなコモン・モード電圧やノイズのある環境で小信号を正確に増幅するために使われます。通常、これらの微小信号(μVまたはmV単位)の発生源はセンサーであり、シグナル・コンディショニング回路からの距離がかなり長いことがあります。これらのセンサーは、シールド付きまたはシールドなしのツイストペア・ケーブルを使用してシグナル・コンディショニング回路に接続できますが、ケーブルがアンテナとして動作して、超高周波の干渉ノイズがLT6372-1の入力段に直接伝達される可能性があります。

干渉ノイズの振幅と周波数は、計装アンプの入力オフセット電圧に対して不必要なDCシフトを引き起こすことにより、計装アンプの入力段に悪影響を及ぼす可能性があります。この影響はRFI整流作用として広く知られており、帯域外の干渉ノイズが(誘導的または容量的に、あるいは放射によって)結合すると発生し、計装アンプの入力トランジスタによって整流されます。これらのトランジスタは、高周波信号検出器として動作します。これは、初期のラジオ設計において、ダイオードがRFエンベロープ・ディテクタとして使われたのと同じです。干渉の種類や、回路への結合方法とは関係なく、帯域外の誤差信号は計装アンプの入力と直列に現れます。

この影響を最小限に抑えるため、LT6372-1は50MHzのRFIフィルタを内蔵しています。このフィルタは、高周波信号を減衰して、高周波がデバイスの入力トランジスタと相互干渉せずに済むようにする助けとなります。これらの内蔵フィルタはモノリシック構造のため十分にマッチングが取られており、AC CMRRの低下を最小限に抑えるのに役立ちます。LT6372-1の入力オフセット電圧に対するこれらの帯域外信号の影響を低減するため、入力に外付けローパス・フィルタを追加できます。フィルタは回路の入力ピンのすぐ近くに配置してください。効果的なフィルタ構成を**図9**に示します。この図ではLT6372-1の入力に3つのコンデンサが追加されています。

このフィルタは、次式の関係に従って入力信号の帯域幅を制限します。

$$\text{FilterFreq}_{\text{DIFF}} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$\text{FilterFreq}_{\text{CM}} = \frac{1}{2\pi RC_C}$$

ここで、C_D ≥ 10C_Cです。

C_Dは差動信号に影響し、C_Cは同相信号に影響します。RとC_Cの組み合わせにミスマッチがあると、LT6372-1のCMRRは低下します。CMRR帯域幅性能を意図せずに低下させてしまうことがないように、C_Cは、C_Dより少なくとも1桁以上小さくするようにしてください。C_Cのミスマッチの影響は、C_D:C_Cの比を大きくすれば軽減できます。

アプリケーション情報

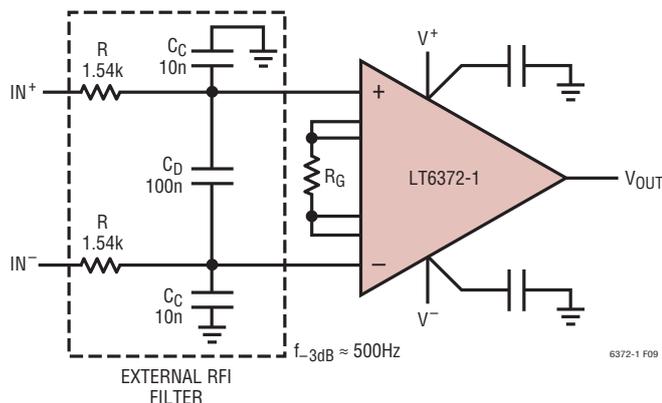


図9. 計装アンプの入力にシンプルなお付けRCフィルタを追加すると、高周波の帯域外信号の整流を更に減らすのに効果的

同相信号から差動信号への変換の可能性をなくすために、各入力同相ローパス・フィルタのマッチング精度を1%以内にします。フィルタの適切な値を決めるのに有効な手順を、以下に示します。

1. RとCDを選択し、次式を使って、ローパス極の周波数が、最も周波数の高い対象信号の10倍以上高い周波数(例: 50Hz信号の場合は500Hz)となるようにします。

$$\begin{aligned} \text{FilterFreq}_{\text{DIFF}} &= \frac{1}{2\pi R(2C_D + C_C)} \\ &= \frac{1}{2\pi R(2C_D + 0.1C_D)} \\ &= \frac{1}{4.2\pi RC_D} \end{aligned}$$

2. CC = CD/10となるように選択してください。

このように実装した場合、同相極周波数は、差動極周波数より約20倍高い位置になります。図9に示す値での差動および同相ローパス極周波数は、次のようになります。

$$\text{FilterFreq}_{\text{DIFF}} = 500\text{Hz}$$

$$\text{FilterFreq}_{\text{CM}} = 10\text{kHz}$$

アプリケーション情報

誤差バジエットの分析

LT6372-1は分割リファレンス構成を採用しており、高精度部品を追加することなくバイポーラ振幅からADC入力へインターフェースを取るための、便利で効果的な方法を提供します。図11に示すように、従来の計装アンプで同様の

レベル・シフトを行うには外付けの高精度部品が必要ですが、これらの部品は精度の低下とコスト上昇を招く上に、貴重なPCBスペースを占有します。表2の誤差バジエットは、LT6372-1をブリッジ・アンプとして使用した場合の総合システム誤差を示しています。

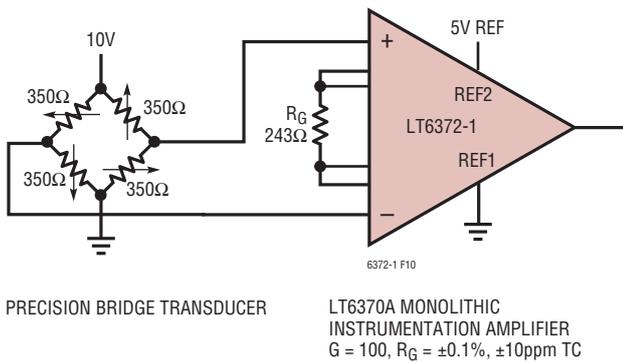


図10. LT6372-1を使用した高精度ブリッジ・アンプ

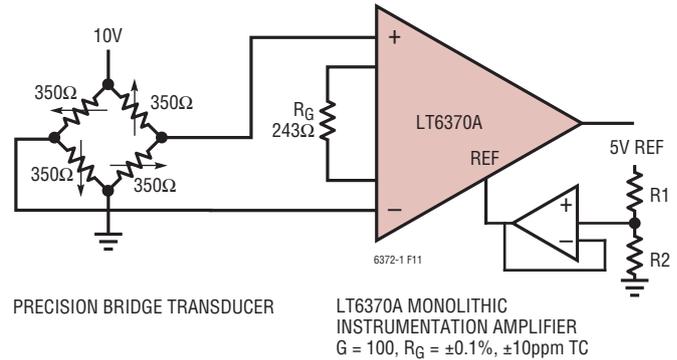


図11. レベル・シフトを外付けした高精度ブリッジ・アンプ

表2. 誤差バジエット

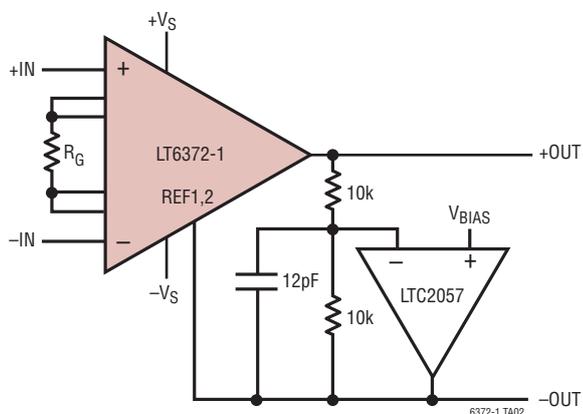
ERROR SOURCE	CALCULATION	ERROR, ppm OF FULL SCALE
		LT6372-1
Absolute Accuracy at T_A = 25°C		
Gain Error, %	Gain Error in % • 10k + 1000	2200
Input Offset Voltage, μV	V _{OSI} /20mV	3000
Output Offset Voltage, μV	[V _{OSO} /100]/20mV	137.5
Input Offset Current, nA	[(I _{OS})(350)/2]/20mV	12.25
CMRR, dB	[(CMRR in ppm)(5V)/20mV	250
Total Accuracy Error		5599.75
Drift to 85°C		
Gain Drift, ppm/°C	(Gain Drift + 10ppm/°C)(60°C)	2700
Input Offset Voltage Drift, μV/°C	[(V _{OSI} Drift)(60°C)]/20mV	1800
Output Offset Voltage Drift, μV/°C	[(V _{OSO} Drift)(60°C)]/100/20mV	120
Total Drift Error		4620
Resolution		
Gain Nonlinearity, ppm of Full Scale		50
Typ 0.1Hz to 10Hz Voltage Noise, μV _{P-P}	(0.1Hz to 10Hz Noise)/20mV	10
Total Resolution Error		60
Grand Total Error		10279.75

G = 100

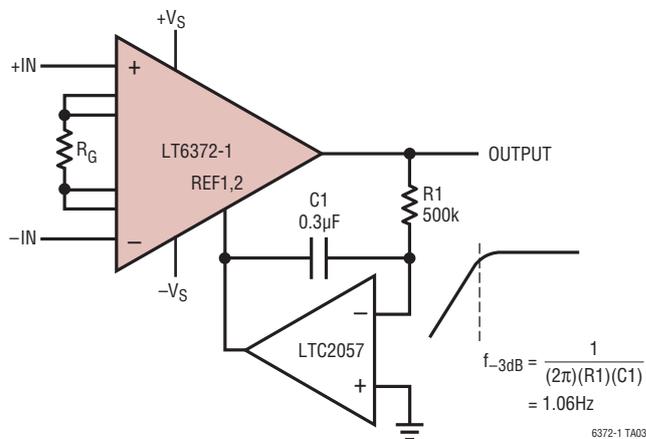
すべての誤差は入力に換算した最小値/最大値

標準的応用例

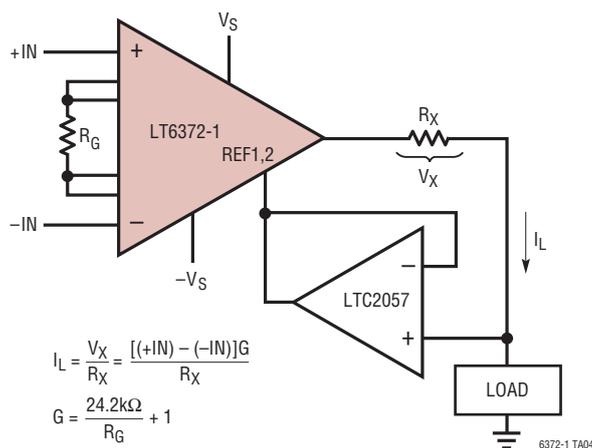
差動出力計装アンプ



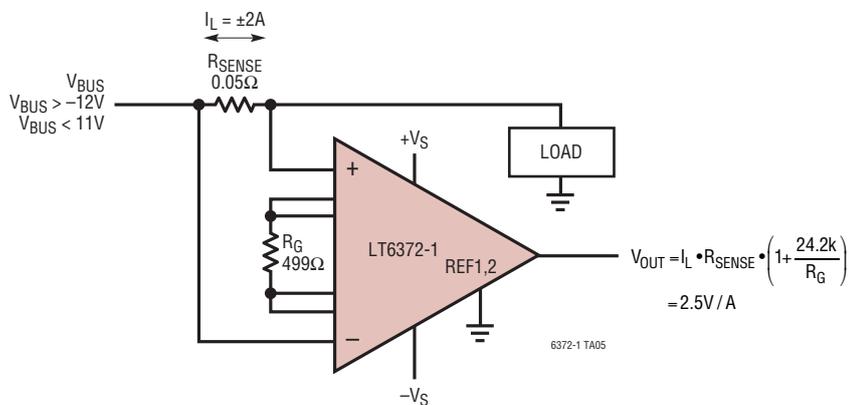
ACカップリングした計装アンプ



高精度電圧／電流コンバータ

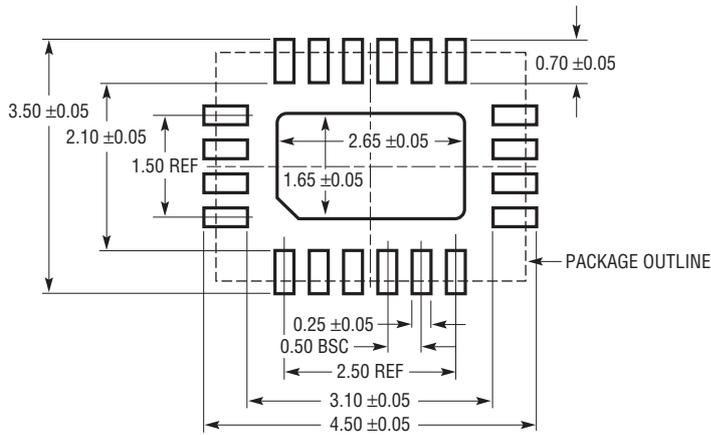


ハイサイド双方向電流検出

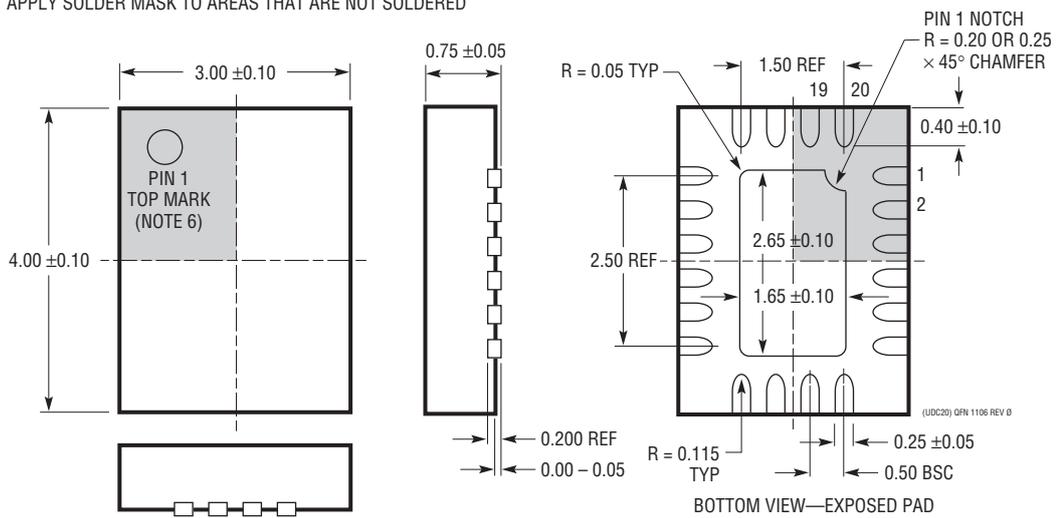


パッケージ

UDC Package
20-Lead Plastic QFN (3mm × 4mm)
 (Reference LTC DWG # 05-08-1742 Rev 0)



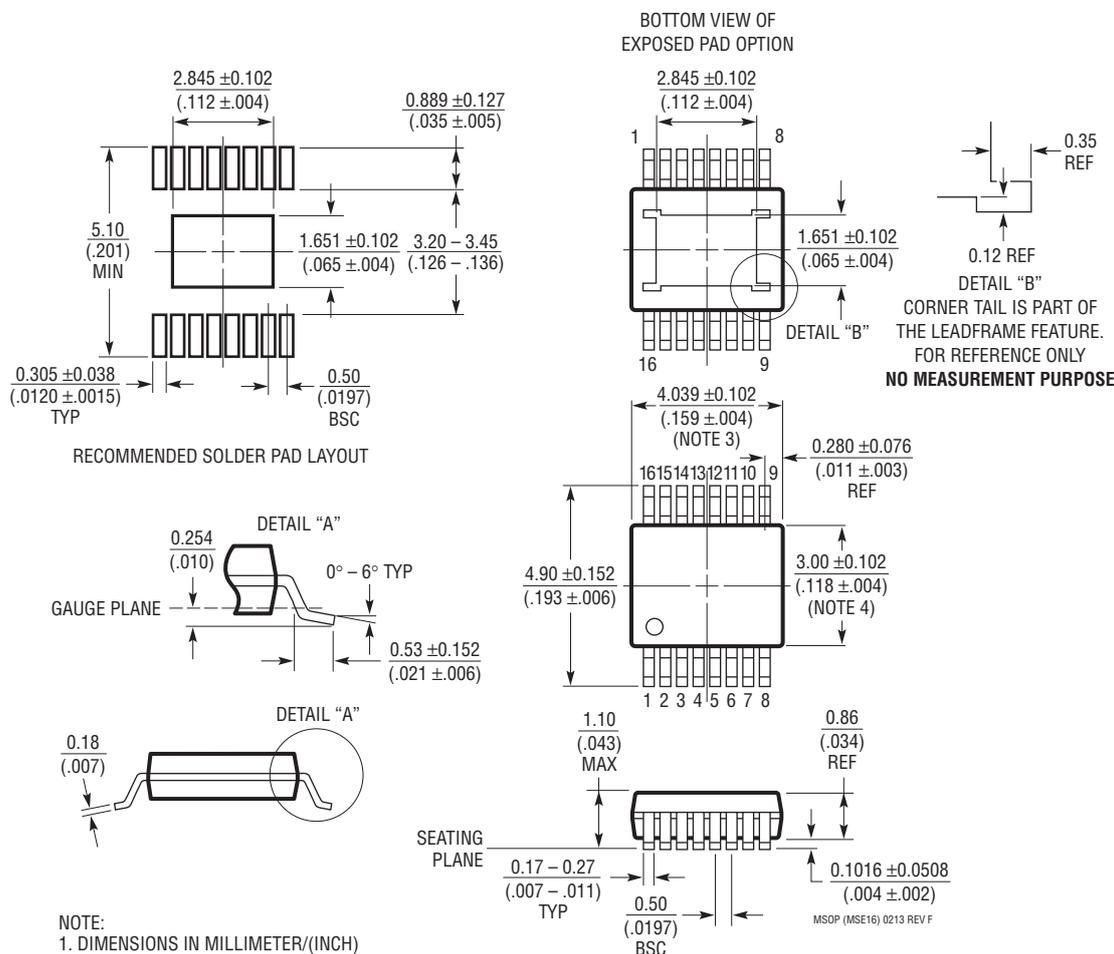
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- NOTE:
1. DRAWING IS NOT A JEDEC PACKAGE OUTLINE
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

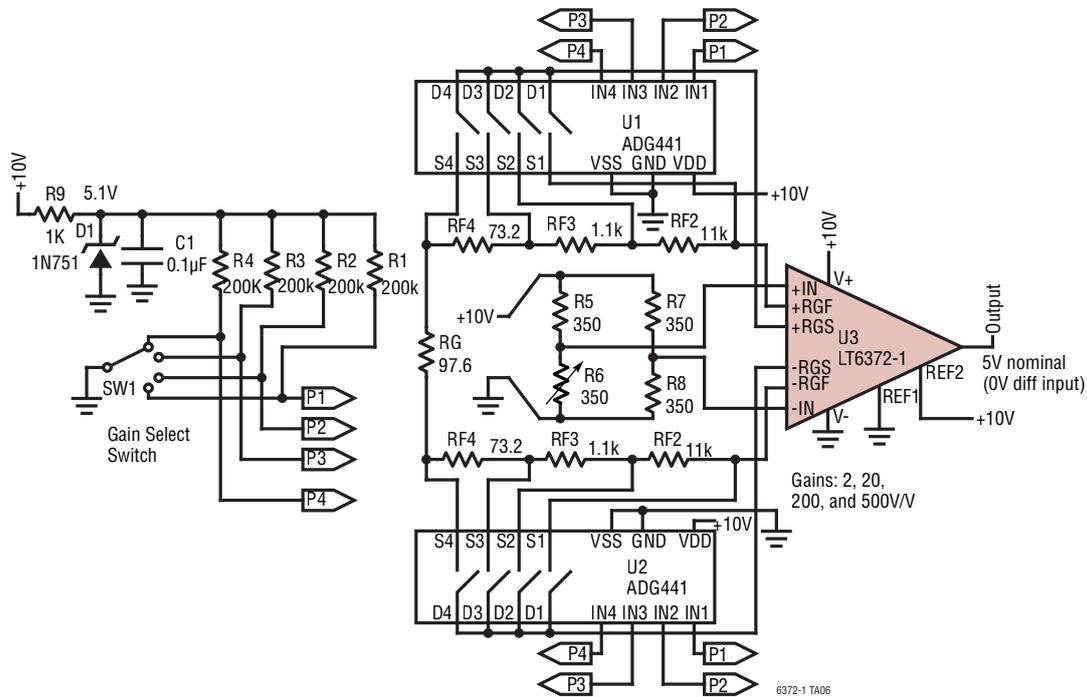
パッケージ

MSE Package
16-Lead Plastic MSOP, Exposed Die Pad
 (Reference LTC DWG # 05-08-1667 Rev F)



標準的応用例

プログラマブル・ゲイン・アンプ



関連製品

製品番号	概要	注釈
計装アンプ		
AD8429	低ノイズ計装アンプ	$V_S = 36V$, $I_S = 6.7mA$, $V_{OS} = 50\mu V$, $BW = 15MHz$, $e_{ni} = 1nV/\sqrt{Hz}$, $e_{no} = 45nV/\sqrt{Hz}$
LT6372-0.2	低ドリフト計装アンプ	最小ゲインが0.2V/VのLT6372-1
LT6370	低ドリフト計装アンプ	$V_S = 30V$, $I_S = 2.65mA$, $V_{OS} = 25\mu V$, $BW = 3.1MHz$, $e_{ni} = 7nV/\sqrt{Hz}$, $e_{no} = 65nV/\sqrt{Hz}$
LTC1100	ゼロ・ドリフト計装アンプ	$V_S = 18V$, $I_S = 2.4mA$, $V_{OS} = 10\mu V$, $BW = 19kHz$, $1.9\mu V_{p-p}$ DC~10Hz
AD8421	低ノイズ計装アンプ	$V_S = 36V$, $I_S = 2mA$, $V_{OS} = 25\mu V$, $BW = 10MHz$, $e_{ni} = 3nV/\sqrt{Hz}$, $e_{no} = 60nV/\sqrt{Hz}$
AD8221	低消費電力計装アンプ	$V_S = 36V$, $I_S = 900\mu A$, $V_{OS} = 25\mu V$, $BW = 825kHz$, $e_{ni} = 8nV/\sqrt{Hz}$, $e_{no} = 75nV/\sqrt{Hz}$
LT1167	計装アンプ	$V_S = 36V$, $I_S = 900\mu A$, $V_{OS} = 40\mu V$, $BW = 1MHz$, $e_{ni} = 7.5nV/\sqrt{Hz}$, $e_{no} = 67nV/\sqrt{Hz}$
AD620	低消費電力計装アンプ	$V_S = 36V$, $I_S = 900\mu A$, $V_{OS} = 50\mu V$, $BW = 1MHz$, $e_{ni} = 9nV/\sqrt{Hz}$, $e_{no} = 72nV/\sqrt{Hz}$
LTC6800	RRIO 計装アンプ	$V_S = 5.5V$, $I_S = 800\mu A$, $V_{OS} = 100\mu V$, $BW = 200kHz$, $2.5\mu V_{p-p}$ DC~10Hz
LTC2053	ゼロ・ドリフト計装アンプ	$V_S = 11V$, $I_S = 750\mu A$, $V_{OS} = 10\mu V$, $BW = 200kHz$, $2.5\mu V_{p-p}$ DC~10Hz
LT1168	低消費電力計装アンプ	$V_S = 36V$, $I_S = 350\mu A$, $V_{OS} = 40\mu V$, $BW = 400kHz$, $e_{ni} = 10nV/\sqrt{Hz}$, $e_{no} = 165nV/\sqrt{Hz}$
オペアンプ		
LTC2057	40V ゼロ・ドリフト・オペアンプ	$V_{OS} = 4\mu V$, ドリフト = $15nV/^\circ C$, $I_B = 200pA$, $I_S = 900\mu A$
A/D コンバータ		
LTC2389-16	16ビット SAR ADC	2.5Msps, S/N 比 96dB, 162.5mW
LTC2367-16	16ビット SAR ADC	500ksps, S/N 比 94.7dB, 6.8mW