

# 42Vクワッド、ギヤング可能、同期整流式モノリシック降圧レギュレータ

## 特長

- Silent Switcher®2 (サイレント・スイッチャ2) アーキテクチャ
  - 超低EMI放射
  - オプションのスペクトラム拡散変調
- 2つの高電圧同期整流式降圧レギュレータ
  - 入力電圧範囲: 3V~42V
  - 出力電流: 最大2.5A / チャンネル
  - 1つのインダクタでチャンネルを並列に接続可能
- 2つの低電圧同期整流式降圧レギュレータ
  - 入力電圧範囲: 3V~8V
  - 出力電流: 最大4A / チャンネル
  - 1つのインダクタでチャンネルを並列に接続可能
- $I_Q$ : 12μA (全チャンネル・アクティブおよび無負荷時)
- 柔軟な電源シーケンスと制御
- 調整と同期が可能: 350kHz~3MHz
- 36ピンLQFN (5mm × 6mm) を採用
- オートモーティブ・アプリケーション向けのAEC-Q100に適合

## アプリケーション

- 車載システム
- 産業用制御機器および電源

## 概要

LT®8685Sは、柔軟性の高い4チャンネルの電流モード・モノリシック・レギュレータで、最小限の基板スペースで多様な自動車および産業用アプリケーションに電源を供給できます。

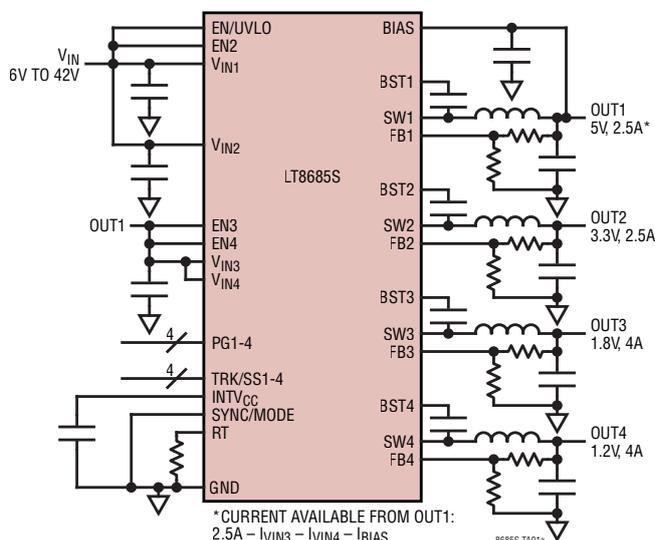
LT8685Sは、2つの42V対応2.5A降圧レギュレータと2つの8V対応4A降圧レギュレータの組み合わせで構成されています。2つの42Vレギュレータを組み合わせることにより、1つのインダクタで最大5Aの出力電流を供給できます。同様に、2つの8Vレギュレータを組み合わせることにより、1つのインダクタで最大8Aの出力電流を供給できます。また、チャンネル・イネーブル、トラック/ソフトスタート、パワー・グッドの各ピンにより、柔軟な電源シーケンスと制御が可能です。LT8685Sは、Silent Switcher 2アーキテクチャと選択可能なスペクトラム拡散モードにより、高スイッチング周波数で高効率を実現しながら、極めて低いEMI/EMC放射を実現しています。

LT8685Sは、サーマル・シャットダウン機能と各チャンネルでのサイクルごとの電流制限機能を内蔵していて、短絡保護と堅牢な動作を実現しています。

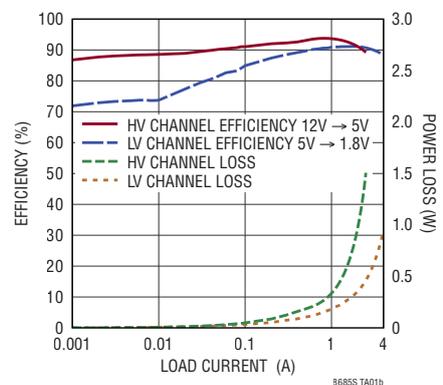
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

## 標準的応用例

42V入力、クワッド出力2MHz降圧レギュレータ



効率と損失



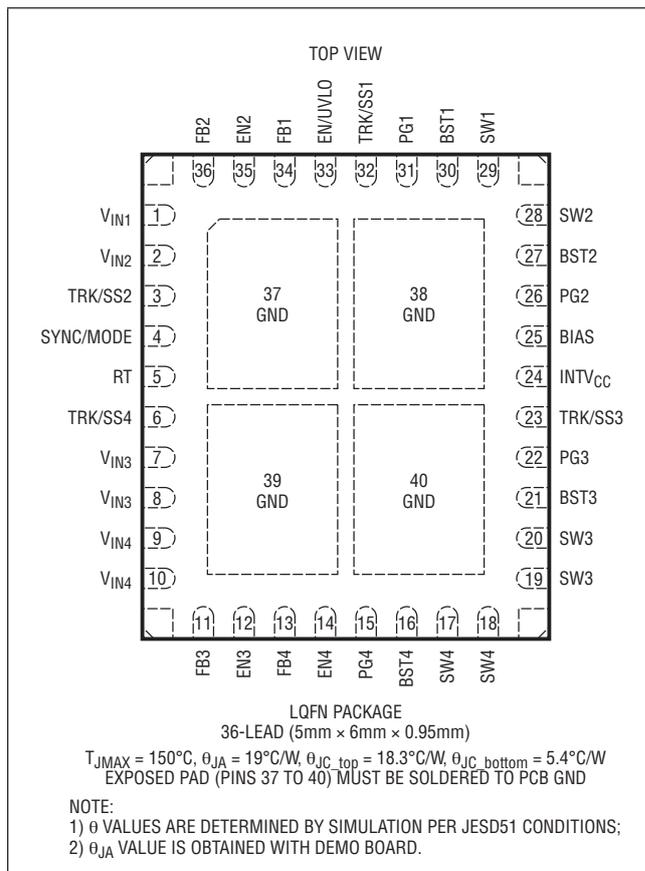
# LT8685S

## 絶対最大定格

(Note 1)

$V_{IN1}$ , $V_{IN2}$ .....	-0.3V~42V
$V_{IN3}$ , $V_{IN4}$ .....	-0.3V~10V
EN/UVLO, EN2, EN3, EN4.....	42V
PG1, PG2, PG3, PG4, SYNC/MODE.....	6V
BIAS.....	-0.3V~14V
FB1, FB2, FB3, FB4.....	4V
TRK/SS1, TRK/SS2, TRK/SS3, TRK/SS4.....	4V
動作ジャンクション温度 (Note 2, 3)	
LT8685SR.....	-40°C~150°C
保存温度範囲.....	-65°C~150°C
最大リフロー (パッケージ・ボディ) 温度.....	260°C

## ピン配置



## 発注情報

部品番号	テープ&リール	パッド/ ボール仕上げ	製品マーキング		パッケージ・ タイプ*	MSL レーティング	温度範囲 (Note 2)
			デバイス	仕上げコード			
LT8685SRV#PBF	LT8685SRV#TRPBF	Au (RoHS)	8685S	e4	LQFN (QFN フットプリント の積層パッケージ)	3	-40°C~150°C

### オートモーティブ製品\*\*

LT8685SRV#WPBF	LT8685SRV#WTRPBF	Au (RoHS)	8685S	e4	LQFN (QFN フットプリント の積層パッケージ)	3	-40°C~150°C
----------------	------------------	-----------	-------	----	--------------------------------	---	-------------

\* パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609によります。

\* テープ&リールの仕様。

\* 末尾がPBFの製品はRoHSおよびWEEEに準拠しています。

\* LT8685Sのパッケージ寸法は、標準の5mm × 6mm QFNパッケージと同じです。

\*\* このデバイスの各バージョンは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するよう管理された製造工程により提供されています。これらのモデルは「#W」というサフィックスで指定されます。オートモーティブ・アプリケーション向けには、上記のオートモーティブ・グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデル固有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイスまでお問い合わせください。

• 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順

• LGAおよびBGAのパッケージ図面とトレイ図面

## 電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は、 $T_A = 25^\circ\text{C}$ でのものです。また、特に指定のない限り、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 5\text{V}$ 、 $f_{\text{SW}} = 2\text{MHz}$ です。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Quiescent Current, Shutdown				0.5	1.5	$\mu\text{A}$
Total Operating Input Current, Burst	$V_{\text{OUT}1} = V_{\text{BIAS}} = 5\text{V}$ , $V_{\text{OUT}2} = 3.3\text{V}$ , $V_{\text{OUT}3} = 1.8\text{V}$ , $V_{\text{OUT}4} = 1.2\text{V}$ , $V_{\text{SYNC/MODE}} = 0\text{V}$ , No Load			12		$\mu\text{A}$
Total Operating Input Current, Pulse-Skipping	$V_{\text{OUT}1} = 5\text{V}$ , $V_{\text{OUT}2} = 3.3\text{V}$ , $V_{\text{OUT}3} = 1.8\text{V}$ , $V_{\text{OUT}4} = 1.2\text{V}$ , $V_{\text{SYNC/MODE}} = \text{Floating}$ , No Load			1100		$\mu\text{A}$
Switching Frequency	$R_{\text{RT}} = 154\text{k}$	●	0.28	0.35	0.45	MHz
	$R_{\text{RT}} = 22.6\text{k}$	●	1.8	2	2.25	MHz
	$R_{\text{RT}} = 13.7\text{k}$	●	2.65	3	3.4	MHz
SYNC Threshold Voltage	$V_{\text{IL}}$	●			0.4	V
	$V_{\text{IH}}$	●	1.5			V
SYNC/MODE Pin Input Current	$V_{\text{SYNC/MODE}} = 6\text{V}$			75		$\mu\text{A}$
Internal $V_{\text{CC}}$ Regulator				3.4		V
Internal $V_{\text{CC}}$ Undervoltage Lockout	Falling		2.3	2.4	2.5	V
BIAS Pin Threshold				4.5		V
<b>Channels 1 to 2</b>						
Minimum Input Voltage (CH1 Only)		●		2.8	3	V
Feedback Reference Voltage		●	0.786	0.8	0.812	V
Feedback Input Current		●	-100	0	100	nA
$V_{\text{FB}1}$ , $V_{\text{FB}2}$ Line Regulation	$V_{\text{IN}1} = 3\text{V to } 42\text{V}$			0.01		%/V
Peak Current Limit			4.2	4.8	5.4	A
Power FET On-resistance	$I_{\text{SW}1}$ , $I_{\text{SW}2} = 0.1\text{A}$ $I_{\text{SW}1}$ , $I_{\text{SW}2} = 0.1\text{A}$			210		$\text{m}\Omega$
				110		$\text{m}\Omega$
EN/UVLO Threshold	EN/UVLO Falling	●	0.78	0.8	0.82	V
EN/UVLO Hysteresis				100		mV
EN/UVLO Input Current	$V_{\text{EN/UVLO}} = 42\text{V}$		-250	0	250	nA
EN2 Threshold	EN2 Falling	●	0.78	0.81	0.84	V
EN2 Hysteresis				50		mV
EN2 Input Current	$V_{\text{EN}2} = 42\text{V}$		-250	0	250	nA
Pgood Upper Threshold Offset from $V_{\text{FB}1}$ , $V_{\text{FB}2}$	$V_{\text{FB}1}$ , $V_{\text{FB}2}$ Rising	●	4.5	7.5	10	%
Pgood Lower Threshold Offset from $V_{\text{FB}1}$ , $V_{\text{FB}2}$	$V_{\text{FB}1}$ , $V_{\text{FB}2}$ Falling	●	-10	-7.5	-4.5	%
Pgood Hysteresis				1.2		%
Pgood Leakage	$V_{\text{PG}1}$ , $V_{\text{PG}2} = 6\text{V}$		-250	0	250	nA
Pgood Pull-Down Resistance	$V_{\text{PG}1}$ , $V_{\text{PG}2} = 0.1\text{V}$			500	1200	$\Omega$
TRK/SS1, TRK/SS2 Pull-Up Current	$V_{\text{TRK/SS}1}$ , $V_{\text{TRK/SS}2} = 0\text{V}$			2		$\mu\text{A}$
<b>Channels 3 to 4</b>						
Feedback Reference Voltage		●	0.688	0.7	0.712	V
Feedback Input Current		●	-100	0	100	nA
$V_{\text{FB}3}$ , $V_{\text{FB}4}$ Line Regulation	$V_{\text{IN}1} = 3\text{V to } 42\text{V}$			0.01		%/V
Peak Current Limit			7	8.2	9.4	A

## 電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外の仕様は、 $T_A = 25^\circ\text{C}$ でのものです。また、特に指定のない限り、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 5\text{V}$ 、 $f_{\text{SW}} = 2\text{MHz}$ です。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Power FET On-resistance						
Main Switch (Top)	$I_{\text{SW3}}, I_{\text{SW4}} = 0.1\text{A}$			45		m $\Omega$
Synchronous Switch (Bottom)	$I_{\text{SW3}}, I_{\text{SW4}} = 0.1\text{A}$			25		m $\Omega$
EN3, EN4 Threshold	EN3, EN4 Falling	●	0.78	0.81	0.84	V
EN3, EN4 Hysteresis				50		mV
EN3, EN4 Input Current	$V_{\text{EN3}}, V_{\text{EN4}} = 42\text{V}$		-250	0	250	nA
Pgood Upper Threshold Offset from $V_{\text{FB3}}, V_{\text{FB4}}$	$V_{\text{FB3}}, V_{\text{FB4}}$ Rising	●	4.5	7.5	10	%
Pgood Lower Threshold Offset from $V_{\text{FB3}}, V_{\text{FB4}}$	$V_{\text{FB3}}, V_{\text{FB4}}$ Falling	●	-10	-7.5	-4.5	%
Pgood Hysteresis				1.2		%
Pgood Leakage	$V_{\text{PG3}}, V_{\text{PG4}} = 6\text{V}$		-250	0	250	nA
Pgood Pull-Down Resistance	$V_{\text{PG3}}, V_{\text{PG4}} = 0.1\text{V}$			500	1200	$\Omega$
TRK/SS3, TRK/SS4 Pull-Up Current	$V_{\text{TRK/SS3}}, V_{\text{TRK/SS4}} = 0\text{V}$			2		$\mu\text{A}$

**Note 1:** 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。絶対最大定格は、これを超えるとデバイス寿命が低下する可能性がある値です。

**Note 2:** LT8685SRは、 $-40^\circ\text{C} \sim 150^\circ\text{C}$ の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高いと動作寿命が短くなります。ジャンクション温度が $125^\circ\text{C}$ を超え

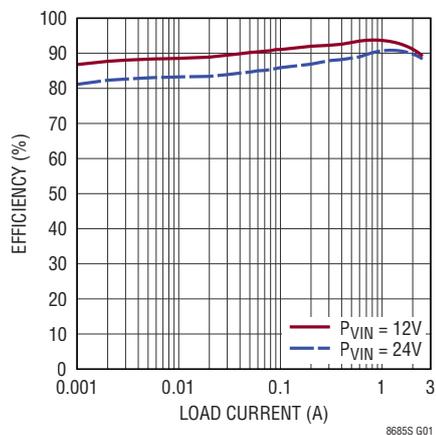
ると、動作寿命は定格値より短くなります。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱インピーダンス定格値、およびその他の環境条件の組み合わせによって決まります。

**Note 3:** このICは、過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は最大動作ジャンクション温度を超えます。仕様規定された最大動作ジャンクション温度を超えてデバイスを連続動作させると、寿命が短くなります。

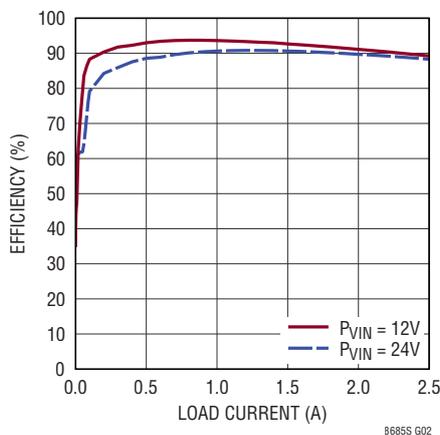
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 3.3\text{V}$ 、 $f_{SW} = 2\text{MHz}$ 。

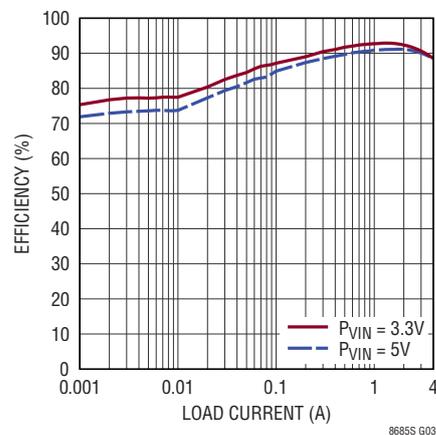
HVチャンネル効率と負荷の関係  
 $V_{OUT} = 5\text{V}$ 、Burst Mode<sup>®</sup>動作時



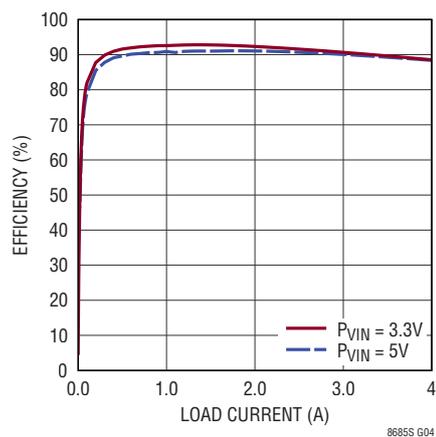
HVチャンネル効率と負荷の関係  
 $V_{OUT} = 5\text{V}$ 、パルス・スキップ動作時



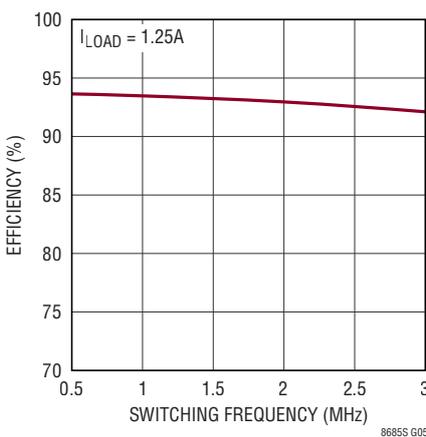
LVチャンネル効率と負荷の関係  
 $V_{OUT} = 1.8\text{V}$ 、Burst Mode動作時



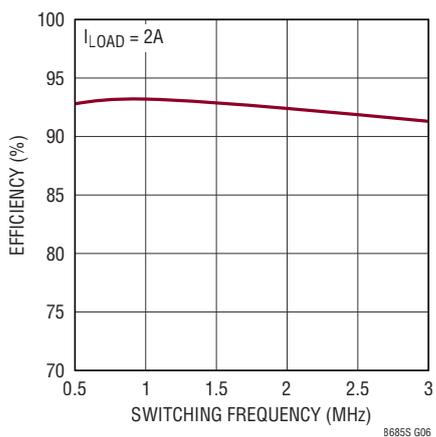
LVチャンネル効率と負荷の関係  
 $V_{OUT} = 1.8\text{V}$ 、  
パルス・スキップ・モード時



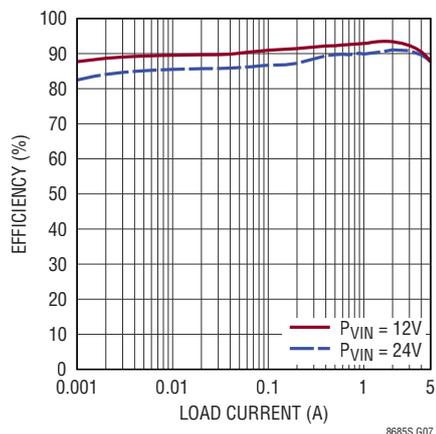
HVチャンネル効率と周波数の関係  
 $V_{OUT} = 5\text{V}$ 、Burst Mode動作時



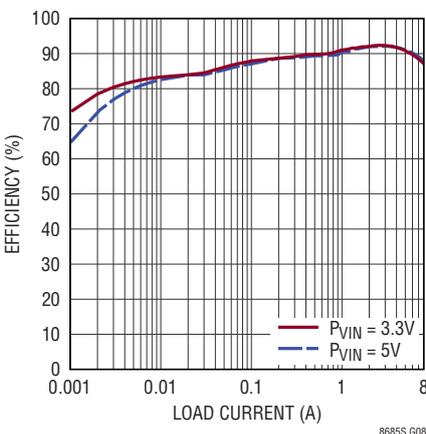
LVチャンネル効率と周波数の関係  
 $V_{OUT} = 1.8\text{V}$ 、Burst Mode動作時



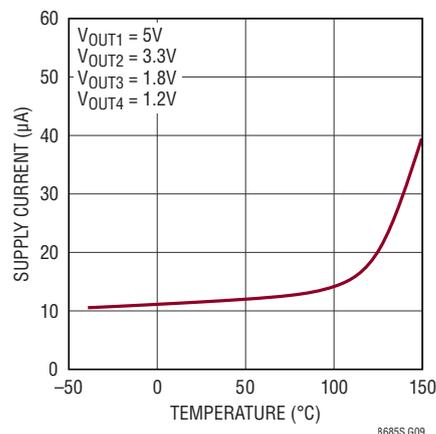
HVチャンネル効率と負荷の関係  
CH1とCH2を共有、 $V_{OUT} = 5\text{V}$ 、  
Burst Mode動作時



LVチャンネル効率と負荷の関係  
CH3とCH4を共有、 $V_{OUT} = 1.8\text{V}$ 、  
Burst Mode動作時



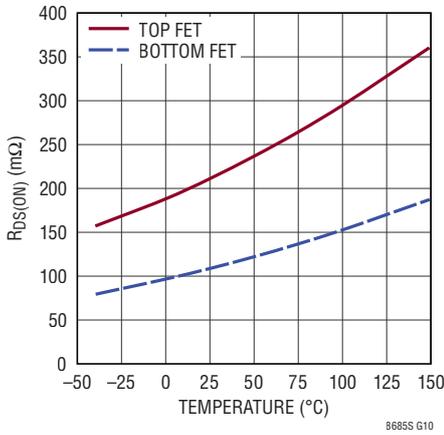
無負荷時消費電流と温度の関係、  
Burst Mode動作時



## 代表的な性能特性

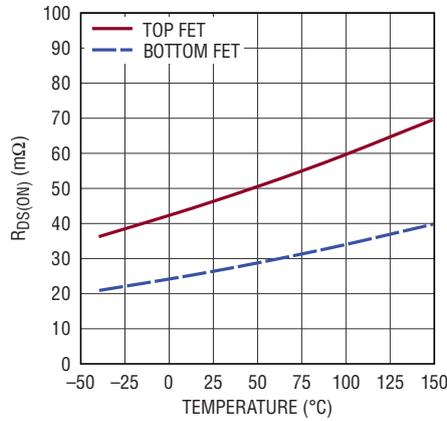
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 3.3\text{V}$ 、 $f_{\text{SW}} = 2\text{MHz}$ 。

HVチャンネルの $R_{\text{DS(ON)}}$ と温度の関係



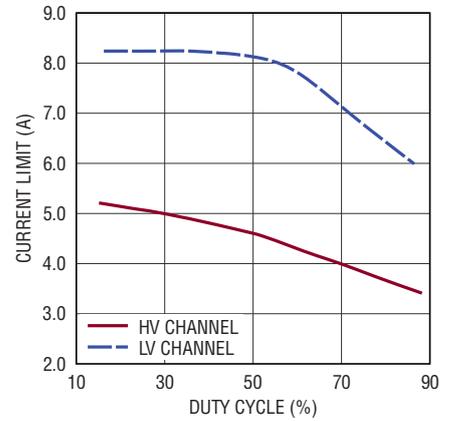
8685S G10

LVチャンネルの $R_{\text{DS(ON)}}$ と温度の関係



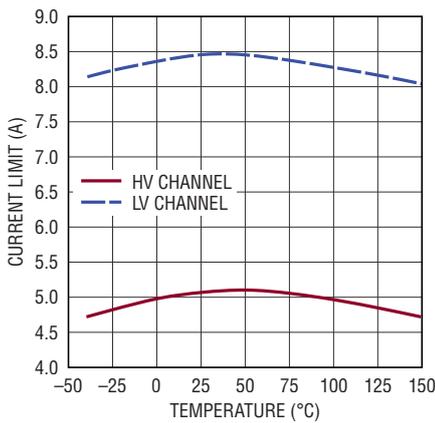
8685S G11

上側FETの電流制限とデューティ・サイクルの関係



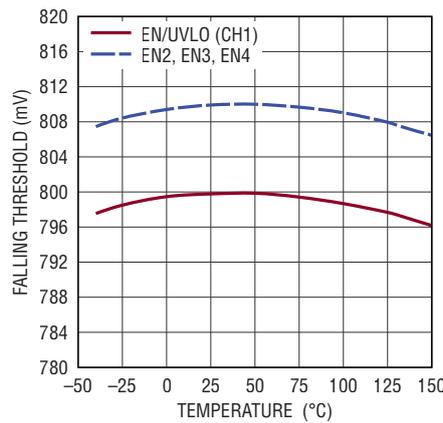
8685S G12

上側FETの電流制限と温度の関係



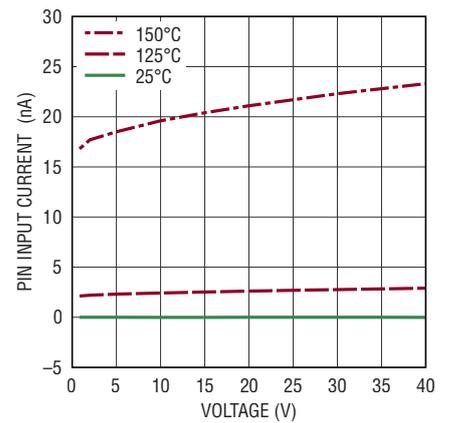
8685S G13

イネーブル・ピンの立下がり閾値と温度の関係



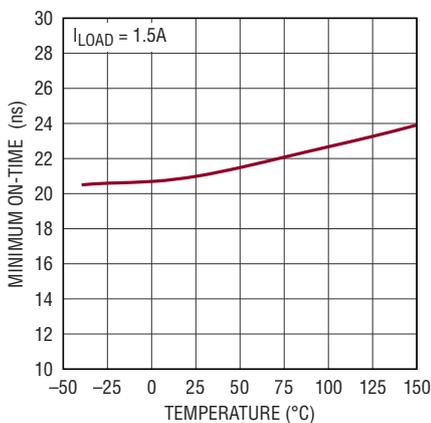
8685S G14

イネーブル・ピンの電流と電圧および温度の関係



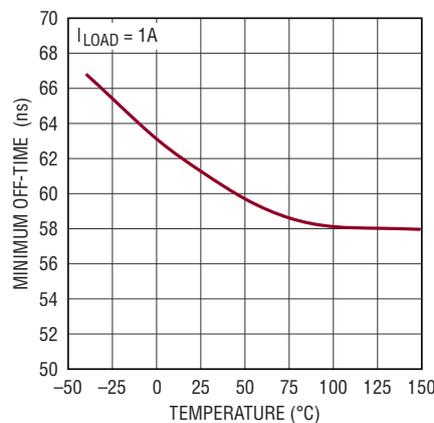
8685S G15

HVチャンネルの最小オン時間と温度の関係



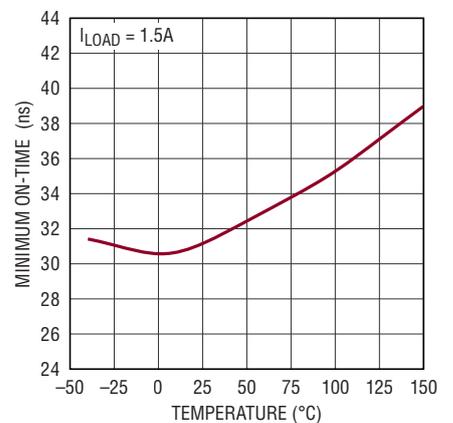
8685S G16

HVチャンネルの最小オフ時間と温度の関係



8685S G17

HVチャンネルの最小オフ時間と温度の関係、CH1とCH2を共有時

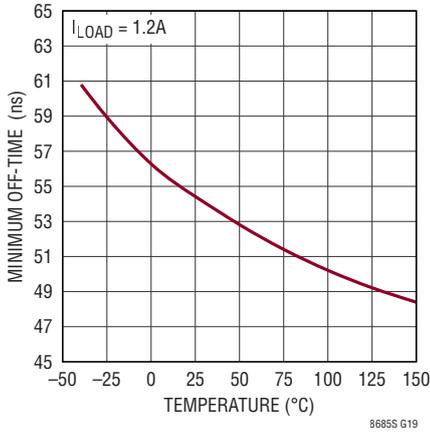


8685S G18

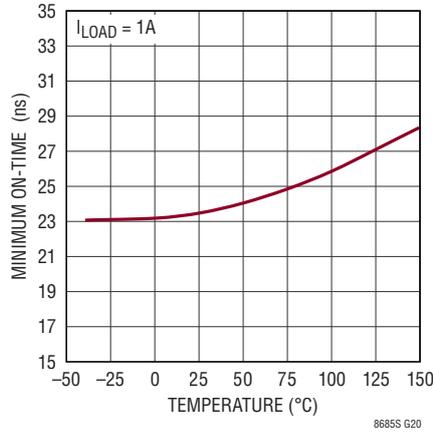
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 3.3\text{V}$ 、 $f_{\text{SW}} = 2\text{MHz}$ 。

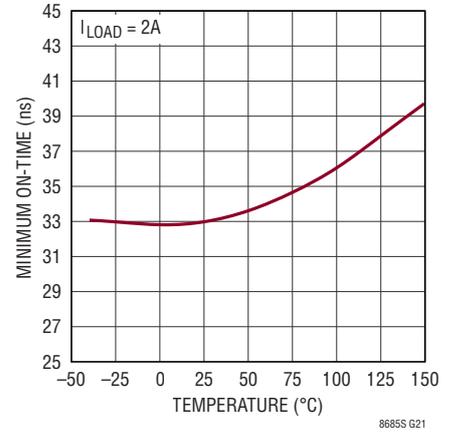
HVチャンネルの最小オフ時間と温度の関係、CH1とCH2を共有時



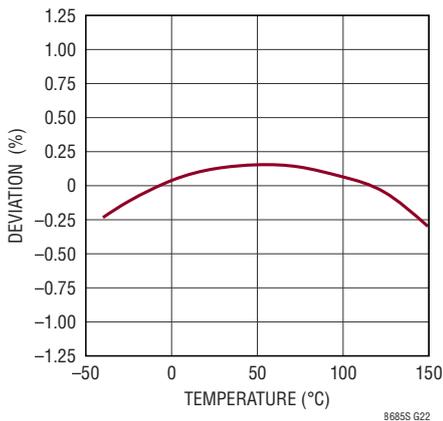
LVチャンネルの最小オン時間と温度の関係



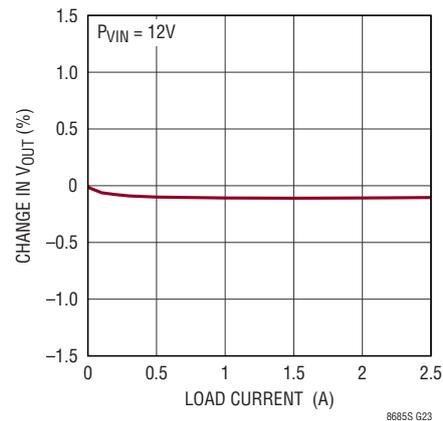
LVチャンネルの最小オフ時間と温度の関係、CH3とCH4を共有時



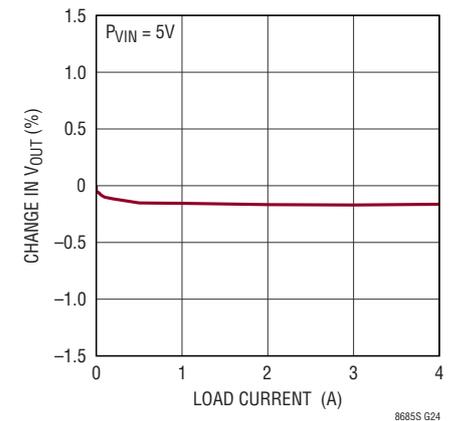
リファレンス電圧変動と温度の関係



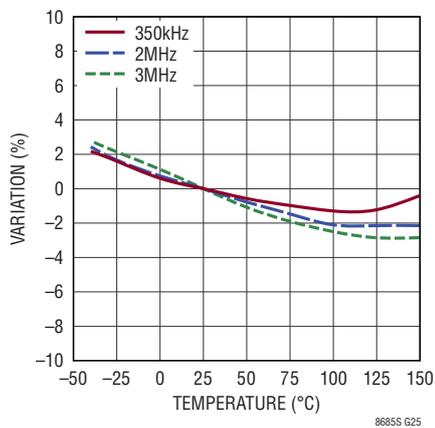
HVチャンネルの負荷レギュレーション



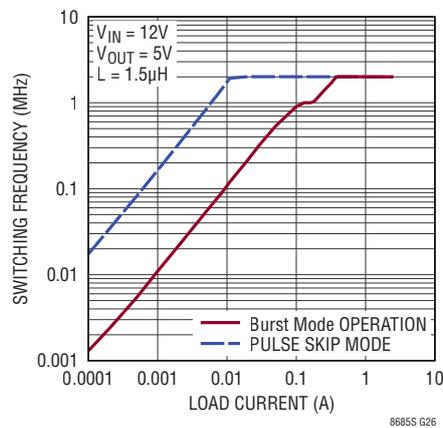
LVチャンネルの負荷レギュレーション



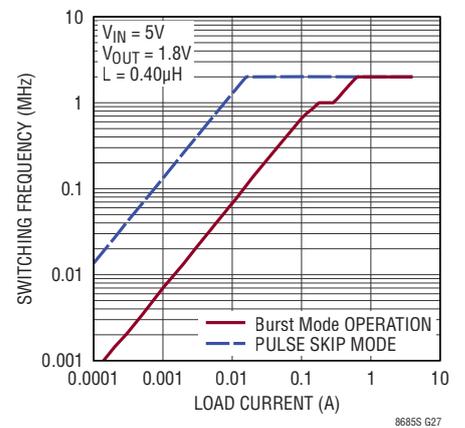
スイッチング周波数と温度の関係



HVチャンネルのスイッチング周波数と負荷の関係、 $R_T = 22.6\text{k}\Omega$



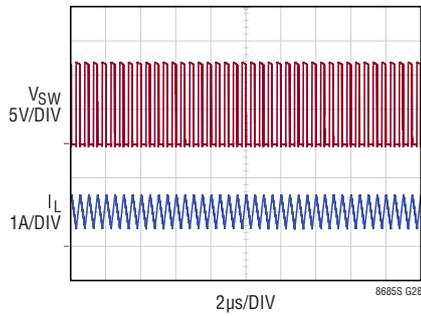
LVチャンネルのスイッチング周波数と負荷の関係、 $R_T = 22.6\text{k}\Omega$



## 代表的な性能特性

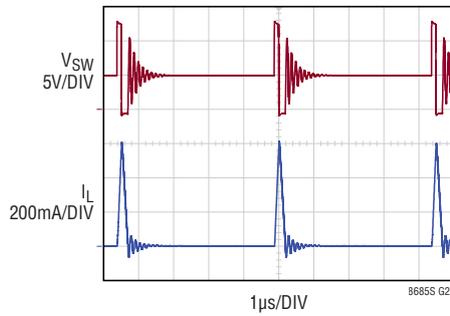
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 3.3\text{V}$ 、 $f_{SW} = 2\text{MHz}$ 。

連続全周波数動作時の  
スイッチング波形



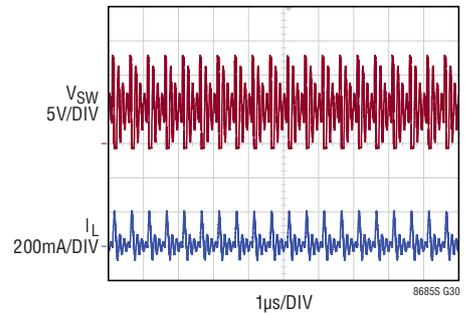
12V<sub>IN</sub> TO 5V<sub>OUT</sub> AT 1A  
SYNC\_MODE = GND

Burst Mode 動作時の  
スイッチング波形



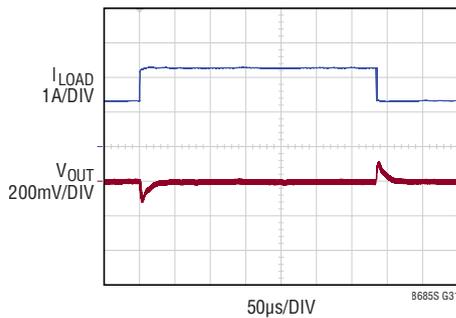
12V<sub>IN</sub> TO 5V<sub>OUT</sub> AT 20mA  
SYNC\_MODE = GND

パルス・スキッピング動作時の  
スイッチング波形



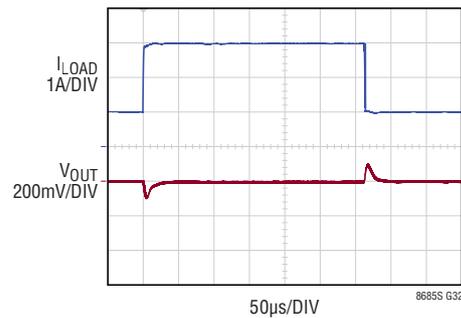
12V<sub>IN</sub> TO 5V<sub>OUT</sub> AT 20mA  
SYNC\_MODE = FLOATING

HVチャンネルの負荷ステップ



1.25A TO 2.25A STEP  
5V<sub>OUT</sub>  
C<sub>OUT</sub> = 47µF  
Burst Mode,  $f_{SW} = 2\text{MHz}$

LVチャンネルの負荷ステップ

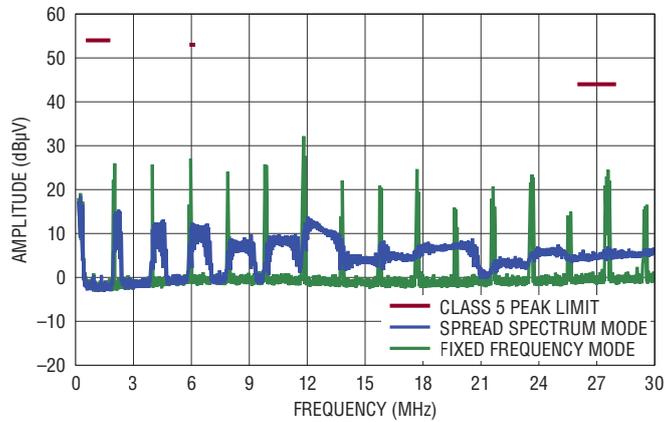


1A TO 3A STEP  
1.8V<sub>OUT</sub>  
C<sub>OUT</sub> = 47µF × 2  
Burst Mode,  $f_{SW} = 2\text{MHz}$

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{IN1} = V_{IN2} = 12\text{V}$ 、 $V_{IN3} = V_{IN4} = 3.3\text{V}$ 、 $f_{\text{SW}} = 2\text{MHz}$ 。

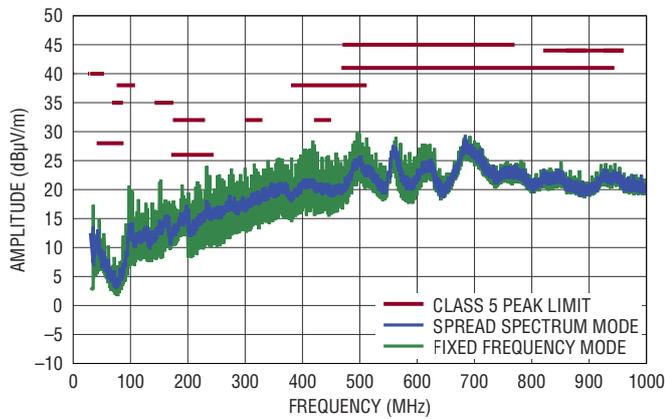
伝導 EMI 性能



EVAL-LT8685S DEMO BOARD  
(WITH EMI FILTER INSTALLED)  
 $V_{\text{EMI}} = 14\text{V}$ ,  $V_{\text{OUT1}} = 5\text{V}$ ,  $V_{\text{OUT2}} = 3.3\text{V}$ ,  $V_{\text{OUT3}} = 1.8\text{V}$ ,  $V_{\text{OUT4}} = 1.2\text{V}$   
 $I_{\text{OUT1}} = I_{\text{VIN3}} + I_{\text{VIN4}} + I_{\text{BIAS}}$ ,  $I_{\text{OUT2}} = 1\text{A}$ ,  $I_{\text{OUT3}} = I_{\text{OUT4}} = 4\text{A}$ ,  $f_{\text{SW}} = 2\text{MHz}$

8685S G33

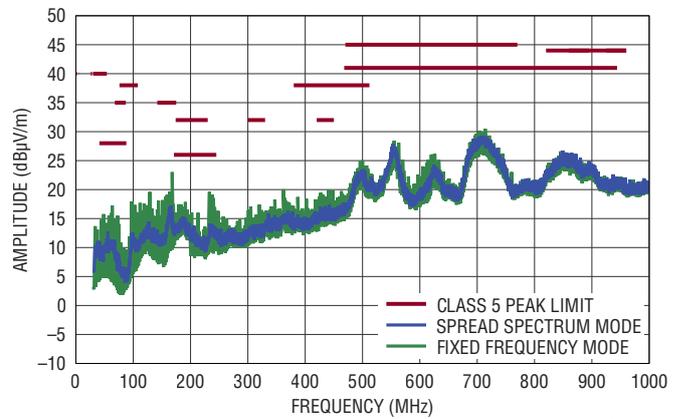
放射 EMI 性能 – 垂直偏波 (CISPR25 放射妨害波テスト、クラス 5 ピーク限界値)



EVAL-LT8685S DEMO BOARD  
(WITH EMI FILTER INSTALLED)  
 $V_{\text{EMI}} = 14\text{V}$ ,  $V_{\text{OUT1}} = 5\text{V}$ ,  $V_{\text{OUT2}} = 3.3\text{V}$ ,  $V_{\text{OUT3}} = 1.8\text{V}$ ,  $V_{\text{OUT4}} = 1.2\text{V}$   
 $I_{\text{OUT1}} = I_{\text{VIN3}} + I_{\text{VIN4}} + I_{\text{BIAS}}$ ,  $I_{\text{OUT2}} = 1\text{A}$ ,  $I_{\text{OUT3}} = I_{\text{OUT4}} = 4\text{A}$ ,  $f_{\text{SW}} = 2\text{MHz}$

8685S G34

放射 EMI 性能 – 水平偏波 (CISPR25 放射妨害波テスト、クラス 5 ピーク限界値)



EVAL-LT8685S DEMO BOARD  
(WITH EMI FILTER INSTALLED)  
 $V_{\text{EMI}} = 14\text{V}$ ,  $V_{\text{OUT1}} = 5\text{V}$ ,  $V_{\text{OUT2}} = 3.3\text{V}$ ,  $V_{\text{OUT3}} = 1.8\text{V}$ ,  $V_{\text{OUT4}} = 1.2\text{V}$   
 $I_{\text{OUT1}} = I_{\text{VIN3}} + I_{\text{VIN4}} + I_{\text{BIAS}}$ ,  $I_{\text{OUT2}} = 1\text{A}$ ,  $I_{\text{OUT3}} = I_{\text{OUT4}} = 4\text{A}$ ,  $f_{\text{SW}} = 2\text{MHz}$

8685S G35

## ピン機能

**V<sub>IN1</sub> (ピン1)** : チャンネル1と内部INTV<sub>CC</sub>レギュレータの電源入力。このピンの近くで、2.2μF以上の低ESRコンデンサでグラウンドとデカップリングする必要があります。

**V<sub>IN2</sub> (ピン2)** : チャンネル2の電源入力。このピンの近くで、2.2μF以上の低ESRコンデンサでグラウンドとデカップリングする必要があります。チャンネル2をチャンネル1と組み合わせる場合は、このピンをV<sub>IN1</sub>と短絡します。

**SYNC/MODE (ピン4)** : モード選択および外部同期入力ピン。このピンをグラウンドに接続すると、LT8685Sのアクティブな全チャンネルが高効率のBurst Mode動作になります。このピンを26k(許容差5%以下)の抵抗でグラウンドに接続すると、スペクトラム拡散変調を用いた高効率のBurst Modeが有効になります。このピンをフロートにすると、パルス・スキッピング・モードが有効になります。このピンをINTV<sub>CC</sub>に接続すると、スペクトラム拡散変調を用いたパルス・スキッピング・モードが有効になります。このピンを外部クロック源で駆動すると、LT8685Sはスイッチング周波数を外部クロックに同期させ、パルス・スキッピング・モードで動作します。チャンネル1~4のクロック位相は、個別に動作させる場合、それぞれ0°、180°、270°、90°に初期設定されます。チャンネルを組み合わせる場合は、マスタ・チャンネルで動作位相が決定されます。詳細については[アプリケーション情報](#)のセクションを参照してください。

**RT (ピン5)** : スwitching周波数設定ピン。このピンとグラウンドの間に抵抗を外付けすると、LT8685Sのスイッチング周波数を350kHz~3MHzの範囲で設定できます。外部クロック同期を使用する場合、R<sub>T</sub>抵抗を公称入力クロック周波数と一致するように選択する必要があります。詳細については[アプリケーション情報](#)のセクションを参照してください。

**V<sub>IN3</sub> (ピン7, 8)** : チャンネル3の電源入力。他のLT8685Sチャンネルから駆動する場合、このピンに必要なデカップリング容量は、駆動チャンネルの出力容量でほぼ満たされます。この場合、一般的には、1μF以上の低ESRコンデンサをV<sub>IN3</sub>ピンの近くに配置すれば十分です。外部ソースから駆動する場合は、このピンの近くで、4.7μF以上の低ESRコンデンサを使用してデカップリングする必要があります。

**V<sub>IN4</sub> (ピン9, 10)** : チャンネル4の電源入力。他のLT8685Sチャンネルから駆動する場合、このピンに必要なデカップリング容量は、駆動チャンネルの出力容量でほぼ満たされます。この場合、一般的には、1μF以上の低ESRコンデンサをV<sub>IN4</sub>ピンの近くに配置すれば十分です。外部ソースから駆動する場合は、このピンの近くで、4.7μF以上の低ESRコンデンサを使用してデカップリングする必要があります。チャンネル4をチャンネル3と組み合わせる場合は、このピンをV<sub>IN3</sub>と短絡します。

**FB3 (ピン11)** : チャンネル3の出力電圧帰還ピン。チャンネル3では、このピンを高精度な0.7Vの内部リファレンス電圧に調整します。このピンを適切な抵抗分圧器に接続し、必要な出力電圧を設定します。

**FB4 (ピン13)** : チャンネル4の出力電圧帰還ピン。チャンネル4では、このピンを高精度な0.7Vの内部リファレンス電圧に調整します。このピンを適切な抵抗分圧器に接続し、必要な出力電圧を設定します。このピンをINTV<sub>CC</sub>に接続すると、チャンネル4はチャンネル3と組み合わせられて1つの出力チャンネルになり、出力電流能力が増大します。詳細については[アプリケーション情報](#)のセクションを参照してください。

**INTV<sub>CC</sub> (ピン24)** : 内部レギュレータの出力ピン。このレギュレータは、パワーFETドライブ回路と内部制御回路に電流を供給します。このピンは、4.7μFの低ESRセラミック・コンデンサでグラウンドとデカップリングする必要があります。このコンデンサは、INTV<sub>CC</sub>ピンの近くに配置し、露出パッドのグラウンドに低インピーダンスで接続する必要があります。この電源は、電源出力を意図したものではありません。このピンには外部の回路を接続しないでください。

**BIAS (ピン25)** : 外付けレギュレータの入力ピン。BIASを4.5Vよりも高い電圧に接続し、かつV<sub>VIN1</sub>がV<sub>BIAS</sub> + 1Vよりも大きい場合、内部レギュレータ(INTV<sub>CC</sub>)にはV<sub>IN1</sub>の代わりにこの電源から電流が流れます。5Vに安定化するLT8685Sの出力チャンネルのような高効率電源にこのピンを接続すると、通常V<sub>IN1</sub>から電流が流れる際に生じるオンチップ消費電力が低減し、全体的な効率が向上します。このピンを使用する場合は、0.1μF以上の低ESRセラミック・コ

## ピン機能

ンデンサでグラウンドとデカップリングする必要があります。他のLT8685Sチャンネルで駆動する場合、必要なデカップリング容量は、駆動チャンネルの出力容量で満たすことができます。使用しない場合は、このピンをグラウンドに接続します。

**SW1、SW2、SW3、SW4(ピン29、ピン28、ピン19~20、ピン17~18) :**チャンネル・スイッチ・ピン。対応する各チャンネルの内部パワー・スイッチの出力ピンです。個別に動作させる場合は、それぞれのSWピンを対応するチャンネルのインダクタと昇圧コンデンサに接続します。チャンネルを組み合わせる場合は、組み合わせるチャンネルのSWピン同士を低インピーダンスで接続します。効率とEMI性能を考慮して、PCB上のSWパターンは短くします。

**BST1、BST2、BST3、BST4(ピン30、ピン27、ピン21、ピン16) :**チャンネル昇圧ピン。これらのピンは、各チャンネルの上側パワー・スイッチのゲートに電源電圧より高い駆動電圧を供給します。

**PG1、PG2、PG3、PG4(ピン31、ピン26、ピン22、ピン15) :**オープンドレインのパワー・グッド出力ピン。各チャンネルのPGピンは、対応するFBピンの電圧が内部リファレンス電圧の $\pm 7.5\%$ の範囲から外れると、グラウンドにプルダウンされます。対応するFBピンの電圧が内部リファレンス電圧の $\pm 6\%$ の範囲内に戻ると、PGピンは高インピーダンスになります。イネーブルされたチャンネルのPG出力は、 $V_{IN1}$ 電圧が3Vを超えたときに有効になります。イネーブルされていないチャンネルのPG出力は、ローにプルダウンされます。チャンネルを組み合わせる場合、従属(スレーブ)チャンネルのPGピンはオープンにする必要があります。

**TRK/SS1、TRK/SS2、TRK/SS3、TRK/SS4(ピン32、ピン3、ピン23、ピン6) :**出力トラッキングおよびソフトスタート・ピン。これらのピンを使用すると、起動時に出力電圧の上昇率を制御できます。TRK/SSxの電圧が内部リファレンスより低くなると、そのチャンネルはFBxピンの電圧がTRK/SSxピンの電圧と等しくなるように調整します。TRK/SSxの電圧が内部リファレンスを超えると、トラッキング機能が無効化され、内部リファレンスによるエラー・アンプの制御が再開します。このピンにはINTV<sub>CC</sub>から2 $\mu$ Aの内部プルアップ電流が流れるので、コンデンサを使って出力電圧のスルー・レートを設定できます。チャンネルを組み合わせる場合、従属(スレーブ)チャンネルのTRK/SSピンはオープンにする必要があります。

**EN/UVLO(ピン33) :**チャンネル1イネーブルおよび低電圧ロックアウト・ピン。このピンが0.4Vより低くなると、LT8685Sにおける他のイネーブル・ピンの状態に関係なく、LT8685Sは低消費電力シャットダウン状態になります。電圧が0.9Vを超えると(立上がり)、LT8685Sの動作とチャンネル1がイネーブルになります。0.8V(立下がり)の高精度閾値により、 $V_{IN1}$ とグラウンドの間に抵抗分圧器を接続することで、このピンを入力低電圧ロックアウトとして使用できます。

**FB1(ピン34) :**チャンネル1の出力電圧帰還ピン。チャンネル1では、このピンを高精度な0.8Vの内部リファレンス電圧に安定化します。このピンを適切な抵抗分圧器に接続し、必要な出力電圧を設定します。

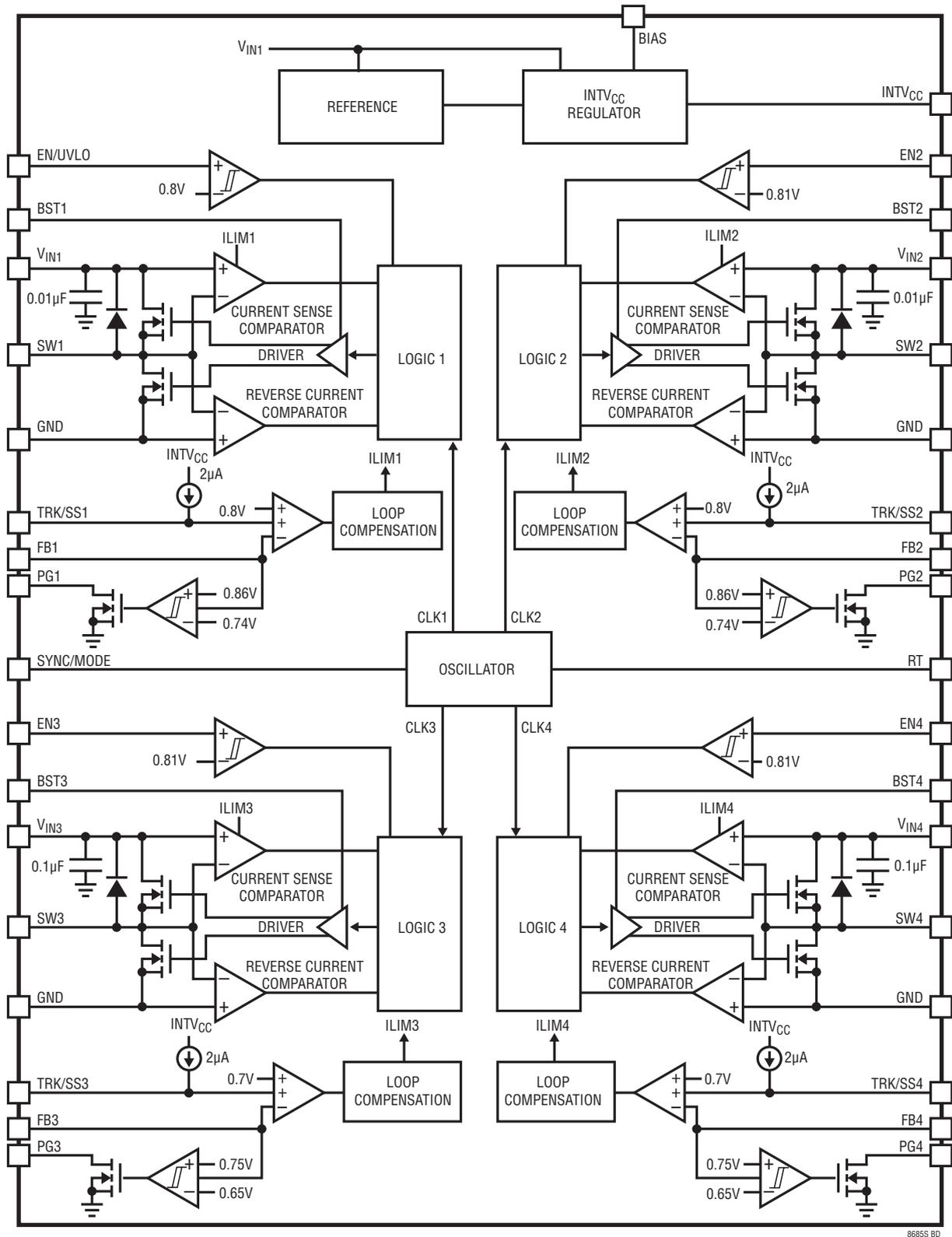
**EN2、EN3、EN4(ピン35、ピン12、ピン14) :**チャンネル・イネーブルピン。LT8685Sの各チャンネルは、対応するイネーブル・ピンの電圧が0.9Vを超えると(立上がり)、アクティブになります。0.81V(立下がり)の高精度閾値により、対応する入力電源とグラウンドの間に抵抗分圧器を接続することで、各イネーブル・ピンはプログラマブルな低電圧ロックアウトとして機能します。チャンネルを組み合わせる場合、従属(スレーブ)チャンネルのENピンを制御(マスタ)チャンネルのイネーブル・ピンに接続する必要があります。

**FB2(ピン36) :**チャンネル2の出力電圧帰還ピン。チャンネル2では、このピンを高精度な0.8Vの内部リファレンス電圧に調整します。このピンを適切な抵抗分圧器に接続し、必要な出力電圧を設定します。このピンをINTV<sub>CC</sub>に接続すると、チャンネル2はチャンネル1と組み合わせられて1つの出力チャンネルになり、出力電流能力が増大します。詳細については、アプリケーションのセクションを参照してください。

**GND(露出パッド・ピン37~40) :**グラウンド・ピン。これらのピンはPCBにハンダ付けして、グラウンドへ低インピーダンスで電氣的に接触させると共に、PCBへ熱的に接触させる必要があります。詳細については[アプリケーション情報](#)のセクションを参照してください。

**コーナー・ピン:**これらのピンは物理的な支持のためだけに使われるもので、PCB上の任意の場所(通常はグラウンド)に接続できます。

ブロック図



8685S 8D

## 動作

LT8685Sは、アナログ・デバイセズの第2世代 Silent Switcher 技術を採用した42V入力対応のクワッド・モノリシック降圧レギュレータで、高速スイッチング・エッジにより高スイッチング周波数で高効率を実現し、同時に優れたEMI/EMC性能を達成しています。

チャンネル1と2は、最大42Vの入力電圧から、それぞれ最大2.5Aの出力電流を供給できるように設計されています。チャンネル3と4は、最大8Vの入力電圧から、それぞれ最大4Aの出力電流を供給できるように設計されています。1つのインダクタを用いてチャンネルを組み合わせることで、より大きな出力電流を得ることができます。例えば、チャンネル1と2を1つのインダクタで結合し、最大5Aの安定化出力を得ることができます。また、チャンネル3と4を1つのインダクタで結合し、最大8Aの安定化出力を得ることができます。V<sub>IN</sub>ピンが個別となっているため、1つのチャンネルの出力を他のチャンネルの入力に供給できます。

### 起動

EN/UVLO電圧を閾値より高く設定すると、LT8685SのINTV<sub>CC</sub>レギュレータは出力コンデンサを充電して内部チップ回路に電力を供給します。EN/UVLO電圧を0.9V(立上がり)より高く設定すると、チャンネル1レギュレータがイネーブルになります。EN/UVLO電圧をUVLO閾値より低く設定すると、他のイネーブル・ピンの状態に関係なく、デバイスは低消費電力シャットダウン・モードになります。

チャンネル2,3,4は、対応するイネーブル・ピンを0.9Vより高く(立上がり)設定することでイネーブルされます。チャンネルを組み合わせる場合、スレーブ・チャンネルのイネーブル・ピンを制御側チャンネルのイネーブル・ピンに接続します。詳細は、[アプリケーション情報](#)のセクションのチャンネルの組み合わせを参照してください。

### 降圧レギュレータの動作

各チャンネルは、個別のV<sub>IN</sub>ピンにより動作するモノリシック同期整流式降圧レギュレータです。内部の上側パワーMOSFETは、各発振サイクルの開始時にオンになり、上側MOSFETを流れる電流がエラー・アンプで決められたレベルに達するとオフになります。エラー・アンプは、FBピンに接続された外付けの抵抗分圧器を介して出力電圧を測定し、上側スイッチのピーク電流を制御します。エラー・アンプの

基準は、内部リファレンスとソフトスタート(TRK/SSx)ピンの電圧の低い方で決定されます。上側MOSFETがオフの間、下側MOSFETは発振周期の残り時間またはインダクタ電流が反転し始めるまでオンになります。電流オーバーロード状態では、下側MOSFETはオンのままになり、スイッチ電流が減少するまで次のクロック・サイクルが遅延します。

### 高精度イネーブル・ピン

EN/UVLOピンの電圧を0.4Vより低くすると、LT8685Sは低消費電力シャットダウン・モードになります。EN/UVLO電圧を0.9Vより高くすると(立上がり)、チャンネル1の動作がイネーブルになります。チャンネル2,3,4も、それぞれ対応するEN2, EN3, EN4ピンを0.9Vより高くすると(立上がり)アクティブになります。

0.8V(立下がり)の高精度閾値により、V<sub>IN1</sub>とグラウンドの間に抵抗分圧器を接続することで、EN/UVLOを入力低電圧ロックアウトとして使用できます。同様に、0.81Vの高精度閾値により、EN2, EN3, EN4を入力低電圧ロックアウトとして使用できます。詳細については[アプリケーション情報](#)のセクションを参照してください。

### パワー・グッド・コンパレータ

各チャンネルには、オープンドレイン出力のパワー・グッド・コンパレータがあり、帰還電圧がリファレンス電圧より7.5%以上高いか低い場合に、PGピンをローにプルダウンします。帰還電圧がリファレンス電圧の±6%以内になると、PGピンが解放されます。PG出力は、INTV<sub>CC</sub>が2.7Vに立ち上がるまでは有効になりません。

### スイッチング周波数

各チャンネルは、内部発振器のクロックで動作し、その周波数は、RTピンからグラウンドに接続された外付け抵抗で決定されます。外付け抵抗の値を適切に選択することにより、スイッチング周波数を350kHz~3MHzの範囲で設定できます。周波数選択の詳細については、[アプリケーション情報](#)のセクションを参照してください。

発振器は4つのクロック位相を生成します。個別動作の場合、各チャンネルの相対位相は、CH1が0°、CH2が180°、CH3が270°、CH4が90°となります。多相化により、入力電流のリプル振幅は減少しますが、リプル周波数が高くなる

## 動作

ため、必要な入力容量は減少します。チャンネルを組み合わせる場合は、マスタ・チャンネルの位相で組み合わせるチャンネルのクロック位相が決定されます。

### モード選択と同期

LT8685Sには、Burst Modeとパルス・スキッピング・モードの2つの主要動作モードがあり、それぞれ周波数スペクトラムを選択できます。パルス・スキッピング・モードでは、全てのスイッチング・サイクルが内部クロックに揃ったままになります。更に、Burst Modeよりも負荷電流を低く抑えるために、最大のスイッチング周波数が維持されます。逆に、Burst Modeでは低負荷電流時に入力電流が減少するため、パルス・スキッピング・モードよりも低負荷時に高い効率を実現できます。スペクトラム拡散を選択すると、設定したクロック周波数が周波数変調されて、EMI/EMC放射が低減します。また、このモードを選択した場合、クロック周波数は設定周波数と設定周波数プラス約20%の間で変化します。

SYNC/MODEピンは、必要な動作モードを選択するのに使われます。低リップル、高効率のBurst Modeを選択する場合は、SYNC/MODEピンをグラウンドに接続します。また、26kΩ（許容差5%以下）の抵抗を接続することで、スペクトラム拡散を用いた低リップル高効率のBurst Mode動作が有効になります。パルス・スキッピング・モードを選択する場合は、SYNC/MODEピンをフロート状態にし、スペクトラム

拡散を用いたパルス・スキッピングを有効にする場合は、SYNC/MODEピンをINTV<sub>CC</sub>に接続します。

最後に、SYNC/MODEピンをハイ電圧が最小1.5V、ロー電圧が最大0.4Vのクロック信号で駆動することにより、LT8685Sを外部クロック源に同期させることができます。必要な最小のパルス幅は、ハイ・パルスが100ns、ロー・パルスが100nsです。同期させる場合は、LT8685Sのスイッチング周波数が同期周波数に近くなるようにR<sub>T</sub>抵抗を選択する必要があります。LT8685Sは、外部クロックに同期している間は、パルス・スキッピング・モードで動作します。

### INTV<sub>CC</sub>レギュレータ

INTV<sub>CC</sub>レギュレータは、LT8685Sの内部回路に電源を供給します。流れる電流は動作周波数によって変わり、スイッチング周波数が高いほどINTV<sub>CC</sub>から流れる電流は大きくなります。レギュレータは、起動時にV<sub>IN1</sub>から電源が供給されますが、BIAS電圧が4.5Vを超え、V<sub>IN1</sub>がV<sub>BIAS</sub> + 1Vより大きいと、BIASから電源電流が流れます。BIASピンをスイッチング・レギュレータのチャンネルに接続すると、効率が向上し、オンチップの消費電力が減少して、必要な電流は低下します。INTV<sub>CC</sub>レギュレータは、LT8685Sに関連する他の入力ピンや出力プルアップの設定に使用できます。予期しない相互作用を避けるため、LT8685Sに関連しない部品に接続することは避けてください。

## アプリケーション情報

LT8685Sは、4つの降圧コンバータを組み合わせ、最小限の基板スペースで2~4つの安定化出力を生成するように構成できる、柔軟なシステム電源を提供します。

### 高精度低電圧ロックアウト

EN/UVLOピンの高精度な0.8V閾値（立下がり）により、V<sub>IN1</sub>入力電源ピンとEN/UVLOピンの間に抵抗分圧器を外付けすることで、LT8685Sでプログラマブルな低電圧ロックアウト機能を実現できます。EN/UVLOがロジック・ローの入力になると、EN2、EN3、EN4ピンの状態に関わらず、全てのチャンネルがオフになります。

図1に、LT8685SのUVLO分圧器回路を示します。UVLO閾値は、次式で与えられます。

$$V_{(LT8685S\_UVLO)} = \frac{R_{UV1} + R_{UV2}}{R_{UV2}} \cdot 0.8V$$

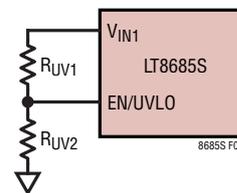


図1. LT8685S UVLO抵抗分圧器の接続

## アプリケーション情報

EN/UVLOピンと同様に、EN2、EN3、EN4ピンの高精度な0.81Vリファレンスにより、対応するチャンネルの入力電源ピンとそのENピンの間に抵抗分圧器を外付けすることにより、各チャンネルでプログラマブルな低電圧ロックアウト機能を実現できます。

各チャンネルのUVLO分圧回路を図2に示します。閾値は、次式で与えられます。

$$V_{(CHAN\_UVLO)} = \frac{R_{UV1} + R_{UV2}}{R_{UV2}} \cdot 0.81V$$

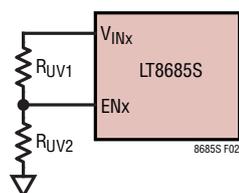


図2. 個別チャンネルUVLO抵抗分圧器の接続

### スイッチング周波数

各チャンネルは、内部発振器のクロックで動作し、その周波数は、RTピンからグラウンドに接続された外付け抵抗で決定されます。外付け抵抗の値を適切に選択することにより、スイッチング周波数を350kHz～3MHzの範囲で設定できます。

表1は、いくつかの一般的なスイッチング周波数におけるR<sub>T</sub>抵抗の推奨値を示しています。

表1. スwitching周波数(f<sub>sw</sub>)とR<sub>T</sub>の値の関係

SWITCHING FREQUENCY (MHz)	R <sub>T</sub> (kΩ)
0.35	154
0.5	107
0.75	69
1	49.9
1.25	39
1.5	32
1.75	26.4
2	22.6
2.25	19.6
2.5	17.2
2.75	15.4
3	13.7

次式で、表1に示す値の近似値が求められます。

$$R_T = \frac{55.4}{f_{sw} - 0.002} - 5$$

ここで、f<sub>sw</sub>の単位はMHzで、R<sub>T</sub>の単位はkΩです。RTピンはノイズに敏感なので、抵抗はLT8685Sの近くに配置し、ノイズ源から離します。

発振器は4つのクロック位相を生成します。個別動作の場合、各チャンネルの相対位相は、CH1が0°、CH2が180°、CH3が270°、CH4が90°となります。チャンネルを組み合わせる場合は、マスタ・チャンネルの位相で組み合わせるチャンネルのクロック位相が決定されます。

### チャンネルの組み合わせ

LT8685Sでは、複数のレギュレータを組み合わせることで、1つのインダクタでより大きな出力電流が得られるレギュレータを作ることができます。

可能なチャンネルの組み合わせを表2に示します。

表2. 可能なチャンネルの組み合わせ

	CONFIGURATION	NUMBER OF INDEPENDENT REGULATORS
1	1, 2, 3, 4	4
2	1, 2, 3+4	3
3	1+2, 3, 4	3
4	1+2, 3+4	2

組み合わせる場合、番号の小さいチャンネルが、組み合わせたレギュレータを制御します。例えば、チャンネル1とチャンネル2を組み合わせた場合、チャンネル1が制御(マスタ)、チャンネル2が従属(スレーブ)となります。組み合わせたレギュレータの出力電圧を設定するために、帰還ネットワークをマスタ・チャンネルにのみ接続します。スレーブ・チャンネルの帰還ピンは、INTV<sub>CC</sub>に接続する必要があります。

組み合わせたチャンネルは、それぞれのV<sub>IN</sub>ピン、SWピン、BSTピン同士を低インピーダンスで接続する必要があります。組み合わせたSWピンにはインダクタを1つだけ接続します。また、組み合わせたBSTピン同士を接続しますが、昇圧コンデンサは各チャンネルごとに接続します。

## アプリケーション情報

チャンネル1と2およびチャンネル3と4で共有する場合の簡単なアプリケーションの回路図を図3に示します。

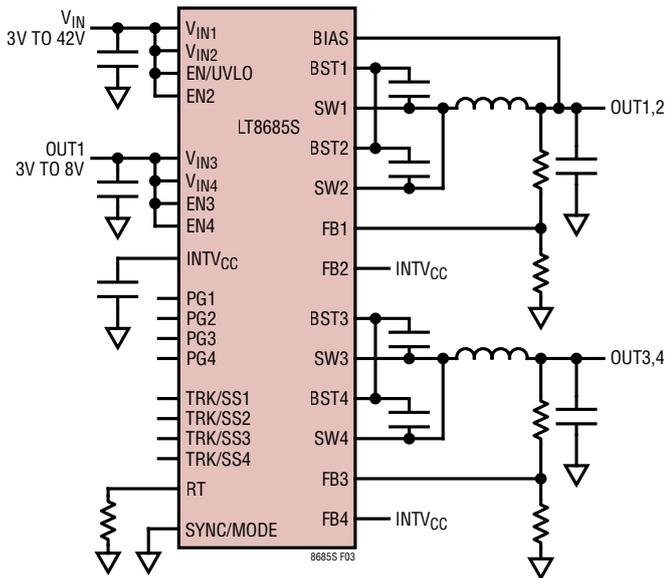


図3. チャンネルを共有した場合の簡略回路図

### 逆入力保護

バッテリー充電やバッテリー・バックアップなどのアプリケーションでは、入力がフロートまたはグラウンド電位になった場合、LT8685Sのチャンネル出力がハイに保持されることがあります。もし、チャンネルの入力がフロート状態で、LT8685Sがイネーブルの場合、LT8685Sの内部回路には、その静止電流がSWピンを介して流れます。入力がフロート状態でLT8685Sがディスエーブルの場合、SWピンの電流は1μA未満に低下します。入力をグラウンド電位にする場合は、出力から上側パワーFETのボディ・ダイオードを通してVINxピンからグラウンド電位の入力へ流れる逆電流を防ぐために入力保護ダイオードが必要です(ブロック図を参照)。

### 降圧レギュレータの部品選択

#### 出力電圧の設定

降圧チャンネルの出力電圧は、出力から対応するFBxピンへの抵抗分圧器で設定します(図4を参照)。

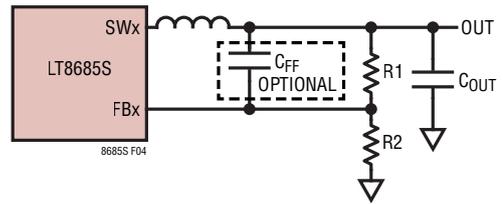


図4. 帰還抵抗分圧器

まず、R2の最適値を選択します。この値は、 $I = V_{REF}/R2$  ( $V_{REF}$ は内部チャンネルのリファレンス電圧)で計算される、抵抗分圧器に流れる電流量を決定するためです。電流は、予想されるリークやノイズに影響されないように選択する必要があります。次に、R1を次式で計算します。

$$R1 = R2 \cdot \left( \frac{V_{OUTx}}{V_{REF}} - 1 \right)$$

$C_{FF}$ はオプションで、内部補償された帰還ループの過渡応答と安定性を向上させるために使用できます。標準的応用例のセクションに示す値は、 $C_{FF}$ を選択する際の良い出発点となりますが、十分な設計マージンを確保するために、レギュレータの安定性を慎重に評価する必要があります。

LT8685Sの42V入力対応チャンネルでは、設定可能な最大許容出力電圧は14Vです。

8V入力対応チャンネルを組み合わせさせた場合(チャンネル3と4)、設定可能な最大出力電圧は4Vです。

### 動作周波数と入力電圧範囲

それぞれの降圧レギュレータの最小オン時間 $t_{ON(MIN)}$ と最小オフ時間 $t_{OFF(MIN)}$ により、実現可能なデューティ・サイクルの範囲と動作周波数に制限が課されます。降圧レギュレータの場合、デューティ・サイクルは次式で計算します。

$$D = \frac{V_{OUTx}}{V_{INx}}$$

更に、所定の動作周波数で実現可能な最小デューティ・サイクルは、次式で計算します。

$$D_{MIN} = t_{ON(MIN)} \cdot f_{sw}$$

ここで、 $f_{sw}$ は設定する動作周波数です。

## アプリケーション情報

所定の動作周波数で実現可能な最大デューティ・サイクルは、次式で計算します。

$$D_{MAX} = 1 - (t_{OFF(MIN)} \cdot f_{SW})$$

これらの式を組み合わせると、最大周波数におけるレギュレーション時の最小の  $V_{IN}$  電圧は次のようになります。

$$V_{VINx(MIN)} = \frac{V_{OUTx}}{1 - (t_{OFF(MIN)} \cdot f_{SW})}$$

$V_{VINx(MIN)}$  未満では、降圧レギュレータはドロップアウト状態になり、上側スイッチは1クロック・サイクルより長くオン状態になります。ドロップアウトでの動作時、降圧レギュレータの出力電圧は設定された値より低くなります。

最大周波数でのレギュレーション時における最大の  $V_{IN}$  電圧は、次のとおりです。

$$V_{VINx(MAX)} = \frac{V_{OUTx}}{t_{ON(MIN)} \cdot f_{SW}}$$

レギュレーション時に上記の  $V_{VINx(MAX)}$  を超えると、降圧レギュレータはレギュレーションを維持するためにスイッチオン・サイクルをスキップします。

### インダクタの選択

所与の入出力電圧に対し、インダクタ値と動作周波数によってインダクタのリップル電流が決まります。具体的には、次式により、インダクタ値が高いほど、あるいは動作周波数が高いほど、インダクタのリップル電流は減少します。

$$\Delta I_L = \left( \frac{V_{OUT}}{f_{SW} \cdot L} \right) \left( 1 - \frac{V_{OUT}}{V_{IN}} \right)$$

ここで、 $\Delta I_L$  = インダクタのリップル電流 (A)、 $f_{SW}$  = スイッチング周波数 (Hz)、 $L$  = インダクタ値 (H)、 $V_{IN}$  = 公称入力電圧定格です。この式から、部品サイズ、効率、動作周波数のトレードオフがわかります。 $\Delta I_L$  を大きくするとインダクタの値を小さくできますが、インダクタのコア・ロス、出力コンデンサの ESR ロスが大きくなり、出力リップルも大きくなります。

インダクタの値は、公称入力電圧におけるピーク to ピークのリップル電流  $\Delta I_L$  が定格チャンネル出力電流の 35~45% になるように選択する必要があります。なお、チャンネル出力電

流の定格値は、チャンネル1と2が2.5A、チャンネル3と4が4Aです。チャンネル1と2を組み合わせるとの定格は5A、チャンネル3と4を組み合わせるとの定格は8Aです。上式を整形すると次式になり、これに従ってインダクタの値を選択します。

$$L = \left( \frac{V_{OUT}}{f_{SW} \cdot \Delta I_L} \right) \left( 1 - \frac{V_{OUT}}{V_{IN}} \right)$$

過熱や効率低下を防ぐために、インダクタは、その実効電流定格値がアプリケーションの予想最大出力負荷より大きいものを選ぶ必要があります。また、効率を最大化するには、インダクタの直列抵抗をできる限り小さくし、コア材をアプリケーションのスイッチング周波数に適したものにする必要があります。

インダクタの飽和電流定格は、負荷にリップル電流の半分を加えた値より大きくなければなりません。このインダクタのピーク電流は、次式で計算できます。

$$I_{L(PEAK)} = I_{OUT(MAX)} + \frac{\Delta I_L}{2}$$

ここで、 $I_{OUT(MAX)}$  は所定のアプリケーションにおける最大出力電流です。

特定のアプリケーションに最適なインダクタは、この設計ガイドに示すものと異なる場合があります。十分な設計マージンを確保するために、選択したインダクタでアプリケーション回路を慎重に評価する必要があります。

### 入力コンデンサの選択

降圧コンバータには入力電源から電流が流れますが、この電流は立上がり時間と立下がり時間が非常に短いパルスです。入力コンデンサは、入力の電圧リップルを低減し、EMIを最小化するために必要です。この機能のために、バイパス用に X7R または X5R のセラミック・コンデンサを各降圧レギュレータの  $V_{IN}$  ピンとグラウンドの間に配置する必要があります。最も効果的なのは、入力コンデンサがそのスイッチング周波数でロー・インピーダンスであって、リップル電流定格に適切であることです。

## アプリケーション情報

最も厳しい条件のリプル電流は、 $V_{OUT}$ が $V_{IN}$ の1/2のときに発生します。この条件下では、リプル電流は次のようになります。

$$I_{CIN(RMS)} = \frac{I_{OUT}}{2}$$

入力容量の適切な開始値は、チャンネル1と2が2.2 $\mu$ F、チャンネル3と4が2.2 $\mu$ Fです。

チャンネルを組み合わせる場合は、共有するチャンネルの $V_{IN}$ ピン同士を接続し、組み合わせるチャンネルから供給される合計電流に基づいて入力コンデンサを選択する必要があります。

### 出力コンデンサの選択

出力コンデンサは、次の2つの機能を実行します。1つは、インダクタ電流をフィルタ処理し、低リプル電圧の出力を生成します。2つ目は、エネルギーを蓄えて、トランジェント負荷時のドループとオーバーシュートを最小化します。LT8685Sの降圧コンバータは高周波で動作できるため、必要な出力容量はごくわずかです。内部補償された電流モード制御ループは安定していて、出力コンデンサの直列抵抗(ESR)を最小化する必要はありません。従って、セラミック・コンデンサを使用することができ、出力リプルは非常に小さくなります。

出力リップルの推定値はコンデンサの種類によって異なり、セラミック・コンデンサでは、次のようになります。

$$V_{RIPPLE} = \frac{\Delta I_L}{8 \cdot f_{SW} \cdot C_{OUT}}$$

アルミ・コンデンサまたはタンタル・コンデンサでは、次のようになります。

$$V_{RIPPLE} = \Delta I_L \cdot ESR$$

$V_{RIPPLE}$ はピークtoピークの出力リプル、 $f_{SW}$ はスイッチング周波数(MHz)、 $\Delta I_L$ はインダクタに流れるピークtoピークのリプル電流、 $C_{OUT}$ は出力コンデンサ値( $\mu$ F)、ESRは出力コンデンサの等価直列抵抗です。

セラミック・コンデンサは、ESRが低く、サイズが小さいため、LT8685Sのアプリケーションに推奨されます。しかし、全て

のセラミック・コンデンサが同じというわけではありません。大容量コンデンサの多くは、温度係数や電圧係数の高い誘電体を使用しています。Y5VとZ5Uのタイプは、極端な印加電圧と温度の場合静電容量が大きく失われます。ループ安定性、過渡応答リプル、EMIは入出力コンデンサの値に依存するので、動作温度範囲に応じてX5R(最大85°C)、X7R(最大125°C)、X8R(最大150°C)のコンデンサを使用することを推奨します。

また、電解コンデンサも選択肢のひとつです。ほとんどのアルミ電解コンデンサはESRが大きすぎて、出力リプルを低く抑えることができません。タンタル・コンデンサや電源用の低ESR有機電解コンデンサが適しています。必要な出力リプルに対応する十分低いESRのコンデンサを選択します。コンデンサは体積でESRが決まるので、同じようなリプル性能を持つセラミック・コンデンサよりサイズ、値共に大きくなります。

標準的応用例のセクションでは、出力コンデンサの値に関する妥当な出発点を示しています。設計上のマージンを確保するために、各アプリケーションを慎重に評価する必要があります。

### 昇圧コンデンサの選択

各チャンネルのBSTピンとSWピンの間にコンデンサを接続することで、内部パワー・デバイスを駆動するための約3.4Vの内部電源が生成されます。ほとんどのアプリケーションでは、0.1 $\mu$ Fのセラミック・コンデンサで十分に機能します。

なお、基板上では、1つのインダクタを駆動するために、各チャンネルのSWピンとBSTピンを接続しますが、堅牢な動作のためには、組み合わせるチャンネルのそれぞれのBSTピンとSWピンの間に昇圧コンデンサをする必要があります。

### 出力電圧のトラッキングとソフトスタート

LT8685Sは、起動時の出力電圧の立上がり時間を制御するプログラマブルなチャンネル・ソフトスタート機能と、チャンネルのパワー・グッド(PG)機能およびイネーブル(EN)機能とを組み合わせ、起動時のシーケンスや制御を柔軟に行えるようにしています。また、ソフトスタート機能を使用することで、入力サージ電流を低減したり、出力電圧のオーバー

## アプリケーション情報

シュートを防止したりできます。出力電圧のソフトスタート時間を設定するには、次式に従って、チャンネルのTRK/SSピンとグラウンドの間にコンデンサを接続します。

$$t_{SS} = \frac{C_{SS} \cdot V_{REF}}{2\mu A}$$

ここで、 $2\mu A$  は TRK/SS のプルアップ電流、 $C_{SS}$  はコンデンサの値 (単位: ファラド)、 $V_{REF}$  は CH1 と CH2 では  $0.8V$ 、CH3 と CH4 では  $0.7V$  です。

TRK/SS<sub>x</sub> ピンは約  $300k\Omega$  でプルダウンされており、デバイスがシャットダウンされたときや特定のフォールト状態のときに、外付けのソフトスタート・コンデンサを放電させます。

出力電圧のトラッキングのために、チャンネルのTRK/SSピンを外部電圧源で駆動できます。 $0V$  から内部リファレンス電圧の間で駆動された場合、TRK/SSピンはエラー・アンプへの内部リファレンス入力をオーバーライドして、FB電圧をTRK/SSピンの電圧に調整します。TRK/SSがリファレンス電圧より高い場合、トラッキングは無効となり、帰還電圧が内部リファレンス電圧に調整されます。

チャンネルを組み合わせる場合、スレーブ・チャンネルのTRK/SSピンはオープンにします。

### パワー・グッド・コンパレータ

LT8685S の各チャンネルにはパワー・グッド・コンパレータが搭載されていて、オープンドレインのPG<sub>x</sub>ピンに出力されます。各PGピンは、対応する帰還電圧がリファレンス電圧より7.5%以上高いか低い場合に、ローにプルダウンされます。各チャンネルのパワー・グッド閾値の詳細については、[電気的特性](#)の表を参照してください。デバイスがシャットダウンすると、全てのPGピンがローにプルダウンされます。各チャンネルのPGピンは、対応するENピンがローのとき、ローにプルダウンされます。

チャンネルを組み合わせる場合、マスタ・チャンネルのPGピンだけが有効になります。スレーブのPGピンはオープンにする必要があります。

### PCBレイアウト

LT8685Sは、EMI/EMC放射を最小限に抑えながら、高周波数でのスイッチング時に最大限の効率が得られるように特別に設計されています。

適切な動作と最小のEMIを確保するため、プリント回路基板のレイアウト時には注意が必要です。推奨基板レイアウトは、最新のLT8685Sデモ・ボードで入手できます。本セクションの残りの部分で、一般的なガイドラインをいくつかご紹介します。

アプリケーション回路の下に切れ目のないグランド・プレーンを表面層に最も近い層に局部的に配置し、露出したGNDパッドをこの層に接続します。基板グラウンドへの熱および電気インピーダンスを低減するため、露出パッドのグラウンド接続は、可能な限り多くのビアを用いて行います。最高性能を得るためには、LT8685Sの近傍で基板グランド・プレーンを切れ目なく最大にします。

SWとBSTのノードはできるだけ小さくして、高感度なパターンへのノイズ結合を最小にする必要があります。RTピンおよび全てのFBピンに接続するパターンは最小限にし、こうした敏感なノードへのノイズ結合を最小化するために、必要に応じてグラウンド・シールドを施します。

それぞれの降圧レギュレータには、入力バイパス・コンデンサをVIN<sub>x</sub>ピンの近くに配置し、上記のグランド・プレーンを介して露出パッドに低インピーダンスで接続します。

4層基板で推奨されるレイヤは次のとおりです。

レイヤ1 (部品): 2オンス (70 $\mu m$ ) の銅を使用します。SWおよびBSTノードの配線と、インダクタおよび入出力コンデンサの配置を含め、高周波/大電流配線が途切れなく連続になるようにします。他はグラウンドで埋めます。

レイヤ2 (内部): 切れ目のないグランド・プレーン。

レイヤ3 (内部): 信号の配線 (他はグランド・プレーン)。

レイヤ4 (底面): 2オンス (70 $\mu m$ ) の銅を使用します。残りの信号配線に使用し、他はグラウンドで埋めます。

### 熱に関する考慮事項

露出パッドは、シリコン・ダイからPC基板や周囲の空気に熱を伝導させる経路となります。熱伝導をよくするために、デバイスの下にサーマル・ビアを配置して、内部のグランド・プレーンや基板の裏側まで熱を伝導させる必要があります。ビアの銅メッキは、ビアの容積を埋める埋めないに関わらずハンダよりはるかに優れた導電体であるため、少数の大き

## アプリケーション情報

なビアよりも多数の小さなビアの方が効果的です。プレーンは、広い面積に熱を分散させます。

LT8685S内の消費電力は、パッケージの熱抵抗 $\theta_{JA}$ (°C/W)に比例して、周囲温度以上にジャンクション温度を上昇させることとなります。LT8685S内の消費電力は、総電力損失を計算し、それからインダクタのDCR損など、LT8685Sの外付け部品での電力損失を差し引くことで、効率の測定結果から推定できます。次に、推定したLT8685Sの電力損失にパッケージの $\theta_{JA}$ を乗じ、その結果にアプリケーションの最大周囲温度を加算することで、最大動作ジャンクション温度を推定できます。

優れた基板設計では、17°C/Wの $\theta_{JA}$ を実現できます。最大ジャンクション温度の計算で、LT8685Sが許容ジャンクション温度付近かそれ以上で動作することが示された場合、より高精度な熱モデリングが必要になるか、ダイのジャンクション温度を下げるための設計変更が必要になります。設計変更には、 $V_{VINx}$ の低減、 $f_{sw}$ の低減、または動作負荷電流の低減などがあります。負荷電流の低減は、直接負荷電流を減少させるか、デューティ・サイクルを低下させるか、最大負荷電流が発生する期間を短縮することで実現できます。また、ダイ・ジャンクション温度は、周囲温度を下げるかエ

ア・フローを追加することで低下させることができます。図5は、 $\theta_{JA} = 17^\circ\text{C/W}$ として、所与の周囲温度に対するオンチップ許容損失のおおよその関係を示しています。

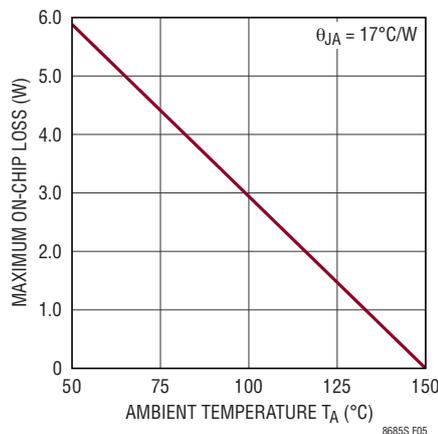
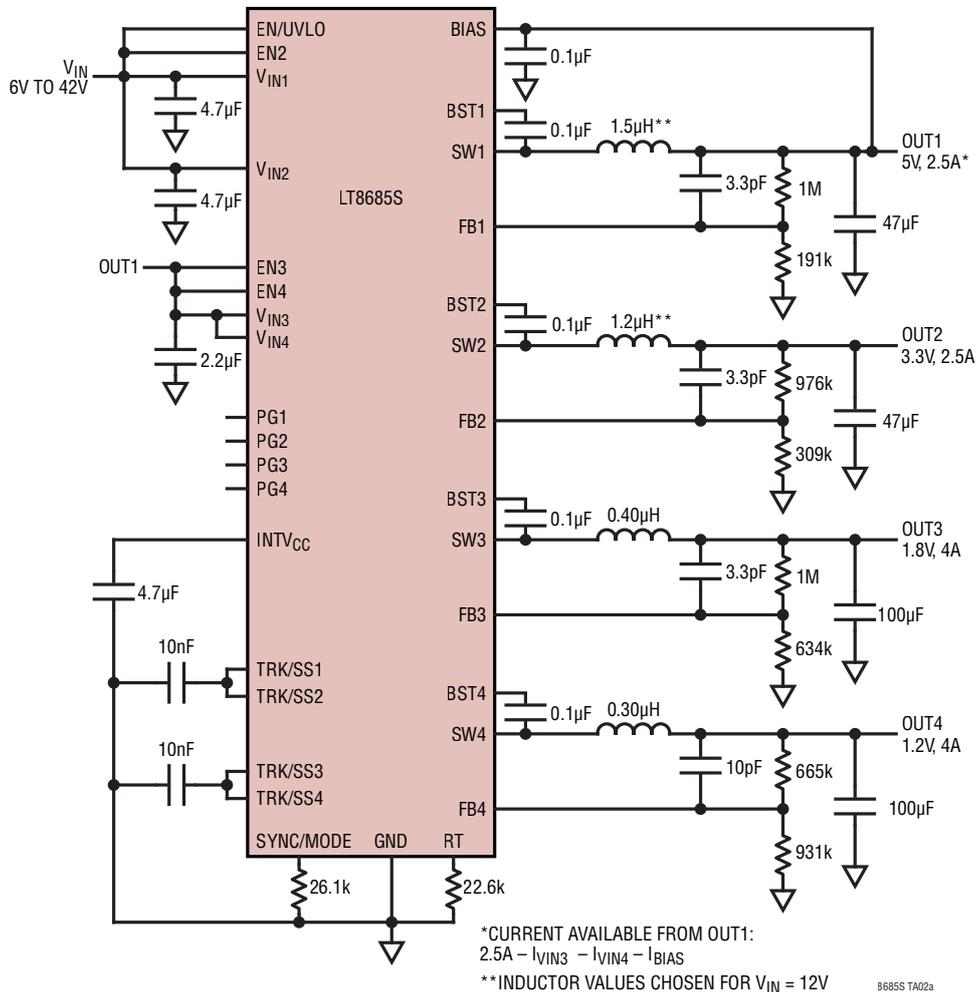


図5. 最大損失と周囲温度の関係

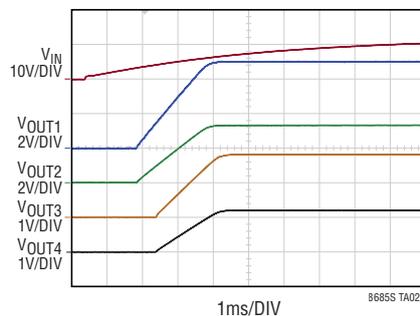
LT8685Sは、サーマル・シャットダウン機能を内蔵しており、ダイ温度が177°C程度まで上昇するとスイッチングを停止します。温度が約5°C下がるとスイッチングを再開します。この機能は製品テストされておらず、フェイルセーフとしてのみ使用されることを意図しています。

標準的応用例

42V 入力、スペクトラム拡散およびレシオメトリック出力起動機能を備えたクワッド出力 2MHz 降圧レギュレータ  
(表紙に示したアプリケーションの詳細図)



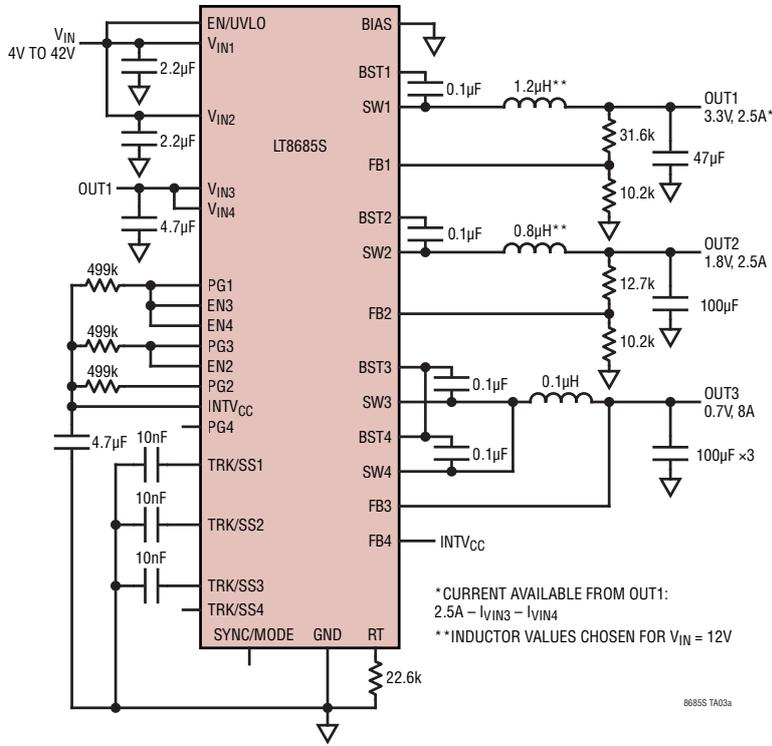
起動シーケンス



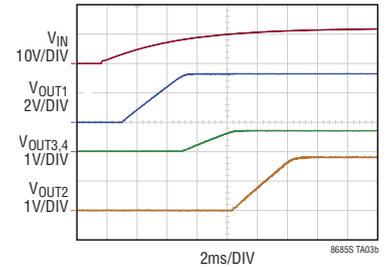
STARTUP SEQUENCE:  
 $V_{IN}$  HIGH ENABLES HV CHANNELS  
 HV CHANNELS TRACK RATIOMETRICALLY  
 $V_{OUT1}$  HIGH ENABLES LV CHANNELS  
 LV CHANNELS TRACK RATIOMETRICALLY

## 標準的応用例

### 電源シーケンス機能を備えたコンパクトなマイクロコントローラ電源

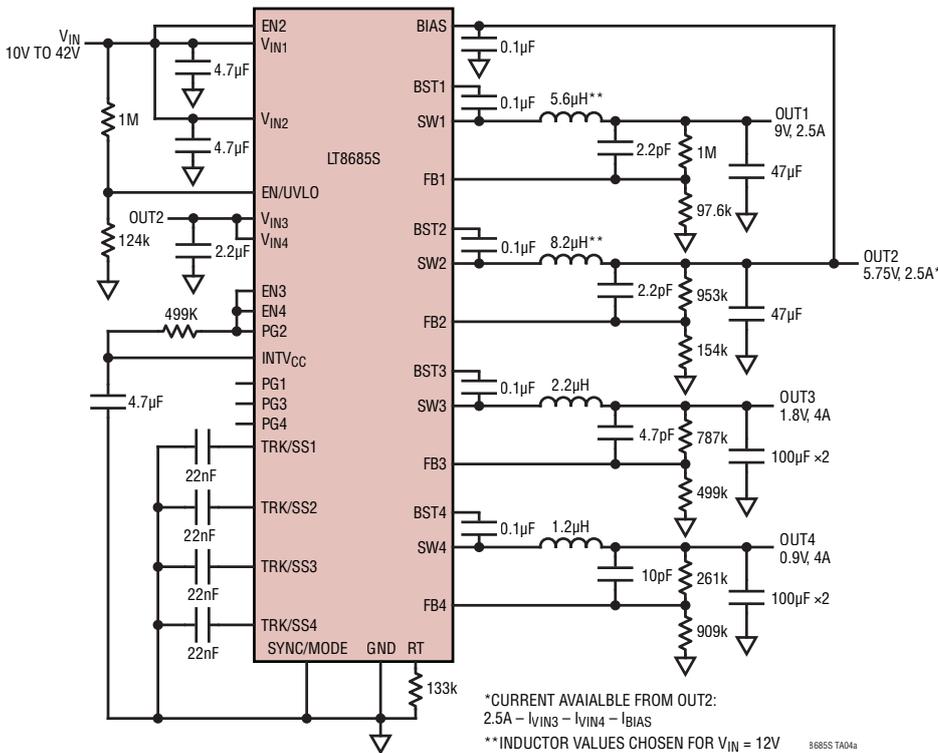


起動シーケンス

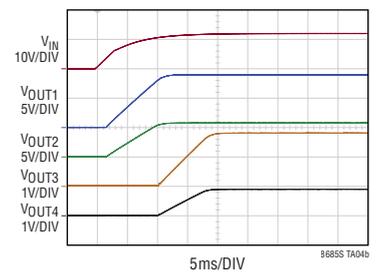


STARTUP SEQUENCE:  
 VIN HIGH ENABLES OUT1  
 VOUT1 IN REGULATION ENABLES OUT3,4  
 VOUT3,4 IN REGULATION ENABLES OUT2

### 複数のLDOまたはリモート回路の駆動に適した高効率クワッド出力レギュレータ



起動シーケンス

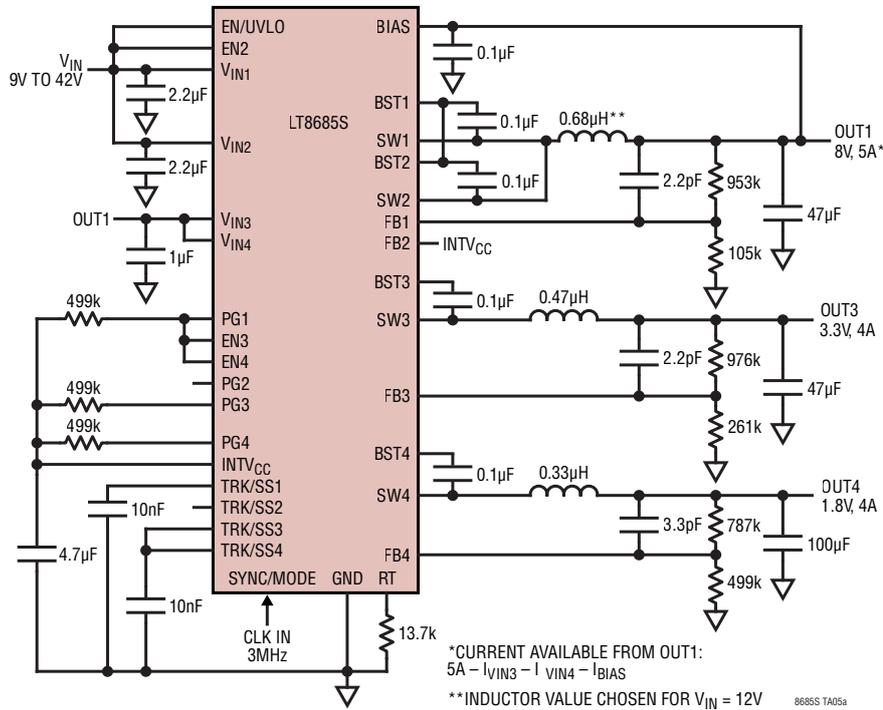


STARTUP SEQUENCE:  
 VIN HIGH ENABLES OUT1 AND OUT2  
 VOUT2 IN REGULATION ENABLES OUT3 AND OUT4

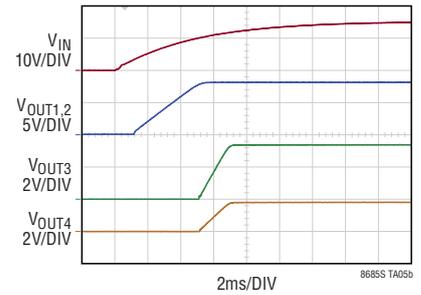


## 標準的応用例

シーケンス制御のレシオメトリック起動機能を備えたトリプル出力の3MHz降圧レギュレータ



起動シーケンス



1A LOAD PER OUTPUT  
 STARTUP SEQUENCE:  
 VIN HIGH ENABLES OUT1,2  
 VOUT1,2 IN REGULATION ENABLES OUT3 AND OUT4  
 VOUT3 AND VOUT4 SOFT-START RATIOMETRICALLY

## 関連製品

製品番号	概要	注釈
LT8601	効率が94%の42V、2.2MHzトリプル出力(1.5A+2.5A+1.8A)、同期整流式マイクロパワー降圧DC/DCコンバータ( $I_Q = 30\mu A$ )	$V_{IN}: 3V \sim 42V$ 、 $V_{OUT(MIN)} = 0.8V$ 、 $I_Q = 30\mu A$ 、 $I_{SD} < 25\mu A$ 、6mm × 6mm QFN-40パッケージ
LT8602	効率が95%の42V、クワッド出力(2.5A+1.5A+1.5A+1.5A)、2.2MHz同期整流式マイクロパワー降圧DC/DCコンバータ( $I_Q = 25\mu A$ )	$V_{IN}: 3V \sim 42V$ 、 $V_{OUT(MIN)} = 0.8V$ 、 $I_Q = 25\mu A$ 、 $I_{SD} < 25\mu A$ 、6mm × 6mm QFN-40パッケージ
LT8603	42V、低 $I_Q$ 、クワッド出力トリプル・モノリシック降圧コンバータおよび昇圧コントローラ	$V_{IN}: 3V \sim 42V$ 、 $V_{OUT(MIN)} = 0.8V$ 、 $I_Q = 25\mu A$ 、 $I_{SD} < 25\mu A$ 、6mm × 6mm QFN-40パッケージ