

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2021 年 12 月 21 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2021 年 12 月 21 日

製品名： LT8722

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 18 ページ 図 7

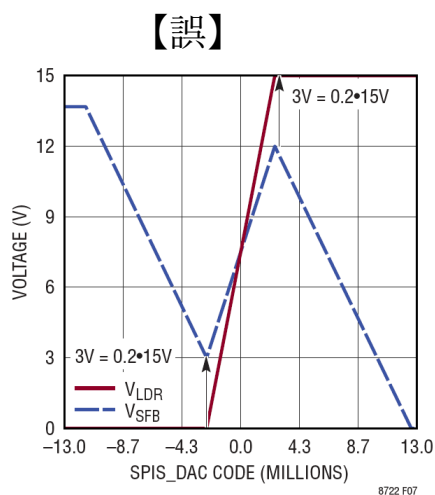


図7. V_{LDR} および V_{SFB} と SPIS_DAC コードの関係
($V_{IN} = 15V$ 、 $SYS_DC[1:0] = 2b00$ 、 $f_{SW} = 2MHz$ の場合)

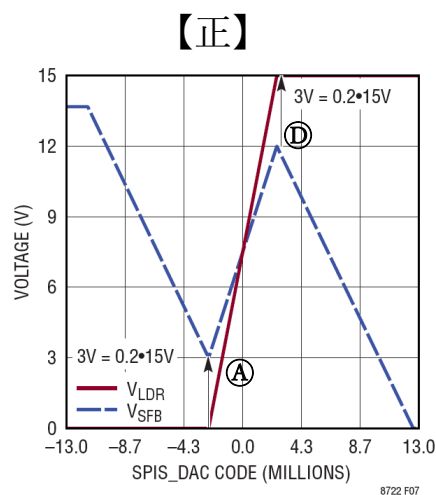


図7. V_{LDR} および V_{SFB} と SPIS_DAC コードの関係
($V_{IN} = 15V$ 、 $SYS_DC[1:0] = 2b00$ 、 $f_{SW} = 2MHz$ の場合)

SPIを搭載した超小型4A/15V フル・ブリッジ・ドライバ

特長

- 25ビット・デジタル出力電圧制御
- 広い入力電圧範囲: 3.1V~15V
- 出力電流: $\pm 4A$
- 高出力電力: 最大 54W¹
- 高周波数で高い効率
 - 4A、15V_{IN}、f_{SW} = 3MHz で92.6%の効率
- SPIインターフェースにより以下が可能:
 - 出力レギュレーション電圧の設定
 - 出力電流制限の設定
 - デバイス・ステータスのチェック
 - 出力のイネーブル／ディスエーブル
- 4Aのパワー・スイッチを内蔵
- Silent Switcher[®] (サイレント・スイッチャ)アーキテクチャ
- 診断／テレメトリ用アナログ出力
- 調整と同期が可能: 500kHz~3MHz
- 3mm × 3mm の小型 18ピン | QFN パッケージ

アプリケーション

- 精密制御による熱電クーラー (TEC) の駆動
- トランスミッタ光学サブアセンブリ (TOSA) の冷却
- エルビウム添加光増幅器 (EDFA) の温度レギュレーション
- 光集積回路 (PIC) の冷却
- LiDAR のミラー制御
- モータ・コントロール

概要

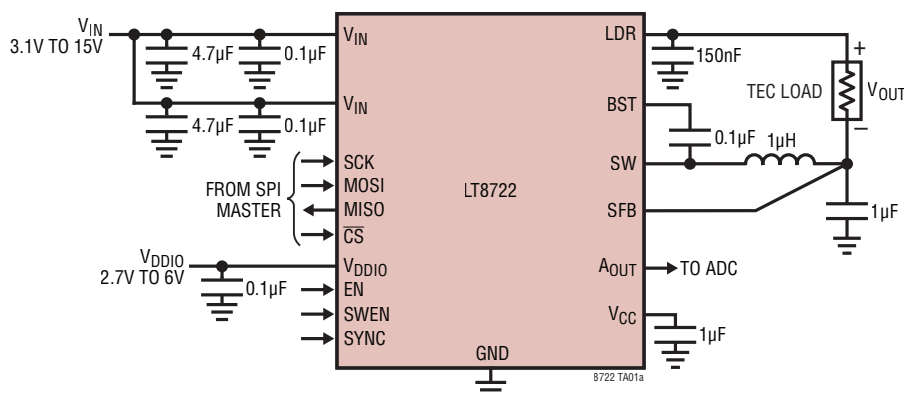
LT[®]8722は、高性能、高効率のモノリシック・フル・ブリッジ DC/DC コンバータです。フル・ブリッジの一方の側はパルス幅変調 (PWM) 降圧パワー段によって駆動され、もう一方の側はリニア・パワー段によって駆動されます。LT8722 は最大で $\pm 54\text{W}^1$ の電力を負荷に供給でき、必要なインダクタは1つだけです。LT8722 の出力電圧は、内部 25 ビット D/A コンバータ (DAC) を使って制御します。この他にも 2 つの 9 ビット DAC があって、それぞれ正と負の出力電流制限を制御します。アナログ出力遠隔測定ピンは、 V_{IN} 、 V_{OUT} 、 I_{OUT} 、または LT8722 のジャンクション温度など、SPI で選択可能なパラメータのモニタに使用できます。シリアル・ペリフェラル・インターフェース (SPI) は LT8722 の設定と制御に使用でき、目的とする出力電圧、出力電流制限、電圧制限、スイッチング周波数の設定、ON/OFF 動作の制御などを柔軟に行うことができます。SPI は最大 10MHz で動作するので、高速のリードバックと制御が可能です。LT8722 は 3.1V ~ 15V の単電源で動作します。また、EMI/EMC 放出を最小限に抑えながら高スイッチング周波数で高い効率を実現するために、Silent Switcher 技術が使われています。LT8722 は 3mm × 3mm の LQFN パッケージを採用しています。

¹ $V_{IN} = 15V$, $f_{sw} = 1MHz$ で、 $V_{TEC} = \pm 13.5V/\pm 4A$

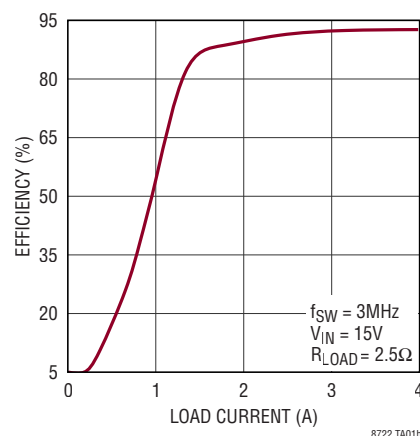
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

±13.5V/±4A TECドライバ



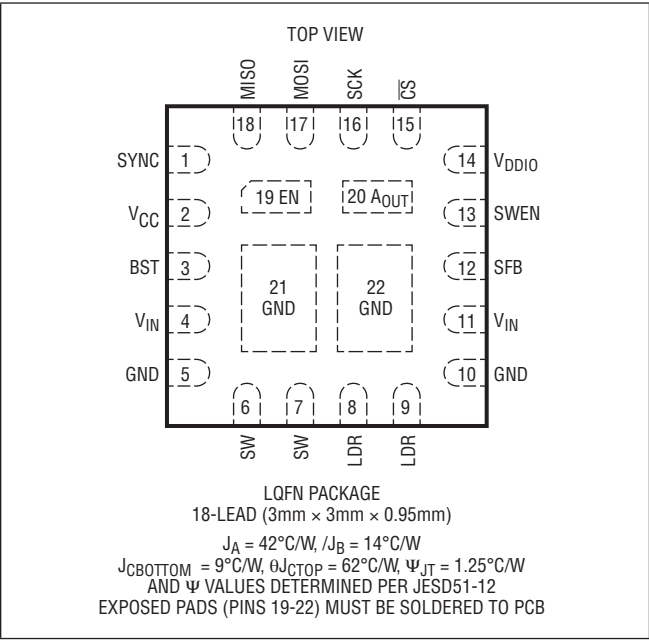
冷却構成時の電氣的効率



絶対最大定格
(Note 1)

V_{IN} , SFB, LDR, EN, SW	-0.3V~15V
SWEN, SYNC	-0.3V~6V
V_{CC}	-0.3V~3.8V
V_{DDIO} , SCK, MOSI, $\overline{CS}$	-0.3V~6V
A_{OUT}	-0.3V~6V
MISO	-0.3V~6V
BST-SW	-0.3V~6V
動作ジャンクション温度範囲 (Note 2)	
LT8722A	-40°C~125°C
ABS MAX T_J	-40°C~150°C
保存温度範囲	-65°C~150°C
最大リフロー (パッケージ・ボディ) 温度	260°C

ピン配置



発注情報

鉛フリー仕上げ	パッド仕上げ	製品マーキング*		パッケージ・タイプ	MSL レーティング	温度範囲 (Note 2)
		デバイス	仕上げコード			
T8722AV#PBF	Au (RoHS)	LHMC	e4	18ピン (3mm × 3mm) LQFN (QFN フットプリントの積層パッケージ)	3	-40°C~125°C

更に広い動作温度範囲で仕様規定されたデバイスについては弊社までお問い合わせください。*デバイスの温度グレードは出荷容器のラベルに表示されています。

テープ&リールの仕様。 一部のパッケージは指定された販売チャンネルを通じて500個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $V_{IN} = 15\text{V}$ 、 $V_{DDIO} = 3.3\text{V}$ 、 $\text{GND} = \text{SYNC} = 0\text{V}$ 、 $\text{EN} = \text{SWEN} = \text{ハイ}$ での値です。特に指定のない限り V_{CC} と GND の間には $1\mu\text{F}$ のコンデンサを接続し、 V_{CC} レギュレータによって駆動します。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Voltage Supplies						
V_{IN} Supply Voltage		●	3.1		15	V
V_{IN} Quiescent Current	$\text{EN} = 0\text{V}$			15		μA
				2.8		mA
V_{DDIO} Supply Voltage	Linear Power Stage ON with LDR Floating	●	2.7		5.5	V
I_{VDDIO} Supply Shutdown Current	$\text{EN} = 0\text{V}$, $V_{DDIO} = 2.7\text{V}$, $\text{MOSI}/\overline{\text{CS}}/\text{SCK} = 0\text{V}$		0.1	0.21	0.35	mA
I_{VDDIO} Supply Shutdown Current	$\text{EN} = 0\text{V}$, $V_{DDIO} = 5.5\text{V}$, $\text{MOSI}/\overline{\text{CS}}/\text{SCK} = 0\text{V}$		0.1	0.27	0.45	mA
I_{VDDIO} Supply Current	$\text{EN} = 15\text{V}$, Linear Power Driver ON with $V_{TEC} = 0$, $V_{DDIO} = 2.7\text{V}$	●	1.1	2	3.2	mA
I_{VDDIO} Supply Current	$\text{EN} = 15\text{V}$, Linear Power Driver ON with $V_{TEC} = 0$, $V_{DDIO} = 5.5\text{V}$	●	1.7	2.8	4.2	mA
Internal Regulator (V_{CC} Pin)						
V_{CC} Regulator Output Voltage 1	$\text{SPIS_COMMAND}[9] = 1$			3.473		V
V_{CC} Regulator Output Voltage 2	$\text{SPIS_COMMAND}[9] = 0$			3.149		V
V_{CC} When Overdriven	If V_{CC} Driven from External Supply Set $\text{SPIS_COMMAND}[9] = 0$	●	3.4		3.8	V
V_{CC} Supply Current at 3.4V	If V_{CC} Driven from External Supply Set $\text{SPIS_COMMAND}[9] = 0$			3.1		mA
V_{CC} Supply Current at 3.8V	If V_{CC} Driven from External Supply Set $\text{SPIS_COMMAND}[9] = 0$			3.3		mA
V_{CC} Regulator Output Voltage 3	$V_{IN} = 3.1\text{V}$, External V_{CC} Load = 20mA	●	2.7	2.9	3.1	V
V_{CC} Current Limit	$V_{IN} = 5\text{V}$			66		mA
Enable Control						
EN Pin Threshold	EN Rising	●	0.475	0.66	0.82	V
EN Pin Hysteresis				52		mV
EN Pin Leakage Current	$\text{EN} = 15\text{V}$	●	-1	0	1	μA
Switching Enable Control						
SWEN Pin Threshold	SWEN Rising	●	1.14	1.2	1.26	V
SWEN Pin Hysteresis				21		mV
SWEN Pin Pull-Down Current	$\text{SWEN} = 0.25\text{V}$			406		μA
SWEN Pin Leakage Current	$\text{SWEN} = 5.5\text{V}$, $\text{SPIS_STATUS} = 0$	●	10	28	55	μA
Undervoltage Lockout (UVLO)						
V_{CC} UVLO Rising Threshold		●	1.9	2.36	2.65	V
Hysteresis				90		mV
V_{DDIO} UVLO Rising Threshold		●	2.25	2.425	2.7	V
Hysteresis				110		mV

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $V_{IN} = 15\text{V}$ 、 $V_{DDIO} = 3.3\text{V}$ 、 $\text{GND} = \text{SYNC} = 0\text{V}$ 、 $\text{EN} = \text{SWEN} = \text{ハイ}$ の値です。特に指定のない限り V_{CC} と GND の間には $1\mu\text{F}$ のコンデンサを接続し、 V_{CC} レギュレータによって駆動します。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Linear Output Stage						
On-Resistance						
Top MOSFET (M1)	$V_{IN} = 15\text{V}$, $I_{LDR} = 1.5\text{A}$			38		$\text{m}\Omega$
	$V_{IN} = 3.1\text{V}$, $I_{LDR} = 1.5\text{A}$			40		$\text{m}\Omega$
Bot MOSFET (M2)	$V_{IN} = 15\text{V}$, $I_{LDR} = 1.5\text{A}$			38		$\text{m}\Omega$
	$V_{IN} = 3.1\text{V}$, $I_{LDR} = 1.5\text{A}$			40		$\text{m}\Omega$
LDR Pin Leakage Current	$V_{IN} = 15\text{V}$, $\text{LDR} = 0\text{V}$			13.6		μA
LDR Current Sink Limit		●	-6.7	-4.8	-4	A
LDR Current Source Limit		●	4	5.6	7.5	A
LDR Zero Voltage	$\text{SPIS_DAC} = 0\text{x}0$, $\text{SYS_DC}[1:0] = 2\text{b}11$, $I_{TEC} = 0\text{A}$, $\text{ENABLE_REQ} = 1$			7.5		V
Linear Power Loss Limit Regulation						
Regulation Power for 2W Option	M1 MOSFET, Sourcing Current			2.07		W
	M2 MOSFET, Sinking Current			2.225		W
Regulation Power for 3W Option	M1 MOSFET, Sourcing Current			2.7		W
	M2 MOSFET, Sinking Current			3.0		W
Regulation Power for 3.5W Option	M1 MOSFET, Sourcing Current			3.4		W
	M2 MOSFET, Sinking Current			3.8		W
PWM Output Stage						
On-Resistance	M3, $I = 1.5\text{A}$			38		$\text{m}\Omega$
	M4, $I = 1.5\text{A}$			40		$\text{m}\Omega$
SW Pin Leakage Current	$V_{SW} = 15\text{V}$		-1	0	1	μA
	$V_{SW} = 0\text{V}$			500		μA
Min SW On-Time	Internal Clock, $I_{SW} = 4\text{A}$			40		ns
Min SW Off-Time	Internal Clock, $I_{SW} = 1\text{A}$			37		ns
	External Clock, $I_{SW} = 1\text{A}$			37		ns
M3 Source Current Limit	V_C , Max		7	10	12	A
M3 Sink Current Limit	V_C , Min		-8	-6	-4.5	A
M4 Sink Current Limit	V_C , Min		-10.5	-8.2	-6.5	A
PWM Oscillator Frequency						
Internal Frequency Accuracy	$f_{SW} = 500\text{kHz}$	●	459	510	561	kHz
	$f_{SW} = 3000\text{kHz}$	●	2643	2936	3420	kHz
Internal Frequency Increment	$f_{SW} = 500\text{kHz}$, $\text{SW_FRQ_ADJ}[1:0] = 2\text{b}01$			+14.8		%
	$f_{SW} = 3000\text{kHz}$, $\text{SW_FRQ_ADJ}[1:0] = 2\text{b}01$			+12.7		%
Internal Frequency Decrement	$f_{SW} = 500\text{kHz}$, $\text{SW_FRQ_ADJ}[1:0] = 2\text{b}10$			-15.4		%
	$f_{SW} = 3000\text{kHz}$, $\text{SW_FRQ_ADJ}[1:0] = 2\text{b}10$			-13.7		%
SYNC Pin Logic Threshold	Logic High		1.6			V
	Logic Low				0.45	V
SYNC Pin Leakage Current	$V_{SYNC} = 0\text{V}$	●	-0.2	0	0.2	μA
	$V_{SYNC} = V_{CC}$	●	0	10	30	μA
PWM Duty Control						
20%~80% Duty Option						
Max V_{SFB}/V_{IN} Ratio		●		80	82.5	%
Min V_{SFB}/V_{IN} Ratio		●	17.5	20		%
15%~85% Duty Option						
Max V_{SFB}/V_{IN} Ratio		●		85	89	%
Min V_{SFB}/V_{IN} Ratio		●	13.5	15.6		%
10%~90% Duty Option						
Max V_{SFB}/V_{IN} Ratio		●		89.6	93	%

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $V_{IN} = 15\text{V}$ 、 $V_{DDIO} = 3.3\text{V}$ 、 $\text{GND} = \text{SYNC} = 0\text{V}$ 、 $\text{EN} = \text{SWEN} = \text{ハイ}$ での値です。特に指定のない限り V_{CC} と GND の間には $1\mu\text{F}$ のコンデンサを接続し、 V_{CC} レギュレータによって駆動します。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Min VSFB/ V_{IN} Ratio		●	8	10.9		%
Positive Current Limit DAC (Note 4)						
Resolution				9		Bits
LSB				13.3		mA
Minimum Code				0		Code
Maximum Code				462		Code
Positive Current Limit Accuracy 1	$\text{SPIS_DAC_ILIMP} = 0\text{x}96$, $I_{LIMP} = 150 \cdot 13.3\text{mA}$			2.157		A
Positive Current Limit Accuracy 2	$\text{SPIS_DAC_ILIMP} = 0\text{x}12\text{C}$, $I_{LIMP} = 300 \cdot 13.3\text{mA}$			4.157		A
Negative Current Limit DAC (Note 4)						
Resolution				9		Bits
LSB				13.3		mA
Minimum Code				48		Code
Maximum Code				511		Code
Negative Current Limit Accuracy	$\text{SPIS_DAC_ILIMN} = 0\text{x}169$, $I_{LIMN} = (361-511) \cdot 13.3\text{mA}$			-2.116		A
Negative Current Limit Accuracy	$\text{SPIS_DAC_ILIMN} = 0\text{x}D3$, $I_{LIMN} = (211-511) \cdot 13.3\text{mA}$			-4.077		A
Output Voltage Setpoint DAC						
Resolution (No Missing Codes)	(Note 5)			25		Bits
VDAC INL			-900	105	900	μV
V_{OUT} Gain Adjust, Ga	$V_{OUT} = V_{LDR} - V_{SFB}$			0.969		V/V
V_{OUT} Regulation Accuracy	$V_{OUT} = V_{LDR} - V_{SFB}$, $V_{IN} = 15\text{V}$, $I_{LDR} = 0\text{A}$					
$V_{OUT} < 0$	$\text{SPIS_DAC} = 0\text{x}FFB20000$, $V_{OUT} = -11927552/2^{24} \cdot 1.25 \cdot 16 \cdot \text{Ga}$			-13.818		V
$V_{OUT} = 0$	$\text{SPIS_DAC} = 0\text{x}00000000$, $V_{OUT} = 0/2^{24} \cdot 1.25 \cdot 16 \cdot \text{Ga}$			0		V
$V_{OUT} > 0$	$\text{SPIS_DAC} = 0\text{x}00E00000$, $V_{OUT} = 11927552/2^{24} \cdot 1.25 \cdot 16 \cdot \text{Ga}$			13.819		V

電氣的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $V_{IN} = 15\text{V}$ 、 $V_{DDIO} = 3.3\text{V}$ 、 $\text{GND} = \text{SYNC} = 0\text{V}$ 、 $\text{EN} = \text{SWEN} = \text{ハイ}$ での値です。特に指定のない限り V_{CC} と GND の間には $1\mu\text{F}$ のコンデンサを接続し、 V_{CC} レギュレータによって駆動します。

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
A_{OUT} Analog Monitor					
V_{ILIMP_ZERO}	$\text{SPIS_DAC_ILIMP} = 0 \times 200$, $I_{LIMP} = (512-512) \cdot 13.3\text{mA} = 0\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 40$		1.665		V
V_{ILIMP_MID}	$\text{SPIS_DAC_ILIMP} = 0 \times 294$, $I_{LIMP} = (660-512) \cdot 13.3\text{mA} = 1.9684\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 40$		1.913		V
V_{ILIMP_HIGH}	$\text{SPIS_DAC_ILIMP} = 0 \times 318$, $I_{LIMP} = (792-512) \cdot 13.3\text{mA} = 3.724\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 40$		2.135		V
V_{ILIMN_ZERO}	$\text{SPIS_DAC_ILIMN} = 0 \times 1\text{FF}$, $I_{LIMP} = (511-511) \cdot 13.3\text{mA} = 0\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 41$		1.663		V
V_{ILIMN_MID}	$\text{SPIS_DAC_ILIMN} = 0 \times 174$, $I_{LIMP} = (372-511) \cdot 13.3\text{mA} = -1.8487\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 41$		1.429		V
V_{ILIMN_HIGH}	$\text{SPIS_DAC_ILIMN} = 0 \times \text{F8}$, $I_{LIMP} = (248-511) \cdot 13.3\text{mA} = -3.4979\text{A}$. $V_{ILIMP} = V_{1P65} + I_{LIMP}/8$, $\text{SPIS_AMUX} = 0 \times 41$		1.221		V
$A_{OUT_DAC_NEG}$	$\text{SPIS_DAC} = 0 \times 00\text{E}00000$, $A_{OUT_DAC_NEG} = 1.8 \cdot V_{1P25} - 0.8 \cdot V_{DAC}$, $\text{SPIS_AMUX} = 0 \times 42$		1.51		V
$A_{OUT_DAC_ZERO}$	$\text{SPIS_DAC} = 0 \times 00000000$, $A_{OUT_DAC_ZERO} = 1.8 \cdot V_{1P25} - 0.8 \cdot V_{DAC}$, $\text{SPIS_AMUX} = 0 \times 42$		1.263		V
$A_{OUT_DAC_POS}$	$\text{SPIS_DAC} = 0 \times \text{FF}100000$, $A_{OUT_DAC_POS} = 1.8 \cdot V_{1P25} - 0.8 \cdot V_{DAC}$, $\text{SPIS_AMUX} = 0 \times 42$		0.991		V
A_{VOUT_NEG}	$\text{SPIS_DAC} = 0 \times \text{FFB}20000$, $V_{OUT} = -11927552/224 \cdot 1.25 \cdot 16 \cdot \text{Ga} = -13.792\text{V}$ $A_{OUT} = V_{1P25} - V_{OUT}/16$, $\text{SPIS_AMUX} = 0 \times 43$		2.125		V
A_{VOUT_ZERO}	$\text{SPIS_DAC} = 0 \times 00000000$, $V_{OUT} = 0\text{V}$, $\text{SPIS_AMUX} = 0 \times 43$		1.259		V
$A_{OUT_DAC_POS}$	$\text{SPIS_DAC} = 0 \times 00\text{E}00000$, $V_{OUT} = +11927552/224 \cdot 1.25 \cdot 16 \cdot \text{Ga} = 13.792\text{V}$ $A_{OUT} = V_{1P25} - V_{TEC}/16$, $\text{SPIS_AMUX} = 0 \times 43$		0.394		V
Output Current, V_{IMON}	$I_{LDR} = -1\text{A}$. $A_{OUT} = V_{1P65} + I_{LDR}/10$, $\text{SPIS_AMUX} = 0 \times 44$		1.538		V
	$I_{LDR} = 0\text{A}$. $A_{OUT} = V_{1P65} + I_{LDR}/10$, $\text{SPIS_AMUX} = 0 \times 44$		1.666		V
	$I_{LDR} = 1\text{A}$. $A_{OUT} = V_{1P65} + I_{LDR}/10$, $\text{SPIS_AMUX} = 0 \times 44$		1.799		V
A_{OUT_2P5V}	$A_{OUT} = 0.6 \cdot V_{2P5}$, $\text{SPIS_AMUX} = 0 \times 45$		1.5138		V
A_{OUT_1P25V}	$A_{OUT} = V_{1P25}$, $\text{SPIS_AMUX} = 0 \times 46$		1.26		V
A_{OUT_1P65V}	$A_{OUT} = V_{1P65}$, $\text{SPIS_AMUX} = 0 \times 47$		1.665		V
Temp Sense Voltage at 25°C	Die Temp = $(A_{OUT} - 1.4207)/0.0047148$, $\text{SPIS_AMUX} = 0 \times 48$		1.543		V
A_{OUT_VIN}	$V_{IN} = 15\text{V}$, $A_{OUT} = 0.9 \cdot V_{2P5} - V_{IN}/8$, $\text{SPIS_AMUX} = 0 \times 49$		0.3933		V
A_{OUT_VCC}	$V_{CC} = 3.4\text{V}$, $A_{OUT_VCC} = 0.4 \cdot V_{CC}$, $\text{SPIS_AMUX} = 0 \times 4\text{A}$		1.36		V
A_{OUT_VDDIO}	$V_{DDIO} = 3.3\text{V}$, $\text{SPIS_AMUX} = 0 \times 4\text{B}$, $A_{OUT} = 0.4 \cdot V_{DDIO}$		1.32		V
A_{OUT_VSFB}	$V_{SFB} = 15\text{V}$, $\text{SPIS_AMUX} = 0 \times 4\text{C}$, $A_{OUT} = (16/17) \cdot V_{1P25} + V_{SFB}/17$		2.072		V
Serial Bus Interface and Timing Characteristics					
$\overline{\text{CS}}$, SCK, MOSI Input High Logic Level		●	$0.7 \cdot V_{DDIO}$		V
$\overline{\text{CS}}$, SCK, MOSI Input Low Logic Level		●	$0.3 \cdot V_{DDIO}$		V
MISO Output Low Level	$I_{\text{SINK}} = 1\text{mA}$, $V_{DDIO} = 3.3\text{V}$, 5V	●	0.4		V

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は $T_A = 25^{\circ}\text{C}$ での仕様です。また、特に指定のない限り、 $V_{\text{IN}} = 15\text{V}$ 、 $V_{\text{DDIO}} = 3.3\text{V}$ 、 $\text{GND} = \text{SYNC} = 0\text{V}$ 、 $\text{EN} = \text{SWEN} = \text{ハイ}$ での値です。特に指定のない限り V_{CC} と GND の間には $1\mu\text{F}$ のコンデンサを接続し、 V_{CC} レギュレータによって駆動します。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
MISO Output High Level	$I_{\text{SOURCE}} = 1\text{mA}$, $V_{\text{DDIO}} = 3.3\text{V}$, 5V	●	$V_{\text{DDIO}} - 0.4$			V
SCK Clock Period		●	100			ns
SCK Pulse High Time		●	40			ns
SCK Pulse Low Time		●	40			ns
$\overline{\text{CS}}$ Falling to SCK Rising Delay Time		●	45			ns
SCK Falling to $\overline{\text{CS}}$ Rising Delay Time		●	45			ns
$\overline{\text{CS}}$ High Time		●	20			ns
MOSI to SCK		●	12.5			ns
MOSI to SCK		●	12.5			ns
SCK to MISO, 80pF Load		●	27.5			ns

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LT8722A は $40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作ジャンクション温度範囲での動作が仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。ここに示す仕様に見合った最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱インピーダンス定格値、およびその他の環境条件の組み合わせによって決まります。

Note 3: この IC は、過負荷状態時にデバイスを保護するための過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は 150°C を超過しています。仕様規定された最大動作ジャンクション温度を超えてデバイスを連続動作させると、寿命が短くなります。

Note 4: LDR から流れ出して SFB に流れ込む電流を負と見なします。

Note 5: 設計上の性能は確保していますが、テストの対象外です。

タイミング図

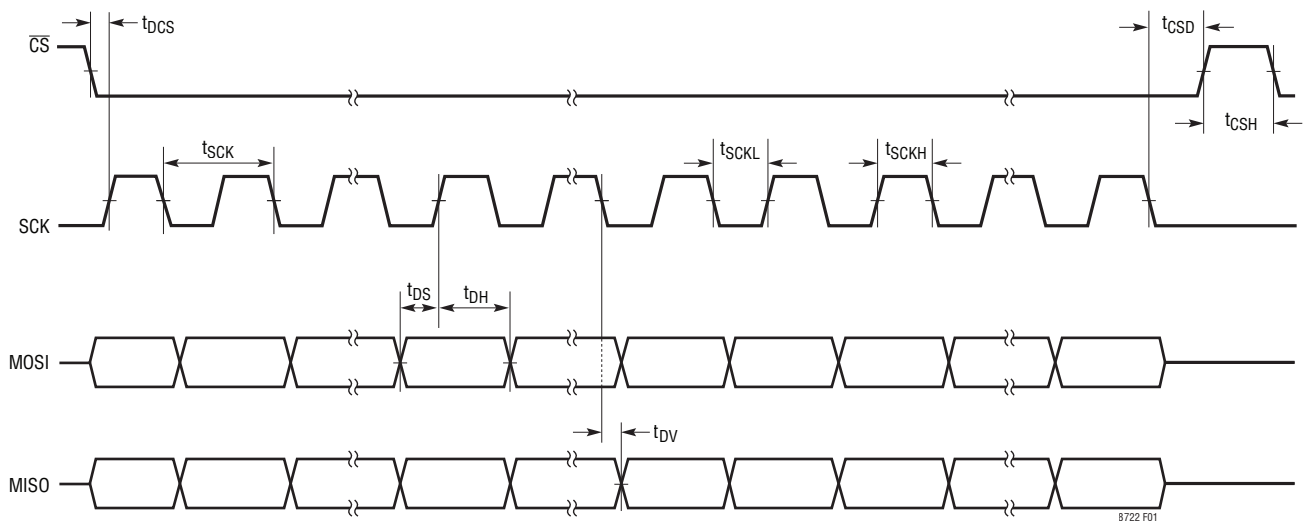


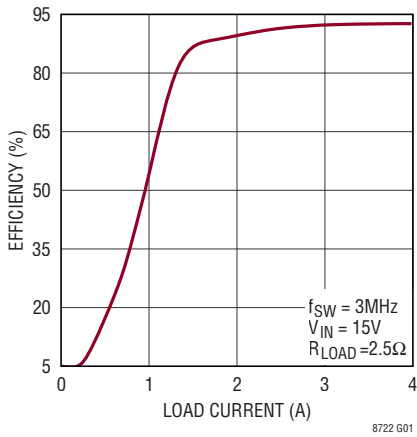
図1. SPIのタイミング図

8722 F01

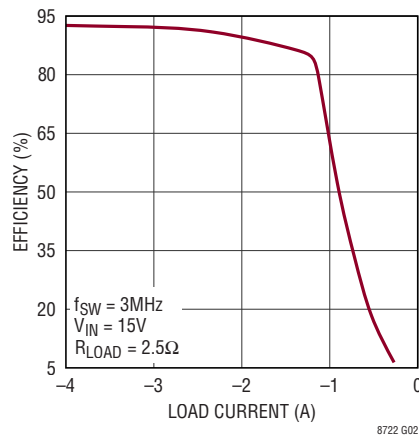
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

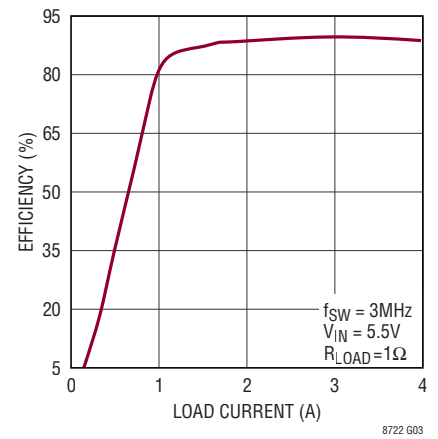
冷却構成時の電氣的効率、
 $V_{IN} = 15\text{V}$



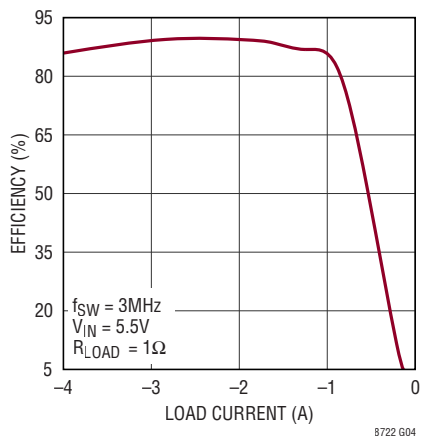
加熱構成時の電氣的効率、
 $V_{IN} = 15\text{V}$



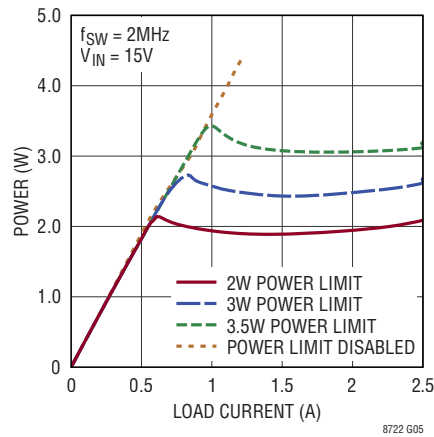
冷却構成時の電氣的効率、
 $V_{IN} = 5.5\text{V}$



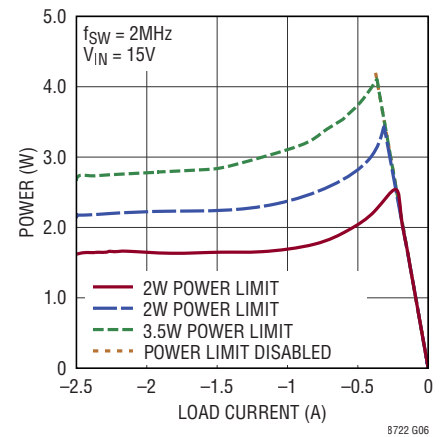
加熱構成時の電氣的効率、 $V_{IN} = 5.5\text{V}$



LDR 上側 NMOS (M1) の電力制限



LDR 下側 NMOS (M2) の電力制限



ピン機能

V_{IN} (ピン4および11) : 入力電源ピン。V_{IN}ピンは、LT8722の内部回路、リニア・パワー段、および降圧パワー段に電流を供給します。これらのピンは、[図15](#)に示すように、4.7μFと0.1μFのコンデンサを2個ずつ使ってグラウンドにバイパスします。

GND (ピン5、10、21、22) : グラウンド・ピン。ローカル・グラウンド・プレーンに直接接続します。

SW (ピン6および7) : スイッチ・ピン。SWピンは降圧段内部パワー・スイッチの出力です。これらのピンは互いにまとめて、インダクタと昇圧コンデンサに接続します。優れた性能と低いEMIを実現するために、プリント回路基板上ではこのノードの面積をできるだけ小さくしてください。

LDR (ピン8および9) : リニア駆動ピン。LDRピンはリニア段内部パワー・スイッチの出力です。これらのピンは互いにまとめてください。

V_{CC} (ピン2) : 内部3.4Vレギュレータのバイパス・ピン。内部のパワー・ドライバと制御回路は、この電圧を電力源とします。外部回路を使ってV_{CC}ピンに負荷をかけることはしないでください。

SYNC (ピン1) : 同期ピン。クロック・モード:1) 外部周波数に同期させるには、このピンをクロック信号源で駆動します。2) 内部発振器を使用するには、このピンをGNDに接続します。

V_{DDIO} (ピン14) : シリアル・インターフェースの電源ピン。V_{DDIO}の範囲は2.7V~5.5Vです。このピンとGNDの間には0.1μF以上のバイパス・コンデンサを接続してください。

EN (ピン19) : LT8722はENピンとENABLE_REQ SPIビットが両方ともローになるとシャットダウンし、ENピンまたはENABLE_REQのどちらかがハイになるとアクティブになります。V_{CC}レギュレータは、LT8722がアクティブになるとオンになります。閾値電圧にはヒステリシスがあります。上昇時は0.66V、下降時は0.61Vです。V_{IN}との間に外付けした抵抗分圧器を使用すれば、V_{IN}閾値をプログラムできます。この閾値未満では、ENピンはローと見なされます。ENピンを使用しない場合はGNDに接続してください。これによって

LT8722下面のPCBグラウンド接続がより確実なものとなり、ジャンクション温度を低く抑えることができます。このピンはフロート状態にしないでください。

SWEN (ピン13) : SWENピンは入出力ピンです。LT8722のスイッチング動作はこのピンがハイのときにイネーブルされ、ローのときにディスエーブルされます。LT8722は、フォールトを検出するとこのピンをローにします。このピンは、外部回路によってローにすることもできます。詳細については、[SWENピンの駆動](#)のセクションを参照してください。

CS (ピン15) : チップ・セレクト入力ピン。シリアル・データI/OバスはCSがローのときにイネーブルされ、CSがハイのときにディスエーブルされます。

MISO (ピン18) : シリアル・データ出力ピン。出力データのフォーマッティングについては、[アプリケーション情報のセクション](#)を参照してください。

MOSI (ピン17) : シリアル・データ入力ピン。このピンは、[アプリケーション情報のセクション](#)の説明に従い必要な設定で駆動してください。

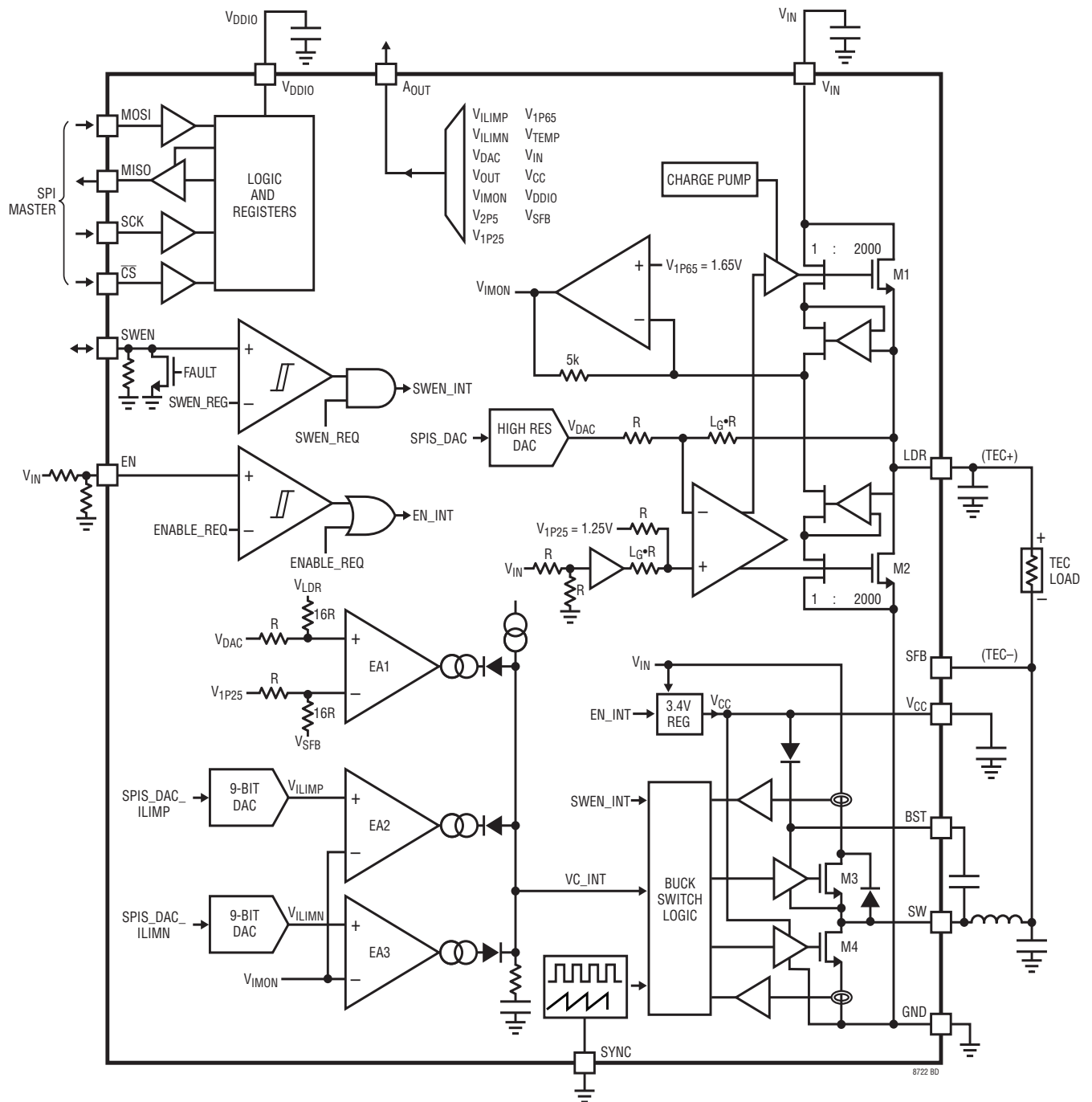
SCK (ピン16) : シリアル・クロック入力ピン。SCKはシリアルI/Oクロックで駆動します。SCKの立上がりエッジはMOSIのシリアル・データをラッチします。MISOからの出力データは、SCKの立上がりエッジでキャプチャしてください。

BST (ピン3) : 昇圧ピン。このピンは、入力電圧より高い駆動電圧を高圧段の上側パワー・スイッチ(M3)に供給するために使用します。このピンとSWピンの間には0.1μFの昇圧コンデンサを接続してください。コンデンサは、できるだけICに近い位置に接続します。

SFB (ピン12) : スイッチャの帰還ピン。このピンは、出力電圧をレギュレーションするための帰還信号を高圧段に送ります。

AOUT (ピン20) : アナログ出力ピン。内部アナログ信号は、デジタル・シリアル・インターフェースを通じてコマンドを送ることにより、このピンにバッファ出力することができます。詳細については、[アプリケーション情報のセクション](#)を参照してください。

ブロック図



動作

LT8722は、モノリシック、固定周波数、電流モードのフル・ブリッジDC/DCコンバータです。このデバイスはハイブリッド駆動システムを採用しています。すなわち、負荷の一方の側にリニア駆動(LDR)が、もう一方の側には従来のPWMスイッチング駆動(SFB)が使われています。このユニークなアーキテクチャによって、従来型のフル・ブリッジ駆動機能を実現するために必要なインダクタと出力コンデンサがそれぞれ1つだけになっています。

LT8722は、シリアル・ペリフェラル・インターフェース(SPI)を備えています。このSPIを使ってLT8722に25ビット・デジタル制御ワードを適用することで、コンバータ出力を望みの電圧に設定できます。また、SPIを通じてその他のデジタル制御情報の送受信を行い、必要な電流制限や電力制限を実現したり、デバイス・ステータス情報をリードバックしたりすることも可能です。また、SPIコマンドを送ってLT8722のスイッチング周波数を設定することもできます。あるいは、SYNCピンに外部クロックを入力し、その外部クロック周波数でスイッチング・レギュレータ・ドライブを動作させることができます。

ENピンとENABLE_REQ制御ビットの両方がローの場合LT8722はシャットダウンし、入力から流れる電流が約15μA未満になります。ENピンが0.74Vを超えるかENABLE_REQ制御ビットがハイにセットされるとLT8722の電源がオンになり、スイッチング動作を開始するために新たなSPIコマンドを待っている状態となります。SWENピンを1.25V以上に駆動してSWEN_REQ制御ビットをハイにすると、LT8722はスイッチング・スタートアップ・シーケンスを開始します。このシーケンスの詳細については、このデータシートの[アプリケーション情報](#)のセクションを参照してください。

LT8722の電気的効率率は式1で得られます。

$$\text{Electrical Efficiency} = 100\% \cdot$$

$$\frac{\text{Electrical Power Delivered to LT8722 } V_{\text{OUT}} \text{ Load}}{\text{LT8722 Electrical Input Power}}$$

$$(1)$$

すべての負荷を含めた全体的な効率を改善するために、SPI制御を通じてVCC電圧出力を3.1Vまで下げ、VCCを3.3V～5.5Vでオーバードライブすることにより、VCCピンを通じて内部回路への電源電流をソースすることができます。それ以外の場合は、VCC電圧を3.4Vに設定して、VINから内部回路に直接電流が流れるようにする必要があります。

LT8722では、アナログ出力遠隔測定(AOUT)ピンの使用はオプションです。この出力ピンは、外部ADCと共に使用して、VIN、VLOAD、ILOAD、ダイ温度などを含め、LT8722の動作の

様々な側面に関する情報を得ることができます。これらの出力とそのスケールリングのための式は、このデータシートの[アプリケーション情報](#)のセクションに示されています。

イネーブルとスタートアップ・シーケンス

ENピンとENABLE_REQレジスタ・ビットの両方がローになるとLT8722はシャットダウン・モードになり、極めて小さい静止電流しか流れなくなります。VCC LDOレギュレータは、SPIを通じてENピンをハイにするか、ENABLE_REQビットをハイにすることによってアクティブにできます。ENピン・コンパレータの立上がり閾値は0.74Vで、30mVのヒステリシスがあります。

リニア・ドライバをイネーブルするには、SPIS_STATUSレジスタをクリアする必要があります。これは、すべてのSPIS_STATUSレジスタに0を書き込むことによって行います。リニア・パワー段の上側MOSFETに電力を供給する出力電流モニタリング回路と内部チャージ・ポンプは、ENABLE_REQビットがハイになるとイネーブルされます。リニア・パワー・ドライバをイネーブルするには、ラッチされたCP_UVLOビットをクリアする必要があります。

最終的には、PWMドライバは(直列に接続した20k以上の抵抗を通じて)SWENピンにロジック・ハイ電圧を加え、SWEN_REQレジスタに1を書き込むことによってイネーブルされます。

LT8722のスタートアップ時には、大きい突入電流が流れる可能性があります。これについては、適切なSPIコマンドと待機時間を使って、突入電流を最小限に抑えるソフトウェア制御式のソフトスタート機能を構成することができます。以下に推奨スタートアップ・シーケンスを示します。

- 最初に、LT8722に適切なVIN電圧とVDDIO電圧を加えます。
- 2番目に、ENピン電圧を0.74Vの閾値以上にしてENABLE_REQビットに1を書込み、VCC LDOおよびLT8722のその他の回路をイネーブルします。
- 3番目に、出力電圧制御DAC(SPIS_DAC)を0xFF000000に設定します。このコードは、後でリニア・パワー段をイネーブルするときにLDRピンをGNDにします。
- 4番目に、すべてのSPIS_STATUSレジスタに0を書き込みます。これによりすべてのフォールトがクリアされて、リニア・パワー段をイネーブルすることができるようになります。前のステップで行った操作により、このステップでリニア・パワー段をオンにすると、出力負荷がGNDまで放電されます。このステップと次のステップの間には約1msの待機時間を入れて、プリバイアスされた出力状態が解消されるようにしてください。

動作

- 5 番目に、リニア・ドライバ出力(LDR)をGNDから $V_{IN}/2$ までランピングさせるために、出力電圧制御DAC (SPIS_DAC)をコード0xFF000000からコード0x00000000まで制御された状態でランピングさせます。このランピング時間内に、PWMドライバ出力(SFB)とリニア・ドライバ出力(LDR)が共に $V_{IN}/2$ に変化します。この $V_{IN}/2$ への制御された変化のためのランブ時間は、5ms以上とする必要があります。
- 6 番目に、SWENピンの電圧を1.25Vの閾値以上に上げてSWEN_REQビットに1を書き込むことによって、PWMスイッチング動作をイネーブルします。両方の出力端子が $V_{IN}/2$ になるので、出力負荷に流れる突入電流が最小限に抑えられます。PWMドライバのスイッチング動作をイネーブルした後は、出力電圧制御DAC (SPIS_DAC)のコードを、そのまま160 μ s以上変えずに維持します。
- 最後に、出力電圧制御DAC (SPIS_DAC)のコードを、制御された状態で必要なコードに変更することができます。LDR出力とSFB出力の値には差が生じ始め、出力負荷を介した互いの電圧差が目的の値となるまで、あるいは出力電圧差が予め設定された電圧制限値となるまで、もしくは出力電流が予め設定された電流制限値に達するまで、その差を広げていきます。

イネーブル・シーケンスのフロー・チャートを図2に、ソフトスタート・プロファイルの例を図3に示します。ソフトスタートのガイダンスに関する説明は、これらの図に基づいています。

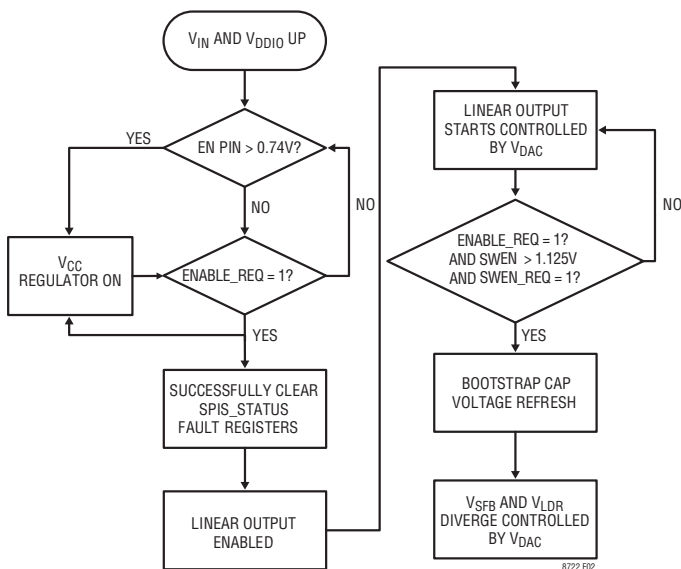


図2. スタートアップ・シーケンスのフロー・チャート

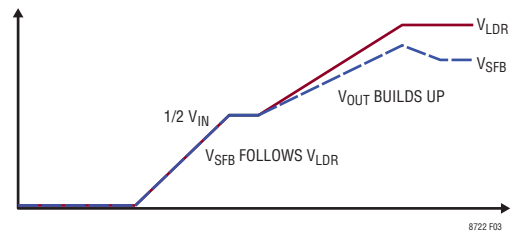


図3. 冷却モードのソフトスタート・プロファイル

ドライバへの電力供給

LT8722は V_{IN} ピンに加えられる3.1V～15Vの入力電圧範囲と、 V_{DDIO} ピンに加えられる2.7V～6Vの入力電圧範囲で動作します。

V_{IN} ピンは、PWMドライバとリニア・パワー・ドライバ用の電源です。 V_{IN} ピンへの電源を設定する際には、次の点に留意する必要があります。すなわち、大電流負荷の場合は、フロント・エンド電源と V_{IN} ピン間の配線における電圧降下によって、入力電圧が大幅に低下する可能性があります。良好な性能を維持するために、フロント・エンド電源を設計するときは適切な電圧マージンを残してください。また、電圧降下を小さくするために、電源から V_{IN} ピンへのパターン長は最小限に抑えてください。

スイッチング周波数の設定

LT8722は固定周波数のPWMアーキテクチャを使用しており、SW_FRQ_SETレジスタを通じて500kHz～3MHzの範囲でスイッチングを行うように設定できる他、更にSW_FRQ_ADJレジスタ・ビットを通じて±15%の範囲で調整を行うことができます。周波数セットアップの概要を表1と表2に示します。

表1. スwitchング周波数の設定

SW_FRQ_SET BITS	SWITCHING FREQUENCY
000	500kHz
001	1MHz
010	1.5MHz
011	2MHz
100	2.5MHz
101, 110, 11	3.0MHz

動作

表2. スイッチング周波数の調整

SW_FRQ_ADJ BITS	CHANGE FROM NOMINAL
00	0%
01	+15%
10	-15%
11	0%

LT8722のPWM降圧ドライバの動作周波数も、自動的に外部ソースに同期可能です。

外部ソースへ同期する場合は、SYNCピンにデジタル・クロック信号を入力するだけで、LT8722はそのSYNCクロック周波数で動作します。デバイスを正しく動作させるには、SYNCクロックのデューティ・サイクルを20%～80%の範囲にしなければなりません。SYNC周波数は常に自走発振器周波数より高い値とすることはできませんが、設定した自走発振器周波数の30%未満としないようにする必要があります。

動作周波数の選択は、効率、部品サイズ、およびPWMデューティ・サイクル範囲のトレードオフになります。高周波数動作の利点は、値もサイズも小さいインダクタとコンデンサを使用できることです。欠点は効率が低く、PWMドライバの最小オン時間と最小オフ時間を確保するためにデューティ・サイクルの範囲が狭くなることです。

ブートストラップ回路とリフレッシュ周期

LT8722は、PWMドライバの上側MOSFET(M3)にゲート駆動電圧を供給するブートストラップ・レギュレータを内蔵しています。このレギュレータは、BSTピンとSWピンの間に、V_{CC}電圧と等しいブートストラップ電圧を生成します。

BSTピンとSWピンの間には、0.1μFのX7RまたはX5Rセラミック・コンデンサを接続することを推奨します。

PWMドライバをイネーブルした直後は、ブートストラップ・コンデンサの電圧が、M3ゲートを駆動できるだけの十分な値に達していないことがあります。ブートストラップ・コンデンサを充電してPWMドライバが正常に動作できるようにするまでには、合計32回のリフレッシュ・サイクル(周期5μs)が必要です。各リフレッシュ・サイクルは、M3 MOSFETが最初に80ns(代表値)にわたってオンになるよう設計されており、次にM4 MOSFETが160ns(代表値)オンになります。その後は、そのリフレッシュ・サイクルが終了するまで上側MOSFETと下側MOSFETの両方がオフになります。これにより、突入負荷電流が最小限に抑えられます。ブートストラップ・コンデ

ンサ電圧のリフレッシュ周期の代表的波形を図4に示します。

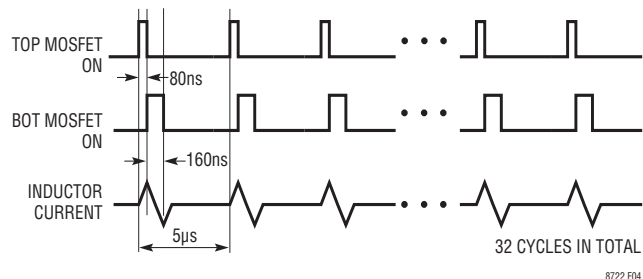


図4. ブートストラップ・コンデンサ電圧のリフレッシュ・サイクル

V_{CC} LDOレギュレータ

内部低ドロップアウト(LDO)レギュレータは、V_{CC_VREG}レジスタ・ビットが1のときに、V_{IN}からV_{CC}ピンへの3.4V電圧を生成します。このLDOはLT8722の回路に十分な電流を供給することができますが、1μF以上のセラミック・コンデンサを使ってグラウンドにバイパスする必要があります。このバイパスは、PWMパワーMOSFETドライバに必要な高過渡電流を供給するために必要です。

全体的な効率を改善するために、V_{CC}ピンには3.4V～3.8Vの外部電源を加えることができます。外部電源使用時は、V_{CC_VREG}レジスタ・ビットを0に設定する必要があります。この設定で、V_{CC} LDOのレギュレータ電圧は3.1Vまで低下します。これにより、3.4V～3.8Vの外部電源でV_{CC}ピンをオーバードライブすることができます。V_{CC}の目標出力電圧は3.1Vで、V_{CC} LDOができるのは電流をソースすることだけなので、この状況でV_{CC}ピンを制御するのは外部電源だけです。

初期ピーク・インダクタ電流の設定

PWMドライバがイネーブルされると、初期ピーク・インダクタ電流が出力電圧と出力電流に短時間の何らかの過渡的影響を与えることがあります。最適な初期ピーク・インダクタ電流は、V_{IN}、スイッチング周波数、およびインダクタの値ごとに異なります。この初期ピーク電流の設定には、SW_VC_INTレジスタ・ビットを使用できます。表3に設定の概要を示します。推奨スタートアップ・シーケンスに従った場合、初期ピーク・インダクタ電流の最適値は式2で計算できます。

$$I_{PEAK_INIT} = \frac{V_{IN}}{4 \cdot L \cdot f_{SW}} \quad (2)$$

動作

SW_VC_INTビットは、初期ピーク・インダクタ電流が計算による最適値に最も近くなるように設定します。

表 3. 初期ピーク・インダクタ電流の制御

SW_VC_INT BITS	DESCRIPTION, IPEAK_INIT
000	0.251A
001	0.594A
010	0.936A
011	1.278A
100	1.62A
101	1.962A
110	2.304A
111	2.646A

LDRドライバの内部消費電力削減

条件によっては、LDRドライバの消費電力が極めて大きくなります。LT8722は、LDRドライバの上側(M1)および下側(M2)パワー・デバイスの最大消費電力を制限するために、消費電力帰還ループを内蔵しています。この最大消費電力は、PWR_LIM_BOTレジスタとPWR_LIM_TOPレジスタを通じて設定できます。消費電力制限設定の概要を表4に示します。

表 4. LDRドライバのM2 MOSFET 消費電力制限制御

PWR_LIM_BITS	APPROX. M1/M2 POWER DISSIPATION LIMIT
0000	2W
0101	No Limit
1010	3W
1111	3.5W

出力電圧の設定

LT8722には、MOSFET (M1～M4)ドライバを制御する2つの独立したアンプがあります。すなわち、スイッチング出力(またはPWM)アンプと高ゲイン・リニア・アンプです。それぞれのアンプは内部MOSFETのゲートを駆動する出力を1組ずつ備えており、図5に示すように、更にそれらのMOSFETが負荷を駆動します。負荷にかかる電圧は、SFBピンとLDRピンを介してモニタされます。これらのMOSFETドライバは共に一定電圧と大電流を供給するという働きをしますが、その

動作は異なります。これら2つの出力は式3と式4で計算できます。

$$V_{LDR} = (1/2 \cdot V_{IN}) + L_G \cdot (V_{DAC} - V_{IP25}) \quad (3)$$

$$V_{SFB} = V_{LDR} + 16 \cdot (V_{DAC} - V_{IP25}) \quad (4)$$

ここで、LGは式5に示すリニア・アンプのゲインです。

$$L_G = \frac{8}{\text{Duty_Cycle_Max}} \quad (5)$$

ここで、Duty_Cycle_Maxは表6に示す値を取ります。

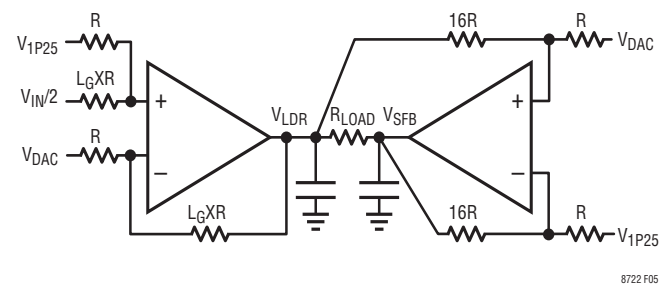


図 5. スwitchング (PWM) アンプとリニア・アンプ

V_{DAC} 電圧設定の調整に伴う出力電圧の変化を図6に示します。

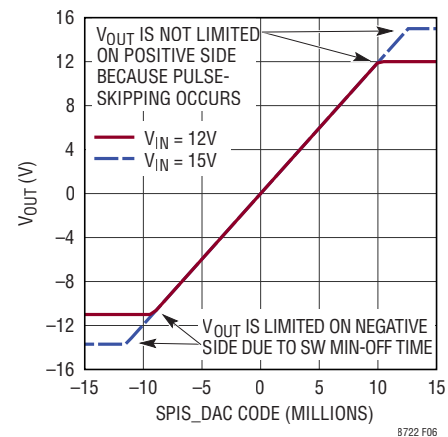


図 6. 出力電圧 (V_{OUT} = V_{LDR} - V_{SFB}) と SPIS_DAC コードの関係

V_{SFB}とV_{LDR}は、V_{DAC}の設定とSYS_DCレジスタ・ビットに応じて、図7と図8に示すように個別に駆動されます。差動V_{OUT}電圧(V_{LDR}-V_{SFB})と伝達関数(図6)の関係は、SYS_

動作

DCに影響されません。しかし、SYS_DCレジスタ設定は、[図7](#)と[図8](#)に示すように、LDRのスロープとPWMドライバの最小／最大デューティ・サイクルに影響します。

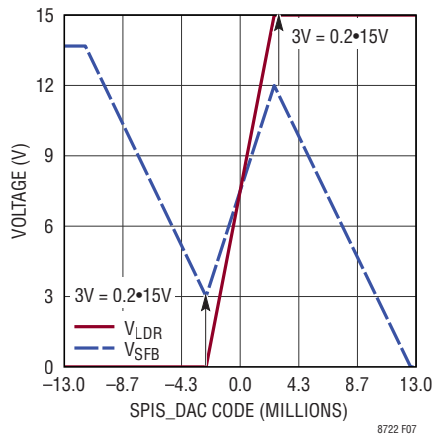


図7. V_{LDR} および V_{SFB} とSPIS_DACコードの関係
($V_{IN} = 15V$, $SYS_DC[1:0] = 2b00$, $f_{SW} = 2MHz$ の場合)

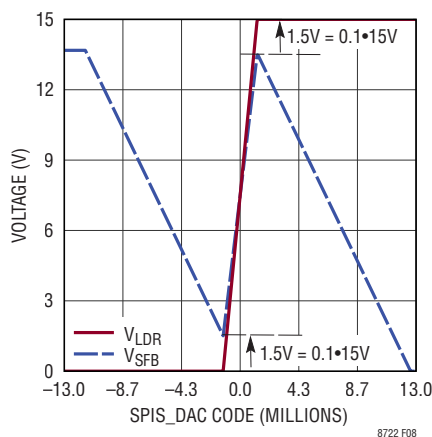


図8. V_{LDR} および V_{SFB} とSPIS_DACコードの関係
($V_{IN} = 15V$, $SYS_DC[1:0] = 2b10$, $f_{SW} = 2MHz$ の場合)

LDR、SFB、および対応する出力電圧の設定には、内部高分解能DACが使われます。レギュレーション帰還ループでは、ソフトウェア制御されたPIDループが必要パラメータを測定します。更に、SPIを通じてSPIS_DACレジスタを設定することによって出力電圧を調整します。SPIS_DACは2の補数フォーマットで保存されます。7MSBビット(SPIS_DAC[31:26])は符号拡張ビットで、SPIS_DAC[25]ビットにより

決定されます。SPIS_DACレジスタを通じてVDACを設定する方法を[表5](#)に示します。SPIS_DACが0x00000000の場合、VDACは V_{1P25} に等しくなります。出力電圧は[式6](#)と[式7](#)で計算できます。

$$V_{OUT} = V_{LDR} - V_{SFB} = -16 \cdot (V_{DAC} - V_{1P25}) \quad (6)$$

$$V_{DAC} = V_{1P25} - SPIS_DAC \cdot V_{2P5} \cdot 2^{-25} \quad (7)$$

内蔵の25ビットDACは、[式8](#)に従った出力差動電圧 V_{OUT} の設定に使われます。 V_{OUT} は、SPIを通じてSPIC_DACレジスタを設定することにより変更できます。SPIS_DACは2の補数フォーマットで保存されます。7MSBビット(SPIS_DAC[31:26])は符号拡張ビットで、SPIS_DAC[25]ビットにより決定されます。SPIS_DACレジスタを通じてVDACを設定する方法を[表5](#)に示します。SPIS_DACが0x00000000の場合、VDACはゼロに等しくなります。出力電圧 V_{OUT} は[式8](#)で計算されます。

$$V_{OUT} = 16 \cdot SPIS_DAC \cdot V_{2P5} \cdot 2^{-25} \quad (8)$$

ここで、 2^{-25} は約29.802nVです。

表5. V_{DAC} とSPIS_DACの関係

SW_DAC_VTEC BITS	DESCRIPTION, V_{DAC}
0xFF000000	$V_{1P25} + 16777216 \cdot V_{2P5} \cdot 2^{-25}V = 2.5V$
0xFF000001	$V_{1P25} + 16777215 \cdot V_{2P5} \cdot 2^{-25}V = 2.49999997V$
...	...
0xFF999998	$V_{1P25} + 6710888 \cdot V_{2P5} \cdot 2^{-25}V = 2.00000003V$
0xFF999999	$V_{1P25} + 6710887 \cdot V_{2P5} \cdot 2^{-25}V = 2.0V$
0xFF99999A	$V_{1P25} + 6710886 \cdot V_{2P5} \cdot 2^{-25}V = 1.99999997V$
...	...
0xFFFFFFF	$V_{1P25} + 1 \cdot V_{2P5} \cdot 2^{-25}V = 1.25000003V$
0x00000000	$V_{1P25} + 0 \cdot V_{2P5} \cdot 2^{-25}V = 1.25V$
0x00000001	$V_{1P25} - 1 \cdot V_{2P5} \cdot 2^{-25}V = 1.24999997V$
...	...
0x00666666	$V_{1P25} - 6710886 \cdot V_{2P5} \cdot 2^{-25}V = 0.75000003V$
0x00666667	$V_{1P25} - 6710887 \cdot V_{2P5} \cdot 2^{-25}V = 0.75V$
0x00666668	$V_{1P25} - 6710888 \cdot V_{2P5} \cdot 2^{-25}V = 0.74999997V$
...	...
0x00FFFFFFE	$V_{1P25} - 16777214 \cdot V_{2P5} \cdot 2^{-25}V = 0.00000006V$
0x00FFFFFFF	$V_{1P25} - 16777215 \cdot V_{2P5} \cdot 2^{-25}V = 0.00000003V$

動作

PWM デューティ・サイクルの設定

最小および最大出力電圧は、図7に示すように動作ポイントAとDで得ることができます。Aで示される動作ポイントでは、PWMドライバが50ns (代表値)の最小オン時間($t_{ON,MIN}$)で動作します。出力電圧制御DACからPWMドライバへの指示が、所定の最小オン時間では生成できないような電圧をSFBピンに出力するようなものだった場合、PWMドライバは、目的の出力電圧を得るためにパルススキッピングを開始します。出力電圧レギュレーションの特性が低下し始める可能性があるため、このような極端な動作ポイントは避けることを推奨します。同様に、Dで示される動作ポイントでは、PWMドライバが50ns (代表値)の最小オフ時間($t_{OFF,MIN}$)で動作します。出力電圧制御DACからPWMドライバへの指示が、所定の最小オフ時間では生成できないような電圧を出力するようなものだった場合、PWMドライバは、目的の出力電圧を得るためにパルススキッピングを開始します。出力電圧レギュレーションの特性が低下し始める可能性があるため、このような極端な動作ポイントは避けることを推奨します。

与えられたスイッチング周波数に関しては、BおよびCで示された動作ポイントで $t_{ON,MIN}$ と $t_{OFF,MIN}$ の条件を満たせなくなるのを避けるために、慎重に検討する必要があります。一例として、3MHzのスイッチング周波数を使用する場合、代表的な $t_{ON,MIN}$ と $t_{OFF,MIN}$ は共に50nsです。この情報から、PWMドライバが許容できる最小デューティ・サイクルを15%、最大デューティ・サイクルを85%と計算することができます。したがって、SYS_DCレジスタにより設定される選択デューティ・サイクル範囲の設定は、この範囲内とする必要があります。表6に従い、SYS_DCレジスタは[0,0]に設定してください。

表6. デューティ・サイクルの設定

SYS_DC BITS	DUTY CYCLE RANGE	DUTY_CYCLE_MAX
00	20~80%	0.2
01	15~85%	0.15
10, 11	10~90%	0.1

与えられた V_{IN} 電圧とスイッチング周波数に対して実現可能な最大出力電圧は、最小および最大デューティ・サイクルによって決まります。一例として、 $V_{IN} = 8V$ 、スイッチング周波数を3MHzとした場合、モノリシックMOSFETによるわずかな電圧降下を除くと、出力電圧範囲はおおよそ $-6.8V \sim +6.8V$ になります。

最大TEC電圧制限

正の最大TEC電圧はSPIS_OV_CLAMPレジスタ、負の最大TEC電圧はSPIS_UV_CLAMPレジスタによって設定されます。これら2つのレジスタはSPIS_DACレジスタの最大値と最小値を設定し、更にそれによって正と負の最大TEC電圧を設定します。SPIS_OV_CLAMPレジスタによるSPIC_DACレジスタ制限値の設定内容を表7に、SPIS_UV_CLAMPによるSPIC_DACレジスタ制限値の設定内容を表8に示します。

表7. SPIS_DACの最大値とSPIS_OV_CLAMPの関係

SPIS_OV_CLAMP BITS	MAX SPIS_DAC VALUE
4b0000	0x00FFFFFF
4b0001	0x001FFFFFF
...	...
4b1110	0x00EFFFFFF
4b1111	0x00FFFFFF

表8. SPIS_DACの最小値とSPIS_UV_CLAMPの関係

SPIS_OV_CLAMP BITS	MIN SPIS_DAC VALUE
4b0000	0xFF000000
4b0001	0xFF100000
...	...
4b1110	0xFFE00000
4b1111	0xFFFF0000

出力電流制限

LT8722は、負荷を保護するために、両方向の最大出力電流を別々に制限する9ビットDACを2個内蔵しています。正電流はLDRからSFBへ流れる電流です。電流制限はSPIS_DAC_ILIMPレジスタとSPIS_DAC_ILIMNレジスタで設定できます。また、これらの電流制限は式9と式10で計算できます。

$$I_{LIMP} = 6.8A - (SPIS_DAC_ILIMP \cdot 13.28mA) \quad (9)$$

ここで、SPIS_DAC_ILIMPは0~462です。

$$I_{LIMN} = SPIS_DAC_ILIMN \cdot -13.28mA \quad (10)$$

ここで、SPIS_DAC_ILIMNは48~511です。

2個の9ビットDACは広範な出力電流制限値を設定します。 I_{LIMP} または I_{LIMN} によって出力電圧が制限されている場合、PWMドライバが最小オン時間または最小オフ時間の制限値に達した場合、PWMドライバは目的の出力電圧を維

動作

持するためにサイクルをパルススキップします。このパルススキッピングの目的は、過電流から負荷を保護することにあります。

リセット

リセットは、V_{DDIO} UVLO フォールトやサーマル・シャットダウン・フォールトなどのシステム・フォールト状態によってトリガできます。例えば、外部マイクロコントローラがシステムの再初期化を必要とする場合などは、SPI インターフェースを介して SPI_RST ビットをアサートすることでリセットを開始できます。リセットを行うと、SPIS_STATUS レジスタを除くすべてのレジスタが、それぞれのデフォルト値になります。

ステータス・モニタリング

LT8722 のステータスは、表 9 に概要を示す要領で SPIS_STATUS レジスタに格納されます。フォールト・ビットは、OVER_CURRENT、TSD、VCC_UVLO、VDDIO_UVLO、CP_UVLO、V2P5_UVLO の 6 つです。PWM ドライバまたはリニア・ドライバ、もしくはその両方をイネーブルするには、各レジスタに 0 を書き込むことによって、すべてのフォールト・ビットをクリアする必要があります。

表 9. SPIS_STATUS レジスタ

ビット名	説明
SWEN	1 は、PWM がスイッチング中であることを示します
SRVO_ILIM	1 は、出力電流制限がアクティブであることを示します
SRVO_PLIM	1 は、リニア・レギュレータの消費電力制限がアクティブであることを示します
MIN_OT	1 は、最小オン時間または最小オフ時間によって PWM スイッチングが制限されていることを示します
POR_OCC	1 は、最後のクリア後にリセットが行われたことを示すラッチ・インジケータです
OVER_CURRENT	1 は、最後のクリア後にリニア・ドライバの過電流フォールトが発生したことを示すラッチ・インジケータです
TSD	1 は、最後のクリア後に過熱フォールトが発生したことを示すラッチ・インジケータです
VCC_UVLO	1 は、最後のクリア後に V _{CC} レギュレータの UVLO フォールトが発生したことを示すラッチ・インジケータです
VDDIO_UVLO	1 は、最後のクリア後に V _{DDIO} 電圧の UVLO フォールトが発生したことを示すラッチ・インジケータです
CP_UVLO	1 は、最後のクリア後にチャージ・ポンプの UVLO フォールトが発生したことを示すラッチ・インジケータです
V2P5_UVLO	1 は、最後のクリア後に 2.5V リファレンスの UVLO フォールトが発生したことを示すラッチ・インジケータです

アナログ・モニタリング

A_{OUT} ピンを通じて、複数のアナログ信号をモニタすることができます。信号の選択は SPIS_AMUX レジスタで行います。その概要を表 10 に示します。A_{OUT_EN} = 0 の場合、A_{OUT} ピンはスリーステートです。AMUX_TEST ビットは、A_{OUT} 信号の完全性を確認するために使用できます。この確認は、選択された信号に対して予め決められた量だけ A_{OUT} ピン電圧を変化させることによって行います。表 10 から最も正確な A_{OUT} を計算することができるように、V_{1P25} と V_{1P65} の測定値は最も新しいものを使用してください。

表 10. アナログ・モニタリング

AMUX[3:0]	モニタする値
0000	9 ビット DAC 電圧、V _{ILIMP} (正の出力電流制限)
0001	9 ビット DAC 電圧、V _{ILIMN} (負の出力電流制限)
0010	25 ビット DAC 電圧、V _{DAC}
0011	V _{OUT} 電圧差、V _{OUT}
0100	I _{OUT} 電流情報
0101	内部電圧リファレンス、V _{2P5}
0110	内部電圧リファレンス、V _{1P25}
0111	内部電圧リファレンス、V _{1P65} 。このチャンネル選択時に出力電流が 0 の場合、A _{OUT} は V _{1P65} に等しくなります
1000	チップ温度モニタ、V _{TEMP}
1001	V _{IN} 電圧
1010	V _{CC} 電圧
1011	V _{DDIO} 電圧
1100~1101、1110~1111	V _{SFB} 電圧

A_{OUT} ピンの出力範囲は 0.2V ~ (V_{DDIO} - 0.2V) です。アナログ MUX の信号範囲は A_{OUT} ピンの電圧範囲を超える可能性がありますので、いくつかの電圧変換が行われます。出力電流は電圧 V_{IMON} に変換されます。出力電流が 0 の場合、この電圧は理論的には V_{1P65} に等しくなります。温度モニタリングを選択すると、A_{OUT} ピンはダイ温度に比例した電圧を出力します。その値は 25°C で 1.498V (代表値)、スロープは代表値で 4.977mV/°C です。様々なアナログ MUX 信号に対する A_{OUT} ピンの電圧を表 11 に示します。AMUX_TEST ビットを

動作

使用すれば、同じアナログMUX信号に対するAOUTピンの出力電圧を変更することができます(詳細は表12を参照)。

表 11. AOUT 電圧とAMUX[3:0]の関係
(AMUX_TEST = 0の場合)

AMUX[3:0]	VOLTAGE
0000	V_{ILIMP}
0001	V_{ILIMN}
0010	$V_{1P25} - 0.8 \cdot V_{DAC}$
0011	$V_{1P25} - (V_{LDR} - V_{SFB})/16$
0100	$V_{1P65} - I_{OUT}/10$
0101	$0.6 \cdot V_{2P5}$
0110	V_{1P25}
0111	V_{1P65}
1000	V_{TEMP}
1001	$0.9 \cdot V_{2P5} - V_{IN}/8$
1010	$0.4 \cdot V_{CC}$
1011	$0.4 \cdot V_{DDIO}$
1100–1111	$(16/17) \cdot V_{1P25} + V_{SFB}/17$

表 12. AOUT 電圧とAMUX[3:0]の関係
(AMUX_TEST = 1の場合)

AMUX[3:0]	VOLTAGE
0000–0100, 1001, 1100–1111	See Table 12
0101	$(6/13) \cdot V_{2P5}$
0110	$0.8 \cdot V_{1P25} + 0.2 \cdot V_{CC}$
0111	$(2/3) \cdot V_{1P65}$
1000	$0.855 \cdot V_{TEMP}$

AMUX[3:0]	VOLTAGE
1010	$(3/7) \cdot V_{CC}$
1011	$(4/7) \cdot V_{DDIO}$

SWEN ピンの駆動

SWENピンは入出力ピンです。SWENとSWEN_REQがハイになるとSWEN_INTがアサートされて、SWピンがスイッチングを開始します。LT8722は、フォールトを検出するとSWENをローにします。このピンは、スイッチングをディスエーブルしてSWを高インピーダンス・モードにするために外部回路によってローにすることもできます。SWENピンは、図9に示すようにオープンドレイン方式で駆動したり、図10に示すようにCMOS方式で駆動したりすることができます。図11に、20kのプルアップ抵抗を介して3.3Vに接続した場合のSWENピンを示します。この場合は、SPIS_STATUS[10:4]ビットがクリアされてFAULTがローになると、SWENがハイになります。

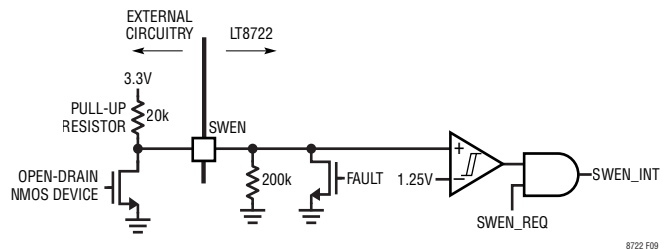


図 9. SWEN ピンのオープンドレイン駆動

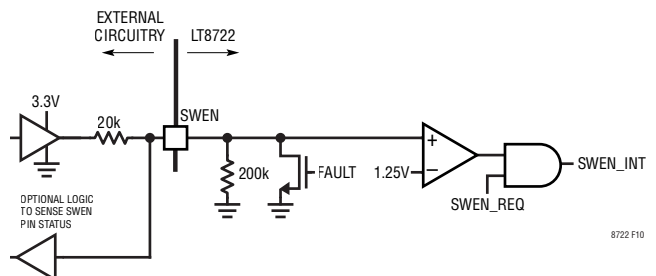


図 10. SWEN ピンの CMOS 駆動

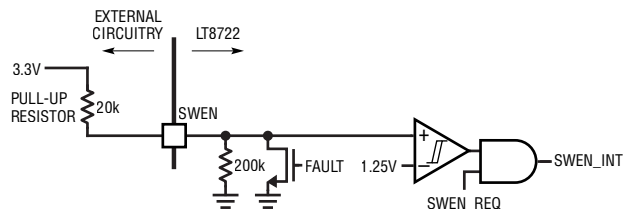


図 11. SWEN ピンの単純な抵抗プルアップ

SPIのアーキテクチャ

シリアル・ペリフェラル・インターフェース

LT8722は、SPIスレーブを使って外部のマイクロプロセッサと通信します。マスタは、SPIを通じてLT8722の機能とパラメータを設定できます。マスタはLT8722のステータスをリードバックすることもできます。

LT8722のSPIは4信号線を使用する全二重プロトコルです。MOSIとMISOのデータを同期する場合はSCKという名前のクロックがマスタから送られ、LT8722 SPI通信をイネーブる場合は $\overline{\text{CS}}$ という名前のチップセレクト・イネーブル・バー信号(アクティブ・ロー)がマスタから送られます。MOSIという名前の単方向データ・ラインはマスタからLT8722への送信を行い、MISOという名前の単方向データ・ラインはLT8722からマスタへの方で駆動されます。ビットの送信または駆動は常にMSBファーストで行われます。LT8722ではSPIモード0がサポートされています。モード0では、クロックが非アクティブのときにSCKがローになります。ビットは常にSCKの立上がりエッジでサンプリングされ、SCKの立下がりエッジで駆動されます。

SPI: パケット・フォーマット

パケットは、CRC/ACKを伴うコマンド、アドレス、データなどをエンコードする個々のビットで構成される基本的なデータ要素です。パケットのタイプが異なる場合はビット数も異なります。LT8722 SPIのパケットには、ステータス・アキュイジション (Status Acquisition)、データ書込み (Data Write)、データ読出し (Data Read) という3つのタイプがあります。

ステータス・アキュイジション、データ書込み、あるいはデータ読出しの別を問わず、各パケットはインターフェースを介して1つの完全なトランザクションを実行します。パケットは、常に $\overline{\text{CS}}$ をプルダウンすることによって開始され、 $\overline{\text{CS}}$ をプルアップすることによって終了します。

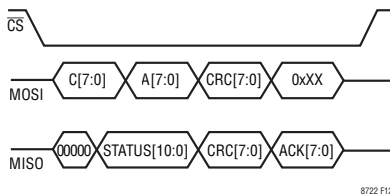


図 12. ステータス・アキュイジション・パケット

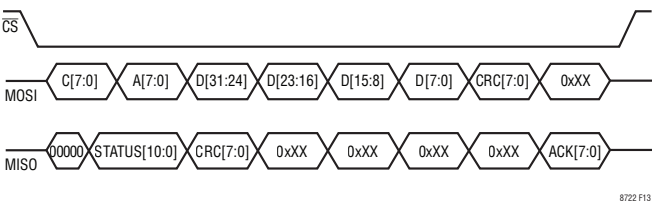


図 13. データ書込みパケット

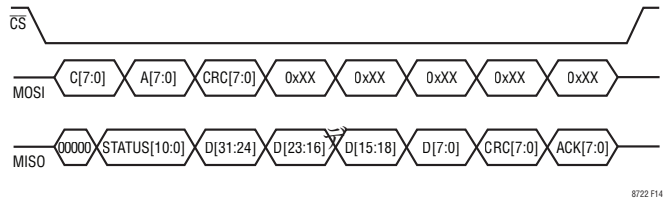


図 14. データ読出しパケット

SPI: コマンド

C[7:0]は、表13に示すように、マスタが実行しなくてはならない動作を示す8ビットのフィールドです。

表 13. コマンド・バイトの内容

NAME	C[7:0]	DESCRIPTION
SQ	0x00	Status Acquisition Command
DW	0x02	Data Write Command
DR	0x04	Data Read Command

SPI: アドレス

A[7:0]は、マスタがアクセスする必要のあるレジスタ・アドレスを示す8ビットのフィールドです。表14はレジスタ・アドレスの概要で、アドレス・フィールドの保持時間は8-SCKサイクルです。A[0]は常にゼロです。

表 14. アドレスの内容、A[0]は常にゼロ

ADDRESS, A[7:1]	REGISTER NAME
0x00	SPIS_COMMAND
0x01	SPIS_STATUS
0x02	SPIS_DAC_ILIMN
0x03	SPIS_DAC_ILIMP
0x04	SPIS_DAC
0x05	SPIS_OV_CLAMP
0x06	SPIS_UV_CLAMP
0x07	SPIS_AMUX

SPI: データ

D[31:0]は、転送するデータを格納する4バイト・フィールドです。データ・フィールド保持時間は32-SCKサイクルです。

SPIのアーキテクチャ

SPI:CRC

LT8722は、巡回冗長検査(CRC)を使ってSPI MOSIおよびMISOの各パケットの通信エラーを検出します。SPIフレーム内のCRCは、コマンド、アドレス、データに関する計算CRC値を格納する8ビットフィールドです。CRCもMSBファーストで送られます。

CRCの計算に使用するデフォルト多項式はCRC-8-CCITTです($X^8 + X^2 + X + 1$)。CRC計算に使用するデフォルトの初期シード値は0xFFです。

SPI:ステータス

LT8722のSPIパケットには、常にSPIS_STATUSレジスタのビットと同じステータス・フラグ(11ビット)が含まれています。

SPI:アクノレッジ

ACK[7:0]は8-SCKサイクルの8ビット・フィールドです。表15にアクノレッジの内容を示します。

表 15. アクノレッジの内容

ACK[7:0]	DESCRIPTION
0xA5	Acknowledge
0xC3	Non-Acknowledge
0x0F	Reject Due to Unsupported Register Address
0x00	Stuck at 0
0xFF	Stuck at 1
Others	Corruption

SPIレジスタ・マップ

概要

REGISTER	DESCRIPTION	READ/WRITE	SIZE	ADDRESS	DEFAULT VALUE
MAIN					
SPIS_COMMAND	Device Control	R/W	22	0x0	0x08A214
SPIS_STATUS	Device Operation Summary	R/W	11	0x1	
DAC CONTROL					
SPIS_DAC_ILIMN	DAC Positive Current Limit Control Register	R/W	9	0x2	0x1FF
SPIS_DAC_ILIMP	DAC Negative Current Limit Control Register	R/W	9	0x3	0x000
SPIS_DAC	DAC Output Voltage Control Register	R/W	32	0x4	0xFF000000
OV/UV CLAMP					
SPIS_OV_CLAMP	DAC Output Positive Voltage Limit Control Register	R/W	4	0x5	0xF
SPIS_UV_CLAMP	DAC Output Negative Voltage Limit Control Register	R/W	4	0x6	0x0
AMUX					
SPIS_AMUX	Analog MUX Control Register	R/W	7	0x7	0x00

SPIレジスタの詳細説明

SPIS_COMMANDレジスタ

このレジスタは、デバイスのイネーブルとディスエーブル、スイッチング周波数の設定、PWM出力デューティ・サイクルの

制御、VCC電圧の設定、初期ピーク・インダクタ電流の設定、ソフトウェア・リセットの実行、およびリニア・ドライバの電力損失レギュレーション閾値の設定に使用します。

ビット	記号	動作
B[0]	ENABLE_REQ	V _{CC} LDO イネーブル・ビットおよびリニア・パワー段イネーブル要求ビット。デフォルト: 0x0 ENABLE_REQ = 1、または EN ピンがハイのときに V _{CC} LDO がイネーブルされます。 ENABLE_REQ = 1 のときに SPIS_STATUS フォールト・ビットがクリアされると、リニア・パワー段がイネーブルされます。
B[1]	SWEN_REQ	PWM スイッチ・イネーブル要求ビット。デフォルト: 0x0 1b1: PWM スイッチングのイネーブルを要求します。SWEN_REQ = 1 で SWEN ピンがハイのときに V _{CC} LDO をイネーブルすると、PWM スイッチングがイネーブルされます。 1b0: PWM スイッチングをディスエーブル。
B[4:2]	SW_FRQ_SET [2:0]	PWM スイッチ周波数制御ビット。デフォルト: 0x5 3b000: 0.5MHz 3b001: 1MHz 3b010: 1.5MHz 3b011: 2MHz 3b100: 2.5MHz 3b101、3b110、3b111: 3MHz
B[6:5]	SW_FRQ_ADJ [1:0]	PWM スイッチ周波数調整ビット。デフォルト: 0x0 2b00: 0% 2b01: +15% 2b10: -15% 2b11: 0%
B[8:7]	SYS_DC[1:0]	PWM デューティ・サイクル制御ビット。デフォルト: 0x0 2b00: 20%~80% デューティ・サイクル 2b01: 15%~85% デューティ・サイクル 2b10、2b11: 10%~90% デューティ・サイクル

SPIレジスタの詳細説明

ビット	記号	動作
B[9]	VCC_VREG	V _{CC} LDOレギュレーション制御ビット。デフォルト:0x1 1b1:V _{CC} LDOレギュレーション電圧 = 3.4V 1b0:V _{CC} LDOレギュレーション電圧 = 3.1V
B[10]	不使用	常に0x0に設定する必要があります
B[13:11]	SW_VC_INT[2:0]	BST-SWリフレッシュ周期後のピーク・インダクタ電流(代表値)制御ビット。デフォルト:0x2 3b000:0.252A 3b001:0.594A 3b010:0.936A 3b011:1.278A 3b100:1.620A 3b101:1.962A 3b110:2.304A 3b111:2.646A
B[14]	SPI_RST	ソフトウェア・リセット要求ビット。デフォルト:0x0(アクティブ・ハイ) このレジスタ・ビット(このレジスタ・ビットに「1」を書き込む)は、すべてのレジスタ(SPI_STATUSレジスタを除く)を手動でデフォルト値にリセットするために使用します。
B[18:15]	PWR_LIM[3:0]	リニア・パワー段 MOSFET の電力制限制御ビット。デフォルト:0x5 4b0000:2W 4b0101:無制限 4b1010:3W 4b1111:3.5W 他のビットを組み合わせることはできません。
B[31:19]	-	無視

SPIS_STATUSレジスタ

このレジスタは、PWM出力スイッチング・ステータス、出力電流制限ループ・ステータス、リニア電力損失レギュレーション・ステータス、PWM出力デューティ・ステータス、ソフトウェア・リセット・イベント・ステータス、出力過電流障害ステータス、過熱障害ステータス、V_{CC} UVLO 障害ステータス、V_{DDIO} UVLO 障害ステータス、内部チャージ・ポンプUVLO 障害ステータス、および内部2.5V電圧リファレンスUVLO 障害ステータスを格納するために使用します。

タス、過熱障害ステータス、V_{CC} UVLO 障害ステータス、V_{DDIO} UVLO 障害ステータス、内部チャージ・ポンプUVLO 障害ステータス、および内部2.5V電圧リファレンスUVLO 障害ステータスを格納するために使用します。

ビット	記号	動作
B[0]	SWEN	リアルタイムPWMスイッチングのステータス・インジケータ・ビット。デフォルト:0x0 1b1:PWMスイッチングをイネーブル 1b0:PWMスイッチングをディスエーブル
B[1]	SRVO_ILIM	リアルタイム電流制限ループのステータス・インジケータ・ビット。デフォルト:0x0 1b1:電流制限ループで動作している 1b0:電流制限ループで動作していない
B[2]	SRVO_PLIM	リアルタイム・リニア・パワー段下側および上側 MOSFET 電力制限のステータス・インジケータ・ビット。デフォルト:0x0 1b1:電力制限ループで動作している 1b0:電力制限ループで動作していない
B[3]	MIN_OT	リアルタイムPWMデューティ・サイクルのステータス・インジケータ・ビット。デフォルト:0x0 1b1:最小または最大デューティ・サイクルで動作している、 1b0:最小または最大デューティ・サイクルで動作していない。
B[4]	POR_OCC	ラッチ・ソフト・リセット・イベントのステータス・インジケータ・ビットデフォルト:0x0 1b1:最後のクリア後に発生したSPI_RSTビットによるソフト・リセット・イベントまたはフォールトによるハード・リセット 1b0:最後のクリア後にSPI_RSTビットによるソフト・リセット・イベントは発生していない

SPIレジスタの詳細説明

ビット	記号	動作
B[5]	OVER_CURRENT	ラッチ出力過電流イベントのステータス・インジケータ・ビットデフォルト:0x0 1b1:最後のクリア後に出力過電流イベントが発生した 1b0:最後のクリア後に出力過電流イベントは発生していない
B[6]	TSD	ラッチ過熱イベントのステータス・インジケータ・ビットデフォルト:0x0 1b1:最後のクリア後に過熱イベントが発生した 1b0:最後のクリア後に過熱イベントは発生していない
B[7]	VCC_UVLO	ラッチV _{CC} LDO低電圧障害イベントのステータス・インジケータ・ビット。デフォルト:0x0 1b1:最後のクリア後にV _{CC} LDO低電圧障害イベントが発生した 1b0:最後のクリア後にV _{CC} LDO低電圧障害イベントは発生していない
B[8]	VDDIO_UVLO	ラッチV _{DDIO} 低電圧障害イベントのステータス・インジケータ・ビット。デフォルト:0x0 1b1:最後のクリア後にV _{DDIO} 低電圧障害イベントが発生した 1b0:最後のクリア後にV _{DDIO} 低電圧障害イベントは発生していない
B[9]	CP_UVLO	ラッチ・チャージ・ポンプ・パワーグッド障害イベントのステータス・インジケータ・ビット。デフォルト:0x0 1b1:最後のクリア後にチャージ・ポンプ・パワーグッド・ステータス障害イベントが発生した 1b0:最後のクリア後にチャージ・ポンプ・パワーグッド・ステータス障害イベントは発生していない
B[10]	V2P5_UVLO	ラッチV _{2P5} パワーグッド・ステータス障害イベントのステータス・インジケータ・ビット。デフォルト:0x0 1b1:最後のクリア後にV _{2P5} パワーグッド・ステータス障害イベントが発生した。 1b0:最後のクリア後にV _{2P5} パワーグッド・ステータス障害イベントは発生していない
B[31:11]	–	無視

SPIS_DAC_ILIMNレジスタ

このレジスタは、負の出力電流制限レギュレーション・レベルを設定するために使用します。LT8722の電流は–4Aまで仕様規定されています。

ビット	記号	動作
B[8:0]	SPIS_DAC_ILIMN [8:0]	負の出力電流制限用9ビットDAC制御レジスタ。デフォルト:0x03FF フォーマット:符号なし整数 9b000110000 = -637.44mA [最小コード] 9b000110001 = -637.44mA ~ 13.28mA 9b..... 9b111111111 = -6.786A [最大コード]
B[31:9]	–	無視

SPIS_DAC_ILIMPレジスタ

このレジスタは、正の出力電流制限レギュレーション・レベルを設定するために使用します。LT8722の電流は4Aまで仕様規定されています。

ビット	記号	動作
B[8:0]	SPIS_DAC_ILIMP [8:0]	正の出力電流制限用9ビットDAC制御レジスタ。デフォルト:0x0000 フォーマット:符号なし整数 9b000000000 = 6.8 A [最小コード] 9b000000001 = 6.8 A ~ 13.28mA 9b..... 9b111001110 = 637.44 mA [最大コード]
B[31:9]	–	無視

SPIレジスタの詳細説明

SPIS_DAC レジスタ

このレジスタは出力電圧を設定するために使用します。

ビット	記号	動作
B[31:0]	SPIS_DAC [31:0]	TEC 電圧差用 25 ビット DAC 制御レジスタ。デフォルト: 0xFF000000 フォーマット: 2 の補数。SPIS_DAC [31:25] は SPIS_DAC [24] によって決まる符号拡張ビットで、SPIS_DAC [24] は符号ビットです。 注: $2^{-25} = 29.8023 \times 10^{-9}$ $0xFF000000 = 1.25V + 16777216 \cdot 2.5 \cdot 2^{-25}V = 2.5V$ $0xFF000001 = 1.25V + 16777215 \cdot 2.5 \cdot 2^{-25}V = 2.49999997V$ $0x.....$ $0xFF999998 = 1.25V + 6710888 \cdot 2.5 \cdot 2^{-25}V = 2.00000003V$ $0xFF999999 = 1.25V + 6710887 \cdot 2.5 \cdot 2^{-25}V = 2.0V$ $0xFF99999A = 1.25V + 6710886 \cdot 2.5 \cdot 2^{-25}V = 1.99999997$ $.....$ $0xFFFFFFFF = 1.25V + 1 \cdot 2.5 \cdot 2^{-25}V = 1.25000003V$ $0x00000000 = 1.25V + 0 \cdot 2.5 \cdot 2^{-25}V = 1.25V$ $0x00000001 = 1.25V - 1 \cdot 2.5 \cdot 2^{-25}V = 1.24999997V$ $.....$ $0x00666666 = 1.25V - 6710886 \cdot 2.5 \cdot 2^{-25}V = 0.75000003V$ $0x00666667 = 1.25V - 6710887 \cdot 2.5 \cdot 2^{-25}V = 0.75V$ $0x00666668 = 1.25V - 6710888 \cdot 2.5 \cdot 2^{-25}V = 0.74999997V$ $.....$ $0x00FFFFFFE = 1.25V - 16777214 \cdot 2.5 \cdot 2^{-25}V = 0.00000006V$ $0x00FFFFFFF = 1.25V - 16777215 \cdot 2.5 \cdot 2^{-25}V = 0.00000003V$

SPIS_OV_CLAMP レジスタ

このレジスタは正の最大出力電圧 ($V_{LDR} - V_{SFB}$) を設定するために使用します。

ビット	記号	動作
B[3:0]	SPIS_OV_CLAMP [3:0]	正の出力電圧制限レジスタ。デフォルト: 0xF $4b0000$ = 最大 SPIS_DAC コード値は $0x000FFFFF$ $4b0001$ = 最大 SPIS_DAC コード値は $0x001FFFFF$ $4b.....$ $4b1110$ = 最大 SPIS_DAC コード値は $0x00EFFFFF$ $4b1111$ = 最大 SPIS_DAC コード値は $0x00FFFFFF$
[31:5]	–	予備

SPIS_UV_CLAMP レジスタ

このレジスタは負の最大出力電圧 ($V_{LDR} - V_{SFB}$) を設定するために使用します。

ビット	記号	動作
B[3:0]	SPIS_OV_CLAMP [3:0]	負の出力電圧制限レジスタ。0x0 $4b0000$ = 最小 SPIS_DAC コード値は $0xFF000000$ $4b0001$ = 最小 SPIS_DAC コード値は $0xFF100000$ $4b.....$ $4b1110$ = 最小 SPIS_DAC コード値は $0xFFE00000$ $4b1111$ = 最小 SPIS_DAC コード値は $0xFFFF0000$
B[31:4]	–	無視

SPIレジスタの詳細説明

SPIS_AMUXレジスタ

このレジスタは、内部信号モニタリング用アナログ・モニタのイネーブルとディスエーブルに使用します。

ビット	記号	値	信号	説明	
B[3:0]	AMUX[3:0]	4b0000	V _{ILIMP}	正の出力電流制限を制御する9ビット内部DAC電圧	
		4b0001	V _{ILIMN}	負の出力電流制限を制御する9ビット内部DAC電圧	
		4b0010	V _{1P25} − 0.8・V _{DAC}	V _{OUT} を制御する内部25ビットDAC電圧の変換	
		4b0011	V _{1P25} − V _{OUT} /16	V _{OUT} 電圧の変換。V _{1P25} はチャンネル4b0110で測定可能です	
		4b0100	V _{1P65} − I _{OUT} /10	I _{OUT} 電流の変換。V _{1P65} はチャンネル4b0111で測定可能です	
		4b0101	0.6・V _{2P5}	AMUX_TEST = 2b00または2b10のときのV _{2P5} 電圧変換	
			(6/13)・V _{2P5}	AMUX_TEST = 2b01または2b11のときのV _{2P5} 電圧変換	
		4b0110	V _{1P25}	AMUX_TEST = 2b00または2b10のときのV _{1P25} 電圧変換	
			0.8・V _{1P25} + 0.2・V _{CC}	AMUX_TEST = 2b01または2b11のときのV _{1P25} 電圧変換	
		4b0111	V _{1P65}	AMUX_TEST = 2b00または2b10のときのV _{1P65} 電圧変換	
			(2/3)・V _{1P65}	AMUX_TEST = 2b01または2b11のときのV _{1P65} 電圧変換	
		4b1000	V _{TEMP}	AMUX_TEST = 2b00または2b10のときのV _{TEMP} 電圧変換	
			0.855・V _{TEMP}	AMUX_TEST = 2b01または2b11のときのV _{TEMP} 電圧変換	
		4b1001	0.9・V _{2P5} − V _{IN} /8	V _{IN} 入力電圧の変換。V _{2P5} はチャンネル4b0110を使うことにより測定可能です	
		4b1010	0.4・V _{CC}	AMUX_TEST = 2b00または2b10のときのV _{CC} LDO電圧変換	
			(3/7)・V _{CC}	AMUX_TEST = 2b01または2b11のときのV _{CC} LDO電圧変換	
		4b1011	0.4・V _{DDIO}	AMUX_TEST = 2b00または2b10のときのV _{DDIO} 入力電圧変換	
			(4/7)・V _{DDIO}	AMUX_TEST = 2b01または2b11のときのV _{DDIO} 入力電圧変換	
			4b1100	(16/17)・V _{1P25} + V _{SFB} /17	V _{SFB} 電圧の変換。V _{1P25} はチャンネル4b0110を使うことにより測定可能です
			4b1101		
			4b1110		
			4b1111		
B[5:4]	AMUX_TEST[1:0]	2b00	AMUX[3:0]チャンネル4b0101、0110、0111、1000、1010、1011のゲインに影響		
		2b10			
		2b01	AMUX[3:0]チャンネル4b0101、0110、0111、1000、1010、1011のゲインに影響		
		2b11			
B[6]	AOUT_EN	1b0	アナログ出力バッファをディスエーブル		
		1b1	アナログ出力バッファをイネーブル		
B[31:7]	−	−	無視		

アプリケーション情報

インダクタの選択

インダクタの選択は、インダクタの電流リップルとループの動的応答を決定します。インダクタンスを大きくすると電流リップルが小さくなりますが過渡応答は遅くなり、小さくするとその逆になります。性能を最適化するには、過渡応答速度、効率、および部品サイズの間でトレードオフを行う必要があります。通常は、インダクタの電流リップルを最大負荷電流の30%~40%の範囲に設定します(式11)。

$$L = \frac{V_{SFB} \cdot (V_{IN} - V_{SFB})}{(V_{IN} \cdot f_{SW} \cdot \Delta I_L)} \quad (11)$$

ここで、 ΔI_L は目的のインダクタ電流リップル(アンペア)です。

インダクタの金属導体に固有の等価DC抵抗(DCR)も、インダクタを選択する際の重要な要素です。DCRは、 $P_{Loss} = DCR \cdot I_{SFB}^2$ の係数に従い、インダクタにおける電力損失の多くの部分を占めます。DCRの大きいインダクタを使用すると、全体的な効率が著しく低下します。更に、電流がインダクタを通過する際にはDCRによる導通電圧降下も生じます。PWMアンプが冷却モードで電流をシンクする場合は、このDCR電圧降下のために、アンプの最小電圧は少し(数十ミリボルト以上)高めになります。同様に、最大PWMアンプの出力電圧は少し(数十ミリボルト以上)低くなります。この電圧降下はDCRの値に比例し、TECを介した出力電圧範囲を狭くします。

インダクタを選ぶときは、飽和を避けるために、飽和電流定格が最大電流ピークより大きいものを選ぶようにします。一般的に、低電流アプリケーションには小型でDCRの小さいセラミック多層インダクタが適しています。ノイズ・レベルが重視される場合は、電磁干渉(EMI)を減らすために、シールドされたフェライト・インダクタを使用します。

SFB用コンデンサの選択

SFBのコンデンサは、PWMドライバ出力の出力電圧リップル、過渡応答、およびループ動的応答を決定します。式12を使ってコンデンサを選択してください。

$$C_{SFB} = \frac{\Delta I_L}{(8 \cdot f_{SW} \cdot \Delta V_{SFB})} \quad (12)$$

ここで、 ΔV_{SFB} が、SFBピンの目標最大電圧リップルです。

インダクタ電流リップルとコンデンサの等価直列抵抗(ESR)の積によって生じる電圧も、合計出力電圧リップルに加算されます。低ESRのコンデンサを選択すれば、全体的なレギュレーション性能と効率を向上させることができます。

SFBコンデンサは、できるだけLT8722に近付けて配置してください。

LDR用コンデンサの選択

LT8722の出力における系統的ノイズを更に減らすために、LDRピンに追加的なセラミック・コンデンサを接続することができます。それぞれの追加コンデンサはアプリケーションに応じて10nF~47nFの範囲とし、更にESRとESLがごく小さいものを選ぶ必要があります。コンデンサの位置は、1) LDRとGNDの間のLT8722に近い位置、2) LDRとSFBの間の負荷に近い位置、3) LDRとGNDの間の負荷に近い位置のいずれかにします。代替案として、LDRとSFBの間のプライマリSFBコンデンサに近付けて150nFのコンデンサを接続するという方法もあります。この方法は低コストですが、性能は低下します。

高温に関する考慮事項

LT8722は2つの過熱モニタを備えています。ジャンクション温度が約170°Cを超えると(主としてV_{CC}レギュレータの負荷電流が大きくなったことによる)、LT8722はサーマル・シャットダウン・モードに入り、V_{CC}レギュレータ、リニア・ドライバ、PWMドライバがすべてディスエーブルされます。もしくは、過熱イベントによってSPIレジスタの値がデフォルト値にリセットされて、両方のドライバがディスエーブルされます。どちらの過熱イベントも、サーマル・シャットダウン(TSD)レジスタ・ビットにラッチされます。TSD閾値には15°Cのヒステリシスがあるので、LT8722はオンチップ温度が155°C未満になるまでサーマル・シャットダウンから回復しません。回復時には、LT8722は新たなスタートアップ・シーケンスに入ります。

アプリケーション情報

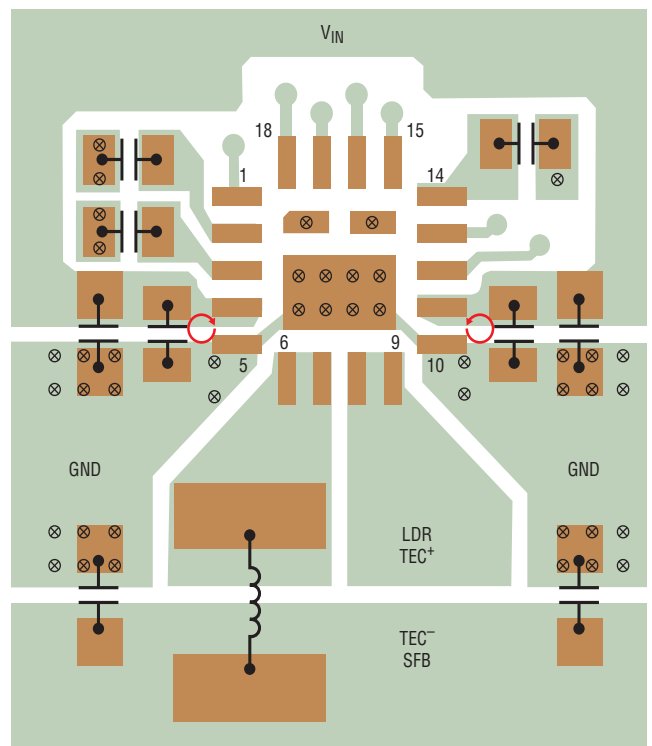
高負荷時でもLT8722を最大ジャンクション温度未満で動作させるには、 θ_{JA} の値をより低く抑えるように十分配慮する必要があります。放熱性能を改善するための代表的な手法としては、プリント回路基板(OCB)上でより大きい銅層とより多くのビアを使うことと、必要に応じてヒート・シンクを追加することが挙げられます。

LT8722 LQFNパッケージの下面には大きい露出パッド(EPAD)があり、これを基板上のアナログ・グランド・プレーンにハンダ付けする必要があります。デバイスの熱のほとんどはEPADを通じて放出されます。したがって、熱を効果的に伝えるために、EPADに接続した銅層とそのビアを最適化する必要があります。大きいビア・アレイを使用し、それをEPAD上に均等に配分することを推奨します。一般的には、限られた面積の中では、ビアの径を大きくするよりも数を増やす方が効果的です。

低EMIのPCBレイアウトと入力コンデンサの選択

LT8722はEMIの放出を最小限に抑えて、高周波数でのスイッチング時に最大限の効率を得られるよう特別に設計されています。LT8722の性能を最大限に引き出すには、複数の V_{IN} バイパス・コンデンサを使用する必要があります。0.1 μ Fの小型セラミック・コンデンサ2個を、できるだけLT8722に近付けて取り付けください。このうちの1個は V_{IN} (ピン4)／GND(ピン5)に接続し、もう1個は V_{IN} (ピン11)／GND(ピン10)に接続します。更に、4.7 μ Fのセラミック・コンデンサ2個をバイパス・コンデンサとして取り付けます。このうちの1個はピン4とピン5の近くに配置し、もう1個はピン11とピン10の近くに配置します。推奨PCBレイアウトについては図15を参照してください。PCBレイアウトに関する詳細とPCB設計ファイルについては、LT8722のデモ・ボード・ガイドを参照してください。LT8722の V_{IN} ピンとGNDピン、および入力バイパス・コンデンサには大きいスイッチ電流が流れるので注意が必要です。また、入力コンデンサによって形成されるループは、LT8722のいずれかの側の V_{IN} ピンとGNDピンに隣接させてコンデンサを置くことにより、できるだけ小さくする必要があります。

降圧レギュレータには、立上がり時間と立下がり時間の非常に短いパルス電流が入力電源から流れ込みます。その結果として生じるLT8722での電圧リップルを減らし、周波数が非常に高いこのスイッチング電流を狭い局所的なループに閉じ込めてEMIを最小限に抑えるには、入力コンデンサが必要です。0402や0603といった小型ケース・サイズのコンデンサは寄生インダクタンスが小さいので、この用途に最適です。X7RまたはX5Rタイプのセラミック・コンデンサを使用するのが最良の選択です。Y5Vタイプは温度や印加電圧が変化すると性能が低下するので、使用しないでください。入力コンデンサは回路基板の同じ側に配置し、その接続も同じ層上で行います。SWノードとBOOSTノードは、できるだけ小さくする必要があります。熱抵抗を小さく保つには、GNDからのグランド・プレーンをできるだけ広くして、回路基板内と底面側の広がった電源グランド・プレーンにサーマル・ビアを追加します。

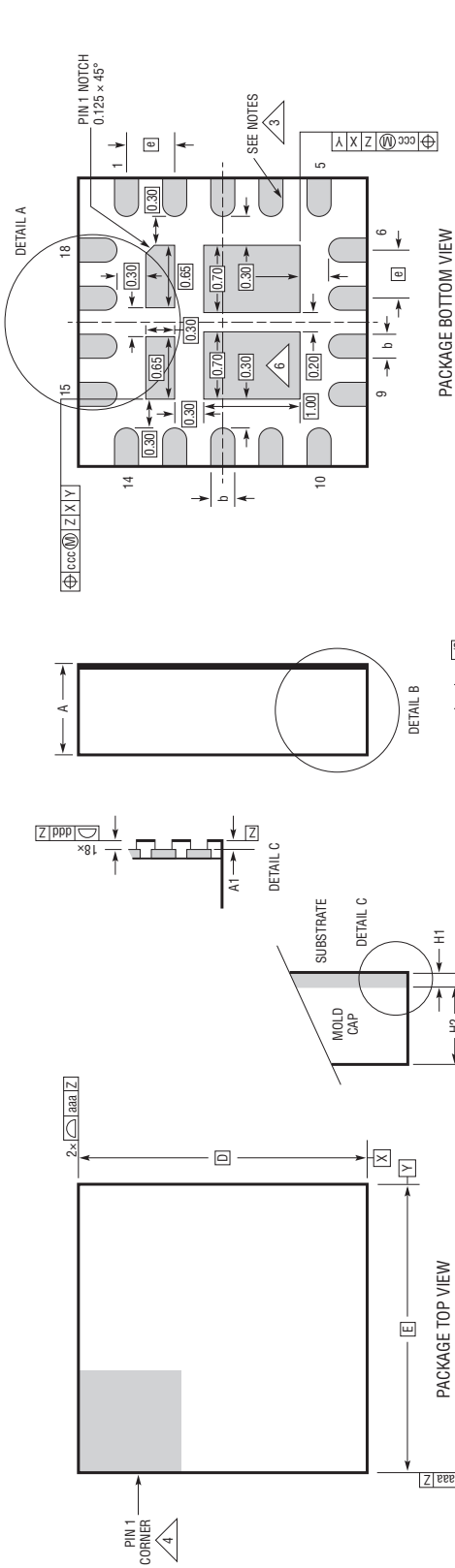


AREA OF THE HOT LOOPS (SHOWN IN RED) SHOULD BE MINIMIZED BY PLACING THE CAPACITORS AS CLOSE TO V_{IN} /GND PINS AS POSSIBLE.

図15. 推奨PCBレイアウト

パッケージの説明

LQFN Package
18-Lead (3mm × 3mm × 0.95mm)
(Reference LTC DWG # 05-08-1688 Rev A)

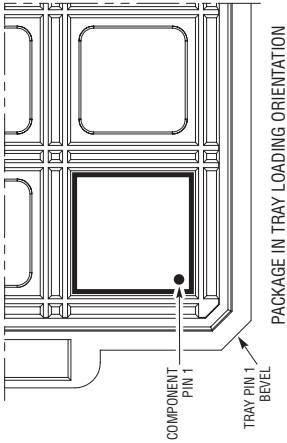


- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. METAL FEATURES UNDER THE SOLDER MASK OPENING NOT SHOWN SO AS NOT TO OBSCURE THESE TERMINALS AND HEAT FEATURES
 4. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM -Z- IS SEATING PLANE
 6. THE EXPOSED HEAT FEATURE MAY HAVE OPTIONAL CORNER RADII

DIMENSIONS					NOTES
SYMBOL	MIN	NOM	MAX		
A	0.85	0.95	1.05		
A1	0.01	0.02	0.03		
L	0.30	0.40	0.50		
b	0.22	0.25	0.28		
D		3.00			
E		3.00			
e		0.50			
H1		0.25 REF			SUBSTRATE THK
H2		0.70 REF			MOLD CAP HT
aaa			0.10		
bbb			0.10		
ccc			0.08		
ddd			0.10		
eee			0.15		
fff			0.08		

PACKAGE OUTLINE

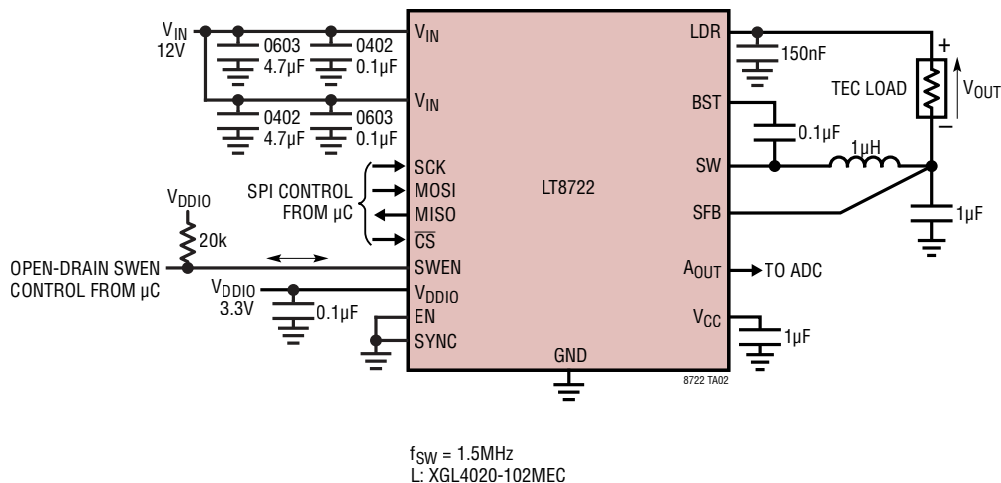
SUGGESTED PCB LAYOUT TOP VIEW



LQFN 18 0319 REV A

標準的応用例

12V入力電圧、±4A、-11V～12V出力、1.5MHzのTECドライバ



関連製品

製品番号	概要	注釈
ADN8830	熱電クーラー・コントローラ	3.0V～5.5V 入力、高電流用外部 MOSFET
ADN8831	熱電クーラー・コントローラ	3.0V～5.5V 入力、高電流用外部 MOSFET
ADN8833	デジタル制御システム用超小型 1A 熱電クーラー (TEC) ドライバ	2.7V～5.5V 入力、MOSFET 内蔵、2.5mm × 2.5mm WLCSP または 24 ピン 4mm × 4mm LFCSP
ADN8834	超小型 1.5A 熱電クーラー (TEC) コントローラ	2.7V～5.5V 入力、MOSFET 内蔵、2.5mm × 2.5mm WLCSP または 24 ピン 4mm × 4mm LFCSP
ADN8835	超小型 3A 熱電クーラー (TEC) コントローラ	2.7V～5.5V 入力、MOSFET 内蔵、36 ピン 6mm × 6mm LFCSP
LTM4663	超薄型 1.5A μ Module 熱電クーラー (TEC) レギュレータ	2.7V～5.5V 入力、3.5mm × 4mm × 1.3mm LGA パッケージ、外付け部品がほとんど不要
LTC1923	高効率の熱電クーラー・コントローラ	2.7V～5.5V 入力、高電流用外部 MOSFET、5mm × 5mm QFN または 28 ピン SSOP