

Intel Psysアプリケーション向け150A電流モニタ

特長

- ▶ 電流検出素子を内蔵
- ▶ 150Aの電流範囲
- ▶ 入出力電流比：26,600:1（133A時で5mA）
- ▶ TUE（総合未調整誤差）：最大±1.3%（ $I_{SENSE} = 45A \sim 150A$ ）
- ▶ 小信号帯域幅：3.2MHz（ $I_{SENSE} = 150A$ ）
- ▶ 電流経路抵抗：150 $\mu\Omega$
- ▶ 電源電圧範囲：2.7V~65V
- ▶ Intel Psys適合
- ▶ 108端子、10mm x 20mm x 2.75mmのLGAパッケージを採用

アプリケーション

- ▶ コンピュータおよびネットワーク・サーバー
- ▶ Intel CPU（中央処理装置）のマザーボード
- ▶ ネットワーク・ストレージ
- ▶ 通信機器
- ▶ 電気自動車
- ▶ 太陽光発電（PV）

代表的なアプリケーション回路

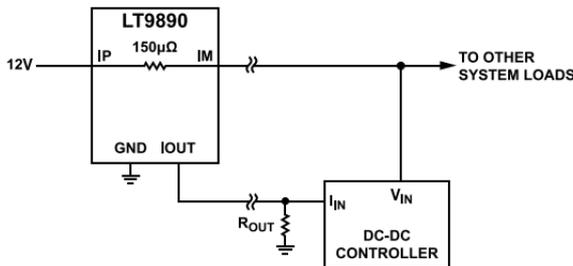


図 1. 代表的なアプリケーション回路

機能ブロック図

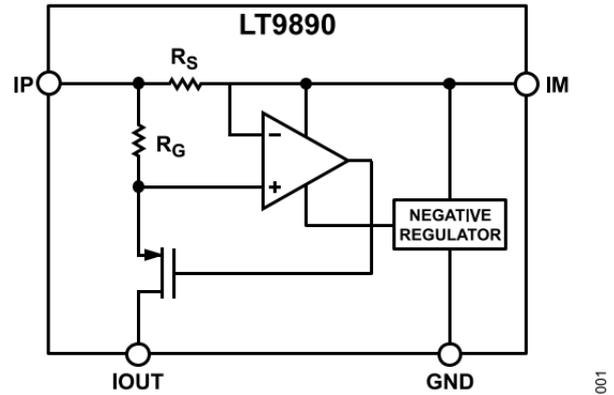


図 2. 機能ブロック図（ R_S は検出抵抗、 R_G はゲイン抵抗）

概要

LT9890は高精度の電流モニタで、最大150Aの負荷電流をサポートする電流検出素子を内蔵しています。電流検出素子の工場出荷時キャリブレーションと温度係数ゼロのアーキテクチャによって、総合未調整誤差（TUE）は1.3%未満に抑えられています。また、26,600:1の入出力電流比と3MHzを超える応答帯域幅により、グラウンド電圧の変動に影響されることなく、高速で正確なグラウンド基準出力信号が得られます。さらに、電流経路抵抗が150 $\mu\Omega$ と低く、幅広のプリント回路基板（PCB）パターンに適したアスペクト比を採用しているため、電力損失が最小限に抑えられています。入力電圧範囲は2.7V~65Vです。LT9890は、Intel Psys（プラットフォーム電源）アプリケーションに適合しています。

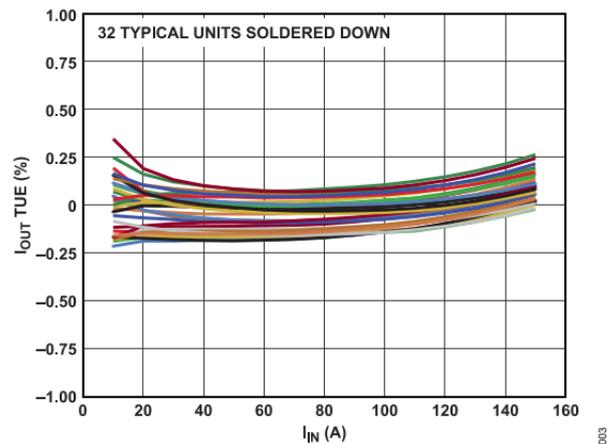


図 3. 出力電流（ I_{OUT} ）のTUEと I_{IN} の関係

目次

特長.....	1	動作原理.....	8
アプリケーション.....	1	アプリケーション情報.....	9
代表的なアプリケーション回路.....	1	ROUTの選択.....	9
機能ブロック図.....	1	出力フィルタリング.....	9
概要.....	1	PCBレイアウト.....	9
仕様.....	3	工場出荷時のキャリブレーション.....	9
電気的特性.....	3	関連製品.....	10
絶対最大定格.....	4	外形寸法.....	11
熱抵抗.....	4	オーダー・ガイド.....	11
ESDに関する注意.....	4		
ピン配置およびピン機能の説明.....	5		
代表的な性能特性.....	6		

改訂履歴

7/2023—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、動作電圧範囲 (V_{IP}) = 12V、IPからIMへの電流 (I_{SENSE}) = 100A、出力抵抗 (R_{OUT}) = 200 Ω 。デバイス・ピンに流れ込む電流はすべて正、デバイス・ピンから流れ出る電流はすべて負です。

表 1. 電気的特性

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLY CHARACTERISTICS					
V_{IP}	IPピンのグラウンド基準電圧	2.7		65	V
Supply Current (I_{IP})	$T_J = 25^\circ\text{C}$ 、IMはフロート状態			2.5	mA
V_{IP} Undervoltage Lockout (V_{UVLO})	V_{IP} ランプ・アップ			2.6	V
V_{UVLO} Hysteresis	$T_J = 25^\circ\text{C}$		190		mV
Start-Up Time ($t_{START-UP}$)	$T_J = 25^\circ\text{C}$ 、低電圧ロックアウト状態から出力電流が $\pm 1\%$ の範囲となるまでの時間		200		μs
CURRENT SENSE CHARACTERISTICS (IP AND IM)					
I_{SENSE}		7.5		7.5	A
Current Path Resistance (R_{PATH})	IPとIM間の抵抗 ¹		150		$\mu\Omega$
OUTPUT CHARACTERISTICS (IOUT)					
Input-to-Output Current Ratio	$T_J = 25^\circ\text{C}$		26,600		
$I_{OUT TUE}$	$I_{SENSE} = 7.5\text{A}$			± 4.0	%
	$I_{SENSE} = 15\text{A}$			± 2	%
	$I_{SENSE} = 30\text{A}$			± 1.6	%
	$I_{SENSE} = 45\text{A} \sim 150\text{A}$			± 1.3	%
Common-Mode Rejection Ratio (CMRR) ²	$T_J = 25^\circ\text{C}$ 、DC、 $V_{IP} = 2.7\text{V}$ および $V_{IP} = 65\text{V}$ 、 $R_{OUT} = 200\Omega$		92		dB
Small-Signal Bandwidth	$T_J = 25^\circ\text{C}$ 、 $I_{SENSE} = 7.5\text{A}$		0.7		MHz
Large-Signal Response Time (t_{RESP})	$T_J = 25^\circ\text{C}$ 、 $I_{SENSE} = 150\text{A}$		3.2		MHz
Output Integrated Noise Relative to Output Current	$T_J = 25^\circ\text{C}$ 、 $I_{SENSE} = 7.5\text{A} \sim 150\text{A}$ 、 I_{OUT} が0.1%以内にセトリング		2		μs
	$T_J = 25^\circ\text{C}$ 、 $I_{SENSE} = 150\text{A}$		0.075		%

1 推奨PCBレイアウトを使用。詳細については、図17のセクションを参照してください。電流経路抵抗の温度係数は3900ppmです。

2 $CMRR = (R_{OUT} \Delta V / IP \Delta V) / (\text{平均} R_{OUT} \text{電圧} / \text{入力電流} I_{IN} \times \text{シャント抵抗} R_{SHUNT})$ 。 R_{OUT} はテスト上で200 Ω です。

絶対最大定格

表 2. 絶対最大定格

Parameter	Rating
IP and IM Voltage Range	-0.3 V to +70 V
IP and IM Current	150 A
IOUT Voltage Range ¹	-0.3 V to +5 V
IP-to-IOUT Voltage Range ²	-0.3 V to +70 V
Temperature	
Operating T _J Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Maximum T _J	150°C

1 IPが50Vを超えるときは、IOUTを-0.3V未満にしないでください。

2 IPが50Vを超える状態でIOUTを-0.3V未満にするときは、IOUTとグラウンドの間にショットキー・ダイオードを接続してください。ショットキーはカソードをIOUTに、アノードをグラウンドに接続します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCBの設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は1立方フィートの密閉容器内で測定された自然対流時の周囲とジャンクション間の熱抵抗で、 θ_{JCT} は上面、 θ_{JCB} は下面におけるジャンクションとケース間の熱抵抗です。

表 3. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JCT}	θ_{JCB}	Unit
CC-108-3	18	9.6	3.4	°C/W

1 値はJEDEC 51-9および51-12に従って決定されています。

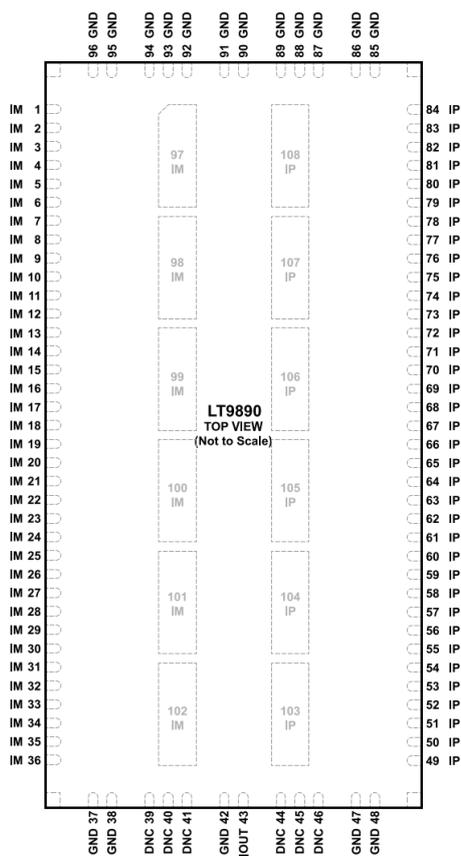
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. DNC = DO NOT CONNECT. SOLDER THESE DOWN FOR MECHANICAL STABILITY BUT LEAVE THE TRACES FLOATING.

図 4. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
Pin 1 to Pin 36 and Pin 97 to Pin 102	IM	負の電流入力。42本のIMピンをすべてまとめて接続します。
Pin 37 to Pin 38, Pin 42, Pin 47 to Pin 48, and Pin 85 to Pin 96	GND	グラウンド。
Pin 39 to Pin 41 and Pin 44 to Pin 46	DNC	接続しないでください。DNCピンは機械的安定性のためのハンダ付けしますが、配線パターンはフロート状態のままにします。
Pin 43	IOU	出力電流。IPからIMへ流れる電流に比例します。
Pin 49 to Pin 84 and Pin 103 to Pin 108	IP	正の電流入力。42本のIPピンをすべてまとめて接続します。

代表的な性能特性

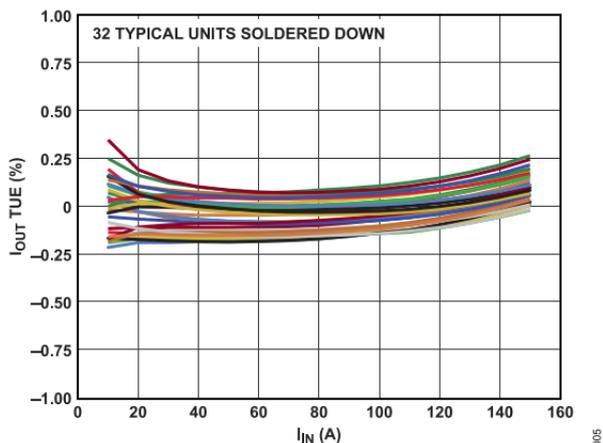


図 5. I_{OUT} の TUE と I_{IN} の関係

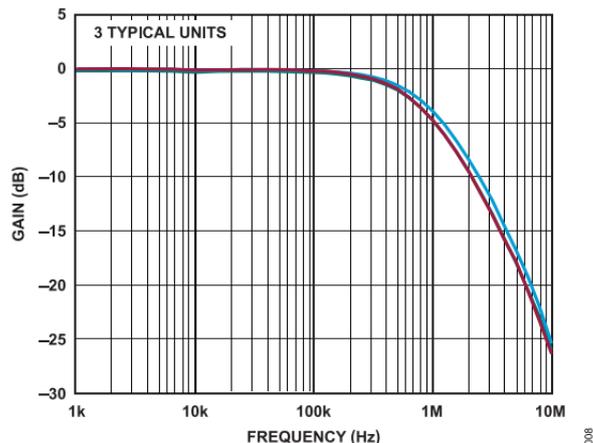


図8. 7.5Aでの小信号ゲインと周波数の関係

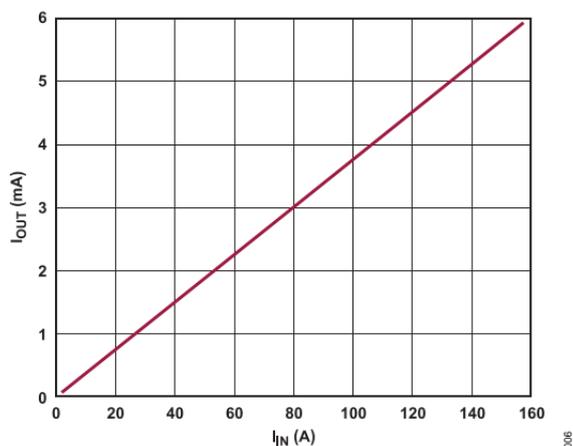


図6. I_{OUT} と I_{IN} の関係

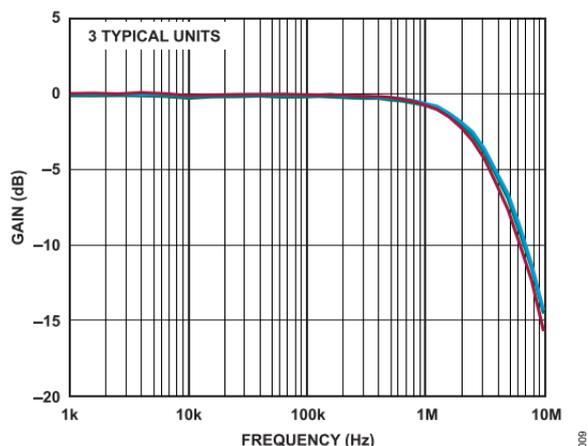


図9. 150Aでの小信号ゲインと周波数の関係

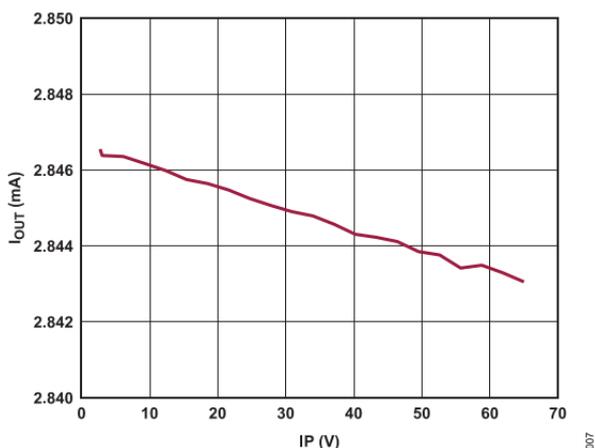


図7. I_{OUT} と IP 入力電圧の関係

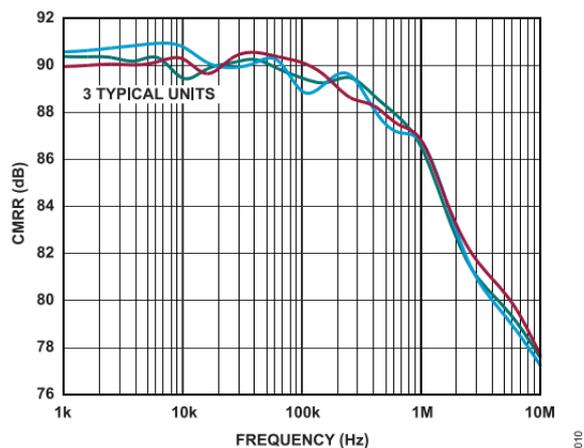


図10. CMRR と周波数の関係

代表的な性能特性

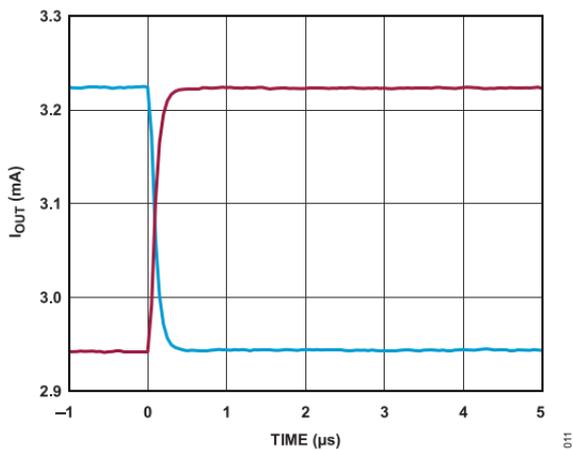


図11. 7.5Aのステップ応答

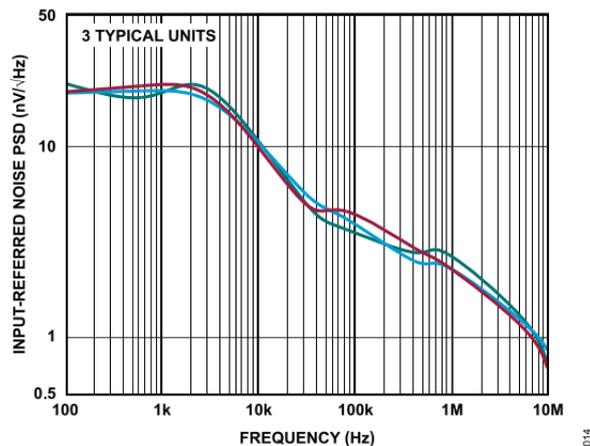


図14. 入力換算ノイズの電カスペクトル密度 (PSD) と周波数の関係 (150A時)

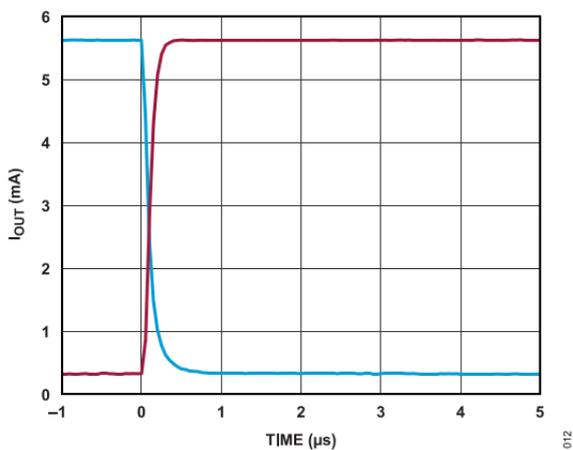


図12. 7.5A~150Aのステップ応答

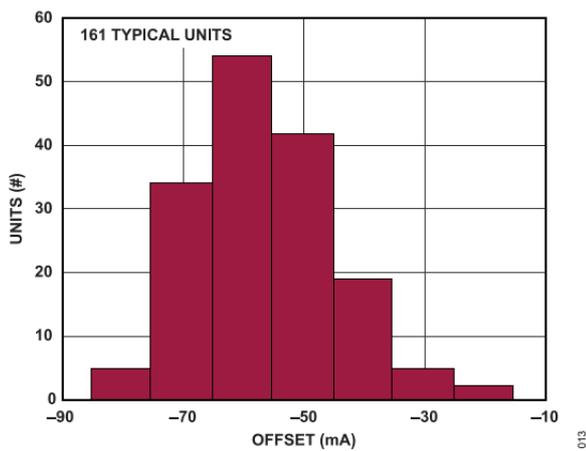


図13. 入力換算オフセットのヒストグラム

動作原理

図15にLT9890の標準的なアプリケーションを示します。最大150Aの入力電流が、IPピンから内部の銅製 R_s を通してIMピンへ流れます。アンプのオープンループ・ゲインが負の端子電圧を正の端子電圧に変換して、 R_G を流れる電流を入力電流に比例した電流にします。この電流は、出力Pチャンネル金属酸化半導体（PMOS）デバイスを通して後にグラウンド基準になります。出荷時に調整された内部アルゴリズムが、銅製検出素子の非理想性を補正します。内部負電圧レギュレータが、2.7V~65Vの電圧範囲全体を通じてアンプに同じ電源電圧が加わるようにして、優れた同相モード除去を実現します。すべての内部回路は入力レールで動作します。電源電流が大信号電流に対して小さいので、TUEへの影響はごくわずかです。

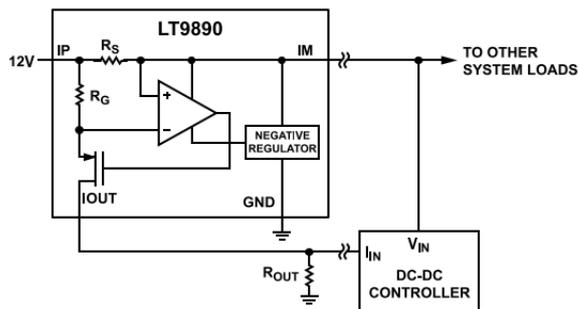


図15. 代表的なアプリケーション

015

アプリケーション情報

LT9890は、電流検出素子を内蔵したハイサイド電流検出アンプです。電流検出素子は銅製で、銅の非理想的な抵抗特性を補正する独自の方法が使用されています。検出素子に生じる検出電圧は増幅され、グラウンド基準の I_{OUT} にレベル・シフトされます。出力信号はアナログで、そのまま使用するほか、出力フィルタで処理することも可能です。

R_{OUT} の選択

R_{OUT} は、 I_{OUT} をどのように I_{OUT} 電圧 (V_{IOUT}) に変換するかを決定します。 $V_{IOUT} = 出力電流I_{OUT} \times R_{OUT}$ です。 R_{OUT} を選ぶときは、まず最大出力電圧 $V_{OUT(MAX)}$ を考える必要があります。出力によって駆動される回路が V_{OUT} を制限しない場合は、 $V_{OUT(MAX)}$ がLT9890の I_{OUT} 最大 V_{OUT} 定格を超えないように R_{OUT} を選ぶ必要があります。また、後段の回路が入力範囲に制限のあるバッファまたはA/Dコンバータ (ADC) である場合は、 $I_{OUT(MAX)} \times R_{OUT}$ がこの回路の許容最大入力範囲内となるように R_{OUT} を選ぶ必要があります。

さらに、出力インピーダンスは R_{OUT} によって決まります。被駆動回路の入力インピーダンス (R_I) が十分に高い値であれば、ほとんどの R_{OUT} 値を受け入れることができます。しかし、ADCのように、被駆動回路の R_I が比較的低い場合やスパイク電流が流れ込む場合は、出力の精度を確保するために R_{OUT} 値を小さくする必要があります。例えば、被駆動回路の R_I が $100 \times R_{OUT}$ だとすると、 V_{IOUT} の精度は次式に従って1%低下します。

$$V_{IOUT} = I_{IOUT} \times \frac{R_{OUT} \times R_I}{R_{OUT} + R_I} \approx 0.99 \times I_{IOUT} \times R_{OUT} \quad (1)$$

出力フィルタリング

LT9890の高周波性能はいくつかのアプリケーションには有効ですが、その他のアプリケーションはそれほど広い帯域幅を必要としません。このような場合は、マルチプレクサやADCのように、ノイズを減らしてスイッチング回路駆動時に出力を安定させる助けとするために、 R_{OUT} と並列に出力コンデンサ (C_{OUT}) を配置することができます。 R_{OUT} と並列に配置するこの C_{OUT} は、出力応答の以下の位置に極を発生させます。

$$f_{-3dB} = \frac{1}{2 \times \pi \times R_{OUT} \times C_{OUT}} \quad (2)$$

PCBレイアウト

LT9890には大電流が流れるので、PCB配線を慎重に行う必要があります。デバイスへの入出力に幅18mmの銅を使用できるように、幅広のパッケージ・サイズが選ばれています。銅箔は、少なくとも厚さ $70 \mu m$ のものを使用してください。すべての電流は、パッケージ下面にある大型IPピン (ピン103~ピン108) とIMピン (ピン97~ピン102) を通じて流れます。PCBの上面にある多数のIPピン (ピン49~ピン84) と下面のIMピン (ピン1~ピン36) に電流は流れません。これらのピンは機械的な安定性を得るためのものです。これらのピンは、表示に従ってIPとIMにハンダ付けしてください。

広い銅製の検出素子はパッケージ内に組み込まれており、そのシャントを流れる電流の密度が変動すると誤差が生じます。

LT9890を通る銅配線について、考えられる3つの方法を図16に示します。一番左側の方法では、コネクタから下流側回路への経路上にLT9890が直接置かれているので、これが最良の方法です。他の2つの方法では余分なTUEが生じます。配線パターンの抵抗を最小限に抑えるには、LT9890に対して複数のワイド・プレーンを使用します。電流がLT9890に直線的に流れ込むようにして電流の集中を回避するために、大型IPピンとIMピンの約4mm手前で、これらのワイド・プレーンの幅を18mmに減らします。LT9890片側の推奨電源レイアウトを図17に示します。もう一方の側はこれと対称になります。電源パッドの近くにあるビアの列は、電流がLT9890に入る直前で複数のプレーンを接続しています。これらのビアは、LT9890の熱をすべての電源プレーンに放出する、サーマル・ビアとしての役割も果たします。PCBの経路抵抗は、LT9890の経路抵抗 $150 \mu\Omega$ を超えてしまうことが多く、その場合は T_J が標準的な計算値より大きくなります。自己発熱を減らすために、距離の短い複数の電源プレーンとサーマル・ビアを使用してください。放熱にとってはPCBの最上層と最下層のプレーンが最も重要であり、PCBの抵抗を最小限に抑えるには最上層のプレーンが最も重要です。

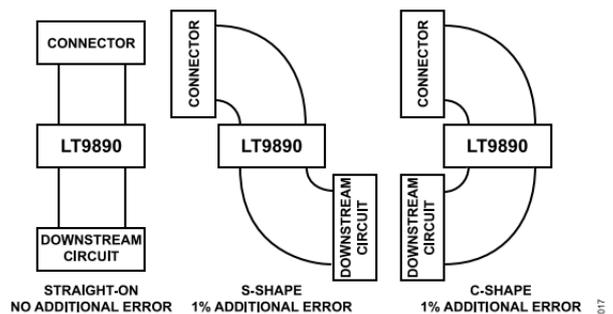


図16. 3つの銅配線方法

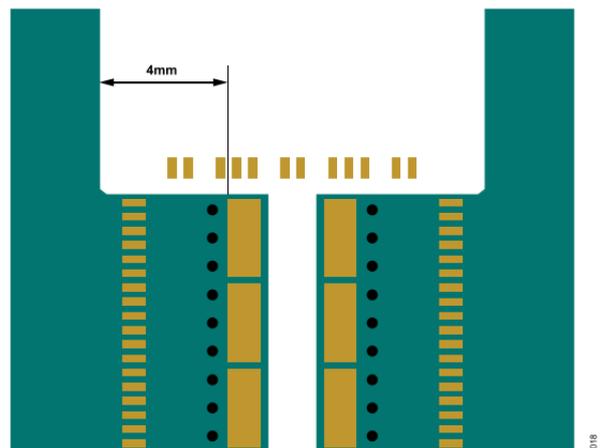


図17. 推奨電源レイアウト

工場出荷時のキャリブレーション

LT9890は、銅による検出に関わる非理想的な抵抗特性を補正するために、出荷時にキャリブレーションされています。

関連製品

表5. 関連製品

Part Number	Description	Test Conditions/Comments
LTC2947	30 A power/energy monitor with integrated sense resistor	0 V to 15 V input range, 300 $\mu\Omega$ sense resistor
LTC6102	Precision zero drift current sense amplifier	4 V to 60 V input range, ± 10 μV offset

外形寸法

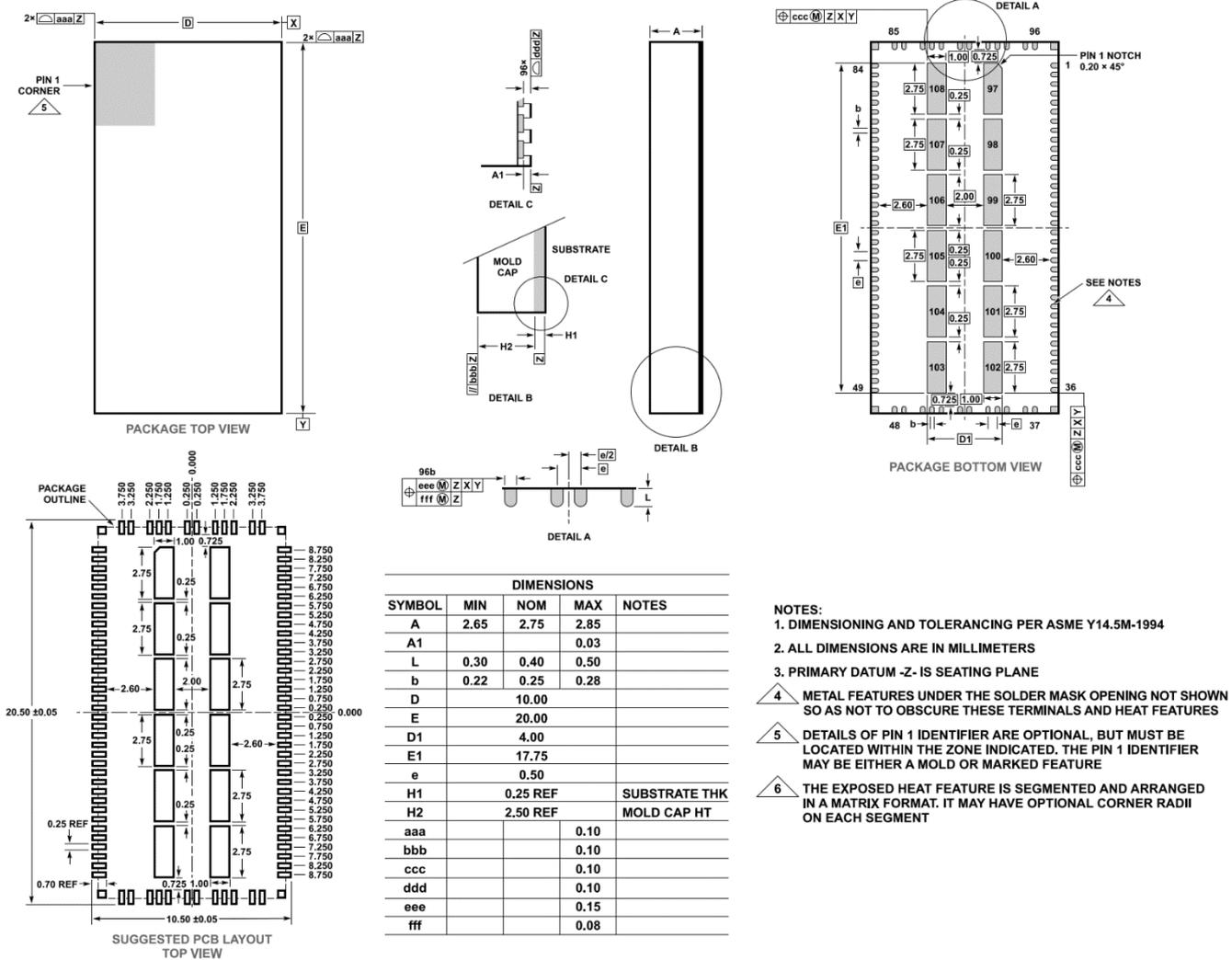


図18. 108端子ランド・グリッド・アレイ[LGA]
 (10mm × 20mm × 2.75mm)
 (DWG# CC-108-3を参照)

更新：2023年2月14日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
LT9890AV#PBF	-40°C to +125°C	108-Terminal LGA (10 mm × 20 mm × 2.75 mm)	CC-108-3

1 LT9890AV#PBFはRoHS準拠製品です。