

高電力負電圧ホット・スワップ・コントローラ (エネルギー・モニタ搭載)

特長

- 高電力アプリケーション向けの2つのゲートを駆動
- 設定可能なパラレル・モード、段階的スタート・モード、シングル・モード
- SOAタイマーでMOSFETを保護
- 2%精度および調整可能なフォールドバックによる、プログラマブル15mV~30mV電流制限検出電圧
- 0.5%精度の8ビット~16ビット・ギアシフトADC
- 電圧、電流、電力、エネルギーのモニタリング
- 不揮発性構成および障害記録機能
- 過酷な高電圧動作に対応するフローティング・トポロジ
- 選択可能な突入電流制御:dV/dtまたは電流制限
- I²C/SMBusまたは1線式ブロードキャスト・インターフェース
- 最小/最大ADC測定ログ(アラート付き)
- プログラム可能な遅延によるI²Cコマンドでの再起動
- 調整可能な入力UV/OV閾値およびヒステリシス
- 44ピン5mm × 8mm QFNパッケージ

アプリケーション

- テレコム・インフラストラクチャ
- -48V分散型電源システム
- サーバーおよびデータ・センター
- 電力モニタ

概要

LTC[®]4284 負電圧ホット・スワップ・コントローラは、基板を動作中のバックプレーンから安全に着脱できるように外付けのNチャンネルMOSFETを駆動します。デュアル・ゲート、マルチモード・ドライバによって、様々な電力レベルのMOSFET安全動作領域(SOA)が最適化されます。SOAタイマーはMOSFETの温度上昇を制限し、過度のストレスに対する信頼性の高い保護を実現します。

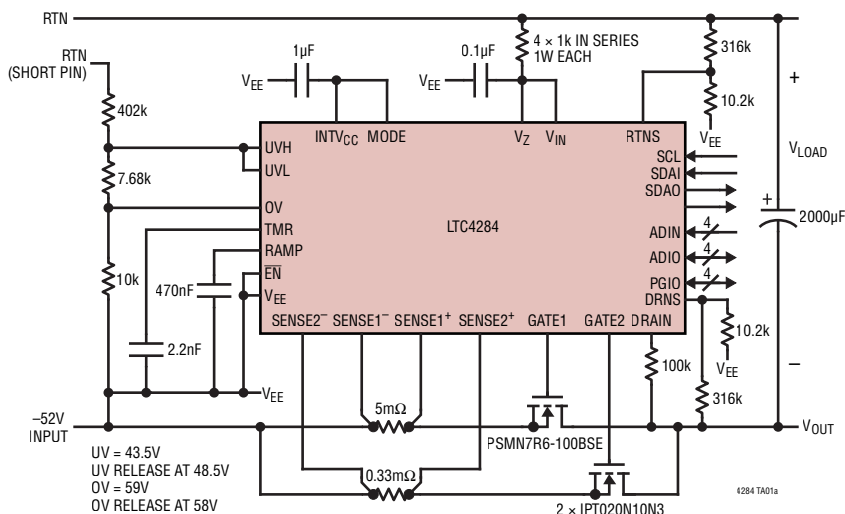
I²Cインターフェースとオンボード・ギアシフトADCによって、基板の電流、電圧、電力、エネルギー、障害状態をモニタリングできます。利用可能な1線式ブロードキャスト・モードでは、2つのアイソレータをなくすことでインターフェースがシンプルになっています。内蔵EEPROMは、障害時の動作のブラックボックス・キャプチャリングと不揮発性構成を提供します。

追加機能が入力UV/OVに反応し、障害発生時にホストに割り込んで、出力電力が正常になったときに通知します。また、基板の挿入を検知するほか、電力が正常であることをタイムアウト周期内に外部電源モニタが示せなかった場合はMOSFETをオフにし、ホストのコマンドによるターンオフ後のプログラム可能な遅延を経て自動的に再起動します。

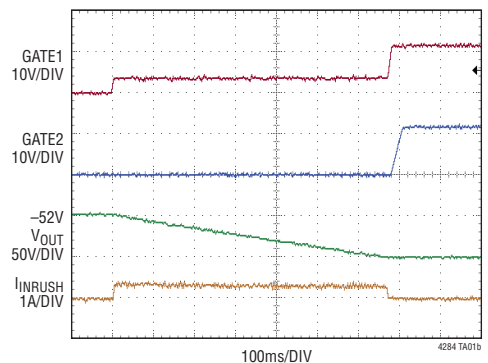
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。8230151、7382167、9634480、9634481をはじめとする米国特許によって保護されています。

標準的応用例

-52V/2500Wホット・スワップ・コントローラ(テレメトリ搭載)



起動時の挙動



目次

特長	1	障害のリセット	38
アプリケーション	1	アラーム	38
標準的応用例	1	EN# ピン	39
概要	1	ONビット	39
絶対最大定格	3	LTC4284 のオン/オフの切替え	39
発注情報	3	PGIO ピンと ADIO ピンの設定	40
ピン配置	3	設計例	41
電気的特性	4	例 1: SOA タイマーと電流制限起動を備えたパラレル・モードの設計手順	41
I ² C タイミング図	9	例 2: TMR ピンのシングル・コンデンサ、dV/dt 起動を使用するロー・パス段階的スタート・モードの設計手順	45
代表的な性能特性	9	レイアウトに関する検討事項	48
ピン機能	12	I ² C コマンドによる再起動	48
ブロック図	16	データ・コンバータ	48
動作	17	EEPROM	51
アプリケーション情報	18	障害ログ	52
入力電源	18	デジタル・インターフェース	54
ターンオン・シーケンス	20	バスの互換性	54
突入電流制御	22	START 条件、REPEATED START 条件、および STOP 条件	54
パワーグッド・モニタと PGI 障害	23	ACK / NACK	55
ターンオフ・シーケンス	24	I ² C デバイスのアドレス指定	55
過電流保護	24	転送プロトコルの種類	55
SOA タイマー	24	コマンド・コードとレジスタのアドレス指定	55
過電流障害と自動再試行	27	書込みプロトコル	55
電流制限の調整	27	読出しプロトコル	56
電流制限フォールドバック	27	ページ読出しプロトコルとページ書込みプロトコル	56
FET 不良と自動再試行	28	バイト順	56
入カステップと最適な出力ランプ	29	ALERT# とアラート応答プロトコル	56
デュアル・ゲート動作モード	29	スタック・バス・リセット	58
パラレル・モード (モード 2)	30	データの同期とアービトレーション	58
高ストレス段階的スタート・モード (モード 3)	31	1 線式ブロードキャスト	59
低ストレス段階的スタート (モード 4)	33	レジスタの表	62
シングル・ドライバ・モード (モード 1)	35	パッケージ	81
過電圧障害と自動再試行	35	標準的応用例	82
低電圧障害と自動再試行	35	関連製品	82
FET 短絡障害	37		
電源障害障害	37		
外部障害と自動再試行	38		
冷却遅延	38		

絶対最大定格

(Note 1、2)

電源電圧:

V_{IN} -0.3V~12.5V

$INTV_{CC}$ -0.3V~5.5V

入力電圧

V_Z (Note 3) -0.3V~16V

DRAIN (Note 4) -0.3V~3.2V

EN# (Note 5) -0.3V~6V

MODE -0.3V~ $V_{IN} + 0.3V$

UVL、UVH -0.3V~16V

ADC⁺、ADC⁻、ADIN1-4、ADRO、ADRI、

DRNS、OV、RTNS、SCL、SDAI、SENSE1⁺、

SENSE1⁻、SENSE2⁺、SENSE2⁻、

VOUTTH、WP -0.3V~ $INTV_{CC} + 0.3V$

出力電圧

GATE1、GATE2、PGIO1-4 -0.3V~ $V_{IN} + 0.3V$

VREF -0.3V~4.5V

ADIO1-4、RAMP、TMR -0.3V~ $INTV_{CC} + 0.3V$

ALERT#、SDAO -0.3V~5.5V

入力電流:

V_Z 50mA

DRAIN 1.5mA

EN# 5mA

動作周囲温度範囲

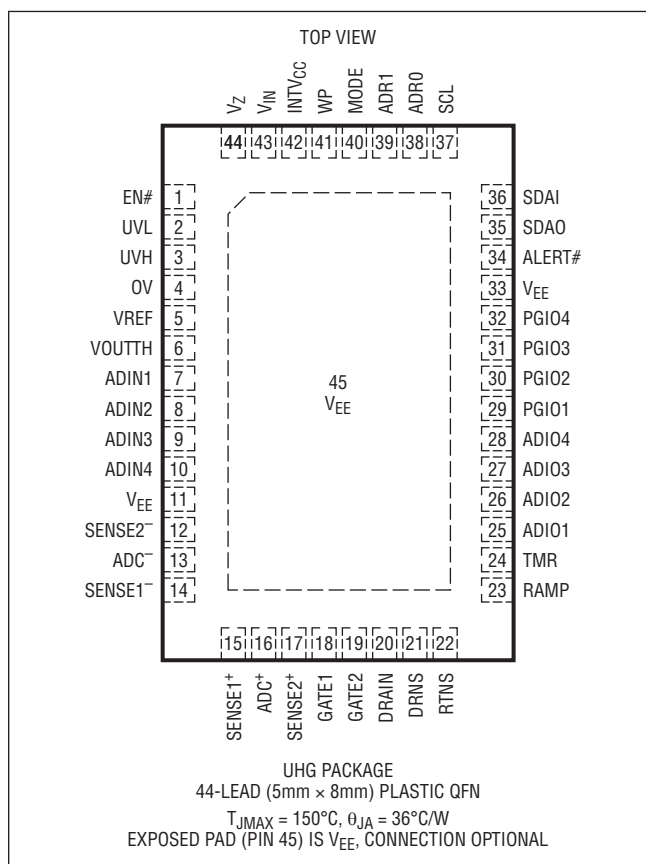
LTC4284C 0°C~70°C

LTC4284I -40°C~85°C

LTC4284H -40°C~125°C

保存温度範囲 -65°C~150°C

ピン配置



発注情報

チューブ	テープ&リール	製品マーキング*	パッケージ	温度範囲
LTC4284CUHG#PBF	LTC4284CUHG#TRPBF	4284	44-Lead (5mm × 8mm) Plastic QFN	0°C to 70°C
LTC4284IUHG#PBF	LTC4284IUHG#TRPBF	4284	44-Lead (5mm × 8mm) Plastic QFN	-40°C to 85°C
LTC4284HUHG#PBF	LTC4284HUHG#TRPBF	4284	44-Lead (5mm × 8mm) Plastic QFN	-40°C to 125°C

更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。

テープ&リールの仕様。一部のパッケージは、#TRMPBF接尾部の付いた指定の販売経路を通じて500個入りのリールで供給可能です。

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $I_{IN} + I_{VZ} = 4\text{mA}$ 、 V_{IN} を V_Z に接続したときの値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
電源							
V_{IN}	Shunt Regulated Voltage at V_{IN}	$I_{IN} + I_{VZ} = 4\text{mA}$	●	10.8	11.5	12	V
ΔV_{IN}	Load Regulation at V_{IN}	$I_{IN} + I_{VZ} = 4\text{mA}$ to 35mA	●		250	500	mV
I_{IN}	V_{IN} Supply Current	$V_{IN} = 10.5\text{V}$	●		2.5	4	mA
$V_{IN(UVLO)}$	V_{IN} Undervoltage Lockout Threshold	V_{IN} Rising	●	7.5	8.1	8.6	V
$\Delta V_{IN(UVLO)}$	V_{IN} Undervoltage Lockout Hysteresis		●	0.4	0.5	0.6	V
I_{VZ}	V_Z Input Current	$V_{IN} = 10.5\text{V}$, $V_Z = 15\text{V}$	●			20	μA
$INTV_{CC}$	Internal 5V LDO Voltage	$I_{LOAD} = 1\text{mA}$ to 30mA , $I_{IN} + I_{VZ} = 35\text{mA}$	●	4.75	5.05	5.35	V
$V_{CC(UVLO)}$	$INTV_{CC}$ Undervoltage Lockout Threshold	$INTV_{CC}$ Rising	●	3.65	4	4.3	V
$\Delta V_{CC(UVLO)}$	$INTV_{CC}$ Undervoltage Lockout Hysteresis		●	0.12	0.2	0.3	V
ゲート駆動							
V_{GATE}	Gate Drive Voltage for GATE1,2		●	$V_{IN} - 0.3$	V_{IN}	$V_{IN} + 0.3$	V
$V_{GATE(TH)}$	Gate High Threshold for Asserting Power Good	GATE1,2 Rising	●	$V_{IN} - 2.1$	$V_{IN} - 1.8$	$V_{IN} - 1.5$	V
$V_{GATE(HYST)}$	Gate High Hysteresis		●	0.3	0.7	1.1	V
$I_{GATE(UP)}$	GATE1,2 Pull-Up Current	$V_{GATE} = 4\text{V}$	●	-40	-50	-75	μA
$I_{GATE(DN)}$	GATE1,2 Fast Pull-Down Current	$\Delta V_{SENSE1,2} = \Delta V_{SENSE(FAST)} + 10\text{mV}$, $V_{GATE} = 7\text{V}$	●	0.5	1.2	2	A
	GATE1,2 Current Limit Pull-Down Current	$\Delta V_{SENSE1,2} = \Delta V_{SENSE} + 5\text{mV}$, $V_{GATE} = 7\text{V}$	●	12.5	25	50	mA
	GATE1,2 Turn Off Pull-Down Current	TMR, OV, EN# = High, UVL = Low, $V_{GATE} = 7\text{V}$	●	4	9	20	mA
オン/オフのタイミング							
$t_{PHL(SENSE)}$	$\Delta V_{SENSE1,2}$ High to GATE1,2 Low Propagation Delay	$ILIM = 0000\text{b}$, $\Delta V_{SENSE1,2}$ Steps from 0mV to 100mV , $V_{GATE} < 3\text{V}$, GATE1,2 Open	●		60	150	ns
$t_{PHL(GATE)}$	GATE1,2 Turn Off Propagation Delay	TMR, OV, EN# = High, UVL = Low, $V_{GATE} < 3\text{V}$, GATE1,2 Open	●		0.5	1	μs
$t_{DL(DB)}$	Debounce Delay, Auto-Retry Delay Following Undervoltage or PGI Fault		●	115	128	141	ms
$t_{DL(PG)}$	Power Good Delay		●	230	256	282	ms
$t_{DL(PGIWD)}$	Power Good Input Watchdog Timer		●	461	512	563	ms
$t_{DL(RTRY)}$	Auto-Retry Delay Following Overcurrent, FET Bad or External Fault (Table 11)	COOLING_DL = $000\text{b} - 111\text{b}$	●			± 10	%
$t_{DL(RTCRST)}$	Auto-Retry Counter Reset Delay	OC_RETRY, FET_BAD_RETRY = 01b , 10b	●	14.8	16.4	18	s
$t_{DL(FETBAD)}$	FET Bad Fault Timer Delay (Table 11)	FTBD_DL = $00\text{b} - 11\text{b}$	●			± 10	%
$t_{DL(RBT)}$	Auto-Reboot Delay (Table 23)	After RBT_EN Bit is Set Via I ² C Interface, RBT_DL = $000\text{b} - 111\text{b}$	●			± 10	%
dV/dt制御							
I_{RAMP}	RAMP Output Current	Startup Only, dV/dt Control Enabled	●	-2.25	-2.5	-2.75	μA
$I_{RAMP(DN)}$	RAMP Discharge Current	$V_{RAMP} = 1.2\text{V}$	●	1	4	10	mA

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $I_{IN} + I_{VZ} = 4\text{mA}$ 、 V_{IN} を V_Z に接続したときの値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
ドレイン・モニタ								
$V_{D,PG(TH)}$	DRAIN Input Threshold for Power Good	DRAIN Falling	●	2	2.05	2.1	V	
$\Delta V_{D,PG(HYST)}$	DRAIN Input Hysteresis for Power Good				20		mV	
$V_{D,FET(TH)}$	DRAIN Input Threshold for FET Bad Timer and TMR Pull-Up Current (Table 11)	DRAIN Rising, $V_{DTH} = 00b - 11b$	●			± 10	%	
$\Delta V_{D,FET(HYST)}$	DRAIN Input Hysteresis with $V_{D,FET(TH)}$				10		mV	
I_{DRAIN}	DRAIN Input Current	$V_{DRAIN} = 200\text{mV}$	●		0	± 0.1	μA	
		$V_{DRAIN} = 2\text{V}$	●		0	± 1	μA	
電流制限								
V_{ILIM}	Current Limit Voltage DAC Zero-Scale	$ILIM = 0000b$, C-Grade (Note 6)	●	14.7	15	15.3	mV	
		$ILIM = 0000b$, I-, H-Grade	●	14.5	15	15.5	mV	
	Current Limit Voltage DAC Full-Scale	$ILIM = 1111b$, C-Grade (Note 6)	●	29.4	30	30.6	mV	
		$ILIM = 1111b$, I-, H-Grade	●	29	30	31	mV	
	Current Limit Voltage DAC INL		●		0	± 50	μV	
ΔV_{ILIM}	Current Limit Voltage Mismatch between Channel 1 and Channel 2		●		0	± 350	μV	
$\alpha_{STARTUP}$	Current Limit Foldback Factor at Startup	RTNS = 1.8V, DRNS = 0, 1.8V	FB = 01b	●	45	50	55	%
			FB = 10b	●	16	20	24	%
			FB = 11b	●	7	10	13	%
α_{NORMAL}	Current Limit Foldback Factor in Normal Operation	RTNS = DRNS = 1.8V	FB = 01b	●	45	50	55	%
			FB = 10b	●	15	20	26	%
			FB = 11b	●	6	10	16	%
$V_{ILIM(FAST)}$	Fast Pull-Down Sense Threshold Voltage	$ILIM = 0000b$	●	20	30	40	mV	
		$ILIM = 1111b$	●	47	60	70	mV	
I_{SENSE^+}	SENSE1,2 ⁺ Input Current	SENSE1,2 ⁺ = 33mV	●		0	± 1	μA	
I_{SENSE^-}	SENSE1,2 ⁻ Input Current	SENSE1,2 ⁻ = SENSE1,2 ⁺ = 0	●	-4	-10.5	-15	μA	
回路ブレーカのタイマー								
$t_{TMR(UP)}$	TMR Pull-Up Current in Current Limit	Onset	DRNS = 0V, TMR = 1V	●	-1.5	-2	-2.5	μA
				Startup in Foldback	dV/dt Control Disabled, DRNS = 1.8V, TMR = 1V	●	-192	-202
			FB = 00b	●	-96	-102	-108	μA
			FB = 10b	●	-39	-42	-45	μA
			FB = 11b	●	-20	-22	-24	μA
		Startup in dV/dt	dV/dt Control Enabled, DRNS = 1.8V, TMR = 1V	●	-192	-202	-212	μA
		Hard Short in Normal Operation	DRNS = 1.8V, TMR = 1V	●	-192	-202	-212	μA
$t_{TMR(DN)}$	TMR Pull-Down Current	DRAIN < $V_{D,FET(TH)}$ or Start into dV/dt Control, THERM_TMR = 0, TMR = 1V	●	1.6	2	2.3	μA	
$t_{TMR(RST)}$	TMR Reset Current	EN# = High, TMR = 1V	●	3	5	8	mA	
$V_{TMRH(TH)}$	TMR Fault Threshold	TMR Rising	●	2.028	2.048	2.068	V	
$V_{TMRH(HYST)}$	TMR Fault Hysteresis				20		mV	
$V_{TMRL(TH)}$	TMR Low Status Threshold	TMR Falling	●	80	100	120	mV	
$V_{TMRL(HYST)}$	TMR Low Hysteresis				20		mV	

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $I_{IN} + I_{VZ} = 4\text{mA}$ 、 V_{IN} を V_Z に接続したときの値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
入力ピン							
$V_{MODE(TH)}$	MODE Input Thresholds	Threshold 1	●	0.4	0.7	1	V
		Threshold 2	●	$INTV_{CC} - 0.85$	$INTV_{CC} - 0.55$	$INTV_{CC} - 0.25$	V
		Threshold 3	●	$INTV_{CC} + 0.5$	$INTV_{CC} + 1.5$	$INTV_{CC} + 2.5$	V
$I_{MODE(IN)}$	Allowable Leakage in Open State	Mode 1	●			± 10	μA
$V_{UVH(TH)}$	UVH Input Threshold	UVH Rising	●	2.028	2.048	2.068	V
$V_{UVL(TH)}$	UVL Input Threshold	UVL Falling	●	1.815	1.833	1.851	V
$\Delta V_{UV(HYST)}$	Built-In UV Hysteresis	UVH and UVL Tied Together	●	204	215	226	mV
$\delta V_{UV(HYST)}$	UVH, UVL Minimum Hysteresis				11		mV
$V_{UCLR(TH)}$	UVL Reset Threshold	UVL Falling	●	1	1.024	1.05	V
$\Delta V_{UCLR(HYST)}$	UVL Reset Hysteresis				21		mV
$V_{OV(TH)}$	OV Input Threshold	OV Rising	●	1.392	1.406	1.42	V
$\Delta V_{OV(HYST)}$	OV Input Hysteresis		●	10	24	38	mV
$V_{OUTL(TH)}$	V_{OUT} Low Threshold	RTNS – DRNS Falling, $V_{OUTTH} = 0.8\text{V}$	●	$V_{OUTTH} - 0.06$	V_{OUTTH}	$V_{OUTTH} + 0.06$	V
$\Delta V_{OUTL(HYST)}$	V_{OUT} Low Hysteresis				40		mV
$V_{EN\#(TH)}$	EN# Input Threshold	EN# Falling	●	1.248	1.28	1.312	V
$\Delta V_{EN\#(HYST)}$	EN# Input Hysteresis				18		mV
$V_{WP(TH)}$	WP Input Threshold	WP Rising	●	1.2	1.65	2.1	V
$\Delta V_{WP(HYST)}$	WP Input Hysteresis				100		mV
$V_{INPUT(TH)}$	ADIO1-4, PGIO1-4 Input Threshold	ADIO1-4, PGIO1-4 Rising	●	1.248	1.28	1.312	V
$\Delta V_{INPUT(HYST)}$	ADIO1-4, PGIO1-4 Input Hysteresis				18		mV
I_{INPUT}	DRNS, EN#, OV, RTNS, UVL, UVH, V_{OUTTH} , WP Input Current	DRNS, EN#, OV, RTNS, UVL, UVH, V_{OUTTH} , WP = 3V	●		0	± 1	μA
出力ピン							
V_{OL}	ADIO1-4, PGIO1-4 Output Low Voltage	$I = 5\text{mA}$	●		0.15	0.4	V
I_{LEAK}	ADIO1-4, PGIO1-4 Leakage Current	ADIO1-4 = $INTV_{CC}$, PGIO1-4 = V_{IN}	●		0	± 1	μA
V_{REF}	V_{REF} Output Voltage	$I_{REF} = -200\mu\text{A}, 0, 400\mu\text{A}$	●	1.01	1.024	1.038	V
r_{REF}	V_{REF} to ADC V_{FS} Ratio	$I_{REF} = -200\mu\text{A}, 0, 400\mu\text{A}$	●	0.495	0.5	0.505	
ADC							
	Resolution (No Missing Codes) (Note 6)	RTNS, ADIN1-4, ADIO1-4, DRNS, DRAIN, ($ADC^+ - ADC^-$), Power	ADC = 000b	●	8		Bits
			ADC = 010b	●	10		Bits
			ADC = 100b	●	12		Bits
			ADC = 110b	●	14		Bits
			ADC = xx1b	●	14	16	Bits
		(SENSE1,2 ⁺ – SENSE1,2 ⁻), (ADIN2 – ADIN1), (ADIN4 – ADIN3), (ADIO2 – ADIO1), (ADIO4 – ADIO3)	ADC = 000b	●	7		Bits
			ADC = 010b	●	9		Bits
			ADC = 100b	●	11		Bits
			ADC = 110b	●	13		Bits
			ADC = xx1b	●	13	15	Bits

電氣的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $I_{IN} + I_{VZ} = 4\text{mA}$ 、 V_{IN} を V_Z に接続したときの値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS		
V_{FS}	Full-Scale Voltage	Single-Ended Inputs		2.048		V		
		Differential Inputs		32.768		mV		
LSB	LSB Step Voltage	RTNS, ADIN1-4, ADIO1-4, DRNS, DRAIN	ADC = 000b		8		mV	
			ADC = 010b		2		mV	
			ADC = 100b		0.5		mV	
			ADC = 110b		0.125		mV	
			ADC = xx1b		0.03125		mV	
		ADC ⁺ – ADC ⁻	ADC = 000b			128		μV
			ADC = 010b			32		μV
			ADC = 100b			8		μV
			ADC = 110b			2		μV
			ADC = xx1b			0.5		μV
		SENSE1,2 ⁺ – SENSE1,2 ⁻ , ADIN2 – ADIN1, ADIN4 – ADIN3, ADIO2 – ADIO1, ADIO4 – ADIO3	ADC = 000b			256		μV
			ADC = 010b			64		μV
			ADC = 100b			16		μV
			ADC = 110b			4		μV
ADC = xx1b				1		μV		
V_{OS}	Offset Error (Note 7)	Single-Ended Inputs	●	0	± 0.125	% V_{FS}		
		Differential Inputs	●	0	± 0.25	% V_{FS}		
INL	Integral Nonlinearity (Note 7)	ADIN1-4, ADIO1-4, RTNS, DRNS, DRAIN, ADC ⁺ – ADC ⁻	●	± 0.01	± 0.06	% V_{FS}		
		SENSE1,2 ⁺ – SENSE1,2 ⁻ , ADIN2 – ADIN1, ADIN4 – ADIN3, ADIO2 – ADIO1, ADIO4 – ADIO3	●	± 0.02	± 0.12	% V_{FS}		
FSE	Full-Scale Error (Note 7)	Single-Ended Inputs, C-Grade (Note 6)	●		± 0.5	%		
		Single-Ended Inputs, I-, H-Grade	●		± 0.7	%		
		Differential Inputs, C-Grade (Note 6)	●		± 1	%		
		Differential Inputs, I-, H-Grade	●		± 1.2	%		
		Power, C-Grade (Note 6)	●		± 1	%		
Power, I-, H-Grade	●		± 1.2	%				
Energy			●		± 5	%		
			●		± 5	%		
f_{CONV}	Refresh Rate in Continuous Mode (Table 12)		●		± 5	%		
I_{ADC^+}	ADC ⁺ Input Current	ADC ⁺ = 33mV	●	0	± 1	μA		
I_{ADC^-}	ADC ⁻ Input Current	ADC ⁻ = ADC ⁺ = 0	●	-3	-7	μA		
$R_{ADIN(SE)}$	ADIN1-4, ADIO1-4 Input Impedance, Single-Ended	V = 3V	●	3		M Ω		
$I_{ADIN(SE)}$	ADIN1-4, ADIO1-4 Input Current, Single-Ended	V = 3V	●	0	± 1	μA		
$I_{ADIN(DIFF)}$	ADIN1, ADIN3, ADIO1, ADIO3 Input Current, Differential Mode	ADIN1, ADIN3, ADIO1, ADIO3 = 0, ADIN2, ADIN4, ADIO2, ADIO4 = 0	●	-3	-7	μA		
	ADIN2, ADIN4, ADIO2, ADIO4 Input Current, Differential Mode	ADIN2, ADIN4, ADIO2, ADIO4 = 33mV	●	0	± 1	μA		

電气的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ 、 $I_{IN} + I_{VZ} = 4\text{mA}$ 、 V_{IN} を V_Z に接続したときの値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C インターフェース						
$V_{ADR(H)}$	ADRO, ADR1 Input High Threshold		● $INTV_{CC} - 0.85$	$INTV_{CC} - 0.55$	$INTV_{CC} - 0.25$	V
$V_{ADR(L)}$	ADRO, ADR1 Input Low Threshold		● 0.4	0.7	1	V
$I_{ADR(IN)}$	Allowable Leakage Current	ADRO, ADR1 Open	●		±10	μA
$V_{ALERT\#(OL)}$	ALERT# Output Low Voltage	$I = 5\text{mA}$	●	0.15	0.4	V
$V_{SDAO(OL)}$	SDAO Output Low Voltage	$I = 20\text{mA}$	●	0.25	0.6	V
$I_{SDAO,ALERT\#}$	SDAO, ALERT# Input Current	SDAO, ALERT# = $INTV_{CC}$	●	0	±1	μA
$V_{SDAI,SCL(TH)}$	SDAI, SCL Input Threshold		● 1.5	1.75	2	V
$I_{SDAI,SCL}$	SDAI, SCL Input Current	SDAI, SCL = $INTV_{CC}$	●	0	±1	μA

I²C インターフェースのタイミング (Note 6)

$f_{SCL(MAX)}$	Maximum SCL Clock Frequency		400			kHz
t_{LOW}	Minimum SCL Low Period			0.65	1.3	μs
t_{HIGH}	Minimum SCL High Period			50	600	ns
$t_{BUF(MIN)}$	Minimum Bus Free Time Between Stop/Start Condition			0.12	1.3	μs
$t_{HD,STA(MIN)}$	Minimum Hold Time After (Repeated) Start Condition			140	600	ns
$t_{SU,STA(MIN)}$	Minimum Repeated Start Condition Set-Up Time			30	600	ns
$t_{SU,STO(MIN)}$	Minimum Stop Condition Set-Up Time			30	600	ns
$t_{HD,DAT(MIN)}$	Minimum Data Hold Time Input			-100	0	ns
$t_{HD,DATO(MIN)}$	Minimum Data Hold Time Output		300	600	900	ns
$t_{SU,DAT(MIN)}$	Minimum Data Set-Up Time Input			30	100	ns
$t_{SP(MAX)}$	Maximum Suppressed Spike Pulse Width		50	110	250	ns
t_{RST}	Stuck-Bus Reset Time	SCL or SDAO Held Low	26	30	34	ms
C_X	SCL, SDA Input Capacitance	SDAI Tied to SDAO		5	10	pF

1 線式ブロードキャストのタイミング

f_{BC}	Broadcast Data Rate (Table 11)		●		±10	%
----------	--------------------------------	--	---	--	-----	---

EEPROM

	Endurance	1 Cycle = 1 Write (Notes 8, 9)	●	10,000		Cycles	
	Data Retention	(Notes 8, 9)	●	20		Years	
t_{WRITE}	EEPROM Write Time per Byte		●	1.2	2.2	3	ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: デバイスのピンに流れ込む電流は全て正であり、デバイスのピンから流れ出す電流は全て負。注記がない限り、全ての電圧は V_{EE} を基準にしている。

Note 3: V_Z が V_{IN} に接続されているとき、内部シャント・レギュレータにより、電圧は最小値の 11V に制限される。このピンを 11V より高い電圧で駆動するとデバイスを損傷する可能性がある。電流を 50mA 未満に制限する抵抗または電流源を使用することで、これらのピンをより高い電圧で安全にバイアスすることができる。

Note 4: 内部クランプにより、DRAIN は最小値の 3.2V に制限される。このピンをクランプ電圧より高い電圧で駆動すると、デバイスを損傷する可能性がある。このピンは、電流を 1.5mA 未満に制限する抵抗を介して、より高い電圧に安全に接続することができる。

Note 5: 内部クランプにより、EN# は最小値の 6V に制限される。このピンをクランプ電圧より高い電圧で駆動すると、デバイスを損傷する可能性がある。このピンは、電流を 5mA 未満に制限する抵抗を介して、より高い電圧に安全に接続することができる。

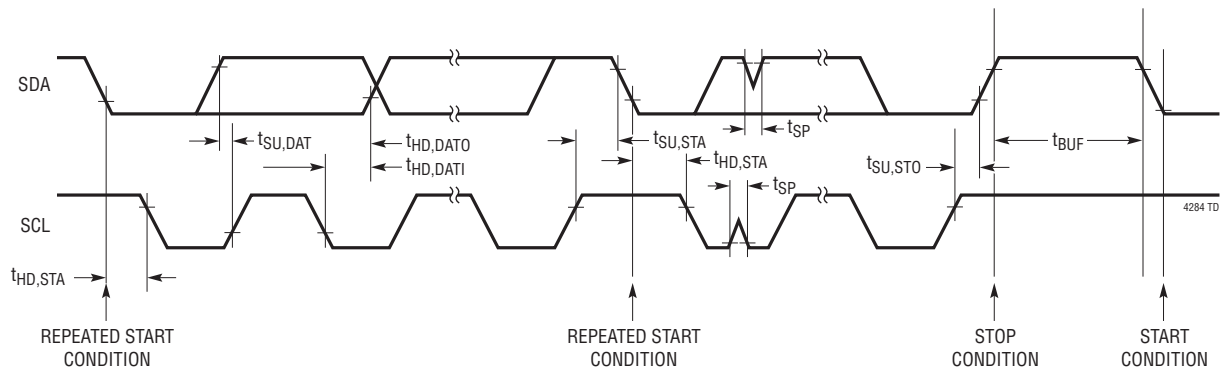
Note 6: 設計および特性評価により確認されている。製造プロセスではテストされない。

Note 7: 12ビットの分解能でテストされており、他の分解能については設計および特性評価により確認されている。

Note 8: EEPROM の書換え回数とデータ保持期間は、設計、特性評価、および統計的なプロセス・コントロールとの相関によって確認されている。

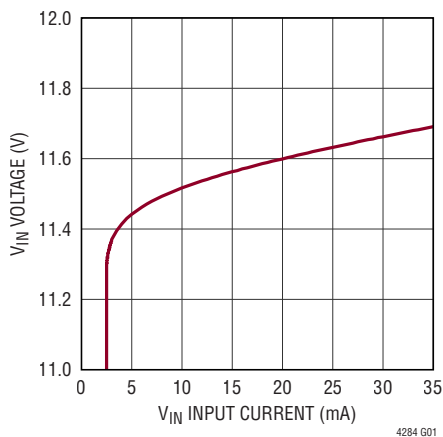
Note 9: EEPROM の書換え回数とデータ保持期間は、 $T_J > 85^\circ\text{C}$ のとき減少する。

I²C タイミング図

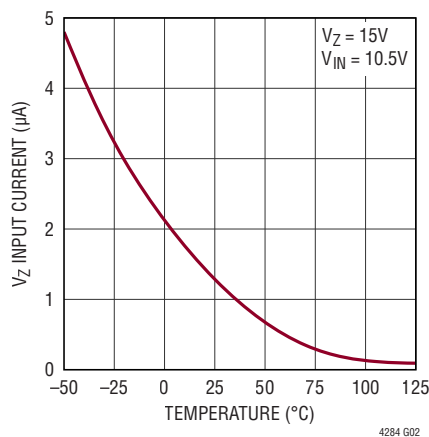


代表的な性能特性

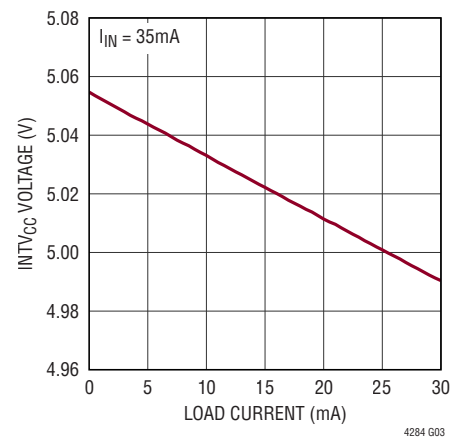
シャント・レギュレータ電圧と
入力電流



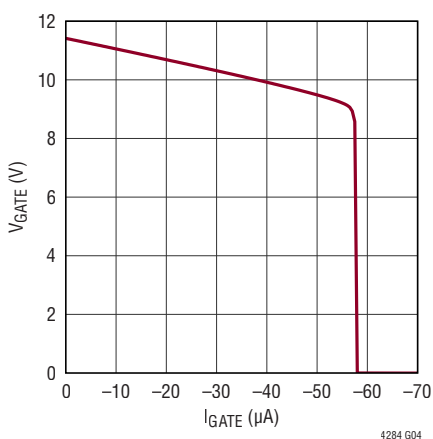
V_Z の入力電流と温度



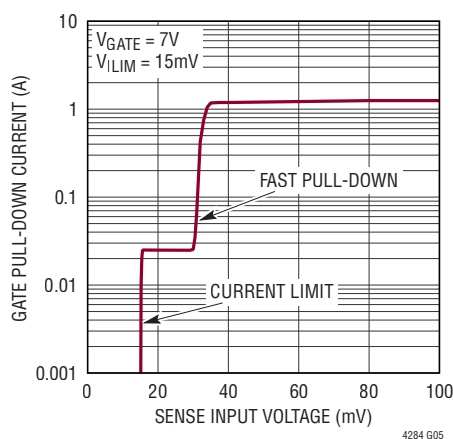
INTV_{CC} 電圧と負荷電流



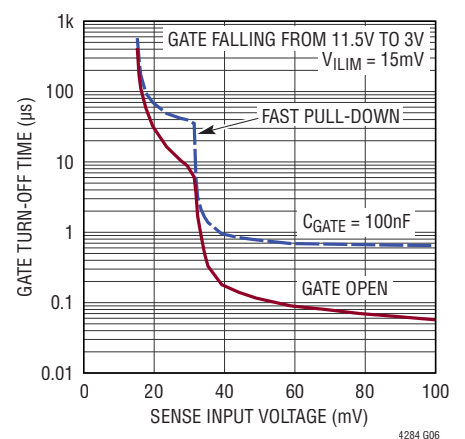
GATE の出力電圧ハイとリーク電流



GATE のプルダウン電流と
SENSE の入力電圧

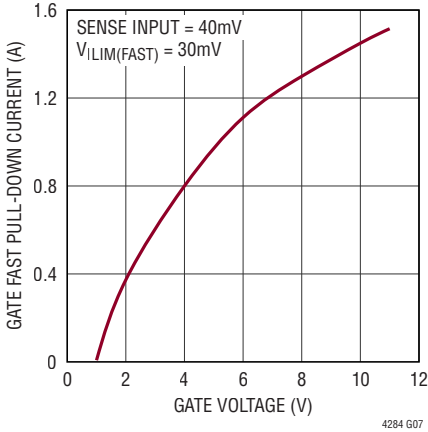


GATE のターンオフ時間と
SENSE の入力電圧

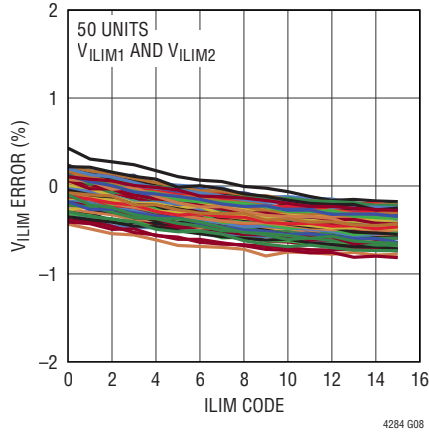


代表的な性能特性

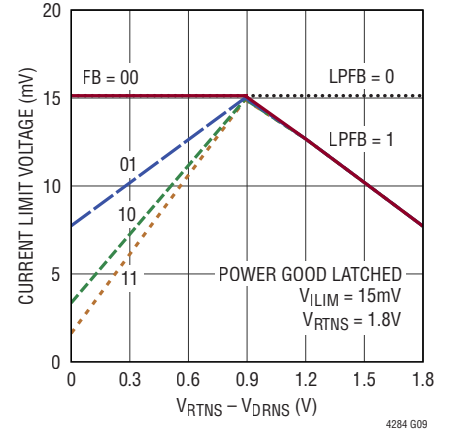
GATEの高速プルダウン電流とゲート電圧



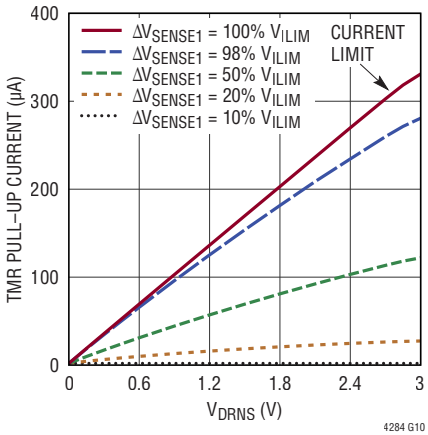
電流制限電圧誤差とILIMコード



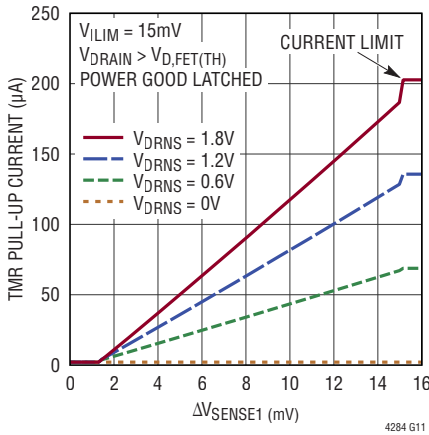
電流制限フォールドバック・プロファイル



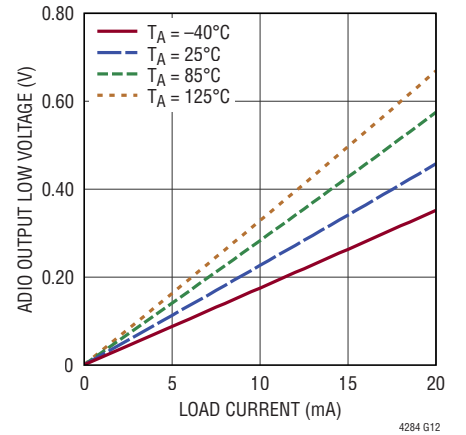
TMRのプルアップ電流とDRNSの電圧



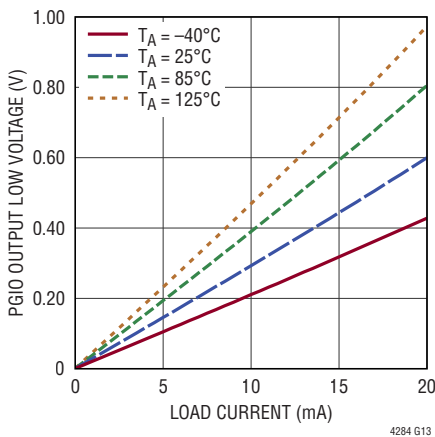
TMRのプルアップ電流とSENSEの入力電圧



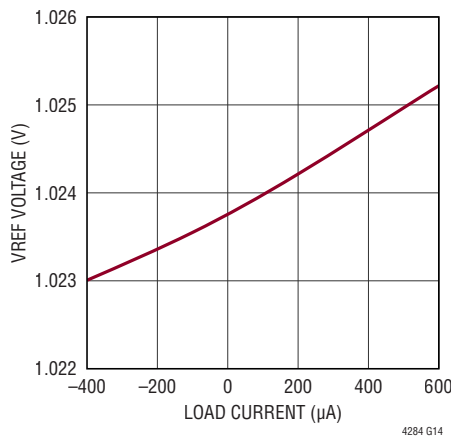
AD10出力のローの電圧と負荷電流



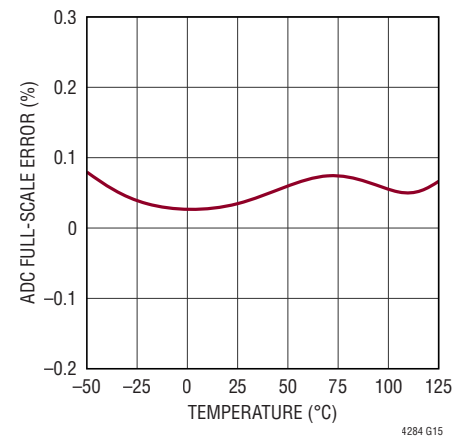
PG10の出力ローの電圧と負荷電流



VREF出力電圧と負荷電流

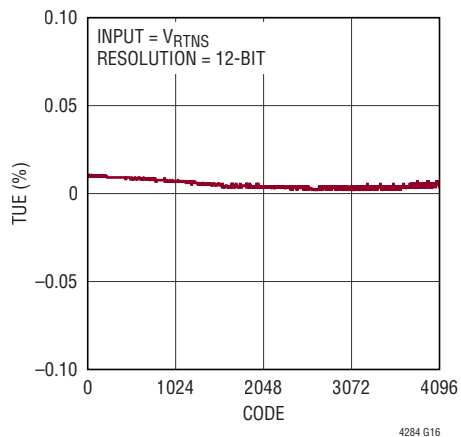


ADCのフル・スケール誤差と温度

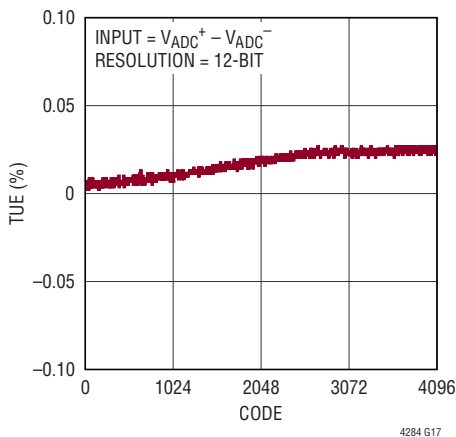


代表的な性能特性

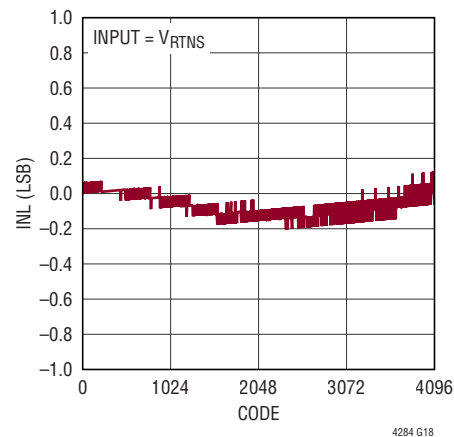
電圧 ADC の総合未調整誤差 (TUE) とコード



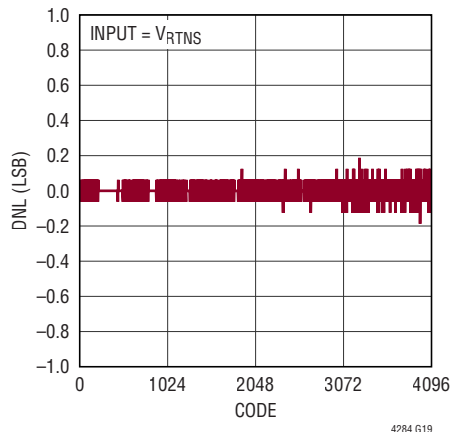
電流 ADC の総合未調整誤差 (TUE) とコード



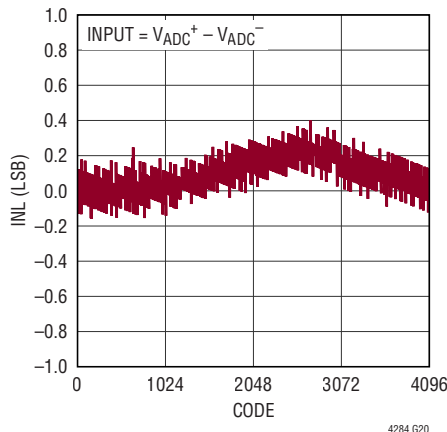
12ビット電圧 ADC の INL とコード



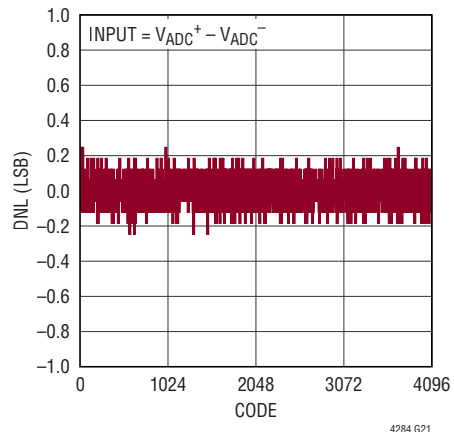
12ビット電圧 ADC の DNL とコード



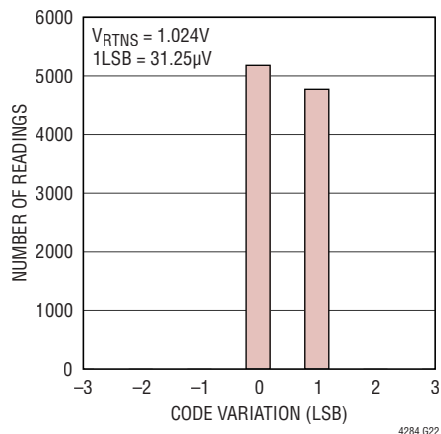
12ビット電流 ADC の INL とコード



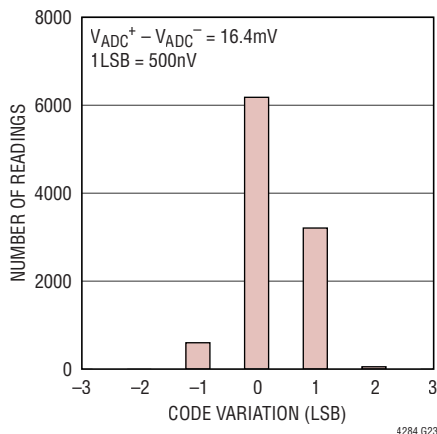
12ビット電流 ADC の DNL とコード



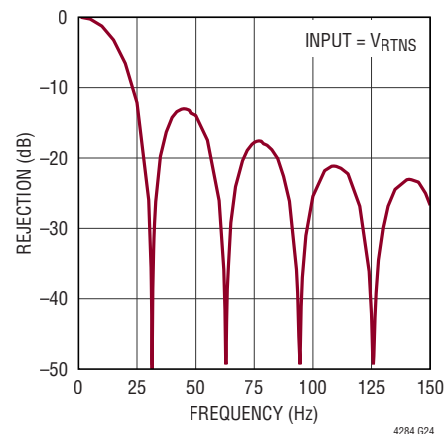
16ビット電圧 ADC のノイズ・ヒストグラム



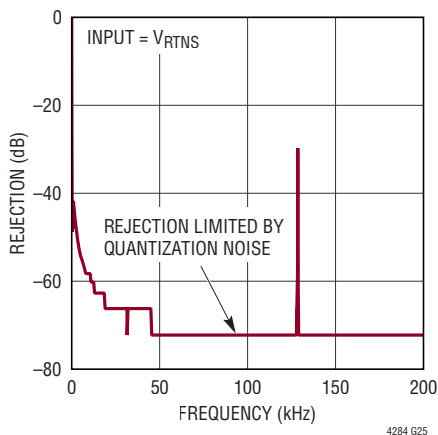
16ビット電流 ADC のノイズ・ヒストグラム



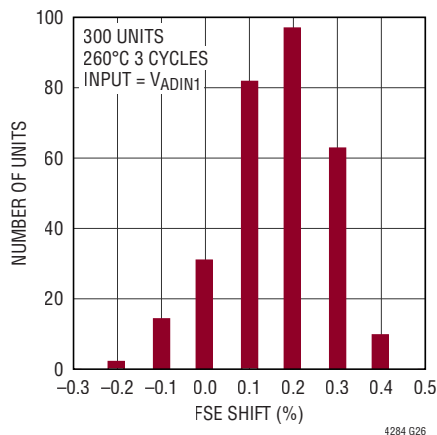
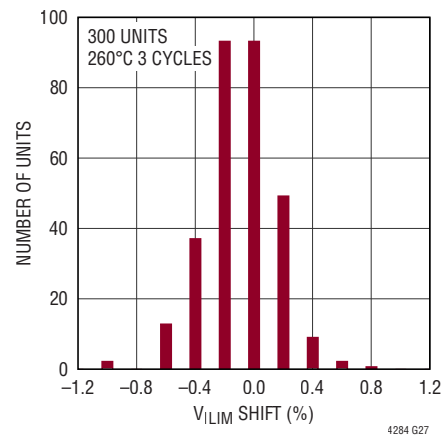
12ビット ADC の入力信号の減衰量 (計算値、低周波数範囲)



代表的な性能特性

12ビットADCの入力信号の減衰量
(計算値、拡張周波数範囲)

IR リフローによる ADC の FSE シフト

IR リフローによる V_{LIM} のシフト

ピン機能

ADC⁺ (ピン16) : ADCへの正の電流検出ケルビン入力。SENSE1⁺とSENSE2⁺の間に取り付けた外付けの抵抗分圧器のタップに接続し、2本のピンの平均を測定します。使用する検出抵抗が1つの場合、SENSE1⁺に接続します。使用しない場合、 V_{EE} に接続します。

ADC⁻ (ピン13) : ADCへの負の電流検出ケルビン入力。SENSE1⁻とSENSE2⁻の間に取り付けた外付け抵抗分圧器のタップに接続し、2本のピンの平均を測定します。使用する検出抵抗が1つの場合、SENSE1⁻に接続します。使用しない場合、 V_{EE} に接続します。

ADIN1~ADIN4 (ピン7~10) : ADC入力。各ADINに印加される0V~2.048Vのシングル・エンド電圧が、内蔵ADCによって測定されます。イネーブルされている場合、ADIN2 – ADIN1とADIN4 – ADIN3の2つの差動電圧も、ADCによってフル・スケールの32.768mVで測定されます。使用しない場合、 V_{EE} に接続します。

ADIO1~ADIO4 (ピン25~28) : 汎用入出力およびADC入力。ロジック入力と汎用出力(オープンドレイン)に構成できます。詳細については、表13を参照してください。ADIOのシングル・エンド電圧は、ADCによってフル・スケールの2.048Vで測定されます。イネーブルされている場合、ADIO2 – ADIO1とADIO4 – ADIO3の差動電圧も、ADCによってフ

ル・スケールの32.768mVで測定されます。使用しない場合、 V_{EE} に接続します。

ADR0, ADR1 (ピン38, ピン39) : シリアルバスのアドレス入力。 V_{EE} 、OPEN、またはINTV_{CC}に接続すると、9つのアドレスの1つに構成設定されます。そのうち1つは1線式ブロードキャスト・モード専用です。外部電源によってバイアスしないでください。アドレスのデコードについては、アプリケーション情報の表2を参照してください。

ALERT# (ピン34) : 障害アラート出力。障害が発生すると、 V_{EE} に接続してホスト・コントローラにアラートを発するオープンドレイン・ロジック出力です。障害アラートは、FAULT_ALERTおよびADC_ALERTレジスタによってイネーブルされます。詳細については、アプリケーション情報の表15および16を参照してください。使用しない場合、 V_{EE} に接続します。

DRAIN (ピン20) : ドレイン検出入力。このピンとNチャンネルMOSFETのドレイン端子の間に、外付けの100k抵抗を接続します。DRAIN電圧が2.048V未満であることは、高ストレス段階的スタート(モード3)または低ストレス段階的スタート・モード(モード4)で、パワーグッド出力をアサートして、GATE2をオンにするための条件の1つです。DRAIN電圧が72mV~203mVで構成可能な電圧値より高い場合、FET

ピン機能

不良タイマーが起動し、電流制限がかかっていないときは TMR 出力電流がイネーブルされます。DRAIN は、内部で最小値の 3.2V にクランプされます。

DRNS (ピン 21) : 減衰したドレイン検出入力。N チャンネル MOSFET のドレイン端子と V_{EE} の間に取り付けた外付け抵抗分圧器のタップに接続し、ドレイン電圧をモニタします。DRNS と RTNS を組み合わせて負荷の出力電圧をモニタし、 dV/dt 突入電流と電流制限フォールドバックを制御します。DRNS の動作電圧は 0~2.8V です。使用しない場合、 V_{EE} に接続します。

EN# (ピン 1) : デバイス・イネーブル入力。ローにすると、GATE 出力をイネーブルして起動デバウンス遅延時間経過後にオンにします。ハイにすると、GATE1 と GATE2 は両方もオフになります。ハイからローへの遷移によって、障害がクリアされます。遷移は記録されます。外付けのプルアップが必要です。ボード検出モニタに使用する場合、外付けコンデンサによってデバウンスを施すことを推奨します。使用しない場合、 V_{EE} に接続します。

露出パッド (ピン 45) : 露出パッドは開放のままでも、デバイスのグラウンド (V_{EE}) に接続してもかまいません。

GATE1、GATE2 (ピン 18、ピン 19) : N チャンネル MOSFET のゲート駆動出力。これらの GATE は、シングル・ドライバ・モード、パラレル・モード、高ストレス段階的スタート・モード、および低ストレス段階的スタート・モードに構成できます。詳細は、アプリケーション情報の表 1 を参照してください。各 GATE は、 V_{IN} と $INTV_{CC}$ が UVLO 閾値を超え、UV 条件および OV 条件が満たされ、その他の障害が存在せず、デバウンス遅延時間が経過したとき、内部電流源 (>40 μA) によってハイに引き上げられます。GATE1 および GATE2 電圧が $V_{IN} - 1.8V$ より高いことは、パワーグッド出力をアサートする条件の 1 つを満たします。低インピーダンス出力の短絡が発生すると、即座に 1.2A の高速プルダウン電流が有効化されます。

INTV_{CC} (ピン 42) : 5V の内部電源出力。内部リニア電圧レギュレータの出力は、4V の UVLO 閾値を持ち、最大 30mA の電流を供給します。この電源は、データ・コンバータ、ロジック制御回路、 I^2C インターフェースおよび EEPROM に電力を供給します。1 μF のコンデンサで V_{EE} にバイパスします。INTV_{CC} は電流制限されません。INTV_{CC} を外部電源で駆動する場合、 V_{IN} と V_Z は開放のままにするか、INTV_{CC} に接続してください。

MODE (ピン 40) : GATE 駆動モード設定入力。このピンの電圧は、GATE1 と GATE2 の 4 つの動作モードをデコードしま

す。MODE ピンを開放のままにすると、シングル・ドライバ・モード (モード 1) がイネーブルされます。GATE1 と GATE2 は、MOSFET のシングル・チャンネルを駆動します。MODE ピンを V_{EE} ピンに接続すると、パラレル・モード (モード 2) がイネーブルされます。GATE1 と GATE2 は、同時にオンして負荷電流を共有し、過負荷時には同時にオフする、MOSFET の 2 つのパラレル・チャンネルを駆動します。MODE ピンを V_{IN} ピンに接続すると、高ストレス段階的スタート・モード (モード 3) がイネーブルされます。GATE1 は、起動のために先にオンして過負荷条件のストレスに耐えることができる高 SOA MOSFET を駆動し、GATE2 は、GATE1 が導通した後にオンして過負荷が発生するとオフするバイパス・スイッチとして低 $R_{DS(ON)}$ MOSFET を駆動します。MODE ピンを $INTV_{CC}$ ピンに接続すると、低ストレス段階的スタート・モード (モード 4) がイネーブルされます。このとき、GATE1 と GATE2 のターンオン動作はモード 3 と同じですが、GATE1 が低 SOA トリクル MOSFET を駆動し、GATE2 によって駆動される低 $R_{DS(ON)}$ バイパス MOSFET は過負荷条件下でもオンを継続し、ストレスを共有します。詳細については、アプリケーション情報を参照してください。

OV (ピン 4) : 過電圧検出入力。 V_{EE} ピンに接続した外付けの抵抗分圧器に接続します。OV ピンの電圧がその閾値である 1.406V を超えると、GATE 出力がローに引き下げられ、MOSFET がオフになり、過電圧障害が記録されます。過電圧障害は、パワーグッド出力のステータスに影響を与えません。使用しない場合、 V_{EE} に接続します。

PGIO1、PGIO2 (ピン 29、ピン 30) : 汎用入出力。シーケンス、反転、および非反転のパワーグッド出力、汎用ロジック入力、オープンドレイン出力に設定できます。詳細は、アプリケーション情報の表 12 を参照してください。CONTROL_1 レジスタ 0x0A の PGIO2_ACLB ビットがセットされている場合、PGIO2 は、起動後の反転電流制限作動インジケータとして設定されます。使用しない場合、 V_{EE} に接続します。

PGIO3 (ピン 31) : 汎用入出力。反転および非反転のパワーグッド・ウォッチドッグ入力 (PGI# および PGI)、汎用ロジック入力、オープンドレイン出力に設定できます。詳細は、アプリケーション情報の表 12 を参照してください。使用しない場合、 V_{EE} に接続します。

PGIO4 (ピン 32) : 汎用入出力。反転および非反転の外部障害入力 (EXT_FAULTIN# および EXT_FAULTIN)、汎用ロジック入力、オープンドレイン出力に設定できます。詳細は、アプリケーション情報の表 12 を参照してください。使用しない場合、INTV_{CC} に接続します。

ピン機能

RAMP (ピン 23) : ランプ制御。RAMPと V_{EE} の間にコンデンサを接続して、 dV/dt 起動モードの突入電流を設定します。 dV/dt 制御中、RAMPは減衰した出力として動作し、RAMPコンデンサを介して固定された $2.5\mu A$ 電流を供給し、出力電圧のスルー・レートを設定します。起動後、パワーグッド信号がアサートされると、 dV/dt 突入電流制御はディスエーブルされます。使用しない場合、開放のままにします。

RTNS (ピン 22) : RTN 検出入力。RTNと V_{EE} の間に取り付けた外付け抵抗分圧器のタップに接続し、基板の入力電圧をモニタします。RTNS電圧はADCによって測定され、入力電圧を計算するために使用されます。DRNSと合わせて負荷の出力電圧をモニタし、 dV/dt 突入電流および電流制限フォールドバックを制御します。 $0V \sim 2.8V$ で動作します。使用しない場合、INTV_{CC}に接続します。

SCL (ピン 37) : シリアル・バスのクロック入力。SCLの立上がりエッジで、SDAIピンのデータはシフト・インされ、SDAOピンのデータはシフト・アウトされます。これは高インピーダンス入力で、一般に、マスタ・コントローラのSCLポートによって駆動される受信側アイソレータの出力に接続されます。外付けのプルアップ抵抗または電流源が必要です。使用しない場合、INTV_{CC}に引き上げます。

SDAI (ピン 36) : シリアル・バスのデータ入力。これは高インピーダンス入力で、コマンド・ビット、データ・ビット、SDAOアクトレジット・ビットをシフト・インするために使用されます。外付けのプルアップ抵抗または電流源が必要です。通常、マスタ・コントローラのSDAポートによって駆動される受信側アイソレータの出力に接続されます。使用しない場合、INTV_{CC}に引き上げます。

SDAO (ピン 35) : シリアル・バスのデータ出力。データをマスタ・コントローラに送り返すため、または書き込み動作のアクトレジットを返すために使用されるオープンドレイン出力。外付けのプルアップ抵抗または電流源が必要です。通常、マスタ・コントローラのSDAポートに出力する送信側アイソレータの入力に接続されます。1線式ブロードキャスト・モードでは、SDAOは、内部クロックでマンチェスタ・エンコードされた選択済みデータを送出します。ブロードキャスト・ビット・レートは、 $2Mbit/s \sim 32kbit/s$ の範囲で設定できます。

SENSE1⁺、SENSE2⁺ (ピン 15、ピン 17) : 正の電流検出ケルビン入力。電流検出抵抗のハイサイドに接続します。アクティブ電流制限アンプは、GATE1とGATE2を個別に制御して、検出電圧SENSE1⁺ – SENSE1⁻およびSENSE2⁺ – SENSE2⁻を $15mV \sim 30mV$ の範囲で $1mV$ 刻みに設定可能な値に制限します。イネーブルされている場合、SENSE1⁺ – SENSE1⁻およびSENSE2⁺ – SENSE2⁻も、ADCによってフル・スケールの $32.678mV$ で測定されます。使用する検出抵抗が1つの場合、両ピンを互いに接続します。高ストレス段階的スタート・モード(モード3)では、SENSE2⁺を V_{EE} に接続します。使用しない場合、両方を V_{EE} に接続します。

SENSE1⁻、SENSE2⁻ (ピン 14、ピン 12) : 負の電流検出ケルビン入力。電流検出抵抗のロー・サイドに接続します。

TMR (ピン 24) : 回路ブレーカのタイマー電流出力。TMRから流れ出る電流は、GATE1によって駆動されるMOSFETの電力損失に比例します。MOSFETの温度特性を表現するRCネットワークをTMRと V_{EE} の間に接続した場合、TMRの電圧はMOSFETのリアルタイムの温度上昇を表します。TMRの電圧がその閾値である $2.048V$ (MOSFETの $T_{J(MAX)}$ に対応する)に達すると、GATE1とGATE2は両方ともローに引き下げられ、両MOSFETがオフになり、過電流障害がログに記録されます。TMRと V_{EE} の間に接続されるコンデンサが1つだけの場合、TMRは、MOSFETの電力損失に基づいて、MOSFETのターンオフに遅延時間を設定します。このモードでは、MOSFETの電力が0近くまで降下したときにコンデンサを放電するために、 $2\mu A$ のプルダウン電流をイネーブルする必要があります。EN#がローのとき、TMRは $5mA$ の電流によって放電されます。使用しない場合、 V_{EE} に接続します。

UVH (ピン 3) : 低電圧ハイ・レベル入力。 V_{EE} ピンに接続した外付けの抵抗分圧器に接続します。UVHピンの電圧が $2.048V$ を超え、UVLピンの電圧が $1.833V$ を超えると、GATE出力がハイに引き上げられ、MOSFETがオンになります。 $10nF$ 以上のコンデンサをUVHピンと V_{EE} ピンの間に接続すると、過渡事象やスイッチング・ノイズがUV閾値に悪影響を与えるのを防ぐことができます。使用しない場合、INTV_{CC}ピンに接続します。

ピン機能

UVL (ピン2) : 低電圧ロー・レベル入力。V_{EE}ピンに接続した外付けの抵抗分圧器に接続します。UVLピンの電圧が1.833Vを下回り、UVHピンの電圧が2.048Vを下回ると、MOSFETはオフになります。1.024Vより下の電圧に引き下げると、障害がリセットされ、低電圧条件がクリアされたときにMOSFETが再びオンできるようになります。使用しない場合、INTV_{CC}ピンに接続します。

V_{EE} (ピン11およびピン33) : 負の電源電圧入力およびデバイスのグラウンド。電源の負側に接続します。任意のコンポーネントおよびデバイス・グラウンドとの接続は、基板の-48Vのメイン電流パターンではなく、V_{EE}に直接接続した専用のプレーンに対して行う必要があります。

V_{IN} (ピン43) : デバイスへの正側電源入力。V_Zピンに直接接続するか、V_Zピンによって駆動される外付けのバッファ・トランジスタを介して接続します。V_{IN}の電圧は内部で11.5Vに安定化されます。低電圧ロックアウト(UVLO)回路は、V_{IN}電圧が8.1Vを超えるまで、GATE1とGATE2の出力をローに保持します。0.1μF以上のコンデンサを使って、V_{EE}にバイパスします。ブラウンアウト時に障害情報をEEPROMに記録するには、V_{IN}ピンを68μF以上のコンデンサを使用してV_{EE}にバイパスします(詳細については、アプリケーション情報を参照してください)。

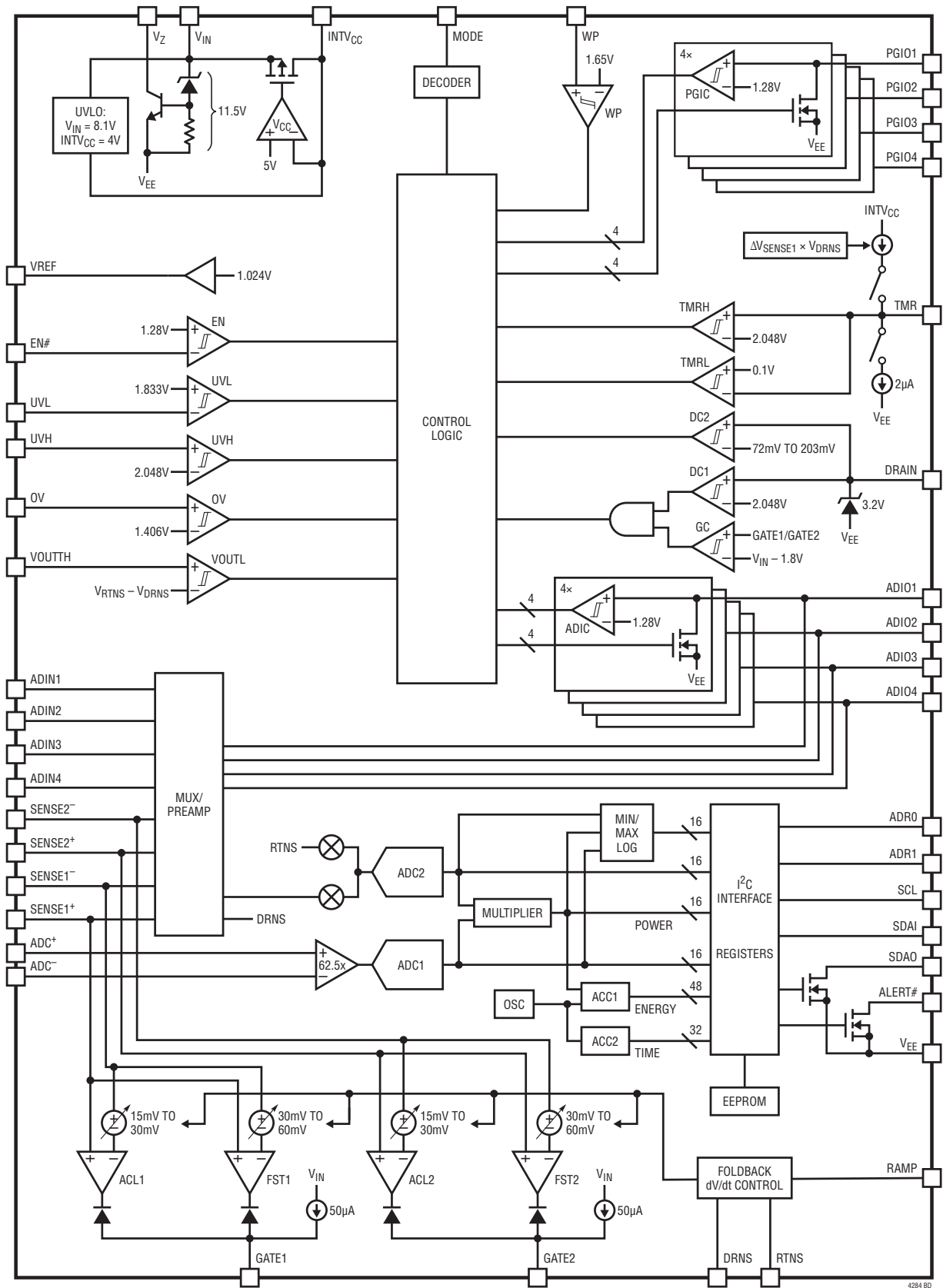
V_{OUTTH} (ピン6) : 出力の下側閾値入力。外付けのリファレンス電圧に接続し、出力電圧の下側閾値を設定します。RTNS - DRNS電圧がV_{OUTTH}を下回ると、V_{OUT}低下のステータス・ビットがセットされます。RTNS - DRNS電圧がV_{OUTTH}を上回ると、パワーグッド出力をアサートする条件の1つが満たされます。使用しない場合、V_{EE}に接続します。

V_{REF} (ピン5) : リファレンス電圧出力。1.024V (ADCフルスケール電圧の1/2)に安定化されます。最大200μAの電流を供給し、最大400μAの電流を吸い込みます。最大10nFの容量性負荷を駆動できます。使用しない場合、開放のままにします。

V_Z (ピン44) : シャント・レギュレータ入力。20μA~30mAのバイアス電流で動作します。ドロップ抵抗を介して正側電源(RTN)に接続します。V_{IN}ピンで外部負荷に電力を供給するには、エミッタまたはソースがV_{IN}に接続された外付けバッファ・トランジスタをV_Zで駆動します。0.1μFのコンデンサでV_{EE}にバイパスします。

WP (ピン41) : EEPROMの書き込み保護入力。WPピンの電圧が1.65Vより高いとき、EEPROMに対するすべての書き込み動作(障害ログの記録を除く)はブロックされます。

ブロック図



4284 80

動作

LTC4284は、制御された状態で基板の電源電圧をオン／オフするように設計されているため、電源の入っている高電力システムに対して基板を安全に挿抜できます。このデバイスは、シングル・ドライバ・モード(モード1)、パラレル・モード(モード2)、高ストレス段階的スタート・モード(モード3)、低ストレス段階的スタート・モード(モード4)の4つの異なる動作モードを備えています。各モードにより、アプリケーションによって異なるSOA(安全動作領域)、 $R_{DS(ON)}$ 、およびコスト条件に対応できます。

起動デバウンス遅延後の通常動作時に、LTC4284は外付けNチャンネルMOSFETをオンにして負荷に電力を供給します。起動中の突入電流制御は2つの手法で設定できます。1つの方法は、調整可能なフォールドバック係数を持つプログラム可能なアクティブ電流制限(ACL)です。もう1つの方法は、RAMPピンと V_{EE} ピンの間に接続したコンデンサを使用して、出力電圧の dV/dt ランプを一定に制御することです。突入電流は、RAMPコンデンサ、負荷コンデンサ、およびRTNSとDRNSの間で測定される減衰した負荷電圧の関数になります。

V_{IN} の11.5Vシャントレギュレータは、システムのRTNノードから外付けのドロップ抵抗を使用してLTC4284に電力を供給します。また、GATE1およびGATE2のゲート駆動を実行します。 V_Z によって駆動されるバッファトランジスタ(オプション)は、外部負荷に電力を供給できるよう、電力供給能力を強化します。

INTV_{CC}で内部的に生成される5V電源は、ロジック制御回路、通信インターフェース、データ・コンバータ、およびEEPROMに電力を供給します。MOSFETをオンにする前に、 V_{IN} とINTV_{CC}の両電圧が、それぞれの低電圧ロックアウト閾値を超えるようにしてください。また、制御入力UVH、UVL、OV、EN#、PGIO3、PGIO4は、コンパレータによりモニタされます。すべての起動条件が満たされるまで、MOSFETはオフに維持されます。

DRAIN、RTNS – DRNS、およびGATEの電圧がモニタされ、負荷に電力を供給できるかどうかが決まります。PGIO1とPGIO2で2つのパワーグッド信号がシーケンス制御され、それぞれ起動デバウンス遅延の2倍の遅延を持ちます。更に、PGIO3はDC/DCモジュールの出力をモニタするウォッチドッグ入力として機能します。モジュール出力が立ち上がらない場合、LTC4284はMOSFETをオフにします。PGIO4は、デフォルトで外部障害入力(反転)として機能します。

PGIO1～4は、汎用入力／出力として構成することもできます。

出力で過電流障害が発生すると、アクティブ電流制限(ACL)中にMOSFETの消費電力が過剰に増加します。各チャンネルでこの電力を制限するため、ACLアンプは、SENSE1⁺ – SENSE1⁻電圧およびSENSE2⁺ – SENSE2⁻電圧を、高精度にプログラム可能な値(1mV刻みで15mV～30mV)に安定化します。出力電圧が低いとき、フォールドバック電流制限により、消費電力をより低減できます。フォールドバック比は、公称値の10%、20%、または50%に設定可能です。検出電流が電流制限の2倍になるような重大な出力短絡が発生すると、高速応答コンパレータが1.2Aの電流によってGATEピンを即座に引き下げます。

アクティブ電流制限が作動し、GATE1によって駆動されるMOSFET(M1)内の電力損失に比例する電力によって、TMRが引き上げられます。RCネットワークはTMRと V_{EE} の間に接続されたM1の温度特性を表し、TMR電圧はM1内の温度上昇に比例します。TMR電圧が閾値である2.048V(MOSFETの $T_{J(MAX)}$ を表す)に達すると、過電流障害がログに記録され、GATE1とGATE2が両方ともオフになり、SOAに基づいてMOSFETが保護されます。TMRは、シングル・コンデンサを駆動するよう構成することもできます。過電流障害の後、LTC4284はMOSFETをラッチオフするか、冷却遅延時間が経過した後に自動再試行を行うことができます。再試行遅延時間と再試行回数の両方を設定可能です。LTC4284では、過電圧、低電圧、FET不良、パワーグッド入力(PGI)障害、FET短絡、外部障害など、その他の障害のログ記録および応答も可能です。

LTC4284には、1対のA/Dコンバータ(ADC)が含まれています。これらのADCは、5つの設定で、8ビット(1kHz)～16ビット(1Hz)に構成できます。ブロック図に示すように、ADC1は、ADC⁺とADC⁻の間の電流検出電圧を連続的にモニタします。ADC2はADC1と同期し、RTNSの減衰した入力電圧またはDRNSの減衰したMOSFETドレイン電圧と、16個の補助入力の1つを測定します。ADCが測定値の取り込みを終了するたびに、電流検出電圧にRTNSまたはDRNSの電圧測定値を掛けることによって、電力測定値が得られます。電力は、測定されるたびに、入力電力量またはMOSFETの消費電力量をトラッキングしている積算電力量計に加算されます。積算電力量計は、オプションでオーバーフロー時にアラートを発することができます。また、電力量が指定された値に達すると、オーバーフローするようにプリセットできま

動作

す。積算時間計は、電力量のインクリメント回数をカウントします。つまり、積算電力量計の結果を積算時間計で割ると、システム電力の平均値が得られます。各ADCの測定値および電力の最小値と最大値は保存され、設定可能な8ビットの閾値より測定値が高くなるか低くなると、オプションでアラートを発生できます。

内蔵のEEPROMは、LTC4284の動作およびパラメータの不揮発性を設定します。また、障害情報と選択されたADCデータも記録します。コミットされていない7バイトのメモリは、汎用記憶領域として予約されています。

I²C/SMBus インターフェースは、ADCのデータ・レジスタへのアクセスに使用できます。また、ホストがデバイスをポーリングして、障害が発生したかどうかを判別するためにも使用できます。ALERT#ラインを割り込みとして使用すると、ホストは障害に対してリアルタイムで応答できるようになります。再起動コマンドは、MOSFETをオフにして、設定可能な

遅延時間の後、自動的に再起動します。SDAラインは、システム・ホストとの光結合に使用できるように、SDAI(入力)とSDAO(出力)に分割されています。2本のスリーステート・ピン(ADR0とADR1)を使用することで、8通りのデバイス・アドレスをデコードできます。

この通信インターフェースは、ADR0とADR1を使用して、1線式ブロードキャスト・モードに設定することもできます。1線式ブロードキャスト・モードでは、SCLラインにクロックを出力することなく、SDAOを介してADCのデータと障害ステータスをホストに送出します。この1線式の単方向通信を使用すると、I²Cインターフェースに必要なSCLおよびSDAIの2個のオプトカップラが不要になるため、システム設計を簡略化できます。転送速度は、4つの設定で32kHz~2MHzに構成できます。

アプリケーション情報

LTC4284は、電源の入っている負電圧バックプレーンに対して基板を安全に挿抜できることから、高電力、高可用性の分散型電源システムに最適です。このデバイスは2つのGATEドライバを備えており、パラレル・モード、高ストレス段階的スタート・モード、低ストレス段階的スタート・モード、およびシングル・ドライバ・モードに設定できます。モードを選択することで、MOSFETのSOAとR_{DS(ON)}を様々なアプリケーション条件に合わせて最適化できます。以降のセクションでは、パラレル・モードを最初の例に挙げて、共通の機能と基本的なホット・スワップ・アプリケーションについて説明します。その後、各動作モードに固有の機能とアプリケーションを個別に説明していきます。

図1は、デュアル・ゲート・ドライバがパラレル・モードで構成された、基本的な1.2kWアプリケーション回路を示しています。図2は、基板挿入検出と光結合を備えたデュアル・フィード・システムのより高機能のアプリケーション回路を示しています。

入力電源

LTC4284は、幅広い動作電圧範囲を実現でき、障害耐性に優れたフローティング・トポロジを採用しています。-48Vシステムでは、LTC4284の電源はV_{IN}ピンおよびV_Zピンに接続

された外付けのシャント抵抗(R_{IN})を介して-48V RTNから供給されます(図1を参照)。内部シャント・レギュレータがV_{IN}の電圧をV_{EE}を基準とする11.5Vにクランプし、GATEドライバに電力を供給します。V_Zは、このレギュレータのシャント・パスとして機能します。V_{IN}/V_ZとV_{EE}の間には、0.1μF以上のバイパス・コンデンサを推奨します。EEPROM障害ログがイネーブルされている場合(障害ログを参照)、低電圧条件または電力損失条件が発生した後に障害ログ動作が完了するために必要なV_{IN}の最小バイパス容量は、以下のようになります。

$$C_{IN} \geq 15 \left[\frac{\mu F}{mA} \right] \cdot (I_{IN(MAX)} + I_{EXTERNAL})$$

11.5V電源で駆動する内蔵の5Vリニア電圧レギュレータが、データ・コンバータ、ロジック制御回路、I²Cインターフェース、およびEEPROMに電力を供給します。INTV_{CC}ピンでは、外部回路を駆動するために5V出力を利用できます。INTV_{CC}とV_{EE}の間には、1μFのバイパス・コンデンサが推奨されます。データ・コンバータをテストする、もしくはEEPROMをプログラムするだけであれば、メインの-48V電源は必要ありません。代わりに、V_{IN}とV_ZをINTV_{CC}に接続した状態で、INTV_{CC}とV_{EE}の間に5V電源を印加します。

アプリケーション情報

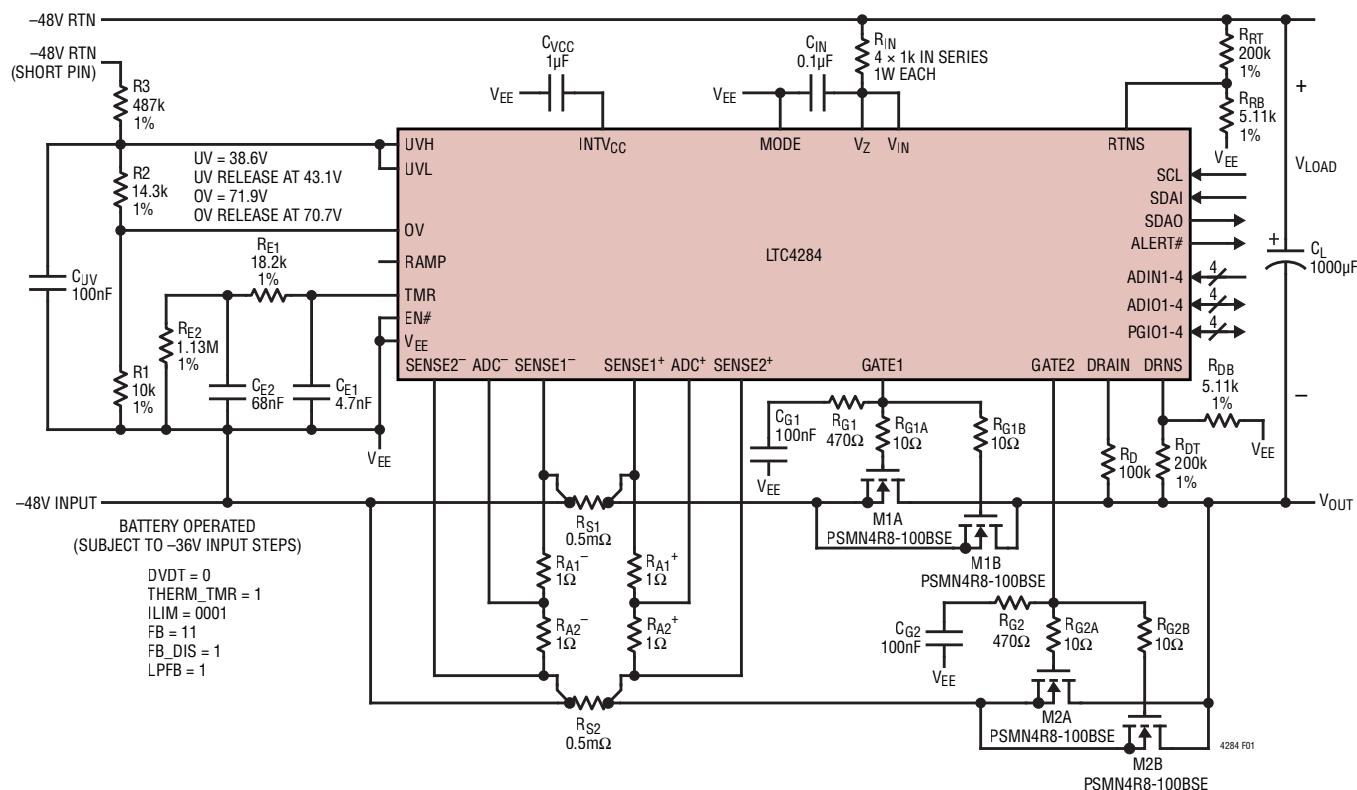


図1. SOAタイマーと電流制限付き突入電流制御を備えた、パラレル・モードの-48V/1200Wホット・スワップ・コントローラ:
GATE1とGATE2は同時にオン/オフし、負荷電流とSOAを共有

R_{IN} は、LTC4284の最大電源電流条件 ($I_{IN(MAX)} = 4mA$) に、最小電源電圧 ($V_{S(MIN)}$) および最大 V_{IN} 電圧 ($V_{IN(MAX)}$) で V_{IN} ピンと $INTV_{CC}$ ピンによって駆動されるすべての外付け部品が必要とする電源電流を加えた値に対応するように選択します。

$$R_{IN} \leq \frac{V_{S(MIN)} - V_{IN(MAX)}}{I_{IN(MAX)} + I_{EXTERNAL}}$$

この抵抗の最大電力損失は次のとおりです。

$$P_{MAX} = \frac{(V_{S(MAX)} - V_{IN(MIN)})^2}{R_{IN}}$$

R_{IN} の電力損失が1本の抵抗にしては大きすぎる場合、複数の抵抗を直列に接続します。これにより、高電圧サージ時のマージンを拡大できます。もう1つのオプションとしては、図2bに示すように、外付けのNPNトランジスタ (Q_{IN}) を使用します。 V_{IN} と V_Z のそれぞれを $0.1\mu F$ 以上のコンデンサでバイパスしなければなりません。その場合、 R_Z は次式に従って選択します。

$$R_Z \leq \frac{V_{S(MIN)} - V_{IN(MAX)} - V_{BE}}{\frac{I_{IN(MAX)} + I_{EXTERNAL}}{\beta} + 20\mu A}$$

ここで、 V_{BE} はNPNトランジスタのベース・エミッタ間電圧で、 β はNPNトランジスタのDC電流ゲインです。 $20\mu A$ は、 V_Z の最小動作電流を表しています。 Q_{IN} の最大消費電力は以下となります。

$$P_{QIN,MAX} = (V_{S(MAX)} - V_{IN(MIN)}) \cdot I_{IN(MAX)}$$

R_{IN} または R_Z は、目的のスタンドオフ電圧または損失を達成するために、複数の部分に分割することができます。1206サイズの抵抗は、動作定格が200Vで、ピーク定格が400Vであるのが一般的ですが、パッド間隔と回路基板の設計ルールにより、動作定格がわずか100Vに制限されることがあります。

(300Vを超えるような)非常に高電圧のアプリケーションでは、高電圧のMOSFETを使用できます。図3は、最高1000Vのドレイン・ソース間電圧に耐えることができるデプレッション・モードNチャンネルMOSFETを持つアプリケーション

アプリケーション情報

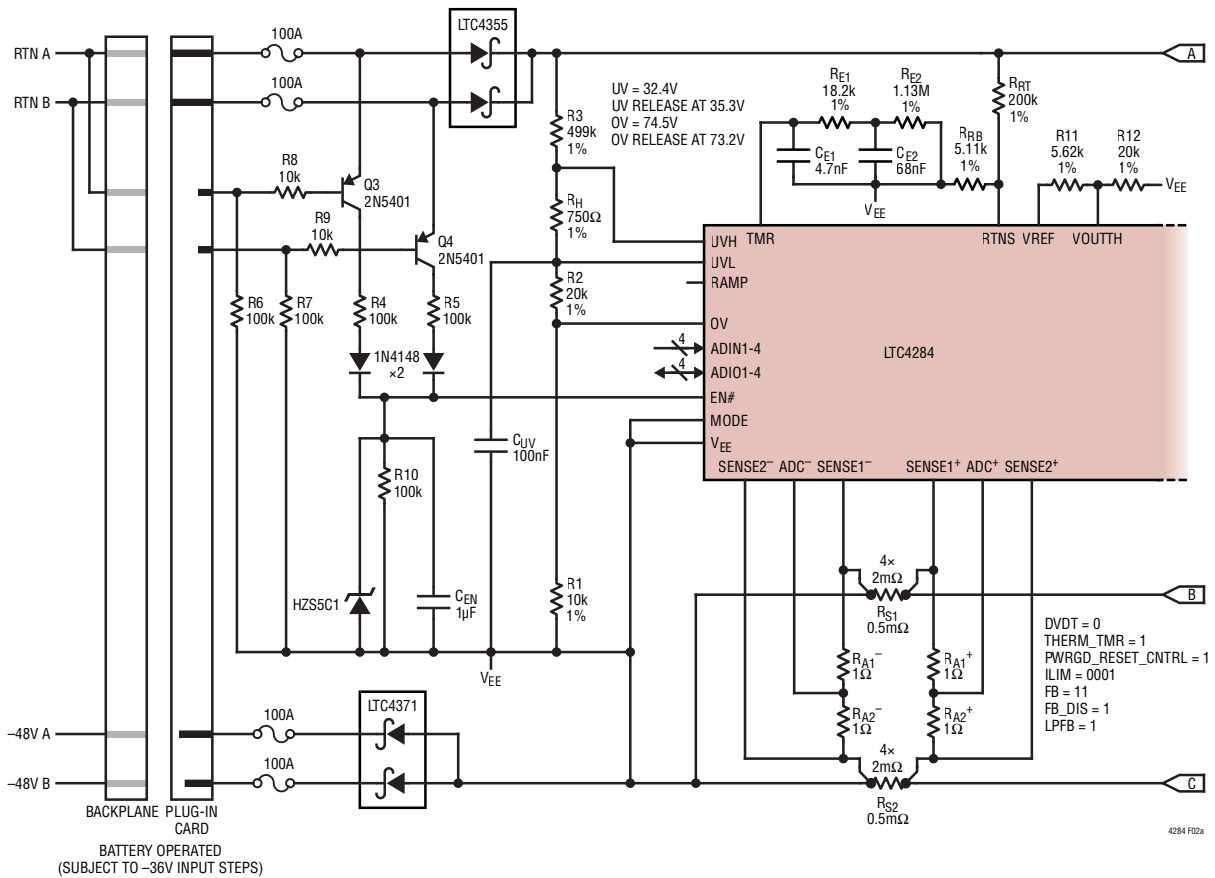


図2a. LTC4284をパラレル・モードに構成した-48V/1200Wデュアルフィード・ホット・スワップ・コントローラ(パート1)

回路を示しています。その場合、 R_Z は次式に従って選択します。

$$R_Z \leq \frac{V_{S(MIN)} - V_{IN(MAX)} - V_{GS}}{20\mu A}$$

ここで、 V_{GS} はMOSFETのゲート・ソース間電圧です(エンハンスメント・モード・トランジスタでは正、デプレッション・モード・トランジスタでは負)。エンハンスメント・モード・トランジスタを使用するとき、 V_Z 電圧はその絶対最大値である16Vより低く維持する必要があります。

$$V_{Z(MAX)} = V_{IN(MAX)} + V_{GS} < 16V$$

図2bおよび図3において、NPNまたはMOSFETの電圧降下と電力損失は、コレクタまたはドレインで直列接続した1つ以上の抵抗を使用することによって増大させることができます。アプリケーション基板上で外付けの12V電源が利用できる場合、図4に示すように、外付けの12V電源を使用して V_{IN} ピンを直接駆動することができます。

ターンオン・シーケンス

ターンオン・シーケンスを開始する前に、次の条件を満たす必要があります。まず、 V_{IN} の電圧が8.1Vの低電圧ロックアウト・レベルを上回る必要があります。次に、内部電源INTV_{CC}が4Vの低電圧ロックアウト・レベルを超える必要があります。これにより、1.3ミリ秒のパワーオン・リセット遅延が生成されます。遅延時間がタイムアウトした後、UVH、UVL、OVの各ピンの電圧がUVH > 2.048V、UVL > 1.833V、OV < 1.406Vを満たして、入力電力が許容範囲内であることを知らせ、EN#をローに引き下げる必要があります。128ミリ秒の起動デバウンス遅延の間、上記すべての条件が満たされている必要があります。遅延時間中に上記の条件が1つでも満たされなかった場合、遅延はリセットされ、再開されます。遅延時間が経過した後、CONTROL_1レジスタ0x0AのONビットがハイの場合、LTC4284はMOSFETをオンにします。それ以外では、I²Cインターフェースを介してONビットが1にセットされたとき(追加の遅延なしで)MOSFETがオンにな

アプリケーション情報

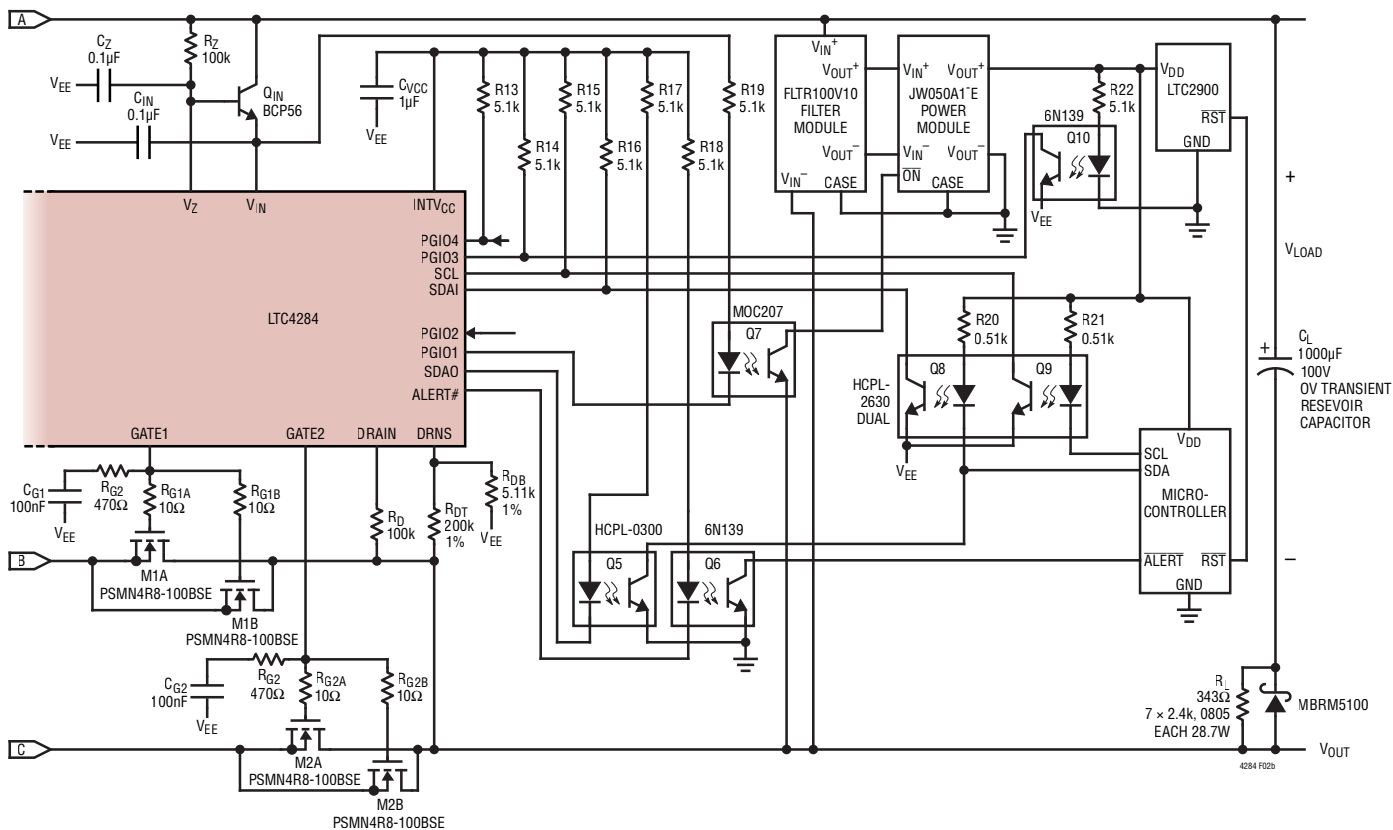


図2b. LTC4284をパラレル・モードに構成した-48V/1200Wデュアルフィード・ホット・スワップ・コントローラ(パート2)

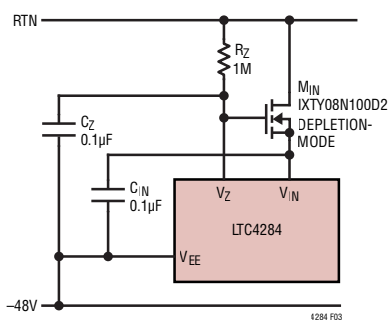


図3. LTC4284は、ディプリーション・モードのNチャンネルMOSFETを使用することで、300Vを超える電圧で動作可能

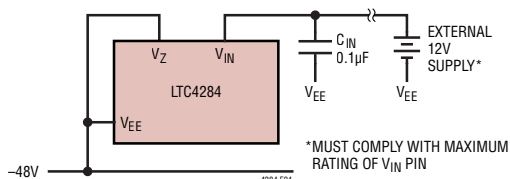


図4. 外付けの12V電源の使用

ります。すべてのターンオン条件が満たされると、SYSTEM_STATUSレジスタ0x00のFET_ON_STATUSビットに1がセットされ、MOSFETがオンになるよう命令されたことを知らせます。

ターンオン・シーケンスは、続けて、GATEを50μA電流源で充電します。GATE電圧がMOSFETのスレッショルド電圧に達すると、MOSFETがオンし始め、突入電流が負荷コンデンサ(C_L)を充電してMOSFETドレインを制御された方法でV_{EE}に近づけます(突入電流制御を参照)。MOSFETドレインがV_{EE}まで下降するか、出力が電源電圧まで上昇すると、GATEはV_{IN}に引き上げられ、MOSFETが完全に導通します。SYSTEM_STATUSレジスタ0x00のGATE1_HIGHビットおよびGATE2_HIGHビットは、GATE1とGATE2がV_{IN}-1.8Vを上回るとセットされます。図5は、パラレル・モードにおけるLTC4284の起動シーケンスを示しています。

アプリケーション情報

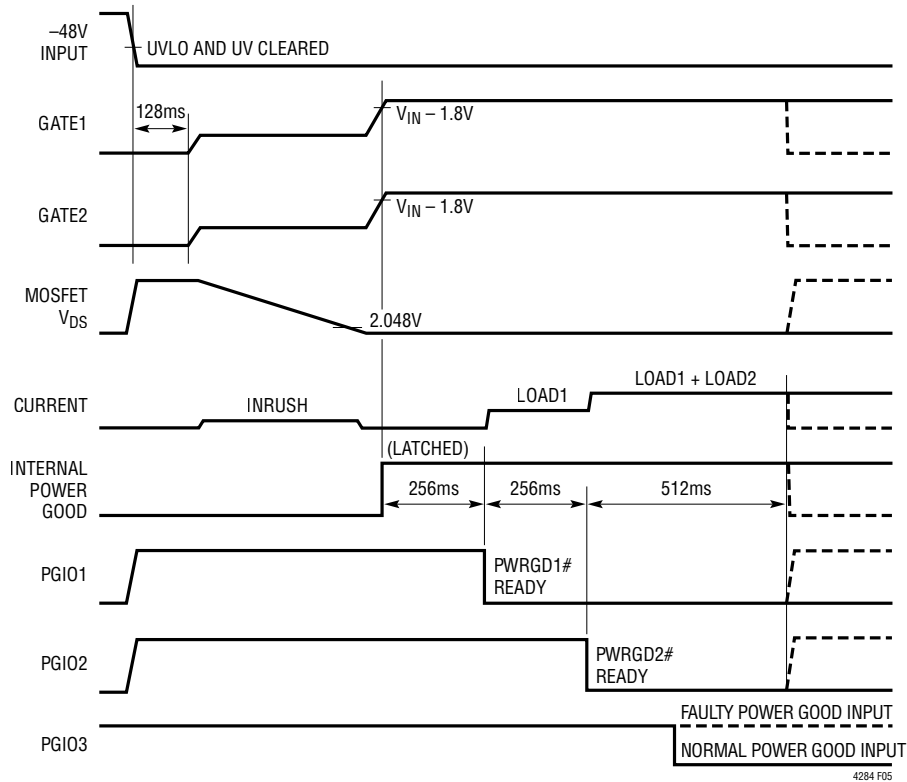


図5. LTC4284の平行・モードにおけるターンオン・シーケンス

1.3ミリ秒のパワーオン・リセット遅延の間、障害レジスタはクリアされ、制御レジスタには対応するEEPROMレジスタに保持されているデータが読み込まれます。パワーオン・リセットは、レジスタ0x0EのPORBビットで検出できます。このビットは、INTV_{CC}が3.8Vを下回るとクリアされます。通常動作条件では、このビットを1にセットし、このビットを継続的にモニタしてください。その後の読み出し時に0になった場合、パワーオン・リセットが発生したことを示します。

突入電流制御

突入電流の制御は、2つの方法で設定できます。1つ目の方法では、CONTROL_1レジスタ0x0AのDVDTビットが1にセットされている場合、図6に示すように、RAMPとV_{EE}の間に接続された外付けのコンデンサ(RAMPコンデンサ、C_R)によって、dV/dtモードで突入電流を制御します。dV/dtモードでは、一定の出力電圧ランプレート(dV/dt)を制御することによって、突入電流を制限します。起動中、GATE電圧がMOSFETのスレッシュホールド電圧に達すると、突入電流が負荷コンデンサC_Lを充電する一方で、RAMPは固定された2.5μA電流を出力してC_Rを充電します。dV/dt制御中、

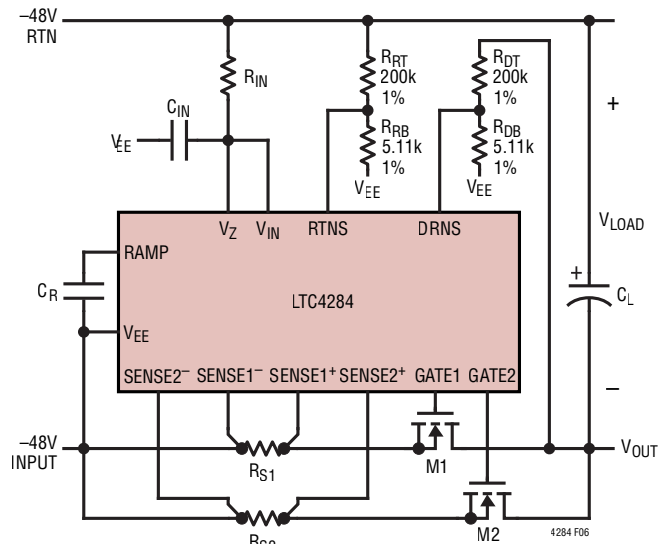


図6. RAMPコンデンサを使用したdV/dt突入電流制御

LTC4284は、次のように、RTNSとDRNS間の減衰した負荷電圧にオフセットを加えた値にRAMPを安定化します。

$$V_{RAMP} = V_{RTNS} - V_{DRNS} + 0.18V$$

アプリケーション情報

これにより、突入電流を固定値に安定化します。この固定値は、減衰比(r)と、負荷容量とRAMP容量の比の関数であり、次のように表すことができます。

$$I_{\text{INRUSH}} = 2.5\mu\text{A} \cdot r \cdot \frac{C_L}{C_R}$$

減衰比(r)は、図6に示す、RTNSに接続した外付けの抵抗分圧器(R_{RT} および R_{RB})と、DRNSに接続した外付けの抵抗分圧器(R_{DT} および R_{DB})によって、次のように設定されます。

$$r = \frac{R_{\text{RT}} + R_{\text{RB}}}{R_{\text{RB}}} = \frac{R_{\text{DT}} + R_{\text{DB}}}{R_{\text{DB}}}$$

RTNSは減衰した入力電圧を表し、DRNSはMOSFETのドレイン電圧を表します。したがって、RTNSとDRNSの差動電圧は、減衰した負荷電圧を表します。 V_{RTNS} 、 V_{DRNS} 、 $V_{\text{RTNS}} - V_{\text{DRNS}}$ の動作範囲は0V~2.8Vです。

dV/dt制御は、最初の起動時のみにアクティブになります。ターンオン・シーケンスが完了し、パワーグッド信号がアクティブ化されると、dV/dt突入電流制御モードは無効化され、RAMPは4mA電流で放電されます。RAMPは、GATEのターンオフ条件下でも放電されます。dV/dtモードでは、電流制限をトリガしないよう、突入電流はフォールドバック電流制限レベルより低い値に設定しなければなりません(以下を参照)。

2つ目の突入電流制御メカニズムは、アクティブ電流制限です。この方法を有効化するには、CONTROL_1レジスタ0x0AのDVDTビットをクリアします。このモードでは、次式に示すフォールドバック電流制限値に突入電流を調整します。

$$I_{\text{INRUSH}} = I_{\text{LIM}} \cdot \alpha_{\text{STARTUP}}$$

ここで、 I_{LIM} は電流制限値で、 α_{STARTUP} は起動時のフォールドバック係数です。 I_{LIM} は、電流制限検出電圧(V_{ILIM})と検出抵抗(R_S)によって決定されます。

$$I_{\text{LIM}} = \frac{V_{\text{ILIM}}}{R_S}$$

V_{ILIM} は、1mV刻みで15mV~30mVの範囲で設定できます。 α_{STARTUP} は、電流制限値の10%、20%、50%、100%(フォールドバックなし)に設定できます。起動中、電流制限フォールドバック・プロファイルはフラットで、出力電圧に合わせて変化しません。詳細については、電流制限の調整と電流制限フォールドバックを参照してください。このモードでは、RAMPピンのRAMPコンデンサ(C_R)は有効になりません。 C_R を省略する場合、RAMPは開放のままにしなければなりません。

パラレル・モードもしくはシングル・ドライバ・モードでは、GATE1とGATE2は同時にオンされ、負荷コンデンサを充電します。段階的スタート・モードでは、GATE1が先にオンして負荷コンデンサを充電し、負荷コンデンサが満充電された後にGATE2がオンします。詳細については、高ストレス段階的スタート・モード(モード3)と低ストレス段階的スタート(モード4)を参照してください。

パワーグッド・モニタとPGI障害

MOSFETがオンになった後、パワーグッド信号がアクティブになる前に、次の条件を満たす必要があります。最初に、DRAINピンの電圧が2.048Vを下回っており、MOSFETのドレイン電圧が低いことを示している必要があります。次に、RTNS - DRNSがVOUTTHの外部スレッシュホールド電圧を超えており、出力電圧が高いことを示している必要があります。最後に、GATE電圧がGATEのハイ条件($V_{\text{IN}} - 1.8\text{V}$ を超える)を満たす必要があります。パラレル・モードでは、一方のGATEはハイで、他方のGATEはハイまたは電流制限内のいずれかである必要があります。これら3つの条件すべてが満たされると、内部パワーグッド信号がラッチされ、SYSTEM_STATUSレジスタ0x00のPG_STATUSビットがセットされ、図5に示す、一連の3つの遅延サイクルが開始されます。最初の遅延時間である256ミリ秒が経過すると、最初のパワーグッド信号(PGIO1)が最初の負荷をオンにします。2つ目の遅延である256ミリ秒が経過すると、2つ目のパワーグッド信号(PGIO2)が2つ目の負荷をオンにします。

2つの256ミリ秒遅延に続いて、PGIO3をパワーグッド入力(PGI)ウォッチドッグとしてモニタするため、3つ目の遅延である512ミリ秒が開始されます。この遅延時間が経過する前に、負荷が正常に動作していることを示すため、PGIO3は外部電源モニタによってローまたはハイ(極性はレジスタ0x10で設定可能)にされる必要があります。それ以外の場合、MOSFETはオフになり、PGI障害が障害レジスタ0x04に記録されます。CONTROL_2レジスタ0x0BのPGI_RETRYビットが1にセットされている場合、PGI障害後に128ミリ秒の遅延時間が経過した後、MOSFETは自動的に再試行できます。パワーグッド信号とパワーグッド入力はいずれも、PGIO_CONFIG_1レジスタ0x10を使用することで、反転または非反転の極性に設定できます(表12を参照)。PGIウォッチドッグをディスエーブルするには、設定された極性に応じてPGIO3を V_{EE} またはINTV $_{\text{CC}}$ に接続するか、レジスタ0x10を使用してPGIO3を汎用入力または出力に設定します。

アプリケーション情報

パワーグッド信号は、2つの設定可能な方法でリセットされます。CONTROL_1レジスタ0x0AのPWRGD_RESET_CNTRLビットが1にセットされている場合、パワーグッド信号は、 $RTNS - DRNS < VOUTTH$ によって示される出力ローの条件によってリセットされます。図2aでは、VOUTTHは0.8Vにバイアスされているため、パワーグッド信号は $RTNS - DRNS$ が0.8Vを下回ったときリセットされます。これは、 $V_{OUT} < 32V$ に相当します。PWRGD_RESET_CNTRLビットがクリアされている場合、パワーグッド信号は、過電圧障害を除くすべてのGATEのターンオフ条件によってリセットされます。パワーグッド信号がリセットされると、パワーグッド遅延とPGI遅延もリセットされます。

ターンオフ・シーケンス

次のいずれかの条件が発生すると、GATEピンを9mAの電流源で引き下げ、SYSTEM_STATUSレジスタ0x00のFET_ON_STATUSビットをクリアすることで、MOSFETがオフされます。

1. V_{IN} が7.6Vを下回った場合(V_{IN} の低電圧ロックアウト)
2. $INTV_{CC}$ が3.8Vを下回った場合($INTV_{CC}$ の低電圧ロックアウト)
3. EN#がハイ
4. CONTROL_1レジスタ0x0AのONビットがクリアされた場合
5. OVが1.406Vより高い場合(過電圧障害)
6. UVLが1.833Vより低く、UVHが2.048Vより低い場合(低電圧障害)
7. TMRがその閾値である2.048Vに達した場合(過電流障害)
8. DRAINが2.048Vより高くなるか、GATEが $V_{IN} - 1.8V$ より低くなり、その状態が事前設定された遅延時間(FET不良)より長く続いた場合
9. PGIチェック遅延時間の512ミリ秒が経過したときに、PGI#/PGI入力として設定されているPGIO3がハイ/ローである場合(PGI障害)
10. EXT_FAULT#/EXT_FAULTとして設定されているPGIO4ピンがハイ/ローである場合(外部障害)
11. REBOOTレジスタ0xA2のRBT_ENビットがセットされている場合

条件8について、CONTROL_1レジスタ0x0AのFET_BAD_TURN_OFFビットがクリアされている場合、FET不良後もMOSFETはオンのままになります。条件10について、CONFIG_3レジスタ0x0FのEXT_FAULT_TURN_OFFビットがクリアされている場合、外部障害後もMOSFETはオンのままになります。条件11について、プログラム可能な遅延時間後、LTC4284は自動的に再起動します。I²Cコマンドによる再起動を参照してください。

LTC4284では、それぞれのGATEターンオフ障害について、障害発生後にMOSFETをラッチオフするか、自動再試行シーケンスに入るかを個別に設定できます。パラレル・モードまたはシングル・ドライバ・モードでは、GATE1とGATE2は同時にオフされます。高ストレスまたは低ストレス段階的スタート・モードでは、GATE2のターンオフは、GATE1のターンオフおよびその他の条件に依存します。詳細については、高ストレス段階的スタート・モードと低ストレス段階的スタート・モードについてのセクションを参照してください。

過電流保護

LTC4284は、短絡および過電流条件に対して2レベルの保護を備えています。負荷電流は、SENSE1⁺ピン、SENSE2⁺ピン、SENSE1⁻ピン、SENSE2⁻ピン、および検出抵抗によってモニタされます。検出電圧には、 V_{ILIM} と $V_{ILIM(FAST)}$ という、2つの異なる閾値があります。 V_{ILIM} は、1mV刻みで15mV~30mVの範囲で設定できます。 $V_{ILIM(FAST)}$ は、常に V_{ILIM} の2倍の値を取ります。詳細については、電流制限の調整を参照してください。

チャンネルの検出電圧が V_{ILIM} に達すると、関連するアクティブ電流制限ループが作動するまで、対応するGATEが25mAの電流によって引き下げられます。チャンネルの検出電圧が $V_{ILIM(FAST)}$ に達するような重大な短絡または突発的な入力ステップでは、対応するGATEは即座に1.2Aの電流によって引き下げられ、MOSFETを流れるピーク電流を制限します。検出電圧が V_{ILIM} まで低下すると、アクティブ電流制限ループが作動します。

SOAタイマー

アクティブ電流制限中、MOSFETの電力損失は大きくなります。この電力損失が長引くと、MOSFETの温度が上昇し、デバイスの損傷につながる可能性があります。MOSFETのメーカーは、動作電圧、電流、時間の安全リミットを、安全動作領域(SOA)と呼ばれる曲線で規定しています。一般的

アプリケーション情報

に、回路ブレーカのタイマーは、MOSFETが電流制限モードで動作する最大時間を設定します。このタイマーが経過すると、MOSFETがオフされ、過熱から保護されます。従来の回路ブレーカでは、固定された電流による外付けのコンデンサの充電が採用されていることがほとんどです。タイマーのタイムアウト時間は、起動中に大きな出力バイパス・コンデンサを満充電するとき、もしくは大きな入力ステップを乗り切るときなど、最も厳しい動作条件を許容可能な最小値に設定する必要があります。フル電源電圧での出力短絡などの障害条件が発生したら、MOSFETはタイマーの期限がくるまで、大きな電力に耐えなければなりません。したがって、MOSFETを選択する際は、起こりうるすべての通常動作条件または障害条件で発生する最も厳しいSOA条件に耐えられるものを選択しなければなりません。つまり、MOSFETのコストが実質的に上昇し、設計やMOSFET選定の手順も煩雑になります。

LTC4284は、MOSFETのSOAに最適な回路ブレーカ・タイマー機能を備えています。アクティブ電流制限が作動すると、FAULT_STATUSレジスタ0x03のOC_STATUSビットがセットされ、TMRピンがアクティブ化され、GATE1によって駆動されるMOSFETの電力損失に比例する電流によってTMRピンが充電されます。TMRの充電電流をイネーブルする条件は、動作モードによって異なります(表1のOC_STATUSビットの列を参照してください)。MOSFETの温度特性を表す適切な電気的モデル(RCネットワーク)を選択します。このRCネットワークをTMRとV_{EE}の間に接続することで、TMRの電圧は、MOSFETのジャンクション温度の上昇分に比例するようになります。LTC4284は、TMR電圧を固定のスレッシュホールド電圧である2.048V(MOSFETのジャンクション温度上昇の最大許容値を表す)と比較します。TMR電圧がこの閾値を超えると、LTC4284はMOSFETをオフにします。そのため、起動や入力ステップなどの許容される動作条件についてSOA条件を満たすMOSFETを選択するだけで、MOSFETを適切に保護できるようになります。MOSFETは、そのSOA定格を超える条件に曝される前に、自動的にオフされます。

ケース1. 通常動作(パワーグッド信号がアサート)中にアクティブ電流制限が作動した場合、LTC4284のTMRプルアップ電流は、DRNSピンにおけるMOSFETの減衰したドレイン電圧に比例します(図7の一番上のライン)。これは、(CONFIG_1レジスタ0x0DのFB_DISビットがセットされており、通常動作中のフォールドバックがディスエーブルされ

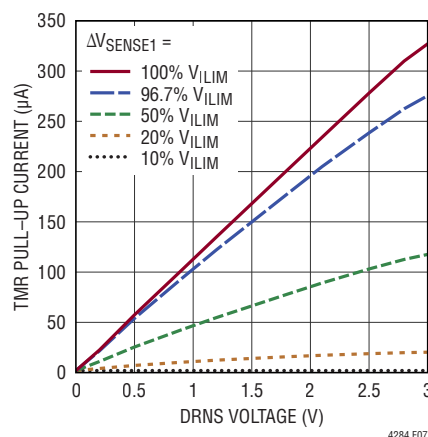


図7. TMRプルアップ電流と、 ΔV_{SENSE1} およびDRNS電圧

ている場合)電流制限期間ではMOSFETを流れる電流が固定されるため、電力損失に比例します。この条件におけるTMRプルアップ電流は、次のようになります。

$$I_{TMR(UP)} = 111.1 \left[\frac{\mu A}{V} \right] \cdot V_{DRNS} + 2 \mu A$$

ここで、111.1 $\mu A/V$ はトランスコンダクタンスです。TMRプルアップ電流は、 $V_{DRNS} = 1.8V$ で202 μA に達します。これは、テストを実施して規定した値です。TMRが抵抗の短絡条件に留まるのを防ぐ最小プルアップ電流を確保するため、2 μA のオフセットを導入します。

上式は、dV/dtモード(CONTROL_1レジスタ0x0AのDVDTビットが1)の起動時に、短絡などの障害条件下で電流制限がトリガされた場合にも適用されます。加速されたタイムアウトと、起動フォールドバック(電流制限フォールドバックを参照)を組み合わせることで、過度のストレスから起動用MOSFETを保護します。

ケース2. 電流制限が作動していない、dV/dtモードの起動中、TMRプルアップ電流はディスエーブルされます。

$$I_{TMR(UP)} = 0$$

このケースで、制御レジスタ0x0AのTHERM_TMRビットがセットされている場合、2 μA のプルダウン電流がTMRをローに維持します。これにより、起動用MOSFETの電力損失が無視できるほどの低レベルに設定されている突入電流によって、負荷コンデンサが満充電される前に望ましくないタイムアウトが発生するのを防ぎます。

アプリケーション情報

ケース3. 電流制限モード (CONTROL_1 レジスタ 0x0A の DVDT ビットが 0) で起動中に電流制限が作動した場合、TMR プルアップ電流はフォールドバック比に従って減少します。

$$I_{\text{TMR(UP)}} = \alpha_{\text{STARTUP}} \cdot 111.1 \left[\frac{\mu\text{A}}{\text{V}} \right] \cdot V_{\text{DRNS}} + 2\mu\text{A}$$

ここで、 α_{STARTUP} は、CONFIG_1 レジスタ 0x0D の FB ビットによって制御される起動フォールドバック比です (電流制限フォールドバックを参照)。この低減により、フォールドバックをディスエーブルした通常動作と比べ、トランスコンダクタンスを一定に保つことができます。

ケース4. 通常動作中または電流制限モードでの起動中、電流制限が作動していない場合、TMR プルアップ電流は、DRAIN 電圧によって制御されます。DRAIN がその閾値 ($V_{\text{D,FET(TH)}}$) を下回ると、TMR プルアップ電流がディスエーブルされます。 $V_{\text{D,FET(TH)}}$ は、CONFIG_2 レジスタ 0x0E の VDTH ビットを使用して、72mV ~ 203mV の範囲で等比級数的にプログラムできます。これは、MOSFET が完全に導通した、通常の動作条件の典型的なケースです。DRAIN が $V_{\text{D,FET(TH)}}$ より高い場合、チャンネル 1 MOSFET の電力損失にほぼ比例する電流で、内部の乗算器が TMR を充電します。

$$\text{If } \Delta V_{\text{SENSE1}} \geq 0.1V_{\text{LIM}},$$

$$I_{\text{TMR(UP)}} = 111.1 \left[\frac{\mu\text{A}}{\text{V}} \right] \cdot V_{\text{DRNS}} \cdot \left(\frac{\Delta V_{\text{SENSE1}}}{V_{\text{LIM}}} - 0.1 \right) + 2\mu\text{A}$$

$$\text{If } \Delta V_{\text{SENSE1}} < 0.1V_{\text{LIM}},$$

$$I_{\text{TMR(UP)}} = 2\mu\text{A}$$

図7は、電流制限を下回る4つの異なる $V_{\text{SENSE1}^+} - V_{\text{SENSE1}^-}$ レベルにおける、TMR プルアップ電流と V_{DRNS} を示しています。

MOSFET の温度モデルを表現する RC ネットワークを TMR と V_{EE} の間に使用する場合、内部の $2\mu\text{A}$ プルダウン電流をディスエーブルするために CONTROL_1 レジスタ 0x0A の THERM_TMR ビットは 1 にセットしなければなりません。RC ネットワークの総抵抗は、TMR への放電パスになります。

TMR に接続された RC ネットワークは、GATE1 で駆動される MOSFET (M1) に関する温度特性の電気的モデルを表現するよう設定する必要があります。M1 は、その SOA 性能が、GATE2 で駆動される MOSFET (M2) と同等以下になるよう

に選択します。TMR タイムアウトにより、GATE1 がオフしたときに GATE2 はオフになるため、M1 が過負荷条件下でオフされると、M2 は自動的に保護されます。

特定の MOSFET に対する RC ネットワークを構成する作業は、必要な数の抵抗性素子と容量性素子、および温度領域におけるそれらの値を MOSFET のメーカーが提供する熱抵抗グラフに基づいて選択することから始まります。標準的な動作条件および障害条件のタイミング範囲をカバーする 10 マイクロ秒 ~ 100 ミリ秒のグラフにフィッティングするには、一般に、3つの抵抗と3つのコンデンサで十分です。MOSFET の種類や条件によっては、2つの抵抗と2つのコンデンサでも許容できる精度を実現できることがあります。フィッティング精度を向上する、もしくはフィッティング範囲を広げるには、より多くの素子を使用します。熱 RC ネットワークの設定が完了したら、次式に従って、熱的数値を電気的数値に変換します。

$$R_E = k \cdot R_\theta$$

$$C_E = \frac{C_\theta}{k}$$

ここで、 R_E は電気抵抗、 C_E は電気容量で、 R_θ は熱抵抗、 C_θ は熱容量です。変換定数 k は、次式で表されます。

$$k = \frac{V_{\text{DS,MAX}} \cdot I_{\text{D,MAX}}}{I_{\text{TMR(UP),MAX}}} \cdot \frac{V_{\text{TMR(TH)}}}{\Delta T_{\text{MAX}}}$$

ここで、 $V_{\text{DS,MAX}}$ は MOSFET の最大ドレイン・ソース間電圧、 $I_{\text{D,MAX}}$ は MOSFET の最大ドレイン電流、 $I_{\text{TMR(UP),MAX}}$ は最大電力損失 ($P_{\text{MAX}} = V_{\text{DS,MAX}} \cdot I_{\text{D,MAX}}$) に対応する TMR プルアップ電流、 $V_{\text{TMR(TH)}}$ は TMR のスレッシュホールド電圧 (2.048V)、 ΔT_{MAX} は MOSFET の最大許容温度上昇です。例えば、 $V_{\text{DS,MAX}} = 72\text{V}$ 、 $I_{\text{D,MAX}} = 32\text{A}$ 、 $I_{\text{TMR(UP),MAX}} = 202\mu\text{A}$ (電流制限中で $V_{\text{DRNS}} = 1.8\text{V}$)、 $\Delta T_{\text{MAX}} = 65^\circ\text{C}$ (MOSFET の最大ジャンクション温度 = 150°C で、周囲温度 = 85°C) の場合、 $k = 3.6 \cdot 10^5 [\text{V}^2/^\circ\text{C}]$ です。2本の抵抗とコンデンサから成る RC ネットワークは、図2a に示す PSMN4R8-100BSE の温度特性の電気的モデルを表します。

LTC4284 では、TMR と V_{EE} の間にコンデンサを1つだけ接続することもできます (図13 および図15 を参照)。その場合、CONTROL_1 レジスタの THERM_TMR ビットをクリアして、内部の $2\mu\text{A}$ プルダウン電流をイネーブルする必要があります。イネーブルすると、プルアップ電流がディスエーブル

アプリケーション情報

される通常条件中は、2 μ Aのプルダウン電流によってTMRがローに維持されます。障害条件下でプルアップ電流がイネーブルされると、2 μ Aのプルダウン電流はオフに切り替わります。最も厳しい動作条件中にMOSFETをオンに保つことができる最小の容量を選択する必要があります。また、通常の動作条件または障害条件中に最も厳しいSOA条件に耐えるようなMOSFETを選択する必要があります。THERM_TMRビットの値にかかわらず、EN#がその1.28Vの閾値より高いとき、TMRは5mAの電流によって放電されます。TMRが0.1Vを下回ると、SYSTEM_STATUSレジスタ0x00のTMR_LOWビットが1にセットされます。

過電流障害と自動再試行

過電流条件下で、アクティブ電流制限ループが作動してTMRが充電されている場合、FAULT_STATUSレジスタ0x03の過電流検出ビットOC_STATUSがセットされます。TMR電圧がその閾値である2.048Vに達すると、FAULTレジスタ0x04の過電流障害ビットOC_FAULTがセットされ、MOSFETをオフするためにGATEピンが引き下げられます。

MOSFETがオフになった後、OC_STATUSビットがクリアされます。CONTROL_2レジスタ0x0BのOC_RETRYビットがクリアされていない場合、冷却遅延時間が経過した後、MOSFETは再びオンできるようになります。自動再試行の冷却遅延時間は、CONFIG_2レジスタ0x0EのCOOLING_DLビットを使用して、512ミリ秒～65.5秒の間で、2進数で設定できます(表11を参照)。冷却遅延中、REBOOTレジスタ0xA2のDELAY_STATUSビットが1にセットされ、遅延タイマーが動作中であることを知らせます。遅延時間が終了すると、このビットはクリアされます。過電流障害後の再試行回数は、OC_RETRYビットを使用して、1、7、または無限に設定できます(表10参照)。有限の再試行回数を選択した場合、過電流障害後の再試行が始まると同時に、16.4秒の再試行カウンタ・リセット・タイマーが起動します。このタイマーがタイムアウトする前に次の過電流障害が発生した場合、再試行カウンタがインクリメントされ、タイマーが再起動します。発生しなかった場合、再試行カウンタが再起動します。プログラムされた再試行回数に達し、カウンタ・リセット・タイマーがタイムアウトする前に次の過電流障害が発生した場合、MOSFETがラッチオフされます。起動中にパワーグッド条件が満たされると、カウンタ・リセット・タイマーがディスエーブルされます。過電流障害用の再試行カウンタおよびカウンタ・リセット・タイマーは、FET不良用のものとは独立しています。

CONTROL_2レジスタ0x0BのOC_RETRYビットがクリアされると、OC_FAULTビットがリセットされるまで、MOSFETはオフのままになります(障害のリセットを参照)。OC_FAULTビットがリセットされると、自動再試行の遅延時間が経過した後、MOSFETがターンオンできるようになります。

電流制限の調整

電流制限電圧(V_{ILIM})は、 I^2C インターフェースを介し、CONFIG_1レジスタ0x0DのILIMビットを使用して、15mV～30mVの範囲で1mV刻みでプログラムできます。デフォルト値は、内蔵EEPROMのEE_CONFIG_1レジスタ0xADに格納されています。高速GATEプルダウン検出電圧($V_{ILIM(FAST)}$)は、全設定範囲にわたり、 V_{ILIM} の2倍に設定されます。細かいスケールは、選択の余地がありません。標準的な検出抵抗値(約1m Ω)を使用して、検出電圧を調整することで指定された電流制限を達成するのに役立ちます。柔軟に調整できるため、LTC4284では、軽負荷時の電流を減らしたり、サージに備えて増やしたりできます。この機能を使うと、最終テスト中に測定された銅抵抗とマッチングするように検出電圧をトリミングすることで、基板パターンを検出抵抗として使用することもできます。銅抵抗の測定値は、EEPROMの未指定のスクラッチ・パッド領域(0xE9～0xEF)に書き込むことで、ADC電流の測定値をスケールリングするために使用できます。

電流制限フォールドバック

LTC4284の電流制限は、CONFIG_1レジスタ0x0DのFBビットを使用することで、フル電流制限の10%、20%、50%、および100%(フォールドバックなし)の4つのレベルでフォールドバックを構成できます。起動時の突入電流制御中、フォールドバック・プロファイルはフラット(図8a)であり、電流制限は一定になります。これは、起動中に抵抗性の出力短絡が発生したときにMOSFETをより効果的に保護するための機能です。従来の抵抗性フォールドバック・プロファイルでは、出力短絡の抵抗がフォールドバック・プロファイルの傾きと同じ場合、フォールドバックは効果がなく、全ストレスに耐えるためにはよりSOAの広いMOSFETを選ぶ必要があり、事実上、MOSFETのコストが上昇していました。

内部パワーグッド信号がラッチされた後(パワーグッド・モニタとPGI障害を参照)、LTC4284は通常動作に入り、フォールドバックは負荷の減衰した出力電圧、RTNS-DRNSによって決定されます(図8b)。重大な出力短絡などの事象によ

アプリケーション情報

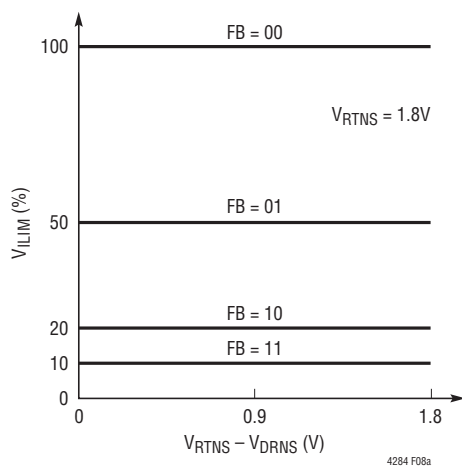


図8a. 起動中の電流制限フォールドバック

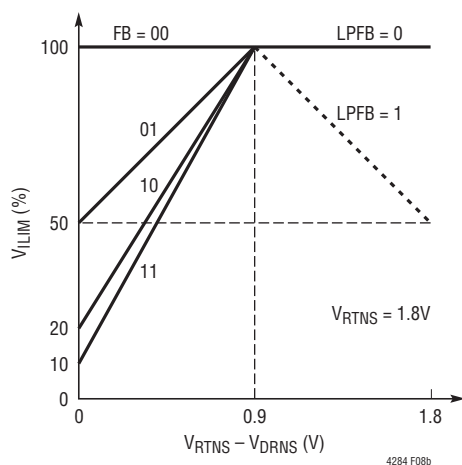


図8b. 通常動作中の電流制限フォールドバック

て、出力電圧 (RTNS–DRNS) が 0V に低下した場合、電流制限検出電圧は FB ビットで設定された比にフォールドバックされます。図 8b に示すように、フォールドバック比は、RTNS–DRNS と共に線形的に増加し RTNS–DRNS が 0.9V (アプリケーションの最小電源電圧に対応) に達すると 100% になります。CONFIG_1 レジスタ 0x0D の負荷電力フォールドバック (LPFB) ビットがセットされない限り、0.9V を超えると、電流制限検出電圧は一定になります。LPFB ビットがセットされ、RTNS–DRNS が 1.8V (最大電源電圧に対応) に達すると、電流制限検出電圧は線形的に 50% まで減少します。このプロファイルは、出力電圧が一定の電力負荷で上昇するときの負荷電力にほぼ沿っています。

LTC4284 のフォールドバック・プロファイルは、出力短絡障害を許容された入力ステップと区別することができます。出力短絡が発生すると、MOSFET を過度のストレスから保護するため、RTNS–DRNS 電圧が低下し、電流制限がフォールドバックされます。入力ステップが発生すると、負荷の充電中、RTNS–DRNS 電圧が上昇します。電流制限は一定のままになるか、あるいは (LPFB ビットに基づいて) 一定の負荷電力を近似して最適な出力ランプに近づけ、MOSFET の温度上昇を最小限に抑えます (入力ステップと最適な出力ランプを参照してください)。これは、 V_{DS} または MOSFET の電力損失に基づく、フォールドバック・プロファイルの容量より優れています。その場合、出力短絡条件および入力ステップ条件を区別することができず、入力ステップ時に望ましくないターンオフが発生することが多くあります。

CONFIG_1 レジスタ 0x0D の FB_DIS ビットをセットすることで、通常動作時のフォールドバックだけをディスエーブルできます。この設定では、起動時のみフォールドバックが有効になります。この設定は MOSFET の熱モデルを表現する RC ネットワークが TMR に接続されている場合に限り使用できません。使用するコンデンサが 1 つだけの場合、MOSFET の保護をより確実にするため、FB_DIS ビットをクリアして通常動作時のフォールドバックを有効にすることをお勧めします。LPFB ビットによって制御される負荷電力のフォールドバックは、FB_DIS ビットの影響を受けないことに注意してください。

FET 不良と自動再試行

ホット・スワップ・アプリケーションでは、MOSFET が完全にオン状態になるのを妨げる、いくつかの障害が発生する可能性があります。MOSFET が損傷していると、ゲートからドレインにリーク電流が流れたり、 $R_{DS(ON)}$ 性能が低下したりします。基板上に異物があっても、GATE ピンと V_{EE} ピンの間、または GATE ピンと MOSFET のドレインの間にリーク電流や短絡が発生することがあります。このような状況では、LTC4284 が GATE ピンの電圧を十分に高くすることができず、MOSFET を完全に導通させることができない、もしくは、GATE ピンの電圧を十分に高くできるが、MOSFET が所定の $R_{DS(ON)}$ に達しない場合があります。その場合、電流が電流制限値より低かったとしても、MOSFET の電力が連続的に供給可能な電力を超える状況になる可能性があります。LTC4284 は、2通りの方法で MOSFET の健全性をモニタし、その両方で同じように動作します。

アプリケーション情報

第1に、LTC4284はDRAINピンでMOSFETのドレイン電圧をモニタします。DRAINピンの電圧がリファレンス電圧 ($V_{D,FET(TH)}$) より高くなると、コンパレータがDRAINハイ状態を検出します。このリファレンス電圧は、CONFIG_2レジスタ0x0EのVDTHビットを使用して、72mV、102mV、143mV、203mV(等比級数的)に設定できます。

第2に、LTC4284はGATE電圧をモニタします。MOSFETがオンになっているにもかかわらず、GATE1またはGATE2もしくはその両方の電圧が $V_{IN} - 1.8V$ より低い場合、GATEロー状態が検出されます。GATEロー状態を決定するロジックは、動作モードによって異なります(表1を参照)。パラレル・モードでは、ターンオン状態中、(1)GATE1とGATE2の両方がロー(2)一方のGATEがローだが電流制限はかかっていない、という2つの条件を満たすと、GATEロー状態が検出されます。

MOSFETがオンするよう命令されたときに、DRAINハイ状態またはGATEロー状態のいずれかが存在する場合、FAULT_STATUSレジスタ0x03のFET_BAD_STATUSビットがセットされ、内部のFET不良タイマーが起動します。タイマーの長さは、CONFIG_2レジスタ0x0EのFTBD_DLビットにより256ミリ秒、512ミリ秒、1.02秒、および2.05秒に設定されます。このタイマーがタイムアウトする前に、DRAIN電圧が $V_{D,FET(TH)}$ より低くなり、GATEロー状態が解消されると、FET_BAD_STATUSビットがクリアされ、タイマーはリセットされます。タイマーがタイムアウトした場合は、FAULTレジスタ0x04のFET_BAD_FAULTビットがセットされ、CONTROL_1レジスタ0x0AのFET_BAD_TURN_OFFビットがセットされている場合は、MOSFETがオフになります。DRAINハイ状態は、電流制限がかかっていない場合、TMRプルアップ電流もアクティブ化します(SOAタイマーを参照)。

起動中、負荷を充電している間にも、FET_BAD_STATUSビットがセットされ、FET不良タイマーが動作することに注意してください。不必要なターンオフを防ぐため、タイマーの期限は、負荷を完全に充電するのに十分な長さに設定しておく必要があります。

FET不良によってMOSFETがオフになった後、FET_BAD_STATUSビットはクリアされます。CONTROL_2レジスタ0x0BのFET_BAD_RETRYビットがクリアされていない場合、冷却遅延時間が経過した後、MOSFETは再びオンできるようになります。冷却遅延は、過電流障害の場合と同様、

CONFIG_2レジスタ0x0EのCOOLING_DLビットを使用して、512ミリ秒~65.5秒の間で、2進数で設定できます(表11を参照)。冷却遅延中、REBOOTレジスタ0xA2のDELAY_STATUSビットがセットされます。遅延時間が終了すると、このビットはクリアされます。FET_BAD_RETRYビットは、FET不良後の再試行回数を1、7、または無限に設定します(表10を参照)。有限の再試行回数を選択した場合、FET不良後の再試行が始まると同時に、16.4秒の再試行カウンタ・リセット・タイマーが起動します。タイマーの期限が切れる前に次のFET不良が発生した場合、再試行カウンタがインクリメントされ、タイマーはリセットされます。発生しなかった場合、再試行カウンタはリセットされます。FET不良用の再試行カウンタおよびカウンタ・リセット・タイマーは、過電流障害用のものとは独立しています。

CONTROL_2レジスタ0x0BのFET_BAD_RETRYビットがクリアされている場合、FET_BAD_FAULTビットがリセットされるまで(障害のリセットを参照)、もしくは、I²Cを介してFET_BAD_TURN_OFFビットがクリアされるまで、MOSFETはオフのままになります。いずれの場合も、自動再試行の遅延時間が経過した後に、MOSFETがターンオンできるようになります。

入力ステップと最適な出力ランプ

バッテリーのホット・スワップや、電源サージなどの事象により、入力電圧に突発的なステップが生じることがあります。入力ステップの大きさ(ΔV)は、数十Vに及ぶことがあります。入力電圧が過電圧制限を超過しない限り、入力ステップは障害条件とはならず、システムはオンのまま動作を続けなければなりません。負荷コンデンサが存在する場合、出力は入力に直ちに追従するのではなく、負荷コンデンサを充電しながら、初期電源電圧から新しい電源電圧へ上昇します。MOSFETの V_{DS} は、最初は ΔV にジャンプした後、下降します。また、出力ランプ中、MOSFETには負荷電流(I_L)だけでなく、コンデンサ充電電流(I_{CL})も流れるため、MOSFETの総電力損失は極めて大きくなる場合があります。大きい入力ステップが起こりうる場合、通常、それがMOSFETのSOAの最も厳しい動作条件であり、そのストレスに耐えるよう適切なMOSFETを選択する必要があります。

そのような状況において、MOSFETの温度上昇が最小になるのは、 I_{CL} が I_L に一致するとき、すなわち電流の総量が負荷電流の2倍のときです。言い換えれば、出力ランプ中の電

アプリケーション情報

流制限は、負荷電流の2倍に設定すべきである、ということになります。

$$I_{LIM(OPT)} = 2 \cdot I_L$$

これは、短絡条件においてMOSFETを保護するために使用されるフォールドバックの概念とは対照的です。LTC4284のフォールドバック・プロファイルは、MOSFETの V_{DS} ではなく負荷の出力電圧にフォールドバック比を関連付けることで、入力ステップ条件と出力短絡条件の両方を自動的に処理できます。詳細については、図8bと電流制限フォールドバックを参照してください。更に、負荷が一定の電力関係に従う場合は、CONFIG_1レジスタ0x0DのLPFBビットをセットすることで、電流制限が出力ランプ中に負荷電流の約2倍をトラッキングする負荷電力フォールドバックをイネーブルできます。図9の波形は、パラレル・モードで動作するLTC4284が-36Vから-72Vへの入力ステップにตอบสนองして、最適な出力

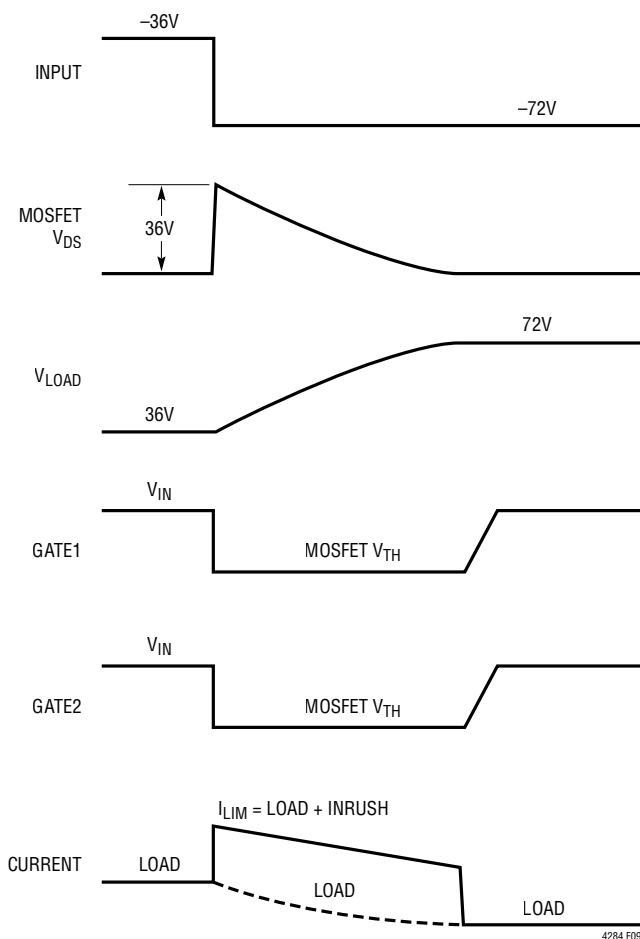


図9. LTC4284は、-36Vから-72Vへの入力ステップに一定の電力負荷で応答(パラレル・モード、LPFB = 1)

ランプ・レートを実現する様子を示しています。入力ステップ中、PGIO1とPGIO2のパワーグッド信号は中断されないことに注意してください。

デュアル・ゲート動作モード

LTC4284は、MODEピンによってシングル・ドライバ・モード、パラレル・モード、高ストレス段階的スタート・モード、低ストレス段階的スタート・モードの4つの異なる動作モードに設定できる、デュアル・ゲート・ドライバを搭載しています。表1に示すように、各モードは、それぞれ異なるSOAまたは $R_{DS(ON)}$ メリット、GATEのオン/オフ動作、パワーグッド信号、および障害検出ロジックを備えています。MODEピンを開放にする(または1Vと $INTV_{CC} - 0.85V$ の間にバイアスする)と、シングル・ドライバ・モード(モード1)が選択されます。MODEピンの電圧を0.4Vより低くする(例えば、 V_{EE} に接続する)と、パラレル・モード(モード2)が選択されます。MODEピンの電圧を $INTV_{CC} + 2.5V$ より高い値に強制する(例えば、 V_{IN} に接続する)と、高ストレス段階的スタート・モード(モード3)が選択されます。MODEピンを $INTV_{CC} - 0.25V$ と $INTV_{CC} + 0.5V$ の間の電圧にバイアスする(例えば、 $INTV_{CC}$ に接続する)と、低ストレス段階的スタート・モード(モード4)が選択されます。SYSTEM_STATUSレジスタ0x00(表4)とADC_STATUSレジスタ0x01(表5)に、各モード専用のステータス・ビットがあり、そのモードが選択されていることを示します。

パラレル・モード(モード2)

パラレル・モードは、大きな入力ステップや電源サージが起こるシステムに適しています。MOSFETは、SOAの最も厳しい動作条件に耐えるものを選択する必要があります。詳細については、入力ステップと最適な出力ランプを参照してください。

高電流アプリケーションでは、 $1m\Omega$ 未満の $R_{DS(ON)}$ を達成することが1つのMOSFETだけでは不可能なため、いくつかのパワーMOSFETを並列接続する必要がある場合があります。そのような場合、1本の抵抗では利用できない小さい値を取得するために複数の並列接続した検出抵抗も使用します。更に、負荷電流を複数のデバイス間で分け合うことで、1つのMOSFETを使用する際にPCB電流が集中する問題も軽減できます。

並列接続されたMOSFETは、完全に導通しているときは電流共有がうまくいきますが、電流制限されている場合、ゲート閾値のオフセットの不一致により、最も閾値の低いMOSFETに他よりも多くの電流が流れます。閾値電圧は負

アプリケーション情報

表 1. LTC4284 のデュアルゲート動作モードの設定

モード	モード・ピン	機能	ターンオン・シーケンス	パワーグッドのラッチ*		OC_STATUS ビット†	GATE1のターンオフ	GATE2のターンオフ†	FET不良ステータス/障害
				セット	リセット				
1. シングル・ドライバ	開放	GATEのプルアップおよびプルダウンが2倍	GATE1とGATE2が同時にターンオン	DRAIN < 2.048V AND V _{OUT} がハイ AND (GATE1およびGATE2が両方ともハイ)	設定可能: (1) V _{OUT} がロー (2) GATE1がオフ (0V以外)	ACL1がオン OR ACL2がオン	GATE1がオフ	GATE1がオフ	FET_ONがハイ AND [DRAIN > V _{D,FET(TH)} OR (GATE1またはGATE2がロー)]
2. パラレル	V _{EE} に接続	SOAが2倍、R _{DS(ON)} が1/2		DRAIN < V _{D,PG(TH)} AND V _{OUT} がハイ AND [一方のGATEがハイ AND (他のGATEがハイ OR ACL中)]		起動: ACL1がオン OR ACL2がオン。動作中: ACL1およびACL2が両方ともオン			CBTMRが2.048Vに達する OR その他のGATEオフ障害が発生
3. 高ストレス段階的スタート	V _{IN} に接続	GATE1が高SOA MOSFETを駆動、GATE2が低R _{DS(ON)} MOSFETを駆動	GATE1が先にオン、GATE2は、GATE1がハイになりDRAINがローになった後にオン	DRAIN < V _{D,PG(TH)} AND V _{OUT} がハイ AND (GATE1およびGATE2が両方ともハイ)	ACL1がオン	GATE1がオフ OR DRAIN > V _{D,PG(TH)} OR GATE1がロー OR ACL1がオン	GATE1がオフ	FET_ONがハイ AND [DRAIN > V _{D,FET(TH)} OR (GATE1またはGATE2がロー)]	
4. 低ストレス段階的スタート	INTV _{CC} に接続	GATE1が低SOA MOSFETを駆動、GATE2が低R _{DS(ON)} MOSFETを駆動		DRAIN < V _{D,PG(TH)} AND V _{OUT} がハイ AND [GATE1がハイ AND (GATE2がハイ OR ACL中)]	起動: ACL1がオン。動作中: ACL1およびACL2が両方ともオン			GATE1がオフ	FET_ONがハイ AND [DRAIN > V _{D,FET(TH)} OR (GATE1およびGATE2が両方ともロー) OR (一方のGATEがロー AND ACL中でない)]

* V_{OUT}がハイとは、V_{RTNS} - V_{DRNS} > V_{OUTTH}と等価である。

† ACL1: GATE1に対応するアクティブ電流制限回路。ACL2: GATE2に対応するアクティブ電流制限回路。

の温度係数を持つため、MOSFETの温度が高くなることによって、そのMOSFETにより多くの電流が流れます。最終的に、すべての負荷電流が1つのMOSFETに流れることがあります。そのため、1つのゲート・ドライバで複数のMOSFETを並列動作させることによって全体のR_{DS(ON)}を効果的に低下させることはできても、1つのMOSFETのSOAしか提供できません。

LTC4284では、独立した電流制限回路および関連する電流検出ピンを備えた2つのゲート・ドライバを搭載することによってこの問題を解決します。MODEピンをV_{EE}に接続すると、これらの2つのゲート・ドライバがパラレル・モードで動作します。このとき、GATE1とGATE2は同時にオン/オフされます。このモードにおいて、LTC4284は、並列接続したMOSFETのグループを2つのチャンネルに分割できます。出力短絡や入力ステップなどの過電流事象発生時の電流制限中、2つのチャンネルの独立したゲート制御によって電流をチャンネル間で均等に分割し、電流制限回路が1つしかないホット・スワップ・コントローラに対して、SOA性能が2倍

になります。これにより、より小型で安価なMOSFETを使用したり、2倍の負荷を起動したり、SOAマージンを広げたりすることが可能になります。図1と図2は、パラレル・モードで動作する1.2kWのアプリケーション例を示しています。各チャンネルの2つのMOSFETは、完全導通時の各MOSFETの電力損失が1W以下になるように使用されます。

パラレル・モードでは、一方のGATEが完全に導通し、他方のGATEが電流制限されることもあり得ます。両MOSFETのV_{DS}は小さいため、これは通常の動作条件とみなされます。そのため、その条件においてV_{DRAIN} < V_{D,PG(TH)}、かつ、V_{RTNS} - V_{DRNS} > V_{OUTTH}であれば、パワーグッド信号がアサートされます。更に、この条件によってFAULT_STATUSレジスタ0x03のFET_BAD_STATUSビットがセットされることはありません。FET_BAD_STATUSビットがセットされてFET不良タイマーが起動されるのは、GATE1とGATE2の両方が低い場合、もしくは一方のGATEが低い電流制限はかかっていない場合です。詳細については、FET不良と自動再試行を参照してください。

アプリケーション情報

起動中、電流制限がかかっているGATE1またはGATE2のいずれかが、TMRプルアップ電流をアクティブ化します。通常動作中(内部パワーグッド信号がラッチされている)、GATE1とGATE2の両方に電流制限がかからない限り、TMRプルアップ電流はアクティブ化されません。TMRプルアップ電流は、チャンネル1のMOSFETの電力損失だけに関係するため、TMRピンにRCネットワークを接続した場合、RCネットワークは1つのMOSFETの温度特性を表現します。TMRが2.048V(MOSFETの温度上昇の最大許容値を表す)に達すると、GATE1とGATE2の両方がオフされ、過電流障害がFAULTレジスタ0x04に記録されます。

CONTROL_1レジスタ0x0AのDVDTビットをセットしてdV/dt突入電流制御をイネーブリングした場合、MOSFETの閾値の不一致により、起動中の突入電流が2つのチャンネル間で均等に分配されないことがあります。そのため、突入電流が各チャンネルの起動時の電流制限値(2つのチャンネルの合計値ではない)よりも低くなるように、適切なRAMPコンデンサを選択する必要があります。

高ストレス段階的スタート・モード(モード3)

LTC4284の2つのGATEドライバは、MODEピンをV_{IN}に接続することで、高ストレス段階的スタート・モードに設定することもできます。このモードでは、図10に示すように、GATE1は起動と過度のストレスに耐えるために高SOA MOSFET(M1)を駆動し、GATE2はR_{DS(ON)}の低い(SOAも低い場合が多い)安価なバイパスMOSFET(M2AおよびM2B)を駆動して負荷に電力を供給します。

パラレル・モードと同様に、高ストレス段階的スタート・モードも、大きな入力ステップや電源サージが避けられないシステムに適しています。M1には全負荷電流が流れるだけでなく、負荷を充電するための容量性電流も流す必要があるため、M1はこれらの条件に耐えるのに十分な広さのSOAを持つものを選択しなければなりません。詳細については、入力ステップと最適な出力ランプを参照してください。

起動時、GATE1が先にオンして負荷を充電し、GATE2はオフのままになります。起動時の突入電流制御は、CONTROL_1レジスタ0x0AのDVDTビットを使用して、電流制限モードとdV/dtモードのいずれかに設定できま

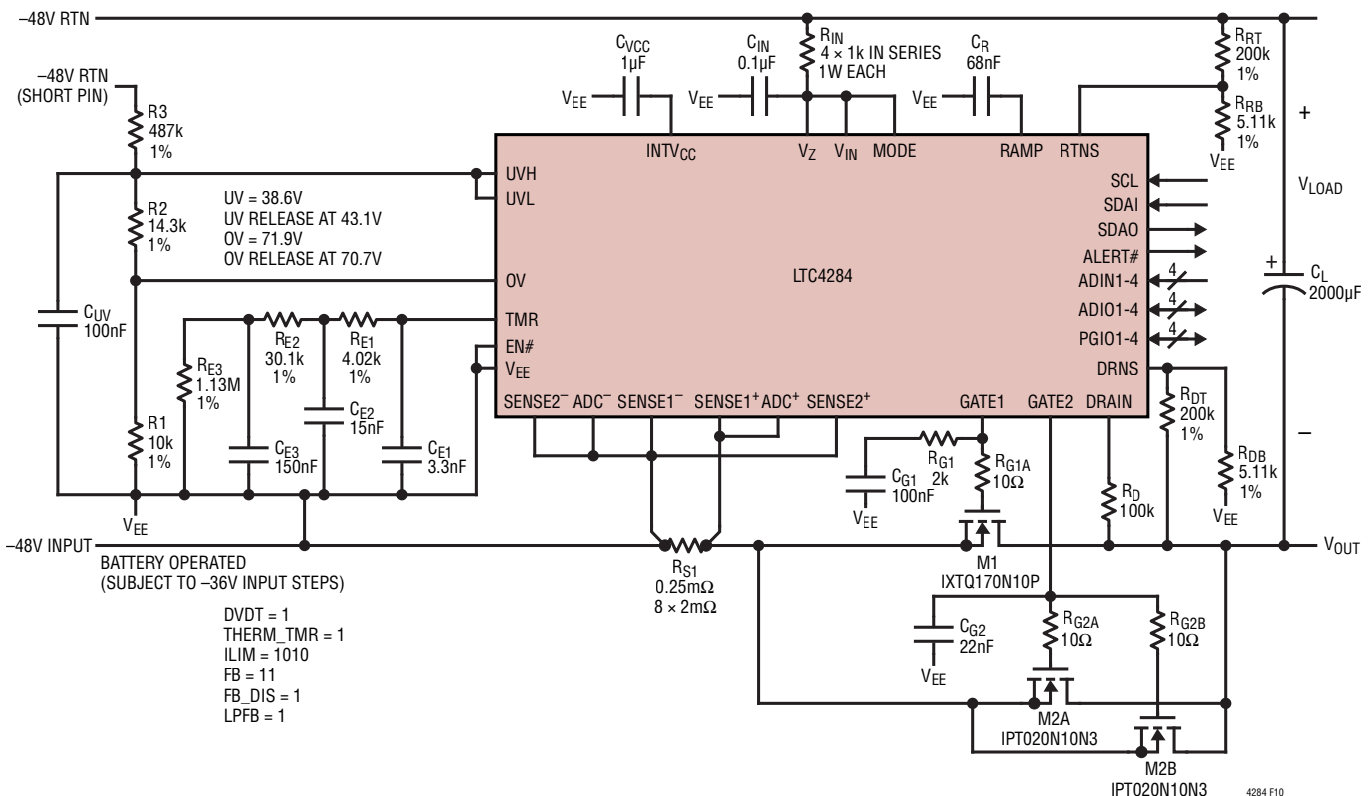


図10. SOAタイマーとdV/dt突入電流制御を備えた、高ストレス段階的スタート・モードの-48V/1800Wホット・スワップ・コントローラ: GATE1が高SOAのMOSFETを駆動、GATE2が低R_{DS(ON)}のMOSFETを駆動

アプリケーション情報

す。dV/dtモードを選択した場合、突入電流は起動時の電流制限値よりもかなり低い値に制限しなければなりません。図11に示すように、GATE1の電圧が十分に高くなり ($V_{GATE1} > V_{GATE(TH)}$)、負荷コンデンサが満充電になると ($V_{DRAIN} < 2.048$)、GATE2がオンになります。GATE2の電圧も十分に高くなった ($V_{GATE2} > V_{GATE(TH)}$) 後、 $V_{DRAIN} < 2.048$ かつ $V_{RTNS} - V_{DRNS} > V_{OUTTH}$ であれば、内部パワーグッド信号がラッチされます。パワーグッド遅延時間の経過後、PGIO1とPGIO2で2つの連続したパワーグッド信号がアサートされ (PGIO_CONFIG_1レジスタ0x10のビット[3:0]がクリアされ)、負荷をオンするために使用できるようになります (図5を参照)。負荷電流の大部分は、M1より $R_{DS(ON)}$ がかなり低いM2AとM2Bで供給されます。

このモードでは、電流検出抵抗はSENSE1⁺とSENSE1⁻の間に接続され、GATE2の電流制限回路をディスエーブルするため、SENSE2⁺とSENSE2⁻はSENSE1⁻に短絡されます。図12に示すような出力短絡や入力ステップなどの過電流事象によってGATE1が電流制限されると、LTC4284は即座にGATE2をオフにして、M2AとM2Bを過度のストレスから保護する一方で、GATE1の電流制限によってM1を流れる負荷電流を安定化します。この条件で、TMRプルアップ電流が

オンになります。TMR電圧が2.048Vに達すると、GATE1がオフになり、過電流障害がログに記録されます。

高ストレス段階的スタート・モードは、SOAを $R_{DS(ON)}$ から分離します。GATE1 (M1) で駆動するMOSFETは、あらゆる動作条件のストレスに耐えるSOAを持つものを選択します。M1の $R_{DS(ON)}$ は大きな問題ではありませんが、GATE2がオフのときに $V_{DRAIN} < 2.048V$ を満たす必要があります。条件を満たさない場合、GATE2がオンしません。GATE2によって駆動するMOSFET (M2AおよびM2B)は、完全に導通したときに、M2AまたはM2Bの I^2R 電力損失が1W未満またはそれに近くなるよう、 $R_{DS(ON)}$ は十分に低いものを選択します。M2AとM2BのSOAは広くなくても構いません。なぜならば、GATE1がオフになる、GATE1に電流制限がかかる、GATE1の電圧が低い ($V_{GATE1} < V_{GATE(TH)}$)、DRAIN電圧が高い ($V_{DRAIN} > 2.048V$) のいずれの障害条件が発生しても、GATE2のスイッチはオフになるためです。この方法により、パラレル・モードと比べて各チャンネルのMOSFETの選択が簡単になり、MOSFETの総コストも削減できます。

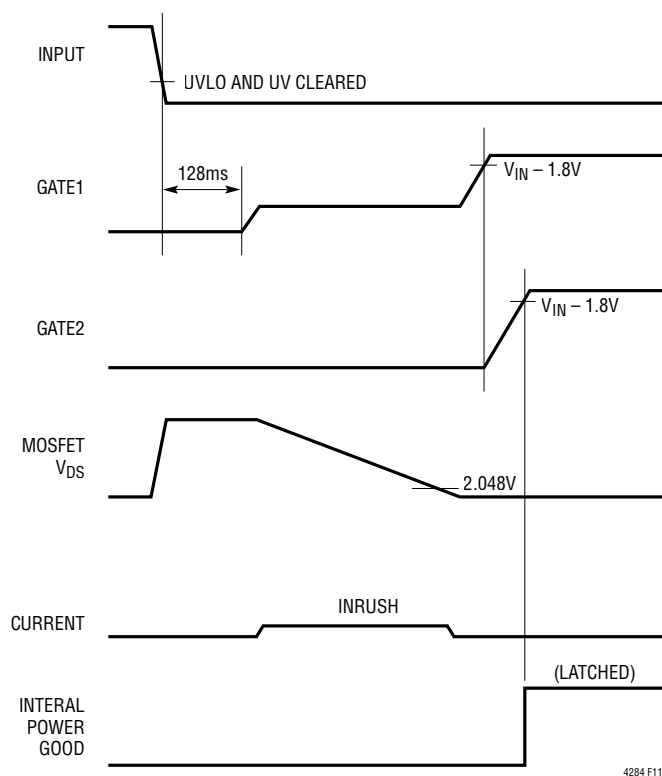


図11. 高ストレス段階的スタート・モードのターンオン・シーケンス

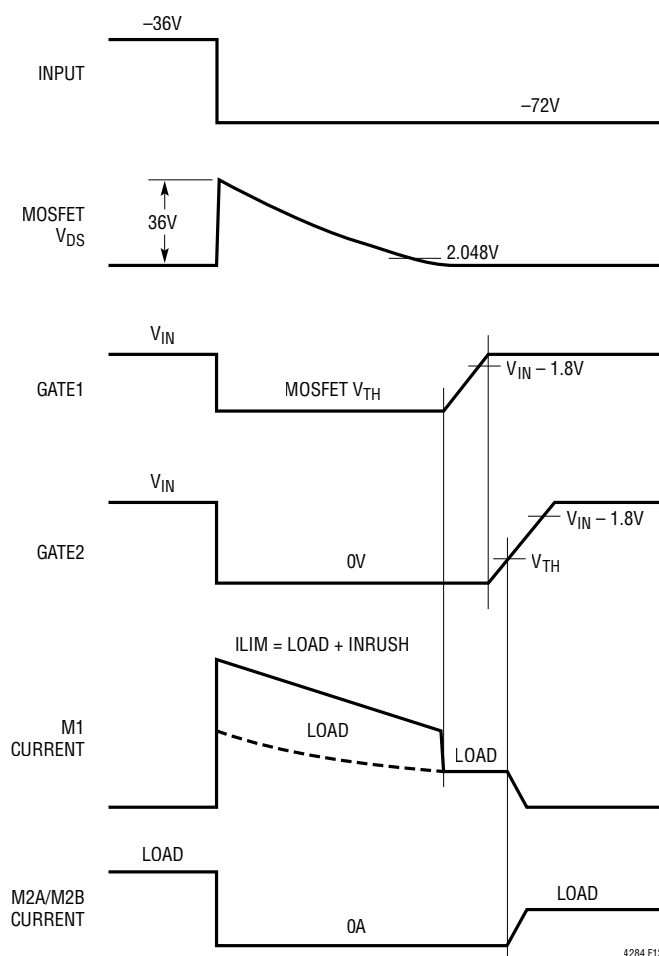


図12. 高ストレス段階的スタート・モードにおける-36Vから-72Vへの入力ステップ応答 (一定の電力負荷、LPFB = 1)

アプリケーション情報

高ストレス段階的スタート・モードでは、GATE1ローまたはGATE2ローのいずれかにより、FAULT_STATUSレジスタ0x03のFET_BAD_STATUSビットがセットされ、FET不良タイマーが起動します。タイマーの期限が切れると、FAULTレジスタ0x04のFET_BAD_FAULTビットがセットされ、CONTROL_1レジスタ0x0AのFET_BAD_TURN_OFFビットがセットされている場合、GATE1とGATE2の両方がオフになります。

低ストレス段階的スタート(モード4)

低ストレス段階的スタート・モードは、電源電圧が高精度に安定化されたアプリケーションに適しています。そのようなシステムにおいては、入力ステップは有効な動作条件ではないため、MOSFETのSOAの最も厳しい動作条件は、起動中の負荷の充電になります。起動時の突入電流を非常に低い値に抑えることで、起動用MOSFETのSOA需要を大きく軽減できます。更に、バイパス・パスには、安価なスイッチング・レギュレータ・クラスのMOSFETしか必要ありません。そのため、このアーキテクチャでは、所定の負荷電流とR_{DS(ON)}

を達成するためのMOSFETのコストを最小限に抑えることができます。しかし、電流制限に短いタイマー遅延があるため、電流制限中に入力ステップや、長引く負荷サージを乗り切る能力は限定されており、起動電流が低いため、発熱体や白熱電球などの抵抗性負荷を起動することもできません。

図13は、低ストレス段階的スタート・モードで動作する2.5kWシステムのアプリケーション回路を示しています。このモードをイネーブルするには、MODEピンをINTV_{CC}ピンに接続します。このモードでは、GATE1は、起動用のトリクル充電デバイスとしての小さいSOAを持つ小型で安価なMOSFET (M1)を駆動します。GATE2は並列接続された低R_{DS(ON)}、低SOAのMOSFET (M2AおよびM2B)を駆動します。これらのMOSFETは、全負荷電流を供給するよう、並列接続された小型の検出抵抗によって設定される高い電流制限を持ちます。ターンオン・シーケンスは、図11に示す高ストレス段階的スタート・モードとまったく同じです。つまり、GATE1が先にオンして負荷を充電し、GATE2はGATE1の電圧が十分に高くなった後にオンします。

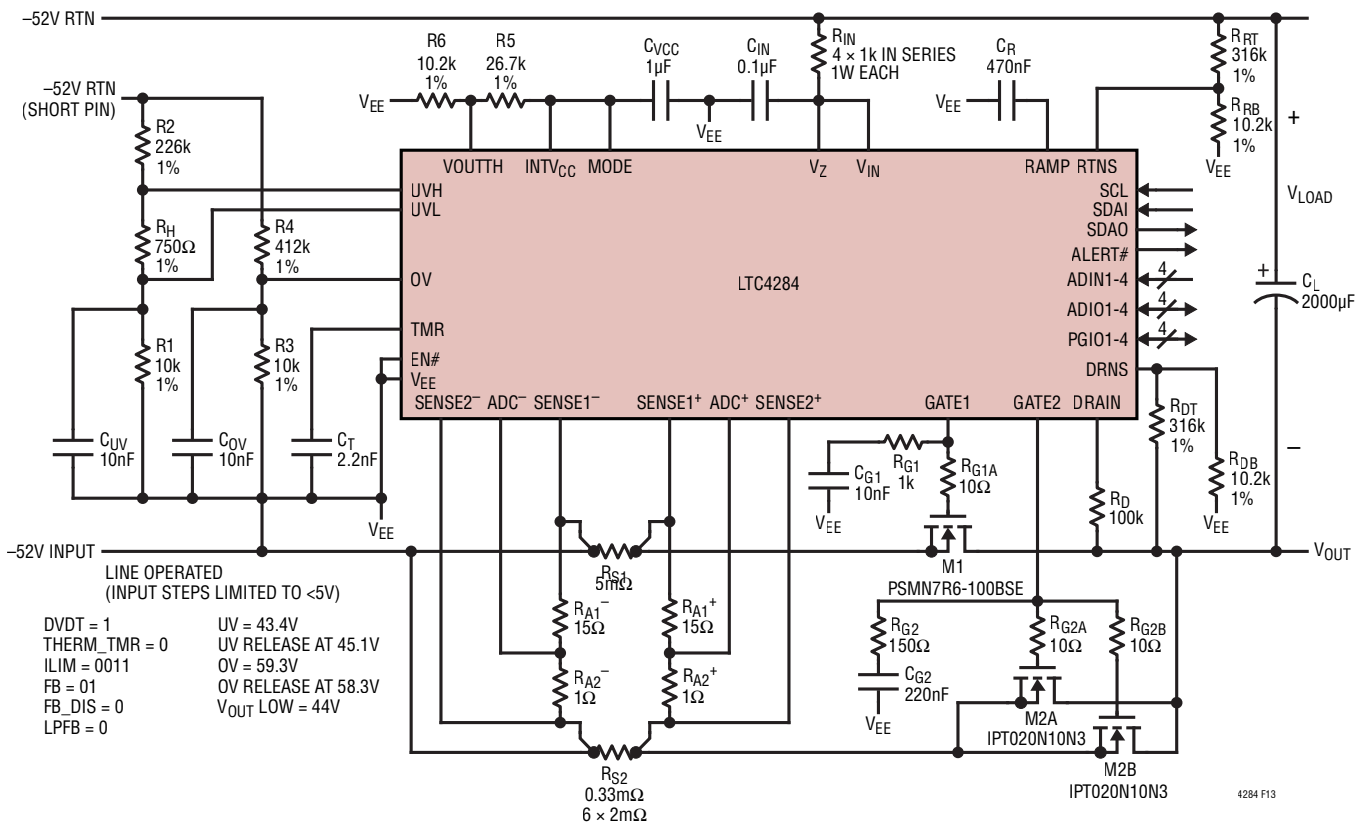


図13. 低ストレス段階的スタート・モード、dV/dt突入電流制御による-52V/2500Wホット・スワップ・コントローラ：GATE1はトリクル起動MOSFETを駆動、GATE2は低R_{DS(ON)}のMOSFETを駆動。電源電圧が高精度に安定化されたシステム向け

アプリケーション情報

GATE2がオフになるのは、GATE1がオフになったときのみです。この点は、GATE1に電流制限がかかるとGATE2がオフになる高ストレス段階的スタート・モードとは異なります。過電流事象が発生すると、GATE1とGATE2の両方が電流制限状態に留まり、ストレスを共有します(図14を参照)。そのため、GATE1とGATE2両方の電流制限回路の電流検出ピンは、それぞれの検出抵抗に接続する必要があります。

図13にあるように、dV/dt起動モードでRAMPコンデンサを使用することで、M1は非常に低い突入電流(0.34A)を供給するよう構成されます。起動時フォールドバック比と大きい検出抵抗(R_{S1})により、電流制限は0.72Aに設定されています。負荷が満充電され($V_{DRAIN} < 2.048$)、起動用MOSFETが完全に導通すると($V_{GATE1} > V_{GATE(TH)}$)、GATE2がオンします。M2AとM2Bが完全に導通すると($V_{GATE2} > V_{GATE(TH)}$)、パワーグッド信号がアサートされます。

このモードでFAULT_STATUSレジスタ0x03のFET_BAD_STATUSビットをセットしてFET不良タイマーを起動するための条件は、パラレル・モードと同じです(表1を参照)。FET不良タイマーは、負荷がゆっくりと充電されるトリクル起動中も動作しているため、M1が早すぎるタイミングでターンオフしないよう、CONFIG_2レジスタ0x0EのFTBD_DLビット

を使用して、タイマーの期限を十分長い時間にプログラムする必要があります。

dV/dtモードの起動中、TMRプルアップ電流はディセーブルされます。これは、障害条件下(短絡時に起動するなど)でM1に電流制限がかからない限り、イネーブルされません。パワーグッドがアサートされた後の通常動作中、M1とM2A/M2Bの両方に電流制限がかかると、TMRプルアップ電流がイネーブルされます。図13に示すような、小さいTMRコンデンサを1つ使用することで、短い回路ブレーカ遅延を設定できます。これは、M1とM2A/M2BのワーストのSOAの範囲内にする必要があります。

CONTROL_1レジスタ0x0AのDVDTビットをクリアすることで、起動時の突入電流制御を電流制限に設定することもできます。その場合、起動中にTMRプルアップ電流がイネーブルされ、フォールドバック比に従って調整されます。M1の温度特性の電気的モデルを表現するRCネットワークをTMRに接続する必要があります。起動後にM2AとM2Bがオンになった後も、TMRプルアップ電流はM1の電力損失に連動することに注意してください。M1は、M2AまたはM2BよりもSOA性能が低いものを選択する必要があります。そうすることで、過電流条件のTMRタイムアウトによってM1がオフになったとき、M2AとM2Bも自動的に保護されます。

シングル・ドライバ・モード(モード1)

LTC4284は、MODEピンを開放のままにすることで、シングル・ドライバ・モードに設定することもできます。このモードで可能なアーキテクチャは2つあります。図15は、1つ目のアーキテクチャを示しています。GATE1が1つのMOSFETまたは並列接続した複数のMOSFETを駆動し、LTC4284が1つのホット・スワップ・コントローラと同じように動作するようにします。GATE2は開放のままにし、その電流制限回路はSENSE2⁺/SENSE2⁻ピンをV_{EE}に短絡させることでディセーブルします。

図16は、2つ目のアーキテクチャを示しています。この場合、GATE1とGATE2を結合してシングル・チャンネルのMOSFETを駆動します。SENSE1⁺とSENSE2⁺は1つの電流検出抵抗の正側に一緒に接続し、SENSE1⁻とSENSE2⁻はその抵抗の負側に一緒に接続します。そうすることで、GATE1とGATE2両方の電流制限回路がイネーブルされ、GATEのプルアップ電流とプルダウン電流が2倍になり、障害条件に応答するターンオフを高速化できます。シングル・ドライバ・モードは、2つ目のゲート・ドライバが不要な低〜中電力アプリケーションに使用できます。

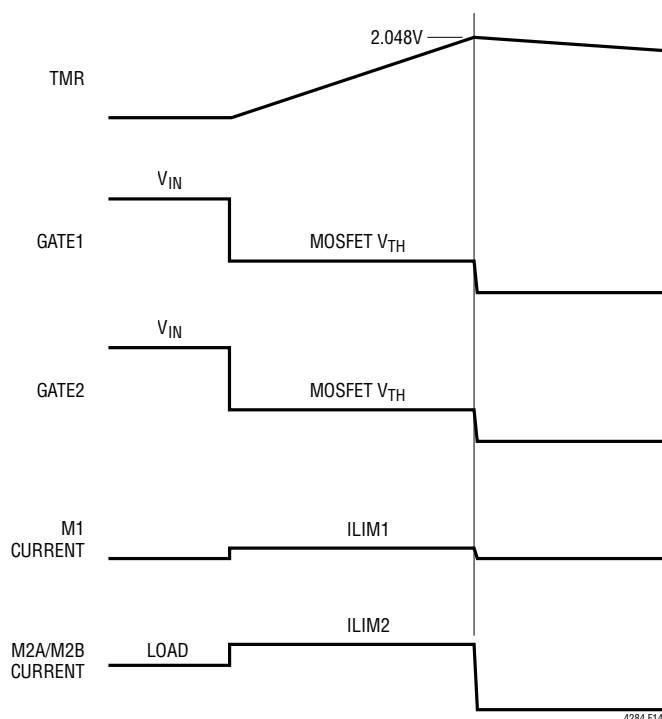


図14. 低ストレス段階的スタート・モードにおける出力短絡保護

アプリケーション情報

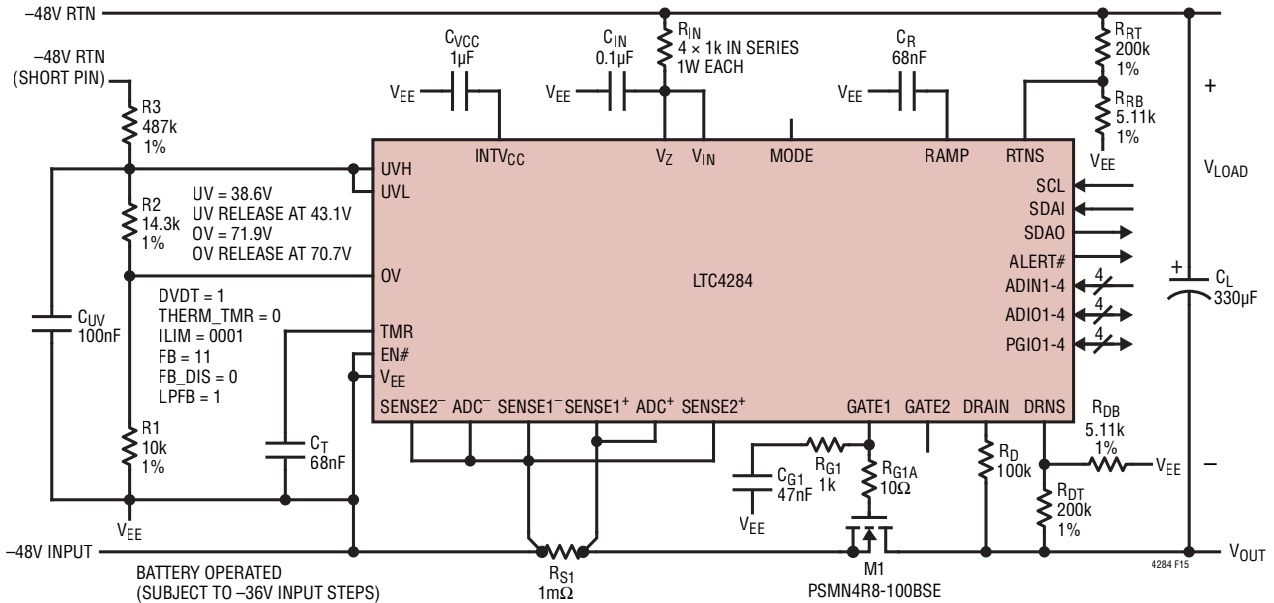


図15. シングル・ドライバ・モードにおける-48V/300Wホット・スワップ・コントローラ: GATE1がMOSFETを駆動、GATE2は開放、dV/dt突入電流制御付き

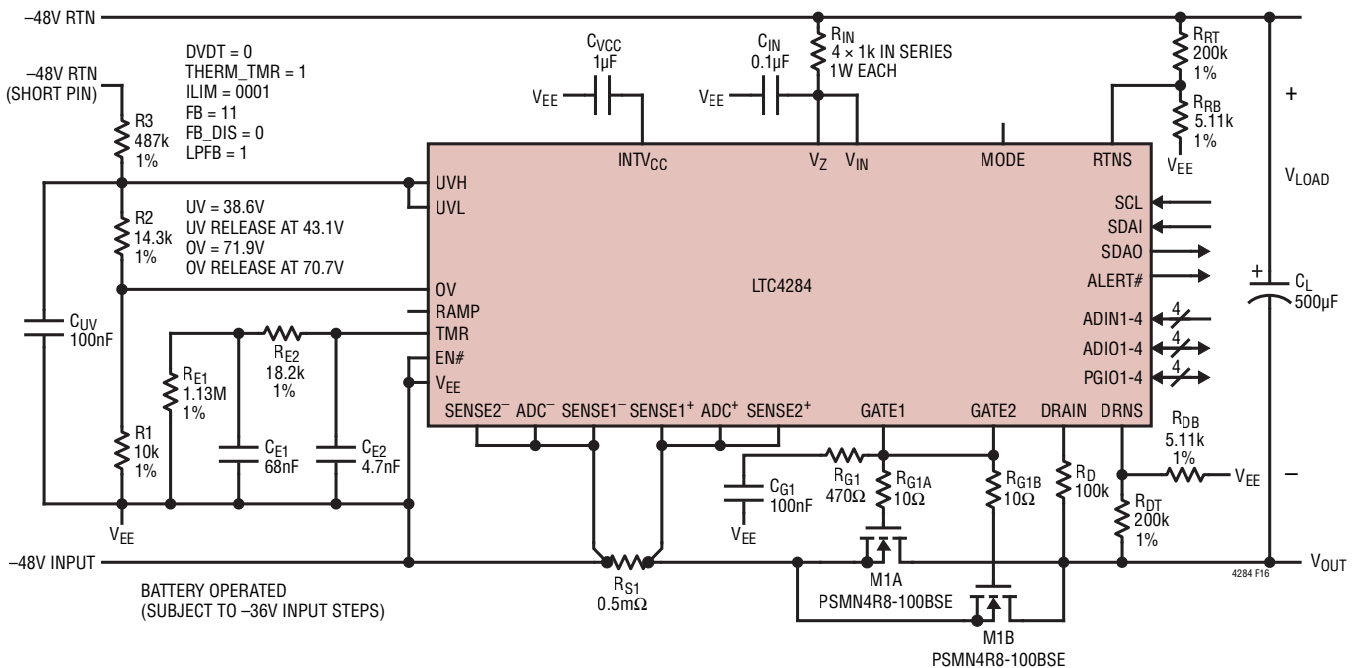


図16. シングル・ドライバ・モードにおける-48V/600Wホット・スワップ・コントローラ: GATE1とGATE2の両方でMOSFETを駆動、電流制限付き突入電流制御、SOAタイマー付き

過電圧障害と自動再試行

OVピンは、外付けの抵抗分圧器を使用して、電源の過電圧条件をモニタするために使用できます。過電圧障害は、OVの電圧がその閾値である1.406Vを超えたときに発生します。この条件により、MOSFETが即座にオフになり、FAULT_

STATUSレジスタ0x03のOV_STATUSビットとFAULTレジスタ0x04のOV_FAULTビットがセットされます。パワーグッド信号は過電圧障害による影響を受けないことに注意してください。その後、OVの電圧が閾値から24mVのヒステリシスを引いた値を下回ると、OV_STATUSビットがクリアされ、

アプリケーション情報

過電圧の自動再試行がディスエーブル (CONTROL_2レジスタ 0x0B の OV_RETRY ビットがクリア) されていない限り、MOSFET は (遅延なしで) オンできるようになります。

低電圧障害と自動再試行

LTC4284 は、高精度な低電圧モニタリングと調整可能なヒステリシスを提供するため、UVH と UVL の 2 本の低電圧ピンを備えています。UVH は、次のような高精度な立上がり閾値を持ちます。

$$V_{UVH(TH)} = 2.048V, \text{ UVH の立上がり}$$

UVL は、次のような高精度な立下がり閾値を持ちます。

$$V_{UVL(TH)} = 1.833V, \text{ UVL の立下がり}$$

両方のピンが、組込みの小さなヒステリシス (δV_{UV} 、標準: 11mV) を備えています。入力電源の上昇時と下降時のいずれの場合も、低電圧コンパレータの出力の状態が変化するには、UVH と UVL の両電圧がそれぞれの閾値を超える必要があるように、低電圧コンパレータは動作します。

UVH、UVL、および OV 閾値の比は、図 1 に示すように UVH と UVL を互いに接続した場合、テレコム標準的な動作範囲である 43V ~ 71V と、UV ヒステリシスである 4.5V に適合するように設計されています。ここで、UVL を基準とする UV ヒステリシスは次のようになります。

$$\Delta V_{UV(HYST)} = V_{UVH(TH)} - V_{UVL(TH)} = 0.215V$$

図 1 のように R1 = 10k、R2 = 14.3k、R3 = 487k を使用すると、標準的な動作範囲である 43.1V ~ 70.7V が得られ、低電圧シャットダウン閾値は 38.6V、過電圧シャットダウン閾値は 71.9V になります。

図 17 に示すように、抵抗 (R_H) を使用して UVH と UVL を分離すると、UV ヒステリシスを調整できます。UV ヒステリシスを大きくするには、図 17a に示すように、UVL のタップを UVH のタップより高い電位に設定します。UV ヒステリシスを小さくするには、図 17b に示すように UVL タップを UVH タップより低い電位に設定します。UVL を基準とする UV ヒステリシスは、以下の式によって与えられます。

$V_{UVL} \geq V_{UVH}$ の場合、

$$\Delta V_{UVL(HYST)} = \Delta V_{UV(HYST)} + 2.048V \cdot \frac{R_H}{R1+R2}$$

$V_{UVL} < V_{UVH}$ の場合、

$$\Delta V_{UVL(HYST)} = \Delta V_{UV(HYST)} - 2.048V \cdot \frac{R_H}{R1+R2+R_H}$$

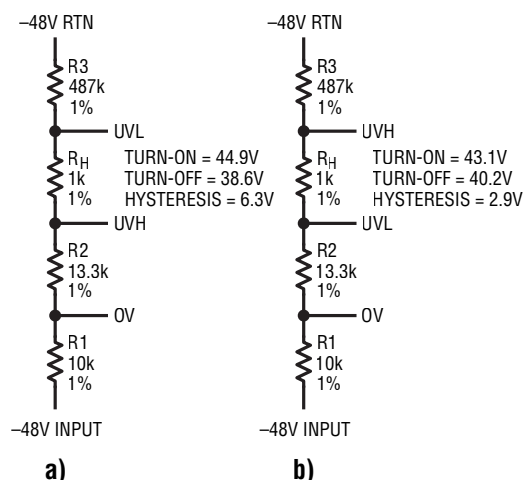


図 17. ヒステリシスを大きくする (17a) か小さくする (17b) ための低電圧閾値の調整

後者の場合、UV ヒステリシスの許容最小値は、UVH と UVL の組込みヒステリシスであり、次のようになります。

$$\Delta V_{UVL(HYST, MIN)} = \delta V_{UV} = 11mV$$

これは、 R_H が次の最大値に達したときに発生します。

$$R_{H(MAX)} = 0.11 \cdot (R1 + R2)$$

R_H が $R_{H(MAX)}$ より大きい場合でも、LTC4284 の設計上、UV コンパレータはチャタリングから保護されます。

UVL が 1.833V より低くなり、UVH が $2.048V - \delta V_{UV}$ より低くなると、低電圧障害が発生します。この条件により、MOSFET がオフになり、FAULT_STATUS レジスタ 0x03 の UV_STATUS ビットと FAULT レジスタ 0x04 の UV_FAULT ビットがセットされます。

低電圧障害の発生後、UVH ピンが 2.048V より高くなり、UVL が $1.833V + \delta V_{UV}$ より高くなると、UV_STATUS ビットがクリアされます。低電圧の自動再試行をディスエーブル (CONTROL_2 レジスタ 0x0B の UV_RETRY ビットをクリア) していない限り、128 ミリ秒の遅延時間が経過した後、MOSFET は再びオンできるようになります。

デバイスに電源を投入し、INTV_{CC} がその低電圧ロックアウト閾値 (4V) を超えた後に、UVL が閾値の 1.833V より低く、UVH が $2.048V - \delta V_{UV}$ より低い場合、FAULT レジスタ 0x04 に低電圧障害が記録されます。これは、起動後に I²C インターフェースを使用してクリアできます。

ディスクリート抵抗値の表 (1% 精度の抵抗は 2% 刻み、0.1% 精度の抵抗は 1% 刻み) から選択する場合には妥協が生じ

アプリケーション情報

るため、最高のOV精度およびUV精度を得るには、ピンごとに別々の抵抗分圧器を使用します。こうすると、抵抗の総数は3~4本から6本にまで増加しますが、精度が最大限に向上し、計算が大きく単純化され、ランニング・チェンジが簡単になって、基板を変更せずに複数の規格やカスタマイズに対応することができます。

ノイズ耐性を向上するには、チップの近くで抵抗分圧器をUVピンとOVピンに接続し、RTNおよびV_{EE}へのパターンを短くします。UVHまたはUVL(および図17に示すように抵抗R2を介したOV)とV_{EE}の間に0.1μFコンデンサを接続すると、電源ノイズを除去するのに役立ちます。

FET短絡障害

FET短絡障害は、MOSFETがオフになっている間に、データ・コンバータがADC⁺とADC⁻の間に255μVより高い電流検出電圧を測定したときに通知されます。この条件により、FAULT_STATUSレジスタ0x03のFET_SHORT_STATUSビットとFAULTレジスタ0x04のFET_SHORT_FAULTビットがセットされます。

電源障害障害

LTC4284は、負荷の出力電圧を常にモニタしています。RTNSとDRNSの差動電圧は、負荷の減衰した出力電圧を表します。RTNS - DRNS電圧がVOUTTHの外部リファレンス電圧を下回ると、出力低下ステータスがレポートされます。この条件により、FAULT_STATUSレジスタ0x03のVOUT_LOWステータス・ビットがセットされます。この条件が、内部パワーグッド信号がラッチされた後に発生した場合、FAULTレジスタ0x04のPOWER_FAILED障害ビットもセットされます。この障害によりMOSFETはオフされません。RTNS - DRNS電圧がVOUTTHより高くなると、VOUT_LOWビットはクリアされます。

外部障害と自動再試行

PGIO4ピンは、PGIO_CONFIG_1レジスタ0x10のビット[7:6]を使用することで、EXT_FAULT#またはEXT_FAULTのいずれかを設定して、外部障害条件をモニタできます。入力の極性をEXT_FAULT#として設定した場合、PGIO4が1.28Vの閾値を下回ったときに外部障害が発生します。この条件により、FAULT_STATUSレジスタ0x03のEXT_FAULT_STATUSビット、およびFAULTレジスタ0x04のEXT_FAULTビットがセットされます。また、CONFIG_3レジスタ0x0FのEXTFLT_

TURN_OFFビットがセットされている場合は、この条件によってMOSFETもオフになります。その後PGIO4が1.28Vより高くなると、EXT_FAULT_STATUSビットはクリアされます。外部障害自動再試行をディスエーブル(CONTROL_2レジスタ0x0BのEXT_FAULT_RETRYビットをクリア)していない限り、自動再試行の遅延時間が経過すると、MOSFETは再びオンできるようになります。外部障害に対する自動再試行の遅延時間は、CONFIG_2レジスタ0x0EのCOOLING_DLビットを使用して、512ミリ秒~65.5秒の間で、2進数で設定できます。遅延中、REBOOTレジスタ0xA2のDELAY_STATUSビットは1にセットされます。遅延時間が終了すると、このビットはクリアされます。

図18では、PGIO4をEXT_FAULTに設定して、MOSFETの温度をモニタしています。MOSFETの温度上昇が115°Cを超えると、FAULTレジスタ0x04のEXT_FAULTビットがセットされ、MOSFETがオフになります。

CONFIG_3レジスタ0x0FのEXTFLT_TURN_OFFビットがクリアされている場合、PGIO4の外部障害条件によってMOSFETがオフになることはありません。EXTFLT_TURN_OFFビットの値にかかわらず、FAULT_ALERTレジスタ0x15のEXT_FAULT_ALERTビットがセットされている場合、FAULTレジスタ0x04のEXT_FAULTビットがハイになるとALERT#がローに引き下げられ、アラートが生成されます。

汎用入力として構成した場合、PGIO1~4とADIO1~4を使用して、MOSFETをオフにしたりアラートを生成したりすることなく、外部条件をモニタできます。これらのピンのいずれかが閾値の1.28Vより高く引き上げられると、INPUT_STATUSレジスタ0x02の対応する入力ステータス・ビットがセットされます。

冷却遅延

過電流障害、FET不良、または外部障害後の冷却遅延(COOLING_DLビット、0x0E [3:1]で設定可能)は、他のどの障害によっても中断されません。冷却遅延時間が経過する前に、別の過電流障害、FET不良、または外部障害が発生した場合、冷却遅延は最初からスタートし、総冷却時間が延長されます。冷却遅延中、DELAY_STATUSビット0xA2 [1]がセットされ、遅延タイマーが動作中であることを知らせます。このビットは、遅延時間が経過するとリセットされます。冷却遅延を停止するには、I²C再起動コマンドを発行します。また、UVLO (INTV_{CC} < 3.8V)によっても冷却遅延が停止されます。

アプリケーション情報

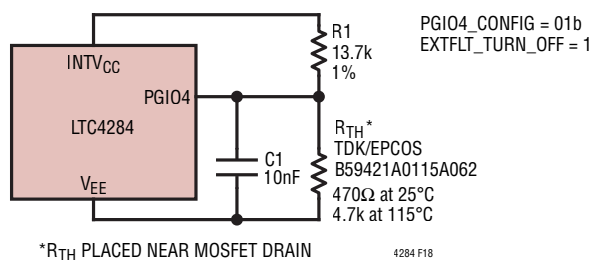


図 18. PG104 / EXT_FAULT を使用して、ドレイン温度が 115°C を超えたときに MOSFET をオフにする

障害のリセット

障害は、次のいずれかの条件によってリセットされます。まず、FAULT レジスタ 0x04 にゼロを書き込むと、対応付けられた障害ビットがクリアされます。次に、CONTROL_1 レジスタ 0x0A の ON ビットがハイからローに切り替わるか、INTV_{CC} がその低電圧ロックアウト (3.8V) より低くなると、FAULT レジスタ全体がクリアされます。EN# がハイからローに切り替わった場合も、FAULT レジスタ全体がクリアされます。最後に、UVL の電圧をそのリセット閾値 (1.024V) より低くした場合にも、FAULT レジスタのすべての障害ビットがクリアされます。UVL が 1.024V より高い電圧に戻っても、1.833V より低い場合、UVH が 2.048V より低いと、UV_FAULT ビットがセットされます。これを回避するには、UVH を 2.048V に保持しつつ、UVL ピンのハイとローを切り替えて、障害をリセットします。

対応付けられている障害条件が (FAULT_STATUS レジスタ 0x03 に示されているように) なおも存続している障害ビットをクリアすることはできません。FAULT レジスタは、自動再試行時にはクリアされません。CONTROL_2 レジスタ 0x0B を使用して特定の GATE ターンオフ障害の自動再試行をディスエーブルした場合、対応する障害ビットが存在すると、MOSFET はオフのままになります。障害ビットがクリアされ、対応する再試行遅延時間が経過すると、MOSFET は再びオンできるようになります。障害の自動再試行がイネーブルされている場合、0x03 の対応する障害ステータス・ビットをハイにすると、MOSFET はオフのままになり、FAULT レジスタは無視されます。その後、障害を引き起こしている条件が解消すると (それによって 0x03 の障害ステータス・ビットがクリアされると)、MOSFET は再びオンできるようになります。

アラーム

障害ビットと EN#_CHANGED ビットの他に、LTC4284 は、ADC_ALARM_LOG レジスタ 0x05 ~ 0x09 に ADC アラームも記録します。ADC アラームは、ADC の結果が事前設定さ

れた MAX 閾値より高いか、事前設定された MIN 閾値より低い場合に記録されます。更に、ティック・カウンタまたは電力量計がオーバーフローすると、TICK_OVERFLOW ビットまたは METER_OVERFLOW ビットが METER_CONTROL レジスタ 0x84 に記録されます。最後に、EEPROM が I²C を介して書き込まれた場合、ADC_ALARM_LOG レジスタ 0x05 に EEPROM_WRITTEN ビットが記録されます。障害ビットと同様に、これらのアラーム・ビットは対応付けられた条件の履歴を示すもので、その条件の現在のステータスを反映するものではありません。どのアラーム・ビットも、リセットする方法は 2 通りしかありません。1 つは I²C を介してアラーム・ビットにゼロを書き込むことで、もう 1 つは INTV_{CC} を低電圧ロックアウト電圧より低くすることです。

EN# ピン

EN# には、V_{EE} を基準とする 1.28V のロジック閾値があり、最大リーク電流は 1μA/3V です。このピンは、128 ミリ秒のデバウンス遅延の間ローに引き下げたまま維持しなければなりません。遅延時間が経過すると、MOSFET はオンできるようになります。内部クランプにより、EN# は最小値の 6V に制限されます。このピンは、電流を最大 5mA に制限する抵抗を介して、より高い電圧に安全に接続できます。このピンを使用して、図 2 に示すようにボード状態をモニタできます。

SYSTEM_STATUS レジスタ 0x00 の EN# ビットは、EN# の現在のステートを知らせます。EN# のステートが変化するたびに、ADC_ALARM_LOG_1 レジスタ 0x05 の EN#_CHANGED ビットがハイにセットされます。EN#_CHANGED ビットは、障害のリセットと同様の方法でクリアできます (障害のリセットを参照) が、EN# をハイからローに引き下げる方法は除きます。EN# をハイからローに引き下げると、FAULT レジスタ 0x04 全体はクリアされますが、EN#_CHANGED ビットはセットされます。

ON ビット

CONTROL_1 レジスタ 0x0A の ON ビットを使用すると、I²C インターフェースを介して、MOSFET をオン (ON ビット = 1) またはオフ (ON ビット = 0) にできます。このビットに対応付けられたデバウンス遅延はないため、他のターンオン条件が満たされている限り、ビットが 0 から 1 に遷移するとすぐに MOSFET がオンになります。

ON ビットが 1 から 0 に遷移すると、MOSFET がオフになり、FAULT レジスタ 0x04 のすべてのビット、および ADC_ALARM_LOG_1 レジスタ 0x05 の EN#_CHANGED ビットがクリアされます。

アプリケーション情報

LTC4284のオン/オフの切替え

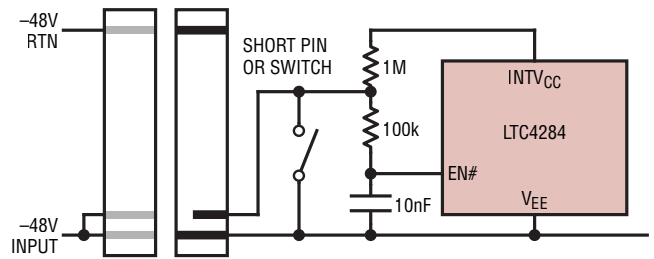
EN#ピン、UV / OVピン、PGIO3ピン、またはPGIO4ピン、ならびにI²Cポートを使用することで、多くのオン/オフ制御方法が可能です。EN#は、ロジック入力またはフロート式のスイッチ接点に適しています。I²C制御は、基板が中央制御プロセッサからのコマンドによってのみ動作するシステムを対象としています。UV (UVH、UVL)とOVは、RTNを基準とする信号を使用する場合に便利で、PGIO3はパワーグッド入力、PGIO4は外部障害として構成した場合に同じように役立ちます。

オン/オフ制御は、I²Cを介在させる場合も介在させない場合も可能です。更に、LTC4284は、取り外し可能な基板上に装着することも、バックプレーンに装着することもできます。自律的に動作している場合でも、I²CポートはGATE出力を制御することができます。UV、OV、およびその他の障害条件は、EN#やI²Cポートの状態にかかわらず、必要に応じて、GATE出力をオフにする制御機能を取得しています。図19に、LTC4284のオン/オフ制御の3種類の構成を示します。GATE2のオン/オフ制御は、GATE1のオン/オフ状態によって命令されるだけでなく、表1に示す各動作モードの特定の条件にもよることに注意してください。

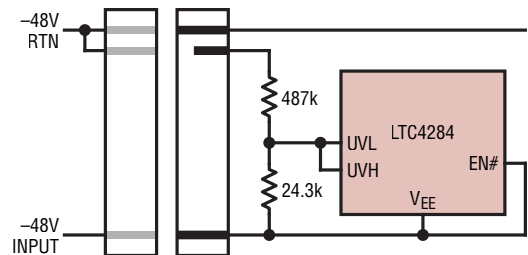
挿入時デバウンス遅延を伴うイジェクタ・スイッチまたはバックプレーン接続検出。 EN#のステートが高になると、GATE出力がオフになります。EN#のステートがローになると、128ミリ秒のデバウンス遅延の後、GATE出力がオンになります。図19aは、RC定数を通して挿入時デバウンス遅延を追加し、イジェクタ・スイッチまたはバックプレーン接続によってEN#をオン/オフ制御として駆動する様子を示しています。この回路は、バックプレーンと基板のいずれに実装されたアプリケーションでも動作します。

RTNへのピンの絶縁。 図19bでは、UV抵抗分圧器を使用して基板挿入を検出します。この手法では、128ミリ秒の挿入デバウンス遅延を実現し、バックプレーンと基板のいずれに実装されたアプリケーションでも同じようにうまく動作します。

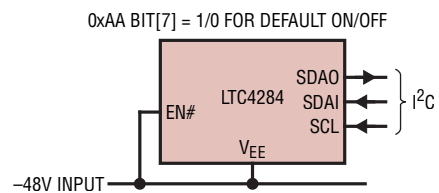
I²Cによる単独制御。 図19cに示す回路は、EN#をロックアウトし、GATE出力をCONTROL_1レジスタ0x0AのONビットで制御します。起動時にデフォルトでオンにするには、対応するEEPROMビット(EE_CONTROL_1レジスタ0xAAのビット[7])に1をプログラムし、デフォルトでオフにするには0をプログラムします。汎用入力として構成されている場合、PGIO1~PGIO4またはADIO1~ADIO4の任意のピンを使



a) Contact Debounce Delay upon Insertion for Use with an Ejector Switch or Backplane Connection Sense



b) Short Pin Connection Sense to RTN



c) I²C Only Control

図19. LTC4284のオン/オフ制御

用して、接続検出またはその他の制御信号をモニタすることができます。CONTROL_1レジスタ0x0AのONビットが0から1に切り替わると、LTC4284はGATE出力を遅延なしでオンにします。

CONTROL_2レジスタ0x0Bを使用して対応する障害がGATE出力をラッチオフするよう設定されている場合、I²Cポートを使用して、FAULTレジスタ0x04に障害ビットを書き込み、GATE出力をオフにすることもできます。その後にGATE出力をオンに戻すには、障害ビットをクリアします。GATE出力は、自動再試行の遅延時間が経過した後、オンになります(OVを除く)。障害が(有限の回数または回数無制限で)自動再試行するよう設定されている場合、対応する障害ビットをI²Cを介してセットしても、GATE出力はオフになりません。

アプリケーション情報

PGIOピンとADIOピンの設定

LTC4284には、4本のPGIOピンと4本のADIOピンがあり、PGIO_CONFIG_1レジスタ0x10とADIO_CONFIGレジスタ0x12を使用することで、そのすべてを汎用入出力に設定できます。更に、PGIO1とPGIO2は2つの連続した反転または非反転パワーグッド信号として、PGIO3は反転または非反転パワーグッド入力信号として(パワーグッド・モニタとPGI障害を参照)、PGIO4は反転または非反転外部障害(「外部障害と自動再試行」を参照)として構成できます。汎用出力として構成した場合、PGIO1~PGIO4の出力データはPGIO_CONFIG_2レジスタ0x11のビット[7:4]に格納され、ADIO1~ADIO4の出力データはADC_CONFIGレジスタ0x12のビット[3:0]に格納されます。選択された場合、ADIO1~ADIO4は、オンボードのADCによってもモニタされます(データ・コンバータを参照)。

CONTROL_1レジスタ0x0AのPGIO2_ACLBビットがセットされている場合、PGIO2は起動後のアクティブ電流制限の反転インジケータとして設定されます。起動中、PGIO2はローに維持されます。内部パワーグッド信号がラッチされた後、FAULT_STATUSレジスタ0x03のOC_STATUSビットが0の場合、PGIO2は高インピーダンスになります。OC_STATUSビットがセットされ、アクティブ電流制限が作動していることを示している場合、PGIO2はローに引き下げられます。

設定にかかわらず、PGIO1~PGIO4とADIO1~ADIO4のすべてのピンは、各ピンの電圧をモニタする1.28Vの閾値を持つコンパレータを備えています。その結果は、INPUT_STATUSレジスタ0x02に保存されます。

設計例

設計フローでは、最初に最大負荷電力と動作電圧制限(ライン駆動またはバッテリー駆動)を指定します。ライン駆動システムは、通常、高精度に安定化された電源電圧を持ちます。バッテリー駆動システムは、通常、電源電圧範囲が広く、消耗したバッテリーを新しく充電したバッテリーに交換するときに大きな入力ステップが生じます。次に、動作モードを次のガイドラインに従って選択します。

シングル・ドライバ・モード(モード1): 800W未満、ライン駆動またはバッテリー駆動。

パラレル・モード(モード2): 最大1500W、ライン駆動またはバッテリー駆動。

高ストレス段階的スタート・モード(モード3): 1500W超、バッテリー駆動。

低ストレス段階的スタート・モード(モード4): 1500W超、ライン駆動。

これは大まかなガイドであり、モード間の境界値はMOSFETの許容バジェットによって上下することがあります。

例1: SOAタイマーと電流制限起動を備えたパラレル・モードの設計手順

図2に示すような、最大負荷電力が1200W、電源電圧範囲が-36V~-72V(-36Vから-72Vへの入力ステップが許容される)、負荷容量 $C_L = 1000\mu\text{F}$ のバッテリー駆動システムを検討します。上述のガイドラインに従い、パラレル・モードが選択されます。パラレル・モードでは、GATE1とGATE2が並列接続された2つのチャンネルのMOSFETを駆動し、起動時に負荷コンデンサを同時に充電し、起動後は負荷電流を共有し、出力過負荷や短絡などの障害条件が発生すると同時にオフになります。

最大負荷電流は次式で計算できます。

$$I_{L(\text{MAX})} = \frac{P_{L(\text{MAX})}}{V_{S(\text{MIN})}} = \frac{1200\text{W}}{36\text{V}} = 33.3\text{A}$$

ステップ1. 電流制限を設定し、電流検出抵抗を選択します。-36Vから-72Vへの入力ステップが有効な動作条件であるため、大きな入力ステップ後のMOSFETの温度上昇を最小限に抑えるため、電流制限は最大負荷電流の2倍である必要があります。

$$I_{\text{LIM}(\text{OPT})} = 2 \cdot I_{L(\text{MAX})} = 66.7\text{A}$$

電力負荷が一定の場合、入力ステップの後、負荷電圧が36Vから72Vに上昇すると、負荷電流は1/2になります。CONFIG_1レジスタ0x0DのLPFB(負荷電力フォールドバック)ビットを1にセットして、出力ランプ中に電流制限が負荷電流の約2倍に保たれるようにします。

パラレル・モードでは、2つのチャンネルが電流を均等に共有するため、各チャンネルを流れる最大電流は次式で求められます。

$$I_{\text{CH}(\text{MAX})} = \frac{I_{\text{LIM}}}{2} = 33.3\text{A}$$

アプリケーション情報

各チャンネルの検出抵抗は、最大チャンネル電流(この例では33.3A)を流すことを仮定して選択します。選択で重要になるのは、総コスト、検出電圧(15mV~30mVに1mV刻みで設定可能)、許容可能な損失、ディスクリットな抵抗値が利用できるかどうか、PCBと抵抗の間のインターフェースでの電流密度が高くなることに関連する検出誤差を低減するために複数のデバイスを使用すること、2つ以上のコネクタ間もしくは2つ以上のMOSFET間の広いパスで電流フローを安定化するために複数のデバイスを使用することです。これらの要素を、許容できるソリューションが見つかるまで反復して検討します。最初に各チャンネルの総検出電力を扱うために必要な抵抗の数を決定します。最小検出電圧(15mV)の総検出電力を計算します。

$$P_{S(CH)} = \Delta V_{SENSE(MIN)} \cdot I_{CH(MAX)} = 15mV \cdot 33.3A = 500mW$$

第2に、この電力を扱うのに必要な抵抗の数を計算します。例えば、1206抵抗の損失定格は250mWです。慎重に設計するので、値はその半分の125mWにします。

$$N_{RS(CH)} = \frac{P_{S(CH)}}{125mW} = \frac{500mW}{125mW} = 4$$

そのため、各チャンネルに少なくとも4つの並列1206抵抗が必要になります。第3に、抵抗値を計算します。

$$R_{S(CH)} = \frac{\Delta V_{SENSE(MIN)}}{I_{CH(MAX)}} = \frac{15mV}{33.3A} = 450\mu\Omega$$

それぞれ1.8mΩの抵抗を4つ使用することで、正確な検出抵抗が得られます。第4に、利用可能なその次に大きい検出抵抗値を使用して、必要に応じて、電流を復元するために検出電圧を調整します。この場合、2mΩの検出抵抗値を選択して、検出電圧を16mVに調整します。値を再計算します。

$$R_{S(CH)} = \frac{2m\Omega}{4} = 500\mu\Omega$$

$$I_{CH(MAX)} = \frac{16mV}{500\mu\Omega} = 32A$$

$$P_{S(CH)} = 16mV \cdot 32A = 512mW$$

これで、各抵抗パッケージの電力損失は512mW/4 = 128mWになります。総電流制限は32A・2 = 64Aで、66.7Aの最適値に十分近くなっています。上述のプロセスを、異なる抵抗数、異なるパッケージ・サイズ、また異なる抵抗値を混在した複数の組み合わせについて繰り返します。

特定の設計を実際に構築すると、接点および銅パターンの抵抗によって電流検出にわずかな誤差が生じることがあります。検出抵抗を変更することなく、すぐに修正する方法は、検出電圧を1mV刻みで再調整することです。例えば、検出電圧を16mVから17mVに変えると、電流が6.25%増加します。

ステップ2. DRNS (ドレイン検出)、RTNS (RTN検出)、VOUTTH (出力の下側閾値)用の抵抗分圧器を選択します。DRNSとRTNSには複数の用途があります。1つ目は、起動時のdV/dt制御において減衰した負荷電圧を測定する差動アンプの入力になることです(突入電流を参照)。出力過負荷や短絡が発生したとき、通常動作時の電流制限フォールドバック・プロファイルは、負荷の両端の出力電圧を示す、RTNSとDRNSの間の差動入力によって決まります。RTNS - DRNSの電圧が0.9Vより低くなると、電流制限はフォールドバックを開始し、RTNS - DRNSが0になったときに最小値に達します(電流制限フォールドバックを参照)。更に、電流制限中DRNS入力にはMOSFETのV_{DS}をモニタし、その情報を使用してTMRプルアップ電流をスケールリングします。電流が制限されていない場合、DRNSはV_{DS}をモニタし、TMRプルアップ電流を生成する乗算器への1つの入力として動作します。最後に、RTNSとDRNSは、ADCへの入力としても動作し、入力電圧とMOSFETのドレイン電圧をリモートで読み出せるようにします。RTNSとDRNSの最大使用可能入力電圧は2.8Vなので、抵抗分圧器が必要です。

RTNSとDRNSの抵抗分圧器を選択するには、次のように、最大電源電圧を使用して抵抗分割比(r)を計算します。

$$r = \frac{V_{S(MAX)}}{1.8V} = \frac{72V}{1.8V} = 40$$

ここで、1.8Vは、TMRプルアップ電流をテストして規定されたDRNSの動作点です。その結果、入力のADC測定フル・ス

アプリケーション情報

ケール電圧 (RTNS) と MOSFET ドレイン電圧 (DRNS) は次のようになります。

$$V_{FS(MEAS)} = r \cdot 2.048V = 40 \cdot 2.048V = 81.92V$$

これにより、12ビット・モードの LSB サイズは 20mV になります。全体の過電圧入力 (100V など) を測定する必要がある場合、高い抵抗分圧比を使用することで、ADC 測定範囲を優先して、制御ダイナミック・レンジを犠牲にする決断が必要になる場合があります。もう 1 つのアプローチとしては、ADIN1 ~ ADIN4 入力を ADC 測定に使用し、RTNS と DRNS は制御目的のみに用いることです。

RTNS – DRNS = 1.8V に対応する 72V の負荷電圧で、通常動作時、過負荷条件で負荷電圧が 36V を下回ると (RTNS – DRNS < 0.9V)、電流制限のフォールドバックが開始します。これは、-36V から -72V の通常の動作入力範囲では、フォールドバックは行われず、MOSFET が全負荷電流を流せることを意味します。

200k と 5.11k の標準値から、抵抗分圧比は 40.1 になります。DRNS と RTNS には、同一の抵抗分圧器を使用する必要があります。正確な比の値は重要ではありませんが、それが一致していることは非常に重要です。そのため、抵抗許容誤差は 1% が最低条件で、0.25% または 0.1% が推奨されます。

VOUTTH ピンは、RTNS – DRNS の閾値を設定します。これは、CONTROL_1 レジスタ 0x0A の PWRGD_RESET_CNTRL ビットが 1 にセットされている場合に、パワーグッド信号をリセットする出力電圧の下限を示します。この下限値は、最小入力電圧より下に設定するので、この例では 32V を選択します。DRNS と RTNS の抵抗分圧比が 40 のため、VOUTTH の閾値は $32V/40 = 0.8V$ になります。この電圧を実現するには、INTV_{CC} (5V) と V_{EE} の間に抵抗分圧器を接続します。また、許容値をより向上させるには、VREF (1.024V) と V_{EE} の間に接続します。後者の場合、図 2 に示すような 5.62k と 20k の抵抗分圧器によって、VOUTTH で 0.8V が得られます。VREF のソース電流は 40μA で、その指定されたりリミットである 200μA に十分に収まります。

ステップ 3. 過電流タイマーの動作の設計 TMR ピンは、SOA タイマーまたはシングル・コンデンサ用の回路ブレーカ・タイマーとして構成できます。SOA タイマーでは、MOSFET の熱モデルを表現する RC ネットワークを TMR に接続する必要があります (SOA タイマーを参照)。温度特性の最低精度を満たすには、少なくとも 2 本の抵抗と 2 つのコンデンサが必要

になります。精度を向上するには、より多くの RC 素子が必要です。そのため、シングル・コンデンサ・タイマーよりもコストと基板面積が大きくなります。SOA タイマーのメリットは、TMR 電圧が MOSFET の温度上昇を表し、そのトリップ閾値が MOSFET の最大許容ピーク温度を表すことです。SOA タイマーを使用すると、MOSFET の選択はずっと単純になります。最も厳しい動作条件を満たすものを選択するだけで済みます。出力短絡などの障害条件では、SOA タイマーは最大許容ピーク温度に達すると (TMR がトリップすると) 自動的に MOSFET をオフにして保護します。シングル・コンデンサ・タイマーでは、最初に最も条件が厳しい動作条件中に MOSFET をオンに保つことができる最小のコンデンサを選択する必要があります。次に通常の動作条件および障害条件中に最も厳しい SOA 条件に耐えるような MOSFET を選択する必要があります。パラレル・モードまたは高ストレス段階的スタート・モードにおいて、シングル・コンデンサ・タイマーに基づいて選択される MOSFET のコストは、SOA タイマーを使用する場合よりもかなり高くなる場合があります。パラレル・モードまたは高ストレス段階的スタート・モードを使用する高電力アプリケーション (特に、大きな入力ステップを伴う場合) では、SOA タイマーを使用することをお勧めします。そのため、この例では、TMR ピンを SOA タイマーとして設定するため、CONTROL_1 レジスタ 0x0A の THERM_TMR ビットを 1 にセットします。これにより、内部 TMR プルダウン電流はディスエーブルされます。

SOA タイマーによって MOSFET を保護するため、起動後は電流制限フォールドバックをディスエーブルできます。そうするには、CONTROL_1 レジスタ 0x0A の FB_DIS ビットを 1 にセットします。起動中のフォールドバックについては、FB_DIS ビットの影響を受けません。

ステップ 4. MOSFET を選択します。SOA タイマーでは、次の 2 つの動作条件を満たす必要があります。(1) R_{DS(ON)} が最大負荷電流を流すのに十分低い値であること (2) 最も厳しい動作条件に耐えるのに十分な SOA を持つこと。R_{DS(ON)} 条件の選択は、MOSFET の総コストと、希望するパッケージ当たり最大損失の組み合わせになります。32A の最大チャンネル電流のため、2 つの 5mΩ デバイスでは、デバイス当たり 1.28W になります。エアフロー有りの場合、1.28W の損失は許容可能で、3 つ目のデバイスは不要です。選択された MOSFET は、各チャンネルに付き 2 つの PSMN4R8-100BSE デバイスです (それぞれ R_{DS(ON)} < 4.8mΩ)。これまでに選択した部品を、図 1 と図 2a に示します。

アプリケーション情報

全負荷時の最も厳しいMOSFETドレイン電圧は次のようになります。

$$V_{D(ON),MAX} = \frac{I_{CH(MAX)} \cdot R_{DS(ON),MAX}}{2} = \frac{32A \cdot 4.8m\Omega}{2} = 76.8mV$$

DRAIN 閾値 ($V_{D,FET(TH)}$) は、部品の誤差と温度係数を考慮するために十分なマージンを取った上で、この値より高く設定する必要があります。MOSFETのドレイン電圧がこの閾値より高くなると、2つのことが起こります。最初に、FAULT_STATUSレジスタ0x03のFET_BAD_STATUSビットがセットされ、FET不良タイマーが起動します。タイマーの期限が切れると、FAULTレジスタ0x04のFET_BAD_FAULTビットがセットされ、CONTROL_1レジスタ0x0AのFET_BAD_TURN_OFFビットがセットされている場合、MOSFETがオフになります。次に、電流制限が作動していても、TMRプルアップ電流がイネーブルされます。この電流は、チャンネル1の電力損失をモニタしている内部乗算器によって生成されます。 $V_{D,FET(TH)}$ には、72mV、102mV、143mV、203mVの4つの異なる設定があります。この例では、CONFIG_2レジスタ0x0EのVDTHビットを10bに設定することで143mVを選択します。

通常、大きな入力ステップがSOAの最も厳しい動作条件になります。MOSFETの温度上昇を検証するため、この条件でシミュレーションを実行する必要があります。上記で選択したコンポーネントと設定を使用して、全負荷(1200Wおよび1000 μ F)で-36Vから-72Vへの入力ステップを乗り切るときのMOSFETの温度上昇は46°Cです(LTspiceのSOAthermモデルでシミュレーション)。最も厳しい動作温度の85°Cにおいて、これは131°CのMOSFET温度に相当します。これはメーカーが規定する最大温度の175°Cに対して大きなマージンがあります。負荷容量が2000 μ Fのとき、-36Vから-72Vへの入力ステップにおける温度上昇は64°Cに増加しますが、それでも許容できる値です。

ステップ5. 起動電流とFET不良タイマーの設計最初に、起動モードを選択します。突入電流制御で述べたように、起動電流(または突入電流)は、dV/dtモードのRAMPコンデンサか、電流制限モードの起動時フォールドバックによって制御可能です。この例では、2つの観点から、電流制限モードが選択されます。1つは、パラレル・モードでは、両方のチャ

ネルが起動中に負荷容量を充電することです。電流制限により、2つのチャンネル間で充電電流が均等化されます。dV/dtモードでは、MOSFET閾値の不一致により、充電電流が一方のチャンネルに集中する可能性があります。もう1つは、電流制限モードの方が、ステップ3で選択したSOAタイマーとの相性が良いことです。dV/dtモードを選択した場合、TMRプルアップ電流が通常起動時にディスエーブルされたり、SOAタイマーが起動中にMOSFETの温度上昇をトラッキングできなくなったりする可能性があります。

充電電流の選択は、最大充電時間、バックプレーンから引き込まれる最大突入電流、より重要な要素であるMOSFETで消費されるピーク電力のトレードオフです。電圧源からコンデンサを充電するとき、充電プロセスによって、コンデンサに貯蔵されるエネルギーに等しい分、パスMOSFET内のエネルギーが損失します。最大入力電圧から、最大エネルギーが計算されます。

$$E_{MAX} = \frac{C_L \cdot V_{S(MAX)}^2}{2} = \frac{1000\mu F \cdot (72V)^2}{2} = 2.59J$$

MOSFETの平均電力損失はエネルギー/時間であるため、これによって負荷コンデンサの充電速度に間接的に制限がかかります。一般的に、充電速度が速いほど、ピーク温度は高くなります。そのため、突入電流が必要な起動時間を達成するのに必要な分以上にならないよう、突入電流を低くすることをお勧めします。そのため、CONFIG_1レジスタ0x0DのFBビットを11bにセットして最小のフォールドバック比である10%を選択します。起動時の突入電流は次のようになります。

$$I_{INRUSH} = I_{LIM} \cdot \alpha_{FB} = 64A \cdot 10\% = 6.4A$$

次に、負荷コンデンサの最大起動充電時間を計算します。

$$t_{STARTUP(MAX)} = \frac{C_L \cdot V_{S(MAX)}}{I_{INRUSH}} = \frac{1000\mu F \cdot 72V}{6.4A} = 11.25ms$$

この充電時間は、ほとんどのアプリケーションに対して十分な短さです。シミュレーションにより、この最も厳しい起動条件におけるMOSFETの温度上昇は40°Cであることが分かりました。これは、ステップ4で計算した-36Vから-72Vへの入力ステップにおける値よりも低くなっています。

アプリケーション情報

起動中、FET_BAD_STATUSビットがハイになり、FET不良タイマーが動作し、制御された起動のウォッチドッグとして動作します。このタイマーが切れる前に、負荷コンデンサを満充電にしなければなりません。そうでない場合、CONTROL_1レジスタ0x0AのFET_BAD_TURN_OFFビットがセットされていれば、GATE出力がオフになります。この例では、最大充電時間の11.25ミリ秒は、最小FET不良タイマー遅延(256ミリ秒)よりもかなり短いため、問題ありません。

ステップ6. SOAタイマーのセクションで説明した手順に従って、SOAタイマーのRCネットワークを選択します。2つの熱コンデンサと2本の熱抵抗により、選択されたMOSFET (PSMN4R8-100BSE)の熱抵抗プロットに対して、100マイクロ秒〜100ミリ秒の範囲(このアプリケーションの標準動作条件に対して十分広い)でかなり良好なカーブ・フィッティングが得られることが分かりました。 $C_{\theta 1} = 0.002\text{J}/^{\circ}\text{C}$, $R_{\theta 1} = 0.05^{\circ}\text{C}/\text{W}$, $C_{\theta 2} = 0.03\text{J}/^{\circ}\text{C}$, $R_{\theta 2} = 0.35^{\circ}\text{C}/\text{W}$ 。変換定数は次式で求められます。

$$k = \frac{V_{DS,MAX} \cdot I_{D,MAX} \cdot V_{TMR(TH)}}{I_{TMR(UP),MAX} \cdot \Delta T_{MAX}} = \frac{72\text{V} \cdot 32\text{A} \cdot 2.048\text{V}}{202\mu\text{A} \cdot 65^{\circ}\text{C}} = 3.6 \cdot 10^5 \left[\frac{\text{V}^2}{^{\circ}\text{C}} \right]$$

ここで、 ΔT_{MAX} は最大許容温度上昇で、メーカー規定の最大温度である 175°C に対して 25°C のマージンを取った 85°C の動作温度で 150°C の最大MOSFET温度に相当する、 65°C が選択されました。その後、SOAタイマーで説明したように、熱的なRおよびC値を電気的なRおよびC値に変換しました。電気的RおよびC値が計算された後、利用できる抵抗値の中で次に大きく最も近い値と、利用できるコンデンサ値の中で次に小さく最も近い値を選択します。次に、基板の熱抵抗に対応する抵抗を、終端抵抗(最も大きいもの)に追加します。基板の熱抵抗に対して計算された抵抗値が $1\text{M}\Omega$ を超える場合、 $1\text{M}\Omega$ を選択します。このアプリケーションの基板の熱抵抗が $5^{\circ}\text{C}/\text{W}$ であると仮定すると、 $5 \cdot 3.6 \cdot 10^5 = 1.8\text{M}\Omega$ に変換されます。そのため、 $1\text{M}\Omega$ を選択します。これにより、基板のリーク電流によって精度が低下するのを防ぐことができます。その結果得られた電気的コンデンサおよび抵抗は、図1と図2aに示すように、 $C_{E1} = 4.7\text{nF}$, $R_{E1} = 18.2\text{k}$, $C_{E2} = 68\text{nF}$, $R_{E2} = 1.13\text{M}\Omega$ となります。

SOAタイマーの設定が終わったら、シミュレーションを再実行して、起動と入力ステップを含むあらゆる動作条件において、TMRがトリップ・ポイントの 2.048V に到達しないことを確認します。出力過負荷や短絡などの障害条件でトリップする場合、MOSFETのピーク温度が提案された最大温度と一致しているか確認します。RCネットワークを確定する前に、上記の手順を繰り返す必要がある場合もあります。

ステップ7. UV/OV入力とADC平均化抵抗の抵抗分圧器を選択します。

UV立上がり閾値が最小入力電圧のすぐ下、OVの立下がり閾値が最大入力電圧のすぐ上になるように抵抗分圧器を選択します。図2aに示すような4抵抗分圧器を1つ使用することで、 32.4V でUVシャットダウン、 35.3V でUVリリース、 74.5V でOVシャットダウン、 73.2V でOVリリースになります。この設定範囲は、 $36\text{V} \sim 72\text{V}$ の全入力電圧範囲をちょうど含むことができる広さです。UVL/UVHとOVのノイズをフィルタリングするために、 100nF のバイパス・コンデンサを選択します。

2つのチャンネル間の平均電流を測定するため、ADC⁺およびADC⁻入力に4本の 1Ω 平均化抵抗を選択します。電流ADCのフルスケール電圧は 32.768mV になります。総検出抵抗は $0.25\text{m}\Omega$ 、フルスケール電流は 131.1A 、12ビット・モードのLSBサイズは 32mA になります。

例2: TMRピンのシングル・コンデンサ、dV/dt起動を使用するロー・パス段階的スタート・モードの設計手順

2つ目の例は、図13に示すような電源許容誤差が10% ($-46.8\text{V} \sim -57.2\text{V}$)で、最大負荷電力が 2500W のライン駆動の -52V システムです。負荷容量は、 $C_L = 2000\mu\text{F}$ で指定されます。この例では、電力が 1500W を超え、電源がライン安定化されており、大きな入力ステップを考慮する必要がないため、低ストレス段階的スタート・モードが選択されました。ロー・パス段階的スタート・モードは、GATE1(チャンネル1)によって駆動される小さな起動MOSFETを備えており、このMOSFETは、負荷コンデンサを充電するための起動時の低い突入電流を流すよう設計されています。正常に起動すると、低抵抗のバイパスMOSFETがGATE2(チャンネル2)によって駆動され、負荷電流を供給します。チャンネル1の電流は、通常、最大負荷電流のわずか数分の1にすぎません(例えば10%未満)。そのため、設計の最初の段階では、そ

アプリケーション情報

れによる通常動作時の電流寄与は無視できます。後の段階になってから、高電流(チャンネル2)パスの不足分を補い、最小入力電圧(46.8V)で全電力(2500W)を供給できるようにするためにチャンネル1を考慮し、決定します。

最大負荷電流は次式で計算できます。

$$I_{L(MAX)} = \frac{P_{L(MAX)}}{V_{S(MIN)}} = \frac{2500W}{46.8V} = 53.4A$$

ステップ1. 最大負荷電流を流すのに十分なバイパス MOSFET を選択します。この選択は、MOSFET の総コストと、希望するパッケージ当たり最大損失の組み合わせによって決まります。最大チャンネル電流(53.4A)を実現するため、2つの IPT020N10N3 ($R_{DS(ON)} < 2m\Omega$) デバイスにより、エアフロー有りで許容可能な値であるパッケージ当たり 1.415W の損失が出ます。オプションとして、少しコストは高くなりますが、パッケージ当たりの損失がわずかに 1.06W となる IPT015N10N5 ($R_{DS(ON)} < 1.5m\Omega$) を使用することもできます。

全負荷で、MOSFET の最も厳しいドレイン電圧は $53.4A \cdot 1m\Omega = 53.4mV$ です。誤差を考慮して十分なマージンを取って、FET 不良タイマーを起動して TMR プルアップ電流をイネーブルする DRAIN 閾値として、102mV を選択します。この構成では、CONFIG_2 レジスタ 0x0E の VDTH ビットを 01b に設定します。詳細な設計上の検討事項については、例1のステップ4を参照してください。

ステップ2. 電流制限を設定し、電流検出抵抗を選択します。入力電圧が高精度に安定化されているため、例1のように、大きな入力ステップ時の温度上昇を最低限に抑えるために電流制限値を負荷電流の2倍に設定する必要はありません。この例の電流制限値は、デバイスの許容誤差を考慮するのに十分なマージンを取った最大負荷電流をカバーするときだけ必要になります。チャンネル2の検出抵抗(バイパス・チャンネル)を、最初に最大負荷電流を流すものと仮定して選択してから、マージンとして起動チャンネルで流す低い電流を追加します。最小検出電圧(15mV)から始めて、チャンネル2の検出電力を計算します。

$$P_{S2} = \Delta V_{SENSE(MIN)} \cdot I_{L(MAX)} = 15mV \cdot 53.4A = 801mW$$

1206 抵抗の定格が 250mW のため、慎重に設計するために 125mW を使用し、電力を扱うために必要な最小の検出抵抗の数は次のようになります。

$$N_{RS2} = \frac{P_{S2}}{125mW} = \frac{801mW}{125mW} = 6.4$$

そのため、チャンネル2には少なくとも6つの並列1206抵抗が必要になります。チャンネル2の抵抗は次のようになります。

$$R_{S2} = \frac{\Delta V_{SENSE(MIN)}}{I_{L(MAX)}} = \frac{15mV}{53.4A} = 281\mu\Omega$$

それぞれ 1.69m Ω の抵抗を6つ使用することで、正確な検出抵抗が得られます。利用できる検出抵抗値の中で次に大きく最も近い値は 2m Ω です。

$$R_{S2} = \frac{2m\Omega}{6} = 333\mu\Omega$$

検出電圧を 18mV に調整して、電流を復元します。

$$I_{LIM2} = \frac{\Delta V_{SENSE}}{R_{S2}} = \frac{18mV}{333\mu\Omega} = 54A$$

検出電力を再計算します。

$$P_{S2} = 18mV \cdot 54A = 972mW$$

これで、各抵抗パッケージの電力損失は $972mW/6 = 162mW$ になります。これは、1206 抵抗で許容できる値です。最後のステップとして、チャンネル1の電流に 5m Ω の検出抵抗を1つ選択し、次のようにします。

$$I_{LIM1} = \frac{\Delta V_{SENSE}}{R_{S1}} = \frac{18mV}{5m\Omega} = 3.6A$$

総電流制限は、次のようになります。

$$I_{LIM} = I_{LIM1} + I_{LIM2} = 54A + 3.6A = 57.6A$$

すべての許容誤差を考慮した上で、最大負荷電流の 53.4A に十分なマージンがあります。例1のステップ1で説明したように、接点や銅パターン抵抗などの電流検出の誤差を考慮するために、検出電圧を再調整する必要がある場合があります。

アプリケーション情報

ステップ3. DRNS (ドレイン検出)、RTNS (RTN検出)、VOUTTH (出力の下側リファレンス)用の抵抗分圧器を選択します。詳細な設計上の検討事項については、例1のステップ2を参照してください。最初にRTNSとDRNSの抵抗分圧比(r)を計算します。

$$r = \frac{V_{S(\text{MAX})}}{1.8\text{V}} = \frac{57.2\text{V}}{1.8\text{V}} = 31.78$$

これは、32に丸められます。316k Ω と10.2k Ω の標準値から、抵抗分圧比は31.98になります。入力ADC測定フルスケール電圧(RTNS)とMOSFETドレイン電圧(DRNS)は次のようになります。

$$V_{FS(\text{MEAS})} = r \cdot 2.048\text{V} = 32 \cdot 2.048\text{V} = 65.5\text{V}$$

これにより、12ビット・モードのLSBサイズは16mVになります。

RTNS – DRNS = 1.8Vに対応する、 $V_{\text{LOAD}} = 32 \cdot 1.8\text{V} = 57.6\text{V}$ で、過負荷条件で V_{LOAD} が28.8Vより低くなると、電流制限フォールドバックを開始します。–46.8Vから–57.2Vの通常の入力では、フォールドバックは行われず、MOSFETは全負荷電流を流すことができます。

パワーグッド信号をリセットする出力電圧閾値として44Vを選択した場合、DRNSとRTNSの抵抗分圧比が32のため、VOUTTHの閾値は $44\text{V}/32 = 1.375\text{V}$ になります。この電圧は、INTV_{CC} (5V)とV_{EE}の間に抵抗分圧器を接続することで得られます。抵抗分圧比は $5\text{V}/1.375\text{V} = 3.64$ です。図13に示すような26.7kと10.2kの抵抗分圧器により、3.62という十分近い比が得られます。

ステップ4. TMRの動作を設計します。一般的な設計上の検討事項については、例1のステップ3を参照してください。低ストレス段階的スタート・モードの突入電流は起動用MOSFETの温度上昇がほとんどないくらいに低いレベルであるため、起動時のMOSFET保護のためにSOAタイマーを使用する必要はありません。起動後、大きな入力ステップが起こる心配がないため、出力短絡などの障害発生時のMOSFETターンオフのために非常に短いタイマー遅延が必要です。したがって、低ストレス段階的スタート・モードでは、TMRの機能は実質的にはフィルタされた回路ブレーカであり、その目的はTMRピンのシングル・タイマー・コンデンサで十分果たすことができます。

負荷電流のほとんどがチャンネル2を流れるため、チャンネル2がタイマー・コンデンサの選択を左右します。チャンネル2の電流がすべて1つのMOSFETに集中する可能性があります。

ます。この例では、チャンネル2の電流制限は54Aで、ステップ1で選択したMOSFET (IPT020N10N3)は、100マイクロ秒の間60Vおよび60Aを扱うことができます。ほとんどのシステムで発生するノイズを除去するためには、20マイクロ秒の回路ブレーカのフィルタリングで十分であることがわかりました。そのため、選択したMOSFETは目的を果たすことができます。TMRのプルアップ電流は最大過負荷時に202 μA で、電圧閾値は2.048Vです。20マイクロ秒のフィルタ遅延について、タイマー容量(C_t)を計算します。

$$C_t = \frac{I_{\text{TMR(UP),MAX}} \cdot t_{\text{FILTER}}}{V_{\text{TMR(TH)}}} = \frac{202\mu\text{A} \cdot 20\mu\text{s}}{2.048\text{V}} = 2\text{nF}$$

利用できる容量の中で次に大きく最も近い値を選択します。 $C_t = 2.2\text{nF}$ 。

TMRにシングル・コンデンサを接続する場合、CONTROL_1レジスタ0x0AのTHERM_TMRビットをクリアして、内部2 μA プルダウン電流をイネーブルする必要があります。更に、CONTROL_1レジスタ0x0AのFB_DISビットをクリアして、低インピーダンス短絡による損傷からMOSFETを守るために起動後もフォールドバックをイネーブルしたままにする必要があります。

ステップ5. 起動チャンネル(チャンネル1)とFET不良タイマーの設計低ストレス段階的スタート・モードの起動時、チャンネル1は、小さいトリクル電流で負荷容量を充電します。これは、dV/dt起動モードを使用するのに良いケースです(例1、ステップ5の説明を参照してください)。設計手順には、必要な充電電流にdV/dtレートを設定するためのRAMPコンデンサの選択、適切な起動時電流制限の選択、抵抗性短絡条件における起動用MOSFETの温度上昇のチェックが含まれます。

充電電流の選択は、最小充電時間と起動用MOSFETのピーク温度のトレードオフです。例1のステップ5で説明したように、充電電流は、必要な充電時間を達成するのにちょうど必要な低いレベルに設定する必要があります。最大入力電圧の57.2Vで、2000 μF の負荷コンデンサに上限500ミリ秒の充電時間が必要であると仮定します。必要な充電電流は次のとおりです。

$$I_{\text{INRUSH(MIN)}} = \frac{C_L \cdot V_{S(\text{MAX})}}{t_{\text{STARTUP(MAX)}}} = \frac{2000\mu\text{F} \cdot 57.2\text{V}}{500\text{ms}} = 229\text{mA}$$

RAMPコンデンサは、次式に従って選択されます。

$$C_R = I_{\text{RAMP}} \cdot r \cdot \frac{C_L}{I_{\text{INRUSH}}} = 2.5\mu\text{A} \cdot 32 \cdot \frac{2000\mu\text{F}}{229\text{mA}} = 699\text{nF}$$

アプリケーション情報

許容可能な値は470nFで、公称突入電流は以下となります。

$$I_{\text{INRUSH}} = I_{\text{RAMP}} \cdot r \cdot \frac{C_L}{C_R} = 2.5\mu\text{A} \cdot 32 \cdot \frac{2000\mu\text{F}}{470\text{nF}} = 340\text{mA}$$

最大起動時間は以下となります。

$$t_{\text{STARTUP(MAX)}} = \frac{C_L \cdot V_{\text{S(MAX)}}}{I_{\text{INRUSH}}} = \frac{2000\mu\text{F} \cdot 57.2\text{V}}{340\text{mA}} = 336\text{ms}$$

これは、500ミリ秒の上限値よりもかなり低い値です。

FET不良タイマーは、負荷コンデンサが充電を完了するために起動時間よりも長く設定しなければならないため、CONFIG_2レジスタ0x0EのFTBD_DLビットを01bにセットして、512ミリ秒に設定します。

起動時電流制限値も、抵抗性短絡条件における起動用MOSFETの温度上昇を最小限に抑えるように設定する必要がありますが、通常の起動条件で電流制限がトリガされないよう、dV/dt突入電流よりは高い値に設定しなければなりません。フォールドバック比が20%のとき、チャンネル1の起動時電流制限値は次のようになります。

$$I_{\text{LIM1(STARTUP)}} = 3.6\text{A} \cdot 20\% = 720\text{mA}$$

これは、すべての誤差のマージンを考慮しても、突入電流の340mAの2倍を超える値です。CONFIG_1レジスタ0x0DのFBビットを10bにセットして、20%のフォールドバック比を選択します。10%のフォールドバック比では、電流制限値が360mAになり、突入電流に非常に近くなります。

突入電流が非常に低く、起動用MOSFETの $R_{\text{DS(ON)}}$ とSOAは重要ではないため、小さい低コストのデバイスを使用できます。起動用のMOSFETとして、 $R_{\text{DS(ON)}} < 7.6\text{m}\Omega$ のPSMN7R6-100BSEを選択します。3.6Aの電流制限による起動後、このチャンネルの最も厳しい電力損失は、 $(3.6\text{A})^2 \cdot 7.6\text{m}\Omega = 98.5\text{mW}$ になります。これは、非常に低い値で問題ありません。

ステップ6. シミュレーションを実行して、あらゆる動作条件および障害条件において、チャンネル1およびチャンネル2両方のMOSFETの温度上昇が許容範囲内に収まることを検証します。これは、ステップ4で選択したシングル・コンデンサの回路ブレーカ・タイマーを使用するときに必要なステップです。

まず、起動中のチャンネル1のMOSFET(M1)の温度上昇を確認します。条件には、2000 μF 負荷コンデンサを満充電する通常のdV/dt起動と、M1が負荷コンデンサと並列障害抵抗の両方をいずれも最大入力電圧で充電する障害条件が含まれます。通常の起動条件の温度上昇が高すぎる場合、大きなRAMPコンデンサを選択することで、突入電流を低下させることができます。突入電流を必要な最大充電時間を実現するために必要な値よりも低減する必要がある場合、チャンネル1により大きなMOSFETを選択する必要があります。障害条件について、最も厳しい条件は、温度上昇をモニタしながら障害抵抗値を反復的に変化させることで見つけます。開始点として、この例では、 $V_{\text{S(MAX)}} / (4 \cdot I_{\text{LIM1(STARTUP)}}) = 57.2 / (4 \cdot 0.72) = 20\Omega$ の抵抗を使用します。温度上昇が高すぎる場合、より厳しいフォールドバック比を選択するか、大きい検出抵抗 R_{S1} を選択することで、起動時の電流制限値を下げるすることができます。起動時の電流制限値を、最大充電時間の間、dV/dtの突入電流未満もしくはそれに近い値に下げ必要がある場合、より大きなMOSFETを選択する必要があります。この例の条件を使用すると、通常の起動条件でも、異なる障害抵抗でも、M1の最も厳しい温度上昇は10°Cより低く、問題にならないレベルであることが分かります。これにより、選択したチャンネル1のMOSFET(PSMN7R6-100BSE)が、起動中の最も厳しい条件の損失を扱うのに十分なSOAを持つことが検証されます。

次に、起動後、異なる過負荷条件下でTMRがタイムアウトしたときのチャンネル1とチャンネル2両方のMOSFETの温度上昇をチェックします。最も厳しい条件は、出力を利用できる出力電圧の半分に短絡させることなので、MOSFETの V_{DS} がまだハイである間はフォールドバックはありません。いずれかのチャンネルの最も厳しい条件における温度上昇が高すぎる場合、そのチャンネルに大きなMOSFEを選択する必要があります。この例では、チャンネル2の最も厳しい条件における温度上昇は約56°Cと許容できる値であり、チャンネル1の温度上昇は無視できるレベルです(10°C未満)。

ステップ7. UV/OV入力とADC平均化抵抗の抵抗分圧器を選択します。

例1のステップ7に示すような1つの4抵抗分圧器(UVHとUVLを互いに接続した場合は3抵抗分圧器)を使用することは可能ですが、各抵抗分圧器が2本の抵抗(OV)または

アプリケーション情報

2~3本の抵抗(UV)を持つ、2つの独立した抵抗分圧器を使うことで、後の段階で非インタラクティブな変更を行うのが簡単になります。図13に示すような2つの抵抗分圧器により、43.4VでUVシャットダウン、45.1VでUVリリース、59.3VでOVシャットダウン、58.3VでOVリリースが得られ、この例の入力電圧範囲をすべてカバーできます。10nFのコンデンサで、UVLとOVのノイズをフィルタします。

ADC⁺およびADC⁻入力には、R_{S2}側(R_{A2})の平均化抵抗として1Ωを選択します。R_{S1}側の平均化抵抗は、R_{S1}とR_{S2}の比によって次のように決定されます。

$$R_{A1} = R_{A2} \cdot \frac{R_{S1}}{R_{S2}} = 1\Omega \cdot \frac{5m\Omega}{0.33m\Omega} = 15\Omega$$

電流ADCのフルスケール電圧は32.768mVになります。総検出抵抗は6つの2mΩと並列の5mΩ、すなわち0.312mΩになります。ADC⁺ - ADC⁻入力のフルスケール電圧が32.768mVのため、フルスケール電流は104.9Aになり、12ビット・モードのLSBサイズは25.6mAになります。

レイアウトに関する検討事項

正確な電流検出を達成するため、ケルビン接続が必須です。パターンが適切な温度を保つようにするための1オンスの銅箔の最小パターン幅は、アンプ1回路当たり0.02インチです。1A当たり0.03インチ以上の幅にすることを推奨します。1オンスの銅には約530μΩ/平方のシート抵抗があることに注意してください。高電流アプリケーションには、2オンス以上の銅を使用してください。

LTC4284のV_{EE}ピンは、メインの-48V入力プレーンとは異なる独立したプレーンに接続する必要があります。ノイズ耐性を向上するため、図20に示すように、すべてのコンデンサ、抵抗分圧器、光アイソレータ、I²Cの共通ラインのV_{EE}接続は、-48V入力プレーンではなく、ローカルのV_{EE}プレーンに直接接続する必要があります。

部品を基板にハンダ処理する際の機械的ストレスや、IRリフローの熱や、対流式ハンダ処理オープンにより、ADCフルスケール誤差(FSE)と電流制限電圧(V_{ILIM})がシフトすることがあります。鉛フリーIRリフロー・プロセスを3サイクル行った後の300ユニットのLTC4284のADC FSEおよびV_{ILIM}シフトについては、代表的な性能特性を参照してください。

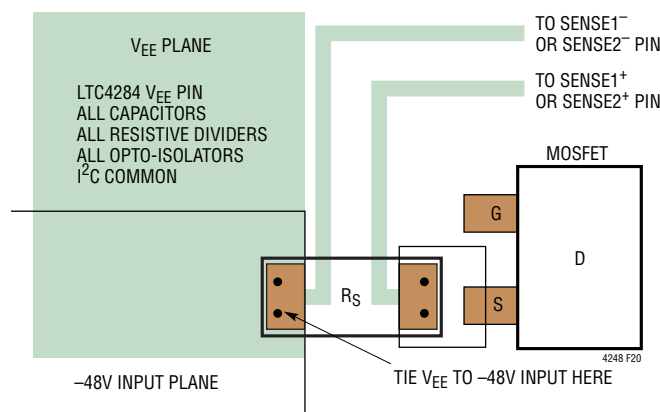


図20. V_{EE}プレーン、-48V入力プレーン、検出抵抗接続のレイアウト例

I²C コマンドによる再起動

LTC4284は、再起動コマンド・ビット(REBOOTレジスタ0xA2のRBT_EN)を備えています。このビットをセットすると、LTC4284がシャットダウンし、遅延時間後に再起動します。再起動遅延時間は、512ミリ秒~65.5秒の間で、REBOOTレジスタの3つのRBT_DLビットを使用してプログラムできます。再起動遅延により、負荷容量を完全に放電することができます。再起動遅延中、REBOOTレジスタのDELAY_STATUSビットは1にセットされます。遅延時間が終了すると、このビットはクリアされます。再起動では、最初の起動後と同様に、EEPROMの内容が不揮発性レジスタにコピーされます。ホット・スワップ・コントローラがI²Cマスタに電力を供給するシステムでは、これによって、マスタが自分自身も含む全ボードの電源を入れ直すコマンドを発行できるようになります。一度セットされると、再起動が完了した後もRBT_ENビットは1のままになります。次の再起動コマンドを発行する前にこのビットをクリアしてください。

データ・コンバータ

LTC4284は、1対のシグマ・デルタA/Dコンバータ(ADC)を内蔵しており、このADCは、PGIO_CONFIG_2レジスタ0x11のADCビットを使用することで8ビット(変換レート:1kHz)から16ビット(変換レート:1Hz)までの5通りに設定できます(表12を参照)。デフォルトの連続モードでは、1つ目のADC(ADC1)がADC⁺とADC⁻の間に接続した検出抵抗を通して、入力電流を連続的にモニタします。2つ目の

アプリケーション情報

ADC (ADC2)はADC1と同期しており、RTNSの減衰した入力電圧またはDRNSの減衰したMOSFETドレイン電圧 (CONFIG_3レジスタ0x0Fのビット[6]で設定可能)と、16個の補助入力の1つをモニタします。これらの入力には、10個のシングルエンド信号と6個の差動信号が含まれており、ADC_SELECTレジスタ0x13~0x14を使用して選択できます(表14を参照)。複数の補助入力を選択した場合、連続モードでは図21に示すようにADC2がローテーションします。各変換の最後に、ADC_STATUSレジスタ0x01のAUX_ADC_CHビットがリフレッシュされ、測定が完了した補助入力を知らせます(表5を参照)。ADCが連続モードで実行中にADC_SELECTレジスタ0x13~0x14のすべてのビットがクリアされると、ADC1はADC⁺ - ADC⁻を、ADC2はRTNS/DRNSを引き続き測定します。ADC2の補助測定はディスエーブルされ、以前の測定による0x41~0x79のデータは、小さい数値によって上書きされる0x4A (ADIN1)を除き、保持されます。

任意のシングルエンド入力のフルスケール電圧は2.048Vです。各差動入力について、一方の端子はV_{EE}と同じ電位である必要があります。通常、負の端子がV_{EE}であり、フルスケール電圧は32.768mVです。正の端子がV_{EE}の場合、フルスケール電圧は33.301mVになります。ADIN1~ADIN4およびADIO1~ADIO4を差動入力として使用する場合、ADIN1、ADIN3、ADIO1、ADIO3は負の端子にして、ADIN2、ADIN4、ADIO2、ADIO4は正の端子にする必要があります。それぞれの分解能設定について、ADC2の差動補助入力の分解能は、ADC1のADC⁺ - ADC⁻入力またはシングルエンド入力の分解能より1ビット少ないことに注意してください。

2つの同期されたADCの各変換後、電流検出電圧の測定値(ADC⁺ - ADC⁻)が、RTNSまたはDRNS電圧の測定値によって乗算され、入力電力またはMOSFET電力 (CONFIG_3レジスタ0x0FのVPWR_SELECTビットで設定可能)を計算します。すべての測定結果および電力計算結果は、対応するデータ・レジスタに保存されます(表3を参照)。それらは、最小値および最大値データ・レジスタに格納されている最小値および最大値とも比較されます。測定値が新しい最小値または最大値の場合、対応する最小値または最大値データ・レジスタが更新されます。0x41~0x79のすべてのADCデータ・レジスタは2バイト(16ビット)長であり、すべての分解能のデータが左揃えであることに注意してください。

ADC測定値はレジスタ0x1B~0x40で設定される8ビットの最小および最大アラーム閾値と比較され、対応するADCアラーム・ビットをADC_ALARM_LOGレジスタ0x05~0x09にセットします。ADC_ALERTレジスタ0x16~0x1Aの対応するADCアラート・ビットがセットされている場合、ALERT#をローに引き下げることでADCアラーム・ビットがアラートを発し、METER_CONTROLレジスタ0x84のALERT_GENERATEDビットをセットします。

各ADC測定の最後に、電力計算結果が電力量を計るアキュムレータに加算されます。6バイトの電力量計0x7A~0x7Fは、12ビットADCモードではフルスケールで12日分の電力を積算できます。これは、公称の電力レベルでは数ヶ月に相当します。電力量計がオーバーフローすると、METER_CONTROLレジスタ0x84のMETER_OVERFLOWビットが1にセットされ、CONFIG_3レジスタ0x0FのMETER_OVERFLOW_ALERTビットが1にプリセットされている場

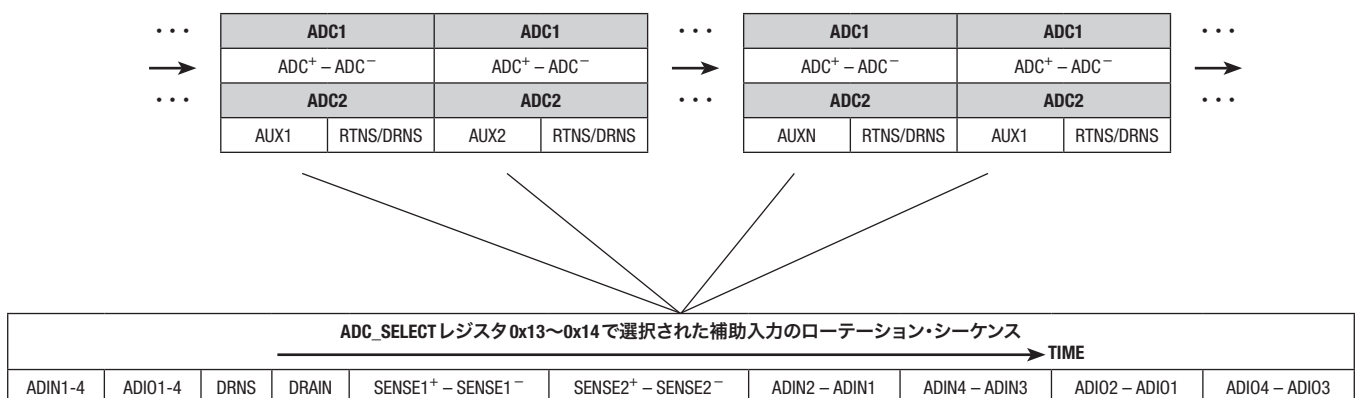


図21. 連続モードにおけるLTC4284のADC測定パターン

アプリケーション情報

合、オプションのアラートが生成されます。クーロンを測定するため、電力量計を電力ではなく電流を積算するように構成することもできます。その場合、CONFIG_3レジスタ0x0FのINTEGRATE_Iビットをセットします。

ティック・カウンタ0x80~0x83は、電力量計に電力が追加された回数を記録します。電力量をティック・カウントで割ることで、積算期間中の平均電力を求められます。4バイトのティック・カウンタは、オーバーフローするまでに12ビット・モードで9年分のカウントを保持できます。オーバーフローすると、METER_CONTROLレジスタ0x84のTICK_OVERFLOWビットが1にセットされ、CONFIG_3レジスタ0x0FのTICK_OVERFLOW_ALERTビットが1にプリセットされている場合、オプションのアラートが生成されます。カウンタ内の値にADC変換時間を掛けると、電力量計が電力を積算していた時間を割り出すことができます。

積算電力量計とティック・カウンタは両方とも書き込み可能で、オーバーフローまでの所定の電力量および/または時間を事前にロードできます。これにより、指定した電力量を供給するか、指定した時間が経過した後に、LTC4284でオーバーフロー・アラートを生成できます。

次の式を使用すると、ADCデータ・レジスタの値を物理単位に変換できます。データは左揃えのため、すべての分解能に同じ式を適用できます。

ADC2で測定されたシングル・エンド電圧を計算する式は、次のとおりです。

$$V = \frac{\text{CODE}(\text{word}) \cdot 2.048\text{V}}{2^{16}}$$

ADC1と差動モードのADC2で測定される電流をアンペア単位で計算する式は、次のとおりです。

$$I = \frac{\text{CODE}(\text{word}) \cdot 32.768\text{mV}}{2^{16} \cdot R_{\text{SENSE}}}$$

電力をワット単位で計算する式は、次のとおりです。

$$P = \frac{\text{CODE}(\text{word}) \cdot 32.768\text{mV} \cdot 2.048\text{V}}{2^{16} \cdot R_{\text{SENSE}}}$$

電力量をジュール単位で計算する式は、次のとおりです。

$$E = \frac{\text{CODE}(48 \text{ Bits}) \cdot 32.768\text{mV} \cdot 2.048\text{V} \cdot t_{\text{CONV}}}{2^{24} \cdot R_{\text{SENSE}}}$$

ここで、 t_{CONV} はADC変換時間で、設定された分解能によって異なります(表12を参照)。

クーロンを計算する式は、次のとおりです。

$$Q = \frac{\text{CODE}(48 \text{ Bits}) \cdot 32.768\text{mV} \cdot t_{\text{CONV}}}{2^{16} \cdot R_{\text{SENSE}}}$$

電力量積算時間全体での平均電力を計算する式は、次のとおりです。

$$P_{\text{AVG}} = \frac{E}{t_{\text{CONV}} \cdot \text{CODE}(\text{COUNTER})}$$

平均電流を計算する式は、次のとおりです。

$$I_{\text{AVG}} = \frac{Q}{t_{\text{CONV}} \cdot \text{CODE}(\text{COUNTER})}$$

電圧のアラーム閾値を計算する式は、次のとおりです。

$$V_{\text{ALARM}} = \frac{\text{CODE}(\text{byte}) \cdot 2.048\text{V}}{256}$$

電流のアラーム閾値をアンペア単位で計算する式は、次のとおりです。

$$I_{\text{ALARM}} = \frac{\text{CODE}(\text{byte}) \cdot 32.768\text{mV}}{256 \cdot R_{\text{SENSE}}}$$

電力のアラーム閾値をワット単位で計算する式は、次のとおりです。

$$P_{\text{ALARM}} = \frac{\text{CODE}(\text{byte}) \cdot 32.768\text{mV} \cdot 2.048\text{V}}{256 \cdot R_{\text{SENSE}}}$$

ティック・カウンタおよび電力量計からの複数のバイトのデータを同期するには、ページ読出しプロトコルを使用します(データの同期とアービトラージを参照)。I²Cの読出しでは、ティック・カウンタと電力量計がインクリメントされている間、ティック・カウンタと電力量計のデータをバッファにラッチします。別の方法で、データを読み出す前に、METER_CONTROLレジスタ0x84のHALT_METERビットをセットすることができます。これにより、ティック・カウンタと電力量計が停止します。その後HALT_METERビットをクリアし、インクリメントを再開してください。

LTC4284のADCは、1つのデータ・パケット(ADC_SNAPSHOTレジスタ0x85のSNAPSHOT_SELビットによって選択されるADC⁺ - ADC⁻、RTNSまたはDRNS、および補助入力)

アプリケーション情報

を1回だけ測定できるスナップショット・モードも備えています。スナップショット・モードをイネーブルするには、ADC_SNAPSHOTレジスタのADC_HALTビットを1にセットし、1つのI²Cコマンドを使用して、目的の補助入力に対してSNAPSHOT_SELビットを書き込みます。ビット0が受信された後のSCLの立ち下がりがエッジで、ADCは選択されたデータ・パケットの1回の変換を開始し、ADC_STATUSレジスタ0x01のADC_IDLEビットがクリアされ、データが準備中であることを知らせます。変換が完了した後、ADCは停止し、ADC_IDLEビットがセットされてデータが準備できたことを知らせます。また、ADC_STATUSレジスタのAUX_ADC_CHビットがセットされ、補助入力が測定されたばかりであることを知らせます。別のスナップショット測定を実行するには、ADC_SNAPSHOTレジスタに再度書き込みます。連続モードに戻るには、ADC_HALTビットをクリアします。

ADC⁺およびADC⁻入力により、ADC1は2つの検出抵抗間の平均電圧を抵抗分圧器を使用して測定できます。パラレル・モード(図1)または低ストレス段階的スタート・モード(図13)では、各チャンネルが対応する検出入力間に接続された独自の検出抵抗を持ちます。平均化抵抗は、接続先の検出抵抗と同じ比で選択する必要があります。これにより、ADC1は電流を正確に測定できます。図22に示すケースでは、有効なADC検出抵抗は、 $k \cdot R_S$ と並列に接続された R_S です。平均化抵抗(R_A)を同じスケール係数 k でスケールすると、ADC1でこの有効な検出抵抗の正しい検出電圧を測定できます。最小の平均化抵抗は、1Ωを超えてはなりません。

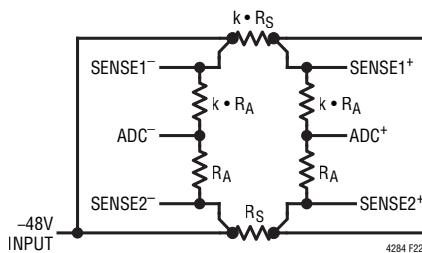


図22. 検出電圧の加重平均化

16の補助入力とLTC4284 ADCを合わせることで、基板レベル信号を広範囲にモニタできます。図23は、ADIO1～ADIO4をシングル・エンド入力として使用して、デュアルフィード・システムの個々の入力電圧をモニタする例を示しています。1.024VのVREFは、ADCのリファレンス電圧のちょうど半分であり、ADIO1～ADIO4入力をADCの測定可能範囲内でレベル・シフトします。図23では、一方の入力は-36V

(VINUT1)で、他方は-72V(VINUT2)です。すべてのノード電圧が回路に書き込まれています。丸括弧で囲まれた電圧値は、システム・グラウンドRTNを基準とし、その他の電圧値はV_{EE}を基準とします。ADCで測定されるADIO1～ADIO4電圧と、 $R1/R2 = R3/R4 = R5/R6 = R7/R8$ により、入力電圧は次のようになります。

$$V_{INPUT1} = (V_{ADIO3} - V_{ADIO1}) \frac{R1+R2}{R2}$$

$$V_{INPUT2} = (V_{ADIO4} - V_{ADIO2}) \frac{R1+R2}{R2}$$

導通ダイオードD2の順方向電圧降下は、次のようになります。

$$V_{D2} = V_{REF} \frac{R7}{R8} - V_{ADIO4} \frac{R7+R8}{R8}$$

V_{REF}は、ADCのフルスケール電圧に対してレシオメトリックで、ADIN1～ADIN4ピンのうち1本を使って誤差を補正することでADCによって測定できます。

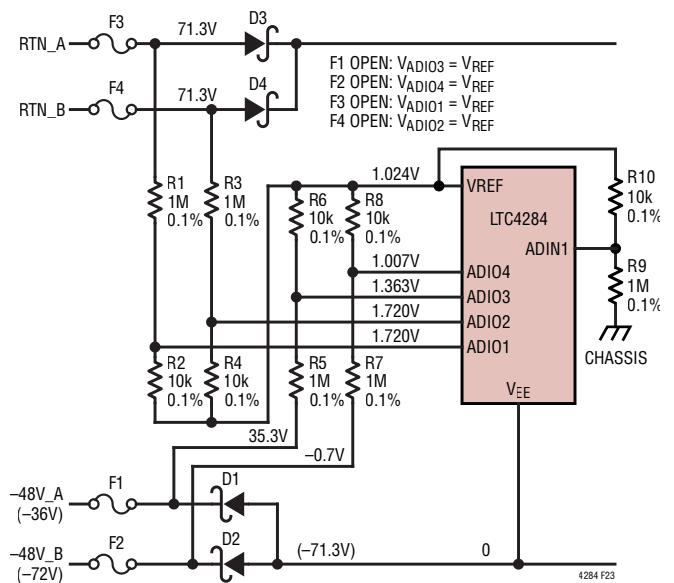


図23. 給電および開ヒューズのモニタリング

図23の回路は、RTN側と-48V側の両方のヒューズもモニタします。4本のヒューズのいずれかが開放になった場合、対応するADIO入力のADC測定によって検出できます。つまり、 $V_{ADIO1} = V_{REF}$ はヒューズF3が開放であることを示し、 $V_{ADIO2} = V_{REF}$ はヒューズF4が開放であることを示し、 $V_{ADIO3} = V_{REF}$ はヒューズF1が開放であることを示し、 $V_{ADIO4} = V_{REF}$ はヒューズF2が開放であることを示します。

アプリケーション情報

更に、図23に示すように、シャース・グラウンドがADIN1ピンによってモニタされます。

図24は、4つの差動入力ペアにより、個々の給電電流と個々のチャンネル電流の両方をモニタする例を示しています。ADIN2 – ADIN1入力とADIN4 – ADIN3入力のフルスケール電圧は33.301mVで(正の端子をV_{EE}に接続)、SENSE1⁺ – SENSE1⁻入力とSENSE2⁺ – SENSE2⁻入力の通常のフルスケール電圧は32.768mV(負の端子をV_{EE}に接続)であることに注意してください。

負荷の両端の出力電圧は、測定されたRTNSおよびDRNS電圧から計算できます。負荷電圧を直接測定する必要がある場合、図25に示す回路を使用できます。

EEPROM

LTC4284はEEPROMを内蔵しており、不揮発性の設定と障害ログが可能で、EEPROMレジスタは、表3の1列目のレジスタの列で「EE_」と表記されています。EEPROMレジスタは、その他のレジスタと同じように読み出しおよび書き込み可能ですが、EEPROMではデータを書き込むのに2.2msかかる点が異なります。

EEPROMが書き込みを実行している間、SYSTEM_STATUSレジスタのEEPROM_BUSYビットがセットされています。この間、I²Cインターフェースは、EEPROMレジスタへの書き込み試行にNACKを返します。EEPROMがビジー中に読み出されると、EEPROMレジスタは0xFFを返します。FAULT_LOG_CONTROLレジスタはEEPROMに接続されており、EEPROMがビジー状態のときは書き込みできません。詳細については、障害ログセクションを参照してください。その他のレジスタは、EEPROM書き込みがビジー中でもアクセスできます。EEPROMが書き込みを終了すると、EEPROM_BUSYビットがクリアされ、ADC_ALARM_LOG_1レジスタのEEPROM_WRITTENビットがセットされます。

レジスタADC_ALERT_1の対応するEEPROM_WRITTEN_ALERTビットがセットされている場合、EEPROM_WRITTENの立上がりエッジで、METER_CONTROLレジスタのALERT_GENERATEDがセットされます。その結果、ALERT#ピンが引き下げられます。これにより、LTC4284のEEPROMが他のアクセスを受け入れる準備ができたことをホストにアラートします。

LTC4284がUVLO状態から抜け出すか、REBOOTコマンドを受け取ると、EEPROMの内容が対応する動作中のレジスタにコピーされます。このプロセスには約1.3msかかります。その間、I²Cバスは利用できません。受信されたすべてのコマンド・コードはNACKが返されます。アドレス範囲0x0A～0x40のレジスタは、EEPROM位置0xAA～0xE0に対応しています。レジスタ0x90は、EEPROM位置0xF0に対応しています。EE_SCRATCH領域の7つのEEPROMバイトは、任意の汎用用途に利用できます。EEPROMは、障害ログ機能をサポートするためにも使用されます。詳細については、障害ログセクションを参照してください。

WPピンをハイにすると、I²CによるEEPROMへの書き込みを防止できます。WPがハイのときにEEPROMに書き込むうとすると、NACKが返され、何の動作も行われません。LTC4284が1線式ブロードキャスト・モードでない限り、障害ログの書き込みはWPがハイのときに行うことができます。EEPROMは、WPピンの設定にかかわらず、読み出し可能です。現在のWPピンのステータスは、REBOOTレジスタのWP_STATUSビットで読み出し可能です。

工場プログラム済みのデバイスでは、オプションでEEPROMがロックされている場合もあります。その場合、WPピンは機能しません。EEPROMの書き込みは一切不可能になります。EEPROMがロックされている場合、障害ログもディスエーブルされます。EEPROMがロックされているとき、METER_CONTROLレジスタのビットEE_LOCKは1になります。

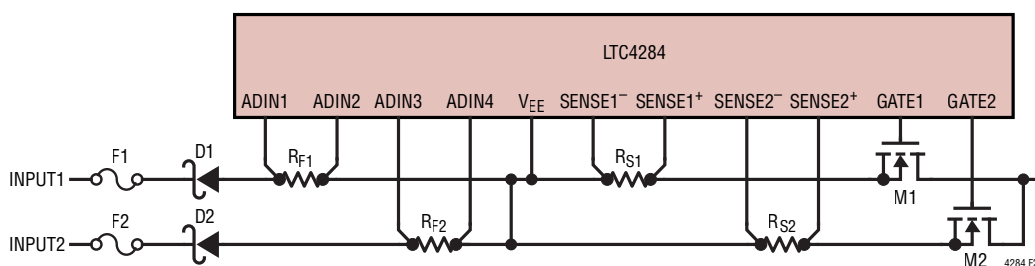


図24. 個々の給電電流とチャンネル電流のモニタリング

アプリケーション情報

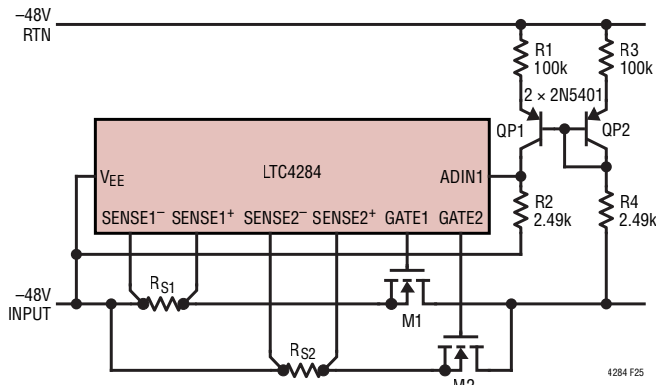


図25. 1つのADC入力を使用した負荷電圧の直接モニタリング

障害ログ

LTC4284のEEPROMは、障害ログ機能をサポートしています。1つの障害イベントに対するログを12バイトで保持します(表22)。更に、13バイトが障害ログ制御レジスタ (FAULT_LOG_CONTROL、レジスタ0x90、表21を参照)用のEEPROMのバックアップ・コピーに使用されます。

FAULT_LOG_CONTROLへの書き込みが行われるたびに、常にEEPROMバックアップ・バイト(EE_FAULT_LOG_CONTROL)への書き込みが発生します。これにより、EEPROMがビジー状態になり、すべてのEEPROMレジスタへのアクセスを約2.2ms間ディスエーブルします。その間、FAULT_LOG_CONTROLは読み出し可能ですが書き込みできません。別のEEPROMレジスタが先に書き込まれた場合、FAULT_LOG_CONTROLはビジー状態が解消するまで書き込めません。

障害ログの書き込みにつながる障害ログ条件。障害条件は、FAULTレジスタ(0x04)のビットがセットされる、もしくはADC_ALARM_LOG_1レジスタ(0x05)のEN#_CHANGEDビットがセットされる任意の条件として定義されます。

次のいくつかの条件に適合した場合、障害条件によって障害ログが書き込まれます。

1. 障害条件によって、GATE1とGATE2がローに引き下げられた。
2. V_{IN} がUVLOリミットより高い。
3. FAULT_LOG_CONTROLレジスタ(0x90)のFAULT_LOG_ENABLEがセットされている。
4. FAULT_LOG_CONTROLレジスタのFAULT_LOG_UNLOCK、FAULT_LOG_START、FAULT_LOG_DONEがすべてクリアである(これにより、前の障害ログの処理が完全に行われたことが確認されます)。

FET_SHORT_FAULTビットおよびPOWER_FAILEDビットでは、GATE1とGATE2をローに引き下げられないため、障害ログは書き込まれません。また、EN#_CHANGEDビットがEN#の立下がりエッジでセットされた場合、障害ログは書き込まれません。

更に、LTC4284が1線式ブロードキャスト・モードで、WPピンがハイの場合、障害ログの書き込みはディスエーブルされます。

障害ログの書き込みシーケンス。このシーケンスは、障害ログの書き込みを要求する条件に対応して、LTC4284で行われます。

1. 障害ビットのシャドウ・コピーをフリーズします(レジスタ0x04、および0x05のビット[7])
2. I²Cアクセスをブロックします。
3. FAULT_LOG_CONTROLレジスタのFAULT_LOG_STARTをセットします。
4. FAULT_LOG_CONTROLをEEPROM内のバックアップ・コピーに書き込みます。
5. 表22に示す12バイトの障害情報を書き込みます。障害ビットは、シャドウ・コピーから取得されます。
6. FAULT_LOG_CONTROLにFAULT_LOG_DONEをセットします。
7. FAULT_LOG_CONTROLをEEPROM内のバックアップ・コピーに書き込みます。
8. FAULT_LOG_ALERTがセットされている場合、アラートを設定します。
9. 障害ビットのシャドウ・コピーのフリーズを解除します。
10. I²Cアクセスを許可します。

I²Cバスは、約31msの間(14回の t_{WRITE})ブロックされます。その間、I²Cからのあらゆる受信バイトにNACKが返されます。障害ログの書き込みがI²C読み出しの最中に開始した場合、I²Cには期待されたデータの代わりにバイト0xFFが返されます。

障害優先順位の解決。1つの障害ビットがセットされているとき、多くの場合、近いうちに他のビットもセットされます。あまりにも多くのビットがセットされると、問題の元々の原因を特定するのが難しくなります。LTC4284の障害ログのロジックは、最初の障害通知を取得し、障害ログ書き込み完了までセットされた後続の障害ビットは無視するように設計されています。

アプリケーション情報

障害ログ書き込みシーケンスに記載した、障害ビットのフリーズされたコピーは、この原理の一部です。GATE1とGATE2の引き下げにつながる最初の障害ビットがセットされるとすぐに、フリーズされた障害ビットのコピーは閉じ、ログの記録が完了するまで閉じたままになります。障害ログにおいて、障害データはフリーズしたコピーから取得されます。その間、障害情報はメインの障害レジスタに蓄積されます。

障害ログの処理。1つの障害ログが書き込まれた後、最初の障害ログの処理が完了するまで、さらなる障害ログ書き込みはディスエーブルされます。

FAULT_LOG_STARTビットとFAULT_LOG_DONEビットは、I²Cアクセスによって直接セットまたはクリアすることはできません。障害ログ情報を間違えてクリアしないよう、1つの障害ログを処理して他の障害ログを書き込めるようにするには、複数バイトのシーケンスが必要です。そのシーケンスは、次のとおりです。

1. FAULT_LOG_UNLOCKをセットして、FAULT_LOG_CONTROLを書き込みます。
2. FAULT_LOG_UNLOCKをセットし、その他すべてのビットをクリアして、2回目の書き込みを行います。この書き込みにより、FAULT_LOG_STARTおよびFAULT_LOG_DONEがクリアされます。
3. FAULT_LOG_UNLOCK、FAULT_LOG_START、FAULT_LOG_DONEをすべてクリアにして、もう一度書き込みます。この時点で、FAULT_LOG_ENビットとFAULT_LOG_ALERTビットを希望通りにセットできます。

更に、I²Cを介してログ・データを誤って上書きしないように、処理中はWPをハイにします。

不完全な障害ログ。障害条件は、LTC4284の全体的な電力損失の前兆であることがあります。正確な障害ログを行うため、14バイトをEEPROMに書き込むために必要な時間の間INTV_{CC}を動作させ続けるため、入力電源に記載したように、システム設計で十分な外部容量を用意する必要があります。

上述した障害ログの書き込みシーケンスは、障害ログが正常に完了していない場合に検出する方法を提供しています。最初のEEPROM書き込みにより、FAULT_LOG_STARTビットがセットされた状態でFAULT_LOG_CONTROLが保存されます。その後、最後のEEPROM書き込みにより、FAULT_LOG_STARTとFAULT_LOG_DONEの両方のビットがセットされた状態でFAULT_LOG_CONTROLが保存されます。

電力損失の後、FAULT_LOG_CONTROLレジスタは、保存されたEEPROMのコピーから読み戻すことができます。

障害ログが完了する前に電力が失われた場合、FAULT_LOG_CONTROLレジスタにはFAULT_LOG_STARTがセットされていますが、FAULT_LOG_ENDはセットされていません。電力損失の後、FAULT_LOG_ALERTビットがセットされ、FAULT_LOG_START、FAULT_LOG_DONE、またはFAULT_LOG_UNLOCKがセットされている場合、ALERT#ピンが引き下げられ、未処理の障害ログがチップに残っていることをシステムにアラートします。

デジタル・インターフェース

LTC4284は、I²CとSMBusの両方と互換性のあるシリアル2線式インターフェースを使ってバス・マスタと通信します。2線式インターフェースは、SMBus互換のALERT#出力によって補完されています。LTC4284は常にバス・スレーブとして動作し、クロック幅の伸長は使用しません。

LTC4284アプリケーションの多くは、シリアル・インターフェースとホスト・システムの間にフォトカプラなどの単方向のアイソレータが必要になります。ホストとの光結合に便利なように、SDAの機能はSDAI(入力)とSDAO(出力)に分割されています。従来のSDAラインにするには、SDAIとSDAOとを相互に接続します。

フォトカプラを使用する場合は、SDAIピンを受信側フォトカプラの出力に接続し、SDAOピンを送信側フォトカプラの入力に接続します(図2bを参照)。ALERT#ラインを使用する場合、図2bに示すように、SDAOピンと同じように接続します。

バスの互換性

LTC4284の基本のシリアル・インターフェースは、I²CおよびSMBusのACおよびDC仕様に互換性があります。タイミングは、両方について400KBの動作に互換性があります。これには、最低300ナノ秒のSMBusの従来のt_{HD:DATO}タイミングも含まれます。

更に、LTC4284は、I²C FastMode+ および SMBus 3.0に互換性のある1MBの動作をサポートしています。このタイミングを使用するには、CONFIG_3レジスタのFAST_I2C_ENビットをセットしなければなりません。このビットはEEPROMによりデフォルトで1にセットするか、手動で1に書き込むことができます。書き込み前にこのビットが0である場合、書き込みは400KB未満で行う必要があります。FAST_I2C_ENビットをセットすると、高速転送を可能にするため、t_{HD:DATO}が減少します。

LTC4284のSDAO出力は、20mAに引き下げられることが確認されています。これにより、値の低いプルアップ抵抗を使用して、ローからハイへの遅延時間を短縮できます。

アプリケーション情報

START条件、REPEATED START条件、およびSTOP条件

バスがアイドル状態のとき、SCLとSDAはハイになります。バス・マスタは、START条件によって転送の開始を知らせます。STARTは、SCLがハイの間にSDAに生じる立下がりエッジによって定義されます。転送の終了は、STOP条件によって知らせます。STOPは、SCLがハイの間にSDAに生じる立上がりエッジによって定義されます(図26を参照)。

STARTとSTOPの間で、SDAのデータ値と、SCLのハイパルスによってデータ・ビットとハンドシェイク・ビットが転送されます。データ・ビットまたはハンドシェイク・ビットについて、SCLがローの間のみSDAが変化します。

バス・マスタは、転送中にREPEATED START条件を知らせることができます。STARTと同様、REPEATED STARTは、SCLがハイの間にSCKに生じる立下がりエッジによって定義されます。REPEATED STARTは、読出し転送(転送プロトコルの種類を参照)に使用されます。

ACK/NACK

データは、一連の8ビット・バイトとして転送されます。各データ・バイトの後に続くのは、レシーバーによって駆動されるハンドシェイク・ビットです。このビット間のSDAがローであると、アクノレッジ(ACK)と解釈されます。SDAがハイであると、アクノレッジされていない(NACK)と解釈されます。

いかなる場合においても、NACKビット後に転送は停止します。バス・マスタがデータ・バイトを送信している場合、スレー

ブからのNACKはエラー条件を示します。書き込まれたすべてのバイトがACKされている場合、バス・マスタは、最終バイト後にSTOP条件を発行して書き込みを終了することができます。バス・マスタがデータを受信している場合、受信する最終バイトの後にNACKを返します。これは正常であり、エラー条件を意味するものではありません。

I²Cデバイスのアドレス指定

バス・マスタは、START条件またはREPEATED START条件のいずれかの後にスレーブ・アドレス・バイトを送信することで、スレーブのアドレスを指定します。スレーブ・アドレス・バイトのビット0がハイのときは読出し転送、ローのときは書き込み転送が選択されます。詳細については、転送プロトコルの種類を参照してください。LTC4284のADR1ピンとADR0ピンを設定することで、表2に示すスレーブ・アドレスを選択できます。

1線式ブロードキャスト・モードは、通常のシリアル・バス・インターフェースをLTC4284から重要なステータスを連続的にブロードキャストする1線式オプションに置き換えます。詳細については、1線式ブロードキャストを参照してください。

転送プロトコルの種類

図26に、I²Cプロトコルの基本的な構成要素を示します。これらを組み合わせることで、完全な読出しおよび書き込み転送を構成できます。図27から32は、LTC4284がサポートしている転送プロトコルの種類を示しています。

表2. LTC4284のデバイス・アドレス指定

説明	16進数のデバイス・アドレス*		2進数のデバイス・アドレス								LTC4284のアドレス・ピン	
	7ビット	8ビット	a6	a5	a4	a3	a2	a1	a0	R/W#	ADR1	ADR0
一括書込み	1F	3E	0	0	1	1	1	1	1	0	X	X
アラート応答	0C	19	0	0	0	1	1	0	0	1	X	X
0	10	20	0	0	1	0	0	0	0	X	L	L
1	11	22	0	0	1	0	0	0	1	X	L	NC
2	12	24	0	0	1	0	0	1	0	X	H	NC
3	13	26	0	0	1	0	0	1	1	X	L	H
4	14	28	0	0	1	0	1	0	0	X	NC	L
5	15	2A	0	0	1	0	1	0	1	X	NC	NC
6	16	2C	0	0	1	0	1	1	0	X	H	H
7	17	2E	0	0	1	0	1	1	1	X	NC	H
8	1線式ブロードキャスト・モード										H	L

H = INTV_{CC}に接続、L = V_{EE}に接続、NC = 接続なし(開放)、X = ドント・ケア

*LSBのR/Wビット = 0の8ビットの16進数アドレス

MSBのa7 = 0の7ビットの16進数アドレス

アプリケーション情報

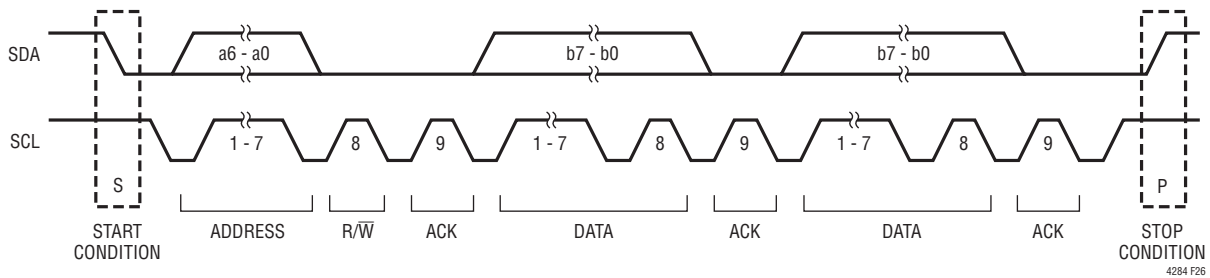


図 26. I²C を介した一般的なデータ転送

S	ADDRESS	W	A	COMMAND	A	DATA	A	P
	001 a3:a0	0	0	b7:b0	0	b7:b0	0	

FROM MASTER TO SLAVE
FROM SLAVE TO MASTER

A: ACKNOWLEDGE (LOW)
 Ā: NOT ACKNOWLEDGE (HIGH)
 R: READ BIT (HIGH)
 W: WRITE BIT (LOW)
 S: START CONDITION
 SR: REPEATED START CONDITION
 P: STOP CONDITION

S	ADDRESS	W	A	COMMAND	A	DATA	A	DATA	A	P
	001 a3:a0	0	0	b7:b0	0	b7:b0	0	b7:b0	0	

図 27. バイト書き込みプロトコル

図 28. ワード書き込みプロトコル

S	ADDRESS	W	A	COMMAND	A	DATA	...	A	DATA	A	P
	001 a3:a0	0	0	b7:b0	0	b7:b0	...	0	b7:b0	0	

図 29. ページ書き込みプロトコル

S	ADDRESS	W	A	COMMAND	A	SR	ADDRESS	R	A	DATA	Ā	P
	001 a3:a0	0	0	b7:b0	0		001 a3:a0	1	0	b7:b0	1	

図 30. バイト読出しプロトコル

S	ADDRESS	W	A	COMMAND	A	SR	ADDRESS	R	A	DATA	A	DATA	Ā	P
	001 a3:a0	0	0	b7:b0	0		001 a3:a0	1	0	b7:b0	0	b7:b0	1	

図 31. ワード読出しプロトコル

S	ADDRESS	W	A	COMMAND	A	SR	ADDRESS	R	A	DATA	A	...	DATA	Ā	P
	001 a3:a0	0	0	b7:b0	0		001 a3:a0	1	0	b7:b0	0	...	b7:b0	1	

図 32. ページ読出しプロトコル

S	ALERT RESPONSE ADDRESS	R	A	DEVICE ADDRESS	Ā	P
	0001100	1	0	001 a3:a0 0	1	

図 33. アラート応答プロトコル

アプリケーション情報

コマンド・コードとレジスタのアドレス指定

各転送のコマンド・バイトには、アクセスする最初のバイトのレジスタ・アドレスが含まれています。1回の転送で複数のバイトにアクセスする場合、各バイトはその前のバイトの後に続くアドレスから取得されます。例えば、6バイトのENERGYレジスタを読み出す場合、最初のバイトはアドレス0x7Aから、2つ目のバイトはアドレス0x7Bから、以下同様に続き、最後のバイトはアドレス0x7Fから取得されます(表3を参照)。

1回の転送で2つの異なるレジスタにアクセスすることは可能です。例えば、SYSTEM_STATUSおよびADC_STATUSレジスタは、COMMANDが0x00に等しいワード読み出し転送でアクセスできます。このアドレス指定方法は、I²Cシステムと同じですが、SMBusとは異なります。SMBusでは、レジスタのサイズにかかわらず、各レジスタが1つのコマンド・コードを占めます。

表3に示すように、レジスタ0x41~0x79は16ビットのRAMワードで実装されています。コマンド・コードを保存するため、それぞれが1つのレジスタ・アドレスのみを占有します。コマンド・コード0x41による4バイト読み出しを考えてみましょう。データは、次の順番で返されます。

1. SENSEの最上位バイト
2. SENSEの最下位バイト
3. SENSE_MINの最上位バイト
4. SENSE_MINの最下位バイト

書込みプロトコル

書込みの場合、すべてのデータ・バイトはバス・マスタから取得され、スレーブでアクノレージされます。スレーブ・アドレス・バイトのビット0をクリアすると、書込みを選択できます。COMMANDバイトには、書き込まれる最初のバイトのレジスタ・アドレスが含まれています。

特別なスレーブ・アドレスを使用することで、一括書込みを実施できます。複数のLTC4284チップが同一のシリアル・バス上にある場合、一括書込みの手法を使用することで、同時にすべてのチップに書き込むことが可能です。すべてのLTC4284チップが、Read/Write#ビットがクリアされたスレーブ・アドレス0011_111bに応答します。

レジスタCONTROL_1のビットMASS_WRITE_ENABLEをセットすると、一括書込みをイネーブルできます。

読み出しプロトコル

読み出しは、2つの部分から成ります。最初に、マスタは、ビット0がクリアされ、COMMANDバイトで読み出すレジスタが選択されたスレーブ・アドレス・バイトを送信します。その後、REPEATED START条件と2つ目のスレーブ・アドレス・バイトが、ビット0(読み出しを指示)がセットされて送信されます。LTC4284は、2つ目のスレーブ・アドレス・バイトの後、データを返します。

ページ読み出しプロトコルとページ書込みプロトコル

ページ読み出しとページ書込みは、2バイトより大きい転送を意味します。ページ・アクセスは、大きなレジスタの読み出しや、複数のレジスタのデータを同期するのに便利です(詳細については、データの同期とアービトレーションを参照してください)。ページ・アクセスが必要な場合、CONTROL_1レジスタのPAGE_READ_WRITE_ENABLEビットをセットします。このビットがセットされていない場合、2バイトを超えるデータへのアクセスは停止されます。ページ書込みの試行について、追加のバイトがNACKされます。ページ読み出しの試行については、LTC4284は0xFFを返します。

バイト順

LTC4284は、ビッグ・エンディアンの順序を使用してマルチバイト・レジスタにアクセスします。これは、16ビット・ワード・レジスタにアクセスするとき、最上位バイトが先に転送された後に、最下位バイトが転送されることを意味します。これは、I²Cシステムでは一般的です。SMBusシステムでは、最下位バイトを先に転送するリトル・エンディアンの順序が使用されます。

ALERT#とアラート応答プロトコル

LTC4284は、SMBusのアラート応答メカニズムを完全にサポートしています。図33を参照してください。

1. ALERT#がローのとき、LTC4284はSMBusアラート応答アドレス(ARA)をアクノレージします。
2. 次のデータ・バイトで、LTC4284は、ビット0をクリアして、自分のスレーブ・アドレスを返します。バス上の複数のスレーブ・デバイスが同じARAに応答している可能性があります。いずれかのビットで競合が検出された場合、LTC4284は後退し、より優先度の高いデバイスが継続できるようにします。
3. LTC4284がスレーブ・アドレス全体を正常に転送すると、ALERT_GENERATEDビットをクリアし、ALERT#をローにするのをやめます。

アプリケーション情報

ALERT_GENERATEDをセットする条件は52通り存在します。各条件(障害またはイベント)に、対応するアラート・イネーブル・ビットがあります。表24は、障害／イベント・ビットおよびアラート・イネーブル・ビットのリストを示しています。

あらゆるケースにおいて、ALERT_GENERATEDがセットされるのは、障害／イベントがアラート・イネーブル・ビットと論理的にANDされる組み合わせの立上がりエッジのみです。ALERT_GENERATEDは、障害／イベント・ビットが先にセットされた場合も、対応するアラート・イネーブル・ビットが先にセットされた場合にもセットされます。障害ビットまたはイベント・ビットがセットされると、障害またはイベントがクリアされるまで、ALERT_GENERATEDに寄与することはありません。

1つのイベント「ADC Conversion Completed」は、ラッチされたステータス・ビットを持ちません。ALERT_GENERATEDをイネーブルする、対応するADC_CONV_ALERTビットがあります。しかし、ALERT#を処理するとき、ソフトウェアは完了したADC変換によってアラート条件が発生したことを確認する方法がありません。この制限により、「ADC Conversion Completed」アラートは、その他すべてのアラート源のマスクがオフにされたとき以外は役に立ちません。

一般的に、ソフトウェアはイベントおよび障害レジスタを読み出してステータスをチェックしてから、処理済みのビットをクリアするために0を書き込みます。イベント・ビットと障害ビットは、I²Cバスによって直接セットすることもできます。この方法でセットされたビットにより、チップがビットをセットするときと同様に、ALERT_GENERATEDがセットされ、ALERT#がローに引き下げられます。ALERT_GENERATEDも、I²Cの書き込みによってセットできます。これらの機能は、ソフトウェア・テストに役立つ可能性があります。

スタック・バス・リセット

LTC4284は、SMBus方式のスタック・バス・リセットを備えています。シリアル・バスが約30msの間膠着状態になると、I²Cコントローラ・ブロックが自分自身をリセットします。コントローラがリセットされると、SDAOの引き下げを停止し、新しいSTART条件を探します。

SMBusの定義では、スタック・バス・タイマーはSCLハイによってクリアされます。従来のホット・スワップ・コントローラを含む多くの既存のLTCチップは、SCLとSDAが両方もハイになったときにタイマーをクリアします。これは、SDAとSCLのどちらがローに膠着しているかを検出できるので、より完全性の高い方法です。

この手法は、LTC4284で問題となります。ページ読出しやページ書き込みでは、非常に長い転送が発生することがあり

ます。転送される0x00の各バイトについて、SDAは全バイトについてローになります。長いシーケンスの0x00バイトでは、誤ってスタック・バス・タイムアウトが引き起こされる可能性があります。LTC4284は、改変されたスタック・バス・メカニズムを採用して、誤ったタイムアウトを防止します。タイマーは、SCLがハイで、LTC4284がSDAOを引き下げている場合にクリアされます。

他のスタック・バス・タイマーと同様、SCLがローに膠着すると、タイムアウトを引き起こします。更に、LTC4284が30msの間継続してSDAOを引き下げている場合、タイムアウトが発生します。これは、SCLがハイのときにバスが停止したにもかかわらず、LTC4284が今もSDAOを引き下げている場合に発生することがあります。

データの同期とアービトレーション

LTC4284のいくつかのRAM位置およびレジスタでは、ADCロジックおよびI²Cインターフェースと制御を共有しています。ADCロジックはデータを書き込み、I²Cインターフェースはそこから読み出します。RAM位置は、0x41~0x79のアドレスにあります。ENERGYおよびTICK_COUNTERのレジスタは、0x7A~0x83のアドレスにあります。これらのレジスタは、ADCロジックによっても書き込まれます。

ADCによるENERGY、TICK_COUNTER、およびADC RAM位置への書き込みは、常にI²Cインターフェースがアイドル状態のときに行われます。これは、I²C読み出し中に、どの位置も変わることがないようにするためです。例えば、2バイトRAM位置を読み出すとき、その2バイト読出しは、互いに必ず適合します。

ENERGYとTICK_COUNTERのレジスタはそれより大きいですが、同じ手法が使用されます。整合性を確保するには、各レジスタのすべてのバイトを1回のI²C動作で読み出します。電力量の計算については、ENERGYとTICK_COUNTERが互いに適合しなければいけない可能性があります。これは、両方のレジスタを1つの10バイトI²C読出しと一緒に読み出すことで可能です。この手法を行いやすくするため、レジスタ位置は隣接しています。レジスタ位置0x7Aで始まる10バイトを読み出します。

I²Cの転送の長さには一定の制限があります。任意の1回の転送がADC変換時間より長くかかると、一部のADCデータが失われます。これは、バス速度、転送長、ADC変換時間に依存します。表12のADC[2:0]フィールドを参照してください。

上述したとおり、I²Cインターフェースは、ADC更新ロジックと並行して動作します。以下の一部のケースでは、I²Cのアクセスはディスエーブルされます。

アプリケーション情報

1. パワーオン・リセット後または再起動後、設定レジスタがEEPROMが読み出されている間、I²Cアクセスはディスエーブルされます。
2. 障害ログがEEPROMに書き込まれている間
3. RBT_ENビットをセットするREBOOTレジスタの書き込み後

これらのケースにおいて、I²Cコントローラは、すべての入力を見逃し、SDAOは引き下げられません。その結果、バス・マスタからのスレーブ・アドレスおよびその他のバイトはNACKされます。この動作は、I²Cシステムで一般的です。SMBusシステムで動作するときは、このことに注意してください。SMBusの仕様では、すべてのスレーブ・アドレス・バイトがACKされるよう要求していますが、LTC4284は上記の3つのケースにおいてACKを返しません。

LTC4284からデータを読み出す間、各バイトに対するACKがバス・マスタから来ます。LTC4284が読出し中に問題を知らせる方法はありません。読出し中にI²Cコントローラがディスエーブルされている場合、LTC4284によって、期待されるデータの代わりにバイト0xFFが返されます。

1線式ブロードキャスト

LTC4284は、I²Cのアクティビティが一切なくても、セルフ起動することができます。チップは、起動または再起動後、自動的に設定データをEEPROMから動作中のレジスタにロードします。その場合、完全なI²Cインターフェースは必要ありません。多くのシステム・アプリケーションでは、完全なI²Cインターフェースには3つのアイソレータが必要です(図2bを参

照)。1線式ブロードキャスト・モードを使用することで、それを1つのアイソレータに削減できます。

ADR1をINTV_{CC}に接続し、ADR0をV_{EE}に接続すると、1線式ブロードキャスト・モードが選択されます。このモードでは、I²Cバス動作はディスエーブルされます。その代わりに、ステータスおよびADC情報はSDAOに連続的に転送されます。各ADC変換サイクルについて、表2aに示す20バイトの packets がマンチェスター符号化を使用して一度に転送されます。

パケットのフォーマットは次のとおりです。

表2a. 1線ブロードキャストのデータ・フォーマット

データ	アドレス	サイズ (単位:ビット)
プリアンブル~0x2A	N/A	8
SENSE	0x41	16
RTNS	0x44	16
POWER	0x47	16
V _{AUX}	直近のADC補助読出し	16
SYSTEM_STATUS	0x00	8
ADC_STATUS	0x01	8
INPUT_STATUS	0x02	8
FAULT_STATUS	0x03	8
FAULT	0x04	8
ADC_ALARM_LOG	0x05~0x09	40
PEC	N/A	8
合計		160

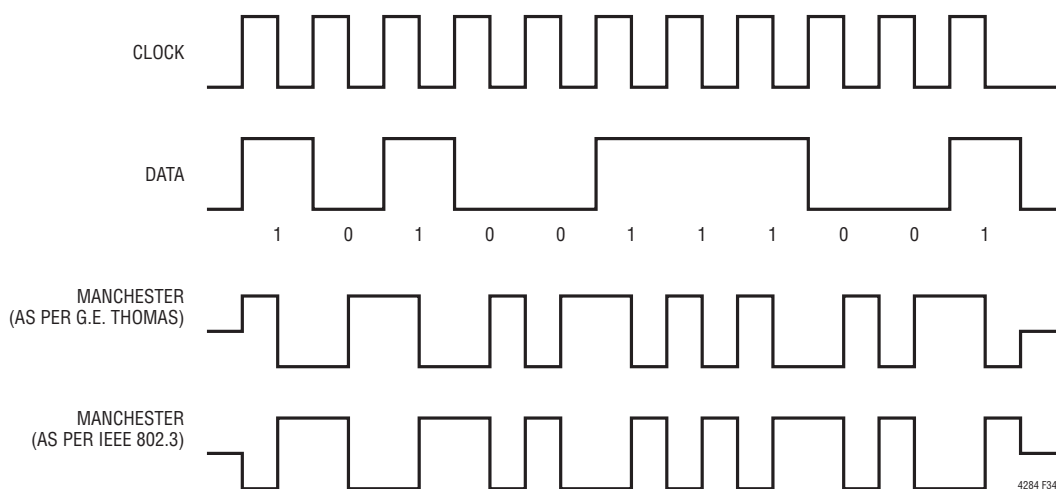


図34. マンチェスター符号化の例、両方の規則を示す

アプリケーション情報

プリアンブル・バイトは、図35に示す固定されたパターンで、ハードウェアまたはソフトウェアがパケットの開始とビット・レートを検出できるようにします。V_{AUX}は、選択された補助チャンネル測定です。各ADC変換サイクルにおいて、1つの補助チャンネルが測定できます。ADC_STATUSのビット[7:4]には、V_{AUX}フィールドに存在しているADC補助入力を持つAUX_ADC_CHフィールドが含まれています。チャンネル選択シーケンスの説明については、データ・コンバータセクションを参照してください。

図34に示すように、G.E. ThomasとIEEE 802.3の2つの異なる規則に従います。G.E. Thomasの規則では、各データの1ビットは、ビット・セルの中央の立下がりエッジで表現されます。IEEE 802.3の規則では、データの1ビットは、ビット・セルの中央の立上がりエッジで表現されます。LTC4284では、G.E. Thomasの規則を使用します。LTC4261についても同様です。

パケットの最終バイトは、SMBus互換のPECバイトです。PECは、多項式 $X^8 + X^2 + X + 1$ を持つ8ビットのCRCを使用します。PECは、プリアンブルを含め、パケットのすべてのバイトをカバーします。パケットの先頭で、PECアキュムレータは0x00に初期化されます。

1線式ブロードキャストのデータ・レートは、CONFIG_3レジスタのBCフィールドを使用して選択できます。表11を参照してください。ブロードキャスト・モードでは、他のADC更新の前に全20バイトのパケットを送信するのに十分な時間が必要です。その制限は、ADCが8ビット・サンプルに構成されている場合、最も遅いデータ・レート(128kおよび32k)は使用できないということを意味します。これらの2つのケースでは、LTC4284は1線式ブロードキャストに適した最低のデータ・レートである512kに自動的に切り替えます。

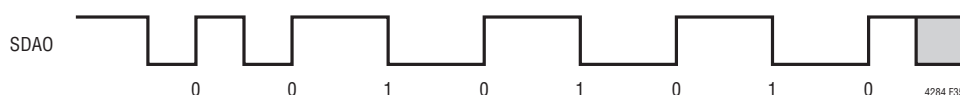


図35. 0x2Aのプリアンブル・バイトのマンチェスター符号化

アプリケーション情報

表 3. LTC4284 のレジスタ・アドレスと内容

レジスタ名	レジスタ・アドレス*	説明	読出し/書込み	データ長 (バイト)	デフォルト値
SYSTEM_STATUS	0x00	システム・ステータス情報	R	1	N/A
ADC_STATUS	0x01	ADC変換ステータス	R	1	N/A
INPUT_STATUS	0x02	PGIO1~PGIO4, ADIO1~ADIO4 汎用入力の状態	R	1	N/A
FAULT_STATUS	0x03	障害ステータスの情報	R	1	N/A
FAULT	0x04	システム障害	R/W	1	0x00
ADC_ALARM_LOG	0x05~0x09	ADC測定アラーム	R/W	5	0x0000_0000_00
CONTROL	0x0A~0x0B	システムのオン/オフおよび自動再試行の挙動を制御する	R/W	2	0xDB03
予備	0x0C	読出し専用、常に0を返す	R	1	N/A
CONFIG	0x0D~0x0F	電流制限、フォールドバック、遅延、およびその他のシステム・パラメータを設定する	R/W	3	0x0CC0_00
PGIO_CONFIG	0x10~0x11	PGIO1~PGIO4のI/O状態と出力を設定する	R/W	2	0x0004
ADIO_CONFIG	0x12	ADIO1~ADIO4のI/O状態と出力を設定し、ADCを制御する	R/W	1	0xF0
ADC_SELECT	0x13~0x14	補助ADC入力の選択	R/W	2	0xFF0F
FAULT_ALERT	0x15	システム障害がログに記録された後、ALERT#をローに引き下げるかどうかを決定する	R/W	1	0x00
ADC_ALERT	0x16~0x1A	ADCアラームがログに記録された後、ALERT#をローに引き下げるかどうかを決定する	R/W	5	0x0000_0000_00
SENSE_MIN_TH	0x1B	最小のADC ⁺ - ADC ⁻ に対するADCアラーム閾値	R/W	1	0x00
SENSE_MAX_TH	0x1C	最大のADC ⁺ - ADC ⁻ に対するADCアラーム閾値	R/W	1	0xFF
RTNS_MIN_TH	0x1D	最小RTNS電圧に対するADCアラーム閾値	R/W	1	0x00
RTNS_MAX_TH	0x1E	最大RTNS電圧に対するADCアラーム閾値	R/W	1	0xFF
POWER_MIN_TH	0x1F	最小入力電力に対するADCアラーム閾値	R/W	1	0x00
POWER_MAX_TH	0x20	最大入力電力に対するADCアラーム閾値	R/W	1	0xFF
ADIN1_MIN_TH	0x21	最小ADIN1電圧に対するADCアラーム閾値	R/W	1	0x00
ADIN1_MAX_TH	0x22	最大ADIN1電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIN2_MIN_TH	0x23	最小ADIN2電圧に対するADCアラーム閾値	R/W	1	0x00
ADIN2_MAX_TH	0x24	最大ADIN2電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIN3_MIN_TH	0x25	最小ADIN3電圧に対するADCアラーム閾値	R/W	1	0x00
ADIN3_MAX_TH	0x26	最大ADIN3電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIN4_MIN_TH	0x27	最小ADIN4電圧に対するADCアラーム閾値	R/W	1	0x00
ADIN4_MAX_TH	0x28	最大ADIN4電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIO1_MIN_TH	0x29	最小ADIO1電圧に対するADCアラーム閾値	R/W	1	0x00
ADIO1_MAX_TH	0x2A	最大ADIO1電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIO2_MIN_TH	0x2B	最小ADIO2電圧に対するADCアラーム閾値	R/W	1	0x00
ADIO2_MAX_TH	0x2C	最大ADIO2電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIO3_MIN_TH	0x2D	最小ADIO3電圧に対するADCアラーム閾値	R/W	1	0x00
ADIO3_MAX_TH	0x2E	最大ADIO3電圧に対するADCアラーム閾値	R/W	1	0xFF
ADIO4_MIN_TH	0x2F	最小ADIO4電圧に対するADCアラーム閾値	R/W	1	0x00
ADIO4_MAX_TH	0x30	最大ADIO4電圧に対するADCアラーム閾値	R/W	1	0xFF
DRNS_MIN_TH	0x31	最小DRNS電圧に対するADCアラーム閾値	R/W	1	0x00
DRNS_MAX_TH	0x32	最大DRNS電圧に対するADCアラーム閾値	R/W	1	0xFF
DRAIN_MIN_TH	0x33	最小DRAIN電圧に対するADCアラーム閾値	R/W	1	0x00

アプリケーション情報

表 3. LTC4284 のレジスタ・アドレスと内容 (続き)

レジスタ名	レジスタ・アドレス*	説明	読出し/ 書込み	データ長 (バイト)	デフォルト値
DRAIN_MAX_TH	0x34	最大 DRAIN 電圧に対する ADC アラーム閾値	R/W	1	0xFF
SENSE1_MIN_TH	0x35	最小の SENSE1 ⁺ – SENSE1 ⁻ に対する ADC アラーム閾値	R/W	1	0x00
SENSE1_MAX_TH	0x36	最大の SENSE1 ⁺ – SENSE1 ⁻ に対する ADC アラーム閾値	R/W	1	0xFF
SENSE2_MIN_TH	0x37	最小の SENSE2 ⁺ – SENSE2 ⁻ に対する ADC アラーム閾値	R/W	1	0x00
SENSE2_MAX_TH	0x38	最大の SENSE2 ⁺ – SENSE2 ⁻ に対する ADC アラーム閾値	R/W	1	0xFF
ADIN12_MIN_TH	0x39	最小の ADIN2 – ADIN1 に対する ADC アラーム閾値	R/W	1	0x00
ADIN12_MAX_TH	0x3A	最大の ADIN2 – ADIN1 に対する ADC アラーム閾値	R/W	1	0xFF
ADIN34_MIN_TH	0x3B	最小の ADIN4 – ADIN3 に対する ADC アラーム閾値	R/W	1	0x00
ADIN34_MAX_TH	0x3C	最大の ADIN4 – ADIN3 に対する ADC アラーム閾値	R/W	1	0xFF
ADIO12_MIN_TH	0x3D	最小の ADIO2 – ADIO1 に対する ADC アラーム閾値	R/W	1	0x00
ADIO12_MAX_TH	0x3E	最大の ADIO2 – ADIO1 に対する ADC アラーム閾値	R/W	1	0xFF
ADIO34_MIN_TH	0x3F	最小の ADIO4 – ADIO3 に対する ADC アラーム閾値	R/W	1	0x00
ADIO34_MAX_TH	0x40	最大の ADIO4 – ADIO3 に対する ADC アラーム閾値	R/W	1	0xFF
SENSE	0x41	ADC ⁺ – ADC ⁻ に対する直近の ADC 出力	R/W	2	0x0000
SENSE_MIN	0x42	ADC ⁺ – ADC ⁻ に対する最小の ADC 出力	R/W	2	0x0000
SENSE_MAX	0x43	ADC ⁺ – ADC ⁻ に対する最大の ADC 出力	R/W	2	0x0000
RTNS	0x44	RTNS に対する直近の ADC 出力	R/W	2	0x0000
RTNS_MIN	0x45	RTNS に対する最小の ADC 出力	R/W	2	0x0000
RTNS_MAX	0x46	RTNS に対する最大の ADC 出力	R/W	2	0x0000
POWER	0x47	電力に対する直近の ADC 出力	R/W	2	0x0000
POWER_MIN	0x48	電力に対する最小の ADC 出力	R/W	2	0x0000
POWER_MAX	0x49	電力に対する最大の ADC 出力	R/W	2	0x0000
ADIN1	0x4A	ADIN1 に対する直近の ADC 出力	R/W	2	0x0000
ADIN1_MIN	0x4B	ADIN1 に対する最小の ADC 出力	R/W	2	0x0000
ADIN1_MAX	0x4C	ADIN1 に対する最大の ADC 出力	R/W	2	0x0000
ADIN2	0x4D	ADIN2 に対する直近の ADC 出力	R/W	2	0x0000
ADIN2_MIN	0x4E	ADIN2 に対する最小の ADC 出力	R/W	2	0x0000
ADIN2_MAX	0x4F	ADIN2 に対する最大の ADC 出力	R/W	2	0x0000
ADIN3	0x50	ADIN3 に対する直近の ADC 出力	R/W	2	0x0000
ADIN3_MIN	0x51	ADIN3 に対する最小の ADC 出力	R/W	2	0x0000
ADIN3_MAX	0x52	ADIN3 に対する最大の ADC 出力	R/W	2	0x0000
ADIN4	0x53	ADIN4 に対する直近の ADC 出力	R/W	2	0x0000
ADIN4_MIN	0x54	ADIN4 に対する最小の ADC 出力	R/W	2	0x0000
ADIN4_MAX	0x55	ADIN4 に対する最大の ADC 出力	R/W	2	0x0000
ADIO1	0x56	ADIO1 に対する直近の ADC 出力	R/W	2	0x0000
ADIO1_MIN	0x57	ADIO1 に対する最小の ADC 出力	R/W	2	0x0000
ADIO1_MAX	0x58	ADIO1 に対する最大の ADC 出力	R/W	2	0x0000
ADIO2	0x59	ADIO2 に対する直近の ADC 出力	R/W	2	0x0000
ADIO2_MIN	0x5A	ADIO2 に対する最小の ADC 出力	R/W	2	0x0000
ADIO2_MAX	0x5B	ADIO2 に対する最大の ADC 出力	R/W	2	0x0000

アプリケーション情報

表 3. LTC4284 のレジスタ・アドレスと内容(続き)

レジスタ名	レジスタ・アドレス*	説明	読出し/書込み	データ長(バイト)	デフォルト値
ADIO3	0x5C	ADIO3 に対する直近の ADC 出力	R/W	2	0x0000
ADIO3_MIN	0x5D	ADIO3 に対する最小の ADC 出力	R/W	2	0x0000
ADIO3_MAX	0x5E	ADIO3 に対する最大の ADC 出力	R/W	2	0x0000
ADIO4	0x5F	ADIO4 に対する直近の ADC 出力	R/W	2	0x0000
ADIO4_MIN	0x60	ADIO4 に対する最小の ADC 出力	R/W	2	0x0000
ADIO4_MAX	0x61	ADIO4 に対する最大の ADC 出力	R/W	2	0x0000
DRNS	0x62	DRNS に対する直近の ADC 出力	R/W	2	0x0000
DRNS_MIN	0x63	DRNS に対する最小の ADC 出力	R/W	2	0x0000
DRNS_MAX	0x64	DRNS に対する最大の ADC 出力	R/W	2	0x0000
DRAIN	0x65	DRAIN に対する直近の ADC 出力	R/W	2	0x0000
DRAIN_MIN	0x66	DRAIN に対する最小の ADC 出力	R/W	2	0x0000
DRAIN_MAX	0x67	DRAIN に対する最大の ADC 出力	R/W	2	0x0000
SENSE1	0x68	SENSE1 ⁺ – SENSE1 ⁻ に対する直近の ADC 出力	R/W	2	0x0000
SENSE1_MIN	0x69	SENSE1 ⁺ – SENSE1 ⁻ に対する最小の ADC 出力	R/W	2	0x0000
SENSE1_MAX	0x6A	SENSE1 ⁺ – SENSE1 ⁻ に対する最大の ADC 出力	R/W	2	0x0000
SENSE2	0x6B	SENSE2 ⁺ – SENSE2 ⁻ に対する直近の ADC 出力	R/W	2	0x0000
SENSE2_MIN	0x6C	SENSE2 ⁺ – SENSE2 ⁻ に対する最小の ADC 出力	R/W	2	0x0000
SENSE2_MAX	0x6D	SENSE2 ⁺ – SENSE2 ⁻ に対する最大の ADC 出力	R/W	2	0x0000
ADIN12	0x6E	ADIN2 – ADIN1 に対する直近の ADC 出力	R/W	2	0x0000
ADIN12_MIN	0x6F	ADIN2 – ADIN1 に対する最小の ADC 出力	R/W	2	0x0000
ADIN12_MAX	0x70	ADIN2 – ADIN1 に対する最大の ADC 出力	R/W	2	0x0000
ADIN34	0x71	ADIN4 – ADIN3 に対する直近の ADC 出力	R/W	2	0x0000
ADIN34_MIN	0x72	ADIN4 – ADIN3 に対する最小の ADC 出力	R/W	2	0x0000
ADIN34_MAX	0x73	ADIN4 – ADIN3 に対する最大の ADC 出力	R/W	2	0x0000
ADIO12	0x74	ADIO2 – ADIO1 に対する直近の ADC 出力	R/W	2	0x0000
ADIO12_MIN	0x75	ADIO2 – ADIO1 に対する最小の ADC 出力	R/W	2	0x0000
ADIO12_MAX	0x76	ADIO2 – ADIO1 に対する最大の ADC 出力	R/W	2	0x0000
ADIO34	0x77	ADIO4 – ADIO3 に対する直近の ADC 出力	R/W	2	0x0000
ADIO34_MIN	0x78	ADIO4 – ADIO3 に対する最小の ADC 出力	R/W	2	0x0000
ADIO34_MAX	0x79	ADIO4 – ADIO3 に対する最大の ADC 出力	R/W	2	0x0000
ENERGY	0x7A~0x7F	入力電力量計	R/W	6	0x0000_0000_0000
TICK_COUNTER	0x80~0x83	電力量計用のティック・カウンタ	R/W	4	0x0000_0000
METER_CONTROL	0x84	電力量計とティック・カウンタを制御する	R/W	1	0x00
ADC_SNAPSHOT	0x85	ADC スナップショットを制御する	R/W	1	0x00
予備	0x86~0x8F	読出し専用、常に 0 を返す	R	10	N/A
FAULT_LOG_CONTROL	0x90	障害と ADC データの EEPROM へのログ記録をイネーブルする	R/W	1	0x00
予備	0x91~0xA1	読出し専用、0x91~0x9F は 0xFF を返し、0xA0 と 0xA1 は 0 を返す	R	17	N/A
REBOOT	0xA2	再起動をイネーブルし、再起動遅延を設定する	R/W	1	0x00
予備	0xA3	読出し専用、常に 0 を返す	R	1	N/A
EE_FAULT	0xA4	障害発生時に障害レジスタの内容を EEPROM に記録する	R/W	1	0x00

アプリケーション情報

x.LTC4284のレジスタ・アドレスと内容(続き)

レジスタ名	レジスタ・アドレス*	説明	読み出し/書き込み	データ長(バイト)	デフォルト値
EE_ADC_ALARM_LOG	0xA5~0xA9	障害発生時にADC_ALARM_LOGレジスタの内容をEEPROMに記録する	R/W	5	0x0000_0000_00
EE_CONTROL	0xAA~0xAB	CONTROLレジスタのデフォルトをEEPROMに格納する	R/W	2	0xDB03
予備	0xAC	読み出し専用、EEPROMがビジーの場合0xFFを返し、それ以外の場合は0を返す	R	1	N/A
EE_CONFIG	0xAD~0xAF	CONFIGレジスタのデフォルトをEEPROMに格納する	R/W	3	0x0CC0_00
EE_PGIO_CONFIG	0xB0~0xB1	PGIO_CONFIGレジスタのデフォルトをEEPROMに格納する	R/W	2	0x0004
EE_ADIO_CONFIG	0xB2	ADIO_CONFIGレジスタのデフォルトをEEPROMに格納する	R/W	1	0xF0
EE_ADC_SELECT	0xB3~0xB4	ADC_SELECTレジスタのデフォルトをEEPROMに格納する	R/W	2	0xFF0F
EE_FAULT_ALERT	0xB5	FAULT_ALERTレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADC_ALERT	0xB6~0xBA	ADC_ALERTレジスタのデフォルトをEEPROMに格納する	R/W	5	0x0000_0000_00
EE_SENSE_MIN_TH	0xBB	SENSE_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_SENSE_MAX_TH	0xBC	SENSE_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_RTNS_MIN_TH	0xBD	RTNS_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_RTNS_MAX_TH	0xBE	RTNS_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_POWER_MIN_TH	0xBF	POWER_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_POWER_MAX_TH	0xC0	POWER_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIN1_MIN_TH	0xC1	ADIN1_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN1_MAX_TH	0xC2	ADIN1_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIN2_MIN_TH	0xC3	ADIN2_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN2_MAX_TH	0xC4	ADIN2_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIN3_MIN_TH	0xC5	ADIN3_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN3_MAX_TH	0xC6	ADIN3_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIN4_MIN_TH	0xC7	ADIN4_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN4_MAX_TH	0xC8	ADIN4_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO1_MIN_TH	0xC9	ADIO1_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO1_MAX_TH	0xCA	ADIO1_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO2_MIN_TH	0xCB	ADIO2_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO2_MAX_TH	0xCC	ADIO2_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO3_MIN_TH	0xCD	ADIO3_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO3_MAX_TH	0xCE	ADIO3_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO4_MIN_TH	0xCF	ADIO4_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO4_MAX_TH	0xD0	ADIO4_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_DRNS_MIN_TH	0xD1	DRNS_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_DRNS_MAX_TH	0xD2	DRNS_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_DRAIN_MIN_TH	0xD3	DRAIN_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_DRAIN_MAX_TH	0xD4	DRAIN_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_SENSE1_MIN_TH	0xD5	SENSE1_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_SENSE1_MAX_TH	0xD6	SENSE1_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_SENSE2_MIN_TH	0xD7	SENSE2_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_SENSE2_MAX_TH	0xD8	SENSE2_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF

アプリケーション情報

表 3. LTC4284 のレジスタ・アドレスと内容(続き)

レジスタ名	レジスタ・アドレス*	説明	読出し/ 書込み	データ長 (バイト)	デフォルト値
EE_ADIN12_MIN_TH	0xD9	ADIN12_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN12_MAX_TH	0xDA	ADIN12_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIN34_MIN_TH	0xDB	ADIN34_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIN34_MAX_TH	0xDC	ADIN34_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO12_MIN_TH	0xDD	ADIO12_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO12_MAX_TH	0xDE	ADIO12_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_ADIO34_MIN_TH	0xDF	ADIO34_MIN_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0x00
EE_ADIO34_MAX_TH	0xE0	ADIO34_MAX_THレジスタのデフォルトをEEPROMに格納する	R/W	1	0xFF
EE_SENSE	0xE1	障害発生時に、SENSEレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
EE_SENSE_MIN	0xE2	障害発生時に、SENSE_MINレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
EE_SENSE_MAX	0xE3	障害発生時に、SENSE_MAXレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
EE_RTNS	0xE4	障害発生時に、RTNSレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
EE_RTNS_MIN	0xE5	障害発生時に、RTNS_MINレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
EE_RTNS_MAX	0xE6	障害発生時に、RTNS_MAXレジスタのMSBバイトをEEPROMに格納する	R/W	1	0x00
POWER_PLAY_ID	0xE7~0xE8	LTC4284のLTpowerPlay ID	R	2	0x1070
EE_SCRATCH	0xE9~0xEF	予備のEEPROMバイト	R/W	7	0x0000_0000_0000
EE_FAULT_LOG_CONTROL	0xF0	FAULT_LOG_CONTROLレジスタのEEPROMバックアップ	R/W	1	0x00
予備	0xF1~0xFF	読出し専用、常に0xFFを返す	R	15	N/A

*0x41~0x79の2バイトADCデータ・レジスタでは、アドレスはMSBバイトを指しており、ワード書込みプロトコルまたはワード読出しプロトコルを使用するときにLSBバイトにインクリメントされます。

アプリケーション情報

表 4. SYSTEM_STATUS レジスタ (0x00) – 読み出し専用

ビット	名称	動作
7	FET_ON_STATUS	GATEのオン/オフ・ステータス。1 = GATEをオンにするよう命令、0 = GATEをオフにするよう命令
6	EN#	EN# ピンのステート。1 = EN#がハイ、0 = EN#がロー
5	GATE2_HIGH	GATE2ピンのステート。1 = GATE2がハイ、0 = GATE2がロー
4	GATE1_HIGH	GATE1ピンのステート。1 = GATE1がハイ、0 = GATE1がロー
3	TMR_LOW	TMRピンのステータス。1 = TMRが0.1Vより低い、0 = TMRが0.1Vより高い
2	EEPROM_BUSY	EEPROM 書き込みのステータス。1 = EEPROMが書き込み中、0 = EEPROMの書き込みが完了
1	PG_STATUS	パワーグッド・ステータス。1 = パワーグッド条件が満たされている、0 = パワーグッド条件が満たされていない
0	MODE1	シングル・ドライバ・モード(モード1)のステータス。1 = モード1が有効、0 = モード1が無効

表 5. ADC_STATUS レジスタ (0x01) – 読み出し専用

ビット	名称	動作																																																			
7:4	AUX_ADC_CH	連続モードまたはスナップショット・モードで直近のADC測定を完了した補助入力のチャンネル・ラベル																																																			
		<table border="1"> <thead> <tr> <th>AUX_ADC_CH [7:4]</th> <th>補助ADC入力</th> <th>レジスタ・アドレス</th> </tr> </thead> <tbody> <tr><td>0000</td><td>ADIN1</td><td>0x4A</td></tr> <tr><td>0001</td><td>ADIN2</td><td>0x4D</td></tr> <tr><td>0010</td><td>ADIN3</td><td>0x50</td></tr> <tr><td>0011</td><td>ADIN4</td><td>0x53</td></tr> <tr><td>0100</td><td>ADIO1</td><td>0x56</td></tr> <tr><td>0101</td><td>ADIO2</td><td>0x59</td></tr> <tr><td>0110</td><td>ADIO3</td><td>0x5C</td></tr> <tr><td>0111</td><td>ADIO4</td><td>0x5F</td></tr> <tr><td>1000</td><td>DRNS</td><td>0x62</td></tr> <tr><td>1001</td><td>DRAIN</td><td>0x65</td></tr> <tr><td>1010</td><td>SENSE1⁺ – SENSE1⁻</td><td>0x68</td></tr> <tr><td>1011</td><td>SENSE2⁺ – SENSE2⁻</td><td>0x6B</td></tr> <tr><td>1100</td><td>ADIN2 – ADIN1</td><td>0x6E</td></tr> <tr><td>1101</td><td>ADIN4 – ADIN3</td><td>0x71</td></tr> <tr><td>1110</td><td>ADIO2 – ADIO1</td><td>0x74</td></tr> <tr><td>1111</td><td>ADIO4 – ADIO3</td><td>0x77</td></tr> </tbody> </table>	AUX_ADC_CH [7:4]	補助ADC入力	レジスタ・アドレス	0000	ADIN1	0x4A	0001	ADIN2	0x4D	0010	ADIN3	0x50	0011	ADIN4	0x53	0100	ADIO1	0x56	0101	ADIO2	0x59	0110	ADIO3	0x5C	0111	ADIO4	0x5F	1000	DRNS	0x62	1001	DRAIN	0x65	1010	SENSE1 ⁺ – SENSE1 ⁻	0x68	1011	SENSE2 ⁺ – SENSE2 ⁻	0x6B	1100	ADIN2 – ADIN1	0x6E	1101	ADIN4 – ADIN3	0x71	1110	ADIO2 – ADIO1	0x74	1111	ADIO4 – ADIO3	0x77
AUX_ADC_CH [7:4]	補助ADC入力	レジスタ・アドレス																																																			
0000	ADIN1	0x4A																																																			
0001	ADIN2	0x4D																																																			
0010	ADIN3	0x50																																																			
0011	ADIN4	0x53																																																			
0100	ADIO1	0x56																																																			
0101	ADIO2	0x59																																																			
0110	ADIO3	0x5C																																																			
0111	ADIO4	0x5F																																																			
1000	DRNS	0x62																																																			
1001	DRAIN	0x65																																																			
1010	SENSE1 ⁺ – SENSE1 ⁻	0x68																																																			
1011	SENSE2 ⁺ – SENSE2 ⁻	0x6B																																																			
1100	ADIN2 – ADIN1	0x6E																																																			
1101	ADIN4 – ADIN3	0x71																																																			
1110	ADIO2 – ADIO1	0x74																																																			
1111	ADIO4 – ADIO3	0x77																																																			
3	ADC_IDLE	ADCの変換ステータス。1 = ADCがスナップショット・モードでアイドル状態、0 = ADCが連続モードであるか、ADCがスナップショット・モードでビジー状態																																																			
2	MODE2	パラレル・モード(モード2)のステータス。1 = モード2が有効、0 = モード2が無効																																																			
1	MODE3	高ストレス段階的スタート・モード(モード3)のステータス。1 = モード3が有効、0 = モード3が無効																																																			
0	MODE4	低ストレス段階的スタート・モード(モード4)のステータス。1 = モード4が有効、0 = モード4が無効																																																			

アプリケーション情報

表 6. INPUT_STATUS レジスタ (0x02) – 読み出し専用

ビット	名称	動作
7	PGIO1_INPUT	PGIO1 ピンのステート。1 = PGIO1 がハイ、0 = PGIO1 がロー
6	PGIO2_INPUT	PGIO2 ピンのステート。1 = PGIO2 がハイ、0 = PGIO2 がロー
5	PGIO3_INPUT	PGIO3 ピンのステート。1 = PGIO3 がハイ、0 = PGIO3 がロー
4	PGIO4_INPUT	PGIO4 ピンのステート。1 = PGIO4 がハイ、0 = PGIO4 がロー
3	ADIO1_INPUT	ADIO1 ピンのステート。1 = ADIO1 がハイ、0 = ADIO1 がロー
2	ADIO2_INPUT	ADIO2 ピンのステート。1 = ADIO2 がハイ、0 = ADIO2 がロー
1	ADIO3_INPUT	ADIO3 ピンのステート。1 = ADIO3 がハイ、0 = ADIO3 がロー
0	ADIO4_INPUT	ADIO4 ピンのステート。1 = ADIO4 がハイ、0 = ADIO4 がロー

表 7. FAULT_STATUS レジスタ (0x03) – 読み出し専用

ビット	名称	動作
7	EXT_FAULT_STATUS	EXT_FAULT#/EXT_FAULT に設定されたときの PGIO4 ピンのステート。1 = PGIO4 がロー/ハイ、0 = PGIO4 がハイ/ロー
6	FET_SHORT_STATUS	FET の短絡の状態。1 = FET が短絡している、0 = FET が短絡していない
5	V _{OUT} _LOW	V _{OUT} のロー・ステータス。1 = V _{OUT} < V _{OUTTH} 、0 = V _{OUT} ≥ V _{OUTTH}
4	PGI_STATUS	PGI チェック・タイマーの終了時に PGIO3 が PGI#/PGI に構成されているときの PGIO3 のステート。 1 = PGIO3 がハイ/ロー、0 = PGIO3 がロー/ハイ
3	FET_BAD_STATUS	FET 不良の状態。1 = FET 不良条件が存在している、0 = FET 不良条件が存在していない
2	OC_STATUS	アクティブ電流制限の状態。1 = アクティブ電流制限が動作している、0 = アクティブ電流制限が動作していない
1	UV_STATUS	入力低電圧の状態。1 = UVH および UVL がロー、0 = UVH または UVL がハイ
0	OV_STATUS	入力過電圧の状態。1 = OV がハイ、0 = OV がロー

表 8. FAULT レジスタ (0x04) – 読み出し/書き込み

ビット	名称	動作	DEFAULT
7	EXT_FAULT	PGIO4 ピンにおける外部障害。1 = 外部障害が検出されている、0 = 外部障害が検出されていない	0
6	FET_SHORT_FAULT	FET 短絡障害。1 = FET 短絡障害が発生した、0 = FET 短絡障害が発生していない	0
5	POWER_FAILED	パワーグッドがラッチされた後に V _{OUT} がローであったかどうか。1 = V _{OUT} のローが検出された、0 = V _{OUT} がローになっていない	0
4	PGI_FAULT	PGIO3 ピンにおける PGI 障害。1 = PGI 障害が検出されている、0 = PGI 障害が検出されていない	0
3	FET_BAD_FAULT	FET 不良。1 = FET 不良が発生した、0 = FET 不良が発生していない	0
2	OC_FAULT	過電流障害。1 = 過電流障害が発生した、0 = 過電流障害が発生していない	0
1	UV_FAULT	低電圧障害。1 = 低電圧障害が発生した、0 = 低電圧障害が発生していない	0
0	OV_FAULT	過電圧障害。1 = 過電圧障害が発生した、0 = 過電圧障害が発生していない	0

アプリケーション情報

表 9. ADC_ALARM_LOG レジスタ (0x05–0x09) – 読出し/書込み

ビット	名称	動作	DEFAULT
ADC_ALARM_LOG_1 (0x05) – 読出し/書込み			
7	EN#_CHANGED	EN#ピンのステートが変化したかどうか。1 = EN#のステートが変化した、0 = EN#のステートが変化していない	0
6	EEPROM_WRITTEN	I ² Cを介してEEPROMに書込みがあったかどうか。1 = EEPROMが書き込まれた、0 = EEPROMが書き込まれていない	0
5	SENSE_HIGH_ALARM	ADC ⁺ – ADC ⁻ がSENSE_MAX_THを上回った。1 = ADC ⁺ – ADC ⁻ がハイであった、0 = ADC ⁺ – ADC ⁻ がハイではない	0
4	SENSE_LOW_ALARM	ADC ⁺ – ADC ⁻ がSENSE_MIN_THを下回った。1 = ADC ⁺ – ADC ⁻ がローであった、0 = ADC ⁺ – ADC ⁻ がローではない	0
3	RTNS_HIGH_ALARM	RTNSがRTNS_MAX_THを上回った。1 = RTNSがハイであった、0 = RTNSがハイではない	0
2	RTNS_LOW_ALARM	RTNSがRTNS_MIN_THを下回った。1 = RTNSローであった、0 = RTNSがローではない	0
1	POWER_HIGH_ALARM	POWERがPOWER_MAX_THを上回った。1 = POWERがハイであった、0 = POWERがハイではない	0
0	POWER_LOW_ALARM	POWERがPOWER_MIN_THを下回った。1 = POWERがローであった、0 = POWERがローではない	0
ADC_ALARM_LOG_2 (0x06) – 読出し/書込み			
7	ADIN1_HIGH_ALARM	ADIN1がADIN1_MAX_THを上回った。1 = ADIN1がハイであった、0 = ADIN1がハイではない	0
6	ADIN1_LOW_ALARM	ADIN1がADIN1_MIN_THを下回った。1 = ADIN1がローであった、0 = ADIN1がローではない	0
5	ADIN2_HIGH_ALARM	ADIN2がADIN2_MAX_THを上回った。1 = ADIN2がハイであった、0 = ADIN2がハイではない	0
4	ADIN2_LOW_ALARM	ADIN2がADIN2_MIN_THを下回った。1 = ADIN2がローであった、0 = ADIN2がローではない	0
3	ADIN3_HIGH_ALARM	ADIN3がADIN3_MAX_THを上回った。1 = ADIN3がハイであった、0 = ADIN3がハイではない	0
2	ADIN3_LOW_ALARM	ADIN3がADIN3_MIN_THを下回った。1 = ADIN3がローであった、0 = ADIN3がローではない	0
1	ADIN4_HIGH_ALARM	ADIN4がADIN4_MAX_THを上回った。1 = ADIN4がハイであった、0 = ADIN4がハイではない	0
0	ADIN4_LOW_ALARM	ADIN4がADIN4_MIN_THを下回った。1 = ADIN4がローであった、0 = ADIN4がローではない	0
ADC_ALARM_LOG_3 (0x07) – 読出し/書込み			
7	ADIO1_HIGH_ALARM	ADIO1がADIO1_MAX_THを上回った。1 = ADIO1がハイであった、0 = ADIO1がハイではない	0
6	ADIO1_LOW_ALARM	ADIO1がADIO1_MIN_THを下回った。1 = ADIO1がローであった、0 = ADIO1がローではない	0
5	ADIO2_HIGH_ALARM	ADIO2がADIO2_MAX_THを上回った。1 = ADIO2がハイであった、0 = ADIO2がハイではない	0
4	ADIO2_LOW_ALARM	ADIO2がADIO2_MIN_THを下回った。1 = ADIO2がローであった、0 = ADIO2がローではない	0
3	ADIO3_HIGH_ALARM	ADIO3がADIO3_MAX_THを上回った。1 = ADIO3がハイであった、0 = ADIO3がハイではない	0
2	ADIO3_LOW_ALARM	ADIO3がADIO3_MIN_THを下回った。1 = ADIO3がローであった、0 = ADIO3がローではない	0
1	ADIO4_HIGH_ALARM	ADIO4がADIO4_MAX_THを上回った。1 = ADIO4がハイであった、0 = ADIO4がハイではない	0
0	ADIO4_LOW_ALARM	ADIO4がADIO4_MIN_THを下回った。1 = ADIO4がローであった、0 = ADIO4がローではない	0

アプリケーション情報

ビット	名称	動作	DEFAULT
ADC_ALARM_LOG_4(0x08) – 読出し/書込み			
7	DRNS_HIGH_ALARM	DRNSがDRNS_MAX_THを上回った。1 = DRNSがハイであった、0 = DRNSがハイではない	0
6	DRNS_LOW_ALARM	DRNSがDRNS_MIN_THを下回った。1 = DRNSがローであった、0 = DRNSがローではない	0
5	DRAIN_HIGH_ALARM	DRAINがDRAIN_MAX_THを上回った。1 = DRAINがハイであった、0 = DRAINがハイではない	0
4	DRAIN_LOW_ALARM	DRAINがDRAIN_MIN_THを下回った。1 = DRAINがローであった、0 = DRAINがローではない	0
3	SENSE1_HIGH_ALARM	SENSE1 ⁺ – SENSE1 ⁻ がSENSE1_MAX_THを上回った。1 = SENSE1 ⁺ – SENSE1 ⁻ がハイであった、0 = SENSE1 ⁺ – SENSE1 ⁻ がハイではない	0
2	SENSE1_LOW_ALARM	SENSE1 ⁺ – SENSE1 ⁻ がSENSE1_MIN_THを下回った。1 = SENSE1 ⁺ – SENSE1 ⁻ がローであった、0 = SENSE1 ⁺ – SENSE1 ⁻ がローではない	0
1	SENSE2_HIGH_ALARM	SENSE2 ⁺ – SENSE2 ⁻ がSENSE2_MAX_THを上回った。1 = SENSE2 ⁺ – SENSE2 ⁻ がハイであった、0 = SENSE2 ⁺ – SENSE2 ⁻ がハイではない	0
0	SENSE2_LOW_ALARM	SENSE2 ⁺ – SENSE2 ⁻ がSENSE2_MIN_THを下回った。1 = SENSE2 ⁺ – SENSE2 ⁻ がローであった、0 = SENSE2 ⁺ – SENSE2 ⁻ がローではない	0
ADC_ALARM_LOG_5(0x09) – 読出し/書込み			
7	ADIN12_HIGH_ALARM	ADIN2 – ADIN1がADIN12_MAX_THを上回った。1 = ADIN2 – ADIN1がハイであった、0 = ADIN2 – ADIN1がハイではない	0
6	ADIN12_LOW_ALARM	ADIN2 – ADIN1がADIN12_MIN_THを下回った。1 = ADIN2 – ADIN1がローであった、0 = ADIN2 – ADIN1がローではない	0
5	ADIN34_HIGH_ALARM	ADIN4 – ADIN3がADIN34_MAX_THを上回った。1 = ADIN4 – ADIN3がハイであった、0 = ADIN4 – ADIN3がハイではない	0
4	ADIN34_LOW_ALARM	ADIN4 – ADIN3がADIN34_MIN_THを下回った。1 = ADIN4 – ADIN3がローであった、0 = ADIN4 – ADIN3がローではない	0
3	ADIO12_HIGH_ALARM	ADIO2 – ADIO1がADIO12_MAX_THを上回った。1 = ADIO2 – ADIO1がハイであった、0 = ADIO2 – ADIO1がハイではない	0
2	ADIO12_LOW_ALARM	ADIO2 – ADIO1がADIO12_MIN_THを下回った。1 = ADIO2 – ADIO1がローであった、0 = ADIO2 – ADIO1がローではない	0
1	ADIO34_HIGH_ALARM	ADIO4 – ADIO3がADIO34_MAX_THを上回った。1 = ADIO4 – ADIO3がハイであった、0 = ADIO4 – ADIO3がハイではない	0
0	ADIO34_LOW_ALARM	ADIO4 – ADIO3がADIO34_MIN_THを下回った。1 = ADIO4 – ADIO3がローであった、0 = ADIO4 – ADIO3がローではない	0

アプリケーション情報

表 10. CONTROLレジスタ(0x0A~0x0B) – 読出し/書込み

ビット	名称	動作	DEFAULT										
CONTROL_1(0x0A) – 読出し/書込み													
7	ON	MOSFETをオン/オフする。1 = MOSFETをオンにする、0 = MOSFETをオフにする	1										
6	DVDT	起動中にdV/dt突入電流制御をイネーブルする。1 = イネーブル、0 = ディスエーブル	1										
5	THERM_TMR	2 μ AのTMRプルダウンをオフにする。1 = TMRプルダウンをオフにする、0 = TMRプルダウンをオンにする	0										
4	FET_BAD_TURN_OFF	FET_BAD_FAULTの後、MOSFETをオフにする。1 = MOSFETをオフにする、0 = MOSFETをオンのままにする	1										
3	PWRGD_RESET_CNTRL	パワーグッド・リセットを設定する。1 = V _{OUT} のローによってリセット、0 = MOSFETのオフによってリセット	1										
2	PGIO2_ACLB	PGIO2を設定する。1 = PGIO2を起動後のアクティブ電流制限の作動の反転出力にする。0 = 0x10ビット[3:2]によって設定される通常のPGIO2機能	0										
1	MASS_WRITE_ENABLE	I ² Cバス上のすべてのLTC4284に一括書込みをイネーブルする。1 = イネーブル、0 = ディスエーブル	1										
0	PAGE_READ_WRITE_ENABLE	I ² Cのページ読出し/書込みプロトコルのイネーブルする。1 = イネーブル、0 = ディスエーブル	1										
CONTROL_2(0x0B) – 読出し/書込み													
7	EXT_FAULT_RETRY	EXT_FAULT後の自動再試行をイネーブルする。1 = 無制限の再試行、0 = 再試行なし(ラッチオフ)	0										
6	PGI_RETRY	PGI_FAULT後の自動再試行をイネーブルする。1 = 無制限の再試行、0 = 再試行なし(ラッチオフ)	0										
5:4	FET_BAD_RETRY	FET_BAD_FAULTおよびMOSFETターンオフ後の自動再試行を設定する <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>FET_BAD_RETRY [5:4]</th> <th>再試行の回数</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>0(ラッチオフ)</td> </tr> <tr> <td>01</td> <td>1</td> </tr> <tr> <td>10</td> <td>7</td> </tr> <tr> <td>11</td> <td>無制限</td> </tr> </tbody> </table>	FET_BAD_RETRY [5:4]	再試行の回数	00	0(ラッチオフ)	01	1	10	7	11	無制限	00
FET_BAD_RETRY [5:4]	再試行の回数												
00	0(ラッチオフ)												
01	1												
10	7												
11	無制限												
3:2	OC_RETRY	OC_FAULT後の再試行を設定する <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>OC_RETRY [3:2]</th> <th>再試行の回数</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>0(ラッチオフ)</td> </tr> <tr> <td>01</td> <td>1</td> </tr> <tr> <td>10</td> <td>7</td> </tr> <tr> <td>11</td> <td>無制限</td> </tr> </tbody> </table>	OC_RETRY [3:2]	再試行の回数	00	0(ラッチオフ)	01	1	10	7	11	無制限	00
OC_RETRY [3:2]	再試行の回数												
00	0(ラッチオフ)												
01	1												
10	7												
11	無制限												
1	UV_RETRY	UV_FAULT後の自動再試行をイネーブルする。1 = 無制限の再試行、0 = 再試行なし(ラッチオフ)	1										
0	OV_RETRY	OV_FAULT後の自動再試行をイネーブルする。1 = 無制限の再試行、0 = 再試行なし(ラッチオフ)	1										

アプリケーション情報

表 11. CONFIGレジスタ (0x0D~0x0F) – 読出し/書込み

ビット	名称	動作	DEFAULT																																																			
CONFIG_1 (0x0D) – 読出し/書込み																																																						
7:4	ILIM	<p>V_{ILIM} および V_{ILIM(FAST)} を設定する</p> <table border="1"> <thead> <tr> <th>ILIM [7:4]</th> <th>V_{ILIM} [mV]</th> <th>V_{ILIM(FAST)} [mV]</th> </tr> </thead> <tbody> <tr><td>0000</td><td>15</td><td>30</td></tr> <tr><td>0001</td><td>16</td><td>32</td></tr> <tr><td>0010</td><td>17</td><td>34</td></tr> <tr><td>0011</td><td>18</td><td>36</td></tr> <tr><td>0100</td><td>19</td><td>38</td></tr> <tr><td>0101</td><td>20</td><td>40</td></tr> <tr><td>0110</td><td>21</td><td>42</td></tr> <tr><td>0111</td><td>22</td><td>44</td></tr> <tr><td>1000</td><td>23</td><td>46</td></tr> <tr><td>1001</td><td>24</td><td>48</td></tr> <tr><td>1010</td><td>25</td><td>50</td></tr> <tr><td>1011</td><td>26</td><td>52</td></tr> <tr><td>1100</td><td>27</td><td>54</td></tr> <tr><td>1101</td><td>28</td><td>56</td></tr> <tr><td>1110</td><td>29</td><td>58</td></tr> <tr><td>1111</td><td>30</td><td>60</td></tr> </tbody> </table>	ILIM [7:4]	V _{ILIM} [mV]	V _{ILIM(FAST)} [mV]	0000	15	30	0001	16	32	0010	17	34	0011	18	36	0100	19	38	0101	20	40	0110	21	42	0111	22	44	1000	23	46	1001	24	48	1010	25	50	1011	26	52	1100	27	54	1101	28	56	1110	29	58	1111	30	60	0000
ILIM [7:4]	V _{ILIM} [mV]	V _{ILIM(FAST)} [mV]																																																				
0000	15	30																																																				
0001	16	32																																																				
0010	17	34																																																				
0011	18	36																																																				
0100	19	38																																																				
0101	20	40																																																				
0110	21	42																																																				
0111	22	44																																																				
1000	23	46																																																				
1001	24	48																																																				
1010	25	50																																																				
1011	26	52																																																				
1100	27	54																																																				
1101	28	56																																																				
1110	29	58																																																				
1111	30	60																																																				
3:2	FB	<p>起動時および通常動作時の電流制限フォールドバック係数を設定する</p> <table border="1"> <thead> <tr> <th>FB [3:2]</th> <th>フォールドバック係数、α [% V_{ILIM}]</th> </tr> </thead> <tbody> <tr><td>00</td><td>100 (フォールドバックをディスエーブル)</td></tr> <tr><td>01</td><td>50</td></tr> <tr><td>10</td><td>20</td></tr> <tr><td>11</td><td>10</td></tr> </tbody> </table>	FB [3:2]	フォールドバック係数、 α [% V _{ILIM}]	00	100 (フォールドバックをディスエーブル)	01	50	10	20	11	10	11																																									
FB [3:2]	フォールドバック係数、 α [% V _{ILIM}]																																																					
00	100 (フォールドバックをディスエーブル)																																																					
01	50																																																					
10	20																																																					
11	10																																																					
1	FB_DIS	起動後のフォールドバックをディスエーブルする。1 = ディスエーブル、0 = イネーブル。起動中のフォールドバックには影響しない	0																																																			
0	LPFB	起動後に負荷電力のフォールドバックをイネーブルする。1 = イネーブル、0 = ディスエーブル	0																																																			
CONFIG_2 (0x0E) – 読出し/書込み																																																						
7:6	VDTH	<p>FET 不良・フィルタリング・タイマーを起動する DRAIN 電圧の閾値 (V_{D,FET(TH)}) を設定する</p> <table border="1"> <thead> <tr> <th>VDTH [7:6]</th> <th>V_{D,FET(TH)} [mV]</th> </tr> </thead> <tbody> <tr><td>00</td><td>72</td></tr> <tr><td>01</td><td>102</td></tr> <tr><td>10</td><td>143</td></tr> <tr><td>11</td><td>203</td></tr> </tbody> </table>	VDTH [7:6]	V _{D,FET(TH)} [mV]	00	72	01	102	10	143	11	203	11																																									
VDTH [7:6]	V _{D,FET(TH)} [mV]																																																					
00	72																																																					
01	102																																																					
10	143																																																					
11	203																																																					

アプリケーション情報

ビット	名称	動作	DEFAULT	
5:4	FTBD_DL	FET不良・フィルタリング・タイマーの遅延時間 ($t_{DL(FETBAD)}$) を設定する	00	
		FTBD_DL [5:4]		$t_{DL(FETBAD)}$ [s]
		00		0.256
		01		0.512
		10		1.02
3:1	COOLING_DL	OC_FAULT、FET_BAD_FAULT、またはEXT_FAULTの後、自動再試行の前に設ける冷却遅延時間 ($t_{DL(RTRY)}$) を設定する	000	
		COOLING_DL [3:1]		$t_{DL(RTRY)}$ [s]
		000		0.512
		001		1.02
		010		2.05
		011		4.10
		100		8.19
		101		16.4
		110		32.8
111	65.5			
0	PORB	パワーオン・リセット後に0にリセットするパワーオン・リセット・インジケータとして使用するには、このビットに1を書き込みます。1 = パワーオン・リセットが発生していない、0 = パワーオン・リセットが発生していた	0	

CONFIG_3 (0x0F) – 読み出し/書き込み

ビット	名称	動作	DEFAULT	
7	EXTFLT_TURN_OFF	外部障害後にMOSFETをオフにする。1 = MOSFETをオフにする、0 = MOSFETをオンのままにする	0	
6	VPWR_SELECT	ADCの電力を増大する電圧を選択する。1 = DRNSを選択 (MOSFET電力の減衰したドレイン電圧)、0 = RTNSを選択 (入力電力の減衰した入力電圧)	0	
5	FAST_I2C_EN	高速I ² Cモードをイネーブルする。1 = 高速I ² Cをイネーブルする、0 = 高速I ² Cをディスエーブルする	0	
4:3	BC	1線式ブロードキャスト・モードのビット・レート (f_{BC}) を設定する	00	
		BC [4:3]		f_{BC} [kbit/s]
		00		2048
		01		512
		10		128 (8ビットADCでは利用不可)
11	32 (8ビットADCでは利用不可)			
2	TICK_OVERFLOW_ALERT	ティック・カウンタがオーバーフローしたときのアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0	
1	METER_OVERFLOW_ALERT	電力量計がオーバーフローしたときのアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0	
0	INTEGRATE_I	電流の積分をイネーブルする。1 = 電流を積分する、0 = 電力を積分する	0	

アプリケーション情報

表 12. PGIO_CONFIGレジスタ(0x10:0x11) – 読出し/書込み

ビット	名称	動作	DEFAULT			
PGIO_CONFIG_1(0x10) – 読出し/書込み						
7:6	PGIO4_CONFIG	PGIO4ピンの動作を設定する	00			
		PGIO4_CONFIG [7:6]		PGIO4		
		00		EXT_FAULT#		
		01		EXT_FAULT		
		10		汎用出力		
		11	汎用入力			
5:4	PGIO3_CONFIG	PGIO3ピンの動作を設定する	00			
		PGIO3_CONFIG [5:4]		PGIO3		
		00		PGI#		
		01		PGI		
		10		汎用出力		
		11	汎用入力			
3:2	PGIO2_CONFIG	PGIO2ピンの動作を設定する	00			
		PGIO2_CONFIG [3:2]		PGIO2		
		00		パワーグッド2#		
		01		パワーグッド2		
		10		汎用出力		
		11	汎用入力			
1:0	PGIO1_CONFIG	PGIO1ピンの動作を設定する	00			
		PGIO1_CONFIG [1:0]		PGIO1		
		00		パワーグッド1#		
		01		パワーグッド1		
		10		汎用出力		
		11	汎用入力			
PGIO_CONFIG_2(0x11) – 読出し/書込み						
7	PGIO4_OUT	汎用出力として構成されたときのPGIO4ピンへの出力データ・ビット	0			
6	PGIO3_OUT	汎用出力として構成されたときのPGIO3ピンへの出力データ・ビット	0			
5	PGIO2_OUT	汎用出力として構成されたときのPGIO2ピンへの出力データ・ビット	0			
4	PGIO1_OUT	汎用出力として構成されたときのPGIO1ピンへの出力データ・ビット	0			
3	ADC_CONV_ALERT	ADCが変換を終了したときにアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0			
2:0	ADC	ADCの分解能と変換レートを設定する	100			
		ADC [2:0]		ADCの分解能 [ビット]	ADCの変換レート f_{CONV} [Hz]	サンプリング・クロック周波数 f_s [kHz]
		000		8	996	512
		010		10	125	256
		100		12	15.6	128
		110		14	3.91	128
xx1	16	0.977	128			

アプリケーション情報

表 13. ADIO_CONFIGレジスタ(0x12) – 読出し/書込み

ビット	名称	動作	DEFAULT
7	ADIO4_CONFIG	ADIO4ピンの動作を設定する。1 = 汎用入力、0 = 汎用出力	1
6	ADIO3_CONFIG	ADIO3ピンの動作を設定する。1 = 汎用入力、0 = 汎用出力	1
5	ADIO2_CONFIG	ADIO2ピンの動作を設定する。1 = 汎用入力、0 = 汎用出力	1
4	ADIO1_CONFIG	ADIO1ピンの動作を設定する。1 = 汎用入力、0 = 汎用出力	1
3	ADIO4_OUT	汎用出力として構成されたときのADIO4ピンへの出力データ・ビット	0
2	ADIO3_OUT	汎用出力として構成されたときのADIO3ピンへの出力データ・ビット	0
1	ADIO2_OUT	汎用出力として構成されたときのADIO2ピンへの出力データ・ビット	0
0	ADIO1_OUT	汎用出力として構成されたときのADIO1ピンへの出力データ・ビット	0

表 14. ADC_SELECTレジスタ(0x13~0x14) – 読出し/書込み

ビット	名称	動作	DEFAULT
ADC_SELECT_1(0x13) – 読出し/書込み			
7	ADIO4_SELECT	ADIO4をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
6	ADIO3_SELECT	ADIO3をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
5	ADIO2_SELECT	ADIO2をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
4	ADIO1_SELECT	ADIO1をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
3	ADIN4_SELECT	ADIN4をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
2	ADIN3_SELECT	ADIN3をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
1	ADIN2_SELECT	ADIN2をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
0	ADIN1_SELECT	ADIN1をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1

ADC_SELECT_2(0x14) – 読出し/書込み

7	ADIO34_SELECT	ADIO4 – ADIO3をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	0
6	ADIO12_SELECT	ADIO2 – ADIO1をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	0
5	ADIN34_SELECT	ADIN4 – ADIN3をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	0
4	ADIN12_SELECT	ADIN2 – ADIN1をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	0
3	SENSE2_SELECT	SENSE2 ⁺ – SENSE2 ⁻ をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
2	SENSE1_SELECT	SENSE1 ⁺ – SENSE1 ⁻ をADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
1	DRAIN_SELECT	DRAINをADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1
0	DRNS_SELECT	DRNSをADC測定の入力として選択する。1 = 選択する、0 = 選択しない	1

表 15. FAULT_ALERTレジスタ(0x15) – 読出し/書込み

ビット	名称	動作	DEFAULT
7	EXT_FAULT_ALERT	外部障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	FET_SHORT_ALERT	FET短絡障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	POWER_FAILED_ALERT	電源障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	PGI_ALERT	PGI障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	FET_BAD_ALERT	FET不良についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	OC_ALERT	過電流障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	UV_ALERT	低電圧障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	OV_ALERT	過電圧障害についてアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0

アプリケーション情報

表 16. ADC_ALERT レジスタ (0x16~0x1A) – 読出し/書込み

ビット	名称	動作	DEFAULT
ADC_ALERT_1 (0x16) – 読出し/書込み			
7	EN#_CHANGED_ALERT	EN#ピンのステータスが変化したときにアラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	EEPROM_WRITTEN_ALERT	EEPROMがI ² Cを介して書き込まれたときにアラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	SENSE_HIGH_ALERT	ADC ⁺ – ADC ⁻ がSENSE_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	SENSE_LOW_ALERT	ADC ⁺ – ADC ⁻ がSENSE_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	RTNS_HIGH_ALERT	RTNSがRTNS_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	RTNS_LOW_ALERT	RTNSがRTNS_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	POWER_HIGH_ALERT	POWERがPOWER_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	POWER_LOW_ALERT	POWERがPOWER_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
ADC_ALERT_2 (0x17) – 読出し/書込み			
7	ADIN1_HIGH_ALERT	ADIN1がADIN1_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	ADIN1_LOW_ALERT	ADIN1がADIN1_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	ADIN2_HIGH_ALERT	ADIN2がADIN2_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	ADIN2_LOW_ALERT	ADIN2がADIN2_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	ADIN3_HIGH_ALERT	ADIN3がADIN3_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	ADIN3_LOW_ALERT	ADIN3がADIN3_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	ADIN4_HIGH_ALERT	ADIN4がADIN4_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	ADIN4_LOW_ALERT	ADIN4がADIN4_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
ADC_ALERT_3 (0x18) – 読出し/書込み			
7	ADIO1_HIGH_ALERT	ADIO1がADIO1_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	ADIO1_LOW_ALERT	ADIO1がADIO1_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	ADIO2_HIGH_ALERT	ADIO2がADIO2_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	ADIO2_LOW_ALERT	ADIO2がADIO2_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	ADIO3_HIGH_ALERT	ADIO3がADIO3_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	ADIO3_LOW_ALERT	ADIO3がADIO3_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	ADIO4_HIGH_ALERT	ADIO4がADIO4_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	ADIO4_LOW_ALERT	ADIO4がADIO4_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0

アプリケーション情報

ビット	名称	動作	DEFAULT
ADC_ALERT_4(0x19) - 読み出し/書き込み			
7	DRNS_HIGH_ALERT	DRNSがDRNS_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	DRNS_LOW_ALERT	DRNSがDRNS_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	DRAIN_HIGH_ALERT	DRAINがDRAIN_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	DRAIN_LOW_ALERT	DRAINがDRAIN_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	SENSE1_HIGH_ALERT	SENSE1 ⁺ - SENSE1 ⁻ がSENSE1_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	SENSE1_LOW_ALERT	SENSE1 ⁺ - SENSE1 ⁻ がSENSE1_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	SENSE2_HIGH_ALERT	SENSE2 ⁺ - SENSE2 ⁻ がSENSE2_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	SENSE2_LOW_ALERT	SENSE2 ⁺ - SENSE2 ⁻ がSENSE2_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
ADC_ALERT_5(0x1A) - 読み出し/書き込み			
7	ADIN12_HIGH_ALERT	ADIN2 - ADIN1がADIN12_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
6	ADIN12_LOW_ALERT	ADIN2 - ADIN1がADIN12_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
5	ADIN34_HIGH_ALERT	ADIN4 - ADIN3がADIN34_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
4	ADIN34_LOW_ALERT	ADIN4 - ADIN3がADIN34_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
3	ADIO12_HIGH_ALERT	ADIO2 - ADIO1がADIO12_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2	ADIO12_LOW_ALERT	ADIO2 - ADIO1がADIO12_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
1	ADIO34_HIGH_ALERT	ADIO4 - ADIO3がADIO34_MAX_THを上回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
0	ADIO34_LOW_ALERT	ADIO4 - ADIO3がADIO34_MIN_THを下回ったとき、アラートをイネーブルする。 1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0

アプリケーション情報

表 17. ENERGY レジスタ (0x7A~0x7F) – 読出し/書込み

ビット	名称	動作	DEFAULT
47:0	ENERGY	計量された電力量データ	0x0000_0000_0000

表 18. TICK_COUNTER レジスタ (0x80~0x83) – 読出し/書込み

ビット	名称	動作	DEFAULT
31:0	TICK_COUNTER	電力測定値が電力量計に積算されたADC変換サイクルの回数をカウントする	0x0000_0000

表 19. METER_CONTROL レジスタ (0x84) – 読出し/書込み

ビット	名称	動作	DEFAULT
7	METER_RESET	電力量計とティック・カウンタをクリアされるまでリセットする。1 = リセットする、0 = リセットをクリアする	0
6	METER_HALT	電力量計とティック・カウンタの積算を停止する。1 = 停止する、0 = 停止しない	0
5	TICK_OVERFLOW	ティック・カウンタがオーバーフローした。1 = オーバーフローした、0 = オーバーフローしていない	0
4	METER_OVERFLOW	積算電力量計がオーバーフローした。1 = オーバーフローした、0 = オーバーフローしていない	0
3	ALERT_GENERATED	アラートが生成され、I ² Cでしかクリアできない場合、1にラッチする。1 = アラートが生成された、0 = アラートが生成されていない	0
2:0	予備	読出し専用、常に0を返す	000

表 20. ADC_SNAPSHOT レジスタ (0x85) – 読出し/書込み

ビット	名称	動作	DEFAULT																																		
7:4	SNAPSHOT_SEL	16のADC補助入力の一つをスナップショット測定のために選択する <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SNAPSHOT_SEL [7:4]</th> <th>補助ADC入力</th> </tr> </thead> <tbody> <tr><td>0000</td><td>ADIN1</td></tr> <tr><td>0001</td><td>ADIN2</td></tr> <tr><td>0010</td><td>ADIN3</td></tr> <tr><td>0011</td><td>ADIN4</td></tr> <tr><td>0100</td><td>ADIO1</td></tr> <tr><td>0101</td><td>ADIO2</td></tr> <tr><td>0110</td><td>ADIO3</td></tr> <tr><td>0111</td><td>ADIO4</td></tr> <tr><td>1000</td><td>DRNS</td></tr> <tr><td>1001</td><td>DRAIN</td></tr> <tr><td>1010</td><td>SENSE1⁺ – SENSE1⁻</td></tr> <tr><td>1011</td><td>SENSE2⁺ – SENSE2⁻</td></tr> <tr><td>1100</td><td>ADIN2 – ADIN1</td></tr> <tr><td>1101</td><td>ADIN4 – ADIN3</td></tr> <tr><td>1110</td><td>ADIO2 – ADIO1</td></tr> <tr><td>1111</td><td>ADIO4 – ADIO3</td></tr> </tbody> </table>	SNAPSHOT_SEL [7:4]	補助ADC入力	0000	ADIN1	0001	ADIN2	0010	ADIN3	0011	ADIN4	0100	ADIO1	0101	ADIO2	0110	ADIO3	0111	ADIO4	1000	DRNS	1001	DRAIN	1010	SENSE1 ⁺ – SENSE1 ⁻	1011	SENSE2 ⁺ – SENSE2 ⁻	1100	ADIN2 – ADIN1	1101	ADIN4 – ADIN3	1110	ADIO2 – ADIO1	1111	ADIO4 – ADIO3	0000
SNAPSHOT_SEL [7:4]	補助ADC入力																																				
0000	ADIN1																																				
0001	ADIN2																																				
0010	ADIN3																																				
0011	ADIN4																																				
0100	ADIO1																																				
0101	ADIO2																																				
0110	ADIO3																																				
0111	ADIO4																																				
1000	DRNS																																				
1001	DRAIN																																				
1010	SENSE1 ⁺ – SENSE1 ⁻																																				
1011	SENSE2 ⁺ – SENSE2 ⁻																																				
1100	ADIN2 – ADIN1																																				
1101	ADIN4 – ADIN3																																				
1110	ADIO2 – ADIO1																																				
1111	ADIO4 – ADIO3																																				
3	ADC_HALT	ADCスナップショット・モードをイネーブルする。1 = スナップショット、0 = 連続変換	0																																		
2:0	予備	読出し専用、常に0を返す	000																																		

アプリケーション情報

表 21. FAULT_LOG_CONTROL レジスタ (0x90) – 読み出し/書き込み

ビット	名称	動作	DEFAULT
7	FAULT_LOG_ENABLE	障害後、障害レジスタおよびADCデータのEEPROMへのログ記録をイネーブルする。このビットはI ² Cでのみクリアできる。1 = 障害ログをイネーブルする、0 = 障害ログをディスエーブルする	0
6	FAULT_LOG_UNLOCK	前の障害ログの後に障害ログを再イネーブルするために、FAULT_LOG_STARTビットおよびFAULT_LOG_DONEビットのクリアを許可する。1 = クリアを許可する、0 = クリアを許可しない	0
5	FAULT_LOG_START	障害ログが開始されたことを知らせる。I ² Cではこのビットをセットできないが、クリアすることはできる。1 = 障害ログが開始された、0 = 障害ログが開始されていない	0
4	FAULT_LOG_DONE	障害ログが完了したことを知らせる。I ² Cではこのビットをセットできないが、クリアすることはできる。1 = 障害ログが完了した、0 = 障害ログが完了していない	0
3	FAULT_LOG_ALERT	障害ログが完了したときにアラートをイネーブルする。1 = アラートをイネーブルする、0 = アラートをディスエーブルする	0
2:0	予備	読み出し専用、常に0を返す	000

表 22. 障害ログ中にEEPROMに記録されるレジスタ

レジスタ名	レジスタ・アドレス	EEPROM アドレス	データ長(バイト)	説明
FAULT	0x04	0xA4	1	システム障害
ADC_ALARM_LOG	0x05~0x09	0xA5~0xA9	5	ADC測定アラーム
SENSE	0x41	0xE1	1	ADC ⁺ – ADC ⁻ に対する直近のADC出力のMSBバイト
SENSE_MIN	0x42	0xE2	1	ADC ⁺ – ADC ⁻ に対する最小のADC出力のMSBバイト
SENSE_MAX	0x43	0xE3	1	ADC ⁺ – ADC ⁻ に対する最大のADC出力のMSBバイト
RTNS	0x44	0xE4	1	RTNS電圧に対する直近のADC出力のMSBバイト
RTNS_MIN	0x45	0xE5	1	RTNS電圧に対する最小のADC出力のMSBバイト
RTNS_MAX	0x46	0xE6	1	RTNS電圧の最大のADC出力のMSBバイト

アプリケーション情報

表 23. REBOOTレジスタ (0xA2) – 読み出し/書き込み

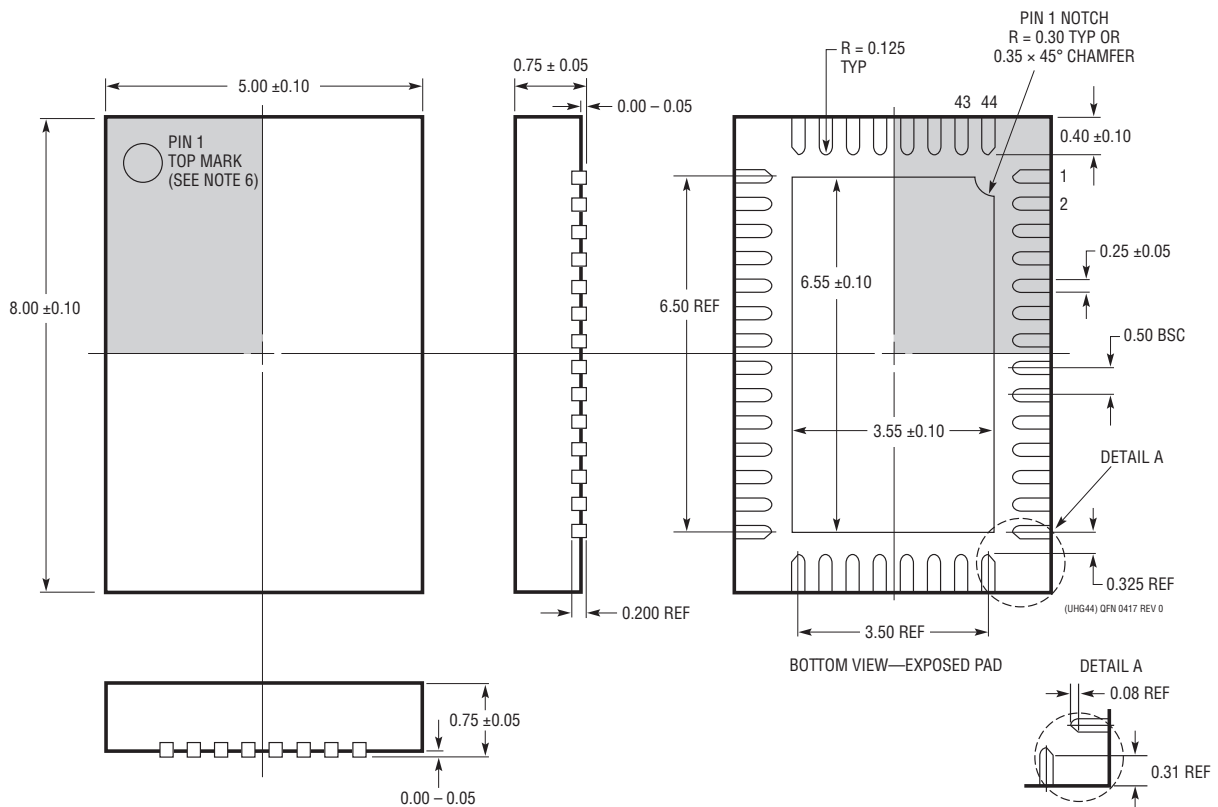
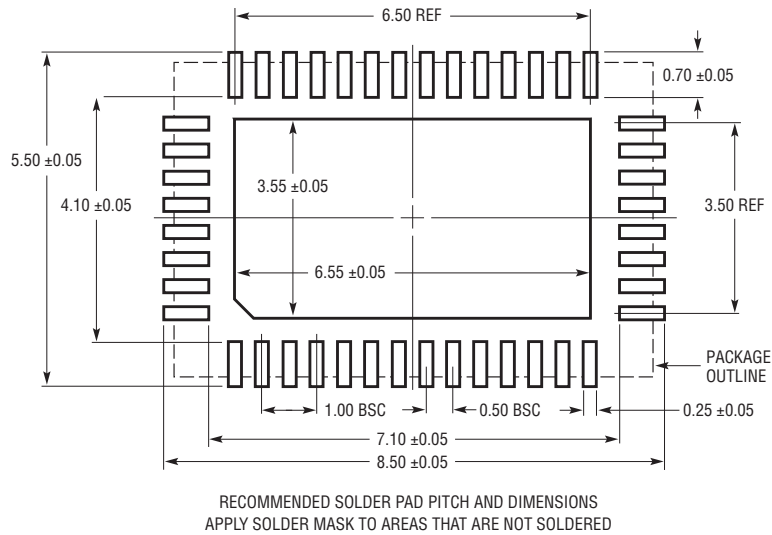
ビット	名称	動作	DEFAULT																		
7	RBT_EN	自動再起動を制御する。1 = 遅延 $t_{DL(RBT)}$ 後に再起動する、0 = 再起動しない1をセットすると、再起動完了後もこのビットは1のままになる。次の再起動コマンドを発行する前にこのビットをクリアしてください。	0																		
6:4	RBT_DL	REBOOTビットが1にセットされた後、自動再起動の遅延 ($t_{DL(RBT)}$) を設定する。 <table border="1"> <thead> <tr> <th>RBT_DL [6:4]</th> <th>$t_{DL(RBT)}$ [s]</th> </tr> </thead> <tbody> <tr><td>000</td><td>0.512</td></tr> <tr><td>001</td><td>1.02</td></tr> <tr><td>010</td><td>2.05</td></tr> <tr><td>011</td><td>4.10</td></tr> <tr><td>100</td><td>8.19</td></tr> <tr><td>101</td><td>16.4</td></tr> <tr><td>110</td><td>32.8</td></tr> <tr><td>111</td><td>65.5</td></tr> </tbody> </table>	RBT_DL [6:4]	$t_{DL(RBT)}$ [s]	000	0.512	001	1.02	010	2.05	011	4.10	100	8.19	101	16.4	110	32.8	111	65.5	000
RBT_DL [6:4]	$t_{DL(RBT)}$ [s]																				
000	0.512																				
001	1.02																				
010	2.05																				
011	4.10																				
100	8.19																				
101	16.4																				
110	32.8																				
111	65.5																				
3:2	予備	読み出し専用、常に0を返す	00																		
1	DELAY_STATUS	再起動および冷却遅延ステータス。1 = デバイスは再起動または冷却遅延中であるか、ラッチオフされている、0 = 再起動または冷却遅延時間が経過した、または開始されていない	0																		
0	WP_STATUS	WPピンのステータス。1 = WPがハイ、0 = WPピンがロー	0																		

表 24. 障害/アラームとアラート・マスクのマッピング

障害/アラーム	アラート・マスク
FAULT 0x04 [7:0]	FAULT_ALERT 0x15 [7:0]
ADC_ALARM_LOG_1 0x05 [7:0]	ADC_ALERT_1 0x16 [7:0]
ADC_ALARM_LOG_2 0x06 [7:0]	ADC_ALERT_2 0x17 [7:0]
ADC_ALARM_LOG_3 0x07 [7:0]	ADC_ALERT_3 0x18 [7:0]
ADC_ALARM_LOG_4 0x08 [7:0]	ADC_ALERT_4 0x19 [7:0]
ADC_ALARM_LOG_5 0x09 [7:0]	ADC_ALERT_5 0x1A [7:0]
METER_CONTROL 0x84 [4:3]	CONFIG_3 0x0F [2:1]
ADC Conversion Completed	PGIO_CONFIG_2 0x11 [3]
EEPROM Fault Log Completed	FAULT_LOG_CONTROL 0x90 [3]

パッケージ

UHG Package
44-Lead Plastic QFN (5mm × 8mm)
 (Reference LTC DWG # 05-08-1581 Rev 0)



- 注記:
1. 図は JEDEC のパッケージ外形ではない
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。モールドのバリは (もしあれば) 各サイドで 0.20mm を超えないこと
 5. 露出パッドはハンダ・メッキとする
 6. 灰色の部分はパッケージの上面と底面の 1 番ピンの位置の参考に過ぎない

標準的応用例

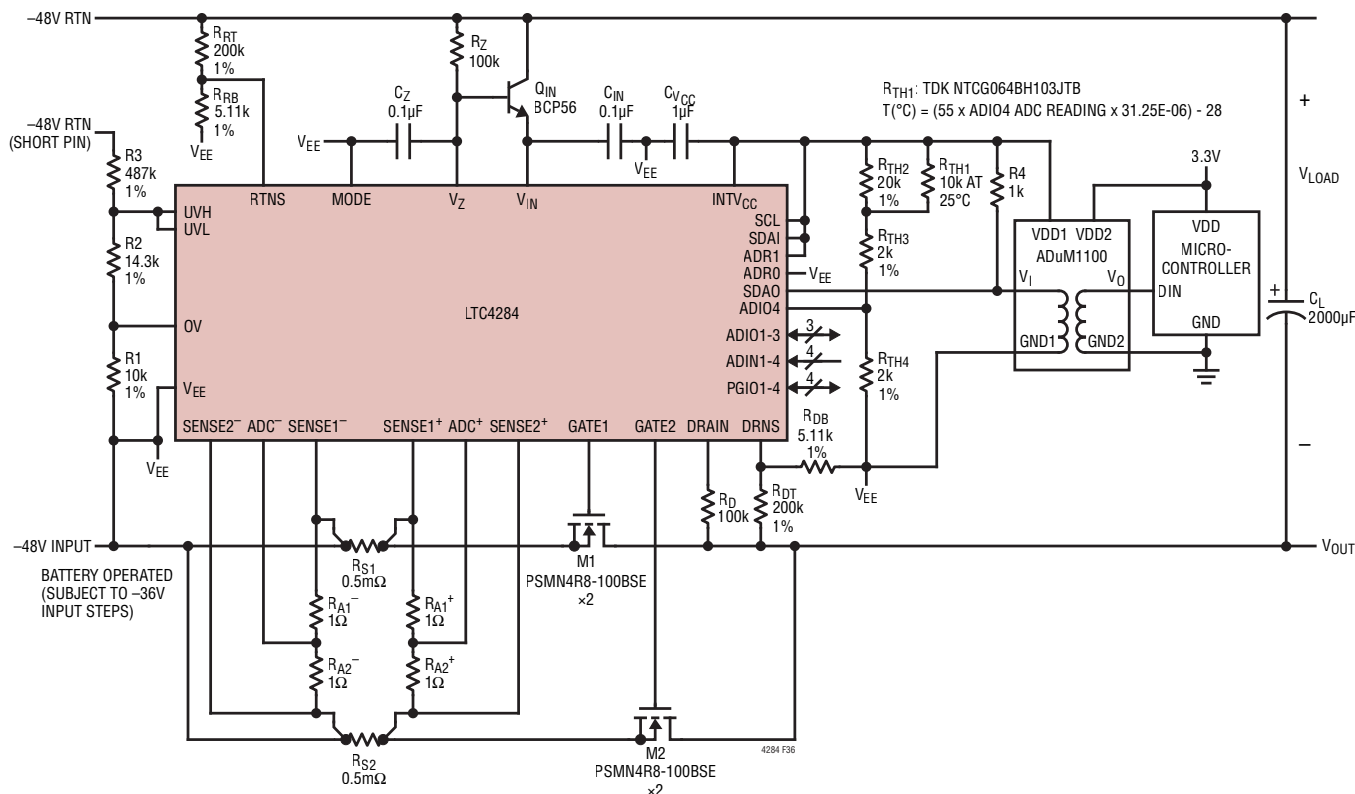


図 36. システム・ステータス、障害、電流、電圧、電力、温度をモニタし、データを 2MBit/s で 1 線式ブロードキャスト・モードで送信する -48V/1200W ホット・スワップ・コントローラ

関連製品

製品番号	説明	注釈
LTC4261/LT4261-2	ADC と I ² C を備えた -48V ホット・スワップ・コントローラ	dV/dt 起動時突入電流制御、電圧および電流をモニタする 10 ビット ADC、I ² C または 1 線式ブロードキャスト、2 つのシーケンス制御されたパワーグッド出力、-12V からの電源電圧範囲
ADM1075	PMBus を備えた -48V ホット・スワップ・コントローラ	電流、電圧、電力、電力量をモニタする 12 ビット ADC
LTC4282	I ² C 互換モニタ機能付き、高電流正電圧ホット・スワップ・コントローラ	デュアル・ゲートの 2 つの並列 MOSFET、電流、電圧、電力、電力量をモニタする 12/16 ビット ADC、内蔵 EEPROM、I ² C、電源電圧範囲: 2.9V ~ 33V
LTC4281	I ² C 互換モニタ機能付き正電圧ホット・スワップ・コントローラ	電流、電圧、電力、電力量をモニタする 12/16 ビット ADC、内蔵 EEPROM、I ² C、電源電圧範囲: 2.9V ~ 33V
LT4250L/LT4250H	SO-8、-48V ホット・スワップ・コントローラ	アクティブ電流制限、電源電圧範囲: -18V ~ -80V
LTC4251/LTC4251-1	SOT-23、-48V ホット・スワップ・コントローラ	高速アクティブ電流制限、-15V からの電源電圧範囲
LTC4252-1/LTC4252-2/ LTC4252A-1/LTC4252A-2	MS8、-48V ホット・スワップ・コントローラ	高速アクティブ電流制限、-15V からの電源電圧範囲、±1% UV/OV (LTC4252A)
LTC4253	シーケンス付き -48V ホット・スワップ・コントローラ	3 つのシーケンス制御されたパワーグッド出力付きの高速電流制限、-15V からの電源電圧範囲
LTC4260	正の高電圧ホットスワップ・コントローラ	I ² C および 8 ビット ADC 内蔵、電源電圧範囲: 8.5V ~ 80V
LTC4371	負電圧ダイオード OR コントローラ	2 つの N チャンネル MOSFET を制御、220ns ターンオフ
LTC4151	高電圧対応の電流および電圧モニタ	7V ~ 80V で動作、I ² C および 12 ビット ADC を内蔵