

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年11月9日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年11月9日

製品名：LTC9101-2/LTC9102

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：32 ページ、バスのアドレス指定の項、最初の行

【誤】

「LTC9101-1」

【正】

「LTC9101-2」

12/24ポート IEEE 802.3bt PoE PSE コントローラ

特長

- IEEE 802.3bt タイプ3および4に完全準拠のPSE
- 最大24個のPSEポート(1ポートあたり2個のパワー・チャンネル)
- +80V/-20Vに対応可能なポート対向ピン
- ECCで保護されたeFlashとデータRAM
- 低電力バス損失(1チャンネルあたり)
 - 100mΩの検出抵抗
 - 30mΩ以下のMOSFET R_{DS(ON)}
- チップセット構成時の電氣的絶縁
 - フォトカプラおよび3.3V絶縁型電源が不要
- 非常に信頼性の高いマルチポイントPD検出
 - 接続チェックによりシングル・シグネチャPDとデュアル・シグネチャPDを識別
- ポートごとの電圧と電流を継続的にモニター
- 1MHz I²C対応のシリアル制御インターフェース
- ピンまたはI²CによりPD電力を設定可能
- 24ピン4mm × 4mm QFNパッケージ(LTC9101-2)および64ピン7mm × 11mm QFNパッケージ(LTC9102)で供給

アプリケーション

- PoE PSEスイッチ/ルータおよびミッドスパン

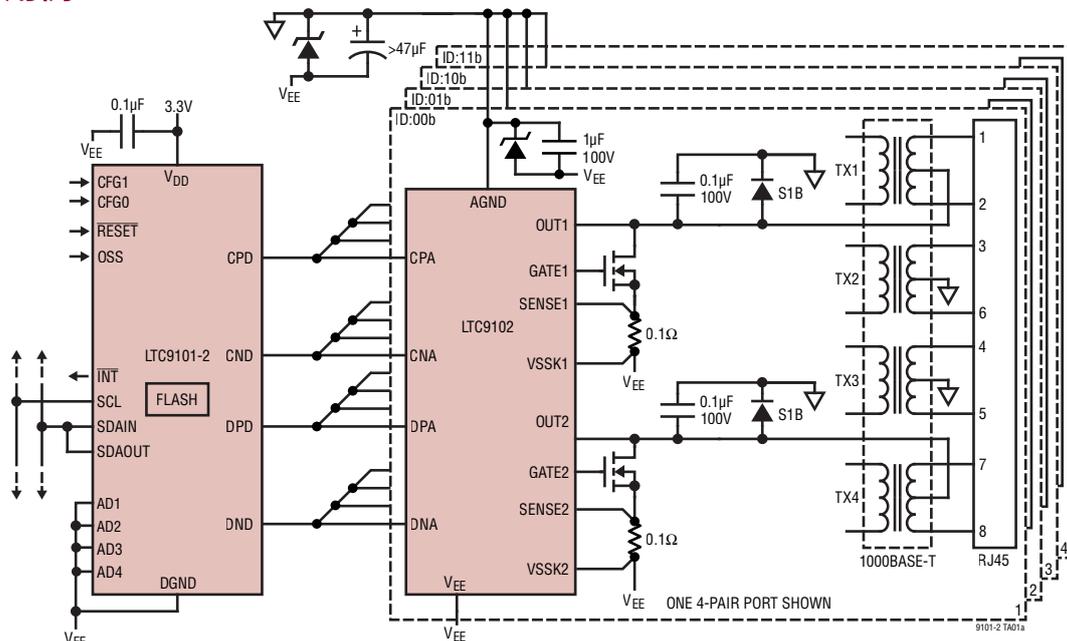
本紙記載の登録商標および商標は、全て各社の所有に属します。

概要

LTC[®]9101-2チップセットは、IEEE 802.3bt タイプ3およびタイプ4準拠のPoE (Power over Ethernet) システム用に設計された12/24ポートの給電デバイス(PSE)コントローラです。LTC9101-2/LTC9102は、802.3af、802.3at、および802.3btに準拠したPDに電力を供給するよう設計されています。LTC9101-2/LTC9102チップセットは、パワー・チャンネルごとに低R_{DS(ON)}の外部MOSFETと0.1Ωの検出抵抗を利用することで、同様のデバイス中で最も低い熱損失を実現します。トランス絶縁型の通信プロトコルを使用しているため、高価なフォトカプラや複雑な絶縁型3.3V電源は不要で、部品コストを大幅に低減できます。

高度なパワー・マネージメント機能には、ポートごとの14ビット電流/電圧モニタリング、プログラマブル電力制限、事前選択したポートに対する柔軟な高速のシャットダウンなどが含まれています。また、高度なパワー・マネージメント・ホスト・ソフトウェア・レイヤを利用することができます。PD検出には独自のマルチポイント検出機構を使用しており、PDの誤検出を高い確率で防止します。また、Autoclassと5イベントによる物理層分類をサポートしています。LTC9101-2/LTC9102は、1MHzまで動作可能なI²Cシリアル・インターフェースを内蔵しています。LTC9101-2/LTC9102は、ピンまたはI²Cを使い、最大71.3Wまでの範囲でPDへの供給電力を設定できます。

標準的応用例



LTC9101-2/LTC9102

絶対最大定格

(Note 1, 4)

LTC9101-2

電源電圧 (DGND 基準)

V_{DD} $-0.3V \sim 3.6V$

CAP1, CAP2 $-0.3V \sim 1.32V$

デジタル・ピン

ADn, CFGn, OSS, SDAIN, SDAOUT,

SCL, RESET, INT $-0.3V \sim V_{DD} + 0.3V$

アナログ・ピン

CPD, CND, DPD, DND $-0.3V \sim V_{DD} + 0.3V$

動作周囲温度 $-40^{\circ}C \sim 85^{\circ}C$

動作ジャンクション温度 (Note 2) $-40^{\circ}C \sim 125^{\circ}C$

保管温度範囲 $-65^{\circ}C \sim 150^{\circ}C$

(Note 1)

LTC9102

電源電圧 (V_{EE} 基準)

AGND $-0.3V \sim 80V$

PWRIN $-0.3V \sim 80V$

CAP3, CAP4 $-0.3V \sim 5V$

VSSKn $-0.3V \sim 0.3V$

アナログ・ピン

SENSEn, OUTn $-20V \sim 80V$

GATEn, IDn, PWRMDn $-0.3V \sim 80V$

CPA, CNA, DPA, DNA $-0.3V \sim CAP3 + 0.3V$

EXT3 $-0.3V \sim 30V$

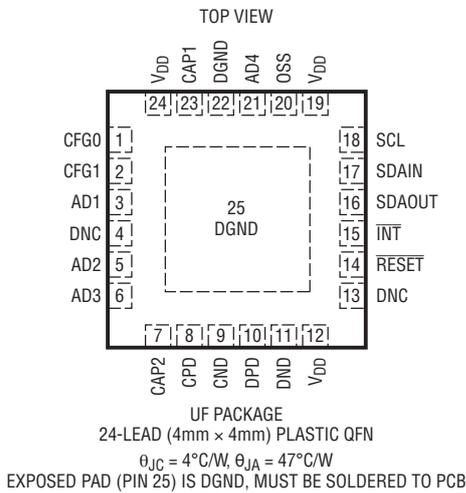
動作周囲温度 $-40^{\circ}C \sim 85^{\circ}C$

動作ジャンクション温度 (Note 2) $-40^{\circ}C \sim 125^{\circ}C$

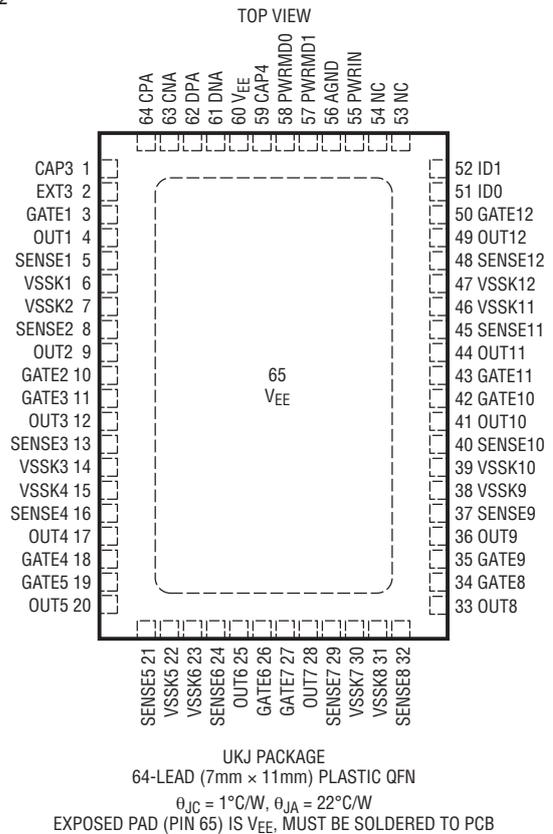
保管温度範囲 $-65^{\circ}C \sim 150^{\circ}C$

ピン配置

LTC9101-2



LTC9102



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージの説明	温度範囲
LTC9101AUF-2#PBF	LTC9101AUF-2#TRPBF	91012	24ピン(4mm×4mm)プラスチックQFN	-40°C~85°C
LTC9102AUKJ#PBF	LTC9102AUKJ#TRPBF	LTC9102	64ピン(7mm×11mm)プラスチックQFN	-40°C~85°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。

テープ&リールの仕様。一部のパッケージは指定された販売チャンネルを通じて500個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は、特に指定のない限り $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Main PoE Supply Voltage	AGND - V_{EE} Type 3 Compliant Output Type 4 Compliant Output	●	51	57	V	
			●	53	57	V	
			●				
	LTC9102 Undervoltage Lockout	AGND - V_{EE}	●	8.2	9	V	
V_{DD}	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3	3.3	3.6	V
	Undervoltage Warning			2.8		V	
	Undervoltage Lockout			2.6		V	
	V_{DD} Slew Rate, Falling	$2.4 \leq V_{DD} - \text{DGND} \leq 3.0$ (Note 7)			20	mV/ μs	
V_{CAP1} , V_{CAP2}	Internal Regulator Supply Voltage	$V_{CAP1} - \text{DGND}$, $V_{CAP2} - \text{DGND}$ (Note 13)		1.2		V	
V_{CAP3}	Internal 3.3V Regulator Supply Voltage	CAP3 - V_{EE} (Note 13)	●	3	3.3	3.6	V
$t_{CAP3EXT}$	CAP3 External Supply Rise Time	$0.5\text{V} < \text{CAP3} < \text{CAP3}(\text{Min})$, EXT3 Tied to CAP3 (Note 7)	●		1	ms	
V_{CAP4}	Internal 4.3V Regulator Supply Voltage	CAP4 - V_{EE} (Note 13)	●	4.3		V	
I_{EE}	V_{EE} Supply Current	PWRIN Pin Connected to AGND, EXT3 LOW, All Gates Fully Enhanced		7.7	11	14	mA
	3.3V Rail Supply Current	From CAP3 = 3.3V (EXT3 HIGH)		4.2	5.4	6.6	mA
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●	40	60	mA	

Detection/Connection Check

	Forced Current	Load Resistance 15.5k to 32k	●	220	240	260	μA
			●	143	160	180	μA
	Forced Voltage	Load Resistance 18.5k to 27.5k	●	7	8	9	V
			●	3	4	5	V
	Detection/Connection Check Current Compliance	AGND - $\text{OUT}_n = 0\text{V}$	●	0.8	0.9	mA	
V_{OC}	Detection/Connection Check Voltage Compliance	AGND - OUT_n , Open Port	●	10.4	12	V	
	Detection/Connection Check Voltage Slew Rate	AGND - OUT_n , $C_{PORT} = 150\text{nF}$ (Note 7)	●		0.01	V/ μs	
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

Classification

V_{CLASS}	Classification Voltage	AGND - OUT_n , $\text{SENSE}_n - \text{VSSK}_n < 5\text{mV}$	●	16	20.5	V
	Classification Current Compliance	$\text{SENSE}_n - \text{VSSK}_n$, $\text{OUT}_n = \text{AGND}$ (Note 15)	●	7	8	9

LTC9101-2/LTC9102

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は、特に指定のない限り $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	Classification Threshold	SENSE _n – VSSK _n (Note 15) Class Signature 0 to 1 Class Signature 1 to 2 Class Signature 2 to 3 Class Signature 3 to 4 Class Signature 4 to Overcurrent	● ● ● ● ●	0.5 1.3 2.1 3.1 4.5	0.65 1.45 2.3 3.3 4.8	0.8 1.6 2.5 3.5 5.1	mV mV mV mV mV
V _{MARK}	Classification Mark State Voltage	AGND – OUT _n , SENSE _n – VSSK _n < 5mV	●	7.5	9	10	V
	Mark State Current Compliance	OUT _n = AGND	●	7	8	9	mV
Gate Driver							
	GATE Pin Pull-Down Current	Port Off, GATE _n = V _{EE} + 5V		1			mA
	GATE Pin Fast Pull-Down Current	GATE _n = V _{EE} + 5V		65			mA
	GATE Pin On Voltage	GATE _n – V _{EE} , I _{GATE_n} = 1μA	●	11		14	V
Output Voltage Sense							
V _{PG}	Power Good Threshold Voltage	OUT _n – V _{EE}	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	Port On Port Off	● ●	300	2500 500	700	kΩ kΩ
Current Sense							
V _{LIM-2P}	Active Current Limit, Single-Signature PD	OUT _n – V _{EE} < 10V Class 1 to Class 3 Class 4 to Class 6 Class 7 Class 8	● ● ● ●	40 80 100 110	42.5 85 106 117	45 90 112 124	mV mV mV mV
	Active Current Limit, Dual-Signature PD	OUT _n – V _{EE} < 10V Class 1 to Class 3 Class 4 Class 5	● ● ●	40 80 110	42.5 85 117	45 90 124	mV mV mV
V _{INRUSH-2P}	Active Current Limit, Inrush	OUT _n – V _{EE} < 30V (Note 16) Single-Signature, Class 1 to 4, 4-Pair Power All Others	● ●	20 40	21.3 42.5	22.5 45	mV mV
V _{HOLD-2P}	DC Disconnect Sense Voltage	SENSE _n – VSSK _n Single-Signature Class 1 to 4, 4-Pair Power Single-Signature Class 1 to 4, 2-Pair Power Single-Signature Class 5 to 8, 4-Pair Power Dual Signature, 2-Pair or 4-Pair Power	● ● ● ●	200 500 200 200	350 700 350 350	500 900 700 700	μV μV μV μV
V _{SC}	Short-Circuit Sense	SENSE _n – VSSK _n – V _{LIM-2P}			60		mV
Port Current Readback (See Typical Performance Characteristics, Note 17)							
	Full-Scale Range	(Notes 7, 15)		204.6			mV
	LSB Weight	SENSE _n – VSSK _n , VSSK _n = V _{EE} (Note 15)		24.98			μV/LSB
	Conversion Period			1.967			ms
V_{EE} Readback (See Typical Performance Characteristics, Note 17)							
	Full-Scale Range	(Note 7)		82			V
	LSB Weight	AGND – V _{EE}		10.01			mV/LSB
	Conversion Period			1.967			ms

電氣的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は、特に指定のない限り $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $AGND - V_{EE} = 55\text{V}$ 、 $V_{DD} - DGND = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Digital Interface							
V _{ILD}	Digital Input Low Voltage	AD _n , RESET, OSS, CFG _n (Note 6)	●		0.8	V	
	I ² C Input Low Voltage	SCL, SDA _{IN} (Note 6)	●		1	V	
V _{IHD}	Digital Input High Voltage	(Note 6)	●	2.2		V	
	Digital Output Low Voltage	I _{SDAOUT} = 3mA, I _{INT} = 3mA I _{SDAOUT} = 5mA, I _{INT} = 5mA	●		0.4	V	
			●		0.7	V	
	Internal Pull-Up to V _{DD}	AD _n , RESET, OSS		50		kΩ	
	Internal Pull-Down to DGND	CFG ₀		50		kΩ	
	EXT3 Pull-Down to V _{EE}			50		kΩ	
	ID _n Internal Pull-Up to CAP4	ID _n = 0V		5		μA	
PSE Timing Characteristics (Note 7)							
t _{DET}	Detection Time	Beginning to End of Detection	●	380	500	ms	
t _{CLASS_RESET}	Classification Reset Duration		●	15		ms	
t _{CEV}	Class Event Duration		●	6	15	20	ms
t _{CEVON}	Class Event Turn On Duration	C _{PORT} = 0.6μF	●		0.1	ms	
t _{LCE}	Long Class Event Duration		●	88	105	ms	
t _{CLASS}	Class Event I _{CLASS} Measurement Timing		●	6		ms	
t _{CLASS_LCE}	Long Class Event I _{CLASS} Measurement Timing		●	6	75	ms	
t _{CLASS_ACS}	Autoclass I _{CLASS} Measurement Timing		●	88	105	ms	
t _{ME1}	Mark Event Duration (Except Last Mark Event)	(Note 11)	●	6	9.6	12	ms
t _{ME2}	Last Mark Event Duration	(Note 11)	●	6	20	ms	
t _{PON}	Power On Delay, Auto Mode	From End of Valid Detect to End of Valid Inrush (Note 14)	●		400	ms	
t _{AUTO_PSE1}	Autoclass Power Measurement Start	From End of Inrush to Beginning of Autoclass Power Measurement	●	1.4	1.6	s	
t _{AUTO_PSE2}	Autoclass Power Measurement End	From End of Inrush to End of Autoclass Power Measurement	●	3.1	3.5	s	
t _{AUTO_WINDOW}	Autoclass Average Power Sliding Window		●	0.15	0.23	0.3	s
t _{ED}	Fault Delay	From Power On Fault to Next Detect	●	1.0	1.3	1.8	s
t _{START}	Maximum Current Limit Duration During Inrush		●	50	60	75	ms
t _{LIM}	Maximum Current Limit Duration After Inrush	(Note 12) Type 1, t _{LIMn} = 0x0 Spare, t _{LIMn} = 0x1 (Type 3/4 Chip Set) Type 2 and 3, t _{LIMn} = 0x2 Type 4, t _{LIMn} = 0x3		50		ms	
				15		ms	
				10	15	22	ms
				6	11	17	ms
t _{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Note 8)	●		6	ms	
t _{DIS}	Maintain Power Signature (MPS) Dropout Time	(Note 5)	●	320	370	400	ms
t _{BIT}	Bit Duration		●	24	25	26	μs
t _{OSS-OFF}	Shutdown Priority Delay		●	6.5	10	μs	
t _{r_OSS}	OSS Rise Time		●	1	300	ns	
t _{f_OSS}	OSS Fall Time		●	1	300	ns	
t _{OSS_IDL}	OSS Idle Time			50		μs	

LTC9101-2/LTC9102

電気的特性

●は、全動作温度範囲に適用される仕様であることを示します。それ以外は、特に指定のない限り $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
	I ² C Watchdog Timer Duration		●	1.5	2	3	s
	Minimum Pulse Width for Masked Shutdown		●	3			μs
	Minimum Pulse Width for RESET		●	4.5			μs

I²C Timing (Note 7)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f _{SCLK}	Clock Frequency		●		1	MHz
t ₁	Bus Free Time	Figure 5 (Note 9)	●	480		ns
t ₂	Start Hold Time	Figure 5 (Note 9)	●	240		ns
t ₃	SCL Low Time	Figure 5 (Note 9)	●	480		ns
t ₄	SCL High Time	Figure 5 (Note 9)	●	240		ns
t ₅	SDAIN Data Hold Time	Figure 5 (Note 9)	●	60		ns
	Data Clock to SDAOUT Valid	Figure 5 (Note 9)	●		250	ns
t ₆	Data Set-Up Time	Figure 5 (Note 9)	●	80		ns
t ₇	Start Set-Up Time	Figure 5 (Note 9)	●	240		ns
t ₈	Stop Set-Up Time	Figure 5 (Note 9)	●	240		ns
t _r	SCL, SDAIN Rise Time	Figure 5 (Note 9)	●		120	ns
t _f	SCL, SDAIN Fall Time	Figure 5 (Note 9)	●		60	ns
	Fault Present to INT Pin Low	(Notes 9, 10)	●		150	ns
	Stop Condition to INT Pin Low	(Notes 9, 10)	●		1.5	μs
	ARA to INT Pin High Time	(Note 9)	●		1.5	μs
	SCL Fall to ACK Low	(Note 9)	●		250	ns

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: このチップセットは、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は140°Cを超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

Note 3: デバイスのピンに流れ込む電流はすべて正です。デバイスのピンから流れ出す電流はすべて負です。

Note 4: LTC9102は負の電源電圧 (AGND基準) で動作します。混乱を避けるために、このデータシートの電圧は絶対値で示されています。

Note 5: t_{DIS}は、IEEE 802.3に定めるt_{MPDO}と同じです。

Note 6: LTC9101-2のデジタル・インターフェースはDGND基準で動作します。すべてのロジック・レベルはDGND基準で測定されます。

Note 7: 設計上の性能は確保していますが、テストの対象外です。

Note 8: IEEE 802.3は、電力維持のための最小PSEおよびPD入力電流条件のセットとしてMPSを定義しています。LTC9101-2/LTC9102のポートは、 $V_{SENSEn} - V_{SSKn} \geq V_{HOLD-2P}$ の状態がt_{MPS}だけ続くとそのMPSタイマーをリセットし、 $V_{SENSEn} - V_{SSKn} \geq V_{HOLD-2P}$ の状態がt_{DIS}を超えるとポートの電力供給を停止します。切断のセクションを参照してください。

Note 9: V_{IHD}で測定した値。

Note 10: I²Cトランザクション中にフォルト状態が生じた場合でも、I²Cバスの停止条件が満たされるまでINTピンはプルダウンされません。

Note 11: マーク時のLTC9102の負荷特性: $7V < (\text{AGND} - V_{OUTn}) < 10V$ 。

Note 12: シリアル・バスの使用法、デバイスの設定、およびステータス・レジスタについては、LTC9101-2NDASIソフトウェア・プログラミング・マニュアルを参照してください。

Note 13: CAP1、CAP2、CAP3、CAP4から電流のソースやシンクはしないでください。

Note 14: シングル・シグネチャPDの場合、t_{PON}の測定は、どちらかのパワー・チャンネルで有効な検出が終了した時点から開始されます。デュアル・シグネチャPDの場合、t_{PON}の測定は、同じパワー・チャンネルで有効な検出が終了した時点から開始されます。

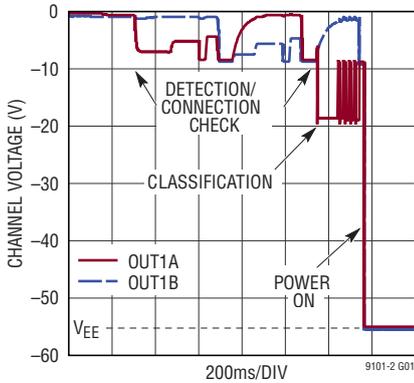
Note 15: ポート電流とポート電力の測定値は、検出抵抗の値 (代表値: 0.1Ω) によって異なります。詳細については、外付け部品の選択のセクションを参照してください。

Note 16: 突入電流閾値の選択については、突入電流の制御のセクションを参照してください。

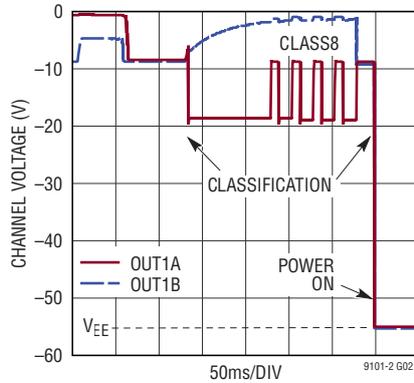
Note 17: ADCの特性と代表的性能値は、LTC9102のハードウェア能力に関するものです。LTC9102での測定値はLTC9101-2で処理と合成が行われます。レジスタの説明とユーザに提示されるLSBの重み付け (ポート電流、ポート電圧、V_{EE}電圧、およびシステム温度) については、LTC9101-2NDASIソフトウェア・インターフェースを参照してください。

代表的な性能特性 (特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)

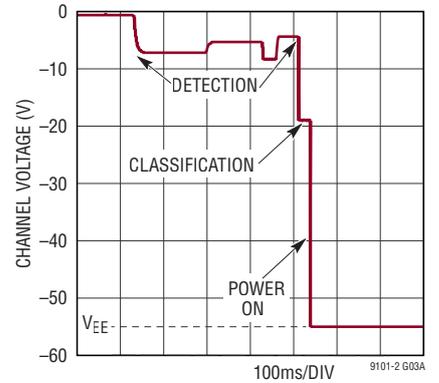
802.3bt シングル・シグネチャの
パワーオン・シーケンス、4ペア



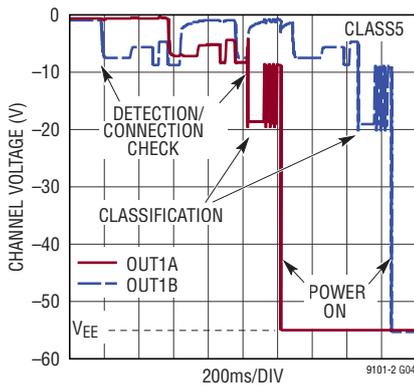
802.3bt シングル・シグネチャの
分類とパワーオン、4ペア



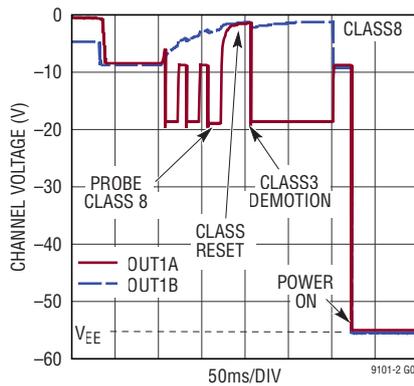
シングル・シグネチャのパワー・
オン・シーケンス、タイプ1モード



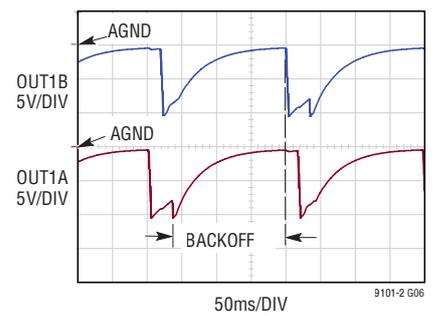
802.3bt デュアル・シグネチャの
パワーオン・シーケンス



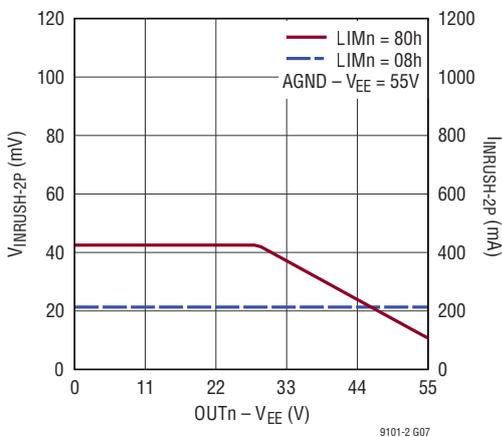
802.3bt シングル・シグネチャの
クラス・プロブとクラス格下げ



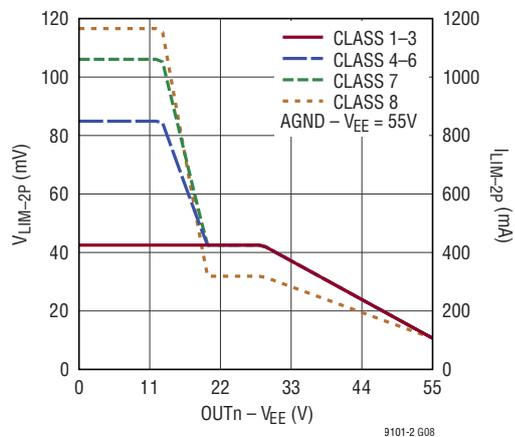
オープン・サーキット検出



突入電流制限 (Note 16)

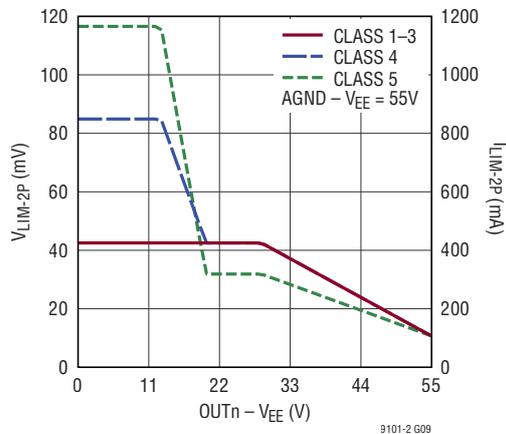


パワーオン電流制限
(シングル・シグネチャ)

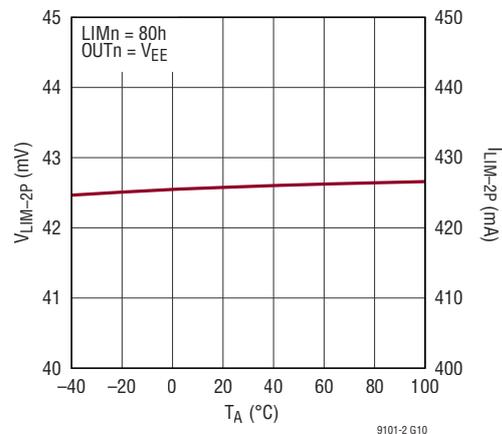


代表的な性能特性 (特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)

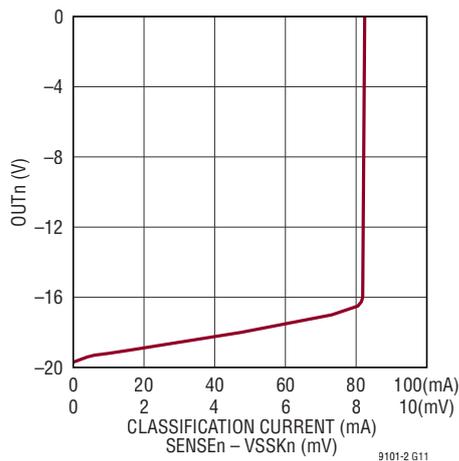
パワー・オン電流制限
(デュアル・シグネチャ)



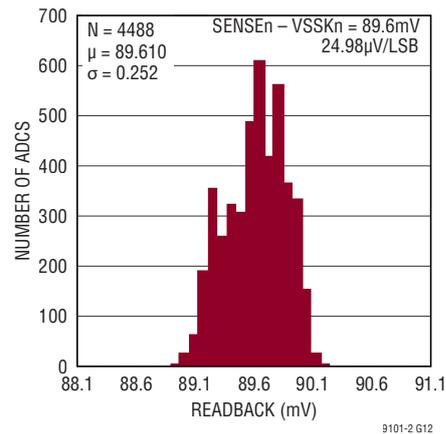
I_{LIM-2P} と温度の関係



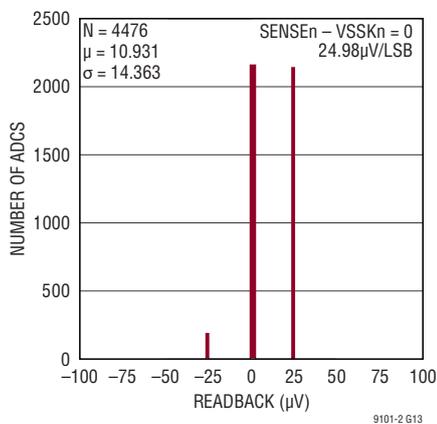
分類電流コンプライアンス



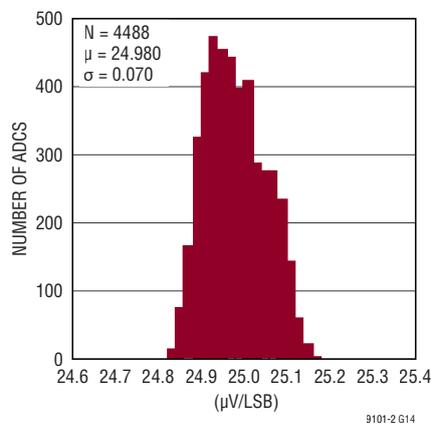
ポート電流のリードバック



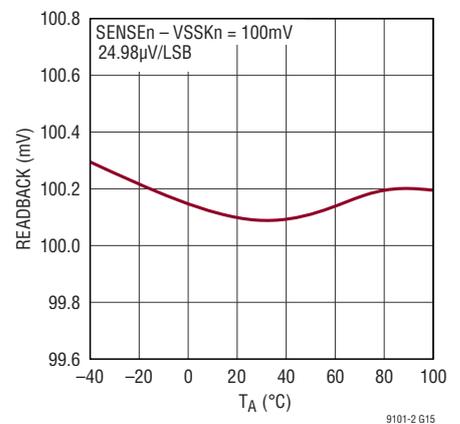
ポート電流リードバック・オフセット



ポート電流リードバックLSB

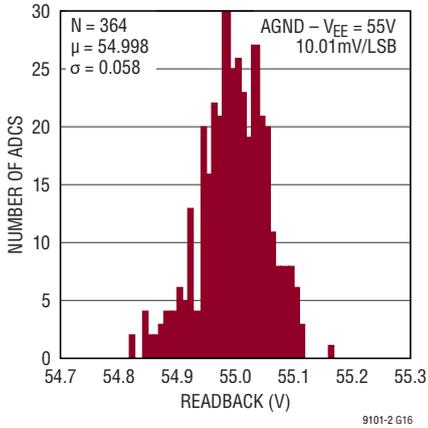


ポート電流リードバックと温度の関係



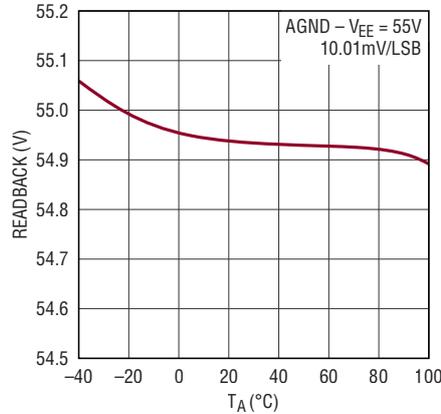
代表的な性能特性 (特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)

V_{EE} のリードバック



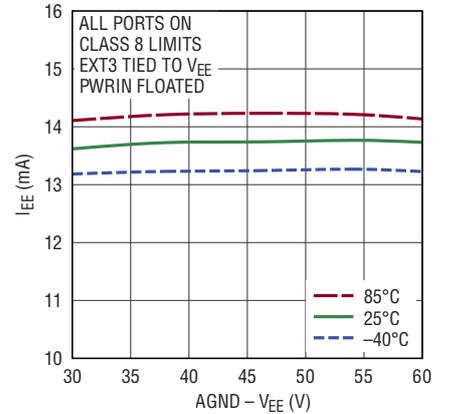
9101-2 G16

V_{EE} リードバックと温度の関係



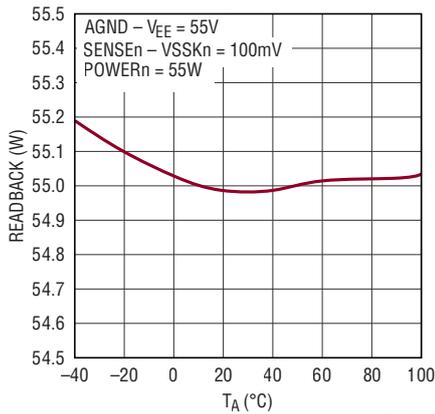
9101-2 G17

V_{EE} 電源電流と電圧および温度の関係



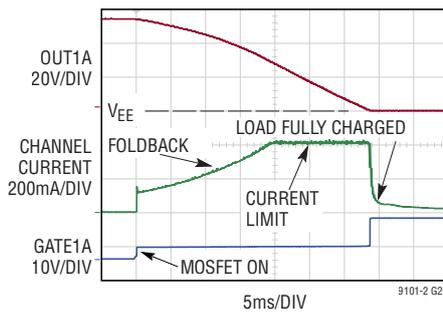
9101-2 G18

ポート電力リードバックと温度の関係



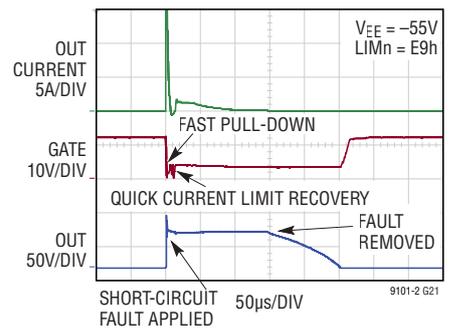
9101-2 G19

負荷 180 μ F のときのパワーアップ



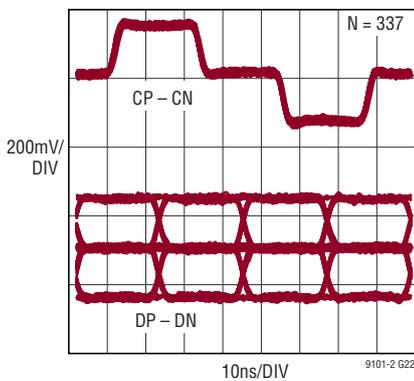
9101-2 G20

短絡からの回復



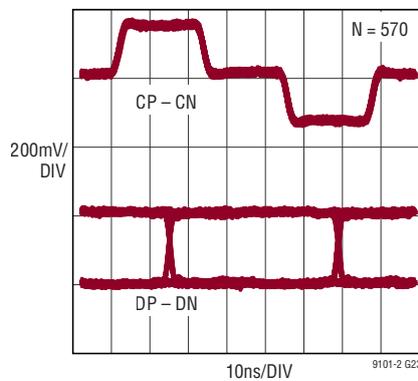
9101-2 G21

クロックとデータ書込みのアイ・ダイアグラム



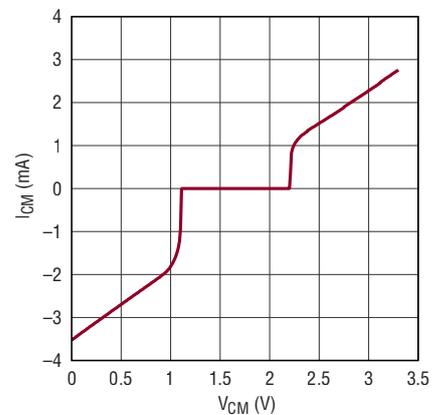
9101-2 G22

クロックとデータ読出しのアイ・ダイアグラム



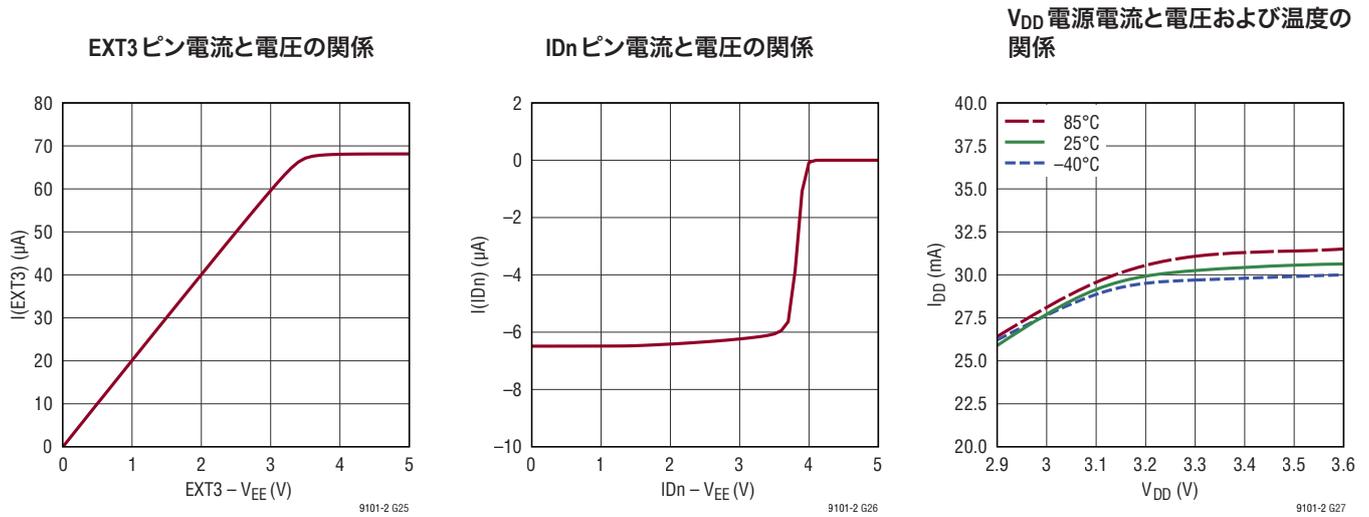
9101-2 G23

LTC9102 の CP/CN および DP/DN コマンド・モード補正電流



9101-2 G24

代表的な性能特性 (特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)



テスト・タイミング図

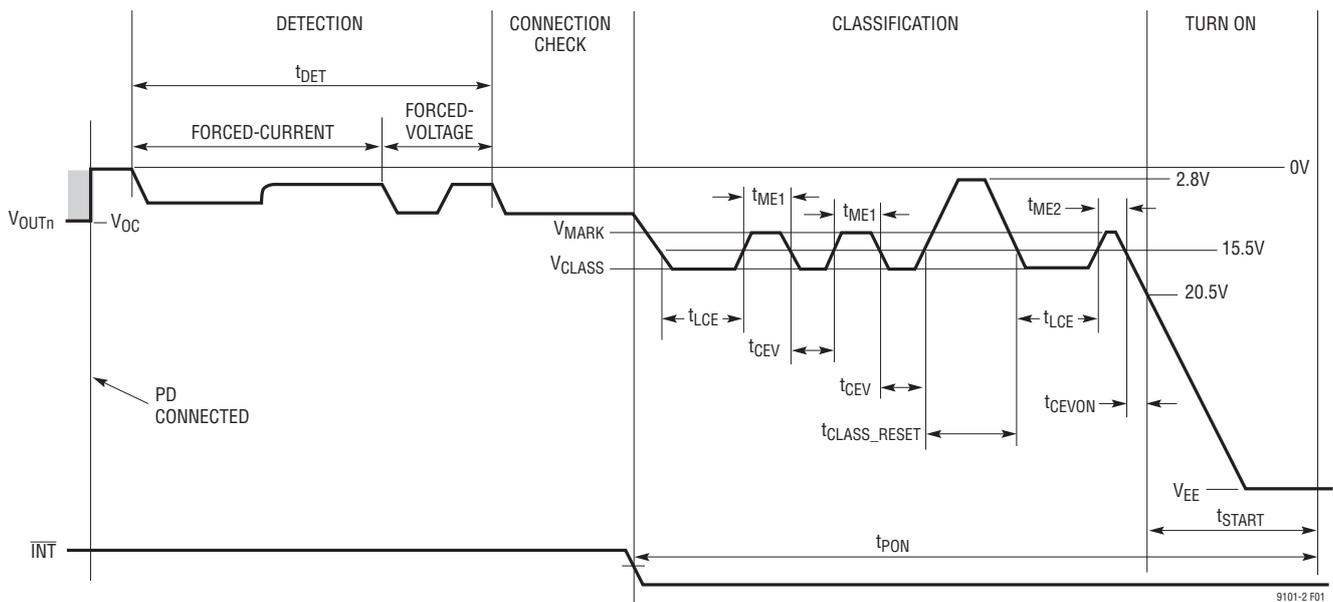


図1. 検出、分類、およびターン・オンのタイミング
(4ペア・ポート、プライマリ・オルタナティブ、自動または半自動モード)

テスト・タイミング図

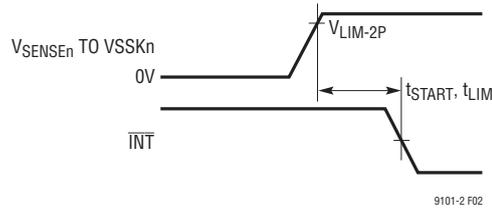


図2. 電流制限タイミング

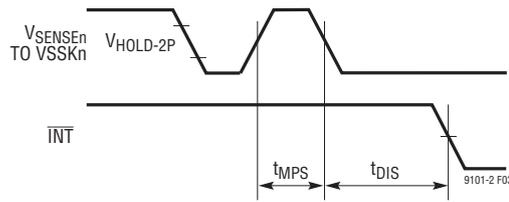


図3. DC切断タイミング、デュアル・シグネチャ・チャンネル

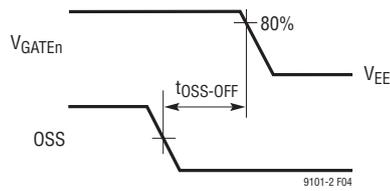


図4. 1ビット・シャットダウン優先度モードのタイミング

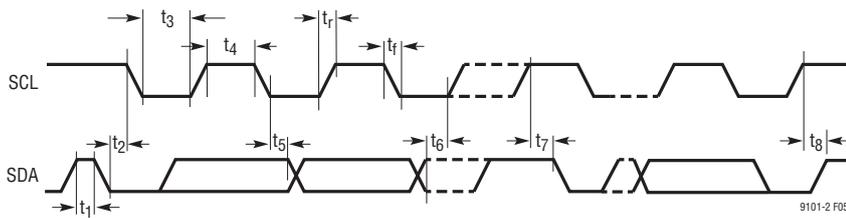


図5. I²C インターフェース・タイミング

I²C タイミング図

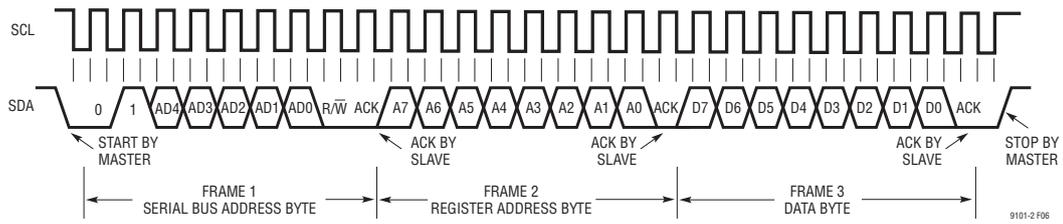


図6. レジスタへの書込み

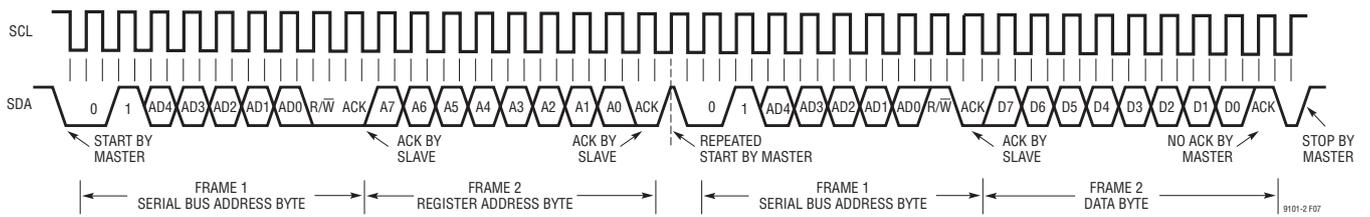


図7. レジスタからの読出し

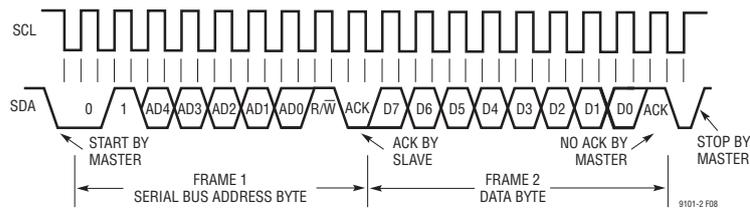


図8. 割込みレジスタの読出し(ショート・フォーム)

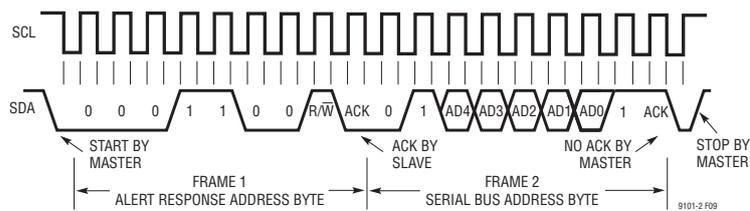


図9. アラート応答アドレスからの読出し

ピン機能

LTC9101-2

CFG[1:0] (それぞれピン2と1) : デバイス設定入力。ポート数、ポートあたりのチャンネル数、および接続するLTC9102の数を設定するには、これらの設定ピンをハイまたはローに接続します。詳細については、[デバイスの設定](#)を参照してください。カスタム設定パッケージが存在する場合、CFG[0]は無視されます。詳細については保存されている設定のセクションを参照してください。

CAP[2:1] (それぞれピン7と23) : コア電源バイパス・コンデンサ。これらのピンは、内部1.2Vレギュレータのバイパス用に1 μ Fのコンデンサを介してDGNDに接続します。コンデンサの容量は必ず1 μ Fとしてください。また、このピンから電流のソースやシンクをしないでください。

CPD (ピン8) : クロック・トランシーバーの正の入出力(デジタル)。データ・トランスを介してCPAに接続してください。

CND (ピン9) : クロック・トランシーバーの負の入出力(デジタル)。データ・トランスを介してCNAに接続してください。

DPD (ピン10) : データ・トランシーバーの正の入出力(デジタル)。データ・トランスを介してDPAに接続してください。

DND (ピン11) : データ・トランシーバーの負の入出力(デジタル)。データ・トランスを介してDNAに接続してください。

V_{DD} (それぞれピン12、19、24) : V_{DD} IO電源。DGND基準の3.3V電源に接続します。それぞれのV_{DD}ピンは、0.1 μ F以上のコンデンサを使いローカルでバイパスする必要があります。サージ耐性を向上させるには、V_{DD}に10 μ Fのバルク・コンデンサを接続する必要があります。

RESET (ピン14) : リセット入力、アクティブ・ロー。 $\overline{\text{RESET}}$ がローになるとLTC9101-2/LTC9102は非アクティブになり、すべてのポートがオフになって内部レジスタもすべてリセットされます。 $\overline{\text{RESET}}$ がハイになると、LTC9101-2/LTC9102は通常動作を開始します。 $\overline{\text{RESET}}$ は、外付けのコンデンサまたはRC回路に接続してパワー・オン遅延を設定することができます。 $\overline{\text{RESET}}$ には内部フィルタリングがあるため、幅1 μ s未満のグリッチによってLTC9101-2/LTC9102がリセットされることはありません。内部でV_{DD}にプルアップされます。

INT (ピン15) : 割込み出力、オープン・ドレイン。いくつかのイベントのいずれか1つがLTC9101-2内で発生すると、 $\overline{\text{INT}}$ はローになります。このピンは、Resetレジスタのビット6または7がセットされると高インピーダンス状態に戻ります。 $\overline{\text{INT}}$ 信号を使用すればホスト・プロセッサへの割込みを生成できるので、継続的にソフトウェア・ポーリングを行う必要がなくなります。 $\overline{\text{INT}}$ イベントは、Int Maskレジスタを使って個別にディスエーブルできます。詳細についてはLTC9101-2NDASIソフトウェア・プログラミング・マニュアルを参照してください。 $\overline{\text{INT}}$ は2つのI²Cトランザクションの間にもみ更新されます。

SDAOUT (ピン16) : シリアル・データ出力、つまりI²Cシリアル・インターフェース・バスのオープン・ドレイン・データ出力。LTC9101-2は、2つのピンを使って双方向SDA機能を実現し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、[アプリケーション情報](#)を参照してください。

SDAIN (ピン17) : シリアル・データ入力。I²Cシリアル・インターフェース・バスの高インピーダンス・データ入力。LTC9101-2は、2つのピンを使って双方向SDA機能を実現し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、[アプリケーション情報](#)を参照してください。

SCL (ピン18) : シリアル・クロック入力。I²Cシリアル・インターフェース・バスの高インピーダンス・クロック入力。SCLピンは、I²C SCLバス・ラインに直接接続する必要があります。I²Cシリアル・インターフェース・バスを使用しない場合は、SCLをハイに接続してください。

OSS (ピン20) : マスク可能なシャットダウン入力、アクティブ・ハイ。1ビット・シャットダウン優先度と3ビット・シャットダウン優先度の両方がサポートされています。詳細については[過電流シャットダウン\(OSS\)](#)のセクションを参照してください。内部でDGNDにプルダウンされます。

AD[4:1] (それぞれピン21、6、5、3) : I²Cアドレス・ビット4~1。ベースI²Cシリアル・アドレスを設定するには、これらのアドレス・ピンをハイまたはローに接続します。ベース・アドレスは(01A4A3A2A10b)になります。内部でV_{DD}にプルアップされます。詳細についてはバスのアドレス指定のセクションを参照してください。

DGND (ピン22、25) : デジタル・グラウンド。DGNDは、V_{DD}電源からのリターンに接続する必要があります。

LTC9102

CAP3 (ピン1) : 3.3V内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に1 μ Fのセラミック・コンデンサを接続してください。3.3V電源をこのピンに接続すれば、電源効率を向上させることができます。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3と同じ電圧にする必要があります。また、このピンから電流のソースやシンクをしないでください。アナログ・デバイセズのマニュアルに明示されている場合(例えば、LTC9102のピンをストラップ配線する場合やシリアル・インターフェースを終端する場合)を除き、CAP3には何も接続しないでください。

EXT3 (ピン2) : 外部3.3Vイネーブル。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3に接続します。内部レギュレータを作動させるには、フロート状態にするかV_{EE}に接続してください。

ピン機能

VSSK[12:1](それぞれピン47、46、39、38、31、30、23、22、15、14、7、6) : V_{EE} へのケルビン検出接続。0.1 Ω の抵抗を介して、チャンネルn用検出抵抗の V_{EE} 側へ接続します。 V_{EE} プレーンに直接接続することはしないでください。[ケルビン検出](#)の条件を参照してください。

SENSE[12:1](それぞれピン48、45、40、37、32、29、24、21、16、13、8、5) : チャンネルnの電流検出入力。SENSEnは、SENSEnとVSSKnの間にある0.1 Ω の検出抵抗を介して外部MOSFETの電流をモニタします。検出抵抗の電圧が電流制限閾値 I_{LIM-2P} に達すると、外部MOSFETの電流を一定に保つためにGATEnピン電圧が下げられます。詳細については、[アプリケーション情報](#)を参照してください。そのチャンネルを使わない場合は、SENSEnを V_{EE} 接続します。

OUT[12:1](それぞれピン49、44、41、36、33、28、25、20、17、12、9、4) : チャンネルnの出力電圧モニタ。OUTnを出力チャンネルに接続してください。ドレインとソース間の電圧が10Vを超えた場合は、電流制限閾値を下げることによって、電流制限フォールドバック回路が外部MOSFETの消費電力を制限します。OUTnと V_{EE} 間の電圧が2.4V(代表値)未満になると、ポート・パワーグッド・イベントが生成されます。チャンネルがアイドル状態のときは、OUTnとAGND間に500kの抵抗が内部で接続されます。そのチャンネルを使用しない場合は、OUTnピンをフロート状態にしてください。

GATE[12:1](それぞれピン50、43、42、35、34、27、26、19、18、11、10、3) : チャンネルnのゲート駆動。GATEnをチャンネルnの外部MOSFETのゲートに接続してください。MOSFETをオンすると、ゲート電圧が V_{EE} より12V(代表値)高い値に駆動されます。電流制限状態では、外部MOSFETに流れる電流を一定に保つためにGATEnの電圧が下げられます。フォルト・タイマーが終了するとGATEnがプルダウンされてMOSFETがオフになり、ポート・フォルト・イベントが生成されます。そのチャンネルを使用しない場合は、GATEnピンをフロート状態にしてください。

ID[1:0](それぞれピン52と51) : トランシーバーID。マルチドロップ高速データ・インターフェース上でのLTC9102のアドレスを設定します。IDの値は00bから始めてください。CAP3に接続することによってハイにし、 V_{EE} に接続することによってローにします。詳細については[デバイスの設定](#)のセクションを参照してください。

PWRIN(ピン55) : スタートアップ・レギュレータ・バイパスおよび外部低電圧電源入力。内部4.3Vおよび3.3V電源用の電力。内部レギュレータがこのピンの電圧を6Vより高い値に維持します。このノードに外付けの抵抗または電源を接続

すれば、LTC9102の電力効率を改善することができます。このピンと V_{EE} の間には1 μ Fのコンデンサを接続してください。

AGND(ピン56) : アナログ・グラウンド。

PWRMD[1:0](それぞれピン57と58) : 最大電力モード入力。ID[1:0] = 00bとして、設定抵抗 R_{PWRMD} を使いLTC9102のPWRMD0を V_{EE} に接続します。LTC9101-2をリセットすると、 R_{PWRMD} がチップセット内のすべてのポートの初期最大電力割当て値を選択します。システム電源のサイズは、 R_{PWRMD} までの電力を出力するすべてのポートに対応できるように決定する必要があります。自動モードをイネーブルすると、チップセットはPoE PSEとして独立して動作します。チップセットはすべてのポートの検出と分類を行い、 R_{PWRMD} で設定された値までの電力を各ポートに供給できるようにします。IDピンが01b、10b、および11bに設定されたLTC9102のPWRMD0ピンは、フロート状態のままにしておく必要があります。すべてのLTC9102のPWRMD1ピンもフロート状態のままにしてください。 R_{PWRMD} オプションの詳細については、[自動モードでの最大PSE電力](#)を参照してください。カスタム設定パッケージが存在する場合、PWRMDピンは無視されます。詳細については、[保存されている設定](#)を参照してください。

CAP4(ピン59) : 4.3V内部アナログ電源のバイパス・コンデンサ。 V_{EE} との間に1 μ Fのセラミック・コンデンサを接続してください。また、このピンから電流のソースやシンクをしないでください。

V_{EE} (ピン60、65) : PoE主電源入力。AGNDを基準として-51V~-57Vの電源に接続します。電圧はPSEのタイプ(タイプ3または4)によって異なります。

DNA(ピン61) : データ・トランシーバーの負の入出力(アナログ)。データ・トランスを介してDNDに接続してください。

DPA(ピン62) : データ・トランシーバーの正の入出力(アナログ)。データ・トランスを介してDPDに接続してください。

CNA(ピン63) : クロック・トランシーバーの負の入出力(アナログ)。データ・トランスを介してCNDに接続してください。

CPA(ピン64) : クロック・トランシーバーの正の入出力(アナログ)。データ・トランスを介してCPDに接続してください。

共通ピン

NC、DNC(LTC9101-2のピン4と13、LTC9102のピン53と54) : 「NC」または「DNC」で識別されるピンは、すべて未接続のままにしてください。

アプリケーション情報

概要

PoE (Power over Ethernet)は、銅製のイーサネット用データ配線を使ってDC電力を供給するための標準プロトコルです。802.3イーサネット・データ規格を管理するIEEEグループは、PoE給電機能を2003年に追加しました。802.3afと呼ばれる最初のPoE規格は、最大13Wで48VのDC電力を供給できました。802.3afは広く普及していましたが、アプリケーションによっては13Wの電力では不十分でした。2009年、IEEEは802.3at (PoE+)として知られる新規格を公開し、電圧と電流の条件を上げて25.5Wの電力を供給できるよう規定しました。IEEE 802.3afと802.3atはPoE 1として広く認知されています。更に2018年、IEEEは802.3bt (PoE 2)と呼ばれる最新のPoE規格を公開しました。802.3btではPDの最大供給電力が71.3Wまで上げられています。

IEEE規格はPoEの用語も定義しています。ネットワークに電力を供給するデバイスはPSE (Power Sourcing Equipment)と呼ばれ、ネットワークから電力を取り込むデバイスはPD (Powered Device)と呼ばれます。PSEには2つのタイプがあります。データと電力を供給するエンドポイント(代表的なものとしてはネットワーク・スイッチやルータ)と、電力を供給する一方でデータはパス・スルーするミッドスパンです。ミッドスパンは、主にPoE非対応の既存ネットワークにPoE機能を追加するために使われます。PDの代表的なものは、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどです。

PoE++の進化

IEEE 802.3at (PoE 1)の25.5W規格の策定中でさえ25.5Wを超える供給電力を求める声は大きく、その声は更に高まるであろうことは明らかでした。2013年には、増大するPD供給電力に対応できる規格を策定するために802.3bt作業部会が設置されました。

この作業部会の主な目標は、802.3atで利用されている2ペアの電源ではなく、4ペアのイーサネット・ケーブルすべてを使用することでした。4ペアすべてを使用すれば、既存のイーサネット・ケーブルに対して少なくとも2倍の電力を供給することができます。更に、イーサネットのデータ信号の完全性を維持しながら、(ペアセットと呼ばれる)2ペアあたりの電流量も増加しました。802.3btではPD供給電力が25.5Wから71.3Wに増加し、IEEE準拠の大電力PDアプリケーションを実現することが可能になります。

LTC9101-2/LTC9102は1個または2個のパワー・チャンネルを使って電力を供給します。各ペアは、専用のパワー・チャンネルによって駆動されます。このデータシートでは、「チャンネル」という語は対応するペアセットに割り当てられたPSE回路のことを指します。したがって、このデータシートにおいては、「チャンネル」と「ペアセット」という語は同義と見なすことができます。

加えて、IEEE 802.3btでは電力維持シグネチャ (Maintain Power Signature: MPS)電流を大幅に低減できるので、待機時の消費電力も大幅に減ります。これにより、標準的なPoE部品を使って、政府や業界の新たな待機電力規制を満たすことができます。

LTC9101-2/LTC9102の製品概要

LTC9101-2/LTC9102は第6世代のPSEコントローラで、エンドポイント・アプリケーションまたはミッドスパン・アプリケーションにおいて、最大24個(71.3W)の4ペアPSEポートに対応できます。IEEE 802.3bt準拠のPSE設計を実現するために必要な回路を実質的にすべて内蔵しており、必要なのは1ポートにつき1対の外付けパワー・MOSFETとポートごとの検出抵抗だけです。これにより、MOSFETを内蔵する同様のデバイスと比較して電力損失が最小限に抑えられ、システムの信頼性が向上します。

LTC9101-2/LTC9102チップセットは、チップ間通信に独自の絶縁方式を実装しています。このアーキテクチャは、高価なフォトプラや絶縁型電源を1個の低価格トランスで置き換えることによって、部品コストを大幅に削減します。1個のLTC9101-2は、このトランス絶縁されたインターフェースを介して最大4個のLTC9102のバスを制御することができます。LTC9101-2と、対応するLTC9102を直接接続することも可能です。

LTC9101-2/LTC9102は、ポートごとのイベントでトリガされる設定可能な割込み信号、チャンネルごとのパワー・オン制御とフォルト・テレメトリ、ポートごとの電流モニタリング、V_{EE}モニタリング、電流および電圧の1秒間の移動平均などの機能を備えています。

LTC9101-2/LTC9102は高度な第6世代PSE機能も備えており、これには、ファームウェア・アップデートやカスタム・ユーザ構成パッケージを保存する内蔵eFlash、802.3bt互換モード、クワッド・ベースのICドライバとの完全な後方互換性を確保するI²Cクワッド・バーチャライゼーション、100mΩの極小検出抵抗、+80V/-20V対応のポート対向ピン、ケーブル・サージ・ライドスルーの改善などが含まれています。

アプリケーション情報

LTC9102は各パワー・チャンネルに専用の検出および分類ハードウェアを備えています。これは、すべてのポートとチャンネルの検出、分類、パワー・オンを同時に行うことを可能にして、スイッチを介したパワー・オン遅延を大幅に短縮します。それほど高度な機能を持たないその他のPSEでは、例えばLEDライトなどのPDへポートごとに給電する際に、目立った遅延が生じます。

V_{EE} とポート電流の測定は同時に行われるので、ポートごとに、一貫した高精度の電力モニタリングを行うことができます。

802.3bt 4ペア動作

LTC9101-2には、4個の同じチャンネルで構成されるグループが最大12個含まれています。4個のポートからなるそれぞれのグループは、「クワッド」と呼ばれます。LTC9101-2のアーキテクチャでは、各クワッドにレジスタ設定とちょうど4個のポートのステータスがあり、各々2チャンネルからなる802.3btポートを2個制御することができます。

802.3btの4ペア動作をサポートするには、各ポートに2個のLTC9102チャンネル(1.2および3.4)を関連付けます。したがって、それぞれのパワー・チャンネルをオルタナティブAとオルタナティブBに接続する必要があります(図10を参照)。4ペア・モードでは、所定のPDへの電力供給に両方のパワー・チャンネルを使用するかどうかの決定をホストが行います。したがって、4ペア・モードで2ペア給電を行って、シングル・シグネチャのクラス0~4のPDに電力を供給することも可能です。より高電力のクラス5~8のPDおよびすべてのデュアル・シグネチャPDの場合は両方のパワー・チャンネルを使用する必要があります、これは4ペア給電とも呼ばれます(図11を参照)。

4ペア・モードでは、IEEE 802.3bt規格は最大71.3Wの電力供給に対応し、既存のシングル・シグネチャPDクラス0~8と、デュアル・シグネチャPDクラス1~5のすべてをサポートします。

802.3at タイプ1モード

表1に示すように、802.3bt準拠のすべてのPSEは、既存の802.3atタイプ1およびタイプ2のPDと完全に後方互換です。

802.3bt PSEでは、この完全互換性に加えて、低待機電力、電流制限タイミング機能の強化、ダイナミック・パワー・マネージメントなどのサポートがすべてのPDタイプに拡張されています(PDアプリケーションでサポートされているのと同様)。

表 1. PSEの最大供給電力(ポートごと)

DEVICE	PSE					
	STANDARD	TYPE	802.3at		802.3bt	
			1	2	3	4
PD	802.3at	1	13W	13W	13W	13W
		2	13W*	25.5W	25.5W	25.5W
	802.3bt	3	13W*	25.5W*	51W	51W
		4	13W*	25.5W*	51W*	71.3W

*要求値より少ない電力が割り当てられたPDを示します。

LTC9101-2は更に802.3af準拠のポート動作もサポートしています。802.3af PDが802.3bt動作に対応できないというまれなケースに備え、 c_{fg2p4p} レジスタには15WでCCなしのモードがサポートされています。

なお、802.3at PSEは802.3bt PSEのコンプライアンス・テストに適合せず、802.3bt PSEは802.3at PSEのコンプライアンス・テストに適合しません。これは、それぞれの規格の設計によるものです。802.3atと802.3btのデバイスは相互運用が可能ないように設計されています。802.3atと802.3btの両規格の主要特性を表2で対照しています。

表 2. 802.3at タイプ1と802.3btの特性

FEATURE	802.3at TYPE 1	802.3bt
First Class Event	Short	Long
First Mark Event (15W Mode)	No	Yes
Limit Timer	No (Uses Cutoff Timer)	Yes
Connection Check	No	Yes
Active Alternative(s)	A	2-Pair: A 4-Pair: A and B
Maximum Class Events	1	5
Maximum Available Power	Class 3	2-Pair: Class 4 4-Pair: Class 8
Short MPS	No	Yes
Autoclass	No	Yes

PoEの基礎

一般的なイーサネット・データ接続は2本または4本のツイスト・ペア銅線(通称イーサネット・ケーブル)で構成され、それぞれの端をトランスで結合してグラウンド・ループを防止しています。PoEシステムはこの結合配置の利点を生かし、データ・トランスのセンター・タップ間に電圧を加えることによって、データ伝送に影響することなくPSEからPDへ電力を送ります。PoEシステムの概略回路図を図10と図11に示します。

アプリケーション情報

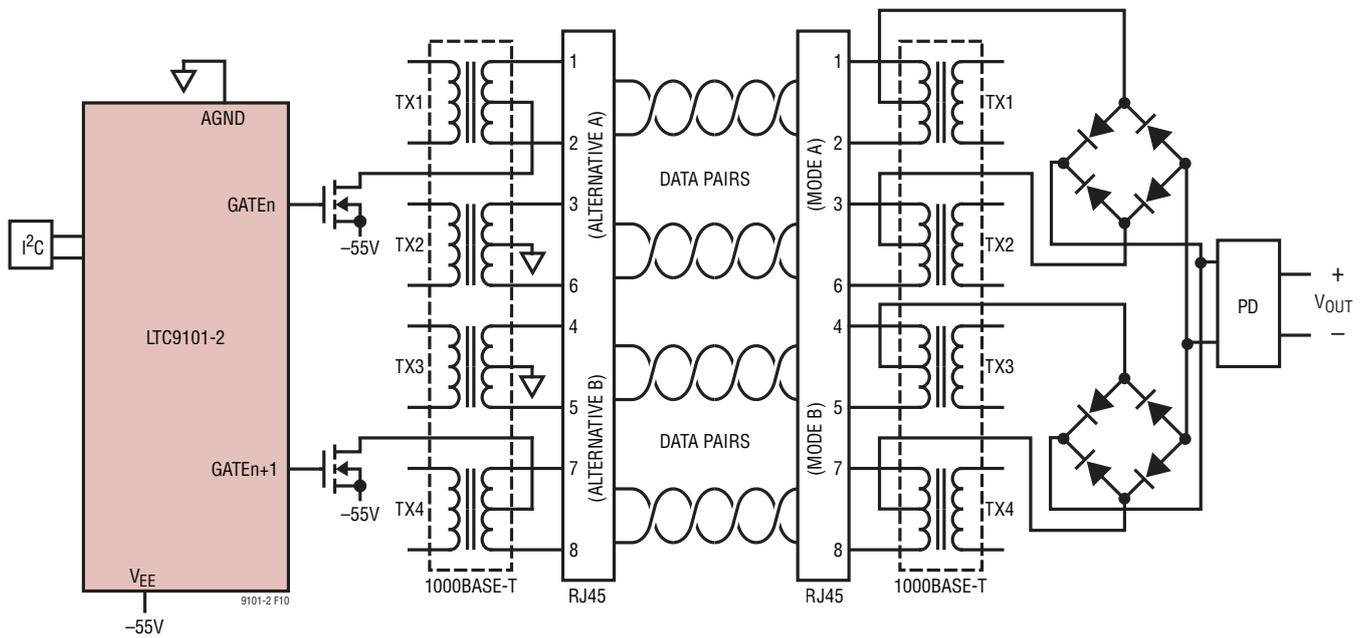


図 10. 4 ペア PoE シングル・シグネチャ PD システムの構成図

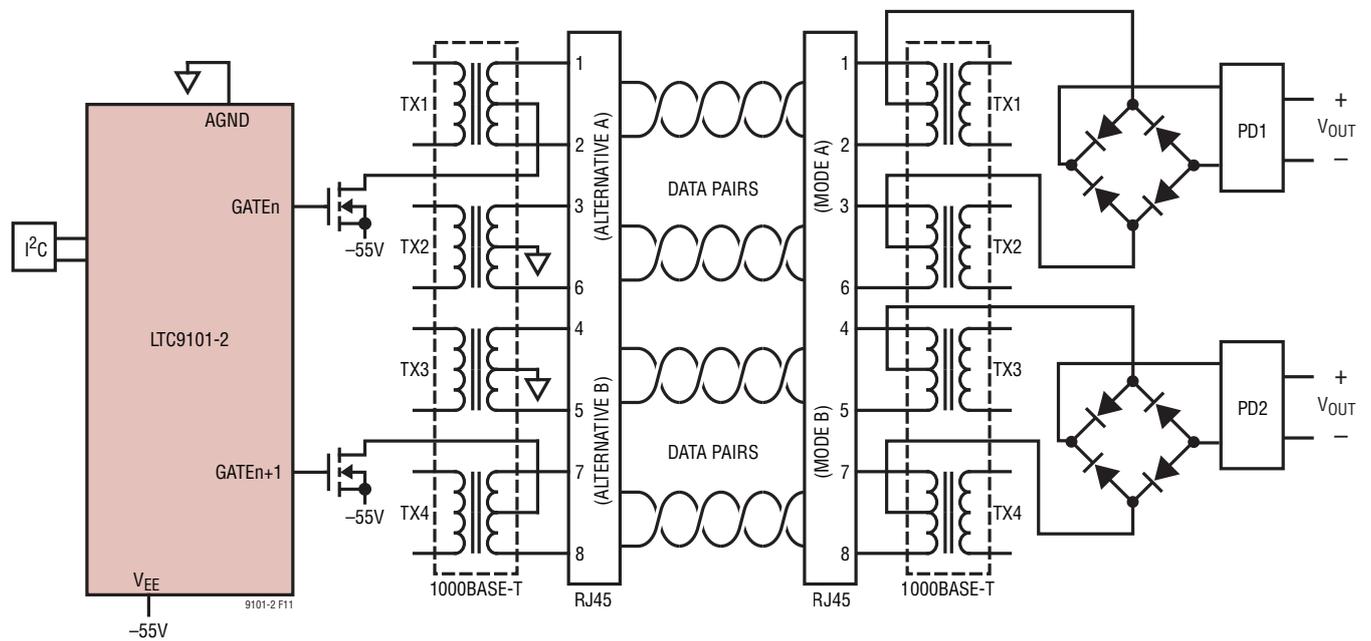


図 11. 4 ペア PoE デュアル・シグネチャ PD システムの構成図

アプリケーション情報

DC電圧が加わることを想定していない旧式のデータ装置を損傷させないように、PoE規格では、PSEによる電力の供給および停止が可能かどうかを判定するプロトコルを規定しています。有効なPDには、その入力に25kの固有コモンモード抵抗が必要です。このようなPDをケーブルに接続すると、PSEはこのシグネチャ抵抗を検出して電力を供給します。その後PDを切り離すと、PSEはオープン・サーキットを検出して電力の供給を停止します。PSEは、電流フォルトや短絡が発生した場合も電力の供給を停止します。

PDが検出されると、PSEは、PDで消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、いくつかのポートに電力を割り振る、PDの消費電力を監視する、あるいはPSEが供給できる電力以上の電力を消費するPDを拒否する、といった対応を取ることができます。

802.3btの新機能

802.3bt仕様では、いくつかの新機能が導入されています。

- タイプ3およびタイプ4のPSEは、接続されているPDの特性に応じて、4ペアすべて(両方のペアセット)を介して電力を供給することができます。
- タイプ3およびタイプ4のPDは、4ペアすべて(両方のペアセット)を介して電力を受け取ることができなければなりません。
- タイプ3およびタイプ4のPDは、シングル・シグネチャPDまたはデュアル・シグネチャPDとして構成できます。シングル・シグネチャPDは、両方のペアセットに対して有効な同じシグネチャ抵抗を同時に示します(図10を参照)。デュアル・シグネチャPDは、完全に独立した2つの有効な検出シグネチャを、各ペアセットに対して1つずつ示します(図11を参照)。
- タイプ3のシングル・シグネチャPDは、6種類の電力レベル(3.84W、6.49W、13W、25.5W、40W、51W)のいずれか1つを要求します。
- タイプ3のデュアル・シグネチャPDは、4種類の電力レベル(3.84W、6.49W、13W、25.5W)のいずれか1つを各ペアセットに要求します。PDの合計要求電力は、両方のペアセットが要求する電力の合計です。

- タイプ3のPDクラスは、より低い電力レベルでタイプ3の追加機能セットを提供するために、タイプ1およびタイプ2クラスとオーバーラップしています。
- タイプ4のシングル・シグネチャPDは、2種類の電力レベル(62W、71.3W)のいずれか1つを要求します。
- タイプ4のデュアル・シグネチャPDは、少なくとも一方のペアセットで35.6Wの電力を要求し、もう一方のペアセットで5種類の電力レベル(3.84W、6.49W、13W、25.5W、35.6W)のいずれか1つを要求します。PDの合計要求電力は、両方のペアセットが要求する電力の合計です。
- 分類は、最大で5つのクラス・イベントに拡張されます。追加イベントは、既存のPDクラスと新しいPDクラスを一意に識別できます。
- タイプ3と4のPSEは、長い最初のクラス・イベントを発行して、タイプ3と4の機能をサポートしていることを接続先のPDに通知します。
- 低待機電力機能は、電力維持シグネチャ・パルスの長さを短縮する(短縮MPS)ことによって有効にします。PDのデューティ・サイクルは約23%から約2%に低下します。PSEが長い最初のクラス・イベントを発行した場合、PDは短縮MPSを出力できます。
- パワー・マネジメント機能は、Autoclass(802.3btのPSEおよびPDのオプション機能)によって強化されます。Autoclassシステムでは、PDの最大電力が測定されてPSEホストに報告され、PDアプリケーションで使われなかった出力電力とイーサネット・ケーブル配線の損失をPSEに回収することができます(表3)。詳細については、AutoclassのセクションとLTC9101-2NDASIソフトウェア・プログラミング・マニュアルを参照してください。

表3. IEEEが仕様規定した電力割当て
(シングル・シグネチャPD)

PD CLASS	PSE OUTPUT POWER	ALLOCATED CABLING LOSS	PD INPUT POWER
1	4W	0.16W	3.84W
2	6.7W	0.21W	6.49W
3	14W	1W	13W
4	30W	4.5W	25.5W
5	45W	5W	40W
6	60W	9W	51W
7	75W	13W	62W
8	90W	18.7W	71.3W

アプリケーション情報

デバイスの設定

1個のLTC9101-2は、1個から4個までのLTC9102を制御できます。それぞれのLTC9102は12個のパワー・チャンネルを制御します。したがって、各LTC9101-2は最大48個のパワー・チャンネルを制御できます。

後出の**バスのアドレス指定**のセクションで述べるように、4チャンネルからなる各グループが1個のI²Cアドレスを使用します。

表4. デバイスの構成オプション

CFG [1:0]	NUMBER OF PORTS 4P	NUM 9102s	I ² C ADDRs	I ² C ADDRESS OFFSET OCCUPIED														
				0	1	2	3	4	5	6	7	8	9	10	11			
0 00	6	1	3															
1 01	12	2	6	✓	✓	✓	✓	✓	✓									
2 10	18	3	9	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓					
3 11	24	4	12	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

動作モード

LTC9101-2/LTC9102は最大で48個の独立したチャンネルを制御し、それぞれを3つのモード(手動、半自動、自動)のいずれかで動作させることができます。4番目のモードはシャットダウン・モードで、ポートをディスエーブルします(表5を参照)。

前に説明したように、2チャンネルのグループが4ペア・ポートとして動作します。しかし、独立したチャンネルの制御も存在します。このセクションの以下の部分では、「ポート」はポートとそれを構成するチャンネルの両方を指します。

表5. 動作モード

MODE	AUTO MODE	PORT MODE	DETECT/ CLASS	POWER-UP	AUTOMATIC THRESHOLD ASSIGNMENT
Auto	1	11b	Enabled at Reset	Automatically	Yes
	0	11b	Host Enabled	Automatically	Yes
Semi- Auto	0	10b	Host Enabled	Upon Request	Yes
Manual	0	01b	Once Upon Request	Upon Request	Yes
Shutdown	0	00b	Disabled	Disabled	No

手動モードでは、ポートはホスト・システムからの命令を待つから動作します。ポートは、ホストによって命令されると検出サイクルまたは検出と分類のサイクルを1回実行して、その結果をポート・ステータス・レジスタで報告します。ホスト・システムは、いつでも電力の供給または停止をポートに命令できます。

半自動モードでは、ポートは、接続されたすべてのPDの検出と分類を繰り返し試みます。ポートはこれらの試行のステータスをホストに報告し、ホストからの命令を待つからポートに電力を供給します。ホストは、検出と分類をイネーブルする必要があります。

自動モードは半自動モードと同様に動作しますが、検出と分類が正常だった場合は自動的にポートへ電力が供給される点が異なります。自動モードでは、2P Police、4P Police、4P I_{LIM}の値が分類結果に基づいて自律的に設定されます。この動作モードに設定するには、表11に示されるようにPWRMD0ピンを抵抗を介してV_{EE}に接続するか、動作モード・レジスタを自動モードに設定します。自動モードでの最大PSE電力のセクションを参照してください。

シャットダウン・モードではポートがディスエーブルされてPDの検出は行われず、電力も供給されません。

LTC9101-2/LTC9102は、現在どのモードにあるのかに関係なく、フォルトが発生したポートまたはチャンネルへの電力供給を自動的に停止します。また、切断検出が有効になっている場合は、切断イベントが発生したポート/チャンネルへの電力供給も自動的に停止します。ホスト・コントローラも、いつでも電力の供給または停止をポートに命令できます。

リセットとPWRMD

LTC9101-2/LTC9102の初期設定は、リセット時のPWRMD0の状態によって異なります。リセットは、パワーアップ時、RESETがローになったとき、またはグローバルのReset Allビットがセットされたときに行われます。パワーアップ後にPWRMD0の状態を変更しても、リセットされるまでLTC9101-2/LTC9102のポート動作は変わりません。PWRMD1ピンは予備です。

R_{PWRMD}によって自動モードが有効となっている場合、各ポートはPDが検出されるまで検出と分類を繰り返し、PSEが割り当てたクラスに従って2P Police、4P Police、DC Disconnectを設定して、有効なPDに電力を供給し、PDが切断されると電力の供給を停止します。

アプリケーション情報

PSEが割り当てたクラスに基づいて自動モードで自動的に設定される2P Police、4P Police、DC Disconnectの値を、表6と表7に示します。

表6. 自動モードでのパワー・オン閾値(代表値)、シングル・シグネチャPD

PSE ASSIGNED CLASS	2P POLICE (W)	4P POLICE (W)	DC DISCONNECT THRESHOLD
0	15.5	15.5	7.0mA
1	4	4	7.0mA
2	7	7	7.0mA
3	15.5	15.5	7.0mA
4	30	30	7.0mA
5-4P	32	45	3.5mA
6-4P	39.5	60	3.5mA
7-4P	45.5	75	3.5mA
8-4P	54	90	3.5mA
CLASS 4+- TYPE 1 LIMITED	15.5	15.5	7.0mA

*自動モードでは、クラス0~4のSS PDは2P/4P設定に従って2P/4Pで電力供給されます。

表7. 自動モードでのパワー・オン閾値(代表値)、デュアル・シグネチャPD

PSE ASSIGNED CLASS	2P POLICE (W)	4P POLICE (W)	DC DISCONNECT THRESHOLD
1	4	90	3.5mA
2	7	90	3.5mA
3	15.5	90	3.5mA
4	30	90	3.5mA
5	45	90	3.5mA

接続チェック

接続チェックの概要

IEEE 802.3btは、接続チェックと呼ぶ新しい検出サブルーチンを導入しています。接続チェックは、接続されたPDがシングル・シグネチャPDなのかデュアル・シグネチャPDなのか、あるいは無効な結果なのかを判定するために必要です。

802.3atで記述されていたPD構成は1つだけで、これはシングル・シグネチャPDと呼ばれています。その構成を図10に示します。シングル・シグネチャPDは、両方のペアセットに対して同じ25k検出抵抗を並列に示します。

802.3btでは、図11に示すデュアル・シグネチャPDが新たに加わりました。デュアル・シグネチャPDは、完全に独立した2つの25k検出シグネチャ抵抗を、各ペアセットに対して1つずつ示します。

PD構成(シングルまたはデュアル)は、以後の検出、分類、およびパワー・オン手順時にそのPDがどのように扱われるかを決定します。このデータシートでは、全体を通じ、シングル・シグネチャPDとデュアル・シグネチャPDの扱いの違いに注意が向けられています。

最初のチャンネルでは、同じ強制電圧で2回の電流測定を行うことによって接続チェックが行われます。2番目のチャンネルでは、2回目の測定時に2番目のチャンネルに強制電流を流すことによってアグレッサの動作がテストされます。最初のチャンネルでの2回の電流測定結果を比較することで、接続されたデバイスがシングル・シグネチャPDなのかデュアル・シグネチャPDなのか、あるいは無効な結果なのかを分類することができます。

接続チェック中にデバイスを追加したり取り外したりすると、無効な接続チェック結果がレポートされます。

接続チェックは4ペア・モードの動作だけに影響します。ポートがATタイプ1モードにある場合を除いて、4ペア・モードの検出サイクルには常に接続チェックが含まれます。図1を参照してください。

検出

検出の概要

DC電圧に耐えられるように設計されていないネットワーク・デバイスを損傷させてしまうことがないように、PSEは、電力を供給する前に、接続されたデバイスが有効なPDであるかどうかを確認する必要があります。IEEE802.3規格では、有効なPDは、すべてのチャンネル電圧が10V未満のときに $25k \pm 5\%$ のコモンモード抵抗を内蔵していることが求められます。PSEは19k~26.5kの抵抗を合格とし、33kを超える抵抗または15k未満の抵抗(図12の網掛け領域)を不合格とする必要があります。必須合格範囲と必須不合格範囲の間の未定義領域の抵抗を合格にするか不合格にするかは、PSEが選択できます。特に、PSEは、コンピュータの標準的なネットワーク・インターフェース・カード(NIC)を不合格にする必要があります。これらのカードの多くは150Ωのコモンモード終端抵抗を使用しており、電力を供給すると損傷させてしまうこととなります(図12の左側の黒で示された領域)。

アプリケーション情報

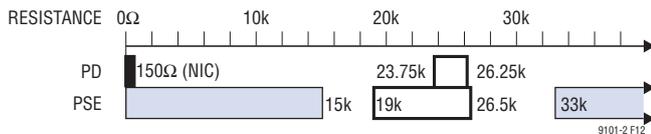


図 12. IEEE 802.3 のシグネチャ抵抗範囲

マルチポイント検出

LTC9101-2/LTC9102はマルチポイント方式を使ってPDを検出します。強制電流測定と強制電圧測定を併用してシグネチャ抵抗をチェックすることにより、誤検出が最小限に抑えられます。

最初は2種類のテスト電流を(O_{UTn}ピンを介して)そのチャンネルに強制的に流し、それによって得られる電圧を測定します。検出回路は2つのV-Iポイントの差を取って抵抗の傾きを求めると共に、ポートのリーク電流や直列ダイオードによって生じるオフセットを除去します(図 13 参照)。強制電流検出によって有効なシグネチャ抵抗が得られた場合は、2種類のテスト電圧をチャンネルに加え、それによって得られる電流を測定して差を取ります。有効な検出をレポートするには、両方の方法で有効な抵抗がレポートされなければなりません。PDシグネチャ抵抗が17k~29k(代表値)の範囲内であれば有効として検出され、対応する検出ステータス・レジスタで、有効な検出(Detect Valid)として報告されます。また、オープン・サーキットや短絡を含めて、この範囲外の値も報告されます。強制電流テスト時にチャンネルの測定値が1V未満の値を示した場合、検出サイクルは中断されて短絡(Short Circuit)がレポートされます。考え得る検出結果を表 8 に示します。

また、検出は常にチャンネルごとに行われます。

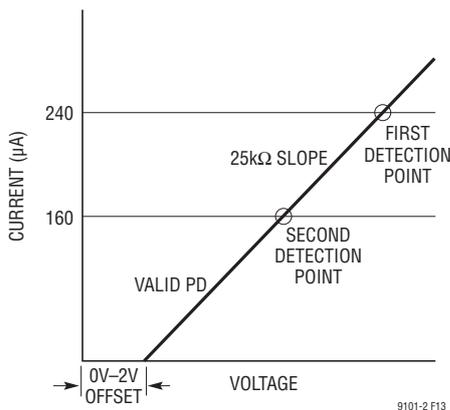


図 13. PD の検出

表 8. 検出ステータス

MEASURED PD SIGNATURE (TYPICAL)	DETECTION RESULT	CONNECTION CHECK RESULT
Incomplete or Not Yet Tested	Detect Status Unknown	Connection Check Status Unknown
$V_{PD} < 1V$	Short-Circuit	Invalid/Fault
$C_{PD} > 2.7\mu F$ or $V_{PD} > 10V$	C_{PD} Too High	Invalid/Fault
$R_{PD} < 17k$	R_{SIG} too low	Invalid/Fault
$17k < R_{PD} < 29k$, Single-Signature PD	Detect Valid	Single-Signature
$17k < R_{PD} < 29k$, Dual-Signature PD	Detect Valid	Dual-Signature
$R_{PD} > 29k$	R_{SIG} Too High	Invalid/Fault
$R_{PD} > 50k$	Open Circuit	Invalid/Fault
PSE Detected	PSE Detected or Port is Precharged	Invalid/Fault
MOSFET Fault	MOSFET Fault Detected	Invalid/Fault

動作モードに関するその他の情報

LTC9101-2/LTC9102が検出サイクルを実行するタイミングは、ポートの動作モードによって決まります。手動モードでは、ホストが検出サイクルを命令するまでポートはアイドル状態になります。その後ポートは検出を実行し、結果をレポートしてアイドル状態に戻り、次のコマンドを待ちます。

半自動モードでは、LTC9101-2/LTC9102はポートを自動的にポーリングしてPDを探しますが、ホストが命令するまで電力は供給しません。ポート・ステータス・レジスタとチャンネル・ステータス・レジスタは各検出/分類サイクルの最後に更新されます。

半自動モードでは、有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートがPDを分類してその結果もレポートします。その後ポートは少なくとも100ms待機してから検出サイクルを繰り返す、検出/分類ステータス・レジスタ内のデータを更新します。

電流検出の結果が有効(Detect Valid)でない限り、ポートがパワー・オン・コマンドに応じてターン・オンされることはありません。検出結果がそれ以外の場合にパワー・オン・コマンドを受け取ると、t_{START}フォルトが発生します。

自動モードでの動作は半自動モードと同様です。ただし、有効な検出(Detect Valid)が報告されてポートの分類が完了すると、ポートはホストの介入なしで自動的にパワー・オンされます。自動モードでは、2P Police、4P Police、

アプリケーション情報

DC Disconnectが自動的に設定されます。詳細についてはリセットとPWRMDのセクションを参照してください。

自動モードでLTC9101-2/LTC9102を最初にパワーアップした場合、ポートがシャットダウン・モードにある場合、または対応する検出イネーブル・ビット(Detect Enable)がクリアされている場合は、該当のポートの検出が無効になります。

レガシーPDの検出

最初のIEEE 802.3af規格以前から存在する独自設計のPDは、現在では一般にレガシーPDと呼ばれています。ある種のレガシーPDは、大容量のコモンモード容量(>10 μ F)を検出シグネチャとして使用します。

大容量のデバイスが検出された場合、接続チェックはスキップされ、大容量デバイスが検出されたチャンネルでは検出/分類のみが実行されます。レガシーPDは検出と分類結果からPalpatine仕様に従って推定されます。レガシーPDは自動モードでは自動的に電力供給されません。

分類

802.3afの分類

PDは、オプションで分類シグネチャをPSEに示して、動作時に消費する最大電力を知らせることができます。図15に示すように、IEEE仕様ではこのシグネチャを、PSEポートの電圧がV_{CLASS}の範囲(15.5V~20.5V)内にあるときに流れる定電流として規定しています。5種類あるPDシグネチャのどれになるかはこの電流レベルによって示されます。PDの代表的な負荷曲線を図14に示します。10V以下での25kシグネチャ抵抗による勾配に始まり、V_{CLASS}の範囲で分類シグネチャ電流(この場合はクラス3)に遷移します。想定される分類値を表9に示します。

分類がイネーブルされると、PSEは検出サイクルが正常に終了した直後にPDを分類します。PSEは、OUT_nを介してポートにV_{CLASS}電圧を加え、それにより流れる電流を測定してPD分類シグネチャを測定します。その後、ポート・ステータス・レジスタまたはチャンネル・ステータス・レジスタのいずれか該当する方を使って、検出したクラスをレポートします。LTC9101-2/LTC9102が自動モードの場合は、更に分類結果を用いて2P Police、4P Police、4P PCUT Enable、DC Disconnectの閾値を設定します。

自動モードが無効な状態でLTC9101-2/LTC9102を最初にパワーアップすると、ポートがシャットダウン・モードにある場合、または対応するクラス・イネーブル(Class Enable)ビットがクリアされている場合は、該当のポートの分類が無効になります。

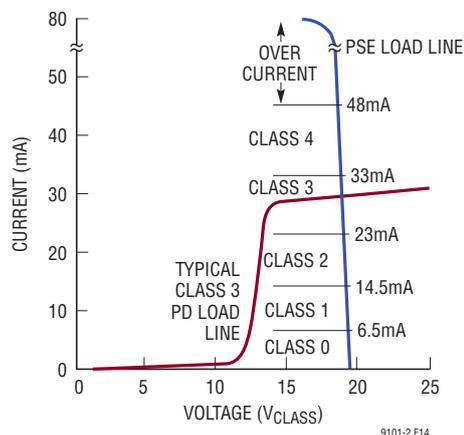


図14. PDの分類

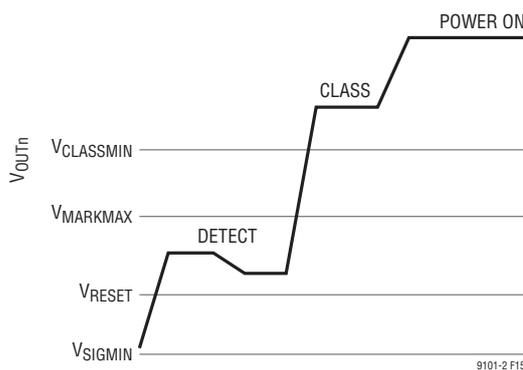


図15. タイプ1またはタイプ2のPSE (1イベント・クラス・シーケンス)

表9. タイプ1およびタイプ2のPDの分類値

CLASS	RESULT
Class 0	No Class Signature Present; Treat Like Class 3
Class 1	3.84W
Class 2	6.49W
Class 3	13W
Class 4	25.5W (Type 2)

アプリケーション情報

LLDP分類

PoEにおけるリンク層検出プロトコル(LLDP)は、802.3atで導入され、802.3btで拡張されたPoE仕様によって分類方式が規定されています。LLDP方式では、イーサネットLLDPデータ・プロトコルに特別なフィールドを追加します。

LTC9101-2/LTC9102はこの分類方式に対応していますが、データ・パスへのアクセス権がないため、LLDP分類を直接実行することはできません。LLDP分類では、ホストがPDとLLDP通信を行って、PDの電力割当てを更新できます。LTC9101-2/LTC9102は、2P Policeと4P Policeのレベルの動的な変更をサポートしており、システム・レベルのLLDPサポートが可能です。

802.3atの2イベント分類

802.3atでは、802.3afの分類をタイプ1分類と呼んでいます。802.3at規格は、タイプ1分類の拡張版であるタイプ2(2イベント)分類を導入しています。タイプ2のPSEには分類の実行が求められます。

25.5Wを要求するタイプ2 PDは、すべてのクラス・イベント時にクラス・シグネチャ4を示します。供給可能電力が25.5Wのタイプ2 PSEは、[図16](#)に示すように、最初のクラス・イベント時にクラス・シグネチャ4を認識すると、PDにV_{MARK}(代表値9V)を供給し、少し間を置いてから2番目のクラス・イベントを発行します。2番目のクラス・イベントは、PSEが25.5Wを割り当てたことをPDに知らせます。

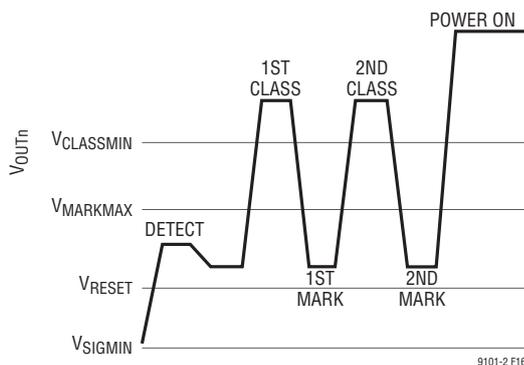


図16. タイプ2のPSE(2イベント・クラス・シーケンス)

2番目の分類イベントが実行されるのは、IEEE分類手順で必要とされる場合に限られます。例えば、シングル・シグネチャのクラス0~3のPDに発行されるのは、[図15](#)に示すようなシングル・クラス・イベントに限られます。

802.3atでは格下げの概念が導入されています。タイプ2のPDは、パワー・マネジメント上の制限などのため供給能力が13Wに限られるPSEにも接続できます。この場合、PSEは[図15](#)に示すようなシングル・クラス分類イベントを実行しますが、要求されるのは25.5Wです。供給できる電力が限られているので、PSEは2番目のイベントを発行することなく、そのままPDに電力を供給する段階に進みます。シングル・クラス・イベントが存在するという事実により、タイプ2 PDが13Wに格下げされたことがそのPDに通知されます。格下げされたPDは電力制限を受け、低減電力モードで動作します。

802.3btのマルチイベント分類

LTC9101-2/LTC9102は、802.3btの要求するタイプ3分類とタイプ4分類が可能です。タイプ3分類およびタイプ4分類は、タイプ1およびタイプ2のPDと後方互換です。

タイプ2(802.3at)分類はタイプ1(802.3af)分類を拡張したもので、タイプ3およびタイプ4(802.3bt)分類はタイプ1分類とタイプ2分類に代わるものです。ここまでのセクションで示したタイプ1分類とタイプ2分類に関する説明は、従来規格に関する参考情報として示したものです。また、電力の格下げ、クラス・イベント、マーク・イベント、電気的パラメータといった共通用語の定義を示すことも目的としています。

IEEE 802.3btは、[表10](#)に示すように、シングル・シグネチャPDに対して8つのPDクラスを、デュアル・シグネチャPDに対して5つのPDクラスを規定しています。

シングル・シグネチャPDとデュアル・シグネチャPDでは分類の扱いが異なります。以降のセクションでは、各PD構成の物理層分類を個別に説明します。

アプリケーション情報

表 10. PD 構成によるタイプ 3 およびタイプ 4 の PD の分類

SINGLE-SIGNATURE PDs		DUAL-SIGNATURE PDs	
CLASS	PD AVAILABLE POWER	CLASS	CHANNEL AVAILABLE POWER [†]
Class 1	3.84W	Class 1	3.84W
Class 2	6.49W	Class 2	6.49W
Class 3	13W	Class 3	13W
Class 4	25.5W	Class 4	25.5W
Class 5	40W	Class 5	35.6W
Class 6	51W		
Class 7	62W		
Class 8	71.3W		

[†]デュアル・シグネチャPDが受給できる全電力は、両方のチャンネルが受給できる電力の合計です。クラス・シグネチャはポートのチャンネル間で異なる場合があります。例えば、クラス3 + クラス4 = 13W + 25.5W = 38.5W となります。

シングル・シグネチャPDの 802.3bt 分類

タイプ 3 とタイプ 4 の PSE は、クラス 0 から 3 までのシングル・シグネチャ (SS) PD に 1 つのシングル分類イベントを発行します (図 17 参照)。クラス 0 ~ 3 の SS PD はそのクラス・シグネチャ

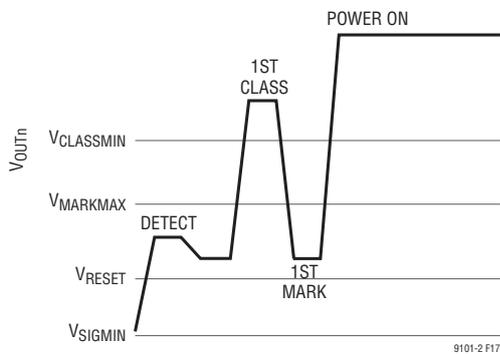


図 17. タイプ 3 または 4 PSE (1 イベント・クラス・シーケンス)

を PSE に提示し、十分な電力が得られる場合はパワー・オンされます。また、電力制限された 802.3bt PSE は、クラス 4 以上の SS PD に 1 つのシングル分類イベントを発行することにより、それらの PD を 13W に格下げすることができます。図 17 を参照してください。

タイプ 3 とタイプ 4 の PSE は、十分な電力を供給できる場合、クラス 4 SS PD に対して 3 つの分類イベントを示します (図 18 参照)。クラス 4 の SS PD は、すべてのイベントでクラス・シグネチャ 4 を示します。3 番目のイベントでは、クラス 4 SS PD が上位クラスの SS PD と区別されます。電力制限された IEEE 802.3bt PSE は、クラス 5 以上の SS PD に 3 つの分類イベントを発行することにより、それらの PD を 25.5W に格下げすることができます。

タイプ 3 とタイプ 4 の PSE は、十分な電力を供給できる場合、クラス 5 とクラス 6 の SS PD に対して 4 つの分類イベント (図 19 参照) を示します。クラス 5 とクラス 6 の SS PD は、最初の 2 つのイベントでクラス・シグネチャ 4 を示します。クラス 5 の SS PD は後続のイベントでクラス・シグネチャ 0 を、クラス 6 の SS PD はクラス・シグネチャ 1 を示します。電力制限された PSE は、クラス 7 およびクラス 8 の SS PD に 4 つの分類イベントを発行することにより、それらの PD を 51W に格下げすることができます。

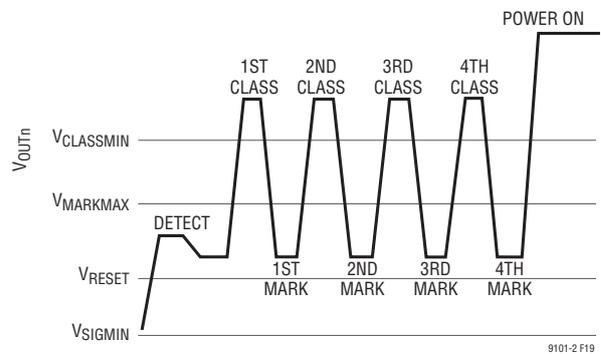


図 19. タイプ 3 または 4 PSE (4 イベント・クラス・シーケンス)

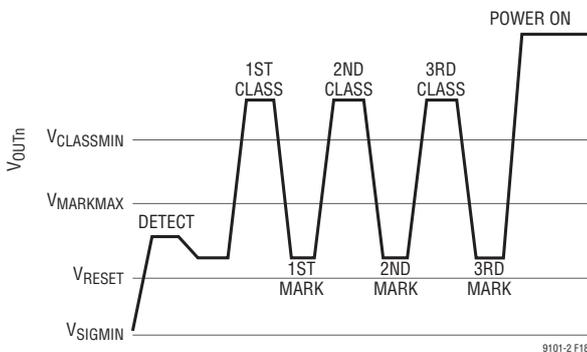


図 18. タイプ 3 または 4 PSE (3 イベント・クラス・シーケンス)

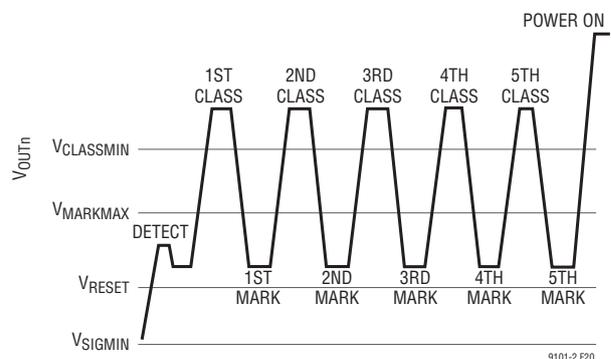


図 20. タイプ 4 PSE (5 イベント・クラス・シーケンス)

アプリケーション情報

タイプ4のPSEは、十分な電力を供給できる場合、クラス7とクラス8のSS PDに5つの分類イベント(図20参照)を発行します。クラス7とクラス8のPDは、最初の2つのイベントでクラス・シグネチャ4を示します。クラス7のSS PDは後続のイベントでクラス・シグネチャ2を、クラス8のSS PDはクラス・シグネチャ3を示します。

デュアル・シグネチャPDの802.3bt分類

デュアル・シグネチャ(DS)PDの各ペアセットに対する分類と電力割当ては、完全に独立しています。例えば、DS PDは一方のペアセットでクラス1(3.84W)を要求し、もう1つのペアセットでクラス4(25.5W)を要求して、PDの要求電力の合計を29.3Wにすることができます。したがって、すべての分類はPDではなくペアセットに対して行われます。このセクションの以下の部分では、これらの語は同義と見なされます。

タイプ3とタイプ4のPSEは、クラス1から4までのすべてのDS PDに3つの分類イベントを発行します(図18参照)。

電力制限されたタイプ3およびタイプ4のPSEは、クラス4および5のDS PDにクラス・リセットを発行することにより、これらのPDを13Wに格下げすることができます(4PIDの理解のセクションを参照)。

電力制限されたタイプ3およびタイプ4のPSEでは、クラス5のDS PDに3つのイベントのみを発行することにより、これらのPDを25.5Wに格下げすることができます。

タイプ4のPSEは、十分な電力を供給できる場合、クラス5のDS PDに4つの分類イベント(図19参照)を発行します。クラス5のDS PDは、最初の2つのイベントでクラス・シグネチャ4を示し、後続のイベントでクラス・シグネチャ3を示します。

4PIDの理解

4ペア識別条件(4PID)とは、PDが両方のペアセットを介して同時に電力を受給できるかどうかを判定するための一連の条件を指します。

PDが両方のペアセットで有効な検出シグネチャを示し、更に次に示す条件のいずれか1つ以上を満たす場合、PSEは4ペア電源を使用できます。

- PDがシングル・シグネチャ構成。
- PDがタイプ3またはタイプ4。
- あるペアセットを介して電力を供給すると、電力を供給していない別のペアセットでPDが有効な検出シグネチャを示す。

クラス・リセット

クラス4またはクラス5のデュアル・シグネチャPDを接続すると、問題が1つ発生します。PDタイプを判定するために3つのクラス・イベントが発行されますが、このPDにはクラス・イベントの数に基づいて25.5Wが割り当てられています。PSEがPDタイプの判別(3イベント)と13Wへの格下げ(1イベント)の両方を行おうとする場合は、図21に示すようにクラス・リセット・イベントを発行する必要があります。

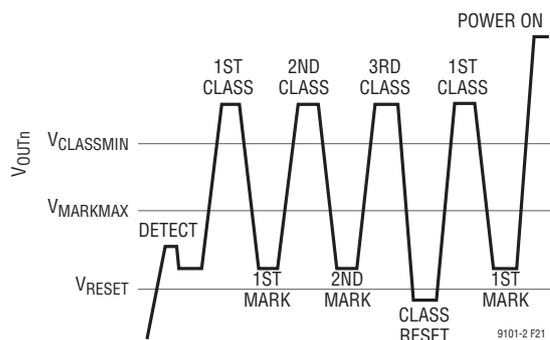


図21. クラス・シーケンス間のクラス・リセット・イベント

クラス・リセット・イベントは、少なくとも t_{CLASS_RESET} 以上にわたりチャンネル電圧を2.8V未満に維持することで発行されます。13WへのPDの格下げは、その後のシングル・イベント分類を使って行います。

自動モードでは、4PID情報を使って自動的に受電チャンネル数が決定されます。

LLDP信号方式では、その後の任意の時点で802.3bt以前のPDが実際に4ペア電力に対応しているかどうかを判定し、LTC9101-2/LTC9102に対し4ペア電力で給電を行うよう命令することができます。

無効なマルチイベント分類の組み合わせ

802.3bt規格は、一連の有効なクラス・シグネチャの組み合わせを規定しています。すべてのPDは、最初の2回のクラス・イベントで同じ分類シグネチャを返します。タイプ3とタイプ4のPDは、その後のすべてのクラス・イベントで分類シグネチャを変更します。例えば、シングル・シグネチャのクラス5 PDは、クラス・シグネチャ4、4、0、0を使って、それぞれクラス・イベント1、2、3、4に応答します。

クラス電流制限値を超える個々のクラス・シグネチャは、無効な分類結果としてフラグされます。PDの設定に基づく正しいシーケンスを表さないクラス・シグネチャのシーケンスも、同様に無効な分類結果としてフラグされます。

アプリケーション情報

自動モードでの最大PSE電力

自動モードでは、接続されているすべての有効PDの検出、分類、電力供給をLTC9101-2/LTC9102が自動的に行います。そのためには、最大電力を割り当てるように各ポートを設定する必要があります。システムのポートごとの最大電力供給能力を反映する抵抗 R_{PWRMD} を、表11から選択してください。

IDアドレス00bにあるLTC9102のPWRMD0ピンを、 R_{PWRMD} を介して V_{EE} に接続します。IDアドレス01b、10b、11bにあるLTC9102のPWRMD0ピンは、フロート状態のままにしておく必要があります。それぞれのLTC9102のPWRMD1ピンもフロート状態のままにしてください。PWRMD0抵抗はリセット時に測定されます。

最大電力割当ては、電源と電力パスの能力を反映するものです。PWRMD0抵抗による設定は、すべてのクワッドとICを通じ、このチップセット内のすべてのポートに適用されます。したがって、PWRMD0抵抗の設定は、各ポートの電力パスの能力とシステムの電力供給能力を考慮して行う必要があります。

表 11. PWRMD0 ピンでの R_{PWRMD0} の設定

MODE	R_{PWRMD} (k Ω)	PORT MODE 0x12	DETECT/ CLASS ENABLE 0x14	2P/4P CONFIG 0x29
Disabled	Open	0000,0000b	0000,0000b	1000,1000b
Class 4 to 4P	14.3	1111,1111b	1111,1111b	1011,1011b
Class 5	11.0	1111,1111b	1111,1111b	1100,1100b
Class 6	8.45	1111,1111b	1111,1111b	1101,1101b
Class 7	6.49	1111,1111b	1111,1111b	1110,1110b
Class 8	1	1111,1111b	1111,1111b	1111,1111b

電力の制御

LTC9101-2/LTC9102の主な機能は、PSEポートへの電力供給を制御することです。LTC9101-2/LTC9102のPSEポートは1つまたは2つのパワー・チャンネルで構成され、各パワー・チャンネルがペアセットを介して電力供給を制御します。このセクションでは、4ペア構成ポートの動作をチャンネルごとに定義します。

LTC9101-2/LTC9102は、(外付けの検出抵抗を流れる)電流と(各OUTピンの)出力電圧をモニタしながら、外付けされたパワー MOSFETのゲート駆動電圧を制御することによって電力を供給します。

LTC9101-2/LTC9102は、制御された状態で V_{EE} 電源をPSEポートに接続し、PDの電力需要を満たすと同時に、外付けMOSFETの消費電力と V_{EE} バックプレーンに対する外乱を最小限に抑えます。

突入電流の制御

LTC9101-2/LTC9102は、ポートに電力を供給するよう命令されると、(命令に応じて)一方または両方のチャンネルのGATEピン電圧をランプ・アップさせて、外付けMOSFETのゲート電圧を制御された状態で上昇させます。

通常の突入電流時には、外付けMOSFETが完全な導通状態になるまで、あるいはチャンネルが突入電流制限値($I_{INRUSH-2P}$)に達するまで、MOSFETのゲート電圧が増加します。 $I_{INRUSH-2P}$ はPSEによって自動的に設定されます。クラス0からクラス4が割り当てられたシングル・シグネチャPDに対してPSEが4ペア電力を供給する場合、 $I_{INRUSH-2P}$ は1チャンネルにつき212.5mA(代表値)です。それ以外の場合、 $I_{INRUSH-2P}$ はチャンネルあたり425mA(代表値)です。

チャンネルの電流が $I_{INRUSH-2P}$ を超えるとGATEピンがサーボ制御されて、能動的に電流を $I_{INRUSH-2P}$ 以内に制限します。GATEピンがサーボ制御されていない場合、最終的な V_{GS} は12V(代表値)です。

突入電流時、各受電チャンネルはタイマー(t_{START})を作動させます。各受電チャンネルは、 t_{START} が経過するまで突入電流状態を維持します。 t_{START} の経過後は、PSEがチャンネルの電圧と電流を確認します。PSEがPDに電力を供給している場合は、チャンネルに流れる電流が $I_{INRUSH-2P}$ 未満であれば、つまりPDの設定およびクラスに従った適切な値であれば、突入電流は正常です。

突入電流が正常でない場合は電力の供給が停止され、対応するスタートフォルトがセットされます。それ以外の場合は、[電流制限値](#)のセクションに示すように、ポートまたはチャンネルがパワー・オン状態になって事前に設定された電流制限閾値が使われます。

ポート電力の監視

電力監視閾値(4P Police)は、128Wまで0.5W刻み(代表値)でポートごとにモニタされます。全出力電力の1秒間の移動平均値が指定閾値を超えると、ポートへの電力供給が停止され、対応する P_{CUT} フォルトがセットされます。

アプリケーション情報

特に、ポート監視機能を使用すれば、PDクラス電力の供給を確保しながら、100Wの制限電源(LPS)条件未満の値を維持することができます。

チャンネル電力の監視

チャンネル電力監視閾値(2P Police)は、128Wまで0.5W刻み(代表値)でチャンネルごとにモニタされます。チャンネル出力電力の1秒間の移動平均値が指定閾値を超えると、チャンネルからの電力供給が停止され、対応するPCUTフォルトがセットされます。

あるチャンネルの2P Police イベントが発生したとき、対応するポートの4P PCUT Behaviorビットがセットされており、4P SS PDが給電されている場合、両方のチャンネルの給電が停止され、両方のPCUTフォルトがセットされます。

電流制限値

各々のLTC9101-2/LTC9102チャンネルには、電流制限閾値(I_{LIM-2P})が対応するタイマー(t_{LIM})と共に内在しています。表12と表13に示すように、 I_{LIM-2P} の閾値は適用される2P Police 閾値の関数になっています。

表 12. I_{LIM} の値(シングル・シグネチャ PD)

2P POLICE	I_{LIM}
0.5W to 15.5W	425mA
16W to 45W	850mA
45.5W to 53.5W	1063mA
54W and Higher	1167mA

表 13. I_{LIM} の値(デュアル・シグネチャ PD)

2P POLICE	I_{LIM}
0.5W to 15.5W	425mA
16W to 30W	850mA
30.5W and Higher	1167mA

LTC9101-2/LTC9102はチャンネル電流が I_{LIM-2P} 未満になるようにMOSFETゲート・ドライブを能動的に制御します。LTC9101-2/LTC9102の I_{LIM-2P} 閾値は、チャンネル電圧が通常動作電圧未満に下がるとチャンネル電流を減らす2段階のフォールドバック回路として実装されています。これにより、MOSFETの消費電力が安全なレベルに維持されます。 I_{LIM-2P} 電流制限回路は常にイネーブルされており、チャンネルの電流を能動的に制限します。

T_{LIM} レジスタはチャンネルごとの t_{LIM} の設定を調整するのに用いられ、最小限の時間を示します。表14に示すように、各チャンネルに対し2ビットが割り当てられています。自動モードではこれらのビットは自動的に設定されます。 t_{LIM} はチャンネルが有効になっている間も調整可能です。

表 14. T_{LIM} の設定

FIELD	T_{LIM}
00b (Default)	Type 1 T_{LIM} 50ms
01b	Spare T_{LIM} 15ms
10b	Type 2 and 3 T_{LIM} 10ms
11b	Type 4 T_{LIM} 6ms

あるチャンネルの I_{LIM} イベントが発生したとき、対応するポートの4P I_{LIM} Behaviorビットが設定されており、シングル・シグネチャPDに4ペア電力供給が行われていれば、両方のチャンネルの給電が停止され両方の I_{LIM} フォルトがセットされます。

MOSFETのフォルト検出

LTC9101-2/LTC9102のPSEポートは、かなり厳しい条件にも耐えられるように設計されていますが、極端な場合は外付けのMOSFETが損傷する可能性があります。MOSFETが損傷するとソースとドレインの間が短絡することがあり、その場合は本来オフしているはずのポートがオンしているような状態になります。また、この状態が原因で検出抵抗が溶断してオープン状態になり、ポートはオフしているにも関わらず、SENSE電圧が異常に高くなることがあります。また、MOSFETが故障するとゲートとドレインの間が短絡して、GATE電圧が異常に高くなることもあります。OUT、SENSE、およびGATEは、最大80Vの異常電圧にも損傷せずに耐えられるよう設計されています。

LTC9101-2/LTC9102がこれらいずれかの状態を検出して、その状態にある時間が3.8msを超えると、デバイスはすべてのポート機能をディスエーブルしてポートのゲート駆動プルダウン電流を減らし、MOSFETフォルトの検出ステータスをレポートします。これは一般的には永続的なフォルト状態ですが、ホストはポートをリセットすることやポートをシャットダウン・モードにすることによって回復を試みることができます。ポートのリセットでフォルトを解消できない場合は、デバイス全体をリセットして回復を試みます。実際にMOSFETが損傷している場合はすぐにフォルトが再発し、ポートは再度ディスエーブルされます。LTC9101-2/LTC9102の残りのポートは影響を受けません。

MOSFETがオープン状態になることや存在しないことによってMOSFETフォルト検出ステータスがトリガされることはありませんが、LTC9101-2/LTC9102がポートをオンにしようとすると、スタート・フォルトが発生します。

アプリケーション情報

切断

LTC9101-2/LTC9102は受電チャンネルをモニタして、仕様規定された最小電流がPDに流れ続けていることを確認します。I_{HOLD-2P}閾値は0.1Ωの検出抵抗に生じる電圧の閾値V_{HOLD-2P}としてモニタされ、PDとの接続が切断されたかどうかを判断するために使われます。

I_{HOLD-2P} (DC Disconnect) 閾値はPDに発行された分類イベントの数に従って自動的に設定されます。詳細については、[表6](#)と[表7](#)を参照してください。

チャンネル電流がI_{HOLD-2P}未満になると切断タイマー(t_{DIS})がカウント・アップを開始して、PDとの接続が切断されたことを示します。該当するt_{DIS}タイマーが終了すると、そのポートまたはチャンネル([表15](#))がオフになって、対応する切断フォルトがセットされます。t_{DIS}タイマーの終了前に電流が増加してI_{HOLD-2P}を超えると、タイマーはリセットされます。PD電流が最小レベルを超えても、それがt_{DIS}タイマーの終了前である限り、PDへの給電は継続されます。

推奨はしませんが、DC切断機能は対応するDC切断イネーブル(DC Disconnect Enable)ビットをクリアすればディスエーブルできます。DC切断機能をディスエーブルすると、LTC9101-2/LTC9102はIEEE規格に適合しなくなります。PD取り外し後も受電ポートには電力が供給されます。受電状態のポートをその後PoE非対応のデータ・デバイスに接続することもできますが、そのデバイスを損傷させてしまう可能性があります。

LTC9101-2/LTC9102はAC切断回路を内蔵していません。AC切断機能は802.3btのサポート対象外です。

表 15. DC切断がポート/チャンネルの状態に与える影響

PD CONFIGURATION	FAULT RESULT: TURN OFF PORT OR CHANNEL
	t _{DIS}
Single	Port*
Dual	Channel

*両方のチャンネルでt_{DIS}が経過した場合

高速のサージ回復

信頼性の高いシステムには優れたサージ回復機能が求められます。PSEにとっては、外部的な電力トランジェント発生時でもPDへの給電中断を最小限に抑えることが、ますます

重要になっています。更に、最小バルク容量に関する要求を満たしていないPDは、従来型のPSEソリューションで生じるブラウンアウトに対して特に脆弱です。LTC9101-2/LTC9102はホット・スワップ応答性が改善されており、サージ・イベントからの回復についても優れた特性を備えています。

サージ発生時、LTC9102のGATEピンは直ちに外部MOSFETの電流をオフにして、PSE、MOSFET、および下流側回路を保護します。サージ状態が解消されると、LTC9102は電流を制限した安全な方法で直ちにMOSFETを再度オンにし、PDへの電力供給中断を最小限に抑えます。LTC9102の高速なMOSFETターンオフと電力回復は、高信頼性アプリケーションにおけるIEEE準拠のPDとバルク容量の小さいPDの両方を、より望ましい形でサポートします。

Autoclass

IEEE 802.3btでは新しいオプション機能であるAutoclassが導入されています。Autoclassにより、PSEは、最も厳しい動作条件下で必要以上の電力を要求しているシングル・シグネチャPDから、パワー・バジェットを回収することができます。802.3btは、デュアル・シグネチャPDのAutoclassは規定していません。LTC9101-2/LTC9102はAutoclassを完全にサポートしています。

802.3 PoE規格の旧バージョンは、最も厳しい条件でのイーサネット・ケーブルによるIR電圧降下および最小PSE出力電圧に対する最小PSE出力電力を規定しています。ただし、過剰に割り当てられた電力をPSEが回収する方法は規定していません。短いイーサネット・ケーブルを使用する場合や、サポートされているPSE出力電圧が最小規定値より高い場合、規定の最小PSE出力電力ではかなり多めの電力がPDに割り当てられます。

PoEシステムの例を2つ示します。[図22](#)は、100mのケーブルを介して3つの25.5W PDに電力を供給する100Wの4ポートPSEの例です。このようなシステムでは、PSEがPDごとに25.5Wを割り当て、更にケーブル100mあたりのIR電圧降下ごとに4.5Wを割り当てる必要があります。

全電力割当ては次のようになります。

$$3 \text{ ポート} \times (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

アプリケーション情報

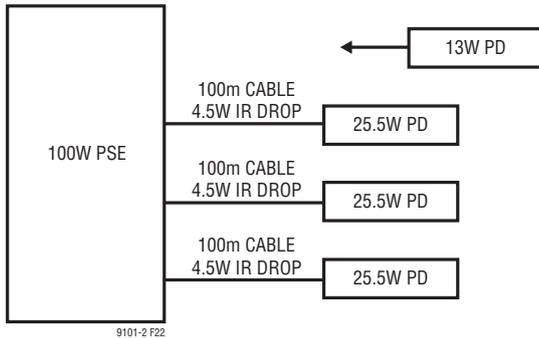


図22. 100mのケーブルを使用する100W PoEシステム

別の13W PDを4番目のPSEポートに接続した場合に供給できるのは10Wだけで、このPDには必要な電力を供給できません。

図23は、10mのケーブルを介して3つの25.5W PDに電力を供給する100W 4ポートPSEの例です。このようなシステムでは、PSEがPDごとに25.5Wを割り当て、更にケーブル10mあたりのIR電圧降下ごとに0.5Wを割り当てる必要があります。

Autoclassを使用しない場合、全電力割当ては次のようになります。

$$3 \text{ ポート} \times (4.5\text{W} + 25.5\text{W}) = 90\text{W}$$

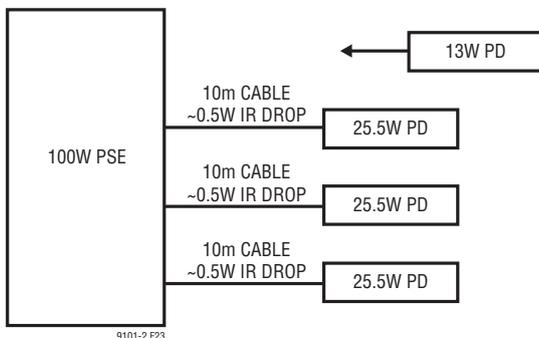


図23. 10mのケーブルを使用する100W PoEシステム

別の13W PDを4番目のPSEポートに接続した場合に供給できるのは10Wだけで、IR電圧降下が前の例よりはるかに小さいにしても、このPDに必要な電力を供給することはできません。

図23のシステムがAutoclass対応であれば、回収されたパワー・バジェットを使って追加ポートに電力を供給することができます。分類時、PSEはPDのAutoclass要求の有無を確認します。802.3btの規定に従い、パワー・オン完了後はPDにその最大電力が供給され、PSEはAutoclass測定を実行しま

す。図23のPSEは3つの25.5W PDのそれぞれの消費電力が26Wであることを測定し、それをレポートします。この結果によりホストは、PSEが供給できるパワー・バジェットを修正することができます。

Autoclassを使用した場合、図23の全電力割当ては次のようになります。

$$3 \text{ ポート} \times 26\text{W (測定値)} = 78\text{W}$$

別の13W PDを4番目のPSEポートに接続した場合には、今度は22Wを供給することができるので、このPDにも必要な電力を供給できます。

Autoclassのネゴシエーション手順

PSEは、物理層分類または(PSEホスト経由の)LLDPによってPDからのAutoclass要求を受け取ります。物理層の要求については、以下に示すAutoclassネゴシエーション手順を図24に示します。

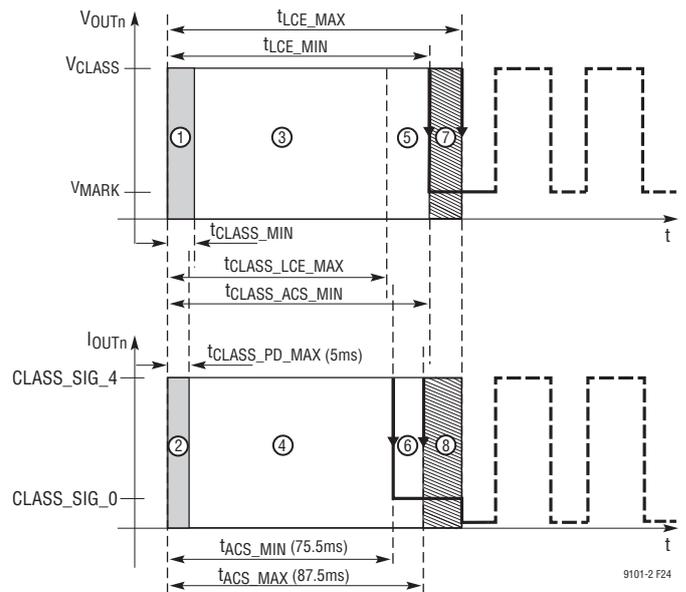


図24. Autoclassネゴシエーションの電圧と電流

1. PSEが最初の長いクラス・イベント発行を開始します。PDのクラス・シグネチャはこの時間内に安定します。
2. PDはそのクラスに対応するクラス・シグネチャによって応答します。この時間内のクラス・シグネチャは、Autoclassネゴシエーションとは無関係です。
3. PSEはこの時間内にPDクラス・シグネチャを測定して、その結果を通常のマルチイベント分類に使用します。
4. PDは、そのクラス・シグネチャを示し続けます。

アプリケーション情報

5. PSEは長いクラス・イベントを継続し、この時点ではクラス・シグネチャ電流を測定しません。
6. PDは、Autoclassを要求している場合はクラス・シグネチャ0に遷移します。Autoclassを要求していない場合は、そのクラス・シグネチャを示し続けます。
7. PSEはPDのAutoclass応答を測定します。クラス・シグネチャ0が測定された場合、PDはAutoclassを要求しています。測定が完了すると、最初のクラス・イベントは終了します。
8. PDは、最初のクラス・イベントが終了するまで、手順6で選択したクラス・シグネチャを保持します。

Autoclassのネゴシエーション手順に続いてPSEとPDは引き続き物理層分類を行い、通常どおりに起動します。Autoclassかどうかに関わらず、PDには、PD割当てクラスに従ってネゴシエートされた電力割当て未満の電力で動作することが求められます。

Autoclassの測定手順

Autoclassの測定は、PDが物理層分類を介して要求するか、または電源投入後にLLDPを介して要求することができます。LTC9101-2/LTC9102はLLDPベースのAutoclass要求に対応していますが、データ・パスへのアクセス権がないのでLLDPのAutoclass要求を直接受け取ることはできません。

PSEが物理層要求に続いてAutoclass測定を実行するよう命令されている場合は、通常、ポートの突入電流が正常に終了してから $t_{\text{AUTO_PSE1}}$ (代表値1.5秒)が経過した後に、測定が開始されます。LLDPベースのAutoclass要求では、直ちに測定が開始されます。

Autoclassの測定時間は $t_{\text{AUTO_PSE2}} - t_{\text{AUTO_PSE1}}$ (代表値1.8秒)で、 $t_{\text{AUTO_WINDOW}}$ (代表値0.23秒)の移動区間を使用します。Autoclassの測定時間中、PSEは I_{PORT} と V_{EE} を継続的にモニタして、最大平均電力値を計算します。Autoclass測定時間の終了後、Autoclassの測定値がポート・パラメトリックレジスタ (Port Parametric) にレポートされます。

Autoclassのイネーブル、Autoclassネゴシエーションのステータス、Autoclass測定結果の読出し、Autoclass測定の動的要求の詳細については、LTC9101-2NDASIソフトウェア・プログラミング・マニュアルを参照してください。

ポート電流のリードバック

LTC9101-2は、チャンネルごとのA/Dコンバータを使って各パワー・チャンネルの電流を測定します。チャンネル電流が有効となるのはパワー・チャンネルがオンになっている場合に限られ、それ以外の場合リードバック値は常にゼロになります。連続してサンプリングが行われ、1秒間の移動平均が100msごとに更新されます。

ポート電圧と V_{EE} のリードバック

LTC9101-2/LTC9102は、専用のA/Dコンバータを使って V_{EE} の電圧を継続的に測定します。このグローバル V_{EE} 測定はすべてのポート電流測定と完全に同期しており、LTC9102のUVLO閾値までモニタすることができます。

温度のリードバック

電源イベント・レジスタの過熱フォルトに加えて、LTC9101-2は対応する各LTC9102のダイ温度もレポートします。

過熱保護

過熱保護機能は、LTC9102の温度がプリセットされている閾値 (代表値150°C) を超えると、影響するポートへの電力供給を自動的に停止します。ポートの動作は、ダイ温度がプリセットされている回復閾値 (代表値125°C) 未満に低下するまで再開できません。詳細については、LTC9101-2NDASIソフトウェア・インターフェース・ガイドを参照してください。

過電流シャットダウン (OSS)

LTC9101-2は、必要に応じてシステム負荷を直ちに軽減する低遅延のポート削減機能を備えています。予め設定された一連のポートをオフできるようにすることで、過負荷状態の主電源から流れる電流を急速に減少させる一方、優先度の高いデバイスには引き続き電力を供給することができます。LTC9101-2は1ビットまたは3ビットのシャットダウン優先度をマルチビット優先度フィールドによって設定することができます。

1ビット優先度モードでは、各ポートをハイカローかのどちらかに設定します。特に、マルチビット優先度が無効であれば、ポート電力優先度 (Port Power Priority) に従ってポート優先度が決まりOSSが動作します (すなわち1ビット優先度)。OSS HWピンの立上がりエッジで、低優先度のポートが6.5 μs 以内にシャットダウンされます。OSSが発生すると、OSSイベントと切斷割込みがセットされます。

アプリケーション情報

3ビット優先度モード、すなわちマルチビット優先度が有効な場合には、各ポートを8つのマルチビット優先度のどれかに設定することができます。ホスト・システムが特定の優先度のポート・グループをシャットダウンするときには、対応するシャットダウン・コードをOSSピンに送ります。LTC9101-2はOSSで受けたシャットダウン・コードを各ポートのマルチビット電力優先度と比較し、指示されたシャットダウン・コード(図25参照)と同じかより低い優先度のポートをシャットダウンします。

OSSによってポートをオフにすると対応する検出イネーブル(Detection Enable)ビットと分類イネーブル(Classification Enable)ビットはイネーブルされたままなので、ポートは再検出を開始します。

ポートのリマッピング

LTC9101-2/LTC9102にはポートを論理的にリマップする機能があります。ポート・リマッピング・レジスタに適切な値を書き込むことによってリマッピングを行います(表16参照)。デフォルトではリマッピングはありません。

表 16. ポートのリマッピング

CODE	REMAPPING
00b	Port 1
01b	Port 2
10b	Port 3
11b	Port 4

物理的なポート・リマッピングに制限はありません。どの物理ポートも任意の論理ポートにマップ可能です。ポートが4P動作するように設定されている場合には、4Pマッピングは常に論理ポート1とポート2を1つの4Pポートに、論理ポート3とポート4をもう1つの4Pポートに設定します。物理ポート・マッピングでは、任意の2つの物理2Pポートを論理4Pポートにマップできます。論理ポート1-2は物理ポート1-2、1-3、1-4、2-1、2-3、2-4、3-1、3-2、3-4、4-1、4-2、4-3にマップ可能です。

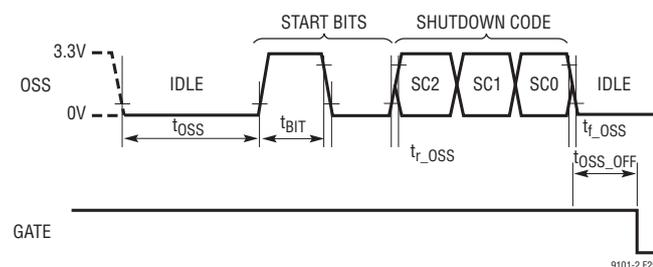


図 25. マルチビット優先度での低優先度ポートのポート・シャットダウン

コードのダウンロード

LTC9101-2のファームウェアは、ファームウェア・イメージをダウンロードして実行することにより、フィールドでアップグレードできます。

ダウンロード手順とファームウェア・イメージの詳細については、アナログ・デバイセズへお問い合わせください。

ファームウェア・イメージは専用のフラッシュ・パーティションに保存されます。LTC9101-2には、IEEE 802.3bt完全準拠のファームウェア・イメージが予め設定されています。このファームウェア・イメージはユーザが上書きできます。

このファームウェア・イメージは、最大限のデータ保護を実現するために2つの完全なコピーが使われており、それぞれに対して個別にECC保護とCRC保護がかけられています。

保存されている設定

オプションで、カスタムのI²Cレジスタ・マップ初期値をフラッシュ・パーティションに保存することができます(設定パッケージ)。工場出荷時のLTC9101-2にはデフォルトの設定パッケージが組み込まれており、そのレジスタ・マップ初期値はLTC9101-2NDASIソフトウェア・インターフェースの指定に従って設定されています。レジスタ・マップのデフォルト設定は、製造工程確立時に保存されたものか、設定パッケージのダウンロードによりフィールドで更新されたもので、起動時に自動的にロードされます。

カスタム設定パッケージの作成についてご不明な点は、アナログ・デバイセズのアプリケーション・サポートまでお問い合わせください。設定パッケージは、通常のコード・ダウンロード・メカニズムを使ってダウンロードします。設定パッケージはパッケージ・ヘッダによって識別し、適切なフラッシュ・パーティションに保存することができます。

保存されている設定を利用する場合、PWRMD[1:0]ピンの状態を設定パッケージで上書きすることができます。また、何個のLTC9102を接続するかをLTC9101-2に知らせるにはCFG[1:0]が必要です。更に、AD[4:1]が、ベースI²Cチップ・アドレスをLTC9101-2に知らせるために必要です。

設定イメージは、最大限のデータ保護を実現するために2つの同じコピーが使われており、それぞれに対して個別にECC保護とCRC保護がかけられています。

アプリケーション情報

シリアル・デジタル・インターフェース

概要

LTC9101-2は、標準的なSMBus/I²C 2線インターフェースを使ってホストと通信します。LTC9101-2はスレーブ専用デバイスで、標準SMBusプロトコルを使ってホスト・マスタと通信します。割込み信号は、 $\overline{\text{INT}}$ を介してホストに送られます。標準的な通信波形と、それらの波形のタイミング関係をタイミング図(図5～図9)に示します。SMBusデータ・プロトコルの詳細についてはwww.smbus.orgを参照してください。

バスのアドレス指定

LTC9101-1の最初の7ビット・シリアル・バス・アドレスは01A4A3A2A10bで、ビット4:1はそれぞれAD[4:1]によって設定されます。デバイス設定オプションについては表4を参照してください。デバイスの設定に応じて、最大12個のI²CアドレスがI²Cベース・アドレスから昇順に設定されます。すべてのLTC9101-2はブロードキャスト・アドレス1111111bにも応答するので、ホストは1回のトランザクションで複数のLTC9101-2に同じコマンド(通常は設定コマンド)を書き込むことができます。LTC9101-2が $\overline{\text{INT}}$ をアサートしている場合、このデバイスはSMBus規格に従ってアラート応答アドレス(0001100b)にも応答します。

論理的には、それぞれのLTC9101-2/LTC9102はクワッドと呼ばれる複数の4ポート・グループで構成されており、各グループは1つのI²Cアドレスにまとめられています。詳細については**デバイスの設定**のセクションを参照してください。例えばCFG[1:0]が00に設定されている場合に1個のLTC9101-2を1個のLTC9102に接続すると、そのLTC9101-2は12ポートのデバイス1個として設定されます(表4を参照)。この設定には連続したI²Cアドレスが必要です。この場合はクワッド・オフセット0がI²Cベース・アドレスから開始します。

割込みとSMBAlert

大半のポート・イベントは、割込みをトリガするように設定できます。この割込みが $\overline{\text{INT}}$ をアサートし、イベントに関するアラートをホストに通知します。これにより、ホストがLTC9101-2に対してポーリングを行う必要がなくなるのでシリアル・バスのトラフィックが最小限に抑えられ、ホストのCPUサイクルも節約できます。また、複数のLTC9101-2が1つの $\overline{\text{INT}}$ ラインを共有できますが、この場合、ホストはSMBAlertプロトコル(ARA)を使って、どのLTC9101-2が割込みを発生させたのかを特定することができます。

レジスタの説明

シリアル・バスの使用法、およびデバイスの設定とステータスの詳細についてはLTC9101-2NDASIソフトウェア・インターフェース・ガイドを参照してください。ソフトウェア・インターフェース・ガイドについてはアナログ・デバイゼズにお問い合わせください。

絶縁条件

IEEE 802.3イーサネット仕様では、ネットワーク・セグメント(PoE回路を含む)を、各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁する必要があります。ただし、これらのセグメントが単一配電システムを使用する1つの建屋内に設置された装置に接続されている場合は、ネットワーク・セグメント同士を互いに絶縁する必要はありません。

PSEが大規模システムの一部である場合や、イーサネット非対応の追加的な外部ポートを備えている場合、または何か他の理由によって保護グラウンドを基準にする必要がある場合は、PoEサブシステムをシステムの残りの部分から電氣的に絶縁する必要があります。

LTC9101-2/LTC9102チップセットではLTC9101-2チップを非絶縁側に置くことができるので、PSEの絶縁が容易になります。したがって、このチップセットはロジックの主電源から電力を受け取って、I²C/SMBusバスに直接接続することができます。この場合はSDAINピンとSDAOUTピンを互いに接続し、標準的なI²C/SMBus SDAピンとして動作させることができます。LTC9101-2とLTC9102の間の絶縁は、トランスをベースとした独自の通信プロトコルを使って実施されます。詳細については、このデータシートの**高速データの絶縁**のセクションを参照してください。

非管理型PoEスイッチなどの単純なデバイスでは、装置全体に絶縁型主電源を使用することによって、絶縁条件を満たすことができます。ツイストペア・イーサネット以外にデバイスに導電性ポートがない場合は、この方法を使用できます。上記のような状況の場合や、システムが既に絶縁されている場合は、LTC9101-2を直接LTC9102に接続することができます。

外付け部品の選択

電源

LTC9101-2/LTC9102を動作させるには2つの電源電圧が必要です。V_{DD}はDGND基準で3.3V(公称値)を必要とします。V_{EE}には、タイプ3 PSEの場合はAGND基準で-51V～

アプリケーション情報

-57Vの負電圧、タイプ4 PSEの場合は同じくAGND基準で-53V~-57Vの負電圧が必要です。

デジタル電源

V_{DD}は、LTC9101-2のプロセッサに電力を供給するデジタル電源として機能します。各V_{DD}とDGNDの間には0.1μF以上のセラミック・デカップリング・コンデンサを接続する必要があります。接続時は、それぞれのLTC9101-2にできるだけ近付けてください。更に、十分なサージ耐性を持たせるために、各LTC9101-2には10μFのバルク・コンデンサを組み込む必要があります。1.2Vのコア電圧源が内部で生成されるので、CAP1ピンとDGNDの間、およびCAP2とDGNDの間に1μFのセラミック・デカップリング・コンデンサが必要です。

アナログ・デバイス独自の絶縁技術を使うシステム内では、ホスト・コントローラの非絶縁3.3V電源によってV_{DD}を供給する必要があります。必要な絶縁を維持するために、LTC9102のAGNDとLTC9101-2のDGNDは接続しないでください。直接接続方式を用いる場合は、LTC9101-2のDGNDをLTC9102のV_{EE}に接続する必要があります。

PoE 主電源

V_{EE}は、PDに電力を供給する絶縁型PoE主電源です。この電源は比較的大量の電力を供給し、大きな電流トランジェントが発生することがあるので、設計時には単純なロジック電源の場合より注意が必要です。IR損失を最小限に抑えて最大限のシステム効率を実現するために、V_{EE}を最大振幅(57V)付近に設定し、使用する特定電源のトランジェント・オーバーシュート/アンダーシュート、温度ドリフト、ラインレギュレーションの仕様値を見込んで十分なマージンを取ってください。

それぞれのLTC9102のAGNDとV_{EE}間のバイパス・コンデンサおよび電圧トランジェント圧縮(TVS)は、信頼性の高い動作を確保する上で非常に重要です。いずれかの出力ポートで短絡が発生した場合、LTC9102が電流のレギュレーションを開始するまでに1μs余りもかかることがあります。この間に電流を制限するのは回路内の小さなインピーダンスだけです。このため、通常は大きな電流スパイクが発生してV_{EE}電源に電圧トランジェントが生じ、UVLOフォルトによってLTC9101-2/LTC9102がリセットされてしまうおそれがあります。誤ってリセットされてしまう可能性を最小限に抑えるために、1μF、100VのX7RコンデンサとSMAJ58Aを、それぞれのLTC9102の近くに配置することを推奨します。あわせて、システムごとに47μF、100V以上の電解バルク・コンデンサと、バルクTVSを使用することも推奨します。

LTC9102の低電圧電源

LTC9102は、PoE主電源から直接低電圧電源を生成する電圧レギュレータを内蔵しています。スタートアップ時は内部レギュレータがPWRINに6Vの電圧を生成して、AGNDから電力を取り込みます。4.3Vと3.3Vの各内部レールは、PWRINからサブレギュレーションされます。PWRINピンには、1μF、100Vのローカル・バイパス・コンデンサが必要です。

PWRINとAGNDの間には、LTC9102のパッケージ外部で熱を放出するために、プルアップ抵抗を接続できます。オプションで、外部電源をPWRINに接続してスタートアップ・レギュレータをオーバーライドし、消費電力を減らすこともできます。

3.3V内部レギュレータ使用時のプルアップ抵抗構成を図26に示します。バイパス抵抗R1、R2、R3、R4は、LTC9102に発生する熱を外部に放出します。PWRINピンの電圧は、LTC9102の動作モードと、それに対応する消費電流に従って変化します。バイパス抵抗が提供する電流以上の電流が消費される場合は、スタートアップ・レギュレータが電圧を6V(代表値)に維持します。スペースに制約のあるアプリケーションでは、プルアップ抵抗なしでLTC9102を動作させることができます。

外部PWRIN電源を使用するアプリケーションでは、6.5Vレギュレータが最適な電圧を維持して6V内部スタートアップ・レギュレータをオーバーライドしながら、LTC9102の発熱を最小限に抑えます。外部電源は複数のLTC9102で共有できます。

図27に示すように、3.3V電源は直接CAP3ピンに接続できます。これにより、最も電力効率の良いスリープ・モードが実現されます。3.3V外部電源を使用するときは、EXT3ピンをCAP3に接続してください。これは3.3V内部レギュレータをディスエーブルして、電力の逆流を防ぎます。3.3Vレギュレータは、電気的特性の表に指定されたt_{CAP3EXT}以内にパワーアップする必要があります。

直接接続方式を使用する場合は、LTC9101-2に電力を供給する3.3V電源から、LTC9102にも電力を供給することができます。LTC9101-2とLTC9102がシステム絶縁バリアの同じ側にある場合は、これが望ましいオプションです。

アプリケーション情報

る $I_{\text{HOLD-2P}}$ と $I_{\text{LIM-2P}}$ の精度を満たすためには、許容誤差が $\pm 1\%$ 以下、温度係数が $\pm 200\text{ppm}/^\circ\text{C}$ 以下の検出抵抗を使用する必要があります。

ポートの出力コンデンサ

スタートアップ時や過負荷時の電流が制限された場合に LTC9102 を安定した状態に保つために、各ポートの OUT_n と AGND の間には $0.1\mu\text{F}$ のコンデンサを配置する必要があります (図 30 を参照)。一般的なセラミック・コンデンサの電圧係数は、たいていの場合かなり大きな値を示します。つまり、加えられる電圧が高くなると容量が減少します。この問題の影響を最小限に抑えるために、定格 100V 以上の X7R セラミック・コンデンサの使用を推奨します。このコンデンサは、LTC9102 の近くに配置する必要があります。

サージ保護

イーサネット・ポートには、かなり大きなケーブル・サージが加わることがあります。PoE 電圧を安全なレベル未満に維持

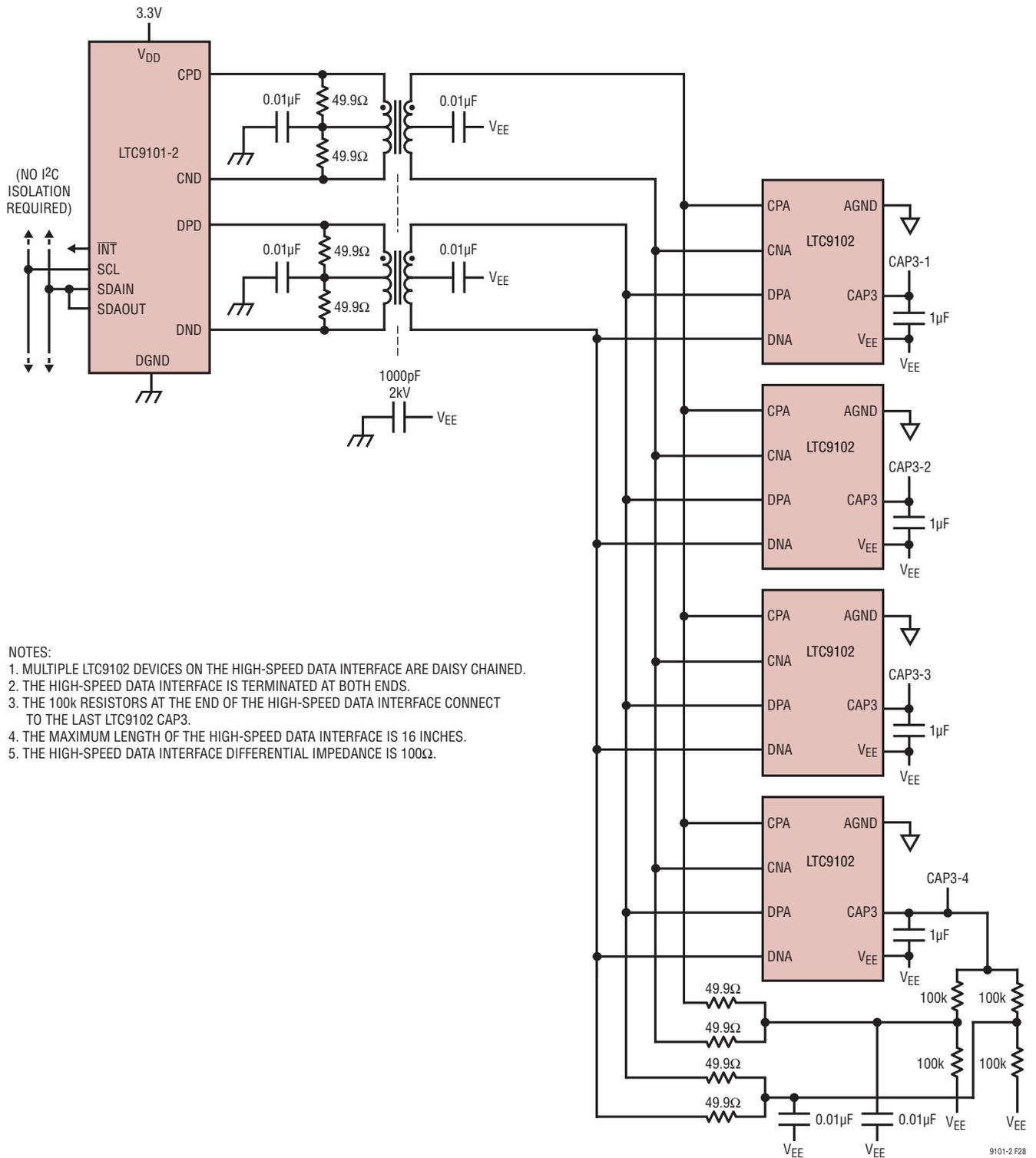
してアプリケーションを損傷から保護するため、図 30 に示すように、主電源、LTC9102 の電源ピン、および各ポートには保護部品が必要です。

PoE 主電源の両端には、バルク・トランジェント電圧サプレッサ (TVS_{BULK}) およびバルク容量 (C_{BULK}) が必要です。また、これらはシステム・レベルのサージ条件に見合ったサイズにする必要があります。

それぞれの LTC9102 の AGND ピンと V_{EE} ピンの間には、SMAJ58A 58V TVS (D1) と、 $1\mu\text{F}$ 、 100V のバイパスコンデンサ (C1) を接続します。これらの部品は、LTC9102 の各ピンの近くに配置する必要があります。

各ポートには S1B クランプ・ダイオードが必要で、これは OUT_n と電源 AGND の間に接続します。このダイオードは有害なサージを電源レールに誘導し、サージはそこでサージ・サプレッサと V_{EE} のバイパス・コンデンサに吸収されます。これらのパスのレイアウトは低インピーダンスにする必要があります。

アプリケーション情報

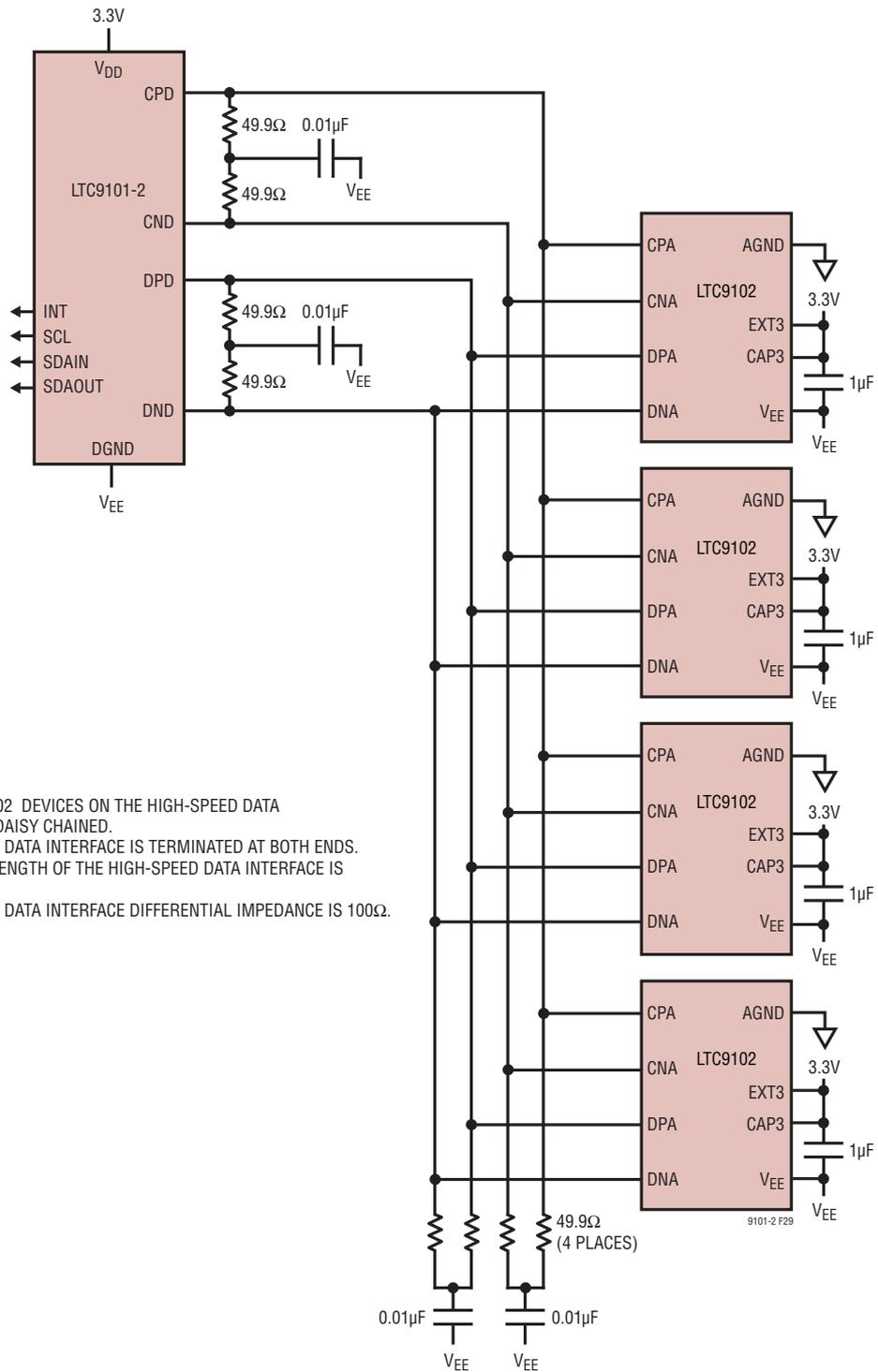


NOTES:

1. MULTIPLE LTC9102 DEVICES ON THE HIGH-SPEED DATA INTERFACE ARE DAISY CHAINED.
2. THE HIGH-SPEED DATA INTERFACE IS TERMINATED AT BOTH ENDS.
3. THE 100k RESISTORS AT THE END OF THE HIGH-SPEED DATA INTERFACE CONNECT TO THE LAST LTC9102 CAP3.
4. THE MAXIMUM LENGTH OF THE HIGH-SPEED DATA INTERFACE IS 16 INCHES.
5. THE HIGH-SPEED DATA INTERFACE DIFFERENTIAL IMPEDANCE IS 100Ω.

図28. LTC9101-2/LTC9102の独自絶縁方式

アプリケーション情報



- NOTES:
1. MULTIPLE LTC9102 DEVICES ON THE HIGH-SPEED DATA INTERFACE ARE DAISY CHAINED.
 2. THE HIGH-SPEED DATA INTERFACE IS TERMINATED AT BOTH ENDS.
 3. THE MAXIMUM LENGTH OF THE HIGH-SPEED DATA INTERFACE IS 16 INCHES.
 4. THE HIGH-SPEED DATA INTERFACE DIFFERENTIAL IMPEDANCE IS 100Ω.

図 29. LTC9101-2/LTC9102の直接接続方式

アプリケーション情報

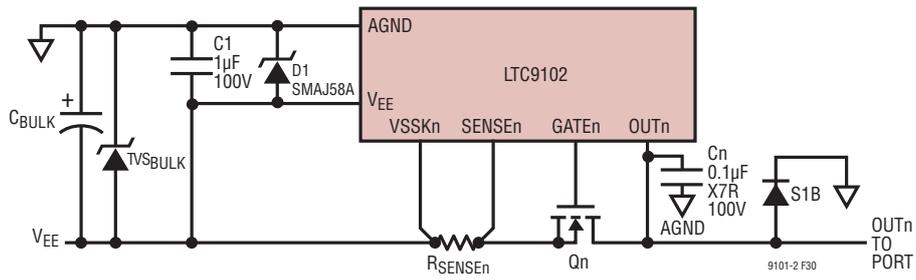


図 30. LTC9102 のサージ保護

表 17. PSE 最大クラスの部品選択

PSE CLASS	SENSE RESISTOR	HOT SWAP MOSFET	FUSE	ETHERNET TRANS-FORMER
Class 3	100mΩ, 1%, 50mW	PSMN075-100MSE	SF-0603HI075F-2	7490220120
Class 4	100mΩ, 1%, 100mW	PSMN075-100MSE	SF-0603HI100F-2	7490220121
Class 6	100mΩ, 1%, 100mW	PSMN040-100MSE	SF-0603HI100F-2	7490220121
Class 8	100mΩ, 1%, 200mW	PSMN040-100MSE	SF-0603HI150F-2	7490220122

アプリケーション情報

レイアウト条件

IEEE への準拠、パラメータの測定精度、システムの堅牢性、および放熱などを実現するには、基板レイアウト、部品配置、および配線などに関する条件に厳密に従うことが極めて重要です。レイアウト例については、DC3160A-KIT デモ・キットを参照してください。

ケルビン検出

ポート電流のケルビン検出ラインを正しく接続することは、電流閾値の精度と IEEE への準拠を確保する上で重要です。これらのケルビン検出ラインのレイアウト例については、[図 31](#)を参照してください。LTC9102 の VSSKn ピンは検出抵抗 (V_{EE} 側) パッドにケルビン接続されており、それ以外で V_{EE} の銅領域に接続されていることはありません。同様に、LTC9102 の SENSEn ピンは検出抵抗 (SENSEn 側) にケルビン接続されており、それ以外で電力バスに接続されていることはありません。LTC9102 から検出抵抗 (R_{SENSEn}) への 2 つのケルビン・パターンを [図 31](#) に示します。

高速データ・インターフェース

LTC9101-2/LTC9102 チップセットは、独自の高速マルチドロップ・データ・インターフェースを介して通信を行います。これにより、1 つの LTC9101-2 で最大 4 つの LTC9102 を制御することができます。

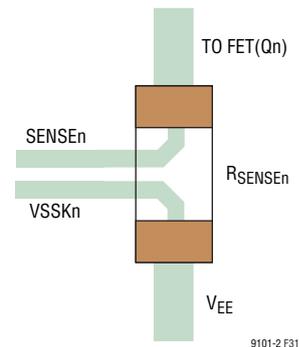


図 31. R_{SENSEn} のケルビン接続

それぞれの LTC9102 へのデータ・ラインには、インピーダンス・マッチングされたパターンを使用する必要があります。データ・バスの終端抵抗は、絶縁トランスから最も離れた LTC9102 に配置してください。また、絶縁型アプリケーションの DC バイアス抵抗は、絶縁トランスから最も離れた LTC9102 の CAP3 ピンに接続する必要があります。[図 28](#)と [図 29](#) に示すように、インターフェースは 100Ω の差動伝送ラインで設計して、 100Ω の差動終端抵抗を配置します。高速データ・インターフェース・ラインの長さは 16 インチまでとしてください。また、LTC9102 と高速データ・インターフェース間の伝送スタブの数は最小限に抑えてください。

標準的応用例

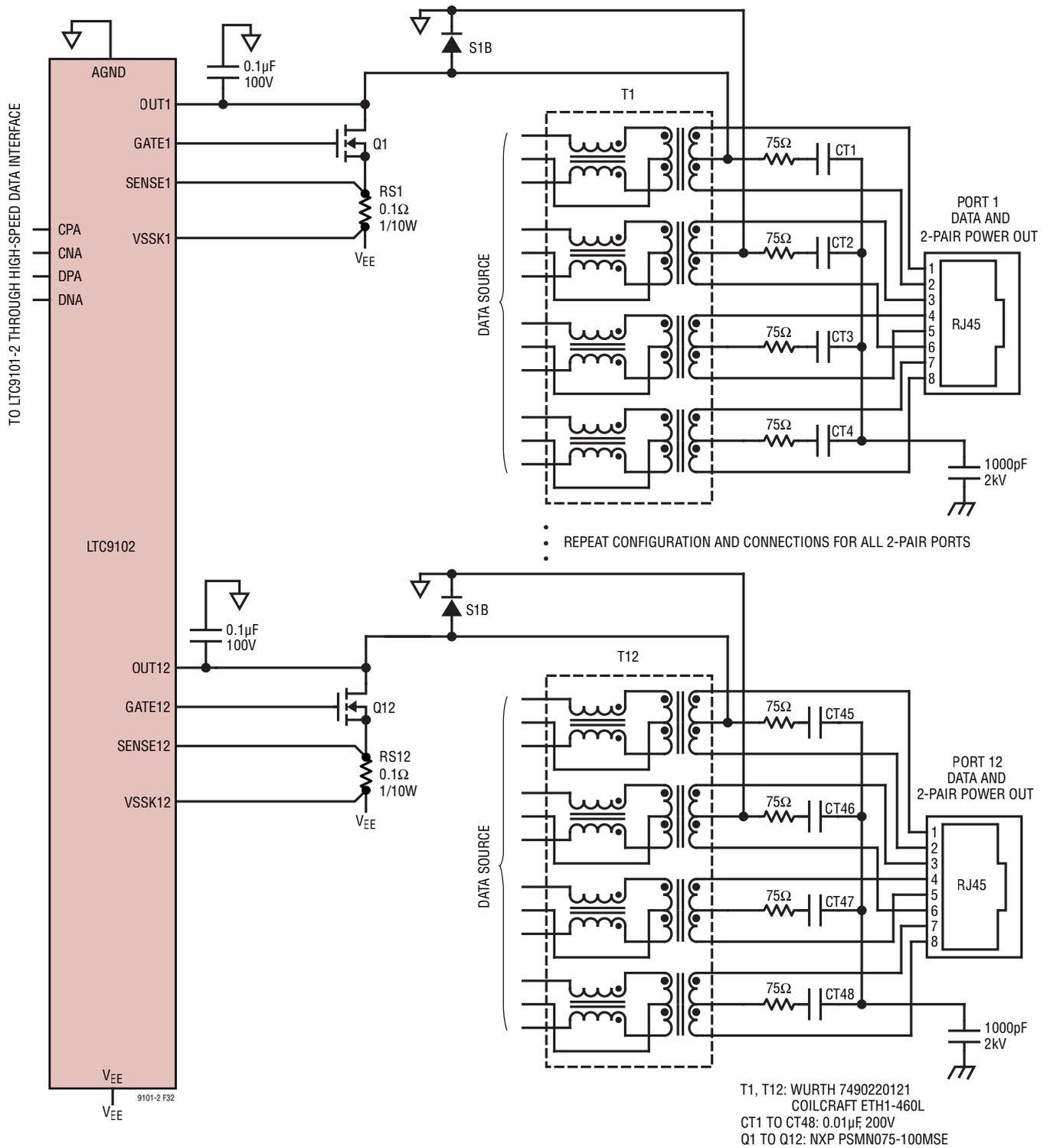


図 32. オルタナティブ A (MDI-X) および B (S)、4ペア、1000Base-T、IEEE 802.3bt、タイプ 3 またはタイプ 4 PSE。
 図にはポート 1 および 6 を示す

標準的応用例

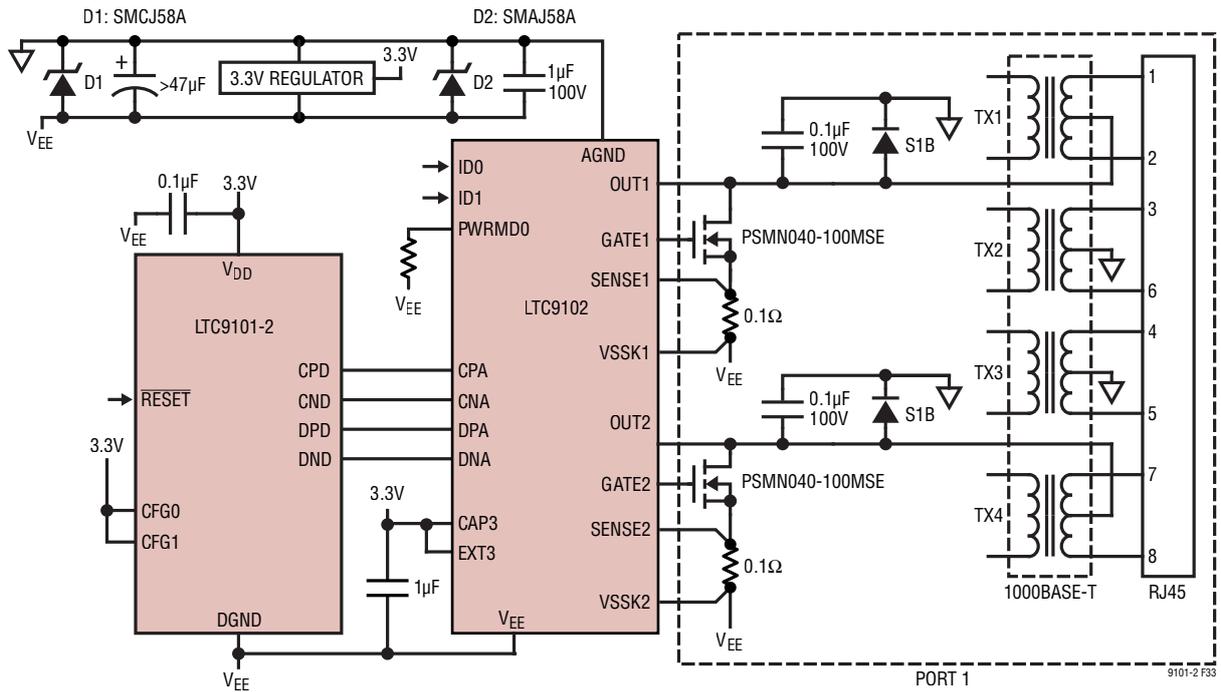
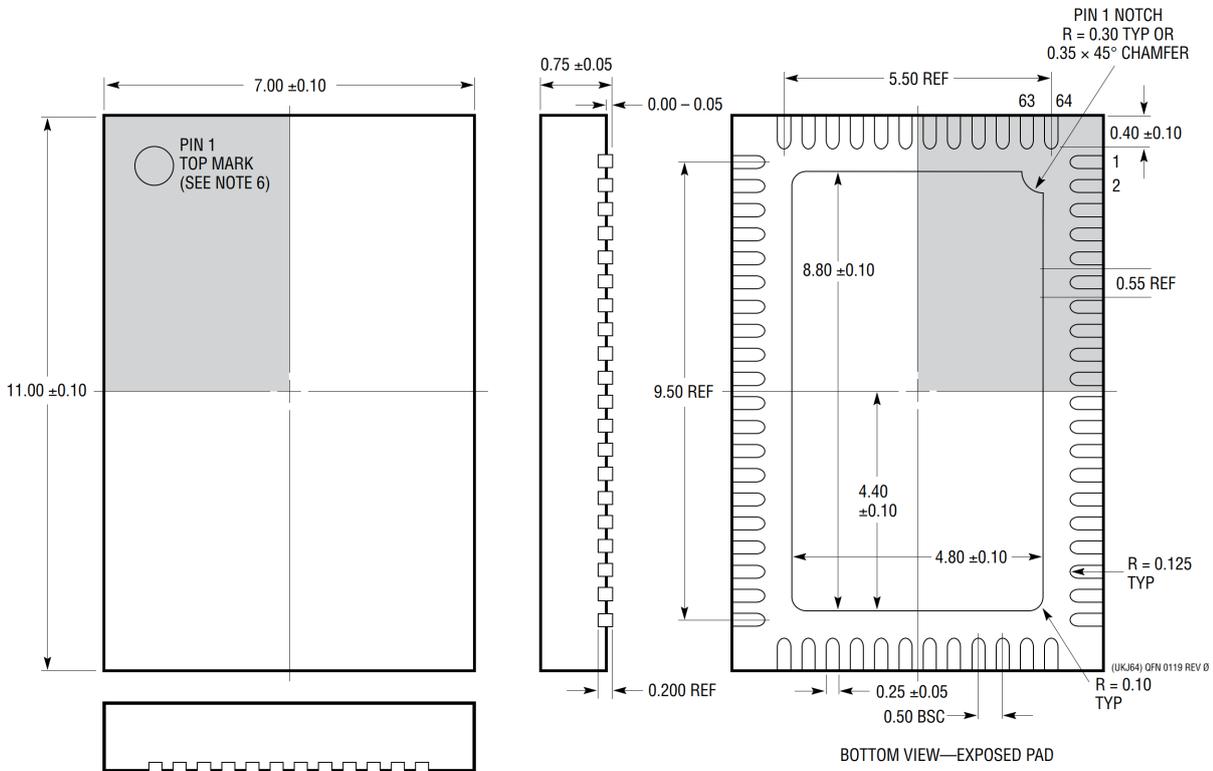


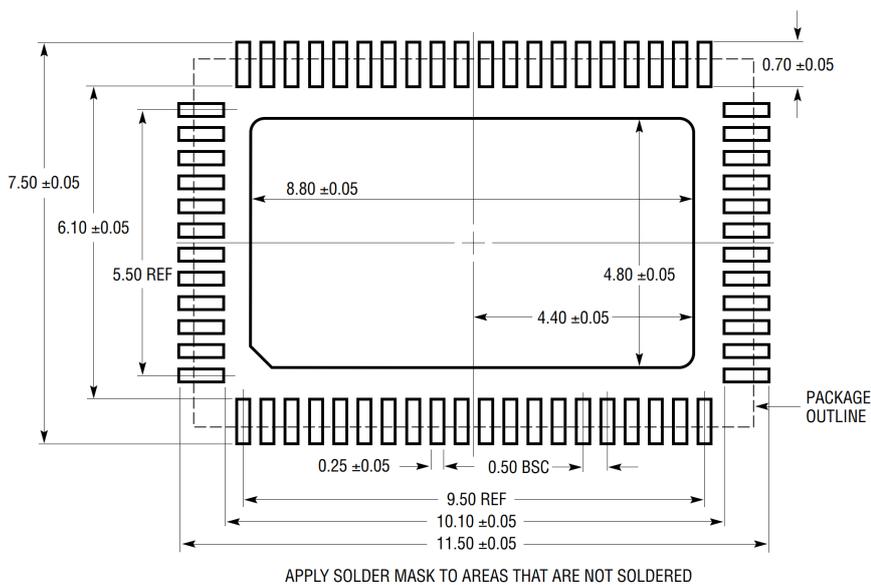
図 33. 自律型 IEEE 802.3bt 4ペア PSE、タイプ 3 またはタイプ 4、オルタナティブ A (MDI-X) および B (S)、1000Base-T。
図には 1ポートのみを示す

パッケージの説明

UKJ Package
64-Lead Plastic QFN (7mm × 11mm)
 (Reference LTC DWG # 05-08-1780 Rev 0)



- NOTE:
1. DRAWING IS NOT A JEDEC PACKAGE OUTLINE
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE



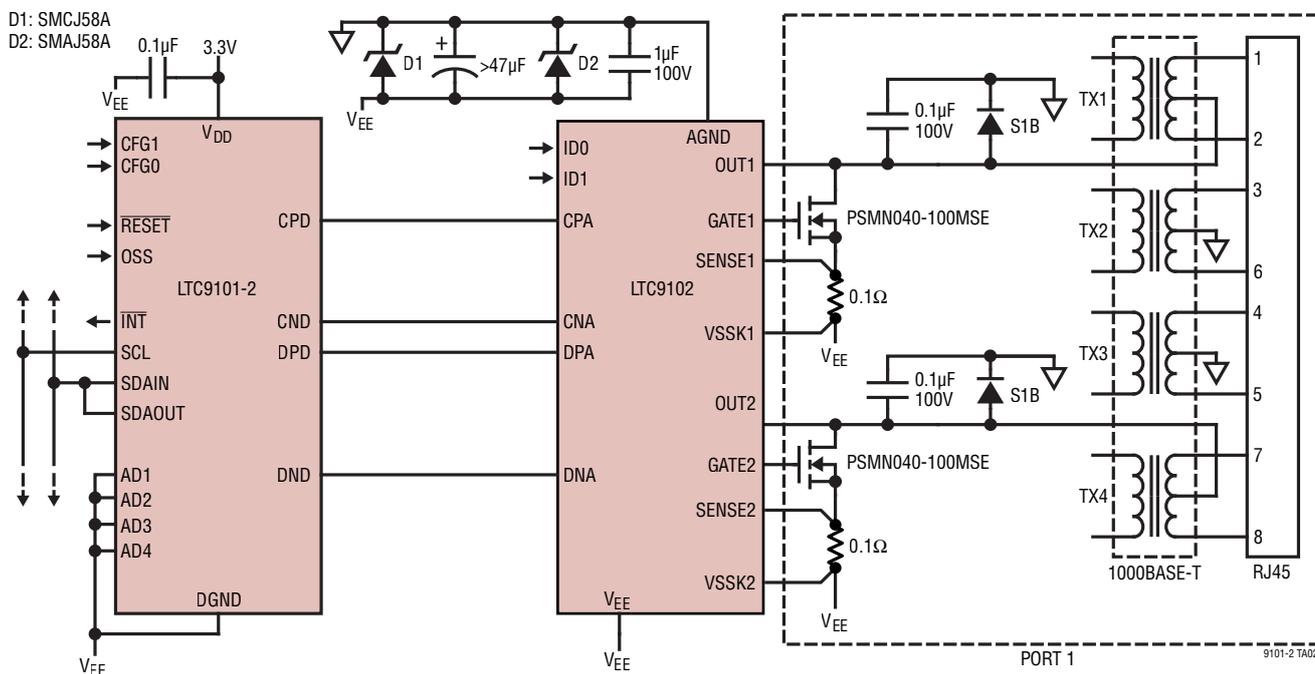
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED

Rev. 0

Rev. 0

標準的応用例

IEEE 802.3bt タイプ 3 または タイプ 4 PSE、オルタナティブ A (MDI-X) および B (S)、1000Base-T。図には 1 ポートのみを示す



関連製品

製品番号	概要	注釈
LTC9101-1/LTC9102/LTC9103	48ポート IEEE 802.3bt PoE PSE コントローラ	0.1Ω 検出抵抗による業界最小の電力パルス消費電力、トランス絶縁通信
LTC4292/LTC4291-1	4ポート IEEE 802.3bt PoE PSE コントローラ	トランス絶縁、ポートごとの 14ビット電流モニタリング (電流制限をプログラム可能)、タイプ 1~4 の PD をサポート
LT[®]4293	LTPoE++/IEEE 802.3bt PD インターフェース・コントローラ	外部スイッチ、LTPoE++ および IEEE 802.3bt をサポート、クラス設定と補助電源をサポート
LT4294	IEEE 802.3bt PD コントローラ	外部スイッチ、IEEE 802.3bt をサポート、クラス設定と補助電源をサポート
LT4295	フォワード/フライバック・スイッチング・レギュレータ・コントローラ付き IEEE 802.3bt PD	外部スイッチ、IEEE 802.3bt をサポート、クラス設定可能、フォワード動作または光アイソレータ不要のフライバック動作、周波数、PG/SG 遅延、ソフトスタート、最小 9V の補助電源をサポート (ハウスキーピング降圧電源とスローブ補償回路を内蔵)
LTC4290/LTC4271	8ポート PoE/PoE+/LTPoE++ PSE コントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++ PD をサポート、トランス絶縁
LTC4263	シングル IEEE 802.3af PSE コントローラ	MOSFET スイッチ内蔵
LTC4265	IEEE 802.3at PD インターフェース・コントローラ	100V、1A のスイッチを内蔵、2 イベント分類認識
LTC4266	クワッド IEEE 802.3at PoE PSE コントローラ	プログラマブル I _{CUT} /I _{LIM} 、2 イベント分類、ポート電流および電圧のモニタリング
LTC4267	スイッチング・レギュレータ内蔵の IEEE 802.3af PD インターフェース	100V、400mA のスイッチを内蔵、デュアル突入電流、クラス設定可能
LTC4270/LTC4271	12ポート PoE/PoE+/LTPoE++ [®] PSE コントローラ	タイプ 1、タイプ 2、LTPoE++ PD をサポート、トランス絶縁
LTC4278	フライバック・スイッチング・レギュレータ内蔵の IEEE 802.3at PD インターフェース	2 イベント分類、クラス設定可能、光アイソレータ不要の同期整流式フライバック・コントローラ、50kHz~250kHz、12V 補助電源をサポート
LTC4279	シングル PoE/PoE+/LTPoE++ PSE コントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++、および独自設計の PD をサポート