

**12/24/48ポートのIEEE 802.3at PoE PSEコントローラ**

**特長**

- ▶ IEEE 802.3atタイプ1および2に完全準拠のPSE
- ▶ 最大48個のPSEポート
- ▶ 業界標準のレジスタ・マップ
- ▶ +80V/-20Vに対応したポート対向ピン
- ▶ ECCで保護されたeFlashとデータRAM
- ▶ 低い電力経路損失（1チャンネルあたり）
  - ▶ 検出抵抗：100mΩ
  - ▶ MOSFETの $R_{DS(ON)}$ ：30mΩ以下
- ▶ チップセットによる電氣的絶縁
  - ▶ フォトカプラや3.3V絶縁型電源が不要
- ▶ 非常に信頼性の高いマルチポイントPD検出
- ▶ ポートごとの電圧と電流を継続的にモニタ
- ▶ 1MHz I<sup>2</sup>C対応のシリアル制御インターフェース
- ▶ ピンまたはI<sup>2</sup>CによりPD電力を設定可能
- ▶ 24ピン4mm × 4mm QFNパッケージ（LTC9101-2A）および64ピン7mm × 11mm QFNパッケージ（LTC9102）で供給

**アプリケーション**

- ▶ PoE PSEスイッチ/ルータおよびミッドスパン

**説明**

LTC®9101-2A/LTC9102チップセットは、IEEE 802.3atタイプ1およびタイプ2準拠のPoE（Power over Ethernet）システム用に設計された（最大）48ポートの給電デバイス（PSE）コントローラです。LTC9101-2A/LTC9102は、802.3afおよび802.3atに準拠したPDに電力を供給するように設計されています。このチップセットは、電力チャンネルごとに低 $R_{DS(ON)}$ の外部MOSFETと0.1Ωの検出抵抗を利用することで、同様のデバイス中で最も低い熱損失を実現します。トランス絶縁型の通信プロトコルを使用しているため、高価なフォトカプラや複雑な絶縁型3.3V電源は不要で、BOMコスト（部品コスト）を大幅に低減できます。

高度なパワー・マネージメント機能には、ポートごとの14ビット電流/電圧モニタリング、プログラマブル電力制限、事前選択したポートに対する柔軟な高速シャットダウンなどが含まれています。PD検出には独自のマルチポイント検出機構を使用しており、PDの誤検出を高い確率で防止します。また、1イベントおよび2イベントによる物理層分類をサポートしています。LTC9101-2A/LTC9102は、1MHzまで動作可能なI<sup>2</sup>Cシリアル・インターフェースを内蔵しています。LTC9101-2A/LTC9102は、ピンまたはI<sup>2</sup>Cを使用して最大25.5Wまでの範囲でPDへの供給電力を設定できます。

**代表的なアプリケーション**

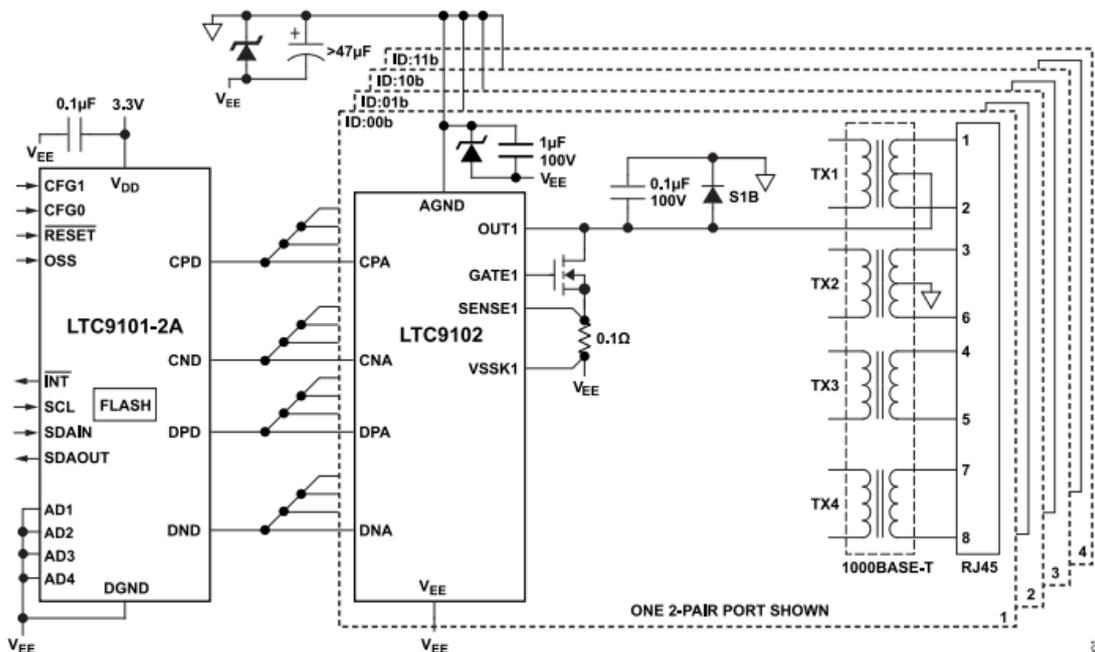


図1. 802.3at 2ペア・アプリケーション（図は1ポートを示す）

## 目次

特長.....	1	概要.....	18
アプリケーション.....	1	802.3atの2ペア動作.....	18
説明.....	1	PoEの基本.....	18
代表的なアプリケーション.....	1	デバイスの設定.....	20
絶対最大定格.....	3	動作モード.....	20
LTC9101-2A.....	3	検出.....	20
LTC9102.....	3	分類.....	21
ESDに関する注意.....	3	電力の制御.....	22
ピン配置.....	4	シリアル・デジタル・インターフェース.....	24
発注情報.....	5	絶縁条件.....	25
電気的特性.....	6	外付け部品の選択.....	25
代表的性能特性.....	10	レイアウト条件.....	30
テスト・タイミング図.....	14	代表的なアプリケーション.....	31
PCのタイミング図.....	15	パッケージ.....	32
ピン機能.....	16	代表的なアプリケーション.....	34
アプリケーション情報.....	18	関連製品.....	34

## 絶対最大定格

## LTC9101-2A

表 1. 絶対最大定格 (Note 1、4)

PARAMETER	RATING
Supply Voltages (with respect to DGND)	
$V_{DD}$	-0.3V to 3.6V
CAP1, CAP2	-0.3V to 1.32V
Digital Pins	
ADn, CFGn, OSS, SDAIN, SDAOUT, SCL, $\overline{RESET}$ , $\overline{INT}$	-0.3V to $V_{DD} + 0.3V$
Analog Pins	
CPD, CND, DPD, DND	-0.3V to $V_{DD} + 0.3V$
Operating Ambient Temperature Range	-40°C to 85°C
Operating Junction Temperature Range (Note 2)	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C

## LTC9102

表 2. 絶対最大定格 (Note 1)

PARAMETER	RATING
Supply Voltages (with respect to $V_{EE}$ )	
AGND	-0.3V to 80V
PWRIN	-0.3V to 80V
CAP3, CAP4	-0.3V to 5V
VSSKn	-0.3V to 0.3V
Analog Pins	
SENSEn, OUTn	-20V to 80V
GATEn, IDn, PWRMDn	-0.3V to 80V
CPA, CNA, DPA, DNA	-0.3V to CAP3 + 0.3V
EXT3	-0.3V to 30V
Operating Ambient Temperature Range	-40°C to 85°C
Operating Junction Temperature Range (Note 2)	-40°C to 125°C
Storage Temperature	-65°C to 150°C

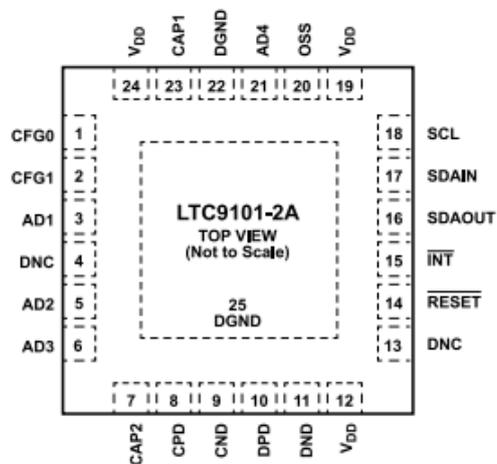
## ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

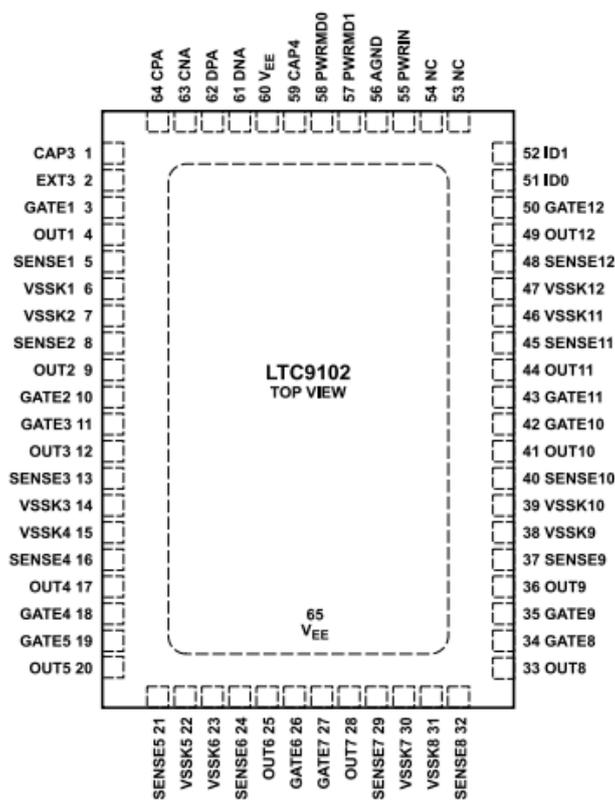
帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置



- NOTES
1. DNC = DO NOT CONNECT, DO NOT CONNECT TO THIS PIN.
  2.  $\theta_{JC} = 4^{\circ}\text{C/W}$ ,  $\theta_{JA} = 47^{\circ}\text{C/W}$
  3. EXPOSED PAD (PIN 25) IS DGND, MUST BE SOLDERED TO PCB.

図2. LTC9101-2A



- NOTES
1. NC = NO CONNECT, DO NOT CONNECT TO THIS PIN.
  2.  $\theta_{JC} = 1^{\circ}\text{C/W}$ ,  $\theta_{JA} = 22^{\circ}\text{C/W}$
  3. EXPOSED PAD (PIN 65) IS  $V_{EE}$ , MUST BE SOLDERED TO PCB.

図3. LTC9102

## 発注情報

表 3. 発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージ	温度範囲
LTC9101AUF-2A#PBF	LTC9101AUF-2A#TRPBF	9101A	24ピン (4mm×4mm) プラスチックQFN	-40°C~85°C
LTC9102AUKJ#PBF	LTC9102AUKJ#TRPBF	LTC9102	64ピン (7mm×11mm) プラスチックQFN	-40°C~85°C

更に広い動作温度範囲で仕様規定されたデバイスについては、弊社または弊社代理店までお問い合わせください。テープ&リールの仕様。一部のパッケージは指定された販売チャンネルを通じて500個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

## 電氣的特性

「\*」は全動作温度範囲に適用される仕様であることを示します。それ以外は、特に指定のない限り  $T_A = 25^\circ\text{C}$  での仕様です。また、特に指定のない限り、 $AGND - V_{EE} = 55\text{V}$ 、 $V_{DD} - DGND = 3.3\text{V}$ です。(Note 3、4)

表 4. 電氣的特性

記号	パラメータ	条件		最小値	代表値	最大値	単位
	Main PoE Supply Voltage	$AGND - V_{EE}$					
		タイプ2準拠の出力	*	51		57	V
$V_{DD}$	LTC9102 Undervoltage Lockout	$AGND - V_{EE}$	*		8.2	9	V
	$V_{DD}$ Supply Voltage	$V_{DD} - DGND$	*	3	3.3	3.6	V
	Undervoltage Warning				2.8		V
	Undervoltage Lockout				2.6		
	$V_{DD}$ Slew Rate, Falling	$2.4 \leq V_{DD} - DGND \leq 3.0$ (Note 7)				20	mV/ $\mu\text{s}$
$V_{CAP1}, V_{CAP2}$	Internal Regulator Supply Voltage	$V_{CAP1} - DGND, V_{CAP2} - DGND$ (Note 13)			1.2		V
$V_{CAP3}$	Internal 3.3V Regulator Supply Voltage	$CAP3 - V_{EE}$ (Note 13)	*	3	3.3	3.6	V
$t_{CAP3EXT}$	CAP3 External Supply Rise Time	$0.5\text{V} < CAP3 < V_{CAP3}(\text{Min}), EXT3$ をCAP3に接続 (Note 7)	*			1	ms
$V_{CAP4}$	Internal 4.3V Regulator Supply Voltage	$CAP4 - V_{EE}$ (Note 13)	*		4.3		V
$I_{EE}$	$V_{EE}$ Supply Current	PWRINピンをAGNDに接続、EXT3ロー、全ゲートが完全に導通		7.7	11	14	mA
	3.3V Rail Supply Current	$CAP3 = 3.3\text{V}$ から (EXT3/ハイ)		4.2	5.4	6.6	mA
$I_{DD}$	$V_{DD}$ Supply Current	$(V_{DD} - DGND) = 3.3\text{V}$	*		40	60	mA
<b>Detection/Connection Check</b>							
	Forced Current	負荷抵抗15.5k~32k	*	220	240	260	$\mu\text{A}$
			*	143	160	180	$\mu\text{A}$
	Forced Voltage	負荷抵抗18.5k~27.5k	*	7	8	9	V
			*	3	4	5	V
	Detection Current Compliance	$AGND - OUTn = 0\text{V}$	*		0.8	0.9	mA
$V_{OC}$	Detection Voltage Compliance	$AGND - OUTn$ 、オープン・ポート	*		10.4	12	V
	Detection Voltage Slew Rate	$AGND - OUTn, C_{PORT} = 150\text{nF}$ (Note 7)				0.01	V/ $\mu\text{s}$
	Min. Valid Signature Resistance		*	15.5	17	18.5	k $\Omega$
	Max. Valid Signature Resistance		*	27.5	29.7	32	k $\Omega$
<b>Classification</b>							
$V_{CLASS}$	Classification Voltage	$AGND - OUTn, SENSEn - VSSKn < 5\text{mV}$	*	16		20.5	V
	Classification Current Compliance	$SENSEn - VSSKn, OUTn = AGND$ (Note 15)	*	7	8	9	mV
	Classification Threshold	$ SENSEn - VSSKn $ (Note 15)					
		クラス・シグネチャ0~1	*	0.5	0.65	0.8	mV
		クラス・シグネチャ1~2	*	1.3	1.45	1.6	mV
		クラス・シグネチャ2~3	*	2.1	2.3	2.5	mV
		クラス・シグネチャ3~4	*	3.1	3.3	3.5	mV
	クラス・シグネチャ4~過電流	*	4.5	4.8	5.1	mV	
$V_{MARK}$	Classification Mark State Voltage	$AGND - OUTn, SENSEn - VSSKn < 5\text{mV}$	*	7.5	9	10	V
	Mark State Current Compliance	$OUTn = AGND$	*	7	8	9	mV
<b>Gate Driver</b>							
	GATE Pin Pull-Down Current	ポート・オフ、 $GATEn = V_{EE} + 5\text{V}$			1		mA
	GATE Pin Fast Pull-Down Current	$GATEn = V_{EE} + 5\text{V}$			65		mA
	GATE Pin On Voltage	$GATEn - V_{EE}, I_{GATEn} = 1\mu\text{A}$	*	11		14	V
<b>Output Voltage Sense</b>							
$V_{PG}$	Power Good Threshold Voltage	$OUTn - V_{EE}$	*	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGND	ポート・オン			2500		k $\Omega$
		ポート・オフ	*	300	500	700	k $\Omega$

## 電気的特性

表 4. 電気的特性

記号	パラメータ	条件		最小値	代表値	最大値	単位
<b>Current Sense</b>							
V <sub>LIM</sub>	Active Current Limit	OUT <sub>n</sub> - V <sub>EE</sub> < 10V					
		クラス1~クラス3	*	40	42.5	45	mV
		クラス4	*	80	85	90	mV
V <sub>INRUSH</sub>	Active Current Limit, Inrush	OUT <sub>n</sub> - V <sub>EE</sub> < 30V (Note 16)	*	40	42.5	45	mV
V <sub>HOLD</sub>	DC Disconnect Sense Voltage	SENSE <sub>n</sub> - VSSK <sub>n</sub> , クラス0~4	*	500	700	900	μV
V <sub>SC</sub>	Short-Circuit Sense	SENSE <sub>n</sub> - VSSK <sub>n</sub> - V <sub>LIM</sub>			60		mV
<b>Port Current Readback (See Typical Performance Characteristics, Note 17)</b>							
	Full-Scale Range	(Note 7, 15)			204.6		mV
	LSB Weight	SENSE <sub>n</sub> - VSSK <sub>n</sub>  , VSSK <sub>n</sub> = V <sub>EE</sub> (Note 15)			24.98		μV/LSB
	Conversion Period				1.967		ms
<b>V<sub>EE</sub> Readback (See Typical Performance Characteristics, Note 17)</b>							
	Full-Scale Range	(Note 7)			82		V
	LSB Weight	AGND - V <sub>EE</sub>			10.01		mV/LSB
	Conversion Period				1.967		ms
<b>Digital Interface</b>							
V <sub>ILD</sub>	Digital Input Low Voltage	AD <sub>n</sub> , $\overline{\text{RESET}}$ , OSS, CFG <sub>n</sub> (Note 6)	*			0.8	V
	I <sub>2</sub> C Input Low Voltage	SCL, SDAIN (Note 6)	*			1	V
V <sub>IHD</sub>	Digital Input High Voltage		*	2.2			
	Digital Output Low Voltage	I <sub>SDAOUT</sub> = 3mA, I <sub>INT</sub> = 3mA	*			0.4	V
		I <sub>SDAOUT</sub> = 5mA, I <sub>INT</sub> = 5mA	*			0.7	V
	Internal Pull-Up to V <sub>DD</sub>	AD <sub>n</sub> , $\overline{\text{RESET}}$ , OSS			50		kΩ
	Internal Pull-Down to DGND	CFG0			50		kΩ
	EXT3 Pull-Down to V <sub>EE</sub>				50		kΩ
	ID <sub>n</sub> Internal Pull-Up to CAP4	ID <sub>n</sub> = 0V			5		μA
<b>PSE Timing Characteristics (Note 7)</b>							
t <sub>DET</sub>	Detection Time	検出の開始から終了まで	*		380	500	ms
t <sub>CEV</sub>	Class Event Duration		*	6	15	20	ms
t <sub>CEVON</sub>	Class Event Turn On Duration	C <sub>PORT</sub> = 0.6μF	*			0.1	ms
t <sub>CLASS</sub>	Class Event ICLASS Measurement Timing		*	6			ms
t <sub>ME1</sub>	Mark Event Duration (Except Last Mark Event)	(Note 11)	*	6	9.6	12	ms
t <sub>ME2</sub>	Last Mark Event Duration	(Note 11)	*	6	20		ms
t <sub>PON</sub>	Power On Delay	有効な検出の終了から有効な突入電流の終了まで (Note 14)	*			400	ms
t <sub>ED</sub>	Fault Delay	パワー・オン・フォルトから次回検出まで	*	1.0	1.3	1.8	s
t <sub>START</sub>	Maximum Current Limit Duration During Inrush	t <sub>START</sub> = 0x0	*	50	60	75	ms
t <sub>CUT</sub>	Maximum Current Overload Duration	t <sub>CUT</sub> = 0x0	*	50	60	75	ms
t <sub>LIM</sub>	Maximum Current Limit Duration After Inrush	(Note 12)					
		タイプ1、t <sub>LIM</sub> = 0x0		50	60	75	ms
		予備、t <sub>LIM</sub> = 0x1		12	17	18	ms
		タイプ2、t <sub>LIM</sub> = 0x2		10	13	14	ms
		予備、t <sub>LIM</sub> = 0x3		6	11	12	ms
t <sub>MPS</sub>	Maintain Power Signature (MPS) Pulse Width Sensitivity	切断タイマーをリセットする電流パルスの幅 (Note 8)	*			6	ms
t <sub>DIS</sub>	Maintain Power Signature (MPS) Dropout Time	t <sub>DIS</sub> = 0x0 (Note 5)	*	320	370	400	ms

## 電気的特性

表 4. 電気的特性

記号	パラメータ	条件		最小値	代表値	最大値	単位
t <sub>OSS-OFF</sub>	Shutdown Priority Delay		*		6.5	10	μs
t <sub>r,OSS</sub>	OSS Rise Time		*	1		300	ns
t <sub>f,OSS</sub>	OSS Fall Time		*	1		300	ns
t <sub>OSS_IDL</sub>	OSS Idle Time				50		μs
	I <sup>2</sup> C Watchdog Timer Duration		*	1.5	2	3	s
	Minimum Pulse Width for Masked Shutdown		*	3			μs
	Minimum Pulse Width for RESET		*	4.5			μs
<b>I<sup>2</sup>C Timing (Note 7)</b>							
f <sub>SCLK</sub>	Clock Frequency		*			1	MHz
t <sub>1</sub>	Bus Free Time	図30 (Note 9)	*	480			ns
t <sub>2</sub>	Start Hold Time	図30 (Note 9)	*	240			ns
t <sub>3</sub>	SCL Low Time	図30 (Note 9)	*	480			ns
t <sub>4</sub>	SCL High Time	図30 (Note 9)	*	240			ns
t <sub>5</sub>	SDAIN Data Hold Time	図30 (Note 9)	*	60			ns
	Data Clock to SDAOUT Valid	図30 (Note 9)	*			250	ns
t <sub>6</sub>	Data Set-Up Time	図30 (Note 9)	*	80			ns
t <sub>7</sub>	Start Set-Up Time	図30 (Note 9)	*	240			ns
t <sub>8</sub>	Stop Set-Up Time	図30 (Note 9)	*	240			ns
t <sub>r</sub>	SCL, SDAIN Rise Time	図30 (Note 9)	*			120	ns
t <sub>f</sub>	SCL, SDAIN Fall Time	図30 (Note 9)	*			60	ns
	Fault Present to INT Pin Low	(Note 9, 10)	*			150	ns
	Stop Condition to INT Pin Low	(Note 9, 10)	*			1.5	μs
	ARA to INT Pin High Time	(Note 9)	*			1.5	μs
	SCL Fall to ACK Low	(Note 9)	*			250	ns

**Note 1 :** 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えます。

**Note 2 :** このチップセットは、一時的な過負荷状態からデバイスを保護するための過熱保護機能を内蔵しています。過熱保護機能が作動した場合、ジャンクション温度は140°Cを超えています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

**Note 3 :** デバイスのピンに流れ込む電流はすべて正です。デバイスのピンから流れ出す電流はすべて負です。

**Note 4 :** LTC9102は負の電源電圧（AGND基準）で動作します。混乱を避けるために、このデータシートの電圧は絶対値で示されています。

**Note 5 :** t<sub>DIS</sub>は、IEEE 802.3に定めるt<sub>MPDO</sub>と同じです。

**Note 6 :** LTC9101-2Aのデジタル・インターフェースはDGND基準で動作します。すべてのロジック・レベルはDGND基準で測定されます。

**Note 7 :** 設計上の性能は確保していますが、テストの対象外です。

**Note 8 :** IEEE 802.3は、電力維持のための最小PSEおよびPD入力電流条件のセットとしてMPSを定義しています。LTC9101-2A/LTC9102のポートは、V<sub>SENSEn</sub> - V<sub>SSKn</sub> ≥ V<sub>HOLD</sub>の状態がt<sub>MPS</sub>だけ続くとそのMPSタイマーをリセットし、V<sub>SENSEn</sub> - V<sub>SSKn</sub> ≥ V<sub>HOLD</sub>の状態がt<sub>DIS</sub>を超えるとポートへの電力供給を停止します。切断のセクションを参照してください。

**Note 9 :** V<sub>IHD</sub>で測定した値。

**Note 10 :** I<sup>2</sup>Cトランザクション中にフォルト状態が生じた場合でも、I<sup>2</sup>Cバスの停止条件が満たされるまでINTピンはプルダウンされません。

**Note 11 :** マーク時のLTC9102の負荷特性：7V < (AGND - V<sub>OUTn</sub>) < 10V

**Note 12 :** シリアル・バスの使用法、デバイスの設定、およびステータス・レジスタについては、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

**Note 13 :** CAP1、CAP2、CAP3、CAP4から電流のソースやシンクはしないでください。

## 電気的特性

**Note 14 :**  $t_{PON}$ の測定は、有効な検出が終了した時点から開始されます。

**Note 15 :** ポート電流の測定値は、検出抵抗の値（代表値： $0.1\Omega$ ）によって異なります。詳細については、[外付け部品の選択](#)のセクションを参照してください。

**Note 16 :** 突入電流閾値の選択については、[突入電流の制御](#)のセクションを参照してください。

**Note 17 :** ADCの特性と代表的性能値は、LTC9102のハードウェア能力に関するものです。LTC9102での測定値はLTC9101-2Aで処理と合成が行われます。レジスタの説明とユーザに提示されるLSBの重み付け（ポート電流、ポート電圧、 $V_{EE}$ 電圧、およびシステム温度）については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

代表的性能特性

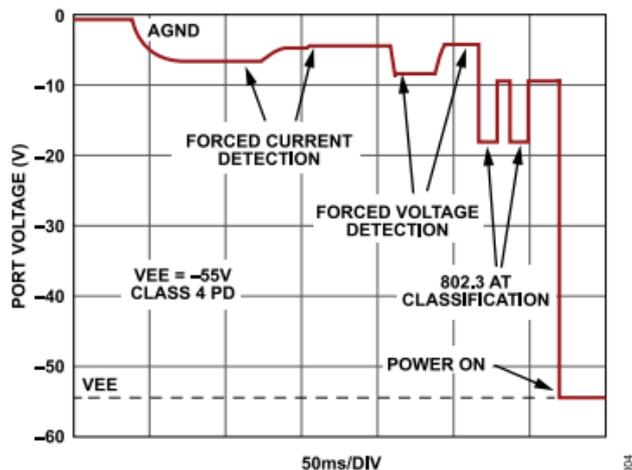


図4. 802.3atのパワーオン・シーケンス

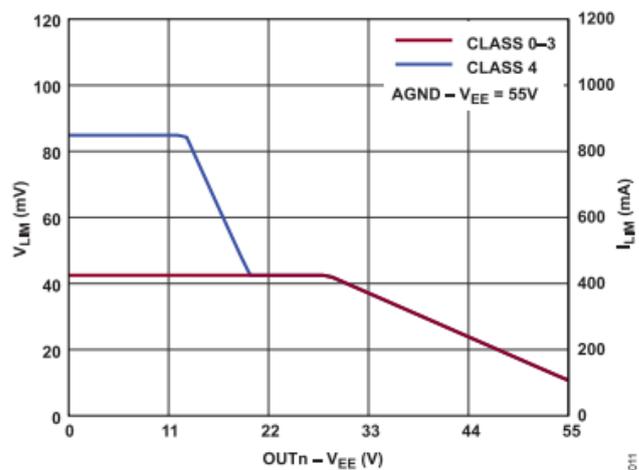


図7. パワー・オン電流制限

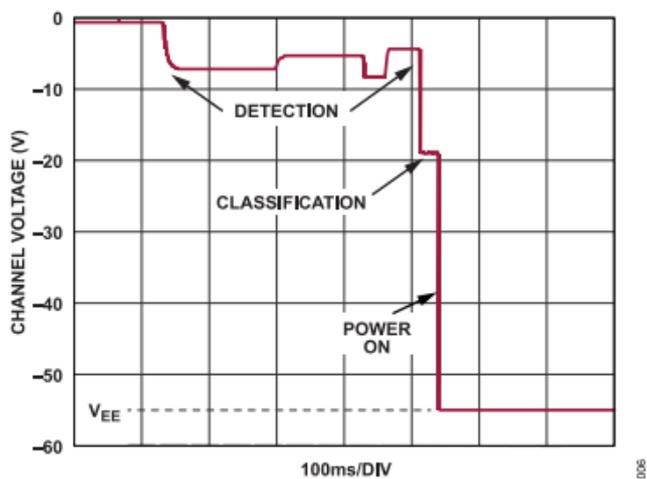


図5. パワー・オン・シーケンス、タイプ1モード

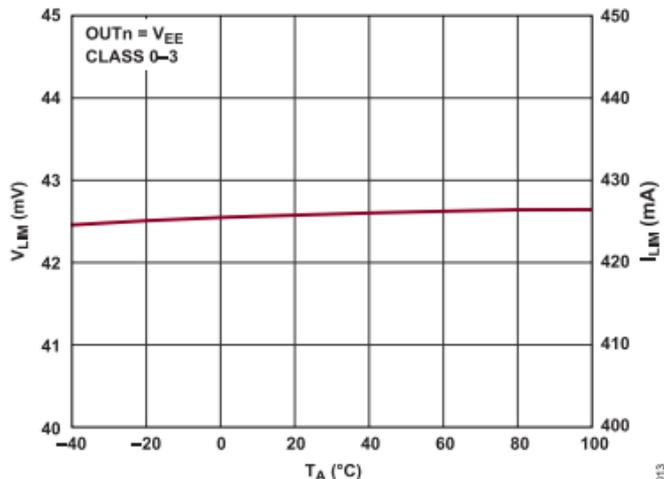


図8.  $I_{LIM}$ の温度特性

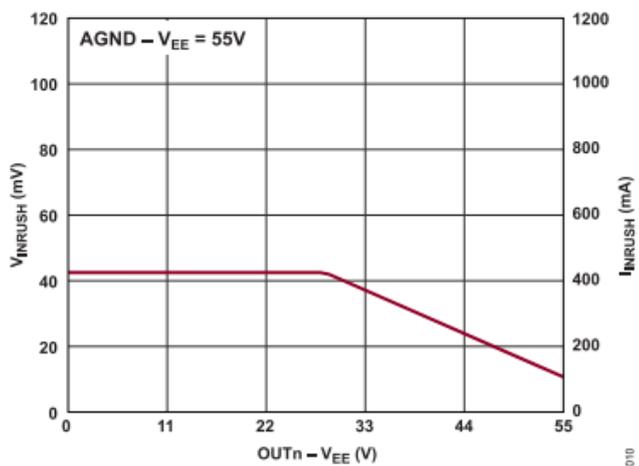


図6. 突入電流制限

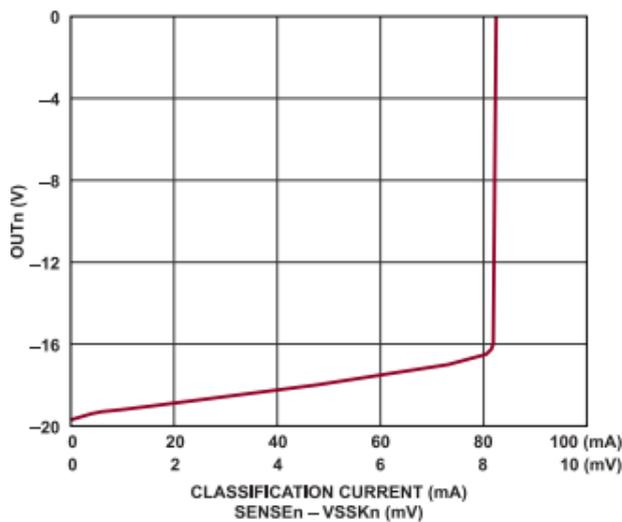


図9. 分類電流コンプライアンス

代表的性能特性

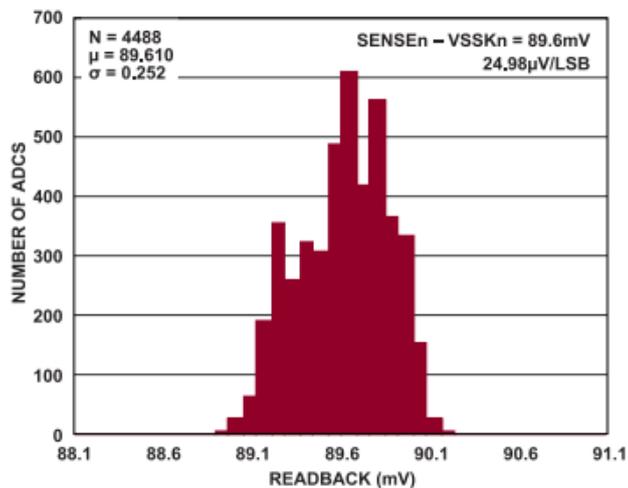


図10. ポート電流リードバック

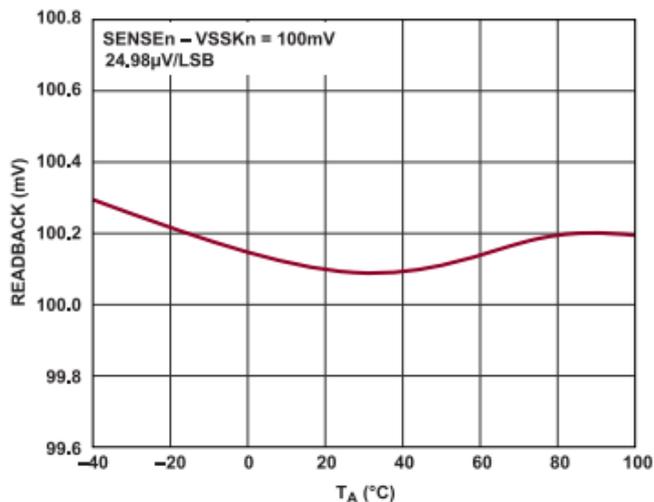


図13. ポート電流リードバックと温度の関係

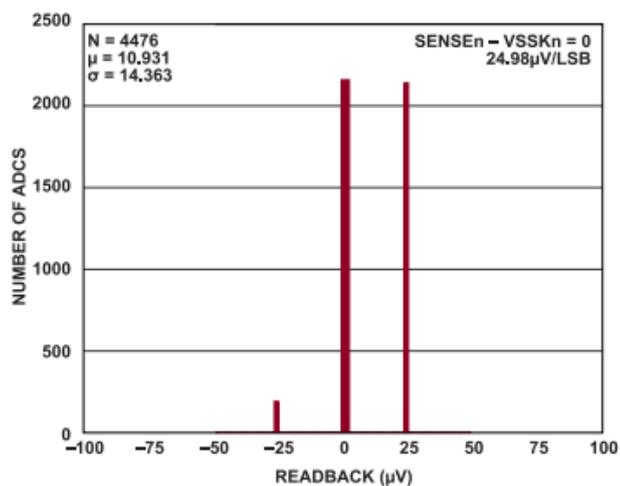


図11. ポート電流リードバック・オフセット

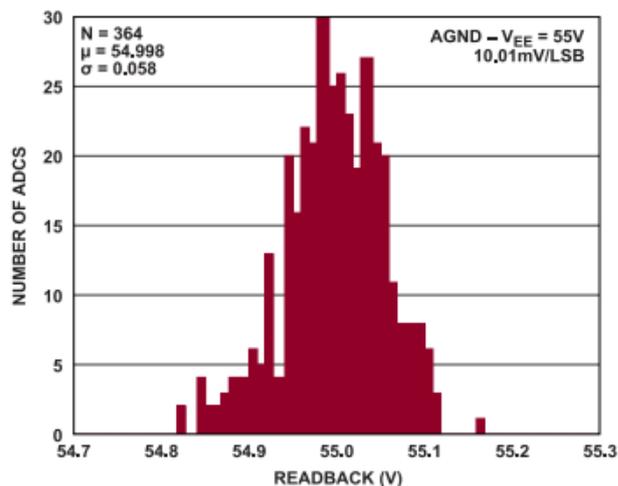


図14. VEEリードバック

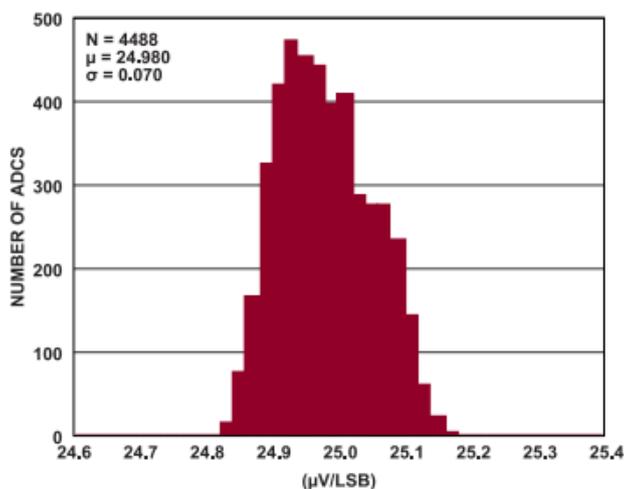


図12. ポート電流リードバックLSB

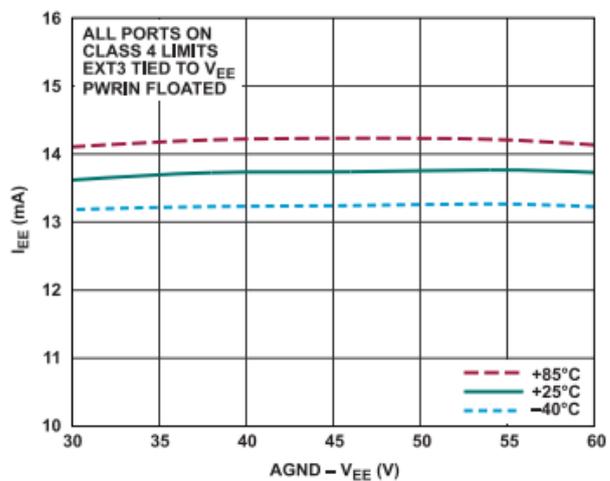


図15. VEEリードバックと温度の関係

代表的性能特性

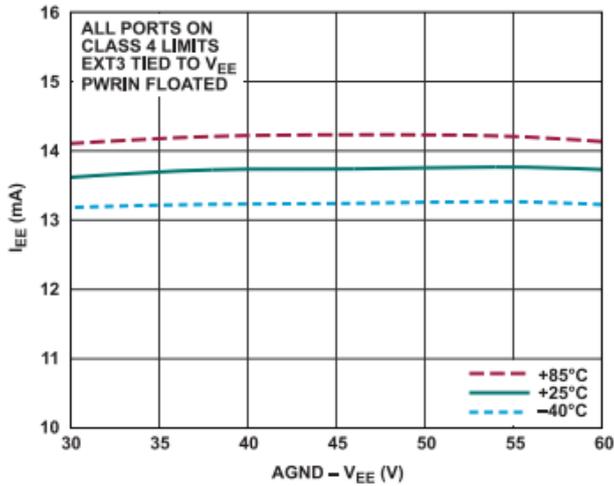


図16. V<sub>EE</sub>電源電流と電圧および温度の関係

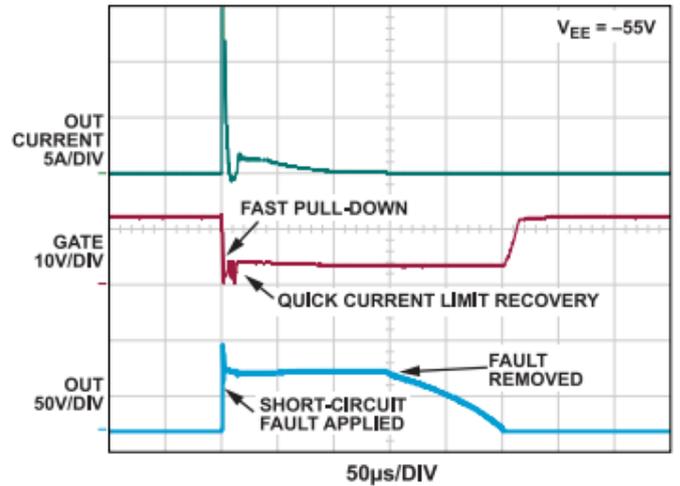


図19. 短絡からの回復

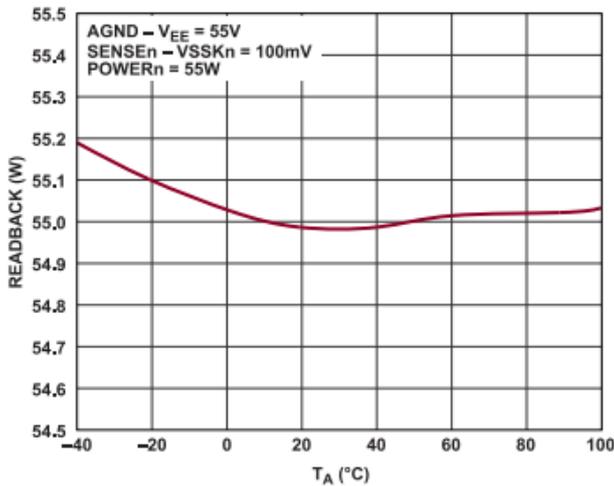


図17. ポート電力リードバックと温度の関係

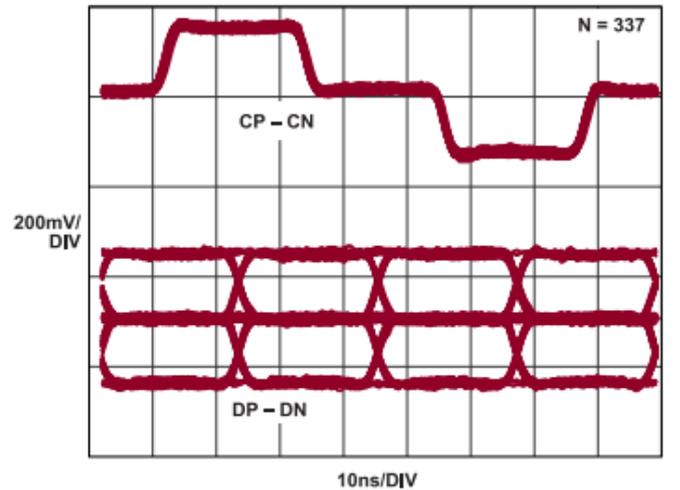


図20. クロックとデータ書き込みのアイ・ダイアグラム

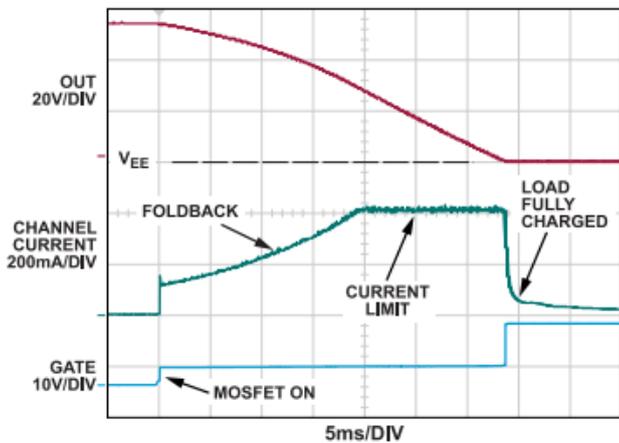


図18. 負荷180µFへの給電

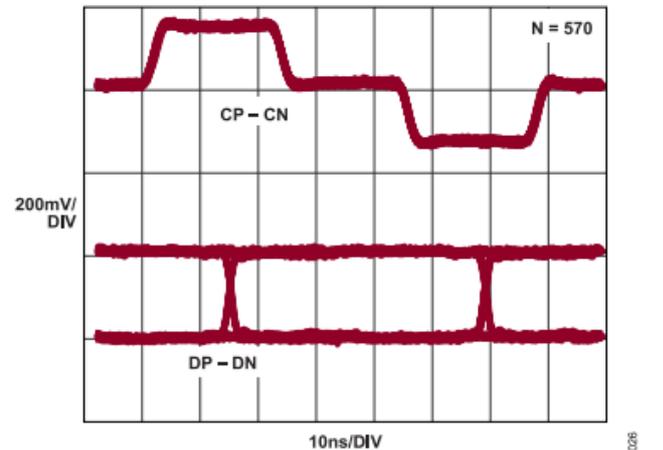


図21. クロックとデータ読出しのアイ・ダイアグラム

代表的性能特性

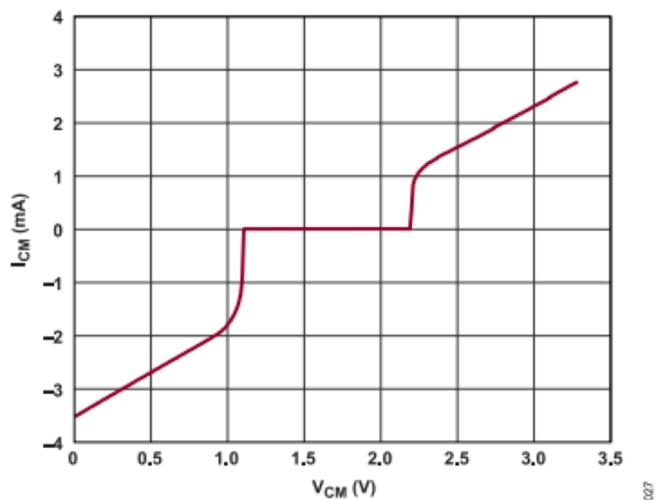


図22. LTC9102のCP/CNおよびDP/DNコン・モード補正電流

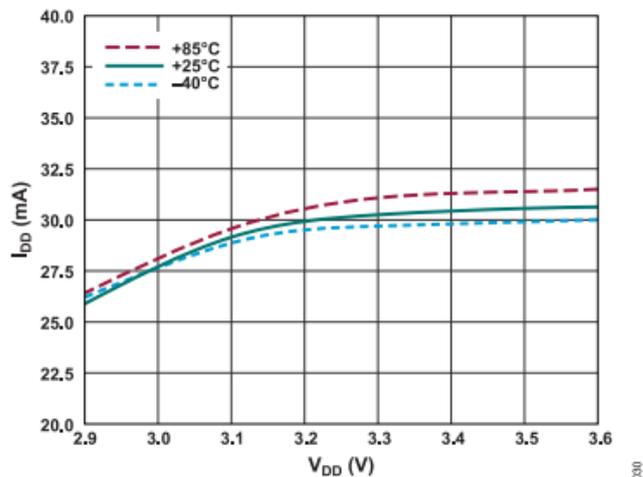


図25.  $V_{DD}$ 電源電流と電圧および温度の関係

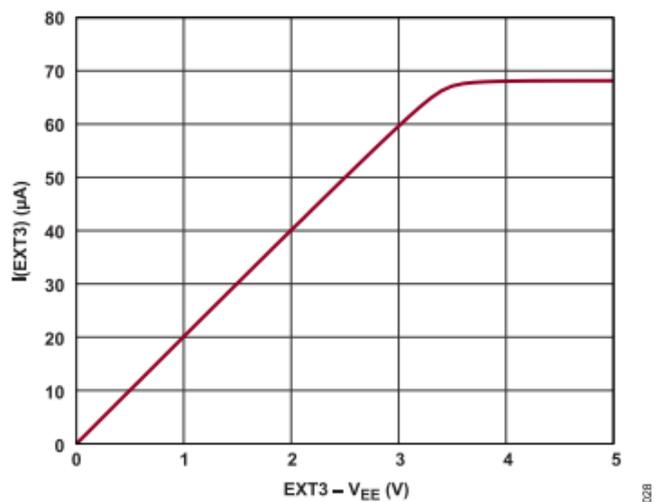


図23. EXT3ピン電流と電圧の関係

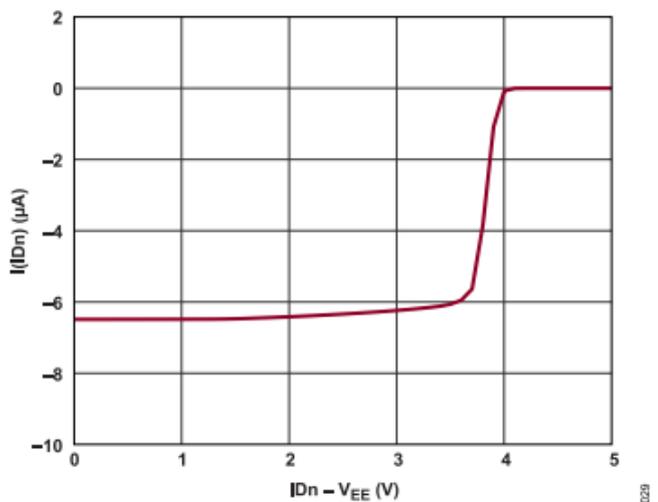


図24. IDnピン電流と電圧の関係

テスト・タイミング図

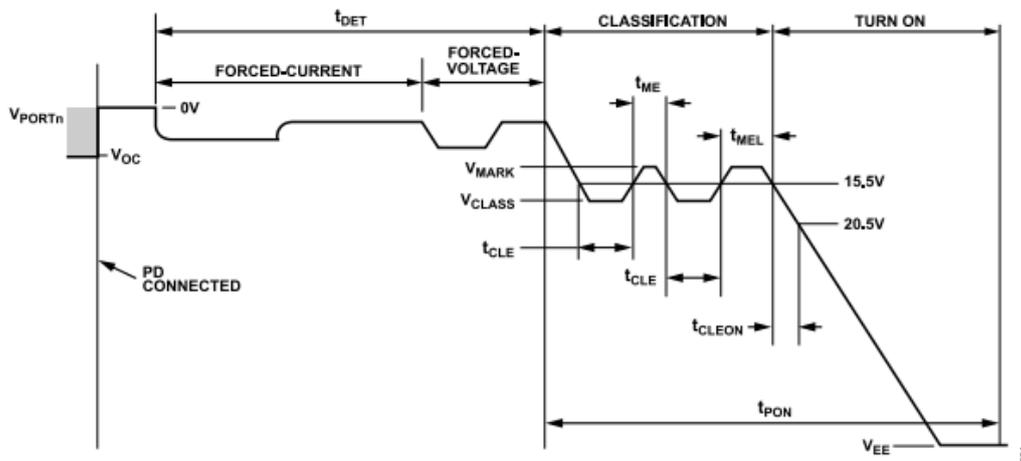


図26. 検出、分類、ターン・オンのタイミング

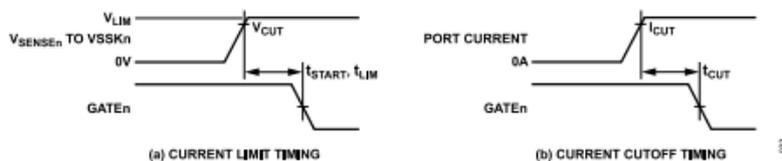


図27. 電流制限と電流カットオフのタイミング

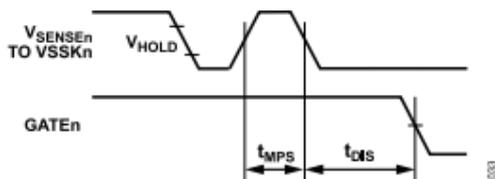


図28. DC切断タイミング

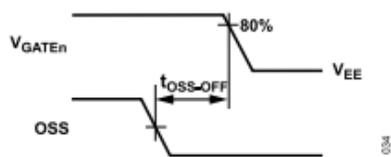


図29. 1ビット・シャットダウン優先度のタイミング

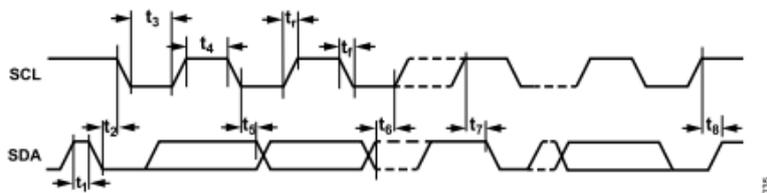


図30. I<sup>2</sup>Cインターフェースのタイミング

テスト・タイミング図

I<sup>2</sup>Cのタイミング図

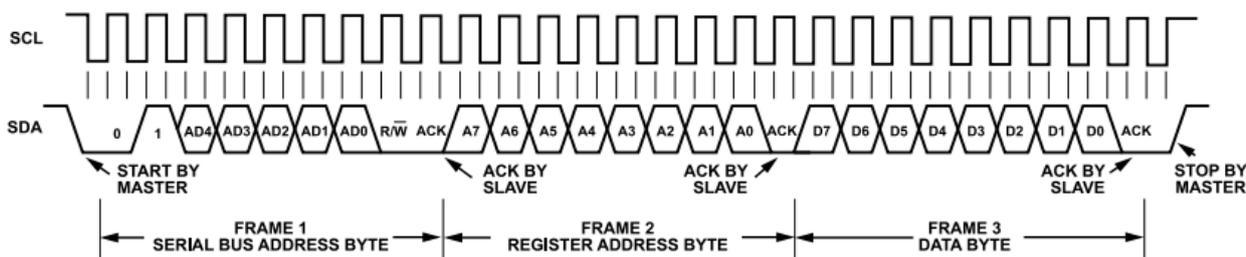


図31. レジスタへの書き込み

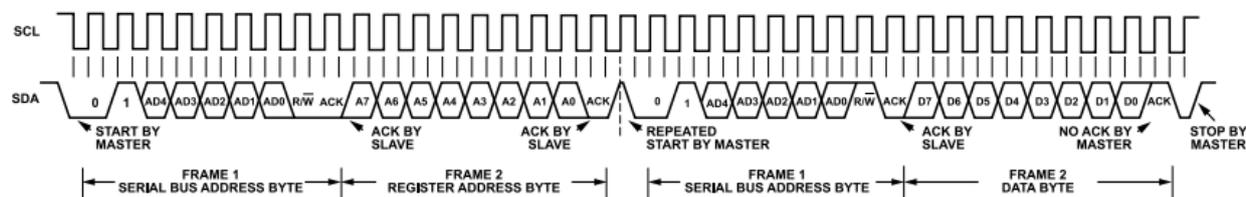


図32. レジスタからの読出し

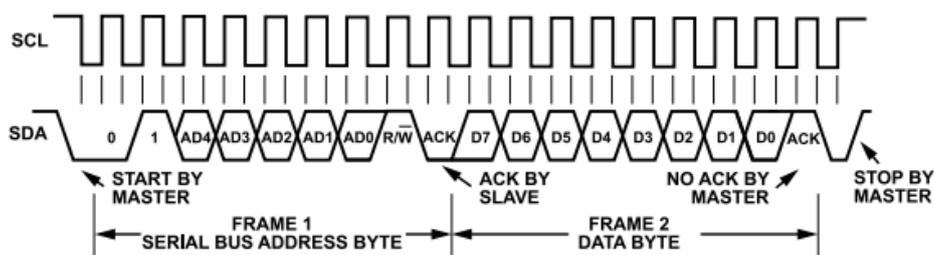


図33. 割込みレジスタの読出し (ショート・フォーム)

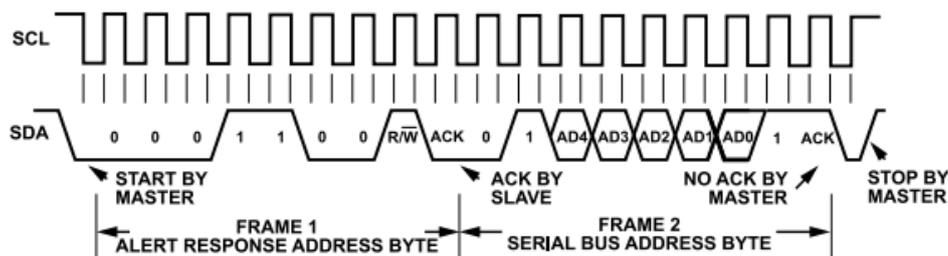


図34. アラート応答アドレスからの読出し

## ピン機能

ピン番号	記号	説明
<b>LTC9101-2A</b>		
Pins 2, 1, Respectively	CFG[1:0]	デバイス設定入力。ポート数および接続するLTC9102の数を設定するには、これらの設定ピンをハイまたはローに接続します。詳細については表7を参照してください。
Pins 7, 23, Respectively	CAP[2:1]	コア電源バイパス・コンデンサ。これらのピンは、内部1.2Vレギュレータのバイパス用に1μFのコンデンサを介してDGNDに接続します。コンデンサの容量は必ず1μFとしてください。また、このピンから電流のソースやシンクをしないでください。
Pin 8	CPD	クロック・トランシーバーの正の入出力（デジタル）。データ・トランスを介してCPAIに接続します。
Pin 9	CND	クロック・トランシーバーの負の入出力（デジタル）。データ・トランスを介してCNAIに接続します。
Pin 10	DPD	データ・トランシーバーの正の入出力（デジタル）。データ・トランスを介してDPAIに接続します。
Pin 11	DND	データ・トランシーバーの負の入出力（デジタル）。データ・トランスを介してDNAIに接続します。
Pins 12, 19, 24	V <sub>DD</sub>	V <sub>DD</sub> IO電源。DGND基準の3.3V電源に接続します。それぞれのV <sub>DD</sub> ピンは、0.1μF以上のコンデンサを使いローカルでバイパスする必要があります。また、サージ耐性を向上させるために、V <sub>DD</sub> に10μFのバルク・コンデンサを接続する必要があります。
Pin 14	RESET	リセット入力、アクティブ・ロー。RESETがローになるとLTC9101-2A/LTC9102は非アクティブになり、すべてのポートがオフになって内部レジスタもすべてリセットされます。RESETがハイになると、LTC9101-2A/LTC9102は通常動作を開始します。RESETを外付けのコンデンサまたはRC回路に接続すると、パワー・オン遅延を設定することができます。RESETには内部フィルタリングがあるため、幅1μs未満のグリッチによってLTC9101-2A/LTC9102がリセットされることはありません。内部でV <sub>DD</sub> にプルアップされます。
Pin 15	INT	割り込み出力、オープン・ドレイン。いくつかのイベントのいずれか1つがLTC9101-2A内で発生すると、INTがローになります。このピンは、Resetレジスタのビット6または7がセットされると高インピーダンス状態に戻ります。INT信号を使用すればホスト・プロセッサへの割り込みを生成できるので、継続的にソフトウェア・ポーリングを行う必要がなくなります。INTイベントは、Int Maskレジスタを使って個別にディ

ピン番号	記号	説明
		スエーブルできます。詳細については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。INTは2つのI <sup>2</sup> Cトランザクション間でのみ更新されます。
Pin 16	SDAOUT	シリアル・データ出力、つまりI <sup>2</sup> Cシリアル・インターフェース・バスのオープン・ドレイン・データ出力。LTC9101-2Aは、2つのピンを使って双方向SDA機能を実現し、I <sup>2</sup> Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、アプリケーション情報を参照してください。
Pin 17	SDAIN	シリアル・データ入力。I <sup>2</sup> Cシリアル・インターフェース・バスの高インピーダンス・データ入力。LTC9101-2Aは、2つのピンを使って双方向SDA機能を実現し、I <sup>2</sup> Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、アプリケーション情報を参照してください。
Pin 18	SCL	シリアル・クロック入力。I <sup>2</sup> Cシリアル・インターフェース・バスの高インピーダンス・クロック入力。SCLピンは、I <sup>2</sup> C SCLバス・ラインに直接接続する必要があります。I <sup>2</sup> Cシリアル・インターフェース・バスを使用しない場合は、SCLをハイに接続します。
Pin 20	OSS	マスク可能なシャットダウン入力、アクティブ・ハイ。1ビット・シャットダウン優先度をサポートしています。詳細については、過電流シャットダウン(OSS)のセクションを参照してください。内部でDGNDにプルダウンされます。
Pins 21, 6, 5, 3, Respectively	AD[4:1]	I <sup>2</sup> Cアドレス・ビット4~1。ベースI <sup>2</sup> Cシリアル・アドレスを設定するには、アドレス・ピンをハイまたはローに接続します。ベース・アドレスは01A <sub>4</sub> A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> 0bです。内部でV <sub>DD</sub> にプルアップされます。詳細については、バス・アドレスの指定のセクションを参照してください。
Pins 22, 25	DGND	デジタル・グラウンド。DGNDは、V <sub>DD</sub> 電源からのリターンに接続する必要があります。
<b>LTC9102</b>		
Pin 1	CAP3	3.3V内部アナログ電源のバイパス・コンデンサ。V <sub>EE</sub> との間に1μFのセラミック・コンデンサを接続します。3.3V電源をこのピンに接続すれば、電源効率を改善することができます。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3と同じ電圧にする必要があります。また、こ

ピン機能

ピン番号	記号	説明
		のピンからは電流のソースやシンクをしないでください。アナログ・デバイゼスのマニュアルに明示されている場合（例えば、LTC9102のピンをストラップ配線する場合やシリアル・インターフェースを終端する場合）を除き、CAP3には何も接続しないでください。
Pin 2	EXT3	外部3.3Vイネーブル。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3に接続します。内部レギュレータを作動させるには、フロート状態にするかV <sub>EE</sub> に接続します。
Pins 47, 46, 39, 38,31, 30, 23, 22, 15, 14, 7, 6, Respectively	VSSK[12:1]	V <sub>EE</sub> へのケルピン検出接続。0.1Ωの抵抗を介して、チャンネルn用検出抵抗のV <sub>EE</sub> 側へ接続します。V <sub>EE</sub> プレーンに直接接続することはしないでください。必要な条件については、 <a href="#">ケルピン検出</a> のセクションを参照してください。
Pins 48, 45, 40, 37,32, 29, 24, 21, 16, 13, 8, 5, Respectively	SENSE[12:1]	チャンネルnの電流検出入力。SENSEnは、SENSEnとVSSKnの間にある0.1Ωの検出抵抗を通じて外部MOSFETの電流をモニタします。検出抵抗の電圧が電流制限閾値のI <sub>LIM-2P</sub> に達すると、外部MOSFETの電流を一定に保つためにGATEnピンの電圧が下げられます。詳細については、 <a href="#">アプリケーション情報</a> を参照してください。そのチャンネルを使わない場合は、SENSEnをV <sub>EE</sub> に接続します。
Pins 49, 44, 41, 36,33, 28, 25, 20, 17, 12, 9, 4, Respectively	OUT[12:1]	チャンネルnの出力電圧モニタ。OUTnを出力チャンネルに接続します。ドレインとソース間の電圧が10Vを超えた場合は、電流制限閾値を下げることによって、電流制限フォールドバック回路が外部MOSFETの消費電力を制限します。OUTnとV <sub>EE</sub> 間の電圧が2.4V（代表値）未満になると、ポート・パワーグッド・イベントが生成されます。チャンネルがアイドル状態のときは、OUTnとAGND間に500kの抵抗が内部で接続されます。そのチャンネルを使用しない場合は、OUTnピンをフロート状態にしてください。
Pins 50, 43, 42, 35,34, 27, 26, 19, 18,11, 10, 3, Respectively	GATE[12:1]	チャンネルnのゲート駆動。チャンネルnの外付けMOSFETのゲートにGATEnを接続します。MOSFETをオンすると、ゲート電圧がV <sub>EE</sub> より12V（代表値）高い値に駆動されます。電流制限状態では、外部MOSFETに流れる電流を一定に保つためにGATEnの電圧が下げられます。フォルト・タイマーが終了するとGATEnがプルダウンされてMOSFETがオフになり、ポート・フォルト・イベントが生成されます。そのチャンネルを使用しない場合は、GATEnピンをフロート状態にしてください。

ピン番号	記号	説明
Pins 52, 51, Respectively	ID[1:0]	トランシーバード。マルチドロップ高速データ・インターフェース上でのLTC9102のアドレスを設定します。IDの値は00bから始めてください。CAP3に接続することによってハイにし、V <sub>EE</sub> に接続することによってローにします。詳細については、 <a href="#">デバイスの設定</a> のセクションを参照してください。
Pin 55	PWRIN	スタートアップ・レギュレータ・バイパスおよび外部低電圧電源入力。内部4.3Vおよび3.3V電源用の電力。内部レギュレータが、このピンの電圧を6Vより高い値に維持します。このノードに外付けの抵抗または電源を接続すれば、LTC9102の電力効率を改善することができます。このピンとV <sub>EE</sub> の間には1μFのコンデンサを接続してください。
Pin 56	AGND	アナログ・グランド。
Pins 57, 58, Respectively	PWRMD[1:0]	最大電力モード入力。これらのピンは、すべてのLTC9101-2A/LTC9102のアプリケーションで未接続のままにします。
Pin 59	CAP4	4.3V内部アナログ電源のバイパス・コンデンサ。V <sub>EE</sub> との間に1μFのセラミック・コンデンサを接続します。また、このピンからは電流のソースやシンクをしないでください。
Pins 60, 65	V <sub>EE</sub>	PoE主電源入力。AGNDを基準として、-51V~-57Vの電源に接続します。電圧はPSEのタイプ（タイプ3または4）によって異なります。
Pin 61	DNA	データ・トランシーバードの負の入出力（アナログ）。データ・トランスを介してDNDに接続します。
Pin 62	DPA	データ・トランシーバードの正の入出力（アナログ）。データ・トランスを介してDPDに接続します。
Pin 63	CNA	クロック・トランシーバードの負の入出力（アナログ）。データ・トランスを介してCNDに接続します。
Pin 64	CPA	クロック・トランシーバードの正の入出力（アナログ）。データ・トランスを介してCPDに接続します。
<b>Common Pins</b>		
LTC9101-2A Pins 4, 13; LTC9102 Pins 53, 54	NC, DNC	「NC」または「DNC」で識別されるピンは、すべて未接続のままにします。

## アプリケーション情報

## 概要

PoE (Power over Ethernet) は、銅製のイーサネット用データ配線を使ってDC電力を供給するための標準プロトコルです。802.3イーサネット・データ規格を管理するIEEEグループは、2003年にPoE給電機能を追加しました。802.3afと呼ばれる最初のPoE規格は、最大13Wで48VのDC電力を供給できました。802.3afは広く普及していましたが、アプリケーションによっては13Wの電力では不十分でした。2009年、IEEEは802.3at (PoE+) として知られる新規格を公開し、電圧と電流の条件を上げて25.5Wの電力を供給できるよう規定しました。IEEE 802.3afと802.3atはPoE 1として広く認知されています。更に2018年、IEEEは802.3bt (PoE 2) と呼ばれる最新のPoE規格を公開しました。802.3btではPDの最大供給電力が71.3Wまで上げられています。

IEEE規格はPoEの用語も定義しています。ネットワークに電力を供給するデバイスはPSE (Power Sourcing Equipment) と呼ばれ、ネットワークから電力を取り込むデバイスはPD (Powered Device) と呼ばれます。PSEには2つのタイプがあります。データと電力を供給するエンドポイント (代表的なものとしてはネットワーク・スイッチやルータ) と、電力を供給する一方でデータはパス・スルーするミッドスパンです。ミッドスパンは、主にPoE非対応の既存ネットワークにPoE機能を追加するために使われます。PDの代表的なものは、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどです。

## LTC9101-2A/LTC9102の製品概要

LTC9101-2A/LTC9102は第6世代のPSEコントローラで、エンドポイント・アプリケーションにおいて、最大48個 (25.5W) の2ペアPSEポートに対応できます。IEEE 802.3at準拠のPSE設計を実現するために必要な回路を実質的にすべて内蔵しており、必要なのは1ポートにつき1つの外付けパワーMOSFETとポートごとの検出抵抗だけです。これにより、MOSFETを内蔵する同様のデバイスと比較して電力損失が最小限に抑えられ、システムの信頼性が向上します。

LTC9101-2A/LTC9102チップセットは、チップ間通信に独自の絶縁方式を実装しています。このアーキテクチャは、高価な光アイソレータや絶縁型電源を1個の低価格トランスで置き換えることによって、部品コストを大幅に削減します。1個のLTC9101-2Aは、このトランス絶縁されたインターフェースを介して最大4個のLTC9102のバスを制御することができます。LTC9101-2Aと、対応するLTC9102を直接接続することも可能です。

LTC9101-2A/LTC9102は、ポートごとのイベントでトリガされる設定可能な割込み信号、ポートごとのパワー・オン制御とフォルト・テレメトリ、ポートごとの電流モニタリング、 $V_{EE}$ モニタリング、電流および電圧の1秒間の移動平均などの機能を備えています。

LTC9101-2A/LTC9102は高度な第6世代PSE機能も備えており、これには、ファームウェア・アップデートやカスタムのユーザ構成パッケージを保存する内蔵eFlash、クワッド・ベースのICドライバとの完全な後方互換性を確保するI<sup>2</sup>Cクワッド・パーチャライゼーション、100mΩの極小検出抵抗、+80V/-20V対応のポート対向ピン、ケーブル・サージ・ライドスルーの改善などが含まれています。

LTC9102は各電力チャンネルに専用の検出および分類ハードウェアを備えています。これは、すべてのポートの検出、分類、パワー・オンを同時に行うことを可能にして、スイッチを介したパワー・オン遅延を大幅に短縮します。それほど高度な機能を持たないその他のPSEでは、例えばLEDライトなどのPDへポートごとに給電する際に、目立った遅延が生じます。

$V_{EE}$ とポート電流の測定は同時に行われるので、ポートごとに、一貫した高精度の電力モニタリングを行うことができます。

## 802.3atの2ペア動作

LTC9101-2Aには、4個の同じポートで構成されるグループが最大12個含まれています。4個のポートからなるそれぞれのグループは、「クワッド」と呼ばれます。LTC9101-2Aのアーキテクチャでは、各クワッドに、レジスタ設定と4個の802.3atポートのステータスが格納されています。

このデータシートでは、ポート、チャンネル、および電力チャンネルという用語を同じ意味で使用しています。これらの用語は1つの802.3at PSEポートを表します。

## 802.3atタイプ1モード

表5に示すように、802.3at準拠のすべてのPSEは、既存の802.3atタイプ1 PDと完全に後方互換です。802.3at準拠のPSEは、新しい802.3btタイプ3およびタイプ4のPDと共に使用することができます。

なお、802.3at PSEは802.3bt PSEのコンプライアンス・テストに適合せず、802.3bt PSEは802.3at PSEのコンプライアンス・テストに適合しません。これは、それぞれの規格の設計によるものです。802.3atと802.3btのデバイスは相互運用が可能ないように設計されています。

表 5. PSEの最大供給電力 (ポートごと)

DEVICE	PSE					
	STANDARD	TYPE	802.3at		802.3bt	
			1	2	3	4
PD	802.3at	1	13W	13W	13W	13W
		2	13W <sup>1</sup>	25.5W	25.5W	25.5W
	802.3bt	3	13W <sup>1</sup>	25.5W <sup>1</sup>	51W	51W
		4	13W <sup>1</sup>	25.5W <sup>1</sup>	51W <sup>1</sup>	71.3W

1 要求値より少ない電力が割り当てられたPDを示します。

## PoEの基本

一般的なイーサネット・データ接続は2本または4本のツイスト・ペア銅線 (通称イーサネット・ケーブル) で構成され、それぞれの端をトランスで結合してグラウンド・ループを防止しています。PoEシステムはこの結合配置の利点を生かし、データ・トランスのセンター・タップ間に電圧を加えることによって、データ伝送に影響することなくPSEからPDへ電力を送ります。PoEシステムの回路図の概要を図35に示します。

DC電圧が加わることを想定していない旧式のデータ装置を損傷させないように、PoE規格では、PSEによる電力の供給および停止が可能かどうかを判定するプロトコルを規定しています。有効なPDには、その入力に25kのコモンモード抵抗が必要です。このようなPDをケーブルに接続すると、PSEはこのシグネチャ抵抗を検出

## アプリケーション情報

して電力を供給します。その後にPDを切り離すと、PSEはオープン・サーキットを検出して電力の供給を停止します。PSEは、電流フォルトや短絡が発生した場合も電力の供給を停止します。

PDが検出されると、PSEは、PDが消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、いくつかのポートに電力を割り振る、PDの消費電力を監視する、あるいはPSEが供給できる電力以上の電力を消費するPDを拒否する、といった対応を取ることができます。

表 6. 802.3atに仕様規定された電力割当て

PD CLASS	PSE OUTPUT POWER	ALLOCATED CABLING LOSS	PD INPUT POWER
1	4W	0.16W	3.84W
2	7W	0.51W	6.49W
0, 3	15.4W	1.4W	13W
4	30W	4.5W	25.5W

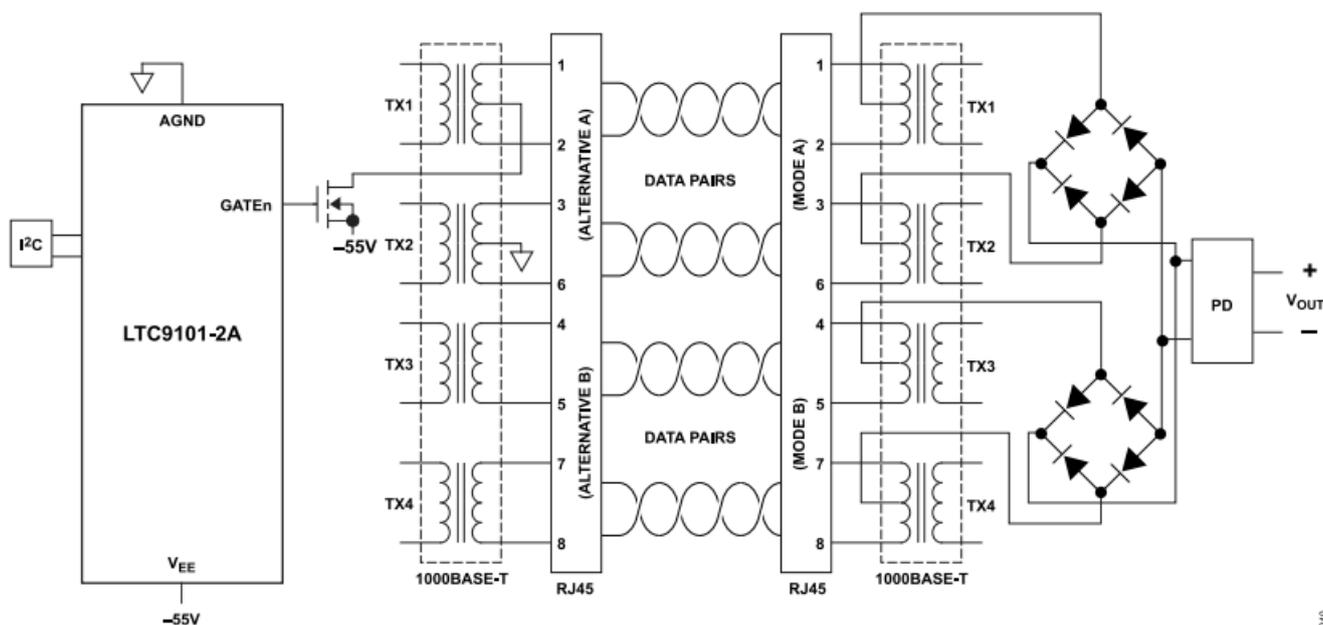


図35. 2ペアPoEのシステム図 (エンドポイントPSE)

表 7. デバイスの設定オプション

CFG [1:0]	NUMBER OF PORTS	NUMBER OF 9101s	NUMBER OF 9102s	I <sup>2</sup> C ADDRESSES	I <sup>2</sup> C ADDRESS OFFSET											
					0	1	2	3	4	5	6	7	8	9	10	11
0 00	12	1	1	3	✓	✓	✓									
1 01	24	1	2	6	✓	✓	✓	✓	✓	✓						
2 10	36	1	3	9	✓	✓	✓	✓	✓	✓	✓	✓	✓			
3 11	48	1	4	12	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

## アプリケーション情報

### デバイスの設定

1個のLTC9101-2Aは、1個から4個までのLTC9102を制御できます。それぞれのLTC9102は12ポートを制御します。したがって、それぞれのLTC9101-2Aが最大48個のポートを制御できます。

後出の**バス・アドレスの指定**のセクションで述べるように、4ポートからなるグループのそれぞれが1個のPCアドレスを使用します。

### 動作モード

LTC9101-2A/LTC9102は最大で48個の独立したポートを制御し、各ポートを2つのモード（手動または半自動）のどちらかで動作させることができます。3番目のモードはシャットダウン・モードで、ポートをディスエーブルします（表8を参照）。

表 8. 動作モード

MODE	PORT MODE	DETECT/CLASS	POWER-UP
Semi-Auto	10b	Host Enabled	Upon Request
Manual	01b	Once Upon Request	Upon Request
Shutdown	00b	Disabled	Disabled

手動モードでは、ポートはホスト・システムからの命令を待ってから動作します。ポートは、ホストによって命令されると検出サイクルまたは分類サイクルを1回実行して、その結果をポート・ステータス・レジスタで報告します。ホストは、有効な検出結果または分類結果を求めることなく、直ちに電力を供給または停止するようポートに命令できます。手動モードはIEEEの仕様に準拠したものではありません。

半自動モードでは、ポートは、接続されたすべてのPDの検出と分類を繰り返し試みます。ポートは、これらの試みのステータスを折り返しホストにレポートします。また、電力を供給するよう命令を受けると仕様に適合するPDの存在を検証し、適合デバイスが接続されている場合は電力を供給します。ホストは、検出と分類をイネーブルする必要があります。

シャットダウン・モードではポートがディスエーブルされてPDの検出は行われず、電力も供給されません。

LTC9101-2A/LTC9102は、現在のモードに関係なく、フォルトが発生したポートへの電力供給を自動的に停止します。また、切断検出が有効になっている場合は、切断イベントが発生したポートへの電力供給も自動的に停止します。ホスト・コントローラも、いつでも電力供給停止をポートに命令できます。

### 検出

#### 検出の概要

DC電圧に耐えられるように設計されていないネットワーク・デバイスの損傷を防ぐため、PSEは電力を供給する前に、接続されたデバイスが有効なPDであるかどうかを確認する必要があります。IEEE802.3規格では、有効なPDは、すべてのポート電圧が10V未満のときに $25k \pm 5\%$ のコモンモード抵抗を内蔵していることが求められます。PSEは19k~26.5kの抵抗を合格とし、33kを超える抵抗または15k未満の抵抗（図36の網掛け領域）を不合格とする必要があります。必須合格範囲と必須不合格範囲の間の未定義領域の抵抗を合格にするか不合格にするかは、PSEが選択できます。特

に、PSEは、コンピュータの標準的なネットワーク・インターフェース・カード（NIC）を不合格にする必要があります。これらのカードの多くは150Ωのコモンモード終端抵抗を使用しており、電力を供給すると、これを損傷させてしまうこととなります（図36左側の黒で示された領域）。

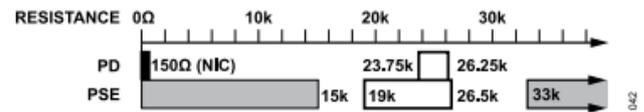


図36. IEEE 802.3のシグネチャ抵抗範囲

#### マルチポイント検出

LTC9101-2A/LTC9102はマルチポイント方式を使ってPDを検出します。強制電流測定と強制電圧測定を併用してシグネチャ抵抗をチェックすることにより、誤検出を排除できます。

最初は2種類のテスト電流を（OUTnピンを通じて）ポートに強制的に流し、それによって得られる電圧を測定します。LTC9101-2Aは、2つのV-Iポイントの差を計算して抵抗の勾配を求めると共に、ポートのリーク電流や直列ダイオードによって生じるオフセットを除去します（図37を参照）。強制電流検出によって有効なシグネチャ抵抗が得られた場合は、2種類のテスト電圧をポートに加え、それによって得られる電流を測定して差を取ります。有効な検出をレポートするには、両方の方法で有効な抵抗がレポートされなければなりません。PDシグネチャ抵抗が17k~29k（代表値）の範囲内であれば有効と認められ、対応する検出ステータス・レジスタで、有効な検出（Detect Valid）として報告されます。また、オープン・サーキットや短絡を含めて、この範囲外の値も報告されます。強制電流テスト時にポートの測定値が1V未満の値を示した場合、検出サイクルは中断されて短絡（Short Circuit）がレポートされます。考えられる検出結果を表9に示します。

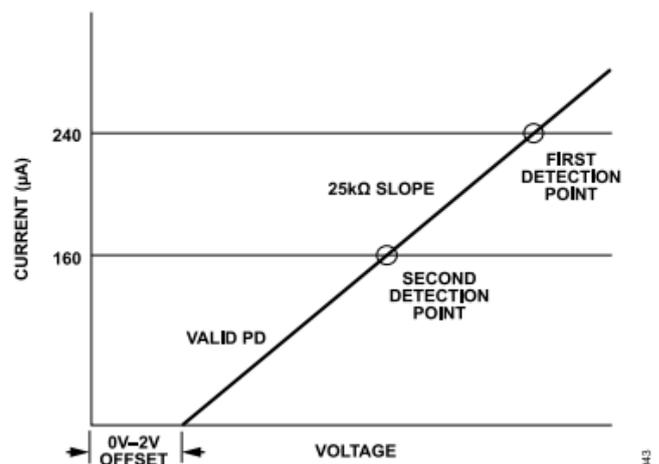


図37. PD検出

## アプリケーション情報

表 9. 検出ステータス

MEASURED PD SIGNATURE (TYPICAL)	DETECTION RESULT
Incomplete or Not Yet Tested	Detect Status Unknown
$V_{PD} < 1V$	Short Circuit
$C_{PD} > 2.7\mu F$	$C_{PD}$ Too High
$R_{PD} < 17k$	$R_{SIG}$ Too Low
$17k < R_{PD} < 29k$	Detect Valid
$R_{PD} > 29k$	$R_{SIG}$ Too High
$R_{PD} > 50k$	Open Circuit
$I_{PSE} = 0$ and $V_{PD} > 10V$	PSE Detected or Port is Precharged
MOSFET Fault	MOSFET Fault Detected

## 動作モードに関するその他の情報

LTC9101-2A/LTC9102が検出サイクルを実行するタイミングは、ポートの動作モードによって決まります。手動モードでは、ホストが検出サイクルを命令するまでポートはアイドル状態のままになります。その後ポートは検出を実行して結果をレポートし、アイドル状態に戻って次のコマンドを待ちます。

半自動モードでは、LTC9101-2A/LTC9102はポートを自動的にポーリングしてPDを探しますが、ホストが命令するまで電力は供給しません。検出/分類ステータス・レジスタは各検出/分類サイクルの最後に更新されます。

半自動モードでは、有効なシグネチャ抵抗が検出されて分類がイネーブルされると、ポートがPDを分類してその結果をレポートします。ホストからのパワー・オン要求がない場合、ポートは150ms（代表値）待機してから検出サイクルを繰り返します。これにより、検出/分類ステータス・レジスタは定期的にリフレッシュされます。

LTC9101-2Aでは、IEEEへの準拠、電力ネゴシエーション、および非標準デバイスへの電力供給のための豊富なパワー・オン・コマンドを選択できます。パワー・オン・プッシュボタンの詳細については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

LTC9101-2A/LTC9102を最初にパワーアップした場合、ポートがシャットダウン・モードにある場合、または対応する検出イネーブル・ビット (Detect Enable) がクリアされている場合は、該当するポートの検出がディスエーブルされます。

## レガシーPDの検出

最初のIEEE 802.3af規格以前から存在する独自設計のPDは、一般にレガシーPDと呼ばれます。ある種のレガシーPDは、大容量のコモンモード容量 ( $>10\mu F$ ) を検出シグネチャとして使用します。

レガシーPDは検出と分類の結果によって推定できます。

LTC9101-2A/LTC9102は、レガシーPDを識別してパワー・オンするために必要な、すべてのツールを備えています。

## 分類

## 802.3afの分類

PDは、オプションで分類シグネチャをPSEに示して、動作時に消費する最大電力を知らせることができます。図39に示すように、

IEEE仕様ではこのシグネチャを、PSEポートの電圧が $V_{CLASS}$ の範囲 (15.5V~20.5V) 内にあるときに流れる定電流として規定しています。5種類あるPDシグネチャのどれになるかは、この電流レベルによって示されます。PDの代表的な負荷曲線を図38に示します。10V以下での25kシグネチャ抵抗による勾配に始まり、 $V_{CLASS}$ の範囲で分類シグネチャ電流 (この場合はクラス3) に遷移します。考えられる分類値を表10に示します。

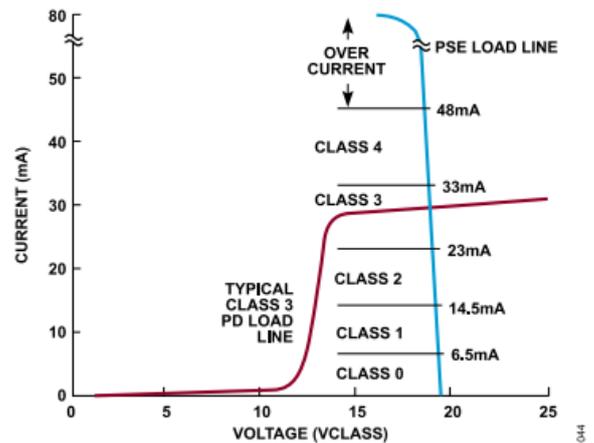


図38. PD分類

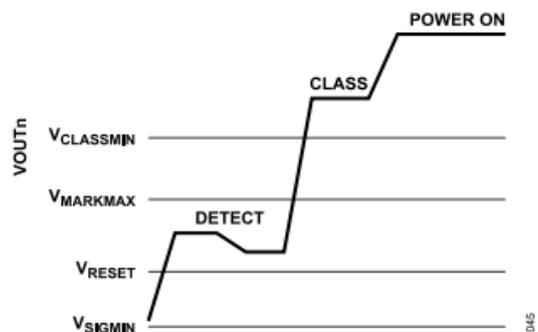


図39. タイプ1またはタイプ2 PSE (1イベント・クラス・シーケンス)

表 10. タイプ1およびタイプ2 PDの分類値

CLASS	RESULT
Class 0	No Class Signature Present; Treat Like Class 3
Class 1	3.84W
Class 2	6.49W
Class 3	13W
Class 4	25.5W (Type 2)

分類がイネーブルされると、PSEは検出サイクルが正常に終了した直後にPDを分類します。PSEは、OUTnを通じてポートに $V_{CLASS}$ 電圧を加え、それにより流れる電流を測定してPD分類シグネチャを測定します。その後、該当するポート・ステータス・レジスタで検出クラスをレポートします。ポートがシャットダウン・モードにある場合、または対応するクラス・イネーブル (Class Enable) ビットがクリアされている場合は、ポートの分類がディスエーブルされます。

## アプリケーション情報

## LLDP分類

PoEにおけるリンク層検出プロトコル (LLDP) は、802.3atで導入され、802.3btで拡張されたPoE仕様によって分類方式が規定されています。LLDP方式では、イーサネットLLDPデータ・プロトコルに特別なフィールドを追加します。

LTC9101-2A/LTC9102はこの分類方式に対応していますが、データ・パスへのアクセス権がないため、LLDP分類を直接実行することはできません。LLDP分類では、ホストがPDとLLDP通信を行って、PDの電力割当てを更新できます。LTC9101-2A/LTC9102は電力監視 (Police) レベルを動的に変更することができ、システム・レベルでLLDPをサポート可能です。

## 802.3atの2イベント分類

802.3atでは、802.3afの分類をタイプ1分類と呼んでいます。802.3at規格は、タイプ1分類の拡張版であるタイプ2 (2イベント) 分類を導入しています。タイプ2のPSEには分類の実行が求められます。

25.5Wを要求するタイプ2 PDは、すべてのクラス・イベント時にクラス・シグネチャ4を示します。供給可能電力が25.5Wのタイプ2 PSEは、図40に示すように、最初のクラス・イベント時にクラス・シグネチャ4を認識すると、PDにVMARK (代表値9V) を供給し、少し間を置いてから2番目のクラス・イベントを発行します。2番目のクラス・イベントは、PSEが25.5Wを割り当てたことをPDに知らせます。

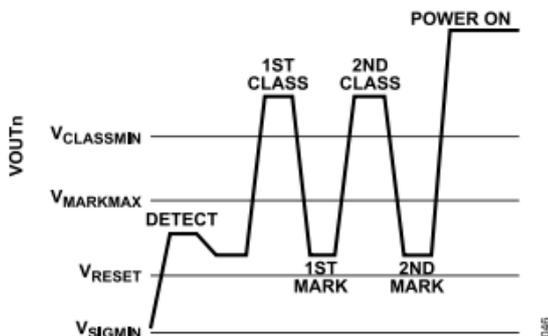


図40. タイプ2 PSE (2イベント・クラス・シーケンス)

2番目の分類イベントが実行されるのは、IEEE分類手順で必要とされる場合に限られます。例えば、クラス0~3のPDに発行されるのは、図39に示すようなシングル・クラス・イベントに限られます。

802.3atでは格下げの概念が導入されています。タイプ2のPDは、パワー・マネジメント上の制限などのため供給能力が13Wに限られるPSEにも接続できます。この場合、PSEは図39に示すようなシングル・クラス分類イベントを実行しますが、要求されるのは25.5Wです。供給できる電力が限られているので、PSEは2番目のイベントを発行することなく、そのままPDに電力を供給する段階に進みます。シングル・クラス・イベントが存在するという事実によって、タイプ2 PDが13Wに格下げされたことがそのPDに通知されます。格下げされたPDは電力制限を受け、低減電力モードで動作します。

## 無効なマルチイベント分類の組み合わせ

802.3at規格は、一連の有効なクラス・シグネチャの組み合わせを規定しています。すべてのPDは、最初の2回のクラス・イベントで同じ分類シグネチャを返します。

クラス電流制限値を超える個々のクラス・シグネチャは、無効な分類結果としてフラグされます。正しいシーケンスを表さないクラス・シグネチャのシーケンスも、同様に無効な分類結果としてフラグされます。

## 電力の制御

LTC9101-2A/LTC9102の主な機能は、PSEポートへの電力供給を制御することです。

LTC9101-2A/LTC9102は、(外付けの検出抵抗を流れる) 電流と(各OUTピンの) 出力電圧をモニタしながら、外付けされたパワー・MOSFETのゲート駆動電圧を制御することによって電力を供給します。

LTC9101-2A/LTC9102は、制御された状態でV<sub>EE</sub>電源をPSEポートに接続し、PDの電力需要を満たすと同時に、外付けMOSFETの消費電力とV<sub>EE</sub>バックプレーンに対する外乱を最小限に抑えます。

## 突入電流の制御

LTC9101-2A/LTC9102は、ポートに電力を供給するよう命令されると、GATEピン電圧をランプ・アップさせて、外付けMOSFETのゲート電圧を、制御された状態で上昇させます。

通常突入電流時には、外付けMOSFETが完全な導通状態になるまで、あるいはポートが突入電流制限値 (I<sub>NRUSH</sub>) に達するまで、MOSFETのゲート電圧が増加します。I<sub>NRUSH</sub>はPSEによって自動的に設定され、値は425mA (代表値) です。

ポートの電流がI<sub>NRUSH</sub>を超えるとGATEピンがサーボ制御されて、能動的に電流をI<sub>NRUSH</sub>以内に制限します。GATEピンがサーボ制御されていない場合、最終的なV<sub>Gs</sub>は12V (代表値) です。

突入電流発生時、各ポートではタイマー (t<sub>START</sub>) が作動します。ポートは、t<sub>START</sub>が経過するまで突入電流状態を維持します。t<sub>START</sub>の経過後は、PSEがポートの電圧と電流を確認します。MOSFETが完全な導通状態になって、ポートに流れる電流がI<sub>NRUSH</sub>未満であれば、突入電流は正常です。

突入電流が正常でない場合は電力の供給が停止され、対応するt<sub>START</sub>フォルトがセットされます。それ以外の場合は、ポートがパワー・オン状態になり、電流制限のセクションに示すように、事前に設定された電流制限閾値が使われます。

## ポート電流の監視

電力監視閾値 (Police) はポートごとにモニタされます。出力電流のt<sub>CUR</sub>内における移動平均値が指定閾値を超えると、ポートへの電力供給が停止されて、対応するICUTフォルトがセットされます。「Police」閾値とt<sub>CUR</sub>タイマーの時間はプログラム可能です。エンコーディングの詳細については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

## アプリケーション情報

## 電流制限値

LTC9101-2A/LTC9102の各ポートには、電流制限閾値 ( $I_{LIM-2P}$ ) と対応するタイマー ( $t_{LIM}$ ) が組み込まれています。表11に示すように、 $I_{LIM}$  閾値は適用される「Police」閾値の関数になっています。

表 11.  $I_{LIM}$  値

Police	$I_{LIM}$ (Typical)
$\leq 320\text{mA}$	425mA <sup>1</sup>
$> 320\text{mA}$	850mA

<sup>1</sup> 「クラス4」デバイス (つまり2イベント分類) としてパワー・オンされるPDは、「Police」の設定に関わらず850mAの $I_{LIM}$ 閾値を維持します。

LTC9101-2A/LTC9102は、ポート電流が $I_{LIM-2P}$ 未満になるようにMOSFETのゲート駆動を能動的に制御します。LTC9101-2A/LTC9102の $I_{LIM}$ 閾値は、ポート電圧が通常動作電圧未満に低下するとポート電流を減らす2段階のフォールドバック回路として実装されていることを、図7に示します。これにより、MOSFETの消費電力が安全なレベルに維持されます。 $I_{LIM}$ 電流制限回路は常にイネーブルされており、ポートの電流を能動的に制限します。

$t_{LIM}$ タイマーの時間は、表12に示すように調整可能です。各クワッドは、それぞれ独立したタイマー時間制御を行います。 $t_{LIM}$ タイマーの時間はいつでも調整できます。更新されたタイマー時間は、影響を受けるクワッド内のすべてのポートに直ちに適用されます。

表 12.  $T_{LIM}$ の設定

Field	$T_{LIM}$ (Typical)
00b (Default)	Type 1 $T_{LIM}$ 60ms
01b	Spare $T_{LIM}$ 17ms
10b	Type 2 $T_{LIM}$ 13ms
11b	Spare $T_{LIM}$ 11ms

## MOSFETのフォルト検出

LTC9101-2A/LTC9102のPSEポートは、かなり厳しい条件にも耐えられるように設計されていますが、極端な場合は外付けのMOSFETが損傷する可能性があります。MOSFETが損傷するとソースとドレインの間が短絡することがあり、その場合は本来オフしているはずのポートがオンしているような状態になります。また、この状態が原因で検出抵抗が溶断してオープン状態になり、ポートはオフしているにも関わらず、SENSE電圧が異常に高くなる場合があります。また、MOSFETが損傷するとゲートとドレインの間が短絡して、GATE電圧が異常に高くなることもあります。OUT、SENSE、およびGATEは、最大80Vの異常電圧にも損傷せずに耐えられるよう設計されています。

LTC9101-2A/LTC9102がこれらいずれかの状態を検出して、その状態にある時間が3.8msを超えると、デバイスはすべてのポート機能をディスエーブルしてポートのゲート駆動プルダウン電流を減らし、MOSFETフォルトの検出ステータスをレポートします。これは一般的には永続的なフォルト状態ですが、ホストはポートをリセットしたりポートをシャットダウン・モードにしたりすることによって回復を試みることができます。ポートのリセットでフォルトを解消できない場合は、デバイス全体をリセットして回復を試みます。実際にMOSFETが損傷している場合はすぐにフォルトが再発し、ポートは再度ディスエーブルされます。LTC9101-2A/LTC9102の残りのポートは影響を受けません。

MOSFETがオープン状態になったり存在しなかったりすることによってMOSFETフォルト検出ステータスがトリガされることはありませんが、LTC9101-2A/LTC9102がポートをオンにしようとすると $t_{START}$ フォルトが発生します。

## 切断

LTC9101-2A/LTC9102は受電ポートをモニタして、仕様規定された最小電流がPDに流れ続けていることを確認します。 $I_{HOLD}$ 閾値は $0.1\Omega$ の検出抵抗に生じる電圧の $V_{HOLD}$ 閾値としてモニタされ、PDとの接続が切断されたかどうかを判断するために使われます。

ポート電流が $I_{HOLD}$ 閾値未満になると切断タイマー ( $t_{DIS}$ ) がカウント・アップを開始して、PDとの接続が切断されたことを示します。 $t_{DIS}$ タイマーが終了するとそのポートはオフになり、対応する切断フォルトがセットされます。もしくは、 $t_{DIS}$ タイマー終了前に電流が増加して $I_{HOLD}$ を超え、その状態が $t_{MPS}$ より長く続くと $t_{DIS}$ タイマーがリセットされて、PDには引き続き電力が供給されます。

推奨はしませんが、DC切断機能は対応するDC切断イネーブル (DC Disconnect Enable) ビットをクリアすればディスエーブルできます。DC切断機能をディスエーブルすると、LTC9101-2A/LTC9102はIEEE規格に適合しなくなります。PD取り外し後も受電ポートには電力が供給されます。受電状態のポートをその後にPoE非対応のデータ・デバイスに接続することもできますが、そのデバイスを損傷させる可能性があります。

LTC9101-2A/LTC9102はAC切断回路を内蔵していません。

## 高速のサージ回復

信頼性の高いシステムには優れたサージ回復機能が求められます。PSEにとっては、極端な電力トランジェント発生時でもPDへの給電中断を最小限に抑えることが、ますます重要になっています。更に、最小パルク容量に関する要求を満たしていないPDは、従来型のPSEソリューションで生じるブラウンアウトに対して特に脆弱です。LTC9101-2A/LTC9102はホット・スワップ応答性が改善されており、サージ・イベントからの回復についても優れた特性を備えています。

サージ発生時、LTC9102のGATEピンは直ちに外部MOSFETの電流をオフにして、PSE、MOSFET、および下流側回路を保護します。サージ状態が解消されると、LTC9102は電流を制限した安全な方法で直ちにMOSFETを再度オンにし、PDへの電力供給中断を最小限に抑えます。LTC9102の高速なMOSFETターンオフと電力回復は、高信頼性アプリケーションにおけるIEEE準拠のPDとパルク容量の小さいPDの両方を、より望ましい形でサポートします。

## ポート電流のリードバック

LTC9101-2Aは、ポートごとのA/Dコンバータを使って、各ポートに流れる電流を測定します。ポート電流が有効となるのはそのポートの電源がオンになっている場合に限られ、それ以外のときのリードバック値は常にゼロになります。サンプリングは継続的に行われ、1秒間の移動平均が100msごとに更新されます。

## アプリケーション情報

### ポート電圧とV<sub>EE</sub>のリードバック

LTC9101-2A/LTC9102は、専用のA/Dコンバータを使ってV<sub>EE</sub>の電圧を継続的に測定します。このグローバルV<sub>EE</sub>測定はすべてのポート電流測定と完全に同期しており、LTC9102のUVLO閾値になるまでモニタすることができます。

### 温度のリードバック

電源イベント・レジスタの過熱フォルトに加えて、LTC9101-2Aは対応する各LTC9102のダイ温度もレポートします。

### 過熱保護

過熱保護機能は、LTC9102の温度がプリセットされている閾値（代表値150°C）を超えると、影響するポートへの電力供給を自動的に停止します。ポートの動作は、ダイ温度がプリセットされている回復閾値（代表値125°C）未満に低下するまで再開されません。詳細については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

### 過電流シャットダウン（OSS）

LTC9101-2Aは、必要に応じてシステム負荷を直ちに軽減する低遅延のポート削減機能を備えています。予め設定された一連のポートをオフできるようにすることで、過負荷状態の主電源から流れる電流を急速に減少させる一方、優先度の高いデバイスには引き続き電力を供給することができます。

1ビット優先度モードでは、各ポートをハイかローかのどちらかに設定します。OSS HWピンの立上がりエッジで、低優先度のポートが6.5μs以内にシャットダウンされます。

OSSによってポートへの電力供給が停止されると、そのポートまたはクワッドの対応する「切断」、「パワー・グッド」、「パワー・イネーブル」、および「OSS」イベント・ビットがセットされます。ポート・ディスエーブルの効果については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。

OSSを通じてポートをオフにすると、対応する検出イネーブル（Detection Enable）ビットと分類イネーブル（Classification Enable）ビットはイネーブルされたままなので、ポートは再検出を開始します。

### ポートのリマッピング

LTC9101-2A/LTC9102にはポートを論理的にリマップする機能があります。ポート・リマッピング・レジスタに適切な値を書き込むことによってリマッピングを行います（表13参照）。デフォルトではリマッピングはありません。

表 13. ポートのリマッピング

CODE	REMAPPING
00b	Port 1

表13.ポートのリマッピング（続き）

CODE	REMAPPING
01b	Port 2
10b	Port 3
11b	Port 4

1つのクワッド内では、すべての物理的ポートを任意の論理ポートにマップできます。

### コードのダウンロード

LTC9101-2Aのファームウェアは、ファームウェア・イメージをダウンロードして実行することにより、フィールドでアップグレードできます。

ダウンロード手順とファームウェア・イメージの詳細については、アナログ・デバイセスへお問い合わせください。

ファームウェア・イメージは専用のフラッシュ・パーティションに保存されます。LTC9101-2Aには、IEEE 802.3at完全準拠のファームウェア・イメージが予め設定されています。このファームウェア・イメージはユーザが上書きできます。

このファームウェア・イメージには、最大限のデータ保護を実現するために2つの完全なコピーが使われており、それぞれに対して個別にECC（誤り訂正符号）保護とCRC（巡回冗長検査）保護がかけられています。

### 保存されている設定

オプションで、カスタムのI<sup>2</sup>Cレジスタ・マップ初期値をフラッシュ・パーティションに保存することができます（設定パッケージ）。工場出荷時のLTC9101-2Aにはデフォルトの設定パッケージが組み込まれており、そのレジスタ・マップ初期値はLTC9101-2Aのソフトウェア・インターフェース・データシートの指定に従って設定されています。レジスタ・マップのデフォルト設定は、製造工程確立時に保存されたものか、設定パッケージのダウンロードを通じてフィールドで更新されたもので、リセット時に自動的にロードされます。

カスタム設定パッケージの作成についてご不明な点は、アナログ・デバイセスのアプリケーション・サポートまでお問い合わせください。設定パッケージは、ファームウェア・パッケージの場合と同じコード・ダウンロード・メカニズムを使ってダウンロードします。設定パッケージはパッケージ・ヘッダによって識別し、適切なフラッシュ・パーティションに保存することができます。

保存されている設定を使用する場合は、何個のLTC9102を接続するかをLTC9101-2Aに知らせるために、CFG [1:0] が必要です。更に、ベースI<sup>2</sup>Cチップ・アドレスをLTC9101-2Aに知らせるためにAD [4:1] が必要です。

設定イメージには、最大限のデータ保護を実現するために2つの同じコピーが使われ、それぞれに対して個別にECC保護とCRC保護がかけられています。

## シリアル・デジタル・インターフェース

### 概要

LTC9101-2Aは、標準的なSMBus/I<sup>2</sup>C 2線インターフェースを使ってホストと通信します。LTC9101-2Aはスレーブ専用デバイスで、

## アプリケーション情報

標準SMBusプロトコルを使ってホスト・コントローラと通信します。割込み信号は $\overline{\text{INT}}$ を介してホストに送られます。

標準的な通信波形と、それらの波形のタイミング関係をタイミング図 (図30～図34) に示します。SMBusデータ・プロトコルの詳細については、[www.smbus.org](http://www.smbus.org)を参照してください。

### バス・アドレスの指定

LTC9101-2Aの最初の7ビット・シリアル・バス・アドレスは01A4A3A2A10bで、ビット4:1はそれぞれAD [4:1] によって設定されます。デバイスの設定オプションについては、表7を参照してください。デバイスの設定に応じて、最大12個のI<sup>2</sup>CアドレスがI<sup>2</sup>Cベース・アドレスから昇順に設定されます。すべてのLTC9101-2Aはブロードキャスト・アドレス1111111bにも応答するので、ホストは1回のトランザクションで複数のLTC9101-2Aに同じコマンド (通常は設定コマンド) を書き込むことができます。LTC9101-2Aが $\overline{\text{INT}}$ をアサートしている場合、このデバイスはSMBus規格に従ってアラート応答アドレス (0001100b) にも応答します。

論理的には、それぞれのLTC9101-2A/LTC9102はクワッドと呼ばれる複数の4ポート・グループで構成されており、各グループは1つのI<sup>2</sup>Cアドレスにまとめられています。詳細については、[デバイスの設定](#)のセクションを参照してください。例えば、CFG [1:0] が00に設定されている場合に1個のLTC9101-2Aを1個のLTC9102に接続すると、そのLTC9101-2Aは12ポートのデバイス1個として設定されます (表7を参照)。この設定には連続したI<sup>2</sup>Cアドレスが必要です。この場合はクワッド・オフセット0で、I<sup>2</sup>Cベース・アドレスから開始します。

### 割込みとSMBAlert

大半のポート・イベントは、割込みをトリガするように設定できます。この割込みが $\overline{\text{INT}}$ をアサートし、イベントに関するアラートをホストに通知します。これにより、ホストがLTC9101-2Aに対してポーリングを行う必要がなくなるのでシリアル・バスのトラフィックが最小限に抑えられ、ホストのCPUサイクルも節約できます。また、複数のLTC9101-2Aが1つの $\overline{\text{INT}}$ ラインを共有できますが、この場合、ホストはSMBAlertプロトコル (ARA) を使って、どのLTC9101-2Aが割込みを発生させたのかを特定できます。

### レジスタの説明

シリアル・バスの使用法、およびデバイスの設定とステータスの詳細については、LTC9101-2Aのソフトウェア・インターフェース・データシートを参照してください。データシートはアナログ・デバイセズのソフトウェア・リクエスト・フォームを通じて請求できます。

### 絶縁条件

IEEE 802.3イーサネット仕様では、ネットワーク・セグメント (PoE回路を含む) を、各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁する必要があります。ただし、これらのセグメントが単一配電システムを使用する1つの建屋内に設置された装置に接続されている場合は、ネットワーク・セグメント同士を互いに絶縁する必要はありません。

PSEが大規模システムの一部である場合や、イーサネット非対応の追加的な外部ポートを備えている場合、または何か他の理由に

よって保護グラウンドを基準にする必要がある場合は、PoEサブシステムをシステムの残りの部分から電氣的に絶縁する必要があります。

LTC9101-2A/LTC9102チップセットではLTC9101-2Aチップを非絶縁側に置くことができるので、PSEの絶縁が容易になります。したがって、このチップセットはロジックの主電源から電力を受け取って、I<sup>2</sup>C/SMBusバスに直接接続することができます。この場合はSDAINピンとSDAOUTピンを互いに接続し、標準的なI<sup>2</sup>C/SMBus SDAピンとして動作させることができます。LTC9101-2AとLTC9102の間の絶縁は、トランスをベースとした独自の通信プロトコルを使って実施されます。詳細については、このデータシートの[高速データ・インターフェース](#)のセクションを参照してください。

非管理型PoEスイッチなどの単純なデバイスでは、装置全体に絶縁型主電源を使用することによって、絶縁条件を満たすことができます。ツイストペア・イーサネット以外にデバイスに導電性ポートがない場合は、この方法を使用できます。上記のような状況の場合や、システムが既に絶縁されている場合は、LTC9101-2Aを直接LTC9102に接続することができます。

### 外付け部品の選択

#### 電源

LTC9101-2A/LTC9102を動作させるには2つの電源電圧が必要です。V<sub>DD</sub>にはDGND基準で3.3V (公称値) が必要です。V<sub>EE</sub>には、タイプ2 PSE用にAGND基準で-51V～-57Vの負電圧が必要です。

#### デジタル電源

V<sub>DD</sub>はデジタル電源としてLTC9101-2Aプロセッサに電力を供給します。各V<sub>DD</sub>とDGNDの間には0.1μF以上のセラミック・デカップリング・コンデンサを接続します。接続位置は、それぞれのLTC9101-2Aにできるだけ近付けてください。更に、十分なサージ耐性を持たせるために、各LTC9101-2Aには10μFのバルク・コンデンサを組み込む必要があります。1.2Vのコア電圧源が内部で生成されるので、CAP1ピンとDGNDの間、およびCAP2とDGNDの間に1μFのセラミック・デカップリング・コンデンサが必要です。

アナログ・デバイス独自の絶縁技術を使うシステム内では、ホスト・コントローラの非絶縁3.3V電源によってV<sub>DD</sub>を供給する必要があります。必要な絶縁を維持するために、LTC9102のAGNDとLTC9101-2AのDGNDは接続しないでください。直接接続方式を用いる場合は、LTC9101-2AのDGNDをLTC9102のV<sub>EE</sub>に接続する必要があります。

#### PoE主電源

V<sub>EE</sub>は、PDに電力を供給する絶縁型PoE主電源です。この電源は比較的大量の電力を供給し、大きな電流トランジェントが発生することがあるので、設計時には単純なロジック電源の場合より注意が必要です。IR損失を最小限に抑えて最大限のシステム効率を実現するために、V<sub>EE</sub>を最大振幅 (57V) 付近に設定し、使用する特定電源のトランジェント・オーバーシュート/アンダーシュート、温度ドリフト、ライン・レギュレーションの仕様値を見込んで十分なマージンを取ってください。

それぞれのLTC9102のAGNDとV<sub>EE</sub>間のバイパス・コンデンサおよび電圧トランジェント・サプレッサ (TVS) は、信頼性の高い動

## アプリケーション情報

作を確保する上で非常に重要です。いずれかの出力ポートで短絡が発生した場合、LTC9102が電流のレギュレーションを開始するまでに1 $\mu$ sほどかかることがあります。この間に電流を制限するのは回路内の小さなインピーダンスだけです。このため、通常は大きな電流スパイクが発生してV<sub>EE</sub>電源に電圧トランジェントが生じ、UVLOフォルトによってLTC9101-2A/LTC9102がリセットされてしまうおそれがあります。誤ってリセットされてしまう可能性を最小限に抑えるために、1 $\mu$ F 100VのX7RコンデンサとSMAJ58Aを、それぞれのLTC9102の近くに配置することを推奨します。あわせて、システムごとに47 $\mu$ F 100V以上の電解バルク・コンデンサと、バルクTVSを使用することも推奨します。

## LTC9102の低電圧電源

LTC9102は、PoE主電源から直接低電圧電源を生成する電圧レギュレータを内蔵しています。スタートアップ時は内部レギュレータがPWRINに6Vの電圧を生成して、AGNDから電力を取り込みます。4.3Vと3.3Vの各内部レールは、PWRINからサブレギュレーションされます。PWRINピンには、1 $\mu$ F 100Vのローカル・バイパス・コンデンサが必要です。

PWRINとAGNDの間には、LTC9102のパッケージ外部で熱を放出するために、プルアップ抵抗を接続できます。オプションで、外部電源をPWRINに接続してスタートアップ・レギュレータをオーバーライドし、消費電力を減らすこともできます。

3.3V内部レギュレータ使用時のプルアップ抵抗構成を図41に示します。バイパス抵抗R1、R2、R3、R4は、LTC9102に発生する熱を外部に放出します。PWRINピンの電圧は、LTC9102の動作モードと、それに対応する消費電流に従って変化します。バイパス抵抗が提供する電流以上の電流が消費される場合は、スタートアップ・レギュレータが電圧を6V（代表値）に維持します。スペースに制約のあるアプリケーションでは、プルアップ抵抗なしでLTC9102を動作させることができます。

外部PWRIN電源を使用するアプリケーションでは、6.5Vレギュレータが最適な電圧を維持して6V内部スタートアップ・レギュレータをオーバーライドしながら、LTC9102の発熱を最小限に抑えます。外部電源は複数のLTC9102で共有できます。

図42に示すように、3.3V電源はCAP3ピンに直接接続できます。これにより、最も電力効率の良いスリープ・モードが実現されます。3.3V外部電源を使用するときは、EXT3ピンをCAP3に接続します。これは3.3V内部レギュレータをディスエーブルして、電力の逆流を防ぎます。3.3Vレギュレータは、電気的特性の表に指定されたt<sub>CAP3EXT</sub>以内にパワーアップする必要があります。

直接接続方式を使用する場合は、LTC9101-2Aに電力を供給する3.3V電源から、LTC9102にも電力を供給することができます。LTC9101-2AとLTC9102がシステム絶縁バリアの同じ側にある場合は、このオプションを推奨します。

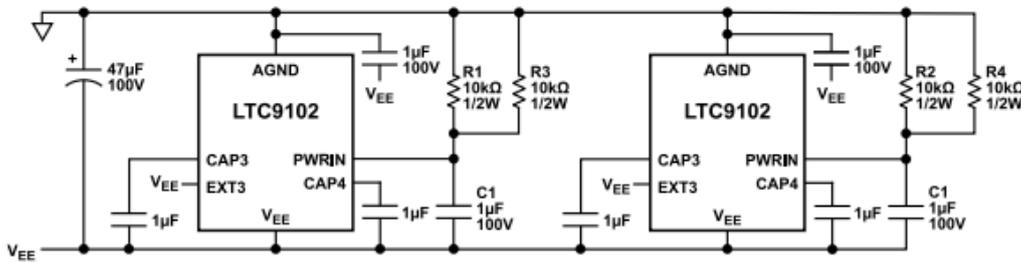


図41. 3.3V内部電源使用時の電源構成

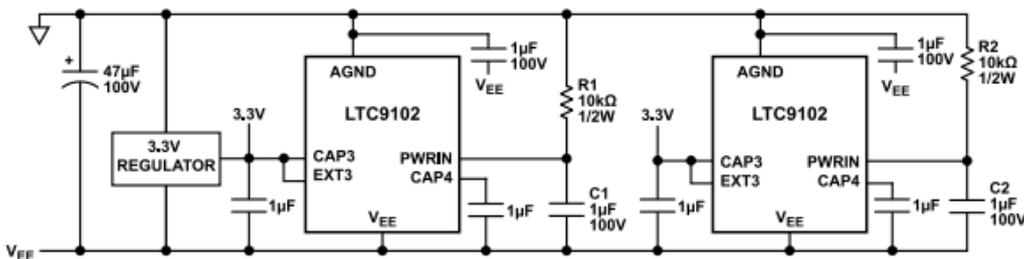


図42. 3.3V外部レギュレータ使用時の電源構成

## アプリケーション情報

### 高速データ・インターフェース

LTC9101-2AとLTC9102間の通信は、独自の絶縁方式あるいは直接接続方式の高速データ・インターフェースを通じて行われます。正しく動作させるには、厳密なレイアウト・ガイドラインに従う必要があります（[高速データ・インターフェースのレイアウトのセクション](#)を参照）。

独自絶縁方式では、LTC9101-2A/LTC9102チップセットに2個のトランスを使用し、1~4個のLTC9102からLTC9101-2Aを絶縁します（[図43](#)を参照）。この場合は、SDAINピンとSDAOUTピンを互いに短絡させて、直接I<sup>2</sup>C/SMBusバスに接続できます。トランスは、巻数比1:1の10Base-Tまたは10/100Base-Tのものを使用する必要があります。最適な選択肢はコモンモード・チョークのないトランスです。この種のトランスでは、通常、LTC9101-2AとLTC9102の間に1500Vの絶縁が得られます。この独自の絶縁方式を使用すれば、BOMコストを大幅に削減できます。

直接接続方式では、LTC9101-2A/LTC9102チップセットは既存のシステム絶縁に依存します。この方式では、独自の通信プロトコルを使って、LTC9101-2Aを1つまたは複数のLTC9102に接続します（[図44](#)を参照）。

### 外部MOSFET

システムの信頼性を確保するには、パワーMOSFETを慎重に選択することが極めて重要です。MOSFETを選択するには、様々なPSEの電流制限条件に対してMOSFETのSOA曲線を広範に分析し、テストを行う必要があります。アナログ・デバイセズでは、25.5Wの最大ペアセット電力を供給できるように設定されたPSEに対してPSMN075-100MSEを推奨しています。これらのMOSFETを選んだ理由は、様々なPoEアプリケーションで証明されたその信頼性にあります。この推奨品以外のMOSFETを使用する場合は、事前にアナログ・デバイセズのアプリケーション・サポートへご相談ください。

### 検出抵抗

LTC9101-2A/LTC9102はポートあたり0.1Ωの小さい検出抵抗に合わせて設計されており、この検出抵抗は[レイアウト条件](#)のセクションの[図46](#)に示すようにレイアウトされています。IEEE仕様が求めるI<sub>HOLD</sub>およびI<sub>LM</sub>の精度を満たすには、許容誤差が±1%以下、温度係数が±200ppm/°C以下の検出抵抗を使用する必要があります。

### ポートの出力コンデンサ

スタートアップ時や過負荷時の電流が制限された場合は、LTC9102を安定した状態に保つために、各ポートのOUT<sub>n</sub>とAGNDの間に0.1μFのコンデンサを配置する必要があります（[図45](#)を参照）。一般的なセラミック・コンデンサは多くの場合、かなり大きな電圧係数の値を示します。つまり、加えられる電圧が高くなると容量が減少します。この問題の影響を最小限に抑えるために、定格100V以上のX7Rセラミック・コンデンサの使用を推奨します。このコンデンサは、LTC9102の近くに配置する必要があります。

### サージ保護

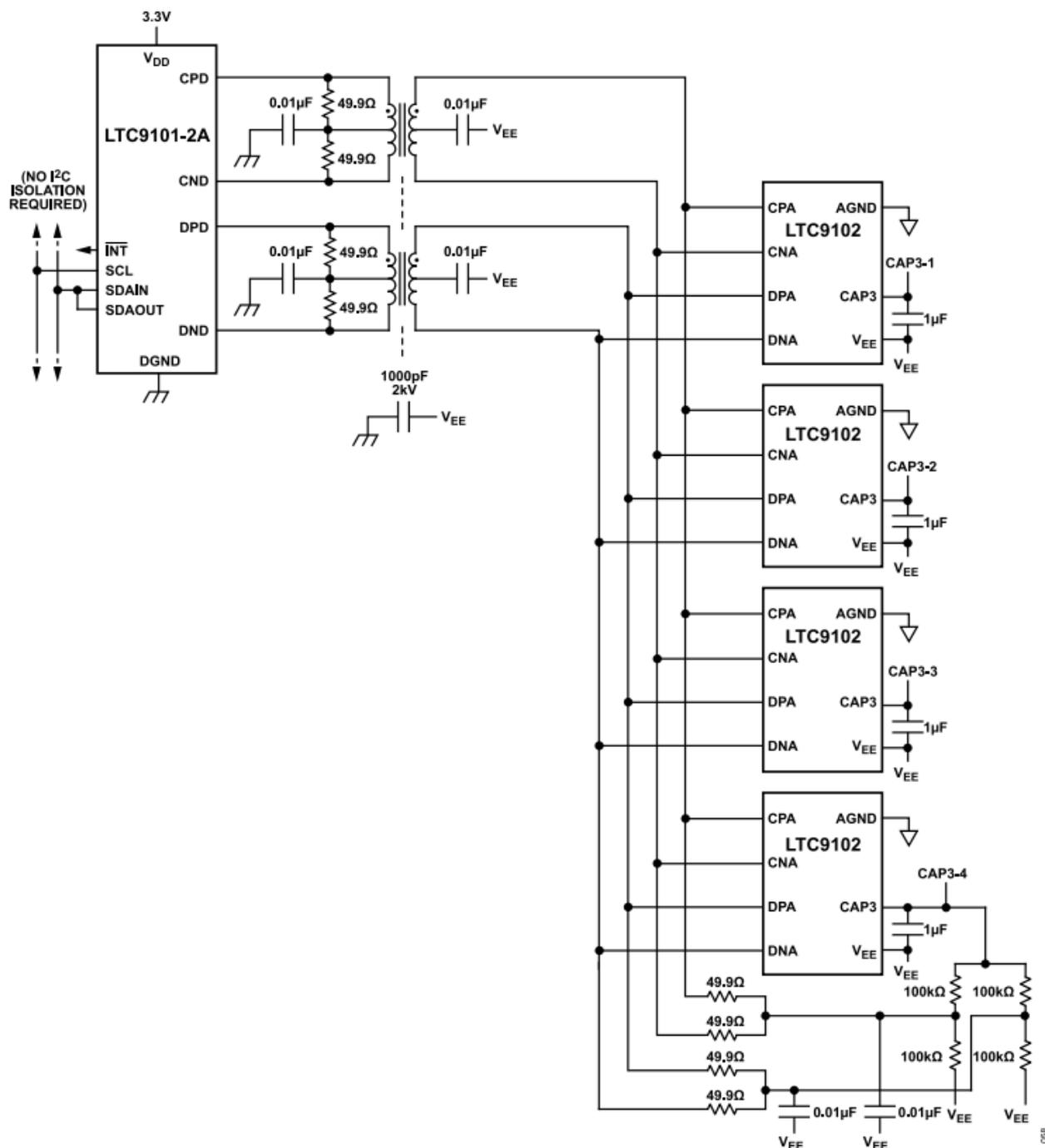
イーサネット・ポートには、かなり大きなケーブル・サージが加わることがあります。PoE電圧を安全なレベル未満に維持してアプリケーションを損傷から保護するため、[図45](#)に示すように、主電源、LTC9102の電源ピン、および各ポートには保護部品が必要です。

PoE主電源には、バルク電圧トランジェント抑制（TVS<sub>BULK</sub>）を施すと共に、バルク容量（C<sub>BULK</sub>）を設置する必要があります。また、これらはシステム・レベルのサージ条件に見合ったサイズにする必要があります。

それぞれのLTC9102のAGNDピンとV<sub>EE</sub>ピンの間には、SMAJ58A 58V TVS（D1）と、1μF 100Vのバイパスコンデンサ（C1）を接続します。これらの部品は、LTC9102の各ピンの近くに配置する必要があります。

各ポートにはS1Bクランプ・ダイオードが必要で、これはOUT<sub>n</sub>と電源AGNDの間に接続します。このダイオードは有害なサージを電源レールに誘導し、サージはそこでサージ・サプレッサとV<sub>EE</sub>のバイパス・コンデンサに吸収されます。これらの経路のレイアウトは低インピーダンスにする必要があります。

アプリケーション情報

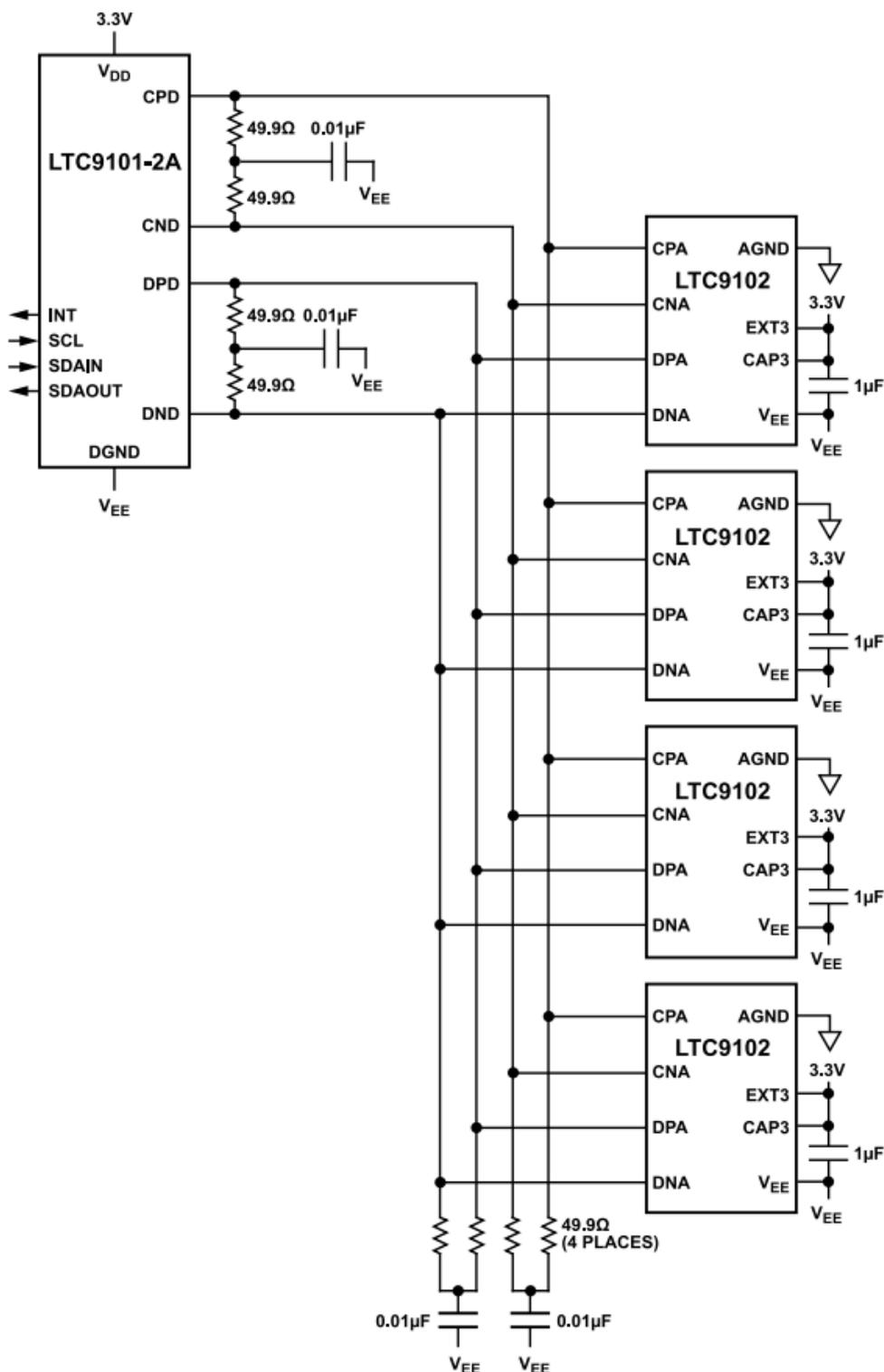


NOTES

1. MULTIPLE LTC9102 DEVICES ON THE HIGH-SPEED DATA INTERFACE ARE DAISY CHAINED.
2. THE HIGH-SPEED DATA INTERFACE IS TERMINATED AT BOTH ENDS.
3. THE 100k RESISTORS AT THE END OF THE HIGH-SPEED DATA INTERFACE CONNECT TO THE LAST LTC9102 CAP3.
4. THE MAXIMUM LENGTH OF THE HIGH-SPEED DATA INTERFACE IS 20 INCHES.
5. THE HIGH-SPEED DATA INTERFACE DIFFERENTIAL IMPEDANCE IS 100Ω.

図43. LTC9101-2A/LTC9102の独自絶縁方式

アプリケーション情報



- NOTES
1. MULTIPLE LTC9102 DEVICES ON THE HIGH-SPEED DATA INTERFACE ARE DAISY CHAINED.
  2. THE HIGH-SPEED DATA INTERFACE IS TERMINATED AT BOTH ENDS.
  3. THE MAXIMUM LENGTH OF THE HIGH-SPEED DATA INTERFACE IS 20 INCHES.
  4. THE HIGH-SPEED DATA INTERFACE DIFFERENTIAL IMPEDANCE IS 100Ω.

図44. LTC9101-2A/LTC9102の直接接続方式

069

## アプリケーション情報

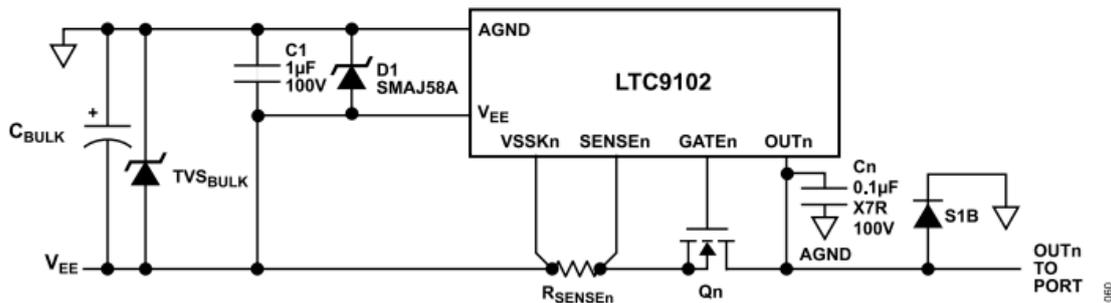


図45. LTC9102のサージ保護

表 14. PSE最大クラスの部品選択

PSE CLASS	SENSE RESISTOR	HOT SWAP MOSFET	FUSE	ETHERNET TRANSFORMER
Class 3	100mΩ, 1%, 50mW	PSMN075-100MSE	SF-0603HI075F-2	7490220120
Class 4	100mΩ, 1%, 100mW	PSMN075-100MSE	SF-0603HI100F-2	7490220121

## レイアウト条件

IEEEへの準拠、パラメータの測定精度、システムの堅牢性、および放熱などを実現するには、基板レイアウト、部品配置、および配線などに関する条件に厳密に従うことが極めて重要です。レイアウト例については、[DC3160A-KITデモ・キット](#)を参照してください。

## ケルビン検出

ポート電流のケルビン検出ラインを正しく接続することは、電流閾値の精度とIEEEへの準拠を確保する上で重要です。これらのケルビン検出ラインのレイアウト例については、[図46](#)を参照してください。LTC9102のVSSKnピンは検出抵抗（VEE側）パッドにケルビン接続されており、それ以外でVEEの銅領域に接続されていることはありません。同様に、LTC9102のSENSEnピンは検出抵抗（SENSEn側）にケルビン接続されており、それ以外で電力経路に接続されていることはありません。LTC9102から検出抵抗（RSENSEn）への2つのケルビン接続のパターンを[図46](#)に示します。

## 高速データ・インターフェースのレイアウト

LTC9101-2A/LTC9102チップセットは、独自の高速マルチドロップ・データ・インターフェースを介して通信を行います。これにより、1つのLTC9101-2Aで最大4つのLTC9102を制御することができます。

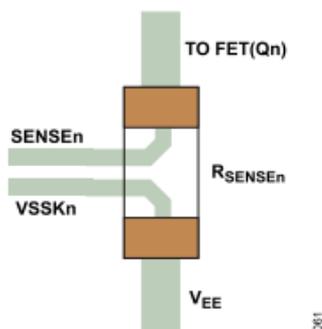


図46. RSENSEのケルビン接続

それぞれのLTC9102へのデータ・ラインには、インピーダンス・マッチングされたパターンを使用する必要があります。データ・バスの終端抵抗は、絶縁トランスから最も離れたLTC9102に配置します。また、絶縁型アプリケーションのDCバイアス抵抗は、絶縁トランスから最も離れたLTC9102のCAP3ピンに接続する必要があります。100Ωの差動伝送ラインを使ってインターフェースを設計し、100Ωの抵抗で差動終端する方法を[図43](#)と[図44](#)に示します。高速データ・インターフェース・ラインの長さは20インチまでとします。また、LTC9102と高速データ・インターフェース間の伝送スタブの数は最小限に抑えてください。

代表的なアプリケーション

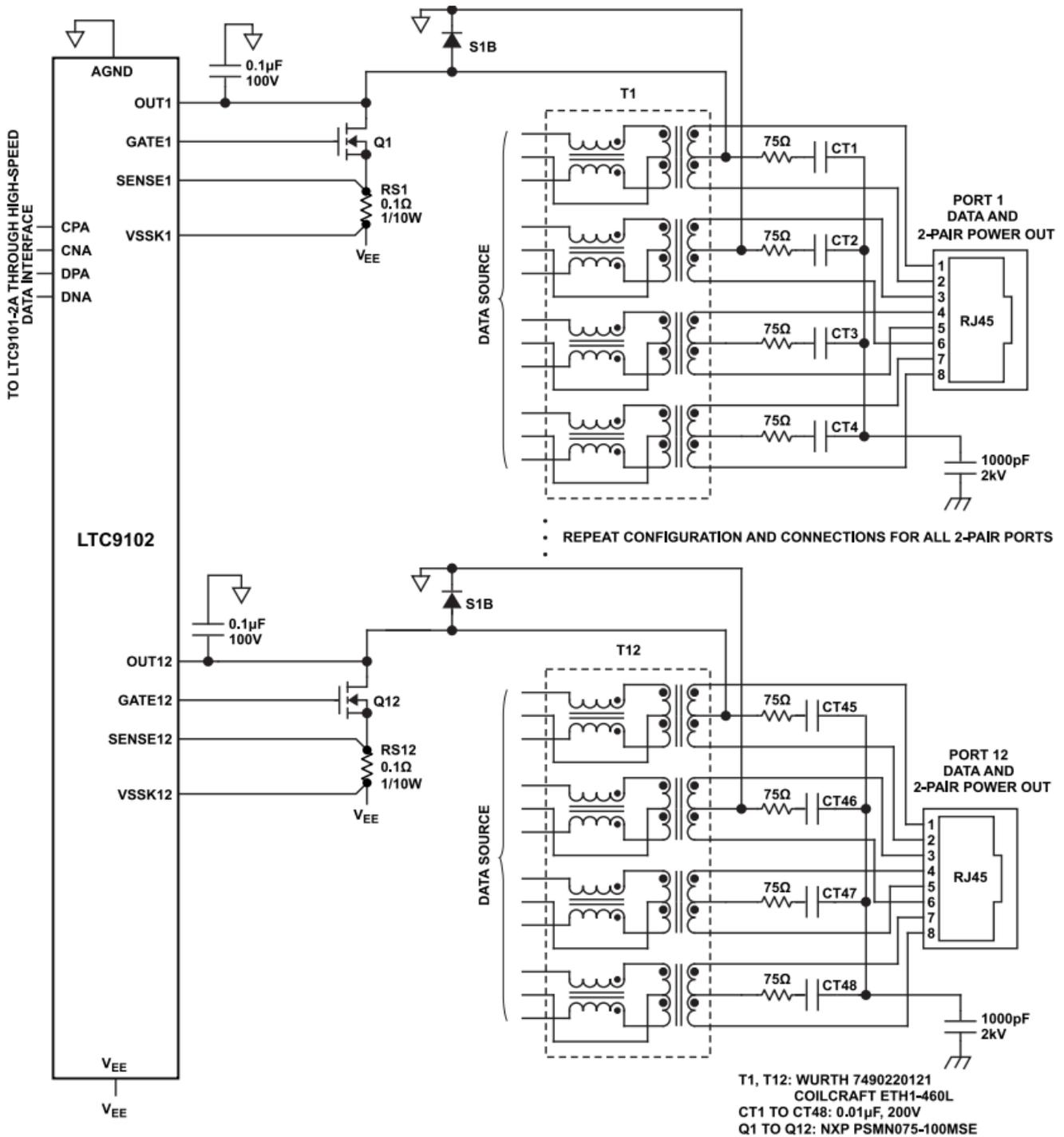
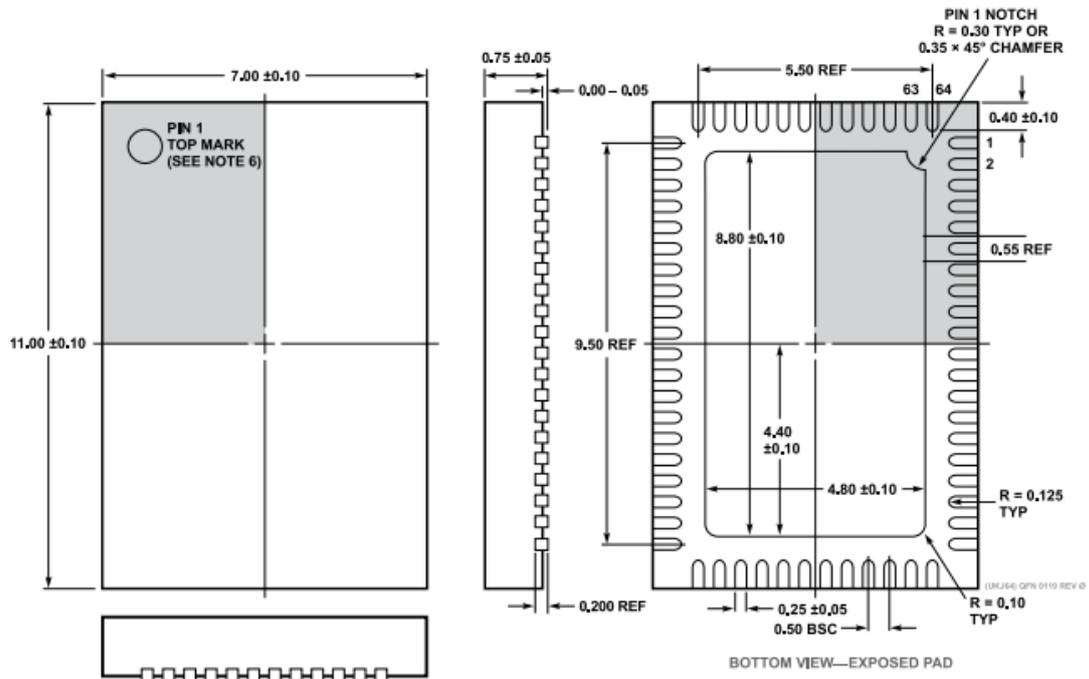


図47. オルタナティブA (MDI-X) およびB (S)、2ペア、1000BASE-T、IEEE 802.3at、タイプ2 PSE。図はポート1および12を示す。



パッケージ



- NOTE:
1. DRAWING IS NOT A JEDEC PACKAGE OUTLINE
  2. DRAWING NOT TO SCALE
  3. ALL DIMENSIONS ARE IN MILLIMETERS
  4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE
  5. EXPOSED PAD SHALL BE SOLDER PLATED
  6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

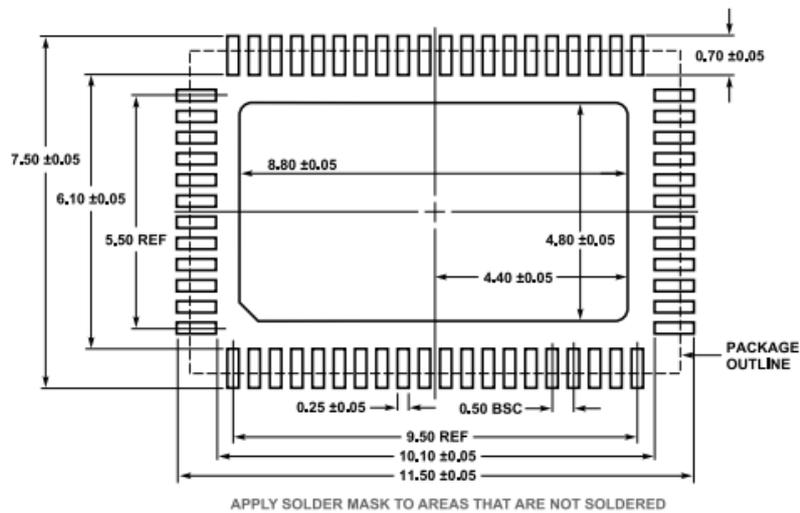
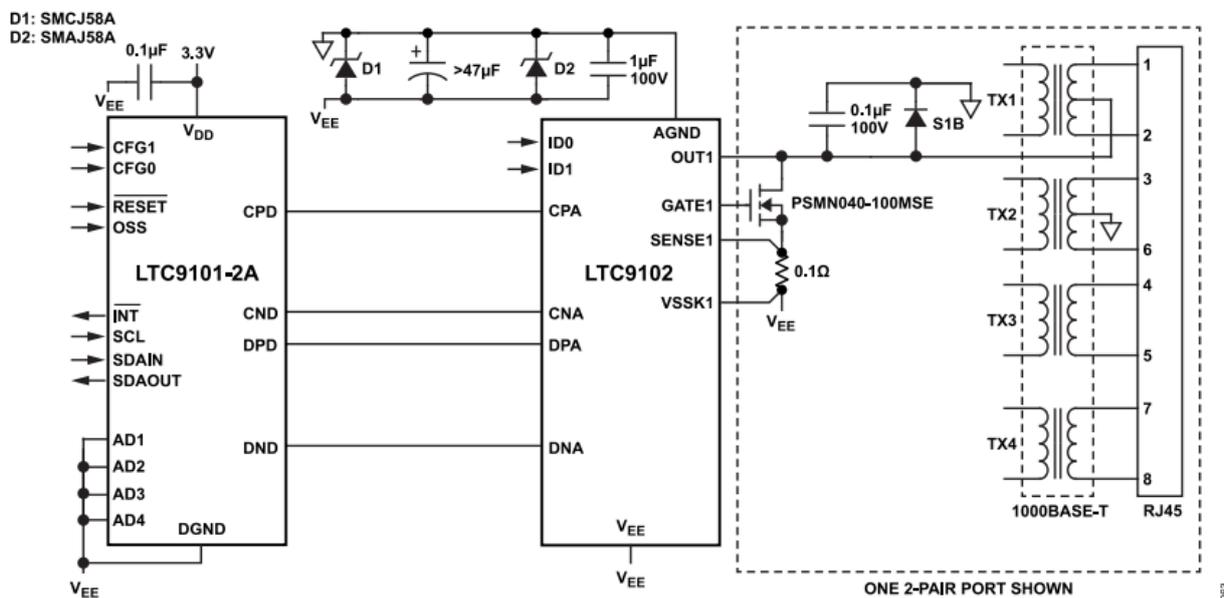


図49. UKJパッケージ  
64ピン・リード・プラスチックQFN (7mm × 11mm)  
(LTC DWG # 05-08-1780 Rev. 0参照)

代表的なアプリケーション



関連製品

表 15. 関連製品

製品番号	概要	注釈
LTC9101-1/LTC9102/ LTC9103	48ポートIEEE 802.3at/802.3bt PoE PSEコントローラ	0.1Ω検出抵抗による業界最小の電力経路消費電力、トランス絶縁通信
LTC9101-2/LTC9102	24ポートIEEE 802.3bt PoE PSEコントローラ	業界標準のレジスタ・マップ、0.1Ω検出抵抗による業界最小の電力経路消費電力、直接絶縁またはトランス絶縁通信
LTC4292/LTC4291-1	4ポートIEEE 802.3bt PoE PSEコントローラ	トランス絶縁、ポートごとの14ビット電流モニタリング（電流制限をプログラム可能）、タイプ1~タイプ4のPDをサポート
LT@4293	LTPoE++ <sup>®</sup> /IEEE 802.3bt PDインターフェース・コントローラ	外部スイッチ、LTPoE++およびIEEE 802.3btをサポート、クラス設定と補助電源をサポート
LT4294	IEEE 802.3bt PDコントローラ	外部スイッチ、IEEE 802.3btをサポート、クラス設定と補助電源をサポート
LT4295	フォワード/フライバック・スイッチング・レギュレータ・コントローラ内蔵のIEEE 802.3bt PD	外部スイッチ、IEEE 802.3btをサポート、クラス設定可能、フォワード動作や光アイソレータが不要のフライバック動作、周波数、PG/SG遅延、ソフトスタート、最小9Vの補助電源をサポート（ハウスキーピング降圧電源とスロープ補償回路を内蔵）
LTC4290/LTC4271 LTC4263	8ポートPoE/PoE+/LTPoE++ PSEコントローラ シングルIEEE 802.3af PSEコントローラ	トランス絶縁、IEEE 802.3af、IEEE 802.3at、LTPoE++ PDをサポート MOSFETスイッチ内蔵
LTC4265	IEEE 802.3at PDインターフェース・コントローラ	100V 1Aのスイッチを内蔵、2イベント分類認識
LTC4266	クワッドIEEE 802.3at PoE PSEコントローラ	プログラマブルILIM、2イベント分類、ポート電流および電圧のモニタリング
LTC4267	スイッチング・レギュレータ内蔵のIEEE 802.3af PDインターフェース	100V、400mAのスイッチを内蔵、デュアル突入電流、クラス設定可能
LTC4270/LTC4271 LTC4278	12ポートPoE/PoE+/LTPoE++ PSEコントローラ フライバック・スイッチング・レギュレータ内蔵のIEEE 802.3at PDインターフェース	タイプ1、タイプ2、LTPoE++ PDをサポート、トランス絶縁 2イベント分類、クラス設定可能、光アイソレータ不要の同期整流式フライバック・コントローラ、50kHz~250kHz、12V補助電源をサポート
LTC4279	シングルPoE/PoE+/LTPoE++ PSEコントローラ	IEEE 802.3af、IEEE 802.3at、LTPoE++、および独自設計のPDをサポート