

LTC9101-3/LTC9103

絶対最大定格

(Note 1, 4)

LTC9103

電源電圧 (V_{EE} 基準)

AGND	-0.3V~80V
PWRIN	-0.3V~80V
CAP3、CAP4	-0.3V~5V
VSSKn	-0.3V~0.3V
アナログ・ピン		
SENSEn、OUTn	-20V~80V
GATEn、IDn、PWRMDn	-0.3V~80V
CPA、CNA、DPA、DNA	-0.3V~CAP3 + 0.3V
EXT3	-0.3V~30V
動作周囲温度	-40°C~85°C
動作ジャンクション温度 (Note 2)	-40°C~125°C
保存温度	-65°C~150°C

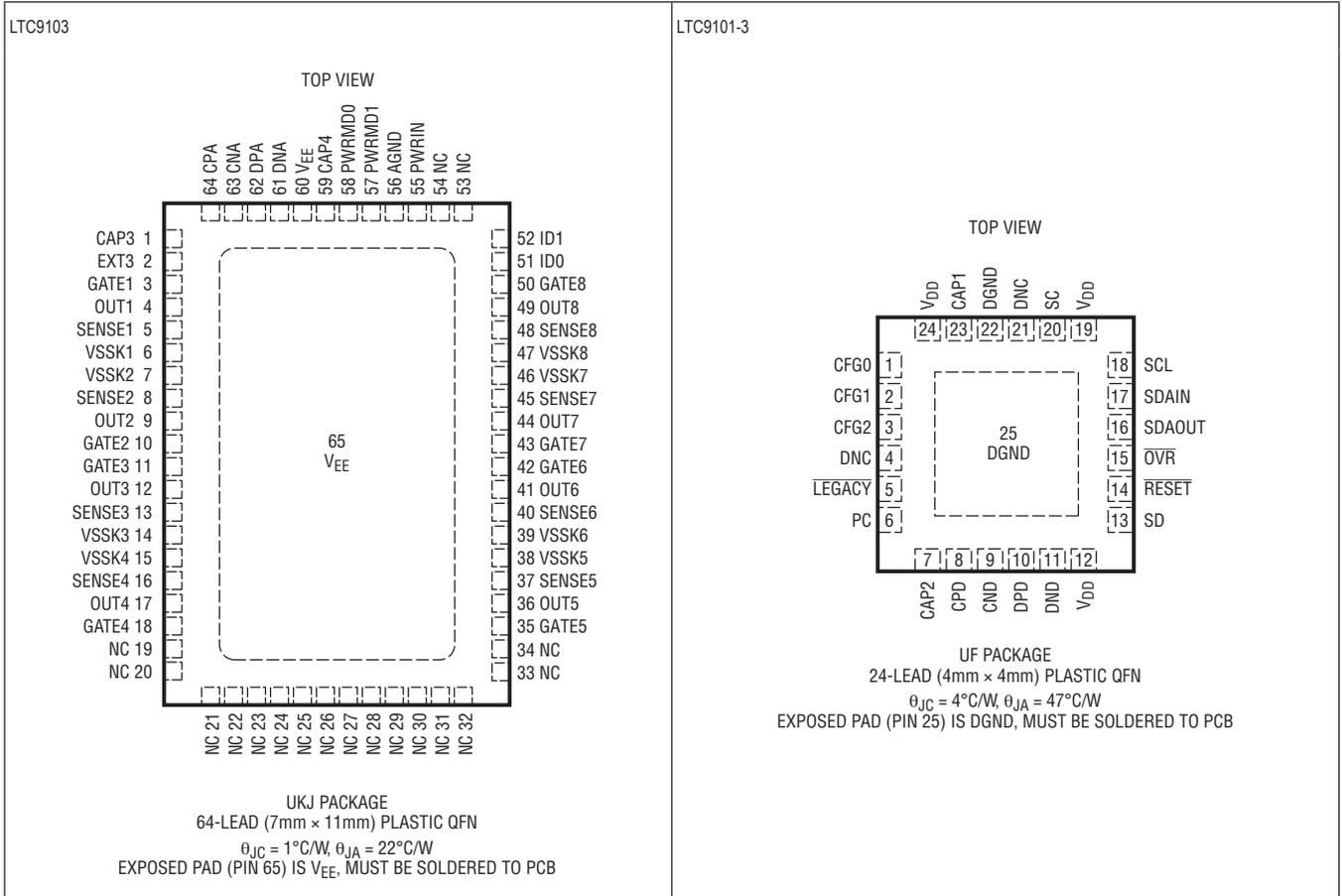
(Note 1)

LTC9101-3

電源電圧 (DGND 基準)

V _{DD}	-0.3V~3.6V
CAP1、CAP2	-0.3V~1.32V
デジタル・ピン		
LEGACY、 $\overline{\text{OVR}}$ 、CFGn、SDAIN、SDAOUT、SCL、 RESET、SC、SD、PC	-0.3V~V _{DD} + 0.3V
アナログ・ピン		
CPD、CND、DPD、DND	-0.3V~V _{DD} + 0.3V
動作周囲温度	-40°C~85°C
動作ジャンクション温度 (Note 2)	-40°C~125°C
保存温度	-65°C~150°C

ピン配置



発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング	パッケージの説明	温度範囲
LTC9101AUF-3#PBF	LTC9101AUF-3#TRPBF	91013	24ピン (4mm × 4mm) プラスチック QFN	-40°C~85°C
LTC9103AUKJ#PBF	LTC9103AUKJ#TRPBF	LTC9103	64ピン (7mm × 11mm) プラスチック QFN	-40°C~85°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。

テープ&リールの仕様。一部のパッケージは指定された販売チャンネルを通じて500個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

LTC9101-3/LTC9103

電気的特性

●は、全動作範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{DD}	Main PoE Supply Voltage	$\text{AGND} - V_{EE}$	●	51		57	V
	LTC9103 Undervoltage Lock-Out	$\text{AGND} - V_{EE}$	●		8.2	9	V
	V_{DD} Supply Voltage	$V_{DD} - \text{DGND}$	●	3.0	3.3	3.6	V
	Undervoltage Lock-Out				2.8		V
	V_{DD} Slew Rate, Falling	$2.4 \leq V_{DD} - \text{DGND} \leq 3.0$ (Note 7)				20.0	mV/ μs
V_{CAP1}, V_{CAP2}	Internal Regulator Supply Voltage	$V_{CAP1} - \text{DGND}, V_{CAP2} - \text{DGND}$ (Note 12)			1.2	V	
V_{CAP3}	Internal 3.3V Regulator Supply Voltage	$\text{CAP3} - V_{EE}$ (Note 12)	●	3	3.3	3.6	V
$t_{CAP3EXT}$	CAP3 External Supply Rise Time	$0.5\text{V} < \text{CAP3} < \text{CAP3}(\text{min})$, EXT3 tied to CAP3 (Note 7)	●			1	ms
V_{CAP4}	Internal 4.3V Regulator Supply Voltage	$\text{CAP4} - V_{EE}$ (Note 12)			4.3	V	
I_{EE}	V_{EE} Supply Current	PWRIN Pin Connected to AGND, EXT3 LOW, All Gates Fully Enhanced		7.7	11	14	mA
	3.3V Rail Supply Current	From CAP3 = 3.3V (EXT3 HIGH)		4.2	5.4	6.6	mA
I_{DD}	V_{DD} Supply Current	$(V_{DD} - \text{DGND}) = 3.3\text{V}$	●		40	60	mA

Detection

	Forced Current	Load Resistance 15.5K to 32K	●	220	240	260	μA
			●	143	160	180	μA
	Forced Voltage	Load Resistance 18.5K to 27.5K	●	7	8	9	V
			●	3	4	5	V
	Detection Current Compliance	$\text{AGND} - \text{OUT}_n = 0\text{V}$	●		0.8	0.9	mA
V_{OC}	Detection Voltage Compliance	$\text{AGND} - \text{OUT}_n$, Open Port	●		10.4	12	V
	Detection Voltage Slew Rate	$\text{AGND} - \text{OUT}_n$, $C_{PORT} = 150\text{nF}$ (Note 7)	●			0.01	V/ μs
	Min. Valid Signature Resistance		●	15.5	17	18.5	k Ω
	Max. Valid Signature Resistance		●	27.5	29.7	32	k Ω

Classification

V_{CLASS}	Classification Voltage	$\text{AGND} - \text{OUT}_n$, $\text{SENSE}_n - \text{VSSK}_n < 5\text{mV}$	●	16		20.5	V
	Classification Current Compliance	$\text{SENSE}_n - \text{VSSK}_n$, $\text{OUT}_n = \text{AGND}$ (Note 14)	●	7	8	9	V
	Classification Threshold	$\text{SENSE}_n - \text{VSSK}_n$ (Note 13)	●	0.5	0.65	0.8	mV
			●	1.3	1.45	1.6	mV
			●	2.1	2.3	2.5	mV
			●	3.1	3.3	3.5	mV
			●	4.5	4.8	5.1	mV
V_{MARK}	Classification Mark State Voltage	$\text{AGND} - \text{OUT}_n$, $\text{SENSE}_n - \text{VSSK}_n < 5\text{mV}$	●	7.5	9	10	V
	Mark State Current Compliance	$\text{OUT}_n = \text{AGND}$	●	7	8	9	mV

Gate Driver

	GATE Pin Pull-Down Current	Port Off, $\text{GATE}_n = V_{EE} + 5\text{V}$			1		mA
	GATE Pin Fast Pull-Down Current	$\text{GATE}_n = V_{EE} + 5\text{V}$			65		mA
	GATE Pin On Voltage	$\text{GATE}_n - V_{EE}$, $I_{\text{GATE}_n} = 1\mu\text{A}$	●	11		14	V

Output Voltage Sense

V_{PG}	Power Good Threshold Voltage	$\text{OUT}_n - V_{EE}$	●	2	2.4	2.8	V
	OUT Pin Pull-Up Resistance to AGN	Port On Port Off	●	300	2500 500	700	k Ω k Ω

Rev. 0

電氣的特性

●は、全動作範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。特に指定のない限り、 $\text{AGND} - V_{EE} = 55\text{V}$ 、 $V_{DD} - \text{DGND} = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Current Sense							
V_{LIM}	Active Current Limit	$\text{OUT}_n - V_{EE} < 10\text{V}$ Class 0 – Class 3 Class 4		40	42.5	45	mV
				80	85	90	mV
V_{INRUSH}	Active Current Limit, Inrush	$\text{OUT}_n - V_{EE} < 30\text{V}$ (Note 14)		40	42.5	45	mV
V_{HOLD}	DC Disconnect Sense Voltage	$\text{SENSE}_n - \text{VSSK}$	●	500	700	900	μV
V_{SC}	Short-Circuit Sense	$\text{SENSE}_n - \text{VSSK}_n - V_{LIM}$			60		mV
Digital Interface							
V_{ILD}	Digital Input Low Voltage	LEGACY, RESET, CFGn (Note 6)	●			0.8	V
	I ² C Input Low Voltage	SCL, SDAIN (Note 6)	●			1.0	V
V_{IHD}	Digital Input High Voltage	(Note 6)	●	2.2			V
	Digital Output Low Voltage	$I_{SDAOUT} = 3\text{mA}$, $I_{OVR} = 3\text{mA}$ $I_{SDAOUT} = 5\text{mA}$, $I_{OVR} = 5\text{mA}$	●			0.4	V
			●			0.7	V
	LED Driver Output Pull-Up to V_{DD}	SC, SD, PC	●	46	50	58	k Ω
	LED Driver Output Pull-Down to DGND	SC, SD, PC	●	46	50	58	k Ω
	LED Shift Driver Clock Frequency	(Note 7)			40		kHz
	Parallel Capture Clock Frequency	(Note 7)			526		Hz
t_{PC_CLK}	Parallel Capture Clock Period	(Note 7)			1.9		ms
	Internal Pull-Up to V_{DD}	LEGACY, RESET, CFG2			50		k Ω
	Internal Pull-Down to DGND	CFG0			50		k Ω
	EXT3 Pull-Down to V_{EE}				50		k Ω
	IDn Internal Pull-Up to CAP4	$V(\text{IDn}) = 0\text{V}$			5		μA
PSE Timing Characteristics (Note 7)							
t_{DET}	Detection Time	Beginning to End of Detection	●		380	500	ms
t_{CEV}	Class Event Duration		●	6	15	20	ms
t_{CEVON}	Class Event Turn On Duration	$C_{PORT} = 0.6\mu\text{F}$	●			0.1	ms
t_{CLASS}	Class Event I_{CLASS} Measurement Timing		●	6			ms
t_{ME1}	Mark Event Duration (Except Last Mark Event)	(Note 10)	●	6	9.6	12	ms
t_{ME2}	Last Mark Event Duration	(Note 10)	●	6	20		ms
t_{PON}	Power On Delay	From End of Valid Detect to End of Valid Inrush	●			400	ms
t_{ED}	Fault Delay	From Power On Fault to Next Detect	●	2.4	3	3.6	s
t_{START}	Maximum Current Limit Duration During Inrush		●	50	60	75	ms
t_{CUT}	Maximum Overcurrent Duration After Inrush		●	50	60	75	ms
	Maximum Overcurrent Duty Cycle		●	5.8	6.3	6.7	%
t_{LIM}	Maximum Current Limit Duration After Inrush		●	10	15	20	ms
t_{MPS}	Maintain Power Signature (MPS) Pulse Width Sensitivity	Current Pulse Width to Reset Disconnect Timer (Note 8)	●			6	ms
t_{DIS}	Maintain Power Signature (MPS) Dropout Time	(Note 5)	●	320	370	400	ms
	Minimum Pulse Width for RESET		●	4.5			μs

LTC9101-3/LTC9103

電気的特性

●は、全動作範囲に適用される仕様であることを示します。それ以外は $T_A = 25^\circ\text{C}$ での仕様です。特に指定のない限り、 $AGND - V_{EE} = 5\text{V}$ 、 $V_{DD} - DGND = 3.3\text{V}$ です。(Note 3, 4)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C Timing (Figure 4, Note 7 and 9)						
f _{SCLK}	Clock Frequency		●		1	MHz
t ₁	Bus Free Time		●	480		ns
t ₂	Start Hold Time		●	240		ns
t ₃	SCL Low Time		●	480		ns
t ₄	SCL High Time		●	240		ns
t ₅	SDAIN Data Hold Time		●	60		ns
	Data Clock to SDAOUT Valid		●		250	ns
t ₆	Data Set-Up Time		●	80		ns
t ₇	Start Set-Up Time		●	240		ns
t ₈	Stop Set-Up Time		●	240		ns
t _r	SCL, SDAIN Rise Time		●		120	ns
t _f	SCL, SDAIN Fall Time		●		60	ns
	SCL Fall to ACK Low		●		250	ns

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: このチップセットは、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を備えています。過熱保護機能が作動した場合、ジャンクション温度は 140°C を超過しています。仕様規定の最大動作ジャンクション温度より上での連続動作はデバイスの信頼性を損なう可能性があります。

Note 3: デバイスのピンに流れ込む電流はすべて正です。デバイスのピンから流れ出す電流はすべて負です。

Note 4: LTC9103は負の電源電圧(AGND基準)で動作します。混乱を避けるために、このデータシートの電圧は絶対値で示されています。

Note 5: t_{DIS}は、IEEE 802.3に定めるt_{MPO}と同じです。

Note 6: LTC9101-3のデジタル・インターフェースはDGND基準で動作します。すべてのロジック・レベルはDGND基準で測定されます。

Note 7: 設計上の性能は確保していますが、テストの対象外です。

Note 8: IEEE 802.3は、電力維持のための最小PSEおよびPD入力電流条件のセットとしてMPSを定義しています。LTC9101-3/LTC9103のポートは、 $V_{SENSEn} - V_{SSKn} \geq V_{HOLD}$ の状態がt_{MPS}だけ続くとそのMPSタイマーをリセットし、 $V_{SENSEn} - V_{SSKn} \geq V_{HOLD}$ の状態がt_{DIS}を超えるとポートの電力供給を停止します。切断のセクションを参照してください。

Note 9: V_{IHD}で測定した値。

Note 10: マーク時のLTC9103の負荷特性: $7\text{V} < (AGND - V_{OUTn}) < 10\text{V}$ 。

Note 11: I²Cデバイス・アドレスは出荷時のデフォルト設定の0x20(7ビット・アドレスb0100000)にソフトウェアで固定されています。AD[3:0]ビットの状態はユーザ定義の設定パッケージによって再設定されている場合があります。バスのアドレス指定を参照してください。

Note 12: CAP1、CAP2、CAP3、CAP4から電流のソースやシンクはしないでください。

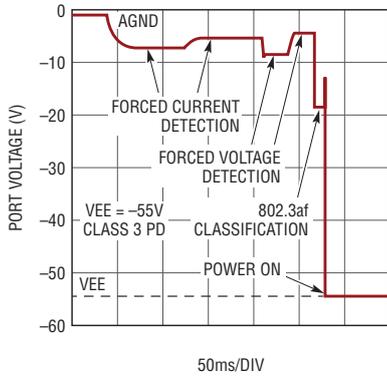
Note 13: ポート電流とポート電力の測定値は、検出抵抗の値(代表値: 0.1Ω)によって異なります。詳細については、外付け部品の選択のセクションを参照してください。

Note 14: 突入電流閾値の選択については、突入電流の制御のセクションを参照してください。

代表的な性能特性

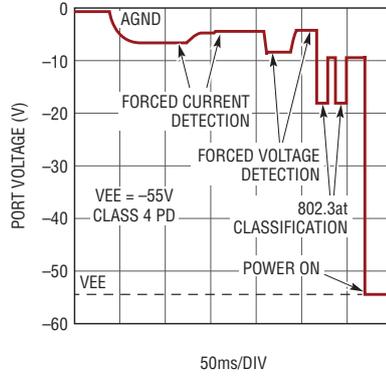
(特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)

802.3afのパワー・オン・シーケンス



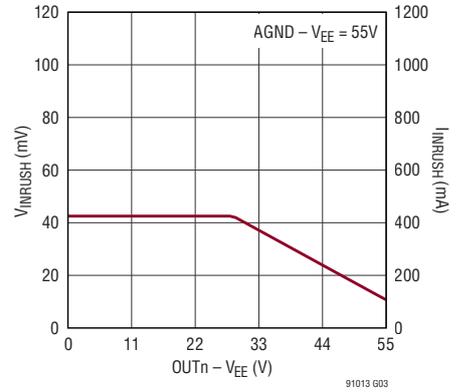
91013 G01

802.3atのパワーオン・シーケンス



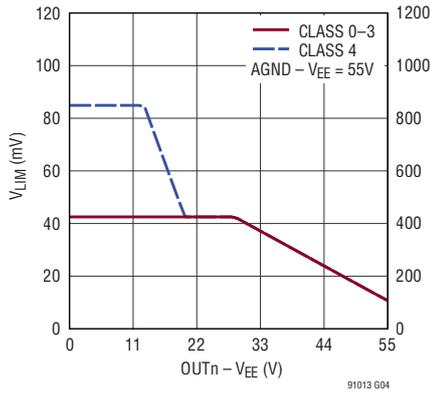
91013 G02

突入電流制限 (Note 14)



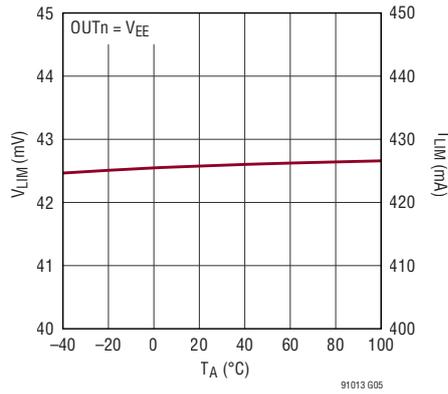
91013 G03

パワー・オン電流制限



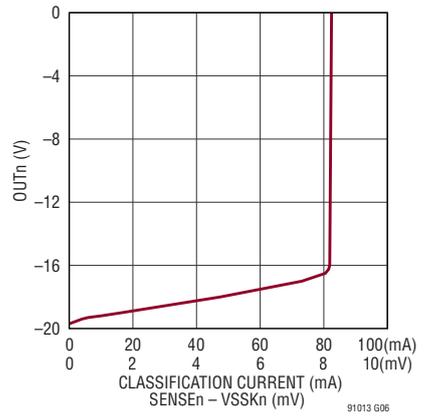
91013 G04

I_{LIM} の温度特性



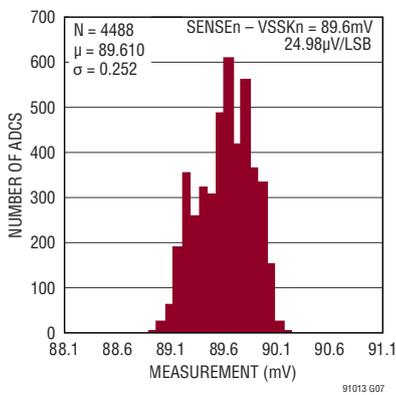
91013 G05

分類電流コンプライアンス



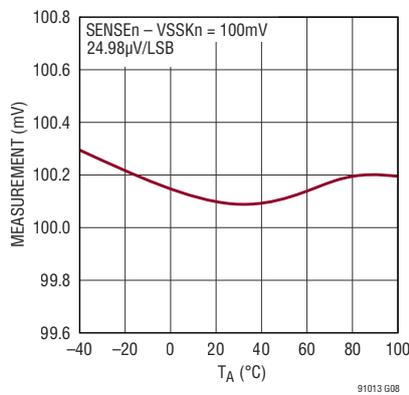
91013 G06

ポート電流測定値



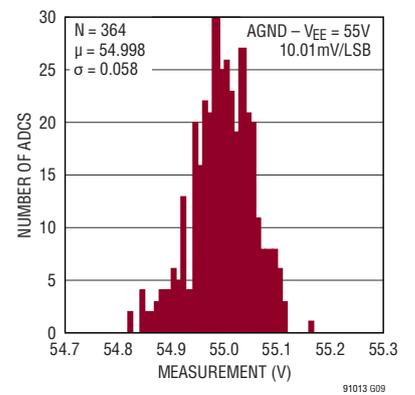
91013 G07

ポート電流測定値の温度特性



91013 G08

V_{EE} 測定値

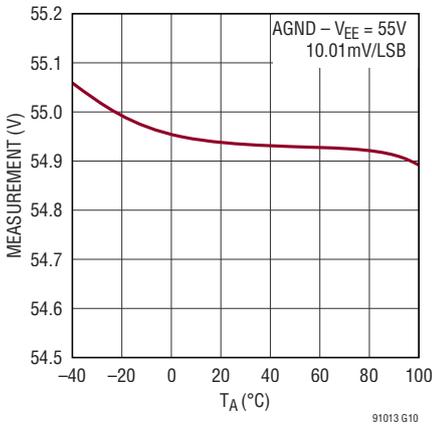


91013 G09

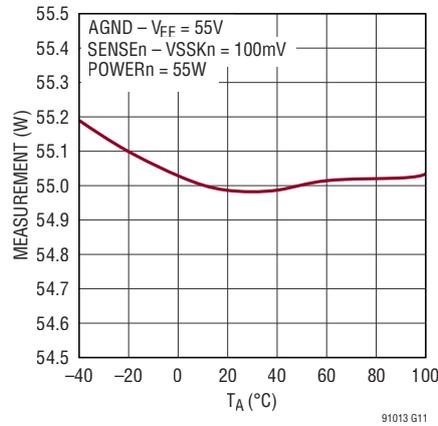
代表的な性能特性

(特に指定のない限り、 $R_{SENSE} = 0.1\Omega$)

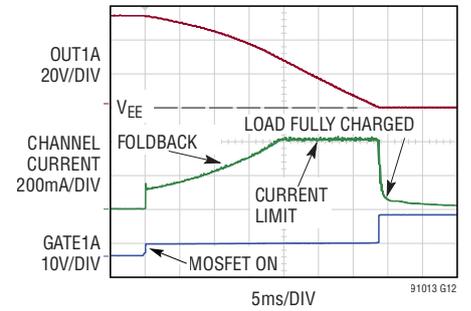
V_{EE} 測定値の温度特性



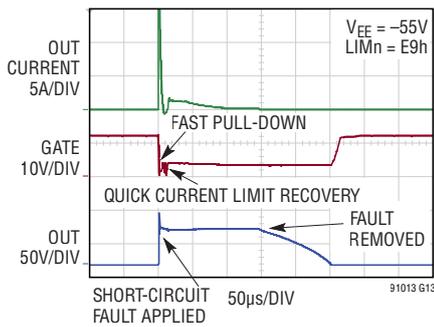
ポート電力測定値の温度特性



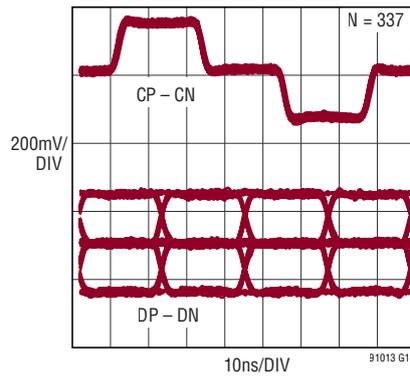
負荷 180 μ F への給電



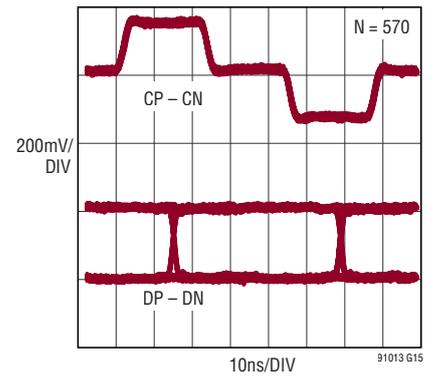
短絡からの回復



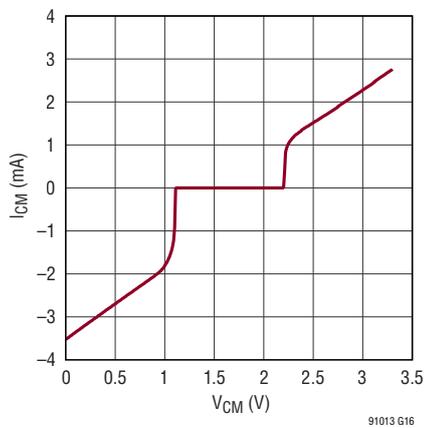
クロックおよびデータ書き込みのアイ・ダイアグラム



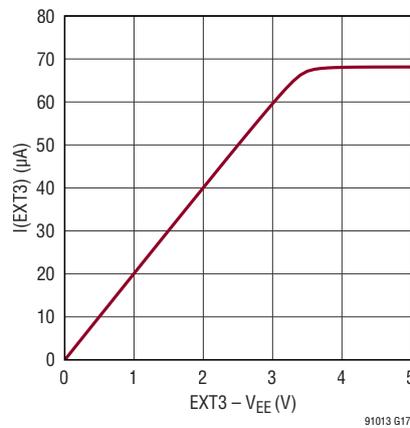
クロックおよびデータ読出しのアイ・ダイアグラム



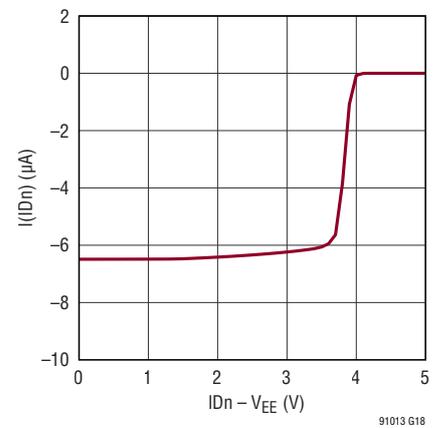
LTC9103のCP/CNおよびDP/DN
コモンモード補正電流



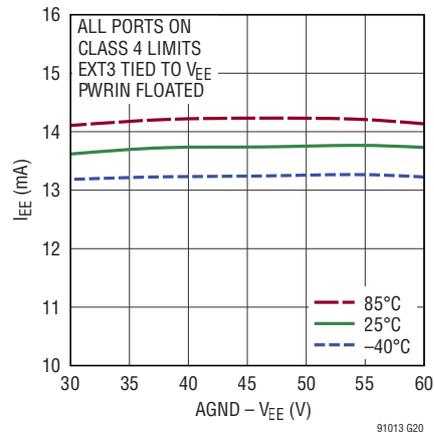
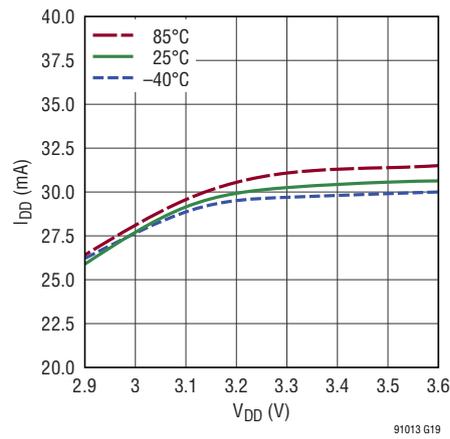
EXT3ピン電流と電圧の関係



IDnピン電流と電圧の関係



代表的な性能特性

(特に指定のない限り、 $R_{SENSE} = 0.1\Omega$) V_{EE} 電源電流と電圧および温度の関係LTC9101-3の V_{DD} 電源電流と電圧
および温度の関係

ピン機能

LTC9103

CAP3 (ピン 1) : 3.3V 内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に1 μ Fのセラミック・コンデンサを接続してください。3.3V電源をこのピンに接続すれば、電源効率を向上させることができます。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3と同じ電圧にする必要があります。また、このピンから電流のソースやシンクをしないでください。

EXT3 (ピン 2) : 外部3.3V イネーブル。外部電源使用時に内部3.3Vレギュレータをシャットオフするには、EXT3ピンをCAP3に接続します。内部レギュレータを作動させるには、フロート状態にするかV_{EE}に接続してください。

VSSK[8:1] (それぞれピン 47、46、39、38、15、14、7、6) : V_{EE}へのケルビン検出接続。VSSKnからポートn用検出抵抗のV_{EE}側へ、0.1 Ω の抵抗を介して接続します。V_{EE}プレーンには直接接続しないでください。ケルビン検出のセクションのレイアウト条件を参照してください。

SENSE[8:1] (それぞれピン 48、45、40、37、16、13、8、5) : ポートnの電流検出入力。SENSEnは、SENSEnとVSSKnの間にある0.1 Ω の検出抵抗を介して外部MOSFETの電流をモニタします。検出抵抗の電圧が電流制限閾値I_{LIM}に達すると、外部MOSFETの電流を一定に保つためにGATEnピン電圧が下げられます。詳細については、[アプリケーション情報](#)を参照してください。そのポートを使わない場合は、SENSEnをV_{EE}に接続します。

OUT[8:1] (それぞれピン 49、44、41、36、17、12、9、4) : ポートnの出力電圧モニタ。OUTnは出力ポートに接続します。ドレインとソース間の電圧が10Vを超えた場合は、電流制限閾値を下げることによって、電流制限フォールドバック回路が外部MOSFETの消費電力を制限します。ポートがアイドル状態のときは、OUTnとAGND間に500kの抵抗が内部で接続されます。ポートを使用しない場合、それに対応するOUTnピンはフロート状態にしてください。

GATE[8:1] (それぞれピン 50、43、42、35、18、11、10、3) : ポートnのゲート駆動。GATEnはチャンネルnの外部MOSFETのゲートに接続します。MOSFETをオンすると、ゲート電圧がV_{EE}より12V(代表値)高い値に駆動されます。電流制限状態では、外部MOSFETに流れる電流を一定に保つためにGATEnの電圧が下げられます。フォルト・タイマーが終了するとGATEnがプルダウンされてMOSFETがオフになり、ポート・フォルト・イベントが生成されます。ポートを使用しない場合、それに対応するGATEnピンはフロート状態にしてください。

ID[1:0] (それぞれピン 52と51) : トランシーバー ID。マルチドロップ高速データ・インターフェース上でのLTC9103のアドレスを設定します。IDの値は00bから始めてください。CAP3に接続することによってハイにし、V_{EE}に接続することによってローにします。1つ目のLTC9103はアドレスが00bでなければなりません。もし2つ目があれば、そのアドレスは01bとします。

PWRIN (ピン 55) : スタートアップ・レギュレータ・バイパスおよび外部低電圧電源入力。内部4.3Vおよび3.3V電源用の電力。内部レギュレータがこのピンの電圧を6Vより高い値に維持します。このノードに外付けの抵抗または電源を接続すれば、LTC9103の電力効率を改善することができます。このピンとV_{EE}の間には1 μ Fのコンデンサを接続してください。

AGND (ピン 56) : アナログ・グラウンド。

PWRMD[1:0] (それぞれピン 57と58) : 最大電力モード入力。これらのピンはすべてのLTC9101-3/LTC9103のアプリケーションで未接続のままにしてください。

CAP4 (ピン 59) : 4.3V内部アナログ電源のバイパス・コンデンサ。V_{EE}との間に1 μ Fのセラミック・コンデンサを接続してください。また、このピンから電流のソースやシンクをしないでください。

V_{EE} (ピン 60、65) : PoE主電源入力。AGNDを基準として、-51V~-57V電源に接続します。

DNA (ピン 61) : データ・トランシーバーの負の入出力(アナログ)。データ・トランスを介してDNDに接続してください。

DPA (ピン 62) : データ・トランシーバーの正の入出力(アナログ)。データ・トランスを介してDPDに接続してください。

CNA (ピン 63) : クロック・トランシーバーの負の入出力(アナログ)。データ・トランスを介してCNDに接続してください。

CPA (ピン 64) : クロック・トランシーバーの正の入出力(アナログ)。データ・トランスを介してCPDに接続してください。

共通ピン

NC、DNC (LTC9101-3のピン 4、21、LTC9103のピン 19~34、53、54) : 「NC」または「DNC」で識別されるピンは、すべて未接続のままにしてください。

ピン機能

LTC9101-3

CFG[2:0](それぞれピン3、2、1) : デバイス設定入力。ポート数や接続するLTC9103の数を設定するには、これらの設定ピンを接続してください。詳細については、[デバイスの設定](#)を参照してください。

LEGACY(ピン5) : レガシー・モード入力。レガシー・モードで動作させるには、 $\overline{\text{LEGACY}}$ ピンをDGNDに接続します。IEEE 802.3at 準拠で動作させるには、フロート状態のままにします。レガシー・モードはピンの状態に基づいてシステム全体に対し継続的に更新されます。

PC(ピン6) : LEDシフト・レジスタ並列キャプチャ出力。このピンは外部シフト・レジスタ用の並列キャプチャ・ストロブを出力します。下流のシフト・レジスタをドライブするために、PCの後段にローカルにシュミット・トリガを設ける必要があります。

CAP[2:1](それぞれピン7と23) : コア電源バイパス・コンデンサ。これらのピンは、内部1.2Vレギュレータのバイパス用に1 μ Fのコンデンサを介してDGNDに接続します。コンデンサの容量は必ず1 μ Fとしてください。また、このピンから電流のソースやシンクをしないでください。

CPD(ピン8) : クロック・トランシーバーの正の入出力(デジタル)。データ・トランスを介してCPAに接続してください。

CND(ピン9) : クロック・トランシーバーの負の入出力(デジタル)。データ・トランスを介してCNAに接続してください。

DPD(ピン10) : データ・トランシーバーの正の入出力(デジタル)。データ・トランスを介してDPAに接続してください。

DND(ピン11) : データ・トランシーバーの負の入出力(デジタル)。データ・トランスを介してDNAに接続してください。

V_{DD}(ピン12、19、24) : V_{DD} IO 電源。DGND基準の3.3V電源に接続します。それぞれのV_{DD}ピンは、0.1 μ F以上のコンデンサを使いローカルでバイパスする必要があります。サージ耐性を向上させるには、V_{DD}に10 μ Fのバルク・コンデンサを接続する必要があります。

SD(ピン13) : LEDシフト・レジスタ・データ出力。このピンは外部シフト・レジスタ用のデータを出力します。下流のシフト・レジスタをドライブするために、SDはローカルにシュミット・トリガで受ける必要があります。

RESET(ピン14) : リセット入力、アクティブ・ロー。 $\overline{\text{RESET}}$ がローになるとLTC9101-3/LTC9103は非アクティブになり、すべてのポートがオフになって内部レジスタもすべてリセットされます。 $\overline{\text{RESET}}$ がハイになると、LTC9101-3/LTC9103は通常動作を開始します。RESETを外付けのコンデンサまたはRC回路に接続すると、パワー・オン遅延を設定することができます。 $\overline{\text{RESET}}$ には内部フィルタリングがあるため、幅1 μ s未満のグリッチによってLTC9101-3/LTC9103がリセットされることはありません。内部でV_{DD}にプルアップされています。

OVR(ピン15) : 電源過負荷インジケータ出力、アクティブ・ロー。このOVRピンを用いることで、電流制限用の抵抗を介してLEDを駆動することができます。

SDAOUT(ピン16) : シリアル・データ出力、つまりI²Cシリアル・インターフェース・バスのオープン・ドレイン・データ出力。LTC9101-3は、2つのピンを使って双方向SDA機能を実現し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、[アプリケーション情報](#)を参照してください。

SDAIN(ピン17) : シリアル・データ入力。I²Cシリアル・インターフェース・バスの高インピーダンス・データ入力。LTC9101-3は、2つのピンを使って双方向SDA機能を実現し、I²Cバスの光絶縁を簡略化します。標準的な双方向SDAピンを実装するには、SDAOUTとSDAINを互いに接続します。詳細については、[アプリケーション情報](#)を参照してください。

SCL(ピン18) : シリアル・クロック入力。I²Cシリアル・インターフェース・バスの高インピーダンス・クロック入力。SCLピンは、I²C SCLバス・ラインに直接接続する必要があります。I²Cシリアル・インターフェース・バスを使用しない場合は、SCLをハイに接続してください。

SC(ピン20) : LEDシフト・レジスタ・クロック出力。このピンは外部シフト・レジスタ用のクロック信号を出力します。下流のシフト・レジスタをドライブするために、SCはローカルにシュミット・トリガで受ける必要があります。

DGND(ピン22、25) : デジタル・グラウンド。DGNDは、V_{DD}電源からのリターンに接続する必要があります。

テスト・タイミング図

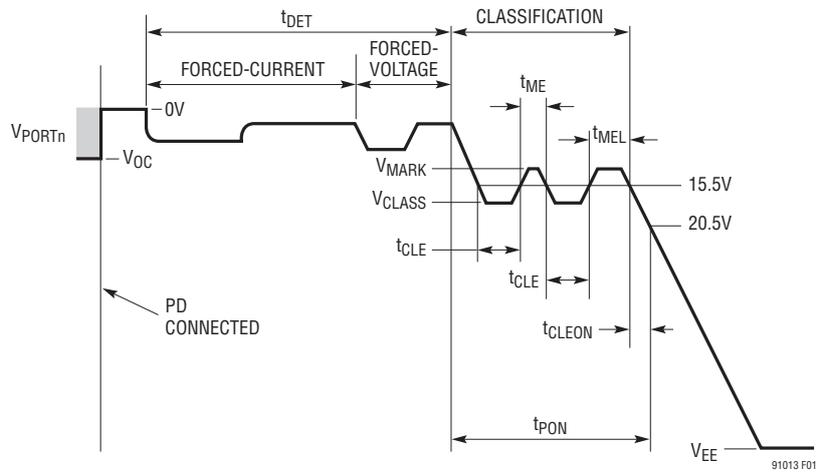


図1. 検出、分類、ターン・オンのタイミング

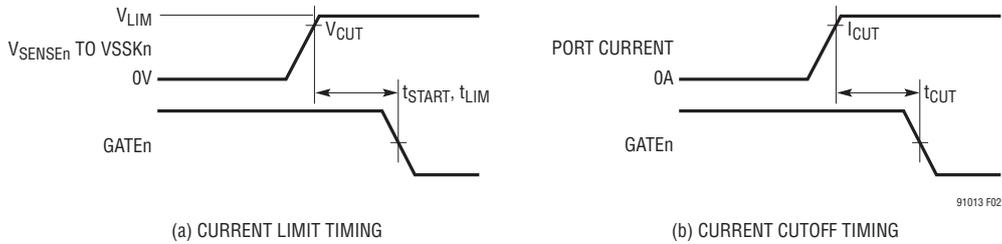


図2. 電流タイミング

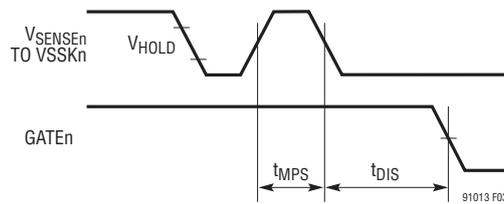


図3. DC 切断タイミング

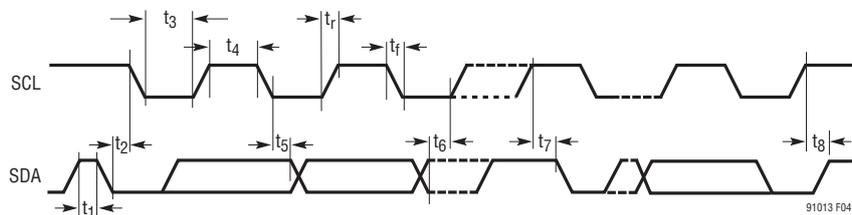


図4. I²C インターフェース・タイミング

I²C タイミング図

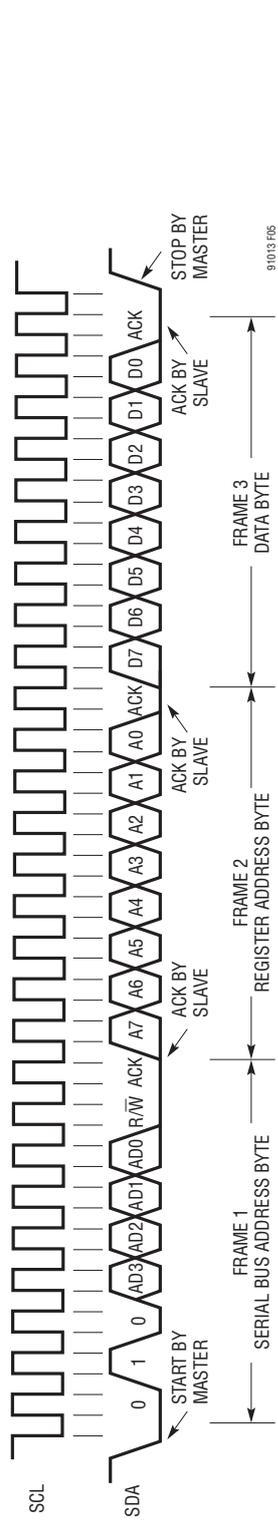


図 5. レジスタへの書き込み (Note 11)

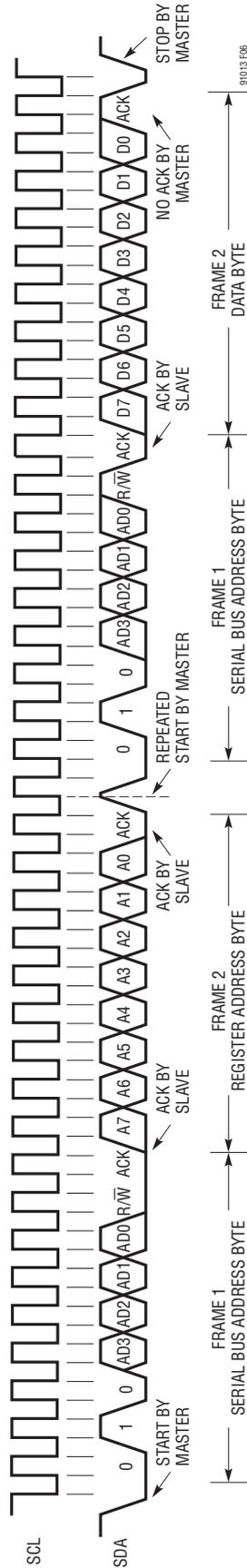


図 6. レジスタからの読み出し (Note 11)

アプリケーション情報

概要

PoE (Power over Ethernet)は、銅製のイーサネット用データ配線を使ってDC電力を供給するための標準プロトコルです。802.3イーサネット・データ規格を管理するIEEEグループは、PoE給電機能を2003年に追加しました。802.3afと呼ばれる最初のPoEの仕様では、最大13Wで48VのDC電力を供給できました。この初期の仕様は広く普及していましたが、条件によっては13Wの電力では不十分でした。2009年、IEEEは802.3at (PoE+)として知られる新規格を公開し、電圧と電流の条件を上げて25Wの電力を供給できるよう規定しました。

IEEE規格はPoEの用語も定義しています。ネットワークに電力を供給するデバイスはPSE (Power Sourcing Equipment)と呼ばれ、ネットワークから電力を取り込むデバイスはPD (Powered Device)と呼ばれます。PSEには2つのタイプがあります。データと電力を供給するエンドポイント(代表的なものとしてはネットワーク・スイッチやルータ)と、電力を供給する一方でデータはパス・スルーするミッドスパンです。ミッドスパンは、主にPoE非対応の既存ネットワークにPoE機能を追加するために使われます。PDの代表的なものは、IP電話、ワイヤレス・アクセス・ポイント、防犯カメラなどです。

パワー・マネージメント

LTC9101-3は完全自律動作する802.3at準拠のPSEシステム・コントローラとして設計されており、外部のホスト・プロセッサによる制御は不要です。

次に示すパワー・マネージメント機能を備えています。

- システムの電力バジェット
- ポート優先度
- 電源過負荷表示LED

システムの電力バジェットは、LTC9101-3のリセット時に、CFGピンもしくはオプションの設定パッケージのオーバーライドによって決まる固定値に設定されます。LTC9101-3は全体の電力使用を全給電ポートにわたって監視し、相対的なポートの優先度と使用可能な電力に基づいて、各ポートへの電源供給を許可、制限、禁止することにより電源ステータスを管理します。

ポート優先度は予め決まっています。ポート1に最高の優先度、ポート2にその次に高い優先度が割り当てられています。番号の最も大きなポートが、最も優先度の低いポートとなります。

システムの消費電力は、動的な電力使用を基にLTC9101-3でモニタされます。有効なPDが接続されると、そのPDは使用可能な電力とポートの優先度に応じて電力を供給されます。新しいPDが接続されると、物理層分類によってPDが要求する電力が判別されます。実行されるアルゴリズムは次のとおりです。

```
// 供給可能な電力に応じてポートへの電力供給を試みる
if ((system power consumption + PD requested power) < system power budget)
    power port on
else
    // 電力バジェットを開放するために、1つもしくは複数の低優先度のポートの電力供給を停止する
    revoke lower priority powered ports
    system power consumption = system power consumption - revoked PD power
    // 制限したポートから開放された電力に応じてポートの再投入を試みる
    if ((system power consumption + PD requested power) < system power budget)
        power port on
```

アプリケーション情報

更に、パワー・マネージメント・アルゴリズムによって、動的なシステム消費電力が定期的に監視されます。全体の消費電力がシステムの電力バジェットを超えた場合には、消費電力がシステムの電力バジェットに収まるまで低優先度のポート電力を制限します。制限されたポートへのその後の再投入は前に示したパワー・オンのアルゴリズムによって制御されます。

電源過負荷表示LEDは、システムの消費電力が電力超過警告閾値より低い場合は消灯しています。電源過負荷表示LEDは、システムの消費電力が電力超過警告閾値より高い場合に点灯します。電源過負荷表示LEDは、システムの消費電力が電力超過警告リセット閾値より低くなるまで点灯を続けます。システム消費電力がシステムの電力バジェットを超えた場合には、最も低い優先度のポートへの電力供給が停止され、電源過負荷表示LEDが点滅します。電力供給が停止されたポートに対しポート・ステータスLEDが点滅します。デフォルトのデバイス設定オプションについては表1を参照してください。

システムの電力バジェット、電力超過警告のトリガ/リセット閾値、ポート優先度は、eFlashでプログラム可能な設定パッケージで設定できます。LTC9101-3の設定パッケージについては、アナログ・デバイセズのアプリケーション・サポートにお問い合わせください。

PoEの基礎

一般的なイーサネット・データ接続は2本または4本のツイスト・ペア銅線(通称イーサネット・ケーブル)で構成され、それぞれの端をトランスで結合してグラウンド・ループを防止しています。PoEシステムはこの結合配置の利点を生かし、データ・トランスのセンター・タップ間に電圧を加えることによって、データ伝送に影響することなくPSEからPDへ電力を送ります。PoEシステムの回路図の概要を図7に示します。

DC電圧が加わることを想定していない旧式のデータ装置を損傷させないように、PoE仕様では、PSEによる電力の供給および停止が可能かどうかを判定するプロトコルを規定しています。有効なPDには、その入力に25kの固有コモンモード抵抗が必要です。このようなPDをケーブルに接続すると、PSEはこのシグネチャ抵抗を検出して電力を供給します。その後PDを切り離すと、PSEはオープン・サーキットを検出して電力の供給を停止します。PSEは、電流フォルトや短絡が発生した場合も電力の供給を停止します。

PDが検出されると、オプションで、PSEは、PDで消費する最大電力をPSEに知らせる分類シグネチャを探します。PSEはこの情報を使って、いくつかのポートに電力を割り振る、PDの消費電流を監視する、あるいはPSEが供給できる電力以上の電力を消費するPDを拒否する、といった対応を取ることができます。この分類ステップはオプションであり、もしPSEでPDの分類を行わない場合には、PDは13W(802.3afの最大電力)のデバイスであるとみなします。

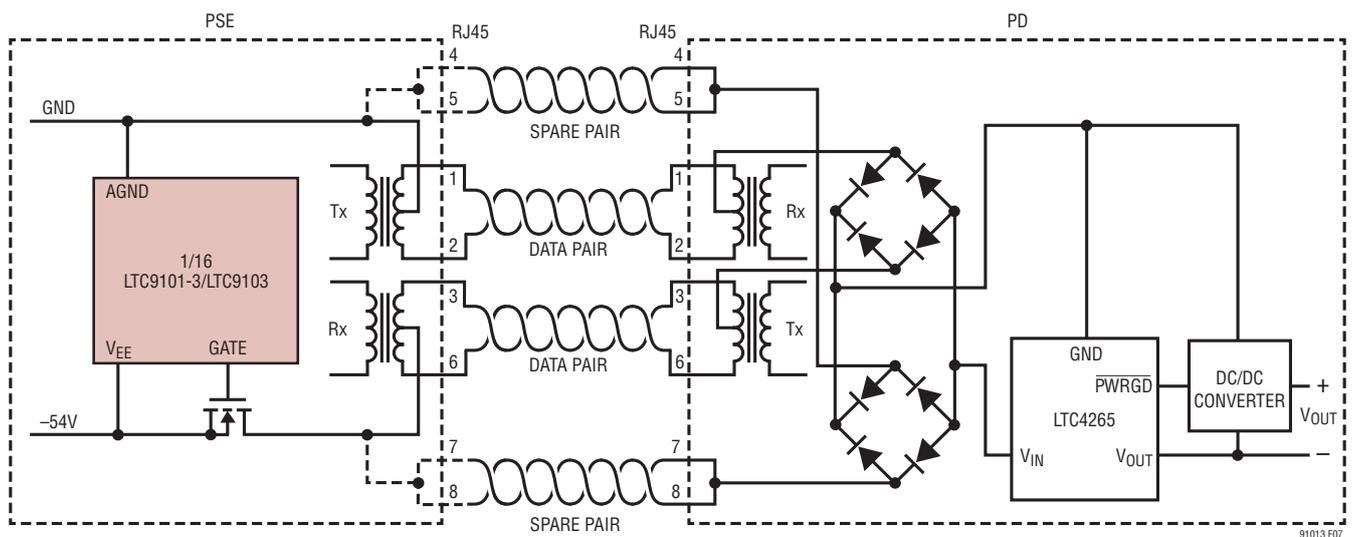


図7. PoE (Power Over Ethernet) のシステム図、予備ペアとデータ・ペア

アプリケーション情報

表1. デフォルトのデバイス設定オプション

CFG [2:0]		LTC9103 DEVICE COUNT	TOTAL NUMBER OF PORTS	SYSTEM POWER BUDGET	SET POWER WARNING	POWER WARNING RESET
0	000	1	8	64W	49W	45W
2	010	2	16	128W	113W	109W

デバイスの設定

1個のLTC9101-3は、1個もしくは2個のLTC9103を制御できます。それぞれのLTC9103は8ポートを制御します。そのため、LTC9101-3は最大16個の電力ポートを制御できます。CFG0とCFG2は常にローに接続する必要があることに注意してください。表1を参照してください。

検出

検出の概要

DC電圧に耐えられるように設計されていないネットワーク・デバイスを損傷させてしまうことがないように、PSEは、電力を供給する前に、接続されたデバイスが有効なPDかどうかを確認する必要があります。IEEE規格では、有効なPDは、10V未満のポート電圧に対し $25k\pm 5\%$ のコモンモード抵抗を内蔵していることが求められます。PSEは19k~26.5kの抵抗を合格とし、33kを超える抵抗または15k未満の抵抗(図8の網掛け領域)を不合格とする必要があります。必須合格範囲と必須不合格範囲の間の未定義領域の抵抗を合格にするか不合格にするかは、PSEが選択できます。特に、PSEは、コンピュータの標準的なネットワーク・ポートを不合格にする必要があります。これらの多くは150Ωのコモンモード終端抵抗を使用しており、電力を供給すると損傷させてしまうことになります(図8の左側の黒で示された領域)。

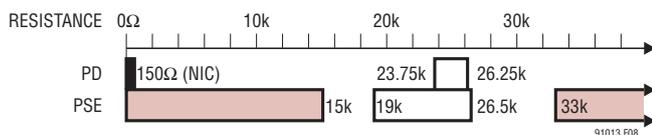


図8. IEEE 802.3afのシグネチャ抵抗範囲

4点検出

LTC9101-3/LTC9103は4点検出方式を使ってPDを検出します。強制電流測定と強制電圧測定を併用してシグネチャ抵抗をチェックすることにより、誤検出を最小限に抑えます。

最初は2種類のテスト電流を(OUTnピンを介して)ポートに強制的に流し、それによって得られる電圧を測定します。検出回路は2つのV-Iポイントの差を取って抵抗の傾きを求めると共に、ポートのリーク電流や直列ダイオードによって生じるオフセットを除去します(図9参照)。強制電流検出によって有効なシグネチャ抵抗が得られた場合は、2種類のテスト電圧をポートに加え、それによって得られる電流を測定して差を取ります。有効な検出をアクノレッジするには、そのポートに対し両方の方法で有効な抵抗がレポートされなければなりません。PDシグネチャ抵抗が17k~29k(代表値)の範囲内であれば有効として検出されます。表2を参照してください。

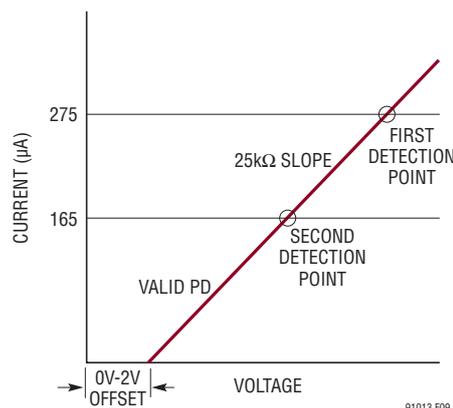


図9. PDの検出

表2. 検出ステータス

MEASURED PD SIGNATURE	DETECTION RESULT
Incomplete or Not Yet Tested	Detect Status Unknown
< 2.4k	Short Circuit
Capacitance > 2.7µF	C _{PD} too High
2.4k < R _{PD} < 17k	R _{SIG} too Low
17k < R _{PD} < 29k	Detect Good
< 29k < R _{PD} < 50k	R _{SIG} too High
> 50k	Open Circuit
Voltage > 10V	Port Voltage Outside Detect Range

アプリケーション情報

レガシー PD の検出

最初の IEEE 802.3af 規格以前から存在する独自設計の PD は、現在では一般にレガシー・デバイスと呼ばれています。ある種のレガシー PD は、大容量のコモンモード容量 (>10 μ F) を検出シグネチャとして使用します。この範囲の容量を持つ PD は無効と規定されているので、レガシー PD に電力を供給する PSE は IEEE 仕様には適合しません。LTC9101-3/LTC9103 は、LEGACY ピンを使用することによって、この種のレガシー PD を検出するように設定できます。イネーブルすると、ポートは、有効な IEEE PD を検出した場合も大容量のレガシー PD を検出した場合も、検出結果を有効と認識します。レガシー・モードを無効にした場合は、有効な IEEE PD だけが電力供給されます。

分類

802.3af の分類

PD は、オプションで分類シグネチャを PSE に示して、動作時に消費する最大電力を知らせることができます。IEEE 仕様ではこのシグネチャを、PSE ポートの電圧が V_{CLASS} の範囲 (15.5V~20.5V) 内にあるときに流れる定電流として規定しています。5 種類ある PD クラス・シグネチャのどれになるかがこの電流レベルによって示されます。PD の代表的な負荷曲線を [図 10](#) に示します。10V 以下での 25k シグネチャ抵抗による勾配に始まり、 V_{CLASS} の範囲で分類シグネチャ電流 (この場合はクラス 3) に遷移します。想定される分類値を [表 3](#) に示します。

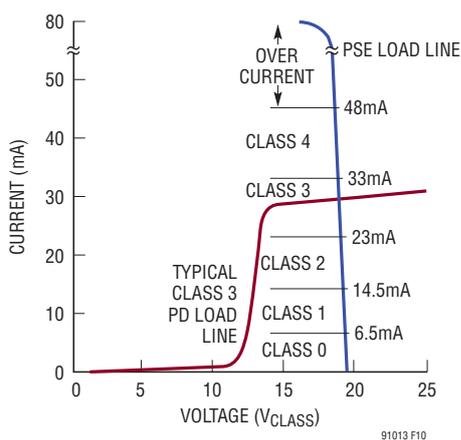


図 10. PD の分類

表 3. 802.3af と 802.3at の分類値

CLASS	RESULT
0	No Class Signature Present; Treat Like Class 3
1	3W
2	7W
3	13W
4	25.5W (Type 2)

分類がイネーブルされると、PSE は検出サイクルが正常に終了した直後に PD を分類します。OUTn ピンを介して 18V を 12ms (いずれも代表値) 供給し、得られる電流を測定することによって、PD の分類シグネチャを測定します。LTC9101-3/LTC9103 は、この分類結果を用いて [表 4](#) に示すように、 I_{CUT} 、 I_{LIM} 、 P_{CUT} の閾値を設定します。

表 4. I_{CUT} 、 I_{LIM} 、 P_{CUT} の値

PSE ASSIGNED CLASS	I_{CUT}	I_{LIM}	P_{CUT}
1	94mA	425mA	4.86W
2	150mA	425mA	7.56W
3	338mA	425mA	16.2W
4	638mA	850mA	32.4W

802.3at の 2 イベント分類

802.3at では、802.3af の分類をタイプ 1 分類と呼んでいます。802.3at 規格は、タイプ 1 分類の拡張版であるタイプ 2 (2 イベント) 分類を導入しています。タイプ 2 の PSE には分類の実行が求められます。

25.5W を要求するタイプ 2 PD は、すべてのクラス・イベント時にクラス・シグネチャ 4 を示します。供給可能電力が 25.5W のタイプ 2 PSE は、[図 12](#) に示すように、最初のクラス・イベント時にクラス・シグネチャ 4 を認識すると、PD に V_{MARK} (代表値 9V) を供給し、少し間を置いてから 2 番目のクラス・イベントを発行します。2 番目のクラス・イベントは、PSE が 25.5W を割り当てたことを PD に知らせます。

2 番目の分類イベントが実行されるのは、IEEE 分類手順で必要とされる場合に限られます。例えば、シングル・シグネチャのクラス 0~3 の PD に発行されるのは、[図 11](#) に示すようなシングル・クラス・イベントに限られます。

アプリケーション情報

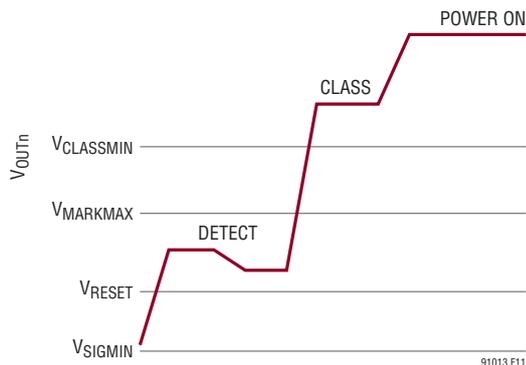


図 11. タイプ 1 または 2 PSE (1 イベント・クラス・シーケンス)

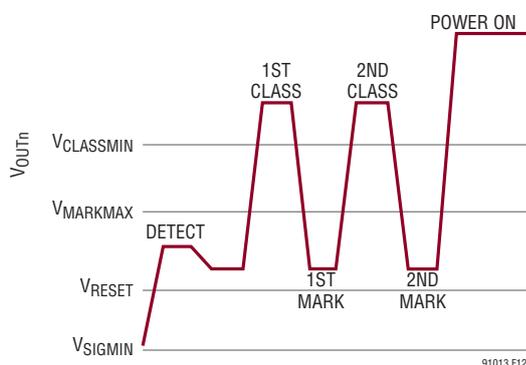


図 12. タイプ 2 PSE (2 イベント・クラス・シーケンス)

802.3at では格下げの概念が導入されています。タイプ 2 の PD は、例えばパワー・マネージメント上の制限があるような場合、供給能力が 13W 以下の PSE にも接続できます。この場合、PSE は図 11 に示すようなシングル・クラス分類イベントを実行しますが、要求されるのは 25.5W です。供給できる電力が限られているので、PSE は 2 番目のイベントを発行することなく、そのまま PD に電力を供給する段階に進みます。シングル・クラス・イベントが存在するという事実により、タイプ 2 PD が 13W に格下げされたことがその PD に通知されます。格下げされた PD は電力制限を受け、低減電力モードで動作します。

タイプ 2 クラスの無効な組み合わせ

802.3at 仕様はタイプ 2 PD クラス・シグネチャを 2 つの連続するクラス 4 検出結果と定義しており、クラス 4 に続いてクラス 0~3 がある場合は有効なシグネチャとはなりません。LTC9101-3/LTC9103 は、このような無効なクラス・シグネチャの PD には電力を供給しません。

電力の制御

LTC9101-3/LTC9103 の主な機能は、PSE ポートへの電力供給を制御することです。この電力制御は、(外付けの検出抵抗を流れる) 電流と (OUT ピンの) 出力電圧をモニタしながら、外付けされたパワー MOSFET のゲート駆動電圧を制御することによって行います。

LTC9101-3/LTC9103 は、制御された状態で V_{EE} 電源を PSE ポートに接続し、PD の電力需要を満たすと同時に、外付け MOSFET の消費電力と V_{EE} バックプレーンに対する外乱を最小限に抑えます。

突入電流の制御

LTC9101-3/LTC9103 は、ポートに電力を供給するよう命令されると、GATE ピン電圧をランプ・アップさせて、外付け MOSFET のゲート電圧を制御された状態で上昇させます。

通常の突入電流時には、外付け MOSFET が完全な導通状態になるまで、あるいはポートが突入電流制限値 (I_{INRUSH}) に達するまで、MOSFET のゲート電圧が増加します。 I_{INRUSH} は PSE によって自動的に設定されます。ポートの電流が I_{INRUSH} を超えると GATE ピンがサーボ制御されて、能動的に電流を I_{INRUSH} 以内に制限します。GATE ピンがサーボ制御されていない場合、最終的な V_{GS} は 12V (代表値) です。

突入電流時、ポートではタイマー (t_{START}) が作動します。ポートは、 t_{START} が経過するまで突入電流状態を維持します。 t_{START} の経過後は、PSE がポートの電圧と電流を確認します。PSE が PD に電力を供給している場合は、ポートに流れる電流が I_{INRUSH} 未満であれば、突入電流は正常です。突入電流が正常でない場合は電力の供給が停止され、 t_{START} フォルトがセットされます。それ以外の場合は、ポートがパワー・オン状態になって、電流の遮断と制限のセクションに示すように、事前に設定された電流制限閾値が使われます。

ポート電力の監視

電力監視閾値 (P_{CUT}) は、表 4 に従ってポートごとにモニタされます。全出力電力の 100ms 間の移動平均値が指定閾値を超えると、ポートへの電力供給が停止されます。

アプリケーション情報

電流の遮断と制限

LTC9101-3/LTC9103の各ポートには、2つの電流制限閾値 (I_{CUT} および I_{LIM}) が組み込まれており、それぞれに対応するタイマー (t_{CUT} および t_{LIM}) があります。これらの閾値は、表3に示すように、分類結果に基づいて設定されます。

LTC9101-3/LTC9103は、IEEE規格に従い、ポートへの電力供給を遮断する前に限られた時間だけチャンネル電流が I_{CUT} を超えることを許容する一方で、MOSFETのゲート駆動を能動的に制御してチャンネル電流を I_{LIM} 未満に抑えます。ポートは、電流が I_{CUT} 閾値を超えただけでは電流制限を行わず、 t_{CUT} タイマーの起動を行います。タイマーの設定時間が経過する前に電流が減少して I_{CUT} 閾値未満になると、 t_{CUT} タイマーは逆にカウント・ダウンを始めますが、その速度はカウント・アップ時の1/16になります。 t_{CUT} タイマーが65ms(代表値)に達すると、ポートが停止されます。これにより、デューティ・サイクルが約6%未満の断続的なものであれば、そのポートでは過負荷信号が許容されます。過負荷のデューティ・サイクルがこれより大きい場合、そのポートへの電力供給は停止されます。

I_{LIM} 電流制限回路は常にイネーブルされており、ポートの電流を能動的に制限します。 t_{LIM} タイマーは、電流が I_{LIM} 閾値を超えると起動します。 t_{LIM} タイマーが15ms(代表値)に達すると、ポートが停止されます。電流制限タイマーの閾値は組み込みフラッシュの設定によって設定変更が可能です。

I_{LIM} のフォールドバック

LTC9101-3/LTC9103の I_{LIM} 閾値は、ポート電圧が通常動作電圧未満になるとポート電流を減らす2段階のフォールドバック回路として実装されています。これにより、MOSFETの消費電力が安全なレベルに維持されます。

MOSFETのフォルト検出

LTC9101-3/LTC9103のPSEポートは、かなり厳しい条件にも耐えられるように設計されていますが、極端な場合は外付けのMOSFETが損傷する可能性があります。MOSFETが損傷するとソースとドレインの間が短絡することがあり、その場合は本来オフしているはずのポートがオンしているような状態になります。また、この状態が原因で検出抵抗が溶断してオープン状態になり、ポートはオフしているにも関わらず、SENSE電圧が異常に高くなることがあります。また、MOSFETが故障するとゲートとドレインの間が短絡して、GATE電圧が異常に高くなることもあります。OUT、SENSE、

およびGATEは、最大80Vの異常電圧にも損傷せずに耐えられるよう設計されています。

LTC9101-3/LTC9103がこれらいずれかの状態を連続して4ms(代表値)を超えて検出すると、該当のポートの全機能をディスエーブルしてMOSFETのゲート駆動プルダウン電流を減らします。これは一般的には永続的なフォルト状態ですが、チップ全体をリセットすることで回復を試みることができます。実際にMOSFETが損傷している場合は、ポートは再度ディスエーブルされます。LTC9101-3/LTC9103の残りのポートは影響を受けません。

切断

LTC9101-3/LTC9103は給電先ポートをモニタして、仕様規定された最小電流がPDに流れ続けていることを確認します。ポート電流が7mA (V_{HOLD} の代表値) 未満になると切断タイマーがカウント・アップを開始して、PDの接続が切断されたことを示します。 t_{DIS} タイマーが終了すると、ポートは停止されます。 t_{DIS} タイマーの終了前に電流が戻ると、タイマーはリセットされます。PD電流が t_{DIS} の時間経過より前に最小レベルを超える限り、PDへの給電は継続されます。

LTC9101-3/LTC9103はAC切断回路を内蔵していません。

高速のサージ回復

信頼性の高いシステムには優れたサージ回復機能が求められます。PSEにとっては、外部的な電力トランジェント発生時でもPDへの給電中断を最小限に抑えることが、ますます重要になっています。更に、最小バルク容量に関する要求を満たしていないPDは、従来型のPSEソリューションで生じるブラウンアウト(電圧低下)に対して特に脆弱です。LTC9101-3/LTC9103は業界最先端のホット・スワップ応答性を備えており、サージ・イベントからの回復についても優れた特性を示します。

サージ発生時、LTC9103のGATEピンは直ちに外部MOSFETの電流をオフにして、PSE、MOSFET、および下流側回路を保護します。

サージ状態が解消されると、LTC9103は電流を制限した安全な方法で直ちにMOSFETを再度オンにし、PDへの電力供給中断を最小限に抑えます。LTC9103の高速なMOSFETターンオフと電力回復は、高信頼性アプリケーションにおけるIEEE準拠のPDとバルク容量の小さいPDの両方を、より望ましい形でサポートします。

アプリケーション情報

LED パワー・オン・セルフ・テスト

電源過負荷がリセットされると、すべてのポートのLEDは2フェーズのパワー・オン・セルフ・テストを実行します。1フェーズ目のテストは4秒間で、その間電源過負荷表示LEDは点滅し、ポート・ステータスLEDが点灯、ポート・フォルトLEDは消灯します。2フェーズ目のテストも4秒間で、その間電源過負荷表示LEDは点滅し、ポート・ステータスLEDが消灯、ポート・フォルトLEDは点灯します。

この8秒間にポートの動作は既に開始しているはずで、LEDパワー・オン・セルフ・テストの後、LEDの動作は通常のシステムとポート状態の表示に移行します。

システム・テレメトリ

LTC9101-3は、ポートごとのステータスLEDおよびフォルトLED用に外付けされたシリアルLEDドライバを制御するためのインターフェースと、電源過負荷表示LEDを制御するための専用のピンを備えています。これらの機能を使うことで、LTC9101-3は複雑なシステムとポートの状態テレメトリを表示することができます。テレメトリはポート動作とパワー・マネージメントの2つの要素に分解できます。

ポート動作はポートごとのステータスLEDとフォルトLEDによって表示されます。LTC9101-3はポートの電源ステータスをそのポートのステータスLEDによって表示し、ポートのフォルトをそのポートのフォルトLEDの点滅パターンで表示します。状態やフォルト状況と、対応する工場出荷設定のLED応答のリストを表5に示します。

電源管理情報は電源過負荷表示LEDによって、そして副次的にはポートごとのフォルトLEDとステータスLEDによって表示されます。LTC9101-3は、システム電源の電力超過警告、システム電力制限、ポートの電力供給制限などの状態を、電源過負荷表示LEDと対応するポートのフォルトLEDの点滅パターンで表示します。パワー・マネージメント状態と、対応する工場出荷設定のLED応答のリストを表6に示します。

LEDの動作は、eFlashでプログラム可能な設定パッケージ中のユーザ定義の設定によって変更可能です。LTC9101-3/LTC9103で用いる設定パッケージの作成とダウンロードについては、アナログ・デバイセズのアプリケーション・サポートにお問い合わせください。

過熱保護

過熱保護機能は、LTC9103の温度がプリセットされている閾値(代表値150°C)を超えると、影響するポートへの電力供給を自動的に停止します。ポートの動作は、ダイ温度がプリセットされている回復閾値(代表値125°C)未満に低下するまで再開されません。

表5. PoE動作とポートLEDの対応

CONDITION	LED	
	PORT STATUS	PORT FAULT
Detect Open	Off	Off
Port Powered	On	Off
Detect Invalid	Off	Blink
Class Invalid	Off	Blink
Inrush Fault*	Off	Blink
P _{CUT} , I _{CUT} and I _{LIM} *	Off	Blink
DC Disconnect*	Off	Blink

* これらの点滅フォルトは2~3秒続いた後、次の検出サイクルが始まり、ポートLEDは最新の結果に基づいて更新されていきます。

注:

- 電源過負荷表示LEDはPoE動作状態の影響を受けません。

- 点滅周期は、800msオン、800msオフです。

表6. パワー・マネージメントとLEDの対応

CONDITION	LED		
	SUPPLY OVERLOAD	PORT STATUS	PORT FAULT
Power Available	Off	N/A	N/A
Near Power Limit	On	N/A	N/A
Power Denied	Blink	Blink	Off
Power Revoked	Blink	Blink	Off

注: 点滅周期は、800msオン、800msオフです。

シリアル・デジタル・インターフェース

概要

シリアル・インターフェースで設定をダウンロードできますが、通常動作では必要ありません。LTC9101-3は、標準的なSMBus/I²C 2線インターフェースを使ってフラッシュ・プログラムと通信します。LTC9101-3はスレーブ専用デバイスで、標準SMBusプロトコルを使ってフラッシュ・プログラム・マスタと通信します。標準的な通信波形と、それらの波形のタイミング関係をタイミング図(図5と図6)に示します。SMBusデータ・プロトコルの詳細については www.smbus.org を参照してください。

アプリケーション情報

コードのダウンロード

LTC9101-3のファームウェアは、ファームウェア・イメージをダウンロードして実行することにより、フィールドでアップグレードできます。

ダウンロード手順とファームウェア・イメージの詳細については、アナログ・デバイセズへお問い合わせください。

最大限のデータ保護を実現するために、ファームウェア・イメージは、2つの完全なコピーが保存され、それぞれに対して別々のECC保護とCRC保護がかけられています。

バスのアドレス指定と制限事項

LTC9101-3のI²Cアドレス・ベースは0x20です。0x20から0x30までのアドレスの使用はLTC9101-3によって制限されています。

LEDインジケータ

LTC9101-3は、ポートLEDインジケータを駆動する外付けシフト・レジスタに、シフト・レジスタ・データ(SD)、シフト・レジスタ・クロック(SC)、パラレル・キャプチャ・クロック(PC)を供給します。8ビットのシフト・レジスタ2個で8ポートのアプリケーション、8ビットのシフト・レジスタ4個では16ポートのアプリケーションを駆動できます。各ポートに2つのLEDがあり、ポート・ステータスには緑、ポート・フォルトにはオレンジのLEDを用いるのが一般的です。

図13は16ポート・システムでのインジケータLEDシリアル・ドライバのハードウェア接続を示します。

図14はSD、SC、PCのタイミング波形を示します。表7はA0からA15までの変数とポートLEDとの対応を示します。

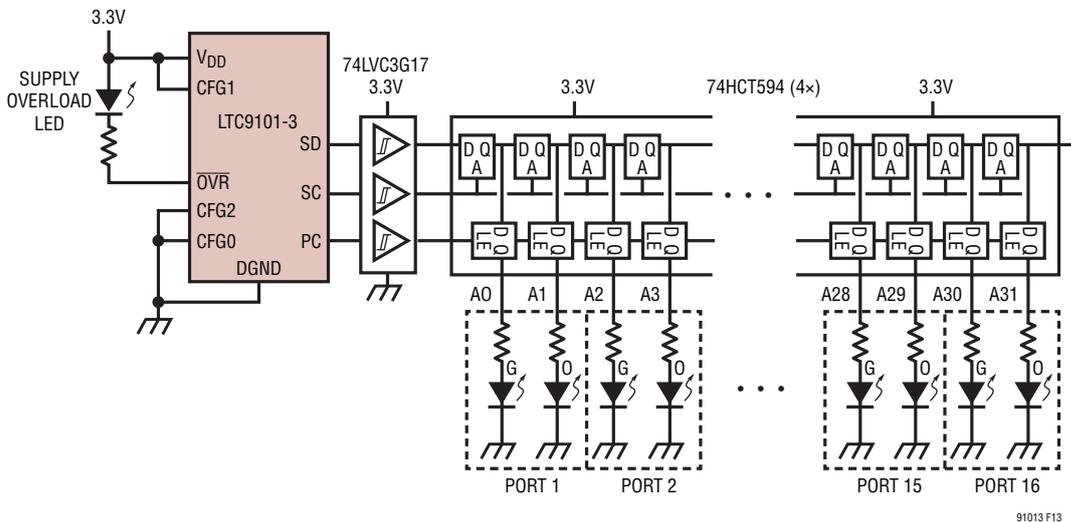


図13. 16ポート・アプリケーションにおけるLTC9101-3/LTC9103シフト・レジスタからLEDへの接続

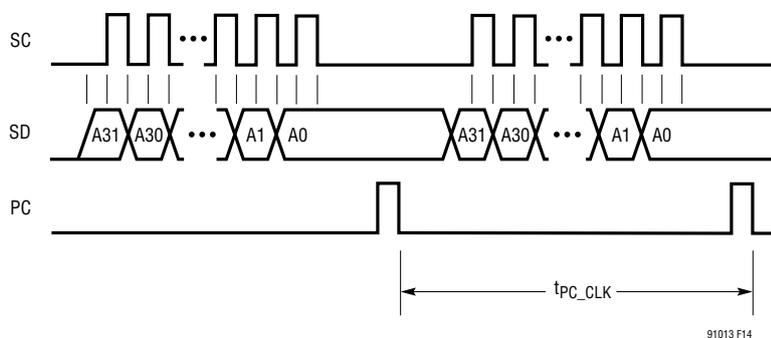


図14. LTC9101-3/LTC9103のSC、SD、PCの波形

アプリケーション情報

表 7.8 ポート・システムでのポート LED と LED データ変数との対応

PORT	PORT LED	SERIAL DATA
1	Status	A0
	Fault	A1
2	Status	A2
	Fault	A3
3	Status	A4
	Fault	A5
4	Status	A6
	Fault	A7
5	Status	A8
	Fault	A9
6	Status	A10
	Fault	A11
7	Status	A12
	Fault	A13
8	Status	A14
	Fault	A15

注: このシーケンスは、16ポートのアプリケーションにも同様に連続します。

更に、LTC9101-3は $\overline{\text{OVR}}$ ピンで電源過負荷表示LEDビットも出力し、これによってLTC9101-3/LTC9103のPSEアプリケーションでの電力供給の禁止、制限、あるいは電力超過注意の状態を示します。電源過負荷表示LEDのフォルト状態の詳細については、[パワー・マネージメント](#)のセクションおよび[システム・テレメトリ](#)のセクションを参照してください。

絶縁条件

IEEE 802.3 イーサネット仕様では、ネットワーク・セグメント (PoE回路を含む) を、各ネットワーク・インターフェース・デバイスのシャーシ・グラウンドから電氣的に絶縁する必要があります。ただし、これらのセグメントが単一配電システムを使用する1つの建屋内に設置された装置に接続されている場合は、ネットワーク・セグメント同士を互いに絶縁する必要はありません。

PSEが大規模システムの一部である場合や、イーサネット非対応の追加的な外部ポートを備えている場合、または何か他の理由によって保護グラウンドを基準にする必要がある場合は、PoEサブシステムをシステムの残りの部分から電氣的に絶縁する必要があります。

LTC9101-3/LTC9103チップセットではLTC9101-3チップを非絶縁側に置くことができるので、PSEの絶縁が容易になります。これにより、ロジックの主電源から電力を受け取ることができます。LTC9101-3とLTC9103の間の絶縁は、トランスをベースとした独自の通信プロトコルを使って実施されます。詳細については、このデータシートの[高速データ・インターフェース](#)のセクションを参照してください。

自律的なマネージドPoEスイッチでは、装置全体に絶縁型主電源を使用することによって、絶縁条件を満たすことができます。装置にツイストペア・イーサネット以外の導電性ポートがない場合は、この方法を使用できます。上記のような状況や、システムで既に絶縁が実施されている場合は、LTC9101-3を直接LTC9103に接続することができます。

外付け部品の選択

電源

LTC9101-3/LTC9103を動作させるには2つの電源電圧が必要です。V_{DD}はDGND基準で3.3V(公称値)を必要とします。V_{EE}には-51V~-57Vの間の負の電圧が必要です。

デジタル電源

V_{DD}は、LTC9101-3のプロセッサに電力を供給するデジタル電源として機能します。各V_{DD}とDGNDの間には0.1μF以上のセラミック・デカップリング・コンデンサを接続する必要があります。接続時は、それぞれのLTC9101-3にできるだけ近付けてください。更に、十分なサージ耐性を持たせるために、各LTC9101-3には10μFのバルク・コンデンサを組み込む必要があります。1.2Vのコア電圧源が内部で生成されるので、CAP1ピンとDGNDの間、およびCAP2とDGNDの間に1μFのセラミック・デカップリング・コンデンサが必要です。

アナログ・デバイセズ独自の絶縁技術を使うシステム内では、システムの非絶縁3.3V電源によってV_{DD}を供給する必要があります。必要な絶縁を維持するために、LTC9103のAGNDとLTC9101-3のDGNDは接続しないでください。直接接続方式を用いる場合は、LTC9101-3のDGNDをLTC9103のV_{EE}に接続する必要があります。

アプリケーション情報

PoE 主電源

V_{EE} は、PDに電力を供給する絶縁型PoE主電源です。この電源は比較的大量の電力を供給し、大きな電流トランジェントが発生することがあるので、設計時には単純なロジック用電源の場合より注意が必要です。IR損失を最小限に抑えて最大限のシステム効率を実現するために、 V_{EE} を最大振幅(57V)付近に設定し、使用する特定電源のトランジェント・オーバーシュート/アンダーシュート、温度ドリフト、ラインレギュレーションの仕様値を見込んで十分なマージンを取ってください。

それぞれのLTC9103のAGNDと V_{EE} 間のバイパス・コンデンサおよび電圧トランジェント圧縮(TVS)は、信頼性の高い動作を確保する上で非常に重要です。いずれかの出力ポートで短絡が発生した場合、LTC9103が電流のレギュレーションを開始するまでに1 μ s余りもかかることがあります。この間に電流を制限するのは回路内の小さなインピーダンスだけです。このため、通常は大きな電流スパイクが発生して V_{EE} 電源に電圧トランジェントが生じ、UVLOフォルトによってLTC9101-3/LTC9103がリセットされてしまうおそれがあります。誤ってリセットされてしまう可能性を最小限に抑えるために、1 μ F、100VのX7RコンデンサとSMAJ58Aを、それぞれのLTC9103の近くに配置することを推奨します。あわせて、システムごとに47 μ F、100V以上の電解バルク・コンデンサと、バルクTVSを使用することも推奨します。

LTC9103の低電圧電源

LTC9103は、PoE主電源から直接低電圧電源を生成する電圧レギュレータを内蔵しています。スタートアップ時は内部レギュレータがAGNDから電力を取り込んでPWRINに6Vの電圧を生成します。4.3Vと3.3Vの各内部レールは、PWRINからサブレギュレーションされます。PWRINピンには、1 μ F、100Vのローカル・バイパス・コンデンサが必要です。

PWRINとAGNDの間には、LTC9103のパッケージ外部で熱を放出するために、プルアップ抵抗を接続できます。オプションで、外部電源をPWRINに接続してスタートアップ・レギュレータをオーバーライドし、消費電力を減らすこともできます。

3.3V内部レギュレータ使用時のプルアップ抵抗構成を図15に示します。バイパス抵抗R1、R2、R3、R4は、LTC9103に発生する熱を外部に放出します。PWRINピンの電圧は、LTC9103の動作モードと、それに対応する消費電流に従って変化します。バイパス抵抗が提供する電流以上の電流が消費される場合は、スタートアップ・レギュレータが電圧を6V(代表値)に維持します。スペースに制約のあるアプリケーションでは、プルアップ抵抗なしでLTC9103を動作させることができます。

外部PWRIN電源を使用するアプリケーションでは、6.5Vレギュレータが最適な電圧を維持して6V内部スタートアップ・レギュレータをオーバーライドしながら、LTC9103の発熱を最小限に抑えます。外部電源は両方のLTC9103で共用できます。

図16に示すように、3.3V電源は直接CAP3ピンに接続できます。これにより、最も電力効率の良いスリープ・モードが実現されます。3.3V外部電源を使用するときは、EXT3ピンをCAP3に接続してください。これは3.3V内部レギュレータをディスエーブルして、電力の逆流を防ぎます。3.3Vレギュレータは、電気的特性の表に指定された $t_{CAP3EXT}$ 以内にパワーアップする必要があります。

直接接続方式を使用する場合は、LTC9101-3に電力を供給する3.3V電源から、LTC9103にも電力を供給することができます。LTC9101-3とLTC9103がシステム絶縁バリアの同じ側にある場合は、これが望ましいオプションです。

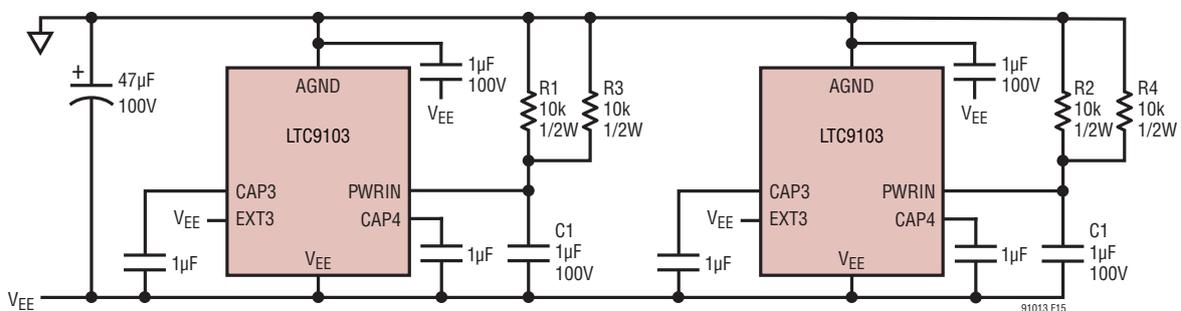


図15. 3.3V内部電源使用時の電源構成

アプリケーション情報

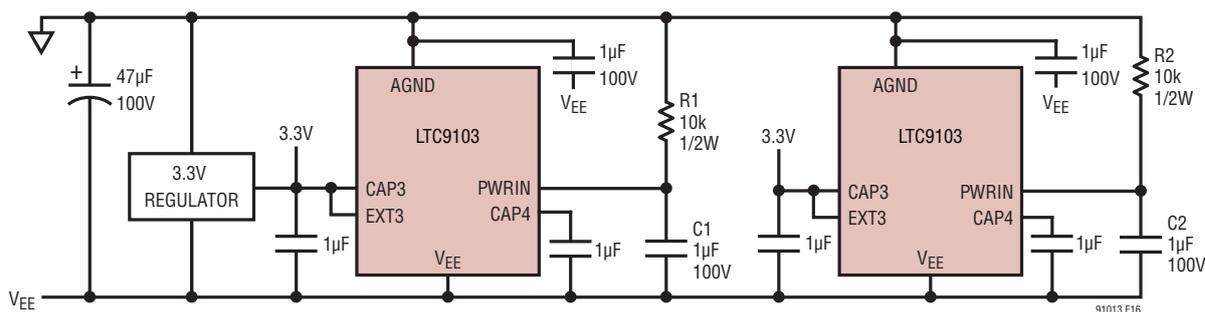


図 16. 3.3V 外部レギュレータ使用時の電源構成

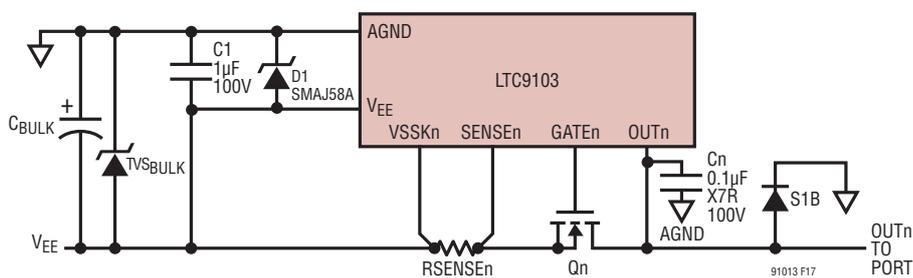


図 17. LTC9103のサージ保護

検出抵抗

LTC9101-3/LTC9103はポートあたり0.1Ωの小さい検出抵抗に合わせて設計されており、この検出抵抗はレイアウト条件のセクションの図 18 に示すようにレイアウトします。IEEEの仕様が求める I_{HOLD} 、 I_{CUT} 、および I_{LIM} の精度を満たすためには、許容誤差が $\pm 1\%$ 以下、温度係数が $\pm 200\text{ppm}/^\circ\text{C}$ 以下の検出抵抗を使用する必要があります。

ポートの出力コンデンサ

スタートアップ時や過負荷時の電流が制限された場合にLTC9103を安定した状態に保つために、各ポートのOUTnとAGNDの間には0.1µFのコンデンサを配置する必要があります(図 17を参照)。一般的なセラミック・コンデンサの電圧係数は、たいていの場合かなり大きな値を示します。つまり、加えられる電圧が高くなると容量が減少します。この問題の影響を最小限に抑えるために、定格100V以上のX7Rセラミック・コンデンサの使用を推奨します。このコンデンサは、LTC9103の近くに配置する必要があります。

サージ保護

イーサネット・ポートには、かなり大きなケーブル・サージが加わることがあります。PoE電圧を安全なレベル未満に維持してアプリケーションを損傷から保護するため、図 17 に示すように、主電源、LTC9103の電源ピン、および各ポートには保護部品が必要です。

PoE主電源の両端には、バルク電圧トランジェント圧縮(TVSBULK)およびバルク容量(C_{BULK})が必要です。また、これらはシステム・レベルのサージ条件に見合ったサイズにする必要があります。

それぞれのLTC9103のAGNDピンとVEEピンの間には、SMAJ58A 58V TVS (D1)と、1µF、100Vのバイパスコンデンサ(C1)を接続します。これらの部品は、LTC9103の各ピンの近くに配置する必要があります。

各ポートにはS1Bクランプ・ダイオードが必要で、これはOUTnと電源AGNDの間に接続します。このダイオードは有害なサージを電源レールに誘導し、サージはそこでサージ・サブレッサとVEEのバイパス・コンデンサに吸収されます。これらのパスのレイアウトは低インピーダンスにする必要があります。

アプリケーション情報

高速データ・インターフェース

LTC9101-3とLTC9103の間の通信は、独自絶縁方式あるいは直接接続方式の高速データ・インターフェースを通じて行われます。

独自絶縁方式では、LTC9101-3/LTC9103チップセットはトランスを使用することでLTC9101-3を1個ないし2個のLTC9103から絶縁します(図19を参照)。このトランスは10BASE-Tあるいは10/100BASE-Tで、巻数比1:1のものを用います。この種のトランスでは、通常、LTC9101-3とLTC9103の間で1500Vの絶縁が得られます。最適な選択肢はコモンモード・チョークのないトランスです。チョークのあるトランスを使う場合は、絶縁のLTC9103側にチョークを配置します。

直接接続方式では、LTC9101-3/LTC9103チップセットは既存のシステム絶縁に依存します。この方式では、独自の通信プロトコルを使って、LTC9101-3を1個または2個のLTC9103と接続します(図20を参照)。

レイアウト条件については、[高速データ・インターフェース・レイアウト](#)のセクションを参照してください。

外部MOSFET

システムの信頼性を確保するには、MOSFETを慎重に選択することが極めて重要です。MOSFETを選択するには、様々なPSEの電流制限条件に対してMOSFETのSOA曲線を広範に分析し、テストを行う必要があります。アナログ・デバイセズは、最大25.5Wまでポート出力を供給するように構成されたPSEにはPSMN075-100MSEを使用することを推奨します。このMOSFETはPoEアプリケーションでの安定動作の実績から選択されました。これらの推奨品以外のMOSFETを使用する場合は、事前にアナログ・デバイセズのアプリケーション・サポートへご相談ください。

シフト・レジスタおよびLEDインターフェース

LTC9101-3のSD、PC、SCの各ピンは、下流のシフト・レジスタ、例えば74HCT594をドライブするために、74LVC3G17などのシュミット・トリガでバッファする必要があります。74HCT594の出力は、先頭ページと最終ページの標準的応用例の回路に示すように、RJ45ポートのLEDをドライブできます。

レイアウト条件

IEEEへの準拠、パラメータの測定精度、システムの堅牢性、および放熱などを実現するには、基板レイアウト、部品配置、および配線などに関する条件に厳密に従うことが極めて重要です。レイアウト例については、EVAL-LTC9101-3-AZ-KITデモ・キットを参照してください。

ケルビン検出

ポート電流のケルビン検出ラインを正しく接続することは、電流閾値の精度とIEEEへの準拠を確保する上で重要です。これらのケルビン検出ラインのレイアウト例については、[図18](#)を参照してください。LTC9103のVSSKnピンは検出抵抗(V_{EE} 側)パッドにケルビン接続されており、それ以外では V_{EE} の銅領域に接続されません。同様に、LTC9103のSENSEnピンは検出抵抗(SENSEn側)にケルビン接続されており、それ以外では電力パスに接続されません。LTC9103から検出抵抗(R_{SENSEn})への2つのケルビン接続のパターンを[図18](#)に示します。

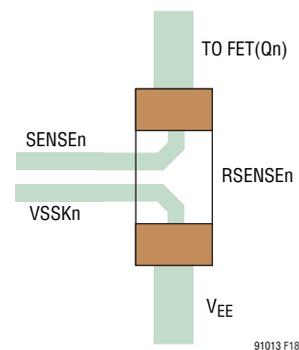


図18. R_{SENSEn} のケルビン接続

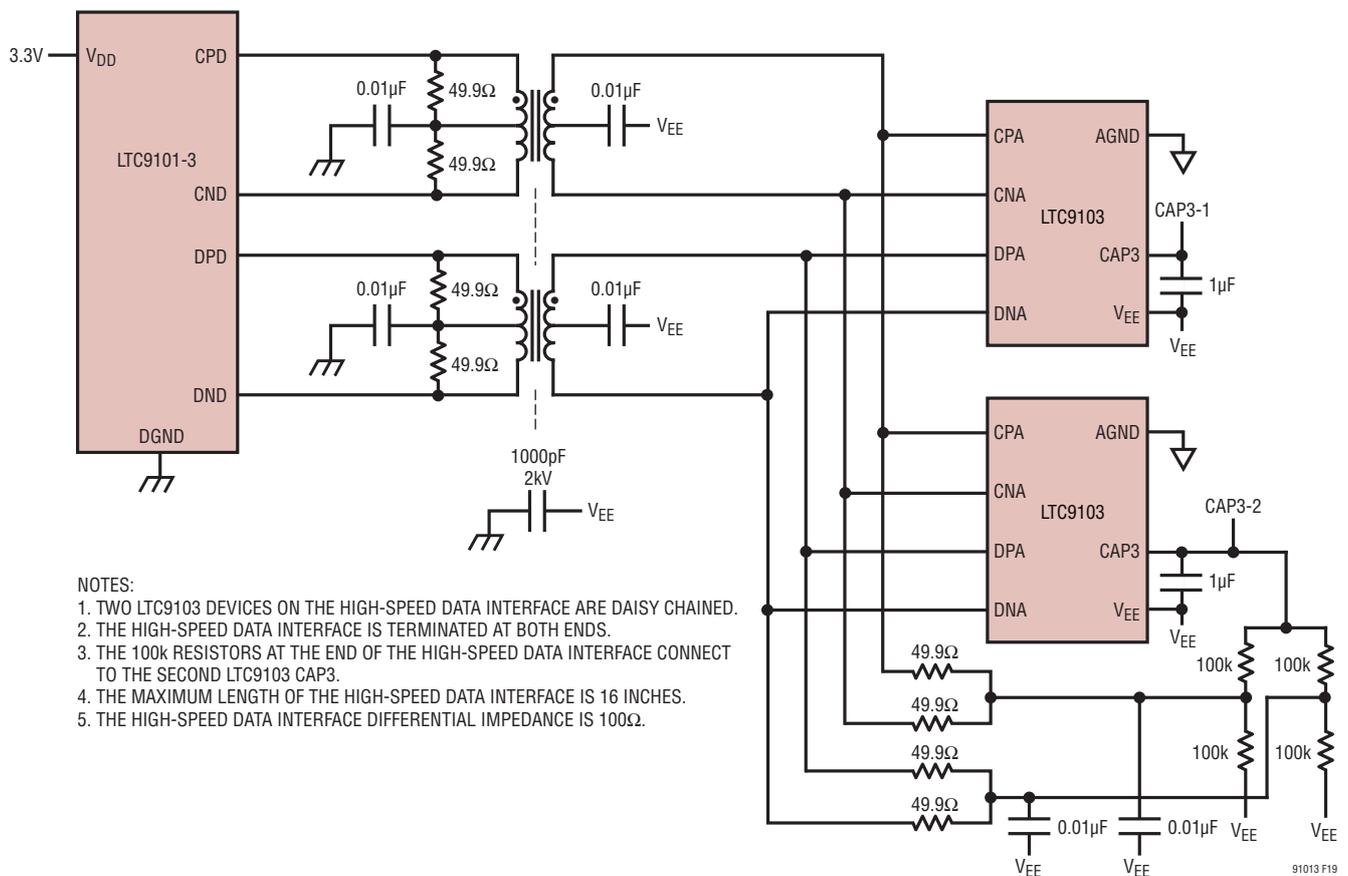
アプリケーション情報

高速データ・インターフェース・レイアウト

LTC9101-3/LTC9103チップセットは、独自の高速マルチドロップ・データ・インターフェースを介して通信を行います。これにより、1個のLTC9101-3で最大2個のLTC9103を制御することができます。

それぞれのLTC9103へのデータ・ラインには、インピーダンス・マッチングされたパターンを使用する必要があります。データ・バスの終端抵抗は、絶縁トランスから最も離れた

たLTC9103に配置してください。また、絶縁型アプリケーションのDCバイアス抵抗は、絶縁トランスから最も離れたLTC9103のCAP3ピンに接続する必要があります。図19と図20に示すように、インターフェースは100Ωの差動伝送ラインで設計して、100Ωの差動終端抵抗を配置します。高速データ・インターフェース・ラインの長さは16インチまでとしてください。また、LTC9103と高速データ・インターフェース間の伝送スタブの数は最小限に抑えてください。



- NOTES:
1. TWO LTC9103 DEVICES ON THE HIGH-SPEED DATA INTERFACE ARE DAISY CHAINED.
 2. THE HIGH-SPEED DATA INTERFACE IS TERMINATED AT BOTH ENDS.
 3. THE 100k RESISTORS AT THE END OF THE HIGH-SPEED DATA INTERFACE CONNECT TO THE SECOND LTC9103 CAP3.
 4. THE MAXIMUM LENGTH OF THE HIGH-SPEED DATA INTERFACE IS 16 INCHES.
 5. THE HIGH-SPEED DATA INTERFACE DIFFERENTIAL IMPEDANCE IS 100Ω.

図19. LTC9101-3/LTC9103の独自絶縁方式

アプリケーション情報

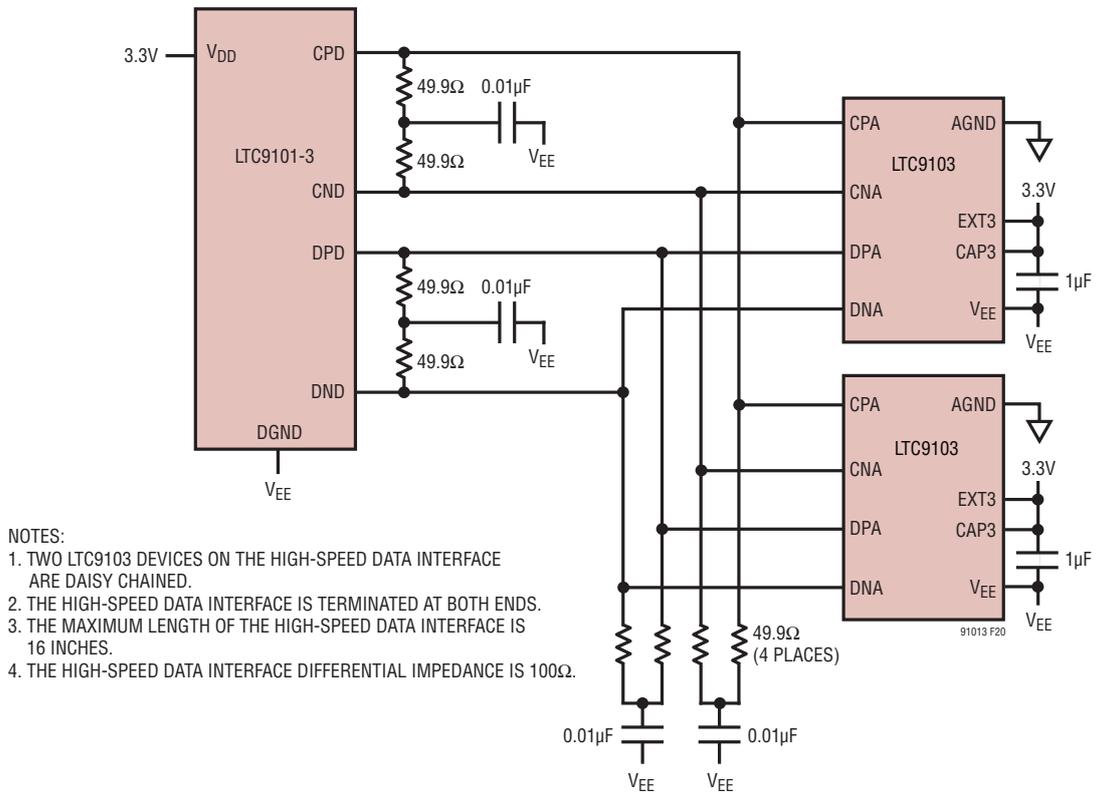
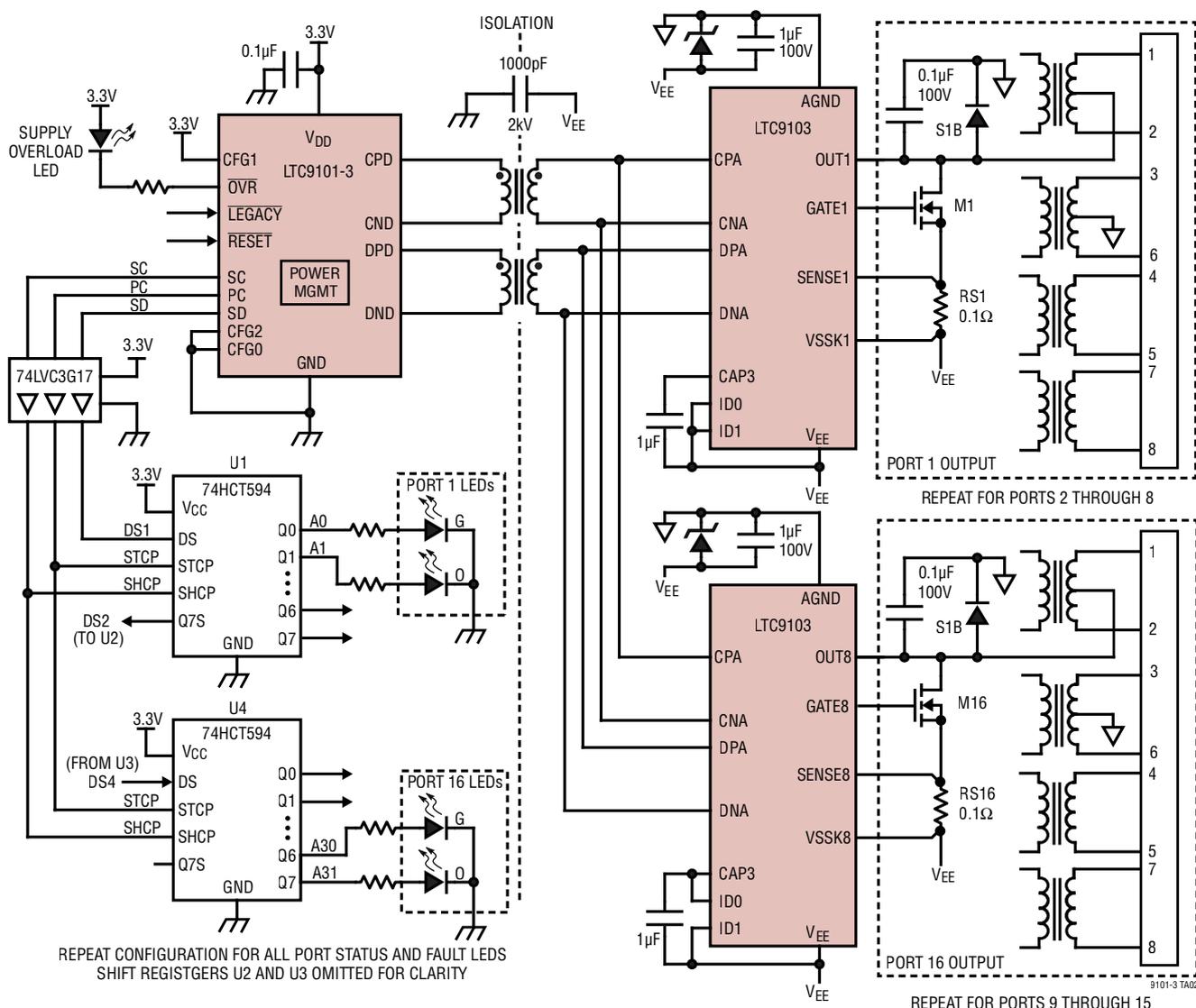


図 20. LTC9101-3/LTC9103の独自直接接続方式

標準的応用例

ポート・ステータスLEDとポート・フォルトLEDを備えた16ポート電力管理付きIEEE 802.3at PSE



関連製品

製品番号	概要	注釈
LTC9101-1/LTC9102/LTC9103	48ポートIEEE 802.3bt PoE PSEコントローラ	トランス絶縁、ポートごとの14ビット電流モニタリングとプログラム可能な制限。タイプ1~4のPDをサポート
LTC4292/LTC4291-1	4ポートIEEE 802.3bt PoE PSEコントローラ	トランス絶縁、ポートごとの14ビット電流モニタリングとプログラム可能な電流制限。タイプ1~4のPDをサポート
LT4294	IEEE 802.3bt PDコントローラ	外部スイッチ、IEEE 802.3btをサポート、クラス設定と補助電源をサポート
LTC4271/LTC4270	12ポートPoE/PoE+/LTtPoE++ PSEコントローラ	トランス絶縁、IEEE 802.3af、IEEE 802.3at、LTtPoE++ PDをサポート
LTC4267/LTC4267-1/LTC4267-3	スイッチング・レギュレータ内蔵のIEEE 802.3af PDインターフェース	100V、400mAのスイッチを内蔵、デュアル突入電流、クラス設定可能、200/300kHz連続周波数PWM
LTC4278	フライバック・スイッチング・レギュレータ内蔵のIEEE 802.3at PDインターフェース	2イベント分類、クラス設定可能、フォトカプラ不要の同期整流式フライバック・コントローラ、50kHz~250kHz、12V、補助電源をサポート