産業用SPoE PDコントローラ

特長

- **IEEE 802.3cgに準拠**
- **広い入力電圧範囲：2.3V～60V**
- **シリアル通信分類プロトコル（SCCP：Serial Communication Classification Protocol）をサポート**
- **ウェイクアップ・シグネチャ**
- **3.5Vのスタンバイ・レギュレータを内蔵**
- **分類中の最大電流：150µA**
- ローサイド・ブリッジMOSFETを駆動して極性補正
- チャージ・ポンプにより外付けNチャンネルMOSFETをエンハンス
- ピン設定可能なクラス設定
- 12ピンのMSOPおよび4mm × 3mm DFNパッケージで提供

アプリケーション

- ビルディング・オートメーション
- ファクトリ・オートメーション
- セキュリティ・システム
- 交通管制システム

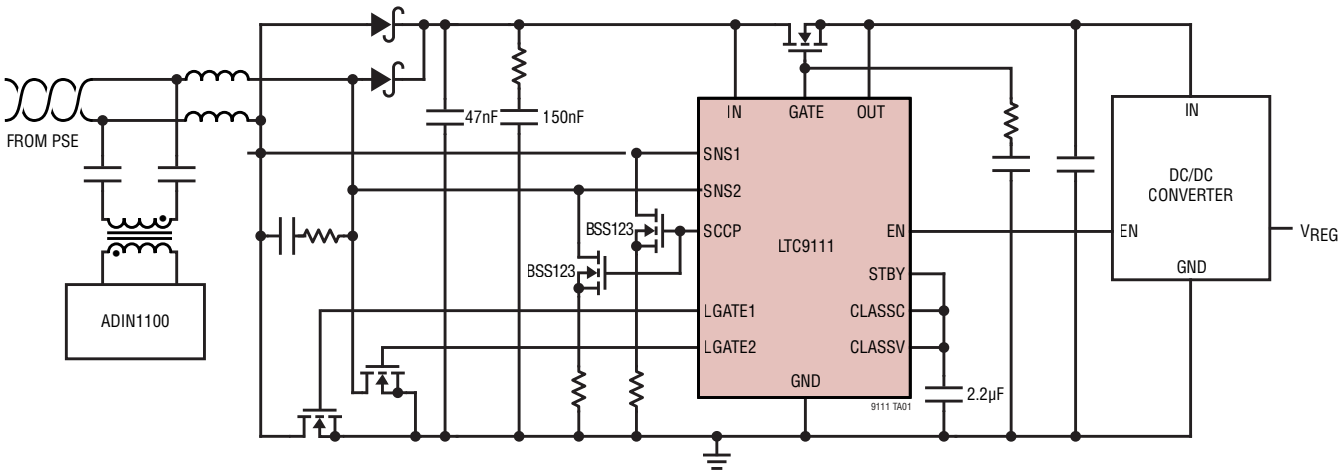
本紙記載の登録商標および商標は、全て各社の所有に属します。

概要

LTC®9111はIEEE 802.3cgに準拠したSPoE（Single-Pair Power over Ethernet）のPD（受電デバイス）コントローラです。2.3V～60Vの広い動作範囲と極性補正機能を備えているため、LTC9111はビルディング・オートメーションやファクトリ・オートメーションで使用する分類ベースのシステムに最適です。

SCCPによる分類では、有効なPDが接続された場合に限りPSE（給電デバイス）が最高動作電圧を供給できます。LTC9111は分類中に2個の外付けNチャンネルMOSFETを微小電力で動作させ、電荷貯蔵コンデンサに対する条件を最小限に抑えます。外付けNチャンネルMOSFETスイッチにより、分類中と電荷突入中は出力側容量がコネクタから分離されます。電圧監視回路により、設定されたクラスのオン電圧閾値をPDの入力電圧が超えると、規定の遅延時間後に外付けMOSFETがオンになります。GATEピンが制御された状態でランプ・アップすると、EN出力がアサートされます。設定されたクラスのオフ電圧閾値を入力電圧が下回ると、MOSFETは動作を停止します。LTC9111は1.6Vの低起動電圧で2個のローサイドNチャンネルMOSFETを駆動できるため、極性補正動作での電力損失が低減されます。

標準的応用例



絶対最大定格 (Note 1, 2, 3, 4)

電源電圧
- IN ..... –2V～100V

入力電圧
- SNS1、SNS2 ..... –5V～100V
- CLASSC、CLASSV、SCCP ..... –0.3V～5.5V

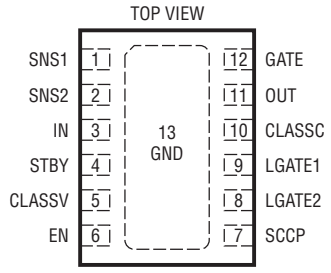
出力電圧
- LGATE1、LGATE2 ..... –0.3V～8V
- OUT ..... –2V～100V
- GATE-OUT ..... –0.3V～10V

出力電圧
- GATE ..... –0.3V～100V
- EN ..... –0.3V～5.5V
- STBY ..... –0.3V～5.5V

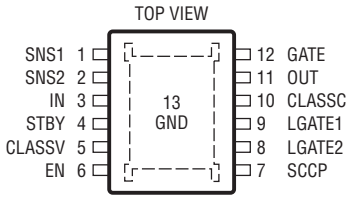
動作ジャンクション温度範囲
- LTC9111R ..... –40°C～150°C

保存温度範囲 ..... 65°C～150°C

ピン配置



DE/EU PACKAGE
12-PIN (4mm × 3mm) PLASTIC DFN
θ_{JA} = 40°C/W
EXPOSED PAD (PIN 13) IS GND, MUST BE SOLDERED TO PCB



MSE PACKAGE
12-PIN (4mm × 3mm) PLASTIC MSOP
θ_{JA} = 40°C/W
EXPOSED PAD (PIN 13) IS GND, MUST BE SOLDERED TO PCB

発注情報

鉛フリー仕上げ	テープ&リール	製品マーキング*	パッケージの説明	温度範囲
LTC9111RDE#PBF	LTC9111RDE#TRPBF	9111	12ピン(4mm × 3mm)プラスチックDFN	–40°C～150°C
LTC9111RMSE#PBF	LTC9111RMSE#TRPBF	9111	12ピンプラスチックMSOP露出パッド付き	–40°C～150°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。*温度グレードは出荷容器のラベルに表示されています。

テープ&リールの仕様。一部のパッケージは指定された販売チャンネルを通じて500個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

電気的特性

● は、全動作温度範囲に適用される仕様であることを示します。それ以外は、T_A = 25°C での仕様です。また、特に指定のない限り、V_{IN} = 24V です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN, SNS1, SNS2, OUT							
V_{IN}	Input Supply Operating Range	Normal Operating Range	●	2.3		60	V
I_{IN}	Input Supply Current	V_{IN} = 3.3V, CLASSIFICATION State V_{IN} = 60V, MDI_POWER2 State	● ●		75 500	150 1000	µA µA
I_{PD_PWR1}	Input Supply Current During Inrush	V_{IN} < V_{ON}, MDI_POWER1 State	●			700	µA
I_{WAKEUP_PD}	Wakeup Signature Current	2.3V < V_{IN} < 3.575V	●	1.3	1.55	1.8	mA
V_{SIG_ENABLE}	DISCONNECT State Exit Threshold Voltage	ΔV_{SNS} Falling Edge	●	3.9	4	4.1	V
$V_{SIG_DISABLE}$	MDI_PWR1 State Entry Threshold Voltage	ΔV_{SNS} Rising Edge	●	6.7	6.8	6.9	V
V_{ON}	Gate On Threshold Voltage	V_{IN} Rising Edge, V_{SNS1} = V_{IN}, V_{SNS2} = 0V CLASS 10/11/12: V_{CLASSV} = 0V CLASS 13/14/15: V_{CLASSV} = V_{STBY}	 ● ●	 17 44.8	 17.5 46	 18 47.2	 V V
V_{OFF}	Gate Off Threshold Voltage	V_{IN} Falling Edge, V_{SNS1} = V_{IN}, V_{SNS2} = 0V CLASS 10/11/12: V_{CLASSV} = 0V CLASS 13/14/15: V_{CLASSV} = V_{STBY}	 ● ●	 11.5 29	 12 30	 12.5 31	 V V
V_{OV}	Overvoltage Threshold for Classes 10 through 12	V_{IN} Rising Edge	●	37	38.5	40	V
I_{SNS1}	SNS1 Input Current	V_{SNS1} = 60V	●			200	µA
I_{SNS2}	SNS2 Input Current	V_{SNS2} = 60V	●			200	µA
I_{OUT_SLEEP}	OUT Pull-Down Current, Sleep	V_{OUT} = V_{IN} = 6V	●	8	16		µA
I_{OUT_ON}	OUT Leakage Current, Gate ON	V_{OUT} = V_{IN} = 60V	●			±10	µA
V_{EN_ASSERT}	Gate Drive Voltage Required to Assert EN	(V_{GATE} to V_{IN}) Rising Edge	●	6.5		8.2	V
GATE							
ΔV_{GATE}	Gate Drive	ΔV_{GATE} = V_{GATE} to V_{OUT}, I_{LGATE} = –1µA, V_{IN} > 5.75V, MDI_POWER2 State	●	10		12.5	V
$I_{GATE(UP)}$	GATE Pull-Up Current	GATE ON, V_{GATE} = 1V, V_{OUT} = 0V, MDI_POWER2 State	●	–6.5	–10	–14	µA
$I_{GATE(DOWN)}$	GATE Pull-Down Current	GATE OFF, V_{GATE} = V_{OUT} + 5V, 4.4V < V_{IN} to V_{OUT} < 60V	●	3.5		7.5	mA
t_{POWER_DLY}	GATE ON Assertion Delay	ΔV_{SNS} > V_{ON} (Note 4)	●	80	100	120	ms
STBY Regulator							
V_{STBY}	STBY Regulator Output Voltage	V_{IN} > 4V, I_{STBY} < 1.5mA	●	3.4	3.5	3.6	V
V_{STBY_DV}	STBY Regulator Dropout Voltage	I_{STBY} = –0.1mA I_{STBY} = –1.5mA	● ●			40 250	mV mV
I_{STBY_LIM}	STBY Regulator Current Limit	V_{STBY} = 0V	●	2			mA
LGATE1, LGATE2							
V_{LGATE}	Open-Circuit Low-Side Gate Drive Voltage	V_{STBY} = 3.5V, $I_{LGATE1/2}$ = –1µA	●	5		8	V
I_{LGATE}	Start-Up Gate Pull-Up	V_{IN} = 1.6V, $V_{LGATE1/2}$ = 3V V_{IN} = 3.1V, $V_{LGATE1/2}$ = 3V	● ●	–1.5 –20	–5 –60		µA µA
V_{GATE_HI}	Low-Side Gate Voltage Threshold to Enable Wakeup Signature		●	2.9			V

電気的特性

● は、全動作温度範囲に適用される仕様であることを示します。それ以外は、T_A = 25°C での仕様です。また、特に指定のない限り、V_{IN} = 24V です。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Digital Output EN							
V_{OH}	High Output Voltage	I_{SINK} = 0, –0.1µA	●	3.2		3.6	V
V_{OL}	Low Output Voltage	I_{SOURCE} = 0.1mA	●	0		0.25	V
Digital Input CLASSV							
V_{IH}	High Level Input Voltage		●	2			V
V_{IL}	Low Level Input Voltage		●			0.7	V
Ternary Input CLASSC							
V_{IH}	Input High Threshold Voltage		●	V_{STBY} – 0.5			V
V_{IL}	Input Low Threshold Voltage		●			0.5	V
$I_{IH, IL}$	High, Low Input Current		●			±100	µA
SCCP							
t_{RSTL}	Minimum Valid PSE Reset Pulse	2.4V < V_{STBY} < 3.6V (Note 4)	●	5		8	ms
t_{PDH}	Presence Detect High	2.4V < V_{STBY} < 3.6V (Note 4)	●	0.78	0.98	1.18	ms
t_{PDL}	Presence Detect Low	2.4V < V_{STBY} < 3.6V (Note 4)	●	3.14	3.92	4.7	ms
t_{R0L}	Read 0 Low	2.4V < V_{STBY} < 3.6V (Note 4)	●	1.96	2.45	2.94	ms
$t_{SCCP_WATCHDOG}$	SCCP Watchdog Timer	2.4V < V_{STBY} < 3.6V (Note 4)	●	1320	1650	1970	ms
V_{TH}	SCCP Logic High	2.4V < V_{STBY} < 3.6V, ($V_{SNS1/2}$ to V_{GND})	●		2.05	2.9	V
V_{TL}	SCCP Logic Low	2.4V < V_{STBY} < 3.6V, ($V_{SNS1/2}$ to V_{GND})	●	1.2	1.95		V
I_{SCCP_UP}	SCCP FET Driver Pull-Up Current	V_{STBY} = 3.5V, V_{SCCP} = 2V	●	–150	–225		µA
I_{SCCP_DN}	SCCP FET Driver Pull-Down Current	V_{STBY} = 3.5V, V_{SCCP} = 1V	●	150	285		µA

Note 1 : 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

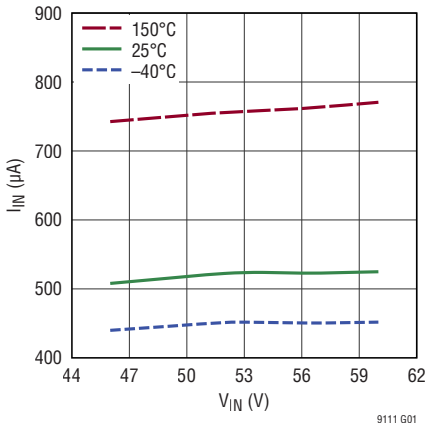
Note 2 : デバイスのピンに流れ込む電流はすべて正です。デバイスのピンから流れ出す電流はすべて負です。特に指定のない限り、すべての電圧は GND を基準としています。

Note 3 : 内部クランプは、V_{GATE} を V_{OUT} より 10V 以上高い値に制限します。このピンをクランプを超える電圧で駆動すると、デバイスが損傷する可能性があります。

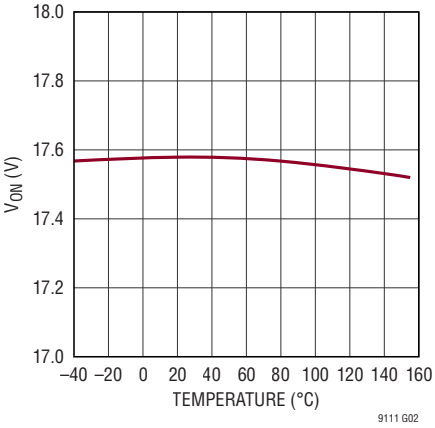
Note 4 : これらの仕様は、設計により確保されています。

代表的な性能特性

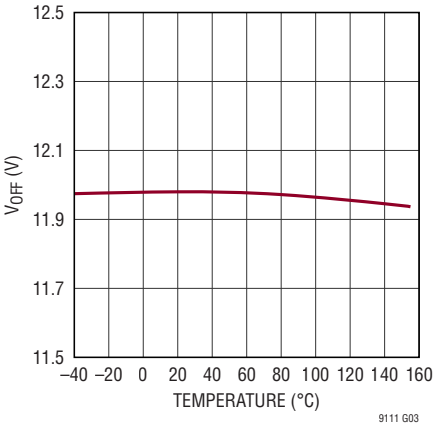
I_{IN} と V_{IN} の関係



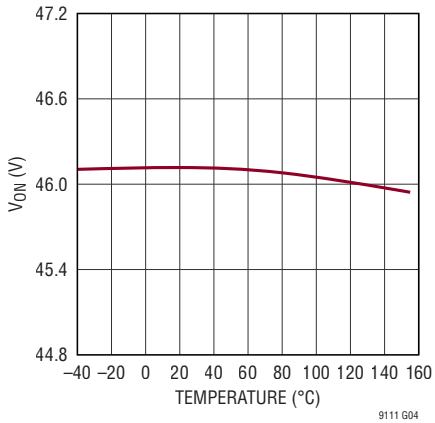
V_{ON}（クラス 10～12）と温度の関係



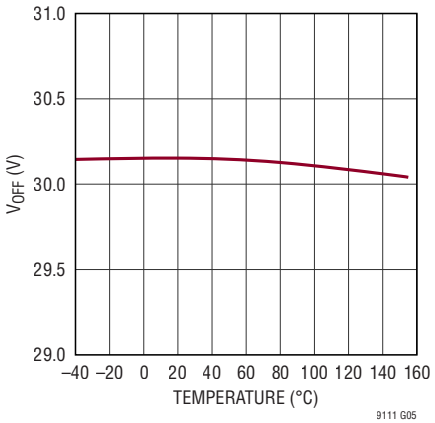
V_{OFF}（クラス 10～12）と温度の関係



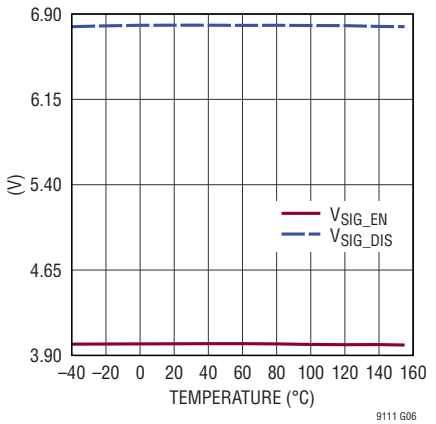
V_{ON}（クラス 13～15）と温度の関係



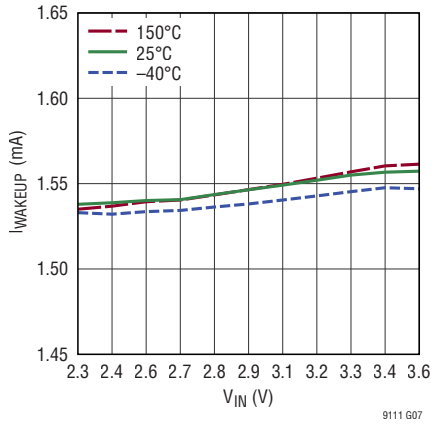
V_{OFF}（クラス 13～15）と温度の関係



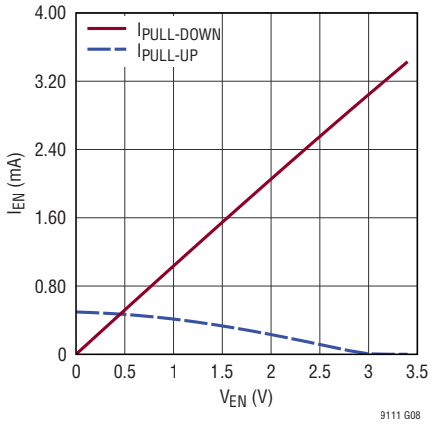
V_{SIG_EN} および V_{SIG_DIS} と温度の関係



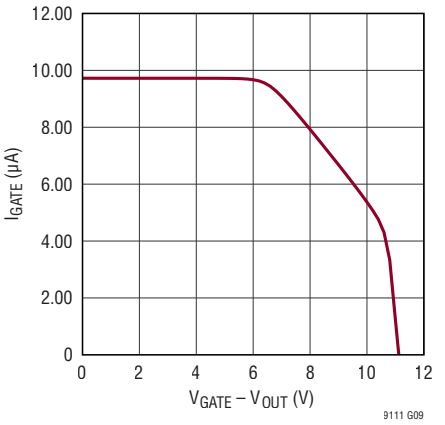
I_{WAKEUP} と V_{IN} の関係



V_{EN} と I_{EN} の関係



I_{GATE} プルアップ



ピン機能　(DFN、MSOP)

SNS1(ピン1):PD電源インターフェース検出入力1。MDI/PIコネクタのピン1に結合ネットワークを介して接続します。詳細については、アプリケーション情報を参照してください。

SNS2(ピン2):PD電源インターフェース検出入力2。MDI/PIコネクタのピン2に結合ネットワークを介して接続します。詳細については、アプリケーション情報を参照してください。

IN(ピン3):コントローラ電源電圧。

STBY(ピン4):3.5V低ドロップアウト(LDO)レギュレータ出力。2.2µFのセラミック・コンデンサでピンの近くでバイパスします。

CLASSV(ピン5):2値PDクラス電圧設定入力。24Vクラス(クラス10～12)の場合はGNDに、55Vクラス(クラス13～15)の場合はSTBYに接続します。

EN(ピン6):デジタル・イネーブル出力。ポートに電力が供給され、外部のホット・スワップMOSFETがオンになっている状態でハイにアサートされます。PDアプリケーションのDC/DCコンバータのイネーブル入力に接続します。

SCCP(ピン7):SCCPプルダウン・ゲート駆動。外付けのプルダウンNチャンネルMOSFETのゲートに接続し、分類中にロジック0を送出するようにします。詳細については、アプリケーション情報を参照してください。

LGATE2(ピン8):ローサイド・アクティブ・ブリッジ・ゲート駆動2。MDI/PIコネクタのピン2に接続するローサイド電流通過MOSFETのゲートに接続します。

LGATE1(ピン9):ローサイド・アクティブ・ブリッジ・ゲート駆動1。MDI/PIコネクタのピン1に接続するローサイド電流通過MOSFETのゲートに接続します。

CLASSC(ピン10):3値PDクラス電流設定入力。CLASSCピンはハイ、ローのいずれかに接続するか接続なしとし、CLASSVと合わせて、LTC9111をIEEE 802.3cgで規定するPDクラス10～15のいずれかに設定します。詳細については、クラス設定のセクションを参照してください。

OUT(ピン11):PD電源電圧出力。突入電流の制御のため、外部NチャンネルMOSFETのソースに接続します。

GATE(ピン12):外付けNチャンネルMOSFETのゲート駆動。GNDに対する容量によって突入時間が決まります。

GND(ピン13):露出パッドのデバイスのグラウンド。PCBのグラウンドにハンダ付けする必要があります。

動作

製品の概要

LTC9111はIEEE 802.3cgに世界で初めて準拠したPDコントローラです。PSEに向けて有効なウェイクアップ・シグネチャを示し、電力供給を要求します。更にシリアル通信分類プロトコル(SCCP: Serial Communication Classification Protocol)をサポートしており、設定された電圧と電流のレベルを分類時にPSEに通知します。また、LTC9111は、突入電流を制御し、供給を適切かつ安全にイネーブル／ディスエーブルするために、ポート電圧を監視します。LTC9111は10Base-T1L PHYに準拠したタイプEのPDを実装できるよう設計されています。オプション仕様であるケーブル抵抗の測定はサポートしていません。

LTC9111はIEEE 802.3cgに準拠したPD設計を実装するために必要な回路を備えています。LTC9111のアプリケーション回路は外付けMOSFETを用いるので、電力損失を最小限に抑え、システムコストが最適化でき、故障耐性が向上します。

IEEE 802.3cgでの要求条件となっている極性自動判別を、ローサイドの整流MOSFETによって満たしています。ハイサイドの極性補正と電流の逆流防止のためには、外付けダイオードが必要です。LTC9111は、分類と状態遷移の指示のため、整流前の電圧をモニタします。入力極性は自動で検出と整流が行われます。入力極性に関わらず、分類中に論理レベル・ローを送出するときには、1対の外付けMOSFETを駆動します。負荷回路と容量をPDの電源インターフェース(PI)から分離するには、外付けのハイサイドMOSFETを用います。システム設計では、これにより規格が要求する制限を克服することができます。

技術の概要

Power over Data Lines(PoDL)は、2本の銅製のイーサネット用データ・ケーブルを使ってDC電力を供給するための標準プロトコルです。PoDLは従来のPower over Ethernet(PoE)と概念的には類似していますが、その定義と実装は大きく異なっています。その相違は、PoEが4本あるいは8本のワイヤを用い、配線ペアでの電力供給技術であるのに対し、2線式の給電回路で独自の電力結合技術が使われているところから主に生じています。PoDLは1組の導線ペア、すなわちバランスされたツイストペアや同軸ケーブルで、電力とデータを同時に伝送することが可能です。図1に、PoDLの回路アーキテクチャの例を示します。

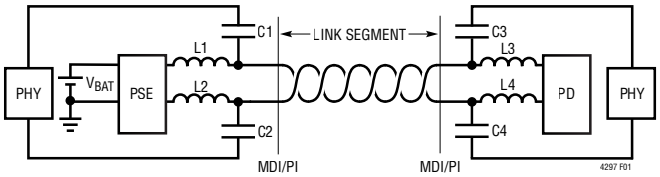


図1. 基本的なPoDL回路のアーキテクチャ

IEEE 802.3bu(PoDL)は2016年に標準化されました。10Mbpsから10Gbps以上にわたり複数の相補的なデータ規格が既に規格化済みもしくは制定議論中です。IEEE 802.3buでは電力供給について検出、分類、供給、切断、スタンバイのプロトコルを規定しています。2019年に、IEEEはPoDL規格(802.3cg)を拡張し、1kmまでのケーブル長を許容する長距離用プロトコルである10Base-T1Lに適用できるようにしました。

イーサネット・アライアンスはPower over Ethernetに関する標準的な頭字語グループを取り入れ、PoEの様々な種類や世代を区別しました。この経緯から、Single-Pair Power over EthernetはSPoEと称されるようになり、これが802.3cg技術の通称名となりました。PoDLは802.3規格の104節に従います。

IEEE規格はPoDLの用語も定義しています。ネットワークに電力を供給するデバイスは給電デバイスあるいはPSEと呼ばれます。ネットワークから電力を引き込むデバイスは、受電デバイスあるいはPDと呼ばれます。

PoDLの基礎

一般的なxBase-T1イーサネット・データ通信の接続は、グラウンド・ループを避けるために両端でAC結合された1対の導線で行います。電力をデータに対してコモン・モードで伝送するPoEと異なり、PoDLシステムでは1対のケーブルペアに電力とデータとを重畳します。IEEE 802.3cgではPSEとPDに対し、分類に基づいた電力供給プロトコルを規定しています。PSEとPDのクラスの互換性を確保し、短絡、オープン・サーキット、規格不適合のイーサネット機器に電力を供給しないように、分類プロトコルは定義されています。

PDに接続すると、PSEは検出と分類を行った後に最高動作電圧をPDに加えます。分類の間PSEはPDと通信し、PDクラス、PDタイプ、配線抵抗測定のサポートなどの情報を要求します。配線抵抗と供給可能な電力に基づいてPSEとPDはPDへの電力配分を決定します。接続されたPDが規格適合だとPSEが判定すると、PDに最高動作電圧を加えます。PD

動作

が完全な電力供給を受け続けるためには、有効な最高電圧保持シグネチャ（MFVS：Maintain Full Voltage Signature）を示す必要があります。PDが切断された場合やスリープに入った場合は、PSEがMFVSが無くなったことを検出して動作電圧を停止します。また、フォルトが発生した場合も動作電圧を停止します。

最高動作電圧を停止した後も、PSEは非常に低いスタンバイ電圧（3.3V）を供給します。この状態ではPDはウェイクアップ電流シグネチャをPSEに示すことによってウェイクアップを要求することができます。これに伴い、PSEはシーケンスを再度進めて最高動作電圧を回復することができます。

ポートのステート・マシン・シーケンス

LTC9111はIEEE 802.3cg規格に定義された電圧駆動のPDステート・マシンを実装しています。図2に、電力の初期供給開始後におけるパワーアップの時間領域シーケンスを示します。

規格準拠のPoDLシステムでは、PSEはまずV_{SLEEP}（代表値3.3V）の範囲で電圧を印加します。最初にLTC9111に電力が供給されると、WAKEUP状態に入ります。WAKEUP状態では、LTC9111はウェイクアップ・シグネチャI_{WAKEUP_PD}（代表値1.55mA）をPSEに示して、その存在を知らせます。

IEEE 802.3cg準拠のPSEとPDは分類手順をシリアル通信分類プロトコル（パワー・クラスおよびSCCPを参照）を用いて実行し、PSEはPDが互換性のあるものかどうかを識別します。互換性があれば、PSEはポート電圧をランプ・アップします。

LTC9111はポート電圧が上昇する間、監視を行います。ポート電圧がV_{ON}の閾値を超え、規定最短遅延時間のt_{PWRDLY}が経過すると、LTC9111はMDI_POWER2状態に遷移します。LTC9111はGATEピンをランプ・アップして外部MOSFETをオンにし、アプリケーション中の容量に突入電流を加えます。突入が終了すると、ENピンをハイにしてPDアプリケーションを有効化します。

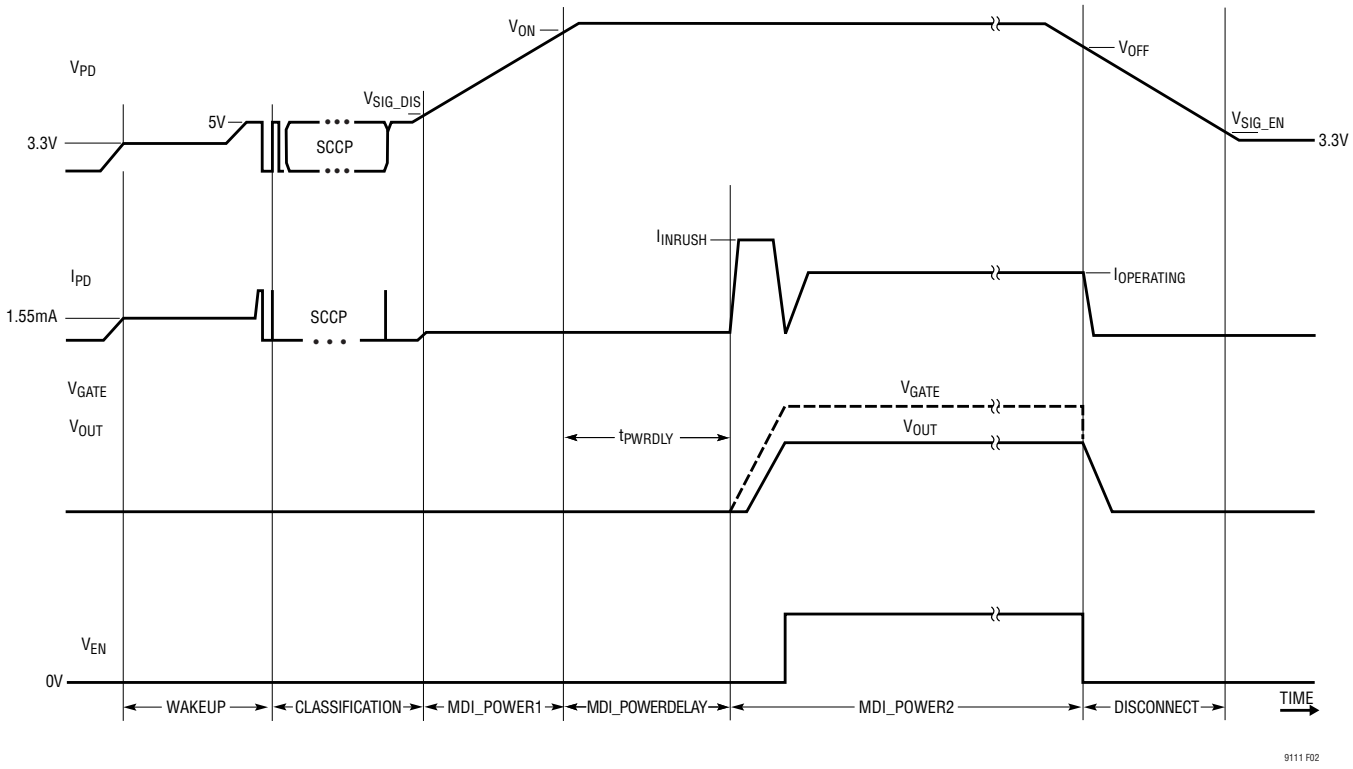


図2. LTC9111のステート・マシン・シーケンス（正確な縮尺ではありません）

動作

その後は、電力が不足するかPSEがMFVSを検出しなくなると、PSEは全動作電圧を停止します。ポート電圧がV_{OFF}未満に下がるとLTC9111はDISCONNECT状態に入り、ENピンがデアサートされてアプリケーションが無効化されます。PSEが放電してポート電圧がV_{SLEEP}以内に入ると、LTC9111はWAKEUP状態に入ります。そして、同じシーケンスが繰り返されるとポートは最高動作電圧に戻ります。図3に簡略化した状態遷移図を示します。以下のセクションでは、各状態についてより詳しく説明します。

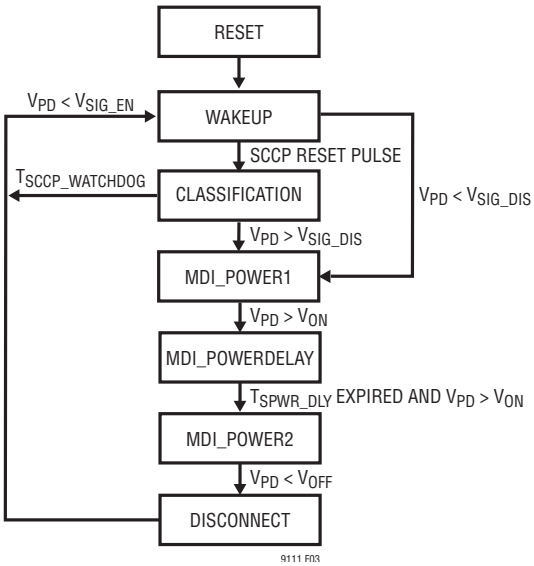


図3. 簡略化したPDステート・マシン

RESET

最初の電圧印加時、LTC9111はRESET状態から遷移を開始します。LTC9111は内部電源をランプ・アップし、外付けのローサイド極性補正MOSFETのうち1つをオンにします。どちらをオンにするかはSNS1ピンとSNS2ピンで検出した入力極性により決まります。ローサイド極性補正MOSFETがオンになると、LTC9111はWAKEUP状態に遷移します。

WAKEUP

WAKEUP状態ではLTC9111はプルダウン電流I_{WAKEUP_PD}（代表値1.55mA）によってウェイクアップ・シグネチャを示します。ウェイクアップ・シグネチャによりPSEにPDが存在することが通知されます。PSEはこれに対して検出プローブ電流を流します。LTC9111は分類に対応しているため、定電圧物理検出シグネチャは提示しません。規格準拠のPSEは、PD検出シグネチャが確認できないときにはポート電圧を5V付近に制限します。最短遅延時間（最長3.11ms）が経過すると、PSEは分類手順に進みます。PSEはリセット・パルスを送出することにより分類を開始します。LTC9111はリセット・パルスを検出し、CLASSIFICATION状態に遷移します。

CLASSIFICATION

分類の間、LTC9111はPSEのコマンドにSCCPの定義に従って反応します。このプロトコルの詳細は以下で説明します（パワー・クラスおよびSCCPのセクションを参照）。PSEは規定の時間範囲内でケーブルをプルダウンして論理ローを通知するか、ケーブルをプルアップ（代表値5V～5.5V）して論理ハイを通知します。LTC9111は規定の時間範囲でケーブルをプルダウンして論理ローを通知するか、ケーブルを開放して論理ハイを通知します。

LTC9111はSNS1ピンとSNS2ピンの電圧を監視してシリアルデータ入力を検出し、論理ローを通知する場合には、SCCPピンを用いて外付けMOSFETを駆動しケーブルの電圧をプルダウンします。

プルダウン期間中はケーブルを通じた電力の供給はできません。この期間中は、LTC9111はSTBYピンに接続されたコンデンサから電流を引き込むことで状態を保持し、動作を継続します。INピンの電圧は、論理ローを通知している間、整流ダイオードの漏れ電流などの要因により一時的に低下する場合があります。このため、INピンからSTBYピンへの内部パスは、このような期間にも逆電流を防止し、STBYピンの電荷貯蔵コンデンサの電圧を低下させないように設計されています。

分類が正常に終了すると、PSEはポート電圧を制御しながら増加させます。LTC9111は電圧がV_{SIG_DIS}を超過するとMDI_POWER1状態に遷移します。

LTC9111はCLASSIFICATION状態ではウォッチドッグ・タイマー$T_{SCCP_WATCHDOG}$を保持します。分類動作中にフォルトが発生した場合や、SCCP完了後にPSEが電力を供給しなかった場合は、LTC9111は$T_{SCCP_WATCHDOG}$経過後にWAKEUP状態に戻ります。

動作

MDI_POWER1

MDI_POWER1状態では、ウェイクアップ・シグネチャ回路とSCCPプルダウンは無効化されます。LTC9111の電流引き込みがI_{PD_PWR1}まで下げられ、これによりPSEのプルアップ電流がケーブルとポートの容量を充電できます。LTC9111の入力電圧がV_{ON}を超えたことを検出すると、MDI_POWERDELAY状態に進みます。

MDI_POWER1状態では、フォルトにより入力電圧がV_{SIG_ENABLE}未満に下がると、LTC9111はWAKEUP状態に戻ります。

MDI_POWERDELAY

ポート電圧がV_{ON}より高くなれば、PSEはポートの最高動作電圧までの立ち上げをほぼ完了したことになります。LTC9111はMDI_POWERDELAY状態に入ると、t_{PWRDLY}(> 80ms)のタイマーを起動します。この遅延によって、アプリケーション動作が開始する前にPSEが確実にポート電圧の立ち上げを完了できるようになり、ケーブルと結合ネットワークのインピーダンスによる発振動作が防止できます。このタイマーが完了すると、LTC9111はMDI_POWER2状態に入ります。

MDI_POWER2

LTC9111がMDI_POWER2状態に入ると、PSEはクラスで規定のフル・パワーを供給する準備が整ったことになります。外付けハイサイドMOSFETがGATEピンの電流ソースを介してオンにされます(外付け部品の選択のセクションを参照)。内部のコンパレータがGATEピンを監視し、GATEピンの電圧がINピンの電圧よりV_{EN_ASSERT}(最低6.5V)高くなると、ENピンの論理レベルをアサートします。ENピンを使ってOUTピンに接続されたDC/DCコンバータやアプリケーション回路を動作開始できます。

LTC9111はポート電圧がV_{OFF}未満に下がるまでMDI_POWER2の状態を継続します。ポート電圧がV_{OFF}未満に下がると、LTC9111はDISCONNECT状態に入ります。ポート電圧は、PSEからの物理的な切断やPSE内部の電力停止によって下がる可能性があります。

DISCONNECT

LTC9111がDISCONNECT状態に入ると、外付けハイサイドMOSFETは遮断され、ENピンがデアサートされます。規格準拠のPSEであれば、ポート電圧がV_{SLEEP}(代表値3.3V)の範囲に入るまで放電します。ポート電圧がV_{SIG_ENABLE}未満に下がると、LTC9111は再度WAKEUP状態に入ります。

その後は、LTC9111に最高動作電圧を印加する前に、LTCの分類を再実行する可能性があります。PSEは、ポートを約3.3Vのスリープ電圧に保つか、ポートを完全にディスエーブルして電圧が0Vになるまで放電させることもできます。後者の場合、LTC9111はRESET状態に戻ります。

パワー・クラスおよびSCCP

パワー・クラスはPower over Data Line (PoDL)規格の基本コンセプトです。クラスによってPSEの出力電圧範囲やシステム中で流れる最大電流が規定されます。PoDLでは16のクラス(0～15)を規定しています。クラス0～9はIEEE 802.3buで車載システム用に定義されています。クラス10～15はIEEE 802.3cgでビルディング・オートメーションやファクトリ・オートメーションでの、他デバイスから検出可能なシステム用に定義されたものです。クラス10～12は公称24V出力電圧のPSEに対応し、多くの産業オートメーション、ファクトリ・オートメーション、ビルディング・オートメーション、湿度の高い環境などでの要求に応えるものです。24Vの3クラスはそれぞれ異なるケーブル定義に対応し、対応する最大供給電力も異なっています。クラス13～15は、Safety Extra Low Voltage (SELV)を超過せずに供給電力を最大化するよう、公称54V出力電圧のPSEを定義しています。表1にはIEEE 802.3cgのPSEとPDクラスの対応を要約した内容を示しています。

パワー・クラスに加えて、PoDLのPSE、PDはPHYの相互結合性を示すタイプでも識別されます。LTC9111はタイプEと定義される10Base-T1LのPHYと互換になるよう設計されています。

表1. PSEとPDのクラスの有効な組合せ

PSE CLASS	MAX PD POWER (W)	PD VOLTAGE (MIN) (V)	PD VOLTAGE (MAX) (V)	I_{MAX} (mA)	COMPATIBLE PD CLASS(ES)
10	1.23	14	30	92	10
11	3.2	14	30	240	10, 11
12	8.4	14	30	632	10, 11, 12
13	7.7	35	58	231	13
14	20	35	58	600	13, 14
15	52	35	58	1579	13, 14, 15

動作

クラス設定

LTC9111は3値のCLASSCピンと2値のCLASSVピンを用いてパワー・クラスを設定します。クラス設定によってステート・マシン動作を決定するV_{ON}とV_{OFF}の閾値が決まり、また、その設定は分類中にPSEにレポートされます。各クラスに対応するCLASSCピンとCLASSVピンの設定を表2に示します。

表2. LTC9111のクラス設定

PD CLASS	CLASSV	CLASSC
10	GND	GND
11	GND	FLOAT
12	GND	STBY
13	STBY	GND
14	STBY	FLOAT
15	STBY	STBY

SCCPの初期化

各SCCPビット通信はPSEが発行するリセット・パルスによって開始され、PDからのプレゼンス・パルスの応答が続きます(図4を参照)。PSEはポート電圧をV_{TL}未満にt_{RSTL}の期間下げた後V_{PUP}まで上げることによりリセット・パルスを発行します。PDはこのリセット・パルスを検出し、t_{PDH}の時間待った後にt_{PDL}だけプルダウンします。これはPDのプレゼンス・パルスと呼ばれます。PSEはリセット・パルスの終了からt_{MSP}の時間にサンプルしてプレゼンス・パルスを確認します。PDの存在を確認すると、PSEは続けて書込みか読出しかいずれかの動作を行います。

SCCP書込みスロット

PSEによる書込み動作は、ポート電圧をV_{TL}までプルダウンすることによって開始します(図5を参照)。0を書き込むときにはPSEはt_{W0L}の期間プルダウンし、1を書き込むときにはt_{W1L}の期間プルダウンします。PDは立下がりエッジを検出し、ポート電圧をt_{SSW}後にサンプルすることによりビット極性を判定します。

SCCP読出しスロット

PSEの読出し動作は、V_{TL}未満にt_{W1L}の期間プルダウンすることで開始します(図6を参照)。PSEに0を送る場合には、PDはPSEによるプルダウンを検出すると直ちにt_{R0L}の期間プルダウンします。1を送る場合にはPDはポートのプルダウンを行わず、PSEがt_{W1L}後にプルアップするのに任せます。PSEはポートの電圧をPSEのプルダウンの開始からt_{MSR}後にサンプルして、ビットを判定します。

パケット・サポート

LTC9111はPSEからのSCRATCHPAD_READコマンドをサポートしており、これに応答します。これにはPDクラス(CLASSCピンとCLASSVピンで設定される)とPDタイプ(E)が含まれます。

最高電圧保持シグネチャ(MFVS:Maintain Full Voltage Signature)

ポートが電源投入されている間、規格準拠のPSEはMFVSと呼ばれる方式で最小限の負荷の存在を監視します。MFVSが検出されなければ、PSEはPDへの電力供給を停止します。具体的には、電力供給を受けるPDが電力供給を続けるためには、最低11mAの電流を300msごとに10ms以上消費する必要があります。LTC9111の動作電流は低いため、単体ではMFVSの基準を満たしません。静止電流がMFVSの閾値を下回るようなPDアプリケーションでは、最低負荷をOUTピンなどに適宜配置することが必要となる場合があります。

規格準拠のPSEは最低2.5mAの電流をMFVSとして認識し得ます。PDアプリケーションで(局所的に停止するなどの原因での)電力供給の停止を確実に行うためには、PDは静止電流を2.5mA未満に抑える必要があります。

外付け部品の選択

STBYバイアス電源

内部リニア電圧レギュレータにより、STBYピンには定格3.5Vの電圧が発生します。これは内部の制御回路に電力を供給するために使用します。STBYピンは、ピンの近くで2.2µFのコンデンサによりバイパスします。セラミック・チップ・コンデンサの場合は、3.5Vバイアス時の実効容量は1.8µFより大きいことが必要です。0805以上のコンデンサを推奨します。

動作

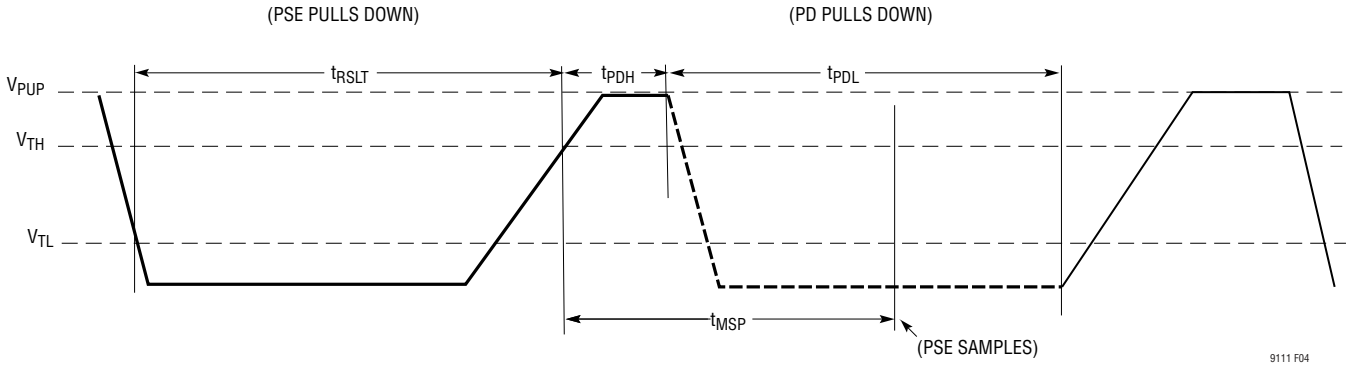


図4. SCCPの初期化

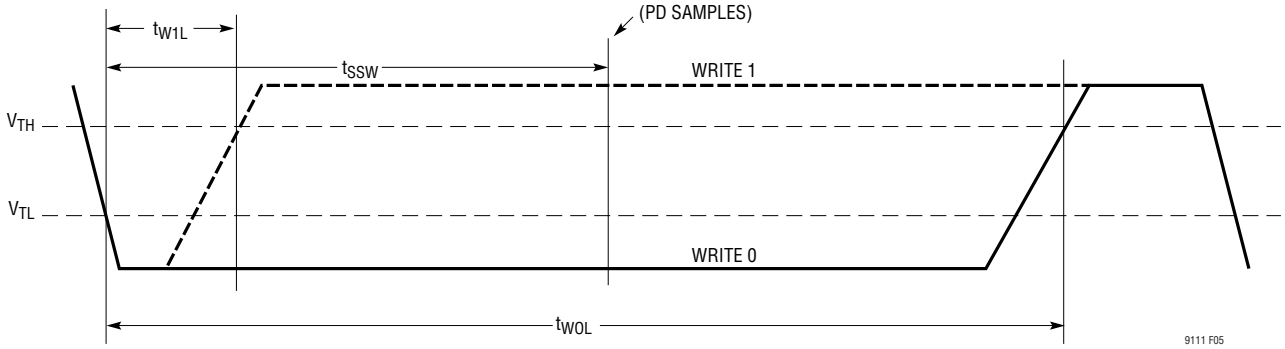


図5. SCCP書込みスロット

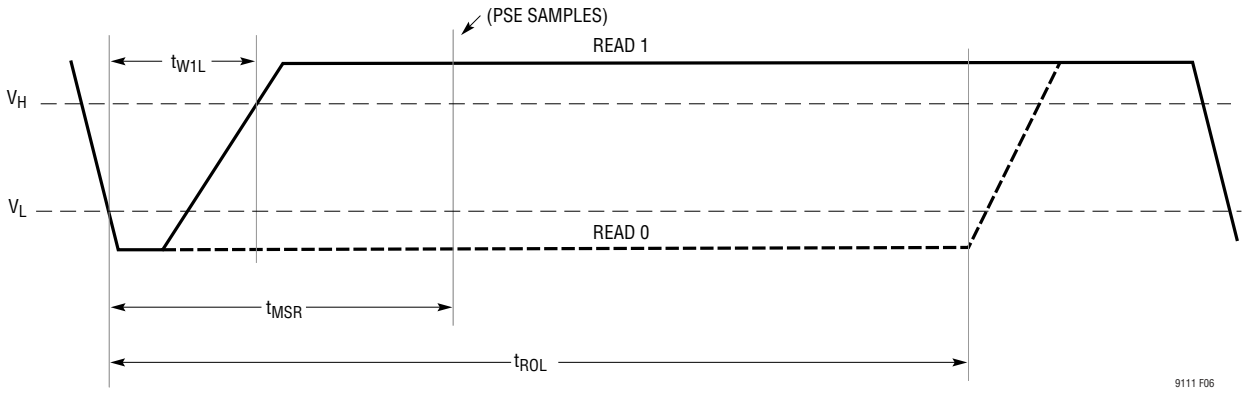


図6. SCCP読出しスロット

アプリケーション情報

分類動作中は、PSEやPDが論理ゼロを示すためにポート電圧をローにプルダウンしている間もチップ動作を続けるため、STBYピンのコンデンサが電荷貯蔵素子として機能することに注意してください。分類中にSTBYピンに外部の負荷が存在すると、コンデンサを放電させてブラウンアウトを引き起こすことがあります。分類中はSTBYピンに外部負荷を与えないでください。

外付けMOSFETスイッチと突入電流の制御

GATEピンとOUTピンによってLTC9111は外付けMOSFET（図7のM1）を駆動し、突入電力の制御と負荷スイッチングを行います。内部のチャージ・ポンプによりGATEピンが入力電圧より高く駆動され、外付けNチャンネルMOSFETをオンにします。MDI_POWER2状態に入るとすぐに、ゲート・ドライバはGATEピンにI_{GATE_UP}を流すことによって外付けMOSFETをオンにします。GATEピンとGNDピンの間に接続されるコンデンサC_{GATE}によって、OUTピンの電圧が直線的に増加し、総合バルク容量C_{BULK}によって突入電流が決まります。式1を用いて、突入電流が該当のクラスの最大PD電流を超えないように設定します。

$$C_{GATE} >> 2 \cdot C_{BULK} \cdot (I_{GATEUP}\ MAX/I_{CLASS}\ MAX) \quad (1)$$

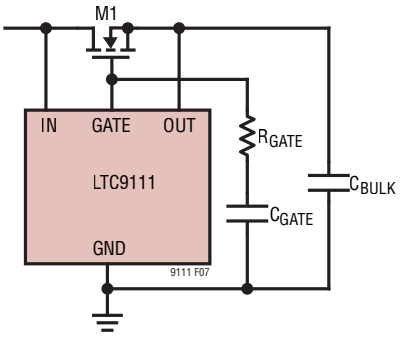


図7. 突入電流の制御

電源投入中は外付けMOSFETで大きなトランジェント電力消費が発生する可能性があります。パス・デバイスの選定においてはSOAの余裕度を考慮する必要があります。

突入電流が流れ終わる前にOUTピンに負荷がかかると、それがコネクタ端でのPDの総電流増加につながるため、突入を遅らせる（すなわちより大きなC_{GATE}を配置する）必要が生じる場合があります。ENの論理出力を使用して、外付けMOSFETスイッチがオンになり突入電流が流れ終わるまではアプリケーション負荷がPDの電流を増加させることがないようにできます。GATEがINよりV_{EN_ASSERT}以上高くなり、突入電流が流れ終わったと判定できるまでは、ENピンはハイになりません。

信頼性向上のため、C_{GATE}と直列に抵抗R_{GATE}を配置することを推奨します。例えば、電力供給中にOUTピンが瞬間的にグラウンドに短絡するフォルトが発生した場合には、外付けMOSFETはグラウンドに引き下げられる一方、C_{GATE}のためGATEピンは高電位に保たれるので、外付けMOSFETのゲートにストレスが生じます。R_{GATE} = 10kの抵抗を配置すれば、このようなシナリオでもMOSFETのゲートとコンデンサを効果的にデカップリングできます。

（PDがMDI_POWER2から抜けることにより）外付けMOSFETスイッチM1が遮断されたときには、GATEピンはOUTピンに引き下げられプル・ダウン電流IOUT_SLEEPが生じます。MOSFETが遮断されると（すなわちGATE = OUT）、OUTピンで内部プルダウン・トリクル電流I_{OUT_SLEEP}が流れてGATEピンおよびOUTピンがグラウンドのレベルに保たれます。

PD入力容量／スナバ回路ネットワーク

LTC9111ではINピンとグラウンドの間にバイパス・コンデンサが必要です。磁気結合によって共振性の高いLCタンクを形成することを避けるため、図8に示すようなスナバ回路ネットワークを用います。L_{PODL}は電力結合ネットワークの等価差動インダクタンスを示します。

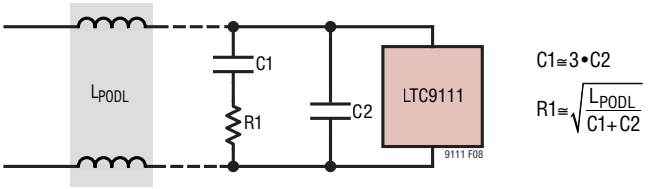


図8. スナバ回路ネットワーク

IEEE 802.3cgでは、分類動作中の最大入力容量として400nFが規定されています。これによってSCCPに十分な帯域幅が確保されます。PHYの結合容量やケーブル側に追加されるスナバ回路ネットワークも、このバジェットに含まれていることに注意してください。

減衰特性の良いスナバ回路でネットワーク総合容量（C1 + C2）が150nF以上あれば、一般的には十分です。小パッケージのセラミック・コンデンサは高電圧でバイアスされると公称容量の一部分しか有効とならないため、コンデンサの電圧係数と動作電圧を考慮に入れる必要があります。DCバイ

アプリケーション情報

アスにより実効容量が減少すると、電力結合磁気とバイパス・コンデンサで形成されるLCタンクに共振が発生します。

入力極性補正

IEEE 802.3cgはねじ式端子を使用した現場への設置でもフールプルーフになるよう、PDが極性不問で動作することを要求しています。LTC9111は、ローサイドの極性補正のために外付けMOSFET(図9のM4/M5)を駆動し、ハイサイド側の電圧の整流は外付けのショットキー・ダイオード(D1/D2)によって行います。ローサイドのアクティブな整流により、電力損失が最小限に抑えられ、また、規格の制約によって生じる回路起動時の問題に対処することができます。

最初にポートが初期化されるとき、規格準拠のPoDL PSEはポートを電圧V_{SLEEP}にバイアスしますが、この電圧は3.1V程度と低い場合があります。ハイサイド整流ダイオードの電圧降下($V_{D(Schottky)}$)やローサイドMOSFETのボディー・ダイオードによる電圧降下のため、PDコントローラをバイアスするのに使える電圧は更に低い場合があります。LTC9111は、INとGNDの間の電圧が1.6Vよりも大きい限り、起動時には確実にローサイドの整流MOSFETを駆動します。ローサイド整流MOSFETがオンになれば、LTC9111の入力電圧は式2に従って増加します。

$$V_{IN} = V_{SLEEP} - V_{D(Schottky)} - I_{(PORT)} \bullet R_{DS(ON)} \qquad (2)$$

ポートがWAKEUPとCLASSIFICATIONの状態にある間はポート電流がmAレンジであるため、外付けMOSFETでの電圧降下は非常に小さいと期待されます。LTC9111が有効なウェイクアップ・シグネチャを確実に伝えられるためには、WAKEUP状態にある間のINピンの電圧を2.3V以上に保つ必要があります。従来のシリコン・ダイオード両端の電圧降下は、特に低温では大きすぎる場合があります。このため、ハイサイドの整流には、消費電力が重要でない場合でも、ショットキー・ダイオードを推奨します。ポートに給電されると、アプリケーションの全電流がハイサイドのショットキー・ダイオードを通過することになるため、ショットキー・ダイオードはアプリケーションの電流と消費電力の条件を満たしている必要があります。

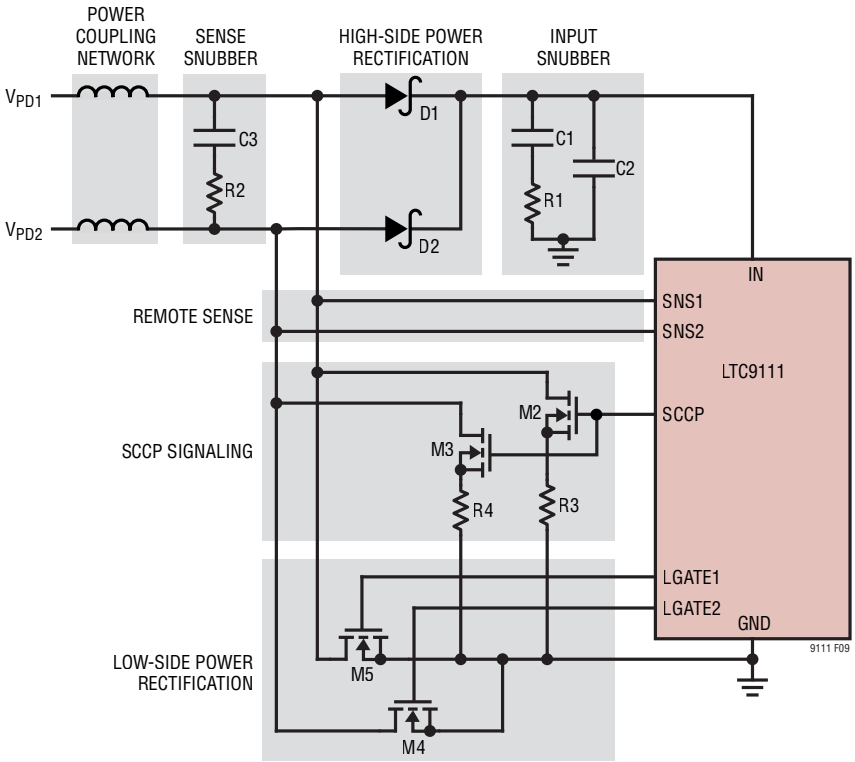


図9. 電源整流、検出、SCCP用の外付け部品

アプリケーション情報

ローサイドの極性補正MOSFETのサイズは、アプリケーションの電流レベルに応じて適切なものを選択する必要があります。LGATE1ピンとLGATE2ピンの駆動電圧は、現行の標準的なパワーMOSFETと適合します。MOSFETに高電圧と高電流が同時に印加されることはないため、SOA性能は重要ではありません。

リモート検出ピン

SNS1ピンとSNS2ピンによりLTC9111は、SCCPや正確なステート・マシン電圧閾値のために使用する、電源整流回路外のポート電圧を検出できます。

多くのアプリケーションでは、これらのピンは電力結合ネットワークのアプリケーション側に接続できます。それにより、分類中に寄生容量によってデータ信号が壊れるのを防ぎ、コネクタ端で観測されるような過度のリンギングをフィルタリングできます。SNSピン間の小さなスナバ(図9のC3/R2)により、SCCPの論理転換中に整流ダイオードに逆バイアスが生じた場合にも高周波領域のリンギングが防止されます。

SCCPプルダウンMOSFET

LTC9111は、外付けMOSFET(図9のM2/M3)を用いて分類時にポート電圧をプルダウンし、論理ローを送出します。2個の外付けMOSFETを用いることで、入力コネクタの極性の構成によらず適切な分類が可能となります。SCCPの駆動電圧は、低コストのロジック・レベルのディスクリートMOSFETに適しています。

安価なものでも、BSS123のような市販の外付けMOSFETは一般にこの目的に適合しますが、IEEE 802.3cg規格の条件を満たすのと同時に部品を過負荷から確実に保護するための配慮が必要です。

IEEE 802.3cgは、論理ローを示している間、コネクタ電圧0.8Vに対してPDのシンク電流が30mAであることを要求しています。寄生容量によってデータ・リンクが壊れるのを防ぐため、SCCPプルダウンを電力結合ネットワークの磁気と直列に配置します。以上示したように、プルダウンの有効強度を算定するには、結合ネットワークの寄生容量により発生する電圧を含める必要があります。

結合ネットワークの抵抗とインダクタンスに応じ、プルダウンMOSFETを通過するピーク過渡電流は低コストの外付けMOSFETの絶対最大定格を超過する可能性があります。SCCPプルダウンのソースと直列に抵抗を配置することによって、ピーク電流を低減することができますが、実効的なDCプルダウン強度が低下しない範囲とする必要があります。

0.8V/30mAの条件に適合させるためには、SCCPプルダウン・パスの抵抗は26.6Ω未満としなければなりません。この抵抗値には、結合ネットワークの寄生容量、MOSFETの$R_{DS(ON)}$、電流制限抵抗を含める必要があります。ディスクリートMOSFETを適切に選択するためには、外付けMOSFETのパラメータのばらつきも考慮する必要があります。

PDの負荷ダイナミクス

PHYデータの完全性を確保しEMI問題を回避する目的で、IEEE 802.3cgでは入力電流のdI/dt、入力電圧のdV/dt、PIで計測されるリップル電圧の振幅について制限を設けています。結合ネットワークとPDの容量がアプリケーションとコネクタの間にフィルタを形成するため、アプリケーションのAC特性はコネクタでは減衰されます。大きな動的負荷のあるアプリケーションでは、追加のフィルタ部品が必要になる場合があります。

図10に示すように、ホット・スワップ出力端のバルク容量、高次直列フィルタ・ネットワーク、アプリケーション負荷用の降圧コンバータの出力に対するコンデンサなどで、フィルタリングを行うことができます。

こうした部品は、例えばアプリケーション回路でのスイッチングなどに起因する高周波ノイズをフィルタする作用に加えて、大きな過渡負荷ステップがある場合に重要な役割を果たします。電力結合ネットワークには大きなインダクタがあるため、PSEが供給する電流は瞬時には変化しません。アプリケーションには、負荷ステップ中も電源電圧が降下しないよう十分なバルク容量を備える必要があります。

これらのフィルタリング部品の最適な構成はアプリケーションによって異なります。発生する高周波ノイズの大きさや、動作中の負荷が最も厳しい変化をする場合にその変化の程度と速度などに従って決定します。

アプリケーション情報

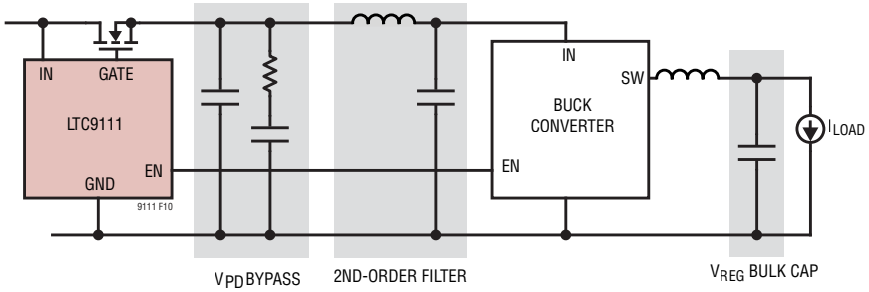


図10. 動的負荷に対するフィルタリングとバイパス

補助電源

LTC9111のOUTピンもしくは下流のDC/DCコンバータの出力に補助DC電源をダイオードと共に配置して、LTC9111の機能をバイパスすることも可能です。この場合には、補助電源が突入電流の対応をすることになります。

フォルト保護

PD過負荷条件

PDの電流過負荷条件では、IEEE 802.3cgの要求に従ってPSEがポート電流を制限し、PDの入力電圧が降下することが想定されます。PDの入力電圧がV_{OFF}の閾値を下回ると、LTC9111はGATEピンをOUTピンに引き下げて外付けMOSFETを無効化し、この過負荷をケーブルから切り離します。

PD入力の短絡

PDの入力が電源投入後に短絡されると、ハイサイド極性補正ダイオードの作用でPDのバルク・コンデンサが電力結合磁気を介して逆流を受けるのを防ぎ、LTC9111を保護します。TVSダイオードのような電圧クランプが、PHYの結合コンデンサや磁気を保護するために必要になる場合があります。

PDの負荷ダンプ

アプリケーションで大きな負荷の低下（例えばPD電流が大きな値から急にゼロに下がる場合）が発生すると、電力結合ネットワークのインダクタの放電によってLTC9111の入力電圧がオーバーシュートする可能性があります。LTC9111はこのようなトランジェントに対応するため、100Vの大トランジェント電圧対応能力を備えています。

システム中の他の要素がトランジェント状態に対応するマージンを備えていない場合は、追加のバルク・コンデンサを配置すれば、充電されたインダクタのエネルギーを消費し、アプリケーション回路で発生する電圧ストレスを制限できます。

PDの切断

規格準拠のPDがPSEから切断される場合、802.3cg規格ではコネクタで逆流し得るエネルギーの上限を規定しています。推奨アプリケーション回路では、ハイサイドの整流ダイオードがPDのバルク・コンデンサをコネクタから分離しており、この規格への適合が確保されます。

PDの電圧源への接続

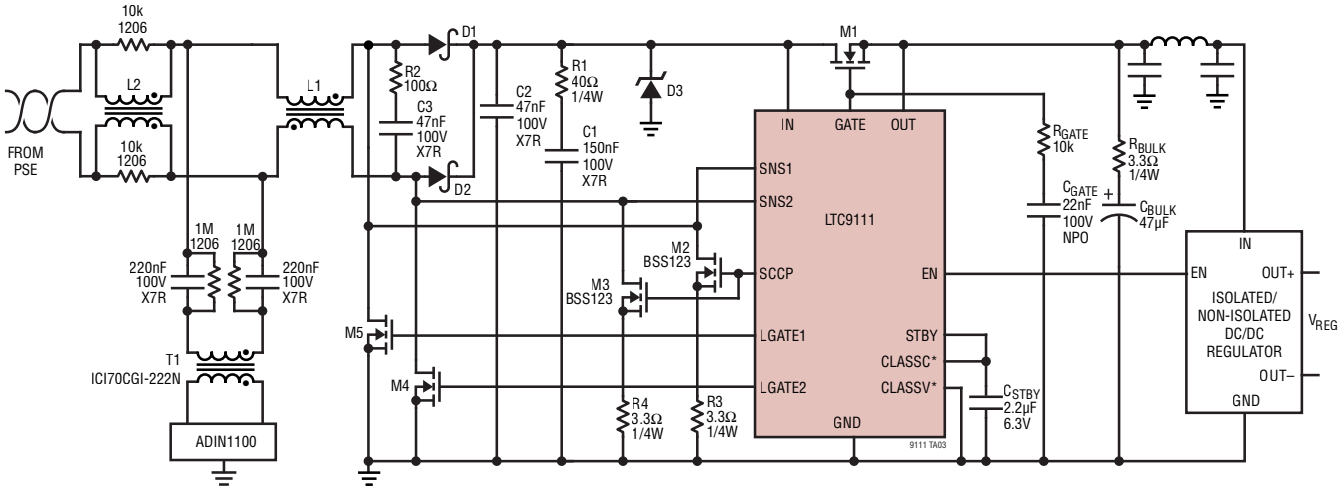
LTC9111は分類を行う802.3cg準拠のPSEとの組合せで使用するよう設計されています。PDが直接補助電源から電力供給を受ける場合、設定されたクラスのV_{ON}を超える電圧がアプリケーションで供給されていれば、状態はMDI_POWER2状態に進み、動作を開始します。LTC9111には電流制限やサーキット・ブレーカの機能は備わっていないことに注意してください。

24Vクラスの過電圧保護

LTC9111がクラス10～12（すなわちCLASSVピンがロー）に設定されている場合、過電圧保護機能が作用して、アプリケーション中の下流の部品が過度の電圧を受けないよう保護します。入力電圧がV_{OV}（最高40V）を超えると、外付けホット・スワップMOSFETのゲートはポート状態に関わらず遮断されます。

標準的応用例

クラス 10～14 対応の回路



*CLASSC/CLASSV TO BE CONFIGURED AS STATED IN TABLE 3.

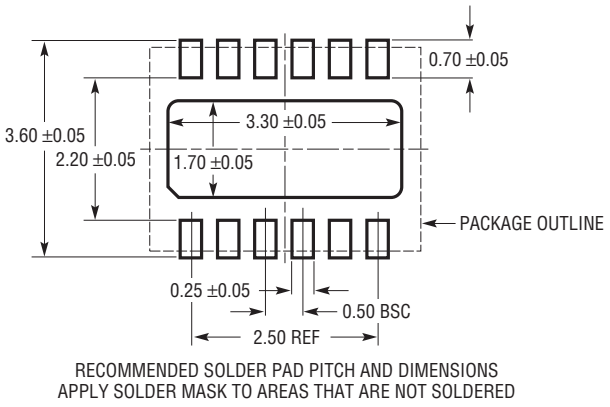
PARTS SUITABLE FOR ALL CLASSES
INPUT BRIDGE RECTIFIER HIGH SIDE DIODES (D1, D2): NEXPERIA, PMEG10020AELRX
INPUT BRIDGE RECTIFIER LOW SIDE FETS (M4, M5): NEXPERIA, BUK9M120-100EX OR DUAL FET: NEXPERIA, BUK9K134-100EX
SCCP PULLDOWN FETS (M2, M3): ONSEMI, BSS123LT1G
INPUT TVS (D3): NEXPERIA, PTVS58VP1UTP
PD HOT SWAP FET (M1): NEXPERIA, PSMN075-100MSEX

表 3. IEEE 802.3cg の各クラスに対する推奨部品

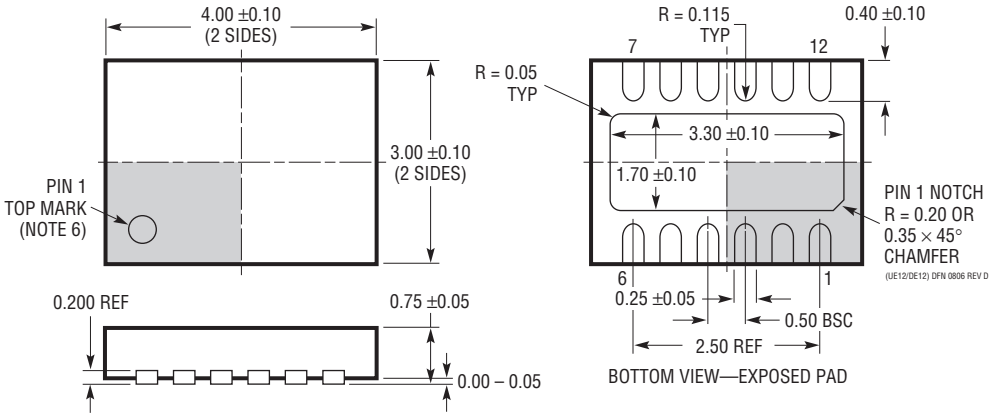
IEEE 802.3cg PSE CLASS	SPoE INDUCTOR (L1)	POWER + DATA CMC (L2)	OUTPUT BULK CAPACITOR (C_{BULK})	CLASSV	CLASSC
CLASS 10	MSD7342-683 PID75-650M	DR334A-474BE B82793C0474N215	47µF, 50V	GND	GND
CLASS 11					FLOAT
CLASS 12	MSD1048H-683 PID100-650M	SRF0905A-471Y RCM70CGI-471N			STBY
CLASS 13	MSD7342-683 PID75-650M	DR334A-474BE B82793C0474N215	47µF, 100V	STBY	GND
CLASS 14	MSD1048H-683 PID100-650M	SRF0905A-471Y RCM70CGI-471N			FLOAT

パッケージの説明

DE/UE Package
12-Lead Plastic DFN (4mm × 3mm)
(Reference LTC DWG # 05-08-1695 Rev D)



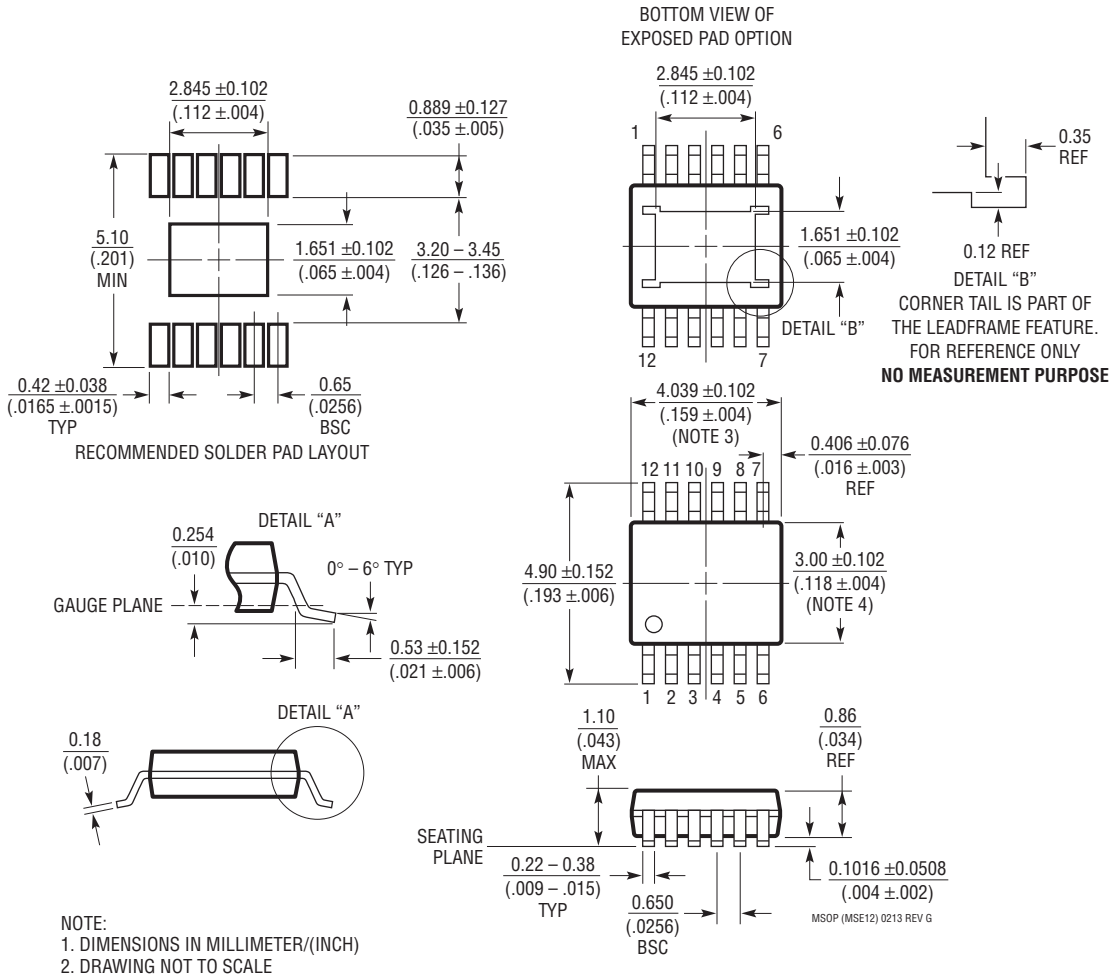
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



NOTE:
1. DRAWING PROPOSED TO BE A VARIATION OF VERSION
   (WGED) IN JEDEC PACKAGE OUTLINE M0-229
2. DRAWING NOT TO SCALE
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE
   MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
5. EXPOSED PAD SHALL BE SOLDER PLATED
6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION
   ON THE TOP AND BOTTOM OF PACKAGE

パッケージの説明

MSE Package
12-Lead Plastic MSOP, Exposed Die Pad
(Reference LTC DWG # 05-08-1666 Rev G)

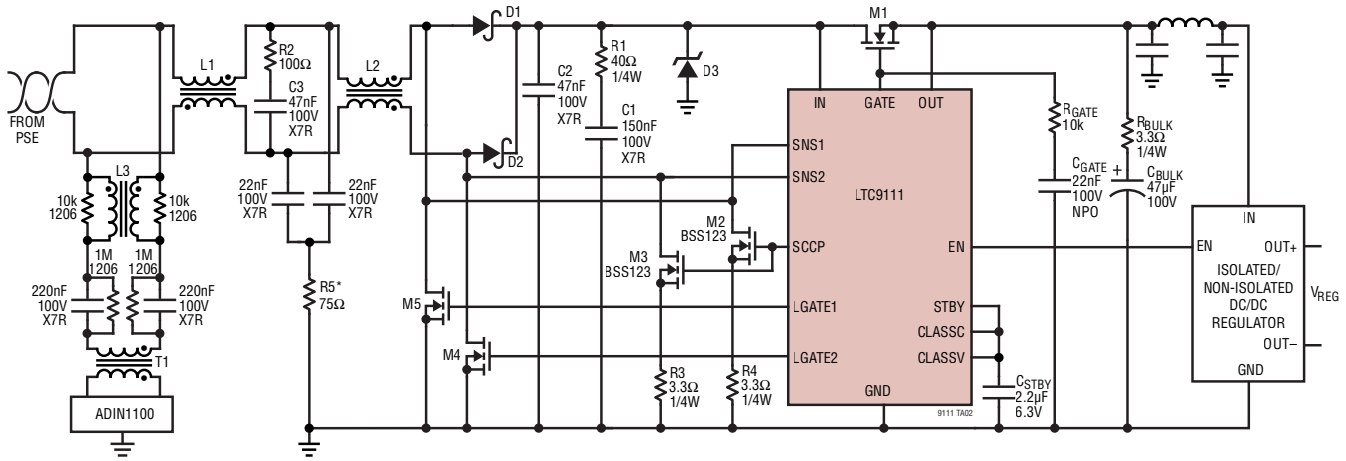


NOTE:
1. DIMENSIONS IN MILLIMETER/(INCH)
2. DRAWING NOT TO SCALE
3. DIMENSION DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
   MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.152mm (.006") PER SIDE
4. DIMENSION DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSIONS.
   INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.152mm (.006") PER SIDE
5. LEAD COPLANARITY (BOTTOM OF LEADS AFTER FORMING) SHALL BE 0.102mm (.004") MAX
6. EXPOSED PAD DIMENSION DOES INCLUDE MOLD FLASH. MOLD FLASH ON E-PAD SHALL
   NOT EXCEED 0.254mm (.010") PER SIDE.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることに万全を期していますが、その利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。

標準的応用例

クラス 15 対応の回路：55V、52W



*R5 VALUE DEPENDS ON COMMON MODE IMPEDANCE OF CABLE.

SPoE DIFFERENTIAL INDUCTOR (L1):
TDK, PID120H-560M
COILCRAFT, MSD1278H-563

SPoE COMMON MODE CHOKE (L2):
BOURNS, SRF1306-600Y

DATA COMMON MODE CHOKE (L3):
BOURNS, DR334A-475ME
TDK, B82793C0475N265

DATA TRANSFORMER (T1):
TDK, ICI70CGI-222N

INPUT BRIDGE RECTIFIER HIGH SIDE DIODES (D1, D2):
NEXPERIA, PMEG10020AELRX

INPUT BRIDGE RECTIFIER LOW SIDE FETS (M4, M5):
NEXPERIA, BUK9M120-100EX
DUAL FET: NEXPERIA, BUK9K134-100EX

SCCP PULLDOWN FETS (M2, M3):
ONSEMI, BSS123LT1G

INPUT TVS (D3):
NEXPERIA, PTVS58VP1UTP

PD HOT SWAP FET (M1):
NEXPERIA, PSMN075-100MSEX

関連製品

製品番号	概要	注釈
LTC4296-1	IEEE 802.3cg SPoE 5 ポート PSE コントローラ	トランスによる絶縁、IEEE 802.3bt タイプ 3 およびタイプ 4 に完全準拠、IEEE 802.3af、IEEE 802.3at、IEEE 802.3bt の PD をサポート
ADIN1100	IEEE 802.3cg 10Base-T1L イーサネット PHY	低消費電力、シングル・ポート・トランシーバー、IEEE 802.3cg-2019 規定のロング・リーチ SPE 対応イーサネット規格に準拠
ADIN2111	10Base-T1L PHY 搭載、低複雑性の 2 ポート・イーサネット・スイッチ	低消費電力、低複雑性、2 個のイーサネット・ポートを備えたスイッチと 1 個の SPI ポート
ADIN1110	堅牢、低消費電力の産業用 10Base-T1L イーサネット MAC-PHY	超低消費電力、シングル・ポート・トランシーバー、IEEE 802.3cg-2019 規定のロング・リーチ SPE 対応イーサネット規格に準拠
LT8301	65V/1.2A のスイッチを内蔵したフォトカプラ不要の $42V_{IN}$ マイクロパワー絶縁型フライバック・コンバータ	低静止電流、フォトカプラ不要の、モノリシック・フライバック・コンバータ、5 ピン TSOT-23 パッケージ
LT8303	150V/450mA のスイッチを内蔵した $100V_{IN}$ マイクロパワー絶縁型フライバック・コンバータ	低静止電流、フォトカプラ不要のモノリシック・フライバック・コンバータ、5 ピン TSOT-23 パッケージ
LT8331	0.5A、140V スイッチを内蔵した低静止電流の昇圧／SEPIC／フライバック／反転コンバータ	V_{IN} = 4.5V～100V、$V_{OUT(MAX)}$ = 140V、I_Q = 6µA（Burst Mode® 動作）、MSOP-16（12）E パッケージ
LT8309	二次側同期整流器ドライバ	4.5V ≤ V_{CC} ≤ 40V、高速ターンオンとターンオフ、5 ピン TSOT-23 パッケージ
LT8607	42V、750mA、93% 効率、2.2MHz の同期整流式降圧 DC/DC コンバータ	V_{IN} = 3V～42V、$V_{OUT(MIN)}$ = 0.778V、I_Q = 6µA、I_{SD} < 1µA、MSOP-10E パッケージ
LT8619	静止電流が 6µA の 60V、1.2A 同期整流式モノリシック降圧レギュレータ	V_{IN} = 3V～60V、$V_{OUT(MIN)}$ = 3.3V、I_Q = 2.5µA、I_{SD} < 1µA、3mm × 3mm DFN-10、MSOP-16E パッケージ
LT8641	静止電流 2.5µA の 65V、3.5A 同期整流式降圧 Silent Switcher®	$V_{IN(MIN)}$ = 3V、$V_{IN(MAX)}$ = 65V、$V_{OUT(MIN)}$ = 0.81V、I_Q = 2.5µA、I_{SD} < 1µA、3mm × 4mm QFN-18

©ANALOG DEVICES, INC. 2022