

低入力電圧、高効率、デュアル2A 降圧 DC/DC μModule レギュレータ

特長

- 小型、表面実装、低背型 3mm×4mm×1.18mm LGA パッケージ
- 入力電圧範囲: 2.25V~3.6V
- DC 出力電流: 2A (デュアル)
- 全出力電圧レギュレーション: ±1.5%
- 電流モード制御、高速過渡応答
- 外部周波数同期
- 位相差 180°での動作
- パルス・スキップ・モード / Burst Mode® 動作 / 強制連続モードを選択可能
- パワーグッド・インジケータ
- 内部ソフトスタート
- 内部補償
- 過電圧保護、過電流保護、過熱保護

アプリケーション

- 通信機器、ネットワーク機器および産業用機器
- ポイントオブロード・レギュレーション
- FPGA、ASIC、コアの電源

概要

LTM®4691 は、全機能内蔵型のデュアル2A 出力スイッチング・モードDC/DC電源で、小型の3mm×4mm×1.18mm LGA パッケージに収容されています。スイッチング・コントローラ、パワー FET、インダクタ、および全ての周辺部品がパッケージに搭載されています。LTM4691は、2.25V~3.6Vの入力電圧範囲で動作し、2つの出力をサポートしています。0.5V~2.5Vのプログラマブルな出力電圧範囲は外付け抵抗で設定します。高効率設計により、出力ごとに最大2Aの連続電流を供給します。必要なのは入力と出力のバルク・コンデンサだけです。

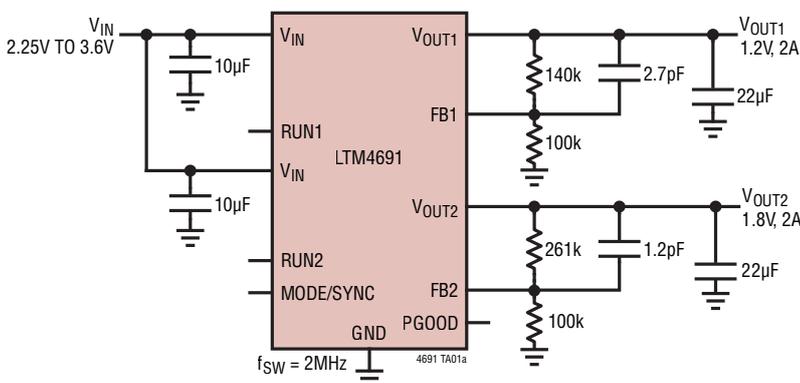
LTM4691 は、強制連続モードで動作して低ノイズを実現するか、パルス・スキップ・モードまたは Burst Mode で動作して軽負荷時の高効率を実現します。降圧スイッチング周波数の代表値は2MHzであり、1MHz~3MHzの範囲で同期できます。その高いスイッチング周波数と電流モード・アーキテクチャにより、安定性を損なうことなく入力および負荷の変動に対する極めて高速な過渡応答が可能です。

その他の機能には、高精度のRUNピン閾値、PGOOD信号、出力過電圧保護、サーマル・シャットダウン、出力短絡保護などがあります。LTM4691は鉛フリー仕上げでRoHSに準拠しています。

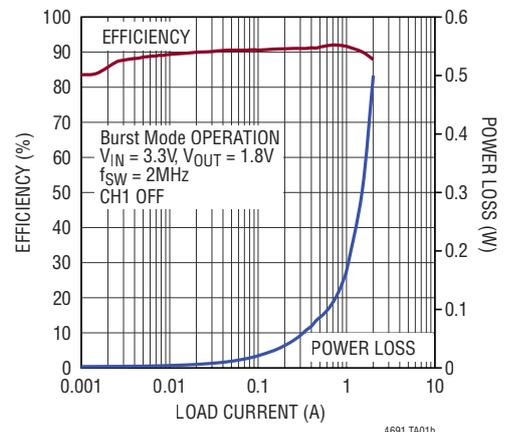
全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

標準的応用例

デュアル2A DC/DC μModule レギュレータ



効率と負荷電流



目次

特長	1
アプリケーション	1
標準的応用例	1
概要	1
絶対最大定格.....	3
発注情報.....	3
電気的特性.....	3
ピン配置.....	3
代表的な性能特性	5
ピン機能.....	7
ブロック図	8
デカップリング条件.....	8
動作	9
アプリケーション情報.....	10
V_{IN} から V_{OUT} への降圧比.....	10
出力電圧のプログラミング	10
入力デカップリング・コンデンサ.....	10
出力デカップリング・コンデンサ	10
モード選択	10
動作周波数と外部同期	11
パワーグッド	11
出力過電圧保護.....	11
出力電圧のソフトスタート	12
ドロップアウト動作	12
出力短絡保護と回復	12
負荷分担	12
高精度 RUN 閾値の使用	12
熱に関する検討事項と出力電流のディレーティング	13
安全性に関する検討事項.....	16
レイアウトのチェックリスト/例	16
アプリケーション情報.....	17
標準的応用例.....	18
ピン配置の表	20
LTM4691 の構成要素の LGA ピン配列.....	20
パッケージ.....	21
パッケージの写真.....	22
関連製品.....	22

絶対最大定格

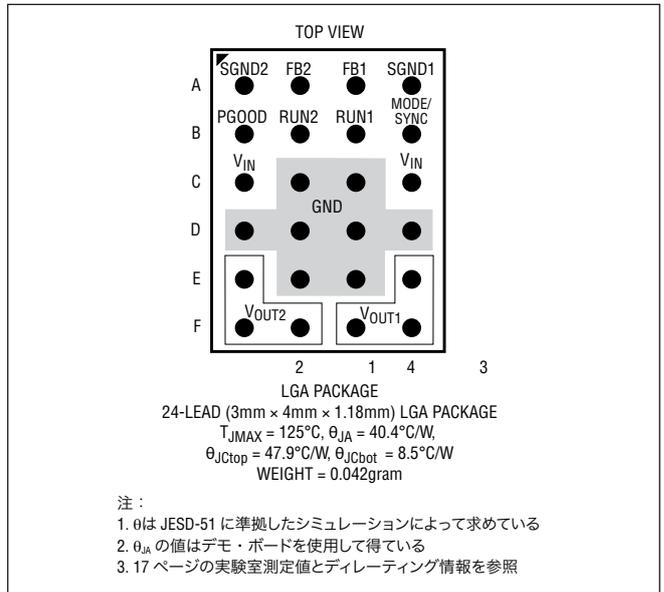
(Note 1)

V_{IN} -0.3V~4V
 V_{OUT1}、V_{OUT2}..... -0.3V~2.5V
 PGOOD、RUN1、RUN2、MODE/SYNC、FB1、FB2..... -0.3V~4V
 動作ジャンクション温度

(Note 2) -40°C~125°C
 保存温度範囲..... -55°C~125°C
 ハンダ・リフローのピーク・ボディ温度 260°C

ピン配置

(ピン機能、ピン配置の表を参照)



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング*		パッケージ・タイプ	MSL 定格	温度範囲 (Note 2 参照)
		デバイス	仕上げコード			
LTM4691EV#PBF	Au (RoHS)	4691V	e4	LGA	3.	-40°C to 125°C
LTM4691IV#PBF	Au (RoHS)	4691V				-40°C to 125°C

- 更に広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。
- 推奨されるLGA/BGAのPCBアセンブリおよび製造方法
- BGAパッケージおよびトレイの図面

電気的特性 ●は全動作温度範囲での規格値を意味する。それ以外はT_A = 25°C (Note 2)での値。
 V_{IN} = 3.3V、標準的応用例の構成による。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V _{IN}	Input DC Voltage		● 2.25		3.6	V
V _{OUT1,2} (RANGE)	Output Voltage Range	V _{IN} = 2.25V to 3.6V	● 0.5		2.5	V
V _{OUT1,2} (DC)	Output Voltage, Total Variation with Line and Load	MODE/SYNC = Float V _{IN} = 2.5V to 3.6V I _{OUT} = 0A to 2A, V _{IN} = 2.5V	● 1.477	1.50	1.523	V
V _{IN_UVLO}	V _{IN} Undervoltage Lockout	V _{IN} Rising	2.05	2.15	2.25	V
V _{IN_UVLO_HYS}	V _{IN} Undervoltage Lockout Hysteresis			150		mV
V _{RUN1,2}	RUN Pin On-Threshold	V _{RUN} Rising	0.375	0.4	0.425	V
V _{RUN1HYS} /V _{RUN2HYS}	RUN Pin Hysteresis			50		mV

電気的特性 ●は仕様規定されている動作温度範囲での規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ (Note 2) での値。
 $V_{IN} = 3.3\text{V}$ 、標準的応用例の構成による。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$I_{\text{RUN}1,2}$	RUN Pin Leakage Current	RUN = 3.6V			±100	nA	
I_{IN} Quiescent Current in Shutdown		$V_{IN} = 3.6\text{V}$, RUN = 0V		1.5		μA	
$I_{\text{Q(VIN)}}$ with Both Bucks Enabled	Input Supply Bias Current	$V_{\text{OUT}} = 1.5\text{V}$, MODE/SYNC = V_{IN} MODE/SYNC = GND MODE/SYNC = FLOAT		85 2.6 32		μA mA mA	
$I_{\text{OUT}1,2(\text{DC})}$	Output Continuous Current Range	$V_{\text{OUT}} = 1.5\text{V}$ (Note 4)	0		2	A	
$\Delta V_{\text{OUT}1(\text{LINE})}/V_{\text{OUT}1}$ $\Delta V_{\text{OUT}2(\text{LINE})}/V_{\text{OUT}2}$	Line Regulation Accuracy	$V_{\text{OUT}} = 1.5\text{V}$, $V_{\text{IN}} = 2.25\text{V}$ to 3.6V , $I_{\text{OUT}} = 0\text{A}$	●	0.001	0.5	%/V	
$\Delta V_{\text{OUT}1(\text{LOAD})}/V_{\text{OUT}1}$ $\Delta V_{\text{OUT}2(\text{LOAD})}/V_{\text{OUT}2}$	Load Regulation Accuracy	$V_{\text{OUT}} = 1.5\text{V}$, $I_{\text{OUT}} = 0\text{A}$ to 2A $V_{\text{IN}} = 2.5\text{V}$	●	0.2	1.5	%	
$V_{\text{OUT}1,2(\text{AC})}$	Output Ripple Voltage	$I_{\text{OUT}} = 0\text{A}$, $C_{\text{OUT}} = 22\mu\text{F}$ Ceramic $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$		5.5		mV	
$\Delta V_{\text{OUT}(\text{START})}$ (Each Channel)	Turn-On Overshoot	$I_{\text{OUT}} = 0\text{A}$, $C_{\text{OUT}} = 22\mu\text{F}$ Ceramic $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$		12		mV	
t_{START} (Each Channel)	Turn-On Time	$C_{\text{OUT}} = 22\mu\text{F}$ Ceramic, No Load, $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$ (Note 4)		1		ms	
ΔV_{OUTLS} (Each Channel)	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{\text{OUT}} = 100\mu\text{F}$ Ceramic, $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$		55		mV	
t_{SETTLE} (Each Channel)	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load $C_{\text{OUT}} = 100\mu\text{F}$ Ceramic, $V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$		25		μs	
$I_{\text{OUT}1\text{PK}}$, $I_{\text{OUT}2\text{PK}}$	Output Current Limit	($V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 1.5\text{V}$)		2.8		A	
$V_{\text{FB}1,2}$	Voltage at FB Pin	$I_{\text{OUT}} = 0\text{A}$, $V_{\text{OUT}} = 1.5\text{V}$	●	0.495	0.50	0.505	V
$I_{\text{FB}1,2}$	Current at FB Pin				±20	nA	
PGOOD Threshold/HYS	PGOOD Rising Threshold PGOOD Hysteresis Overvoltage Rising Threshold Overvoltage Hysteresis	As a Percentage of the Regulated V_{FB}		2.5 1.1 10 2	3.5 % 14 %	% % % %	
I_{PGOOD}	Internal PGOOD Leakage	$V_{\text{PGOOD}} = 3.6\text{V}$			±100	nA	
f_{OSC}	Oscillator Frequency			2		MHz	
MODE/SYNC Threshold	Programming Pulse-Skipping Mode Programming Burst Mode Operation		● ●		0.1 $V_{\text{IN}} - 0.1$	V V	
SYNC_RANGE	SYNC Frequency Range			1	3	MHz	
SYNC_LEVEL	Clock Level High on SYNC Clock Level Low on SYNC			1.2	0.4	V V	

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: LTM4691は T_J が T_A にほぼ等しいパルス負荷条件でテストされる。LTM4691Eは、 0°C ~ 125°C の内部動作温度範囲で性能仕様に適合することが確認されている。 -40°C ~ 125°C の全内部動作温度範囲での仕様は設計、特性評価および統計学的なプロセス・コントロール

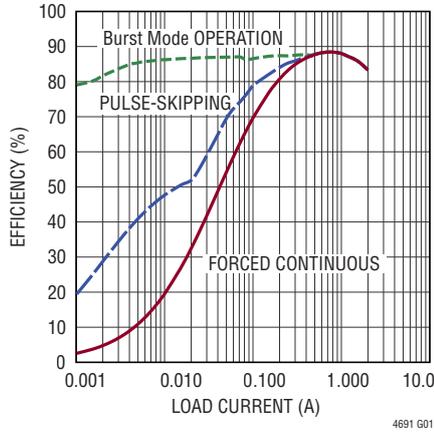
との相関で確認されている。LTM4691は -40°C ~ 125°C の全内部動作温度範囲で仕様に適合することが確認されている。これらの仕様を満たす最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗および他の環境要因と関連した特定の動作条件によって決まることに注意。

Note 3: 異なる V_{IN} 、 V_{OUT} 、および T_A については出力電流のデレーティング曲線を参照。

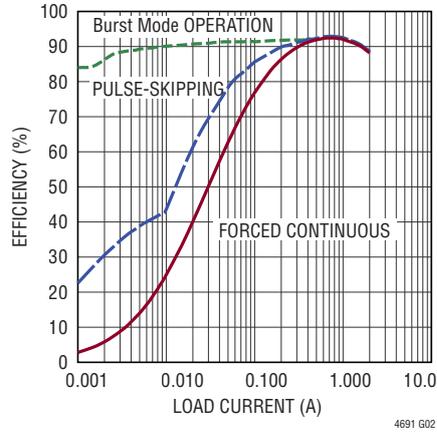
Note 4: 設計により性能を確保している。

代表的な性能特性

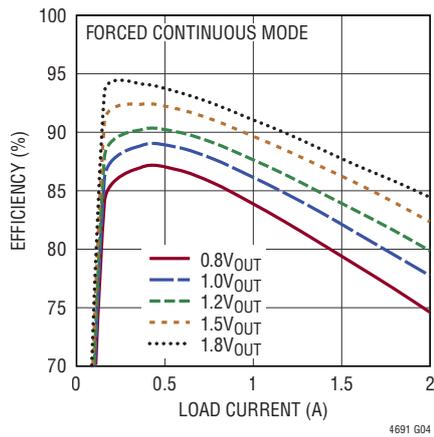
種々の動作モードでの効率と
負荷電流
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$



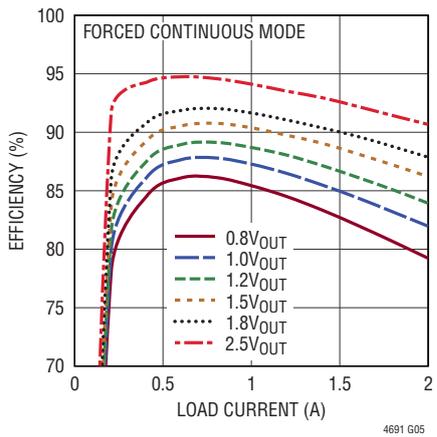
種々の動作モードでの効率と負荷
 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.8V$



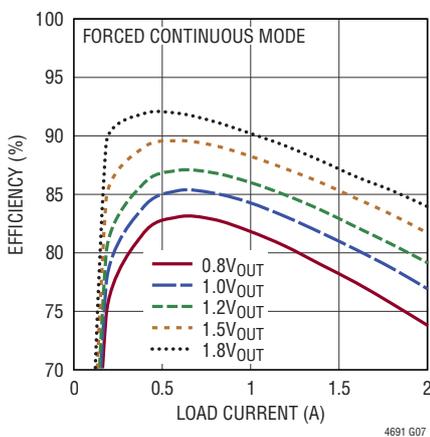
2.25V 入力での効率と負荷電流、
チャンネル2がオフ



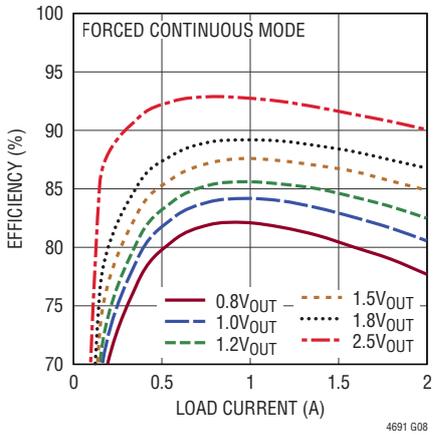
3.3V 入力での効率と負荷電流、
チャンネル2がオフ



2.25V 入力での効率と負荷電流、
両方のチャンネルがオン

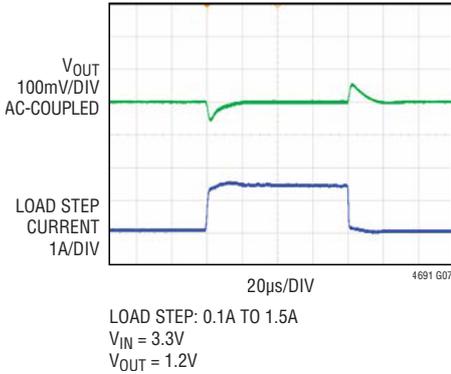


3.3V 入力での効率と負荷電流、
両方のチャンネルがオン

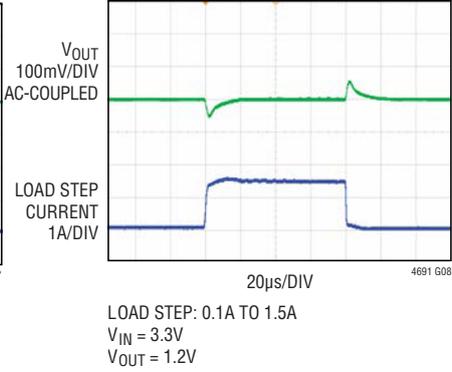


代表的な性能特性

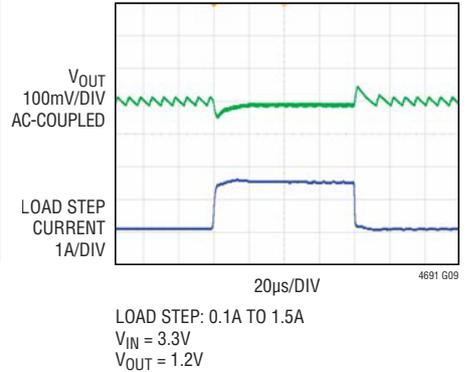
過渡応答、パルス・スキップ・モード



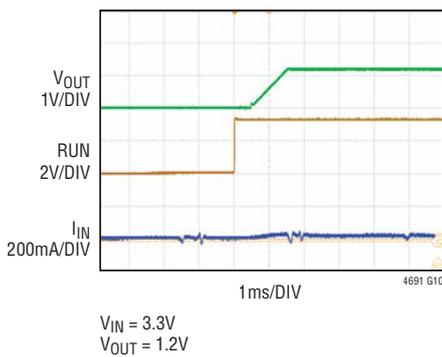
過渡応答、強制連続モード



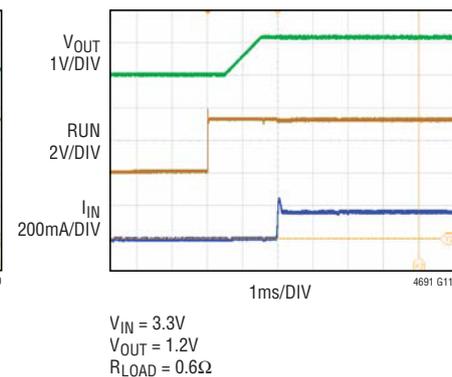
過渡応答、Burst Mode動作



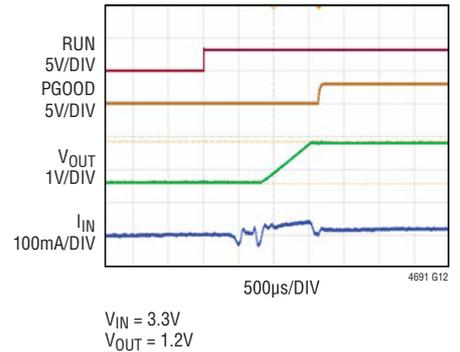
起動時過渡応答、無負荷



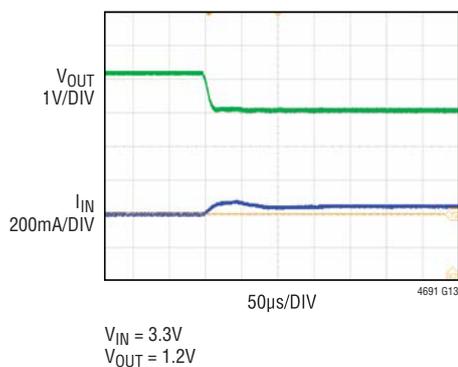
起動時過渡応答、最大負荷



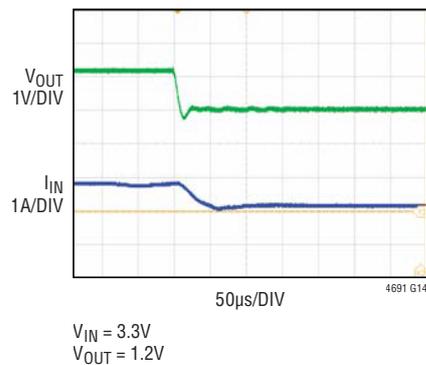
プリバイアス出力がある場合の起動



短絡、無負荷



短絡、最大負荷



ピン機能



パッケージの行と列のラベルはμModule製品間で異なります。各パッケージのレイアウトをよく確認してください。

V_{IN} (C4, C1) : 電源入力ピン。2つのV_{IN}ピンは内部で接続されており、短絡する必要があります。各V_{IN}には、専用の入力バイパス・コンデンサが必要です。入力デカップリング・コンデンサはこのピンのできるだけ近くに配置することを推奨します。

V_{OUT1} (E4, F3, F4)、V_{OUT2} (E1, F1, F2) : 各スイッチング・モード・レギュレータの電源出力ピン。これらのピンとGNDピンの間に出力負荷を接続します。出力デカップリング・コンデンサはこれらのピンとGNDピンの間に直接配置することを推奨します。

GND (C2, C3, D1, D2, D3, D4, E2, E3) : 入力帰路と出力帰路の両方の電源グラウンド・ピン。

SGND1 (A4)、SGND2 (A1) : 信号グラウンド接続

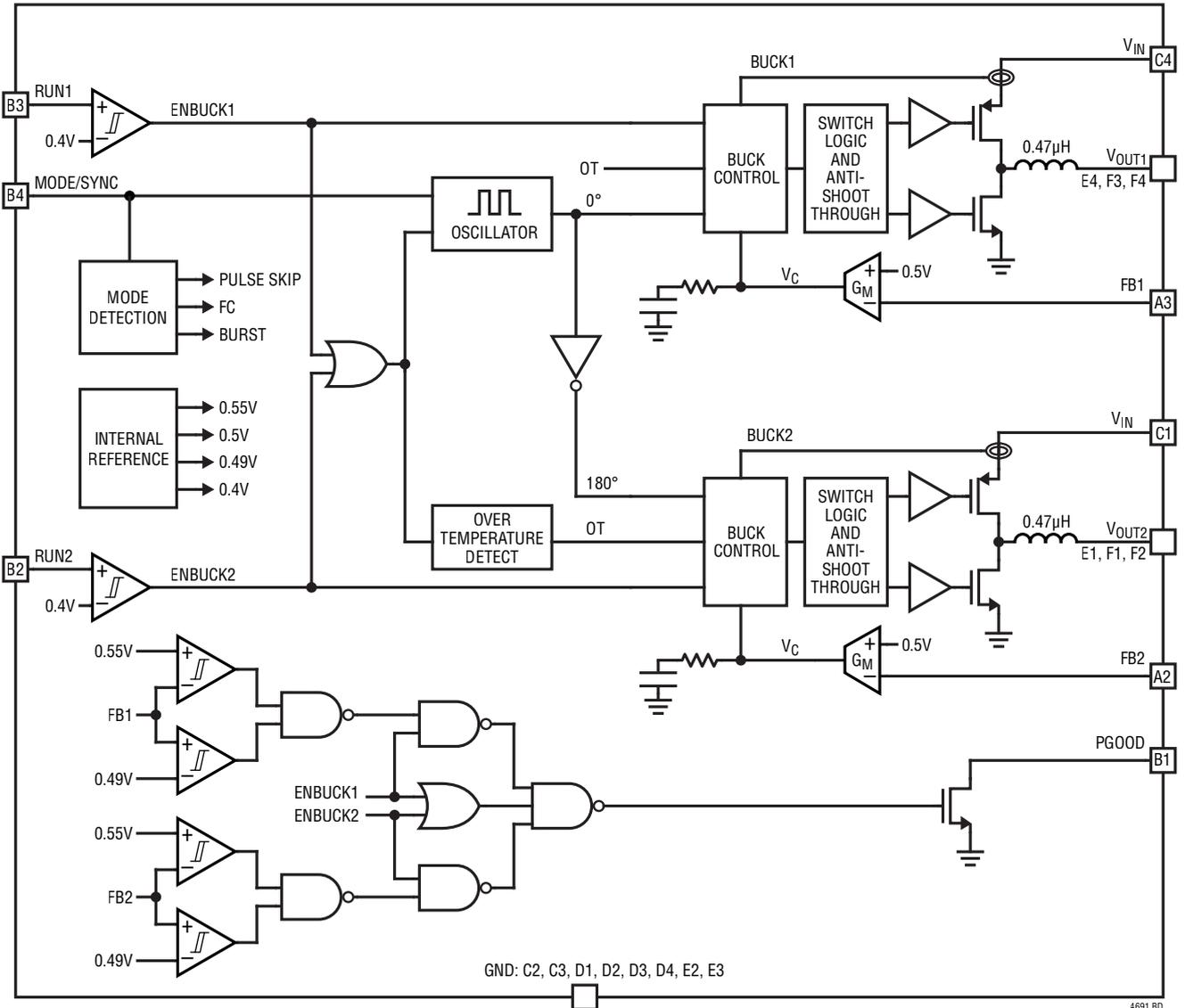
PGOOD (B1) : パワーグッド出力。オープンドレイン出力。どちらかのスイッチング・レギュレータの安定化出力電圧がPGOOD閾値を下回るか、過電圧閾値を上回ると、このピンはローになります。

RUN1 (B3)、RUN2 (B2) : スwitching・モード・レギュレータの各チャンネルの動作制御入力。このピンは高精度閾値を備えており、V_{IN}または他の電源からオプションの外付け抵抗分圧器を接続して、各チャンネルをイネーブルにする閾値を設定できます。高精度の閾値が必要ない場合は、RUN1、RUN2をV_{IN}まで引き上げてイネーブルします。フロート状態にはしないでください。

FB1 (A3)、FB2 (A2) : スwitching・モード・レギュレータ・チャンネルのエラーアンプの負入力。LTM4691はFBとSGNDの間の電圧を500mVに安定化します。V_{OUT}に接続する抵抗分圧器によって出力電圧を設定します。

MODE/SYNC (B4) : モードの選択および外部クロックの同期入力。このピンを接地すると、パルス・スキップ・モードになります。軽負荷時の効率を上げるには、このピンにV_{IN}を接続してBurst Modeをイネーブルします。広い負荷範囲で高速過渡応答と固定周波数動作を実現するには、このピンをフロート状態にして強制連続モードにします。MODE/SYNCピンを外部クロックで駆動すると、両方の降圧コンバータが印加された周波数に同期します。同期中の動作モードは強制連続モードです。スロープ補償は外部クロック周波数に自動的に適合します。外部クロックがない場合、両方の降圧コンバータはデフォルトのスイッチング周波数でスイッチします。

ブロック図



デカップリング条件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN}	External Input Capacitor Requirement ($V_{IN} = 2.25V$ to $3.6V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 2A$ (Each Channel)	10 (For Each Channel)			μF
$C_{OUT1,2}$	External Output Capacitor Requirement ($V_{IN} = 2.25V$ to $3.6V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 2A$	22			μF

動作

LTM4691はデュアル独立型非絶縁スイッチング・モードDC/DC電源です。各チャンネルは、数個の入力コンデンサと出力コンデンサを外付けすることで、最大2AのDC出力電流を供給できます。このモジュールは、2.5V～3.6Vの入力電圧範囲にわたって、外付け抵抗分圧器によって0.5V～3.6Vの範囲でプログラマブルな高精度の安定化出力電圧を供給します。標準的応用例の回路図を1ページに示します。

LTM4691は、2つの定周波ピーク電流モード・レギュレータ、パワーMOSFET、インダクタ、その他のディスクリット周辺部品を内蔵しています。LTM4691のスイッチング周波数は2MHz（代表値）であり、1MHz～3MHzの外部クロックに同期することができます。[アプリケーション情報](#)のセクションを参照してください。

電流モード制御と内部帰還ループ補償により、LTM4691モジュールは、最小の出力コンデンサで十分に余裕のある安定性と良好なトランジェント性能を達成します。電流モード制御により、各サイクルごとに高速電流制限が行われます。過電流状態では、ピーク電流制限が作動します。各降圧スイッチング・レギュレータには固有の内部PGOOD信号があります。イネーブルされているいずれかの降圧スイッチング・レギュレータの内部PGOOD信号が120 μ sより長くローのままである場合、PGOODピンはローになり、マイクロプロセッサに電源障害の発生が通知されます。

RUNピンの閾値は高精度の400mVであり、50mVのヒステリシスがあります。これを使用すると、RUNピンを別の降圧レギュレータの出力に抵抗分圧器を介して接続することで、イベントベースのパワーアップ・シーケンスを実現できます。一方の降圧レギュレータのRUNピンがローになると、この降圧レギュレータはシャットダウンして、低静止電流状態になります。両方のRUNピンがローになると、両方の降圧レギュレータがシャットダウンして、SWピンは高インピーダンスになり、LTM4691の静止電流は1 μ Aより少なくなります。どちらかのピンが400mVのイネーブル閾値より高くなると、該当する降圧レギュレータがイネーブルします。

全ての降圧レギュレータは、順方向および逆方向の電流制限回路、起動時の突入電流を制限するためのソフトスタート回路、短絡保護回路を内蔵しています。両方の降圧レギュレータがディスエーブルされてからどちらかの降圧レギュレータがイネーブルされると、内部回路が起動する間に400 μ s（代表値）の遅延が発生し、その後100 μ s（代表値）の非起動時間が経過してからスイッチングが始まり、ソフトスタート・ランプが開始されます。2番目の降圧レギュレータがイネーブルされると、更に100 μ s（代表値）の非起動時間が発生します。2番目の降圧レギュレータが、1番目の降圧レギュレータのイネーブル後400 μ s以内にイネーブルされると、400 μ sが経過するまで待機してから非起動時間が始まります。

降圧スイッチング・レギュレータは互いに180°位相がずれています。この位相により、内部の上側PMOSがオンするスイッチング・シーケンスの固定エッジが決まります。PMOSがオフする(NMOSがオンする)位相は、降圧レギュレータによって要求されるデューティ・サイクルで決まります。

アプリケーション情報

LTM4691の代表的なアプリケーション回路を1ページに示します。外部部品の選択は主に、入力電圧、出力電圧、および最大負荷電流で決まります。個々のアプリケーションに対する外付けコンデンサの具体的な条件については、表4を参照してください。

V_{IN}からV_{OUT}への降圧比

レギュレータには最小オン時間の制限があるので、所定の入力電圧で実現可能なV_{OUT}の最小降圧比には制約があります。

最小オン時間の制限によってコンバータの最小デューティ・サイクルが決まり、その値は式1を使用して計算できます。

$$D_{\text{MIN}} = t_{\text{ON(MIN)}} \cdot f_{\text{SW}} \quad (1)$$

ここで、t_{ON(MIN)}は最小オン時間であり、LTM4691の代表値は35nsです。最小デューティ・サイクルを超える稀なケースでは、出力電圧はレギュレーション状態に留まりますが、スイッチング周波数は設定値より減少します。

LTM4691にはV_{OUT}の最大降圧比の制限はありません。デューティ・サイクル100%の低ドロップアウトで動作する場合、LTM4691の出力電圧は最大でも2.5Vです。

出力電圧のプログラミング

PWMコントローラには0.5Vの内部リファレンス電圧があります。V_{OUT}のリモート検出点からFBピンまでの間と、FBピンからSGNDピンまでの間に抵抗分圧器を追加すると、式2に示すように出力電圧をプログラムできます。

$$V_{\text{OUT}} = 0.5\text{V} \cdot \frac{R_{\text{TOP}} + R_{\text{BOT}}}{R_{\text{BOT}}} \quad (2)$$

出力電圧の精度を保つため、誤差1%の抵抗を推奨します。降圧レギュレータの過渡応答は、帰還抵抗とFBピンの入力容量によって形成されるポールの打ち消しに役立つオプションの位相進みコンデンサC_{FF}を使って改善することができます(図1)。

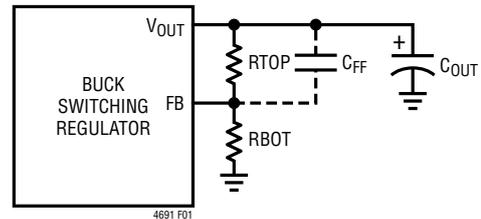


図1. 帰還部品

入力デカップリング・コンデンサ

LTM4691モジュールは低ACインピーダンスのDC電源に接続する必要があります。このレギュレータでは、RMSリップル電流のデカップリングのため、それぞれのV_{IN}ピンの近くに10μFの入力セラミック・コンデンサを1つずつ配置することを推奨します。バルク入力コンデンサは、長い誘導性のリードやパターン、または電源の容量不足によって入力ソース・インピーダンスが損なわれる場合にのみ必要です。バルク・コンデンサは、アルミ電解コンデンサおよびポリマー・コンデンサでもかまいません。

インダクタの電流リップルを考慮しない場合、入力コンデンサのRMS電流は、式3に示すように概算できます。

$$I_{\text{CIN(RMS)}} = \frac{I_{\text{OUT(MAX)}}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで、η%は電源モジュールの推定効率です。

出力デカップリング・コンデンサ

LTM4691は高い周波数と広い帯域幅に合わせて設計が最適化されているので、22μFの低ESR出力セラミック・コンデンサを1つ取り付けるだけで、低出力電圧リップルと非常に良好な過渡応答を実現できます。出力リップルや動的トランジェント・スパイクを更に低減するために、システム設計者による出力フィルタの追加が必要になる場合があります。500mA(25%)の負荷ステップ・トランジェント発生時の電圧低下やオーバーシュートを最小限に抑えるための様々な出力電圧と出力コンデンサの一覧を表4に示します。

モード選択

降圧スイッチング・レギュレータは、MODE/SYNCピンを設定することにより、次の3種類のモードで動作できます。それは、パルス・スキップ・モード(MODE/SYNCピンをローに設定した場合)、強制連続PWMモード(MODE/SYNCピンをフロート状態にした場合)、Burst Mode動作(MODE/SYNC

アプリケーション情報

ピンをハイに設定した場合)です。MODE/SYNCピンにより、両方の降圧スイッチング・レギュレータの動作モードが設定されます。

パルス・スキップ・モードでは、発振器が常に動作し、スイッチング波形の正の遷移がクロックに揃えられます。負のインダクタ電流が流れることはできず、軽負荷時のスイッチ・パルスがスキップされて出力が安定化されます。

強制連続モードでは、発振器が常に動作します。レギュレーションを維持するため、軽負荷状態でインダクタ電流を反転できます。このモードでは、出力リップルを最低限に抑え、固定周波数で降圧レギュレータを動作できます。

Burst Mode動作では、軽負荷状態で、出力コンデンサがレギュレーション・ポイントよりもわずかに高い電圧に充電されます。次にレギュレータがスリープ状態になり、この間は出力コンデンサが負荷電流を供給します。スリープ状態では、レギュレータの回路の大半がパワー・ダウンするので、入力電力の節約に役立ちます。出力電圧が設定された値を下回ると、回路がオンされて新しいバースト・サイクルが開始します。負荷電流が大きくなると、スリープ時間が短くなります。Burst Mode動作では、軽負荷状態ではレギュレータはバーストし、負荷が高い状態では固定周波数PWMモードで動作します。

動作周波数と外部同期

LTM4691の動作周波数は、小型パッケージ・サイズと最小出力リップル電圧を達成し、なおかつ高い効率を維持するように最適化されています。デフォルトの周波数は内部で2MHzに設定されています。2MHz以外の動作周波数が必要な場合は、1MHz～3MHzの外部クロックに同期させることができます。

LTM4691の内部発振器は、方形波のクロック信号をMODE/SYNCピンに入力することにより、内部のPLL回路を通じて外部周波数に同期します。外部クロックをSYNCピンで検出すると、内部PLLはデフォルトの周波数で起動し、その後、その動作周波数を徐々に調整して、SYNC信号の周波数と一致させます。同期中、降圧レギュレータ1のPMOSのターンオンは外部周波数発生源の立上がりエッジに固定されます。降圧レギュレータ2と降圧レギュレータ1の位相差は180°になります。同期中、降圧スイッチング・レギュレータは強制連続モードで動作します。

外部クロックが取り外されると、LTM4691は外部クロックがなくなったことを約10 μ s以内に検出します。この間、デバイスはクロック・サイクルを供給し続けます。外部クロックの取り外しが検出されると、発振器はその動作周波数を徐々に調整して、デフォルトの周波数に戻します。

パワーグッド

電源障害状態はPGOODピンを介して通知が返されます。両方の降圧スイッチング・レギュレータに内部パワー・グッド(PGOOD)信号が備わっており、どちらか一方がイネーブルされた場合、PGOODピンをハイにするにはその内部PGOOD信号がハイである必要があります。イネーブルされた降圧スイッチング・レギュレータの安定化出力電圧が設定値の98%より高くなると、PGOOD信号はハイに遷移します。その後、安定化出力電圧が設定値の97%より低くなると、PGOOD信号はローになります。イネーブルされているいずれかの降圧スイッチング・レギュレータの内部PGOOD信号が120 μ sより長くローのままである場合、PGOODピンはローになり、マイクロプロセッサに電源障害の発生が通知されます。この120 μ sのフィルタ時間により、負荷過渡応答時にPGOODピンがローにならないようにします。また、PGOODがハイに遷移するときは必ず120 μ sのアサーション遅延が発生します。

LTM4691は、過電圧状態の通知にもPGOODピンを使用します。イネーブルされたいずれかの降圧レギュレータの出力電圧が設定値の110%より高くなると、PGOODピンは120 μ s経過後にローになります。同様に、イネーブルされた両方の過電圧出力が、その後設定値の107.8%より低くなると、PGOODピンは120 μ s経過後にもう一度ハイに遷移します。

また、PGOODは以下の状況でもローになります。それは、いずれの降圧スイッチング・レギュレータもイネーブルされていない場合、 V_{IN} がUVLO閾値より低い場合、またはLTM4691が過熱状態になった場合です。

出力過電圧保護

出力が過電圧になっているときにFBピンの電圧が安定化された値の110%より高くなると、LTM4691のPMOSは即座にオフになります。

通常の動作条件では、出力が過電圧状態になることはありません。

アプリケーション情報

出力電圧のソフトスタート

出力のソフトスタートが必要なのは、入力電源での電流サージと出力電圧のオーバーシュートを防止するためです。

LTM4691はソフトスタート回路を内蔵しており、ソフトスタート中、出力電圧は内部電圧の上昇に比例して追従します。障害状態が発生した場合は、アクティブ・プルダウン回路が内部電圧を放電します。障害が解消されると、電圧の上昇が再開されます。ソフトスタート電圧の上昇をクリアする障害の条件は、RUNピンがローになった場合、 V_{IN} の電圧が低下しすぎた場合、またはサーマル・シャットダウンが発生した場合です。

ドロップアウト動作

入力電源電圧が出力電圧に近づくにつれて、デューティ・サイクルは100%近くまで高くなります。電源電圧が更に低下すると、PMOSがオンのままの状態が1サイクルを超え、最終的にはデューティ・サイクルが100%になります。すると、出力電圧は、内部のPMOSの両端とインダクタ両端のDC電圧降下を入力電圧から引いた値によって決まります。

出力短絡保護と回復

インダクタ電流のピーク・レベルは、電流コンパレータがPMOSをオフするときのレベルであり、エラー・アンプによって制御されます。出力電流が増加すると、平均インダクタ電流が負荷電流に一致するまで、エラーアンプは内部の V_C 電圧を高くします。LTM4691は内部の V_C 最大電圧をクランプするので、インダクタ電流のピーク値は制限されます。LTM4691を並列接続することはできません。 V_C ノードは内部にあってアクセスできないためです。

出力がグラウンドに短絡した場合、電圧の降下中はインダクタ両端間の電圧が小さいため、インダクタ電流は非常に緩やかに減衰します。インダクタ電流を制御された状態に維持するため、インダクタ電流の谷に2次的な制限がかかります。NMOSを通じて測定されるインダクタ電流がサイクル終了時点での I_{VALLEY} より高い場合、PMOSはオフに保持されます。その後のスイッチング・サイクルは、インダクタ電流が I_{VALLEY} より低くなるまでスキップされます。

負荷分担

LTM4691は、負荷を分担するようには設計されていません。

高精度RUN閾値の使用

LTM4691は各降圧レギュレータ用の高精度閾値のRUNピンを備えており、それぞれの降圧レギュレータをイネーブルまたはディスエーブルできます。両方のピンを強制的にローにすると、デバイスは低電流のシャットダウン・モードに入ります。

両方のRUNコンパレータの立上がり閾値は400mVで、50mVのヒステリシスがあります。シャットダウン機能を使用しない場合は、RUNピンを V_{IN} に接続してかまいません。抵抗分圧器を V_{IN} 、RUNピン、グラウンドの間に追加すると、LTM4691は、 V_{IN} が目的の電圧より高くなった場合にのみ出力を安定化するように設定されます。

通常、この閾値($V_{IN(RUN)}$)は、入力電源が電流制限されているか、または入力電源のソース抵抗が比較的高い状況で使用されます。スイッチング・レギュレータは入力電源からほぼ一定の電力を引き出すため、電源電圧が低下するにつれて、電源電流が増加します。この現象は電源からは負の抵抗負荷のように見えるため、電源電圧が低い状態では、電源が電流を制限するか、または低電圧にラッチする原因になることがあります。 $V_{IN(RUN)}$ 閾値は、問題が発生する恐れのある電源電圧でレギュレータが動作するのを防ぎます。図2に示すように、この閾値は、式4を満足するようにR1とR2の値を設定すれば調整できます。

$$V_{IN(RUN)} = 400\text{mV} \cdot \left(1 + \frac{R2}{R1}\right) \quad (4)$$

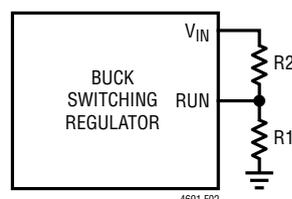


図2. RUNの分圧器

V_{IN} が $V_{IN(RUN)}$ を超えるまで降圧レギュレータはオフのままです。 V_{IN} が $0.875 \cdot V_{IN(RUN)}$ まで低下し、RUNが350mVになるまで、降圧レギュレータはイネーブルのままになります。

あるいは、一方の降圧レギュレータの出力、もう一方の降圧レギュレータのRUNピン、グラウンドの間の抵抗分圧器により、イベント・ベースのパワーアップ・シーケンスが得られ、最初の降圧レギュレータがレギュレーションに達すると2番目の降圧レギュレータがイネーブルされます。この場合、2番目の降圧レギュレータをイネーブルするための最初の降圧レギュレータの目的の出力電圧(例:安定値の90%)で、式4の $V_{IN(RUN)}$ を置き換えます。

アプリケーション情報

熱に関する検討事項と出力電流のディレーティング

熱による損傷を防ぐため、LTM4691は過熱(OT)検出機能を備えています。ジャンクション温度が約165°Cに達すると、2つのパワー・スイッチは両方ともオフし、温度が160°Cに下がるまでサーマル・シャットダウン状態のままです。

このデータシートのピン配置のセクションに記載されている熱抵抗はJESD51-12で定義されているパラメータと整合しており、有限要素解析(FEA)ソフトウェア・モデリング・ツールを併用することを想定しています。このツールは、熱モデリング、シミュレーションの他に、ハードウェア・テスト基板に実装した μ Module®パッケージで実行したハードウェア評価に対する相関の結果を活用します。これらの熱係数を示す意図は、JESD51-12(「Guidelines for Reporting and Using Electronic Package Thermal Information」)に記載されています。

多くの設計者は、様々な電気的および環境的動作条件で動作する実際のアプリケーションにおける μ Moduleレギュレータの熱性能を予測するのに、実験室の装置およびデモボードのようなテスト手段の使用を選択して、FEAの作業を補強できます。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載された熱抵抗は、それだけでは熱性能の目安を示すことになりません。むしろ、このデータシートに示されたディレーティング曲線を使った方が、アプリケーションへの適用方法に沿った見通しと参考情報が得られ、熱性能をユーザ独自のアプリケーションと対応付けるようにディレーティング曲線を適合させることができます。

ピン配置のセクションには、通常はJESD51-12に明示的に定義された4つの熱係数が記載されています。これらの係数は以下のように引用されるか言い換えられます。

1. θ_{JA} (接合部から周囲までの熱抵抗)は、1立方フィートの密閉された筐体内で測定された、接合部から自然対流する周囲の空気までの熱抵抗です。この環境は、自然対流により空気が移動しますが、「自然空冷」と呼ばれることがあります。この値は実装されている部品によって決まります。
2. θ_{Jcbot} (接合部から製品のケースの底面までの熱抵抗)は、パッケージの底面を通して流れ出す部品の全消費電力によって決まります。標準的な μ Moduleレギュレータでは、熱の大半がパッケージの底面から流出しますが、周囲の環境への熱の流出が必ず発生します。その結果、この熱抵抗値はパッケージの比較には役立ちますが、このテスト条件は一般にアプリケーションに合致しません。
3. θ_{Jctop} (接合部から製品のケースの上面までの熱抵抗)は、部品のほぼ全消費電力がパッケージの上面を通して流れ出す状態で決定されます。標準的 μ Moduleの電氣的接続はパッケージの底部なので、接合部からデバイスの頂部に熱の大半が流れるようにアプリケーションが動作することは稀です。 θ_{Jcbot} の場合のように、この値はパッケージの比較には役立ちますが、このテスト条件は一般にアプリケーションに合致しません。

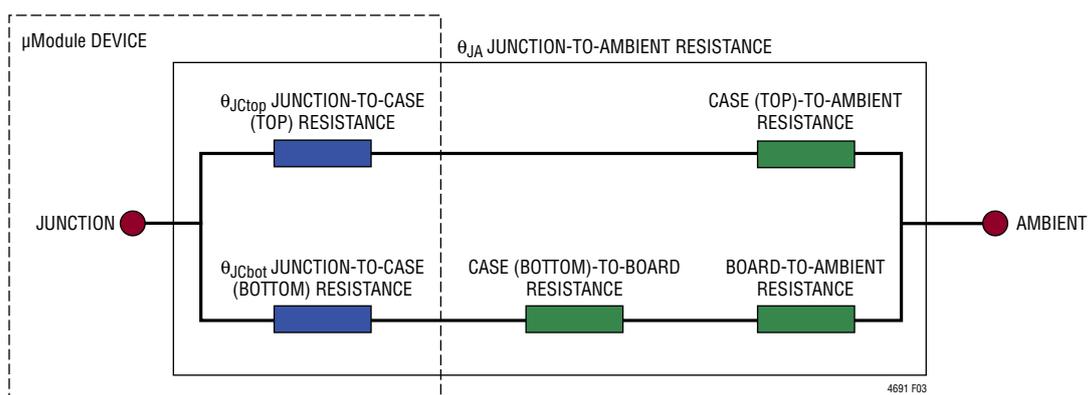


図3. JESD51-12の熱係数の図解

アプリケーション情報

前述の熱抵抗を図式化したものが図3です。青色の部分は μ Moduleレギュレータ内部の熱抵抗、緑色の部分は μ Moduleの外部に存在する熱抵抗です。

実際には、JESD51-12またはピン配置のセクションで定義されている4種類の熱抵抗パラメータは、個別でもいくつかの組み合わせでも、 μ Moduleの通常の動作条件を再現することも表現することもないので注意してください。例えば、標準規格では θ_{JCtop} および $\theta_{JCbottom}$ を個別に定義していますが、通常の基板実装アプリケーションでは、 μ Moduleの全電力損失(熱)の100%がパッケージの上面だけまたは底面だけを通して熱的に伝達されることはありません。実際には、電力損失はパッケージの両面から熱的に放散されます。ヒートシンクと空気流がない場合には、当然、熱流の大部分は基板に流れます。

LTM4691モジュールの内部では、電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、部品やダイの様々な接合部を基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないことに注意してください。この複雑な問題をモデリングの簡潔性を犠牲にすることなく、(しかも実用的な現実性を無視せずに)解決するため、制御環境室でのラボ・テストと共にFEAソフトウェア・モデリングを使用するやり方を採用して、このデータシートに記載されている熱抵抗値を合理的に定義して相関をとります。(1)はじめに、FEAソフトウェアを使用し、正確な材料係数に加えて正確な電力損失源の定義を使用することにより、 μ Moduleと指定のPCBの機械的形狀モデルを高い精度で構築します。(2)このモデルによって、JESD51-12に適合するソフトウェア定義のJEDEC環境のシミュレーションを行い、様々な界面における電力損失熱流と温度計測値を予測します。その値からJEDEC定義の熱抵抗値を計算できます。(3)モデルとFEAソフトウェアを使用してヒートシンクと空気流がある場合の μ Moduleの熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデル内で様々な動作条件によるシミュレーションを行った上で、これを再現する徹底した評価実験を実施します。具体的には、制御環境チャンバ内で、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を

測定します。このプロセスと必要な作業の結果、このデータシートの別のセクションに示されているデレレーティング曲線が得られました。これらの実験室評価を実施し、 μ Moduleモデルとの相関をとると、 θ_{JA} は、厳密に規定された恒温槽内における空気流とヒートシンクのない μ Moduleモデルと極めてよい相関を示します。この θ_{JA} の値はピン配置のセクションに示されていますが、空気流がなく上面にヒートシンクを取り付けていない状態では、電力損失のほぼ100%が接合部から基板を通して周囲に流れるので、この値は θ_{JA} の値に正確に等しくなります。

図4および図5の電力損失曲線を図6および図7の負荷電流デレレーティング曲線と組み合わせて使用することにより、LTM4691の熱抵抗 θ_{JA} を放熱と空気流の様々な条件で概算できます。電力損失曲線は室温で測定されますが、ジャンクション温度に応じた倍率で増加します。この近似倍率は、ジャンクション温度が125°Cのとき1.15です。ジャンクション温度が125°Cより低い限り、周囲温度が高くなっても最大負荷電流を流すことができます。ジャンクション温度が125°Cになる温度まで周囲温度が到達すると、負荷電流が減少してジャンクション温度を125°Cに維持します。デレレーティング曲線は、チャンネル当たり2Aを始点とする出力電流と、30°Cを始点とする周囲温度の関数としてプロットされます。出力電圧は1.0V、1.5V、および2.5Vです。これらの数値が選ばれたのは、低めおよび高めの出力電圧範囲を含むようにして、熱抵抗の相関をとるためです。熱モデルは、恒温槽での数回の温度計測と熱モデリング解析から得られます。空気流ありと空気流なしの条件で周囲温度を上げながらジャンクション温度をモニタします。デレレーティング曲線には、周囲温度の変化に応じた電力損失の増加が加味されます。周囲温度の上昇に合わせて出力電流つまり電力が減少するので、ジャンクション温度は最大で125°Cに維持されます。出力電流が減少することにより、周囲温度が上昇するにつれて内部モジュールの損失は減少します。モニタされた125°Cのジャンクション温度から周囲動作温度を差し引いた値は、どれだけのモジュール温度の上昇を許容できるかを規定します。

アプリケーション情報

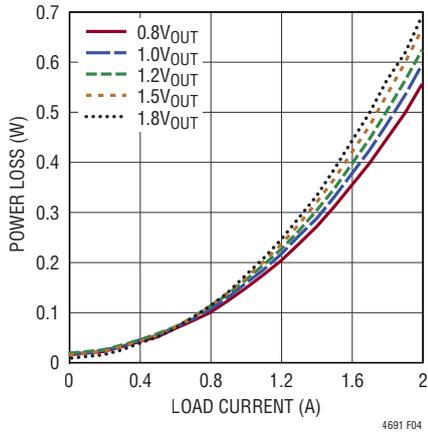


図4. 2.25V入力での電力損失、チャンネル当たり

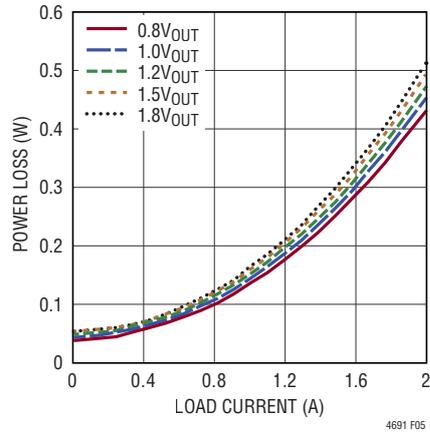


図5. 3.3V入力での電力損失、チャンネル当たり

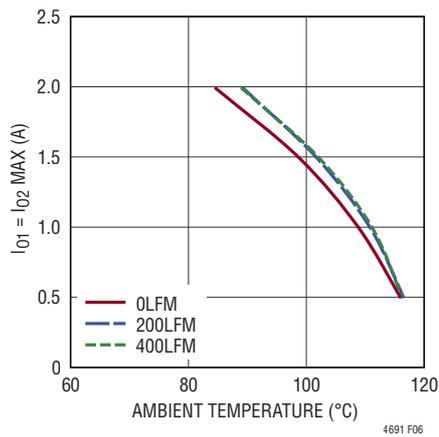


図6. 3.3V入力、1V出力のデレーティング曲線、ヒートシンクなし

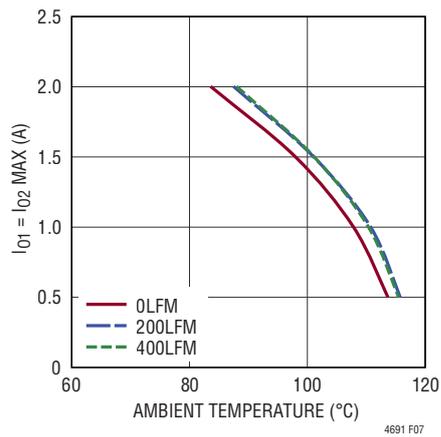


図7. 3.3V入力、1.5V出力のデレーティング曲線、ヒートシンクなし

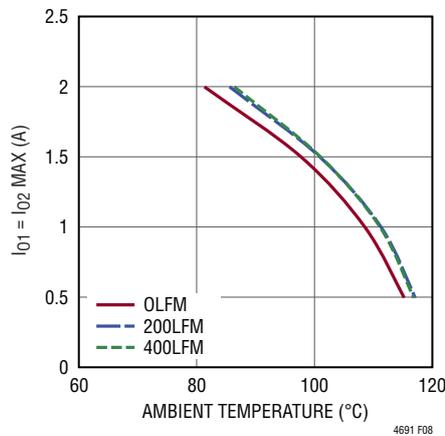


図8. 3.3V入力、2.5V出力のデレーティング曲線、ヒートシンクなし

アプリケーション情報

一例として、[図6](#)では、各チャンネルが強制空冷もヒートシンクもない状態で最大2Aの負荷電流で動作している場合、周囲温度を84.7°Cにディレーティングして、ジャンクション温度が125°Cを超えないようにします。3.3V入力、1V/4A出力では、両方のチャンネルの全電力損失は0.914Wであり、倍率1.15を考慮すると、全電力損失は1.05Wになります。125°Cのジャンクション温度から84.7°Cの周囲温度を引き、その差の40.3°Cを1.05Wで割ると、システムの等価熱抵抗 θ_{JA} として38.4°C/Wが得られます。[表1](#)はこれと非常に近い40°C/Wの値を規定しています。空気流の有無を条件とした1.5V出力および2.5V出力の等価熱抵抗を[表2](#)および[表3](#)に示します。[表1](#)～[表3](#)で得られる様々な条件での熱抵抗に、周囲温度の関数として算出した電力損失を掛けると、周囲温度からの温度上昇値が得られ、この値から最大ジャンクション温度が得られます。室温での電力損失を**代表的な性能特性**のセクションの効率曲線から求めて、前述の温度の倍率で調整することができます。基準にしたプリント回路基板は1.6mm厚の4層構造で、外側2層には2オンスの銅箔、内側2層には1オンスの銅箔を使用しています。PCBの寸法は95mm×76mmです。

安全性に関する検討事項

LTM4691モジュールでは、 V_{IN} と V_{OUT} の間が電氣的に絶縁されていません。内部にヒューズはありません。必要に応じて、最大入力電流の2倍の定格の低速溶断ヒューズを使って各ユニットを致命的損傷から保護してください。デバイスはサーマル・シャットダウンおよび過電流保護機能を備えています。

レイアウトのチェックリスト/例

LTM4691は高度に集積化されているので、PCB基板のレイアウトが非常に簡単です。ただし、電氣的性能と熱的性能を最適化するには、更にレイアウト上の配慮がいくつか必要です。

- V_{IN} 、GNDおよび V_{OUT} を含む大電流経路では、PCBの銅箔面積を広くします。PCBの導通損失と熱ストレスを最小に抑えるのに役立ちます。
- 入力と出力の高周波用セラミック・コンデンサを V_{IN} 、GND、 V_{OUT} の各ピンに隣接させて配置し、高周波ノイズを最小限に抑えます。
- デバイスの下に専用の電源グラウンド層を配置します。
- ビアの導通損失を最小限に抑え、モジュールの熱ストレスを減らすため、トップ層と他の電源層の間の相互接続に複数のビアを使用します。
- 充填ビアまたはメッキ・ビアでない限り、パッドの上に直接ビアを置かないでください。
- 信号ピンに接続された部品には、別のSGNDグラウンド銅領域を使います。SGNDとGNDをデバイスの下で接続します。
- 信号ピンからは、モニタリング用にテスト・ポイントを引き出してください。

推奨レイアウトの良い例を[図9](#)に示します。

アプリケーション情報

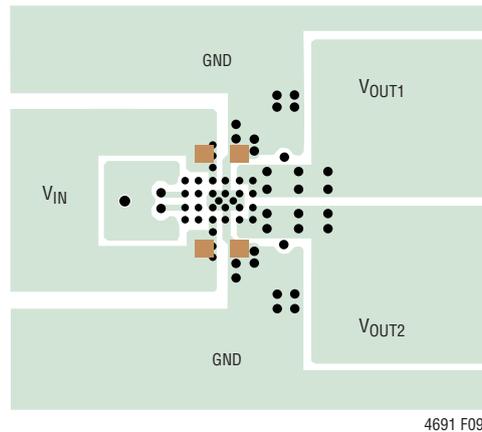


図9. 推奨のPCBレイアウト

表1. 1.0V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図6	3.3	図5	0	None	40°C
図6	3.3	図5	200	None	35°C
図6	3.3	図5	400	None	34°C

表2. 1.5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図7	3.3	図5	0	None	39°C
図7	3.3	図5	200	None	34°C
図7	3.3	図5	400	None	33°C

表3. 2.5V出力

ディレーティング曲線	V _{IN} (V)	電力損失曲線	空気流 (LFM)	ヒートシンク	θ _{JA} (°C/W)
図8	3.3	図5	0	None	40°C
図8	3.3	図5	200	None	35°C
図8	3.3	図5	400	None	34°C

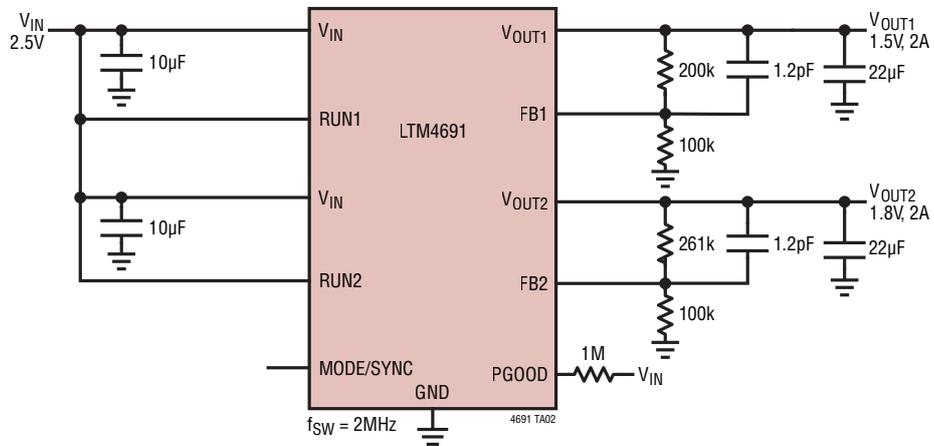
表4. 出力電圧応答と部品の一覧(表紙の応用例参照)、1Aから1.5Aまでの負荷ステップ時の代表的測定値

C _{IN} (バルク)	メーカー	製品番号	C _{IN} (セラミック)	メーカー	製品番号	C _{OUT} (セラミック)	メーカー	製品番号
220μF, 6.3V	PANASONIC	6TPE220MI	10μF, 6.3V	KEMET	C0402C106M9PACTU	22μF, 6.3V	Murata	GRM188C80J226ME15D

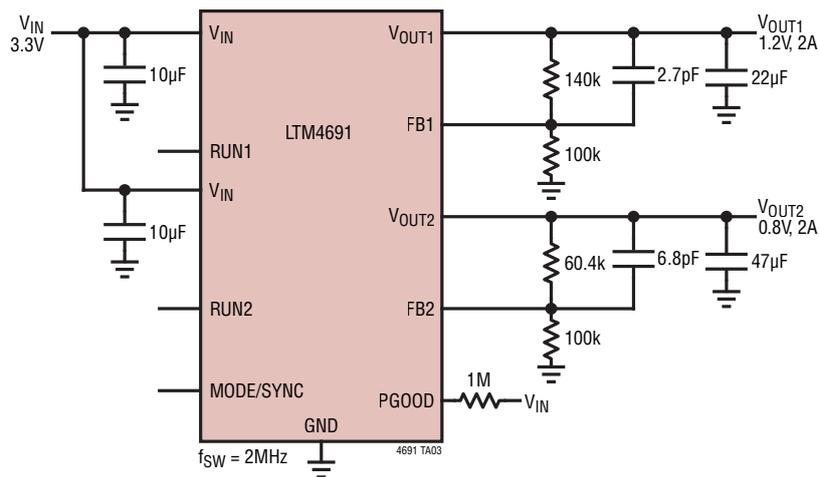
V _{OUT} (V)	C _{IN} (セラミック) (μF)	C _{IN} (バルク) (μF)	C _{OUT1} (セラミック) (μF)	C _{OUT2} (セラミック) (μF)	C _{FF} (pF)	V _{IN} (V)	電圧 低下量 (mV)	P-P変動量 (mV)	回復時間 (μs)	負荷 ステップ (A)	負荷 ステップの スルー・レート (A/μs)
1.0	10 × 2	220	22	22	2.7	2.25, 3.3	20	45	25	0.5	0.5
1.5	10 × 2	220	22	22	1.2	2.25, 3.3	25	50	25	0.5	0.5
1.8	10 × 2	220	22	22	1.2	2.25, 3.3	30	60	25	0.5	0.5
2.5	10 × 2	220	22	22	1	3.3	42	84	30	0.5	0.5

標準的応用例

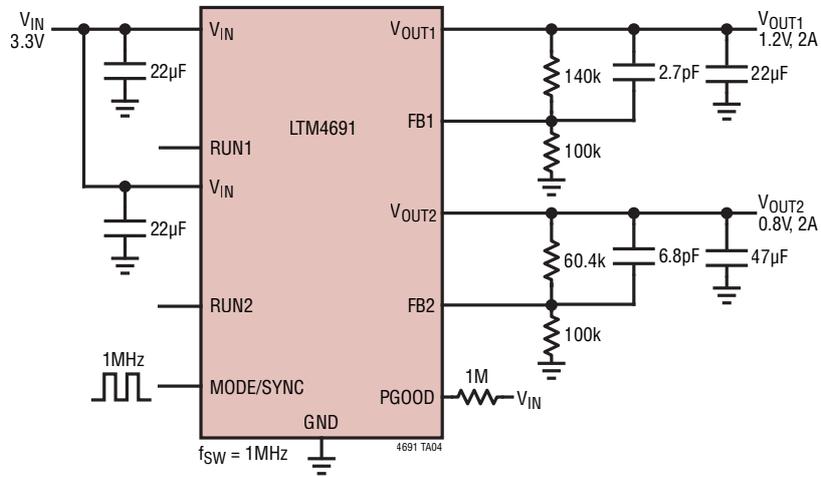
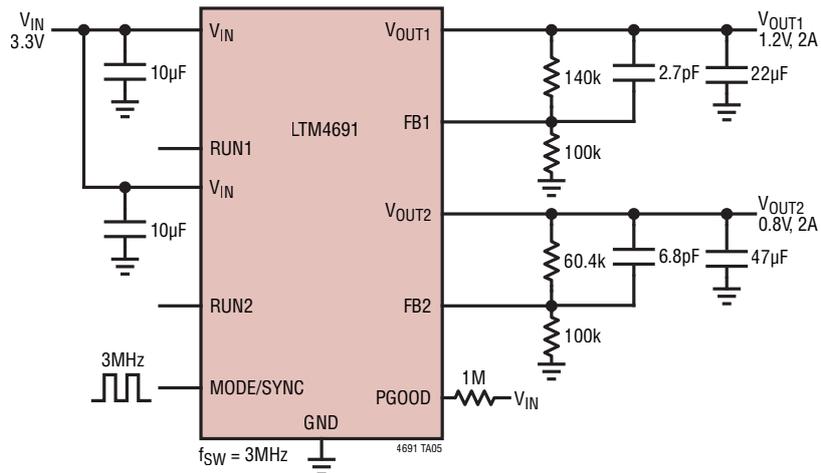
1.5Vおよび1.8V 2MHz、2Aのデュアル降圧レギュレータ、 $V_{IN} = 2.5V$



1.2Vおよび0.8V 2MHz、2Aのデュアル降圧レギュレータ、 $V_{IN} = 3.3V$



標準的応用例

1.2Vおよび0.8V 1MHz、2Aのデュアル降圧レギュレータ、 $V_{IN} = 3.3V$ 1.2Vおよび0.8V 3MHz、2Aのデュアル降圧レギュレータ、 $V_{IN} = 3.3V$ 

ピン配置の表

LTM4691 の構成要素の LGA ピン配列

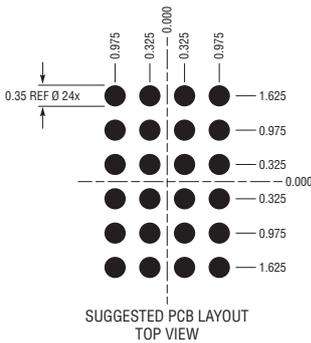
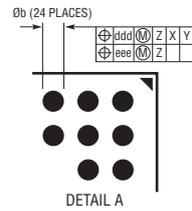
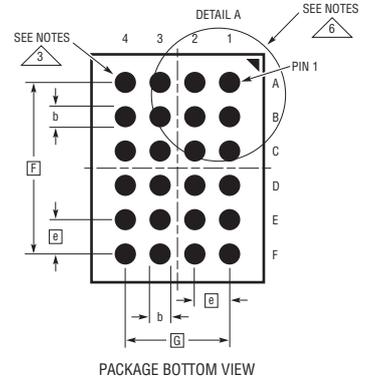
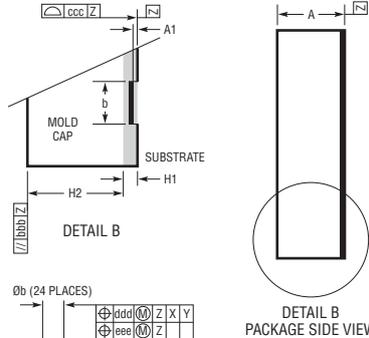
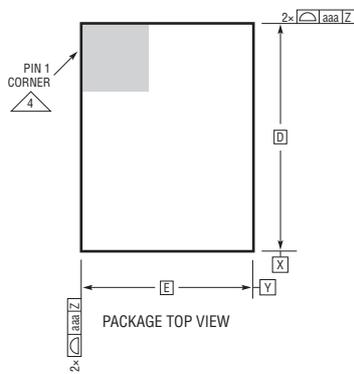
ピンID	機能	ピンID	機能	ピンID	機能	ピンID	機能
A1	SGND2	A2	FB2	A3	FB1	A4	SGND1
B1	PGOOD	B2	RUN2	B3	RUN1	B4	MODE/SYNC
C1	V _{IN}	C2	GND	C3	GND	C4	V _{IN}
D1	GND	D2	GND	D3	GND	D4	GND
E1	V _{OUT2}	E2	GND	E3	GND	E4	V _{OUT1}
F1	V _{OUT2}	F2	V _{OUT2}	F3	V _{OUT1}	F4	V _{OUT1}

パッケージ



ADI Power by Linear™

LGA Package
24-Lead (3mm × 4mm × 1.18mm)
(Reference LTC DWG# 05-08-1657 Rev A)



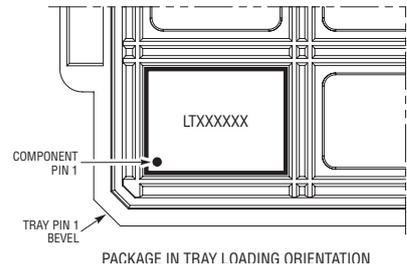
DIMENSIONS				
SYMBOL	MIN	NOM	MAX	NOTES
A	1.08	1.18	1.28	
A1			0.03	
b	0.32	0.35	0.38	PAD DIMENSION
D		4.00		
E		3.00		
e		0.65		
F		3.25		
G		1.95		
H1		0.18 REF		SUBSTRATE THK
H2		1.00 REF		MOLD CAP HT
aaa			0.15	
bbb			0.10	
ccc			0.10	
ddd			0.15	
eee			0.08	
TOTAL NUMBER OF PADS: 24				

- 注：
1. 寸法と許容誤差は ASME Y14.5M-1994 に従う
2. 全ての寸法の単位はミリメートル

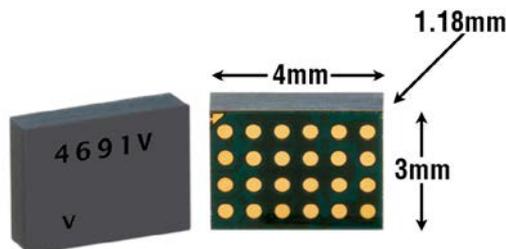
3. パッドの指定は JEP95 による
4. 1番ピンの識別マークはオプションだが、表示の領域内に設けてある。1番ピンの識別マークはモールドかマーキングのどちらかである

5. 主データム-Zはシーティング・プレーン

6. パッケージの列と行のラベルは、μModule 製品間で異なる。各パッケージのレイアウトを十分に確認すること



パッケージの写真



デザイン・リソース

主題	説明
μModule の設計 / 製造リソース	<p>設計:</p> <ul style="list-style-type: none"> • 選択ガイド • デモ・ボードおよびガーバー・ファイル • 無料シミュレーション・ツール <p>製造:</p> <ul style="list-style-type: none"> • クイック・スタート・ガイド • PCB の設計、組立、および製造ガイドライン • パッケージおよびボード・レベルの信頼性
μModule レギュレータ製品の検索	<ol style="list-style-type: none"> 1. 製品の表をパラメータによって並べ替え、結果をスプレッドシートとしてダウンロードする 2. Quick Power Search パラメトリック・テーブルを使って検索を実行する
デジタル・パワー・システム・マネージメント	<p>アナログ・デバイスズのデジタル電源管理デバイス・ファミリは、電源の監視、管理、マージン制御およびシーケンス制御などの基本機能を提供する高度に集積されたソリューションであり、設定と障害ログを格納するEEPROMを搭載しています。</p>

関連製品

製品番号	説明	注釈
LTM4622	超薄型デュアル 2.5A またはシングル 5A 降圧 μModule レギュレータ	$3.6V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm×6.25mm×1.82mm LGA, 6.25mm×6.25mm×2.42mm BGA
LTM4622A	超薄型デュアル 2A またはシングル 4A 降圧 μModule レギュレータ	$3.6V \leq V_{IN} \leq 20V$, $1.5V \leq V_{OUT} \leq 12V$, 6.25mm×6.25mm×1.82mm LGA, 6.25mm×6.25mm×2.42mm BGA
LTM4623	超薄型、シングル 3A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm×6.25mm×1.82mm LGA, 6.25mm×6.25mm×2.42mm BGA
LTM4624	シングル 4A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 14V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm×6.25mm×5.01mm BGA
LTM4625	シングル 5A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 5.5V$, 6.25mm×6.25mm×5.01mm BGA
LTM4632	DDR メモリ向けの超薄型トリプル出力 ±3A 降圧 μModule レギュレータ	$3.6V \leq V_{IN} \leq 15V$, $0.6V \leq V_{OUT} \leq 2.5V$, 6.25mm×6.25mm×1.82mm LGA, 6.25mm×6.25mm×2.42mm BGA
LTM4668/ LTM4668A	クワッド 1.2A 降圧 μModule レギュレータ	$2.7V \leq V_{IN} \leq 17V$, $0.6V \leq V_{OUT} \leq 1.8V$ (LTM4668A: $0.6V \leq V_{OUT} \leq 5.5V$, 2.25MHz) 6.25mm×6.25mm×2.1mm BGA
LTM4643	超薄型、クワッド 3A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 3.3V$, 9mm×15mm×1.82mm LGA, 9mm×15mm×2.42mm BGA
LTM4644	クワッド 4A 降圧 μModule レギュレータ	$4V \leq V_{IN} \leq 14V$, $0.6V \leq V_{OUT} \leq 5.5V$, 9mm×15mm×5.01mm BGA